

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

概述

MAX11270为一款24位 Δ - Σ ADC，具有130dB优异的SNR，10mW极低功耗。高达64ksps的采样率支持高精度直流和交流测量。可保证最大4ppm积分非线性，-122dB THD。MAX11270采用SPI兼容串行接口通信，小尺寸24引脚TSSOP封装。

MAX11270提供可编程增益放大器，噪声仅为 $6.5\text{nV}/\sqrt{\text{Hz}}$ ，增益设置范围为1至128倍。缓冲器可提供信号输入与开关电容采样网络之间的隔离，允许MAX11270直接与高阻抗源配合使用，不会影响可用动态范围。

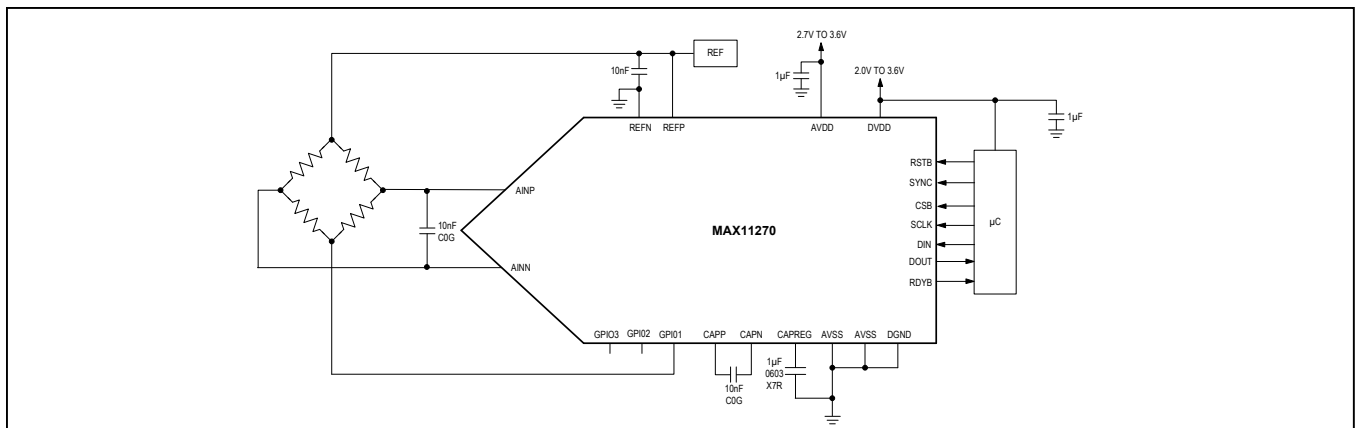
MAX11270采用2.7V至3.6V单模拟工作电源，或者采用 $\pm 1.8\text{V}$ 双模拟工作电源，允许被采样模拟输入低于零电平。数字电源范围为2.0V至3.6V，可与2.5V、3V或3.3V逻辑电路通信。

应用

- 科学仪器
- 高精度便携式传感器
- 医疗设备
- ATE

[订购信息](#)和[功能框图](#)在数据资料的最后给出。

典型应用电路



优势和特性

- 高分辨率，适用于宽动态范围仪器仪表
 - 130dB SNR @ 1.9sps
 - 112dB SNR @ 1000sps
 - 20.4位无噪声分辨率 @ 1.9sps
 - 17.4位无噪声分辨率 @ 1000sps
- 电池寿命较长，适用于便携应用
 - 工作模式电流为2.4mA
 - PGA低噪声模式电流为4.4mA
 - 1 μ A休眠电流
- 高精度直流测量
 - 1ppm INL (典型值)，4ppm (最大值)
- 单电源或双电源供电，灵活的输入电压范围
 - 2.7V至3.6V (单电源)或 $\pm 1.8\text{V}$ (双电源)
- 灵活的高性能滤波器架构，简化设计
 - 可编程SINC滤波器
- 支持系统集成
 - 低噪声PGA，增益可设置为1、2、4、8、16、32、64、128
 - 信号缓冲器选项
 - 3个通用I/O
- 可根据需要进行器件和系统的增益、失调校准
- 可靠的24引脚TSSOP封装

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

目录

| | |
|---------------------------------|----|
| 概述 | 1 |
| 应用 | 1 |
| 特性和优势 | 1 |
| 典型应用电路 | 1 |
| Absolute Maximum Ratings | 6 |
| Package Thermal Characteristics | 6 |
| Electrical Characteristics | 6 |
| 典型工作特性 | 10 |
| 引脚配置 | 14 |
| 引脚说明 | 14 |
| 功能框图 | 16 |
| 详细说明 | 17 |
| 系统时钟 | 17 |
| 电压基准输入 | 17 |
| 模拟输入 | 17 |
| 输入缓冲器 | 17 |
| 旁路/直接连接 | 17 |
| 可编程增益放大器(PGA) | 17 |
| 输入电压范围 | 18 |
| 噪声性能与数据率的关系 | 18 |
| 上电复位 | 23 |
| 关断模式 | 23 |
| 数字滤波器 | 25 |
| SINC滤波器 | 25 |
| 串行接口 | 25 |
| 片选(CSB) | 25 |
| SCLK (串行时钟) | 25 |
| DIN (串行数据输入) | 25 |
| DOUT (串行数据输出) | 26 |
| 数据就绪(RDYB) | 26 |
| SPI未完成写命令结果 | 26 |
| SPI未完成读命令结果 | 27 |
| SPI时序参数 | 27 |
| 模式和寄存器 | 30 |
| 转换模式(MODE = 0) | 30 |
| 寄存器访问模式(MODE = 1) | 30 |
| 寄存器映射 | 31 |

目录(续)

| | |
|---------------------------|----|
| 寄存器地址映射 | 31 |
| 状态寄存器(只读) | 32 |
| 控制寄存器 | 34 |
| 控制寄存器1 (读/写) | 34 |
| 控制寄存器2 (读/写) | 35 |
| 控制寄存器3 (读/写) | 36 |
| 控制寄存器4 (读/写) | 36 |
| 控制寄存器5 (读/写) | 37 |
| 数据寄存器(只读) | 37 |
| 校准 | 38 |
| 自校准 | 38 |
| 系统校准 | 38 |
| SPI系统失调校准寄存器(SOC_SPI) | 39 |
| ADC系统失调校准寄存器(SOC_ADC) | 39 |
| SPI系统增益校准寄存器(SGC_SPI) | 39 |
| ADC系统增益校准寄存器(SGC_ADC) | 39 |
| SPI自校准失调校准寄存器(SCOC_SPI) | 40 |
| ADC自校准失调校准寄存器(SCOC_ADC) | 40 |
| SPI自校准增益校准寄存器(SCGC_SPI) | 40 |
| ADC自校准增益校准寄存器(SCGC_ADC) | 40 |
| GPIO | 42 |
| 利用SYNC引脚或SYNC_SPI功能实现转换同步 | 42 |
| 连续模式 | 42 |
| 脉冲模式 | 43 |
| 调制解调器MODBITS模式 | 43 |
| 启动MODBITS模式 | 43 |
| 退出MODBITS模式 | 43 |
| MODBITS模式引脚配置 | 43 |
| DOUT/MB0 | 44 |
| GPIO3/MSYNC | 44 |
| GPIO1/MB1 | 44 |
| RDYB/ICLK | 44 |
| 订购信息 | 46 |
| 芯片信息 | 46 |
| 封装信息 | 46 |
| 修订历史 | 47 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

图目录

| | |
|------------------------------------|----|
| 图1. PGA结构 | 17 |
| 图2. 可用输入和输出共模范围 | 17 |
| 图3a. SINC幅值响应 | 25 |
| 图3b. SINC幅值响应放大图 | 25 |
| 图4. 所有转换模式的DATA就绪时序 | 26 |
| 图5. SPI寄存器写操作时序图 | 27 |
| 图6. SPI寄存器读操作时序图 | 28 |
| 图7. SPI数据读出时序图 | 28 |
| 图8. SPI命令字节时序图 | 29 |
| 图9. 校准流程图 | 41 |
| 图10. 采用连续同步模式时SYNC引脚和CLK引脚之间的关系 | 42 |
| 图11. 采用脉冲同步模式时SYNC、RDYB及CLK引脚之间的关系 | 43 |
| 图12. MODBITS模式下的引脚配置 | 43 |
| 图13. MODBITS模式时序图 | 45 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表目录

| | |
|---|----|
| 表1. 连续模式SNR (dB)与数据率及PGA增益的关系，使用Sinc滤波器* | 18 |
| 表2. 连续模式输入基准噪声(μV_{RMS})与数据率及PGA增益的关系，使用Sinc滤波器* | 19 |
| 表3. 单周期模式SNR (dB)与数据率及PGA增益的关系，使用Sinc滤波器* | 20 |
| 表4. 单周期模式输入基准噪声(μV_{RMS})与数据率及PGA增益的关系，使用Sinc滤波器* | 21 |
| 表5. MAX11270接收到引脚(RSTB、SYNC)及SPI (RESET、SYNC_SPI)命令后的行为 | 22 |
| 表6. 转换模式的命令字节(MODE = 0) | 29 |
| 表7. 寄存器访问模式的命令字节(MODE = 1) | 29 |
| 表8. 寄存器地址映射 | 30 |
| 表9. 可编程转换速率 | 32 |
| 表10. ADC输出编码数据格式 | 37 |
| 表11. MODBITS模式引脚 | 43 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ-Σ ADC，带集成PGA

Absolute Maximum Ratings

| | | | |
|--|--|---|-----------------|
| AVDD to AVSS | -0.3V to +3.9V | Digital Inputs to AVSS (RSTB, SYNC, DIN, SCLK, CLK, GPIO1–GPIO3)..... | -0.3V to +3.9V |
| DVDD to DGND..... | -0.3V to +3.9V | Digital Outputs to AVSS (RDYB, DOUT, GPIO1–3) | -0.3V to +3.9V |
| DVDD to AVSS | -0.3V to +3.9V | CAPREG to DGND..... | -0.3V to +2.2V |
| AVSS to DGND | -1.95V to +0.3V | CAPREG to AVSS..... | -0.3V to +3.9V |
| Analog Inputs (AINP, AINM, REFP, REFN, CAPP, CAPN) to AVSS | -0.3V to the lower of 3.9V or (V _{AVDD} + 0.3V) | Continuous Power Dissipation (Single-Layer Board) TSSOP (derate 13.9mW/°C above +70°C) | 1111.10mW |
| Digital Inputs to DGND (RSTB, SYNC, DIN, SCLK, CLK, GPIO1-3) | -0.3V to the lower of 3.9V or (V _{DVDD} + 0.3V) | Operating Temperature Range..... | -40°C to +85°C |
| Digital Outputs to DGND (RDYB, DOUT, GPIO1-3) | -0.3V to the lower of 3.9V or (V _{DVDD} + 0.3V) | Storage Temperature Range..... | -55°C to +150°C |
| | | Junction Temperature (continuous)..... | +150°C |
| | | Lead temperature (soldering, 10s)..... | +300°C |
| | | Soldering Temperature (reflow)..... | +260°C |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

| | | | |
|--|--------|--|--------|
| TSSOP Junction-to-Case Thermal Resistance (θ _{JC})..... | 13°C/W | Junction-to-Ambient Thermal Resistance (θ _{JA})..... | 72°C/W |
|--|--------|--|--------|

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/thermal-tutorial.

Electrical Characteristics

(V_{AVDD} = 3.6V, V_{AVSS} = 0V, V_{DVDD} = 2.0V, V_{REFP} = 2.5V, V_{REFN} = 0V; f_{DATA} = 1000sps, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|------------------------|-------------------------------------|------|------|-----|--------|
| STATIC PERFORMANCE | | | | | | |
| Noise-Free Resolution (Note 3) | NFR | 1.9sps data rate (Bypass Mode only) | 19.2 | 20.4 | | Bits |
| | | 1ksps data rate (Bypass Mode only) | 16.9 | 17.4 | | |
| NOISE REFERRED TO INPUT V_N (See Tables 1–4) | | | | | | |
| Integral Nonlinearity | INL | Bypass, Buffer, PGA = 1, 2 | | 1 | 4 | ppm |
| | | PGA > 2 | | 2 | | |
| Offset Error | V _{OS} | After system offset calibration | | 10 | | nV |
| Offset Drift | V _{OS_DRIFT} | | | 50 | | nV/°C |
| Gain Error | G _{ERR} | After system gain calibration | | 2 | | ppm |
| Gain Drift | G _{ERR_DRIFT} | | | 2.5 | | ppm/°C |
| DC Common-Mode Rejection (Note 4) | CMR _{DC} | Bypass and Buffer mode | 120 | 135 | | dB |
| | | PGA Gain = 4 | 100 | 120 | | |
| AVDD, AVSS DC Supply Rejection Ratio | PSRRA | Bypass and Buffer mode | 80 | 105 | | dB |
| | | PGA Gain = 4 | 80 | 100 | | |
| DVDD DC Supply Rejection Ratio | PSRRD | Bypass and Buffer mode | 95 | 120 | | dB |
| | | PGA Gain = 4 | 95 | 120 | | |

MAX11270

24位、10mW、130dB SNR、64ksps、
Δ-Σ ADC，带集成PGA

Electrical Characteristics (continued)

($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000\text{sps}$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|------------------|--------------------------|------------------|-------|------------------|--------------|
| ANALOG INPUTS/REFERENCE INPUTS | | | | | | |
| AIN Voltage Range | V_{RNG} | Unipolar | 0 | | V_{REF} | V |
| | | Bipolar | $-V_{REF}$ | | V_{REF} | |
| Absolute Input Voltage | $V_{ABS_{RNG}}$ | Bypass mode | V_{AVSS} | | V_{AVDD} | V |
| | | PGA mode | $V_{AVSS} + 0.3$ | | $V_{AVDD} - 1.3$ | |
| | | Buffer mode | $V_{AVSS} + 0.1$ | | $V_{AVDD} - 0.1$ | |
| AIN DC Input Leakage (Note 4) | $I_{IN_{LEAK}}$ | Sleep mode enabled | -10 | | +10 | nA |
| AIN Common-Mode Input Conductance | G_{AINCM} | Bypass | | ±8 | | nA/V |
| AIN Common-Mode Input Current | I_{AINCM} | Buffer | | ±500 | | nA |
| | | PGA | | ±21 | | nA |
| AIN Differential Mode Input Conductance | $G_{AINDIFF}$ | Bypass | | ±23 | | μA/V |
| AIN Differential Mode Input Current | $I_{AINDIFF}$ | Buffer | | ±20 | | nA |
| | | PGA | | ±0.15 | | nA |
| REF Differential Input Conductance | $G_{REFDIFF}$ | Active conversion state | | ±46.5 | | μA/V |
| REF Input Current at Power Down | I_{REF_PD} | Sleep and Standby states | | ±100 | | nA |
| AIN Input Capacitance | C_{IN} | Buffer disabled | | 3 | | pF |
| REF Input Capacitance | C_{REF} | Buffer disabled | | 4.5 | | pF |
| Input and REF Sampling Rate | f_S | | | 4.096 | | MHz |
| $V_{REFP} - V_{REFN}$ Voltage Range | $V_{RABS_{RNG}}$ | (Note 5) | | | V_{AVDD} | V |
| REF Voltage Range | V_{REF} | | 2.0 | | V_{AVDD} | V |
| DIGITAL FILTER RESPONSE | | | | | | |
| SINC FILTER | | | | | | |
| Bandwidth (-3dB) | BW_{SINC} | | | 0.203 | | f_{DATA} |
| Settling Time (Latency) | | | | 5 | | $1/f_{DATA}$ |

MAX11270

24位、10mW、130dB SNR、64ksps、
Δ-Σ ADC，带集成PGA

Electrical Characteristics (continued)

($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000sps$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|-----------------------------------|-------------------|--|--------------------|------|--------------------|---------|
| LOGIC INPUTS | | | | | | |
| Input Current | I_{LEAK_DIG} | Leakage current only | -1 | | +1 | μA |
| Input Low Voltage | V_{IL} | | | | 0.3x V_{DVDD} | V |
| Input High Voltage | V_{IH} | | 0.7x V_{DVDD} | | | V |
| Input Hysteresis | V_{HYS} | | | 200 | | mV |
| GPIO Input Low Voltage | V_{IL_GPIO} | | | | 0.4 | V |
| GPIO Input High Voltage | V_{IH_GPIO} | | 1.0 | | | V |
| GPIO Input Hysteresis | V_{HYS_GPIO} | | | 20 | | mV |
| LOGIC OUTPUTS | | | | | | |
| Output Low Level | V_{OL} | $I_{OL} = 1mA$ | | | 0.4 | V |
| Output High Level | V_{OH} | $I_{OH} = 1mA$ | 0.9x V_{DVDD} | | | V |
| Floating State Leakage Current | I_{DIGO_LEAK} | | -10 | | +10 | μA |
| Floating State Output Capacitance | C_{DIGO} | | | 9 | | pF |
| POWER REQUIREMENTS | | | | | | |
| Analog Negative Supply | V_{AVSS} | For split supplies, $V_{AVSS} = -V_{AVDD}$ | -1.8 | | 0 | V |
| Analog Positive Supply | V_{AVDD} | For split supplies, $V_{AVDD} = -V_{AVSS}$ | $V_{AVSS} + 2.7$ | | $V_{AVSS} + 3.6$ | V |
| Digital Supply | V_{DVDD} | | 2.0 | | 3.6 | V |
| AVDD Sleep Current | I_{AVDD_SLEEP} | | | 0.9 | 3 | μA |
| AVDD Standby Current | I_{AVDD_STBY} | | | 1.5 | 3 | μA |
| DVDD Sleep Current | I_{DVDD_SLEEP} | | | 0.25 | 1 | μA |
| DVDD Standby Current | I_{DVDD_STBY} | | | 21 | 200 | μA |
| Analog Supply Current | I_{AVDD} | Bypass mode | | 2.4 | 3.0 | mA |
| | | Buffers mode | | 2.8 | 3.5 | |
| | | PGA low-power mode | | 3.6 | 5.0 | |
| | | PGA low-noise mode | | 4.4 | 6.0 | |
| DVDD Operating Current | I_{DVDD} | SINC filter | | 0.77 | 1.5 | mA |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ-Σ ADC，带集成PGA

Electrical Characteristics (continued)

($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000sps$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|-------------|--|-----|-----|-----|-------------|
| SPI TIMING REQUIREMENTS (See Figures 4–7) | | | | | | |
| SCLK Frequency | f_{SCLK} | | | | 5 | MHz |
| SCLK Clock Period | t_{CP} | | 200 | | | ns |
| SCLK Pulse Width High | t_{CH} | Allow 40% duty cycle | 80 | | | ns |
| SCLK Pulse Width Low | t_{CL} | Allow 40% duty cycle | 80 | | | ns |
| CSB Low Setup | t_{CSS0} | CSB low to 1st SCLK rise setup | 40 | | | ns |
| CSB High Setup (Note 4) | t_{CSS1} | Required to prevent a 17th SCLK RE from being recognized by the device in a free-running application | 40 | | | ns |
| CSB Hold | t_{CSH1} | SCLK falling edge to CSB rising edge, CSB hold time | 3 | | | ns |
| CSB Pulse Width | t_{CSW} | Minimum CSB pulse width high | 40 | | | ns |
| DIN Setup | t_{DS} | DIN setup to SCLK rising edge | 40 | | | ns |
| DIN Hold | t_{DH} | DIN hold after SCLK rising edge | 0 | | | ns |
| DOUT Transition | t_{DOT} | DOUT transition valid after SCLK fall | | | 40 | ns |
| DOUT Hold | t_{DOH} | Output hold time remains valid after SCLK fall | 3 | | | ns |
| DOUT Disable | t_{DOD} | CSB rise to DOUT disable, $C_{LOAD} = 20pF$ | | | 25 | ns |
| CSB Fall to DOUT Valid | t_{DOE} | Default value of DOUT is '1' for minimum specification, max specification for valid '0' on RDYB | 0 | | 40 | ns |
| SCLK Fall to RDYB '1' | t_{R1} | RDYB transitions from '0' to '1' on falling edge of SCLK after LSB of DATA is shifted onto DOUT | 0 | | 40 | ns |
| RSTB Fall or SYNC Rise to RDYB '1' | t_{R2} | RDYB transitions from '0' to '1' on falling edge of RSTB or rising edge of SYNC after 2 f_{CLK} cycles | | | 2 | $1/f_{CLK}$ |
| Minimum SYNC High Pulse Width | t_{SYNC1} | | 2 | | | $1/f_{CLK}$ |
| Minimum RSTB Low Pulse Width | t_{RSTB0} | | 2 | | | $1/f_{CLK}$ |

Note 2: Limits are 100% production tested at $T_A = +25^{\circ}C$. Limits over the operating temperature range are guaranteed by design and device characterization.

Note 3: Noise-free resolution is defined using the peak-to-peak input range and the peak-to-peak noise voltage. The peak-to-peak input range, $V_{IN_RANGE_P-P}$ is defined as $2 \times V_{REF}$. The peak-to-peak noise voltage is defined as the RMS noise voltage times 6.6. The NFR is calculated for bypass mode only and with SINC filter using the formula, $NFR = \log(V_{IN_RANGE_P-P} / (6.6 \times V_{NOISE_RMS})) / \log(2)$.

Note 4: These specifications are not fully tested and are guaranteed by design and/or characterization.

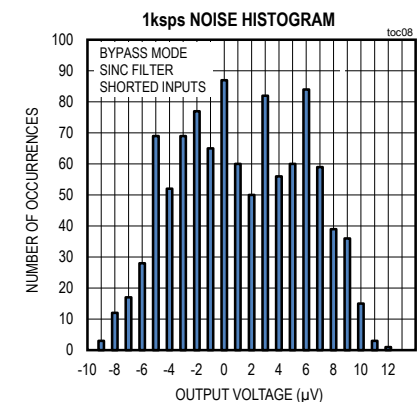
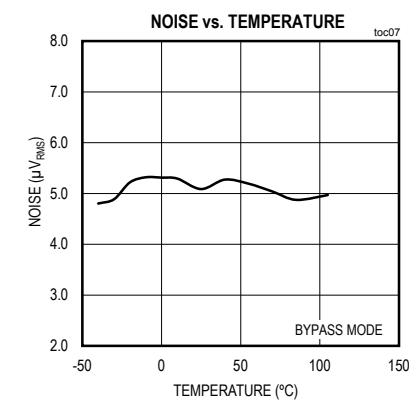
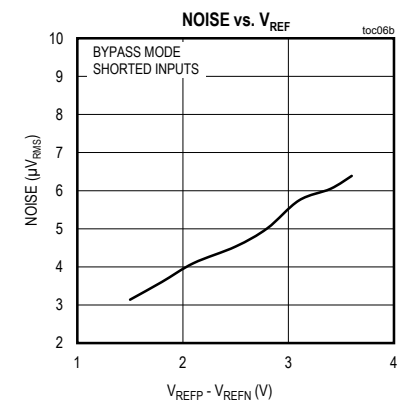
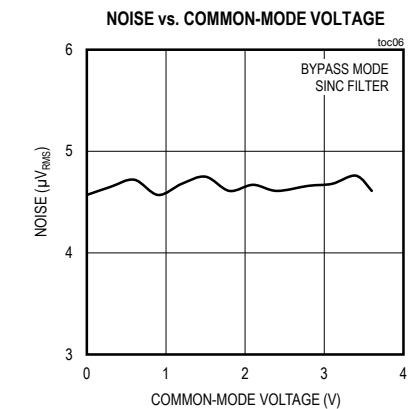
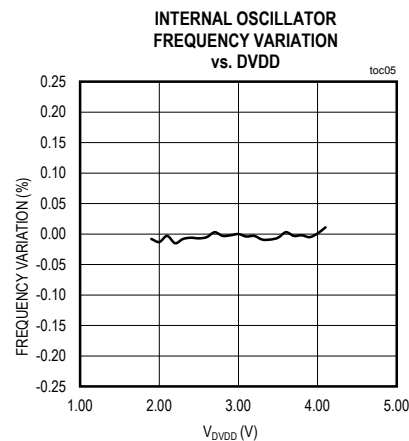
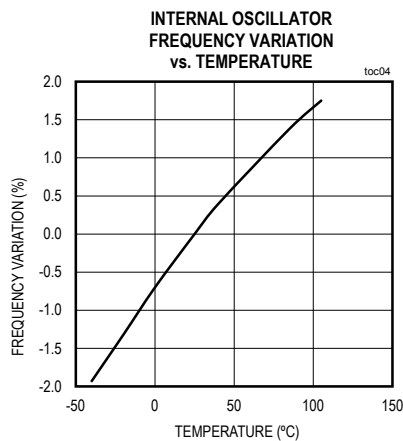
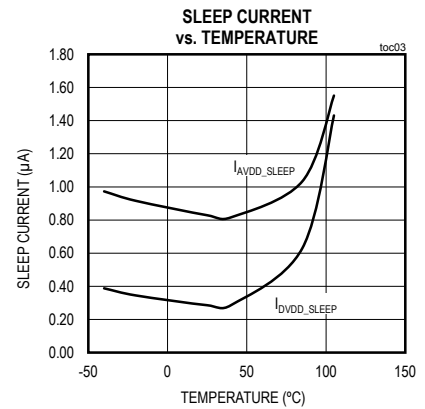
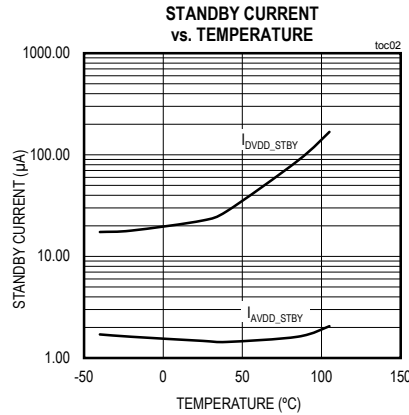
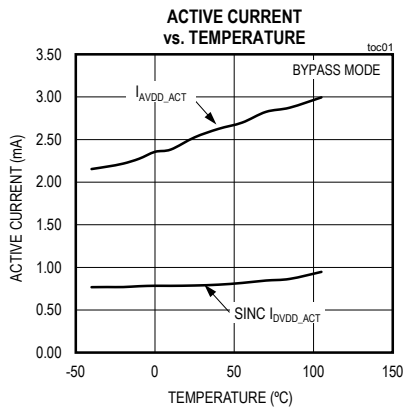
Note 5: Reference common mode $(V_{REFP} + V_{REFN})/2 \leq (V_{AVDD} + V_{AVSS})/2 + 0.1V$.

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

典型工作特性

($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000sps$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

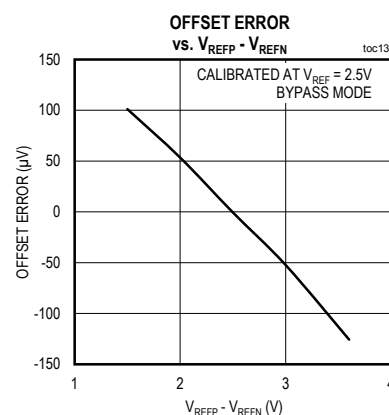
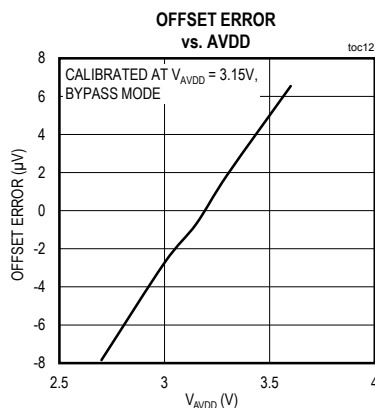
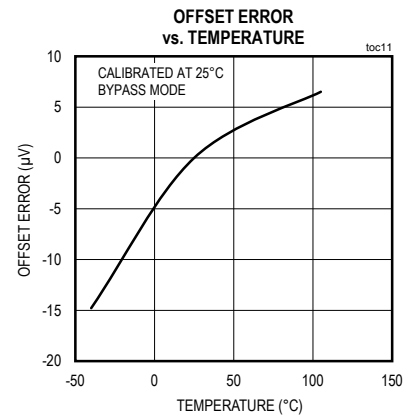
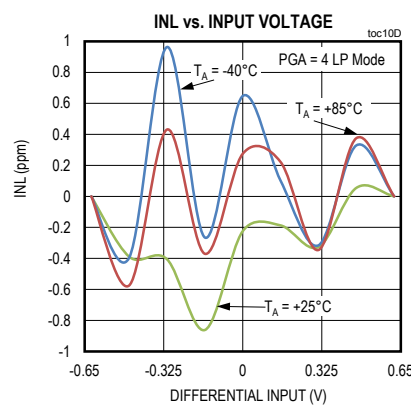
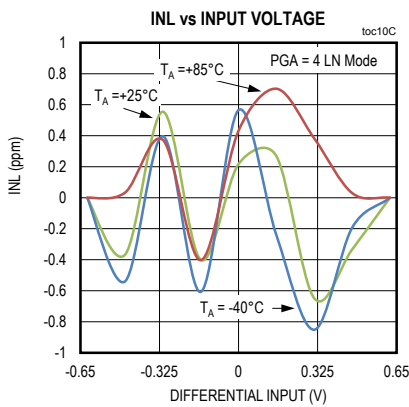
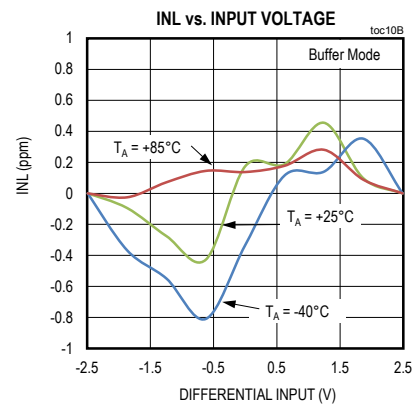
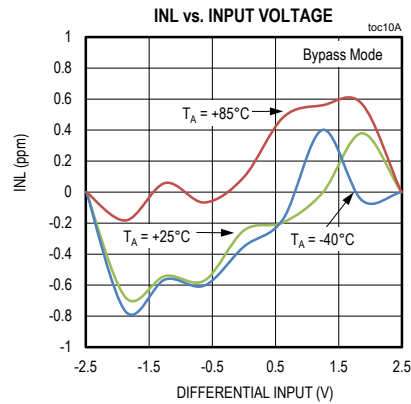
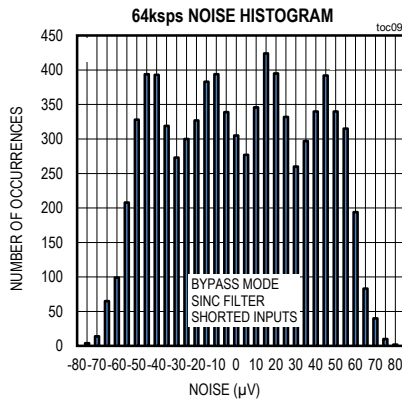


MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

典型工作特性(续)

($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000sps$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below V_{AVDD} and minimum output is 300mV above V_{AVSS} , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

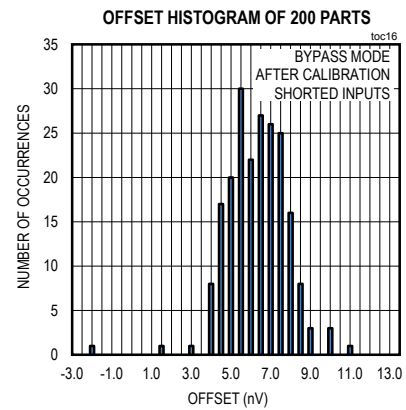
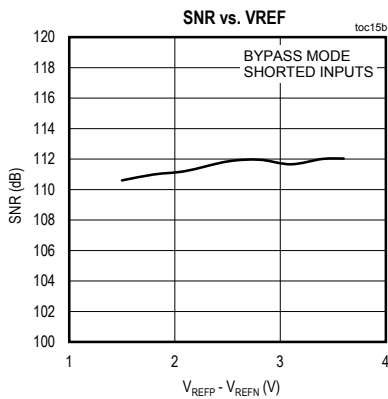
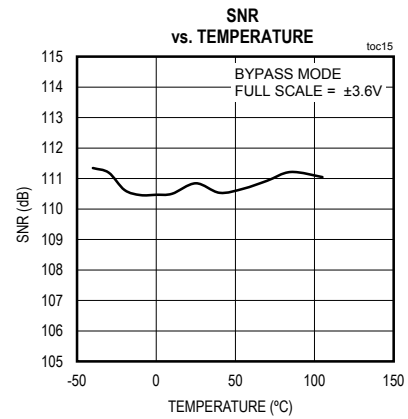
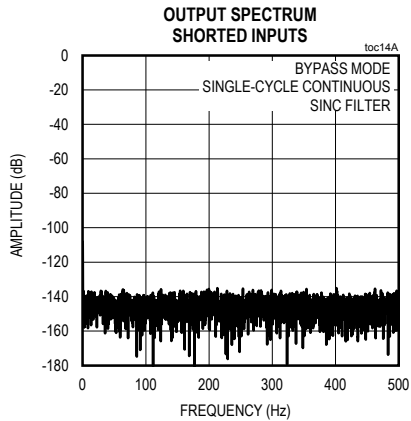


MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

典型工作特性(续)

($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000sps$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

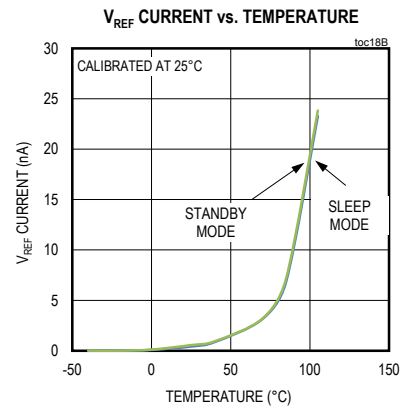
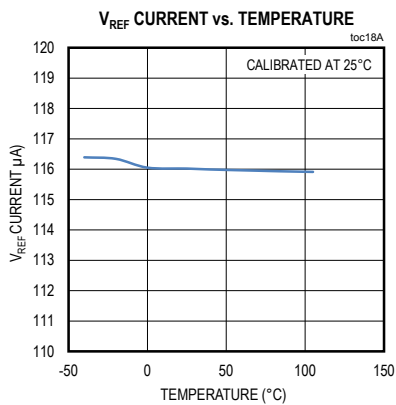
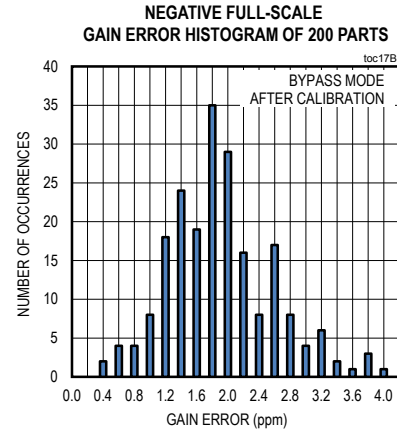
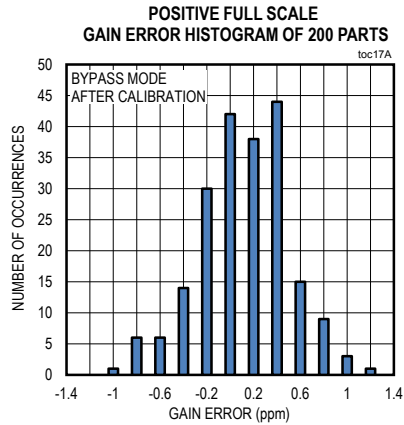


MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

典型工作特性(续)

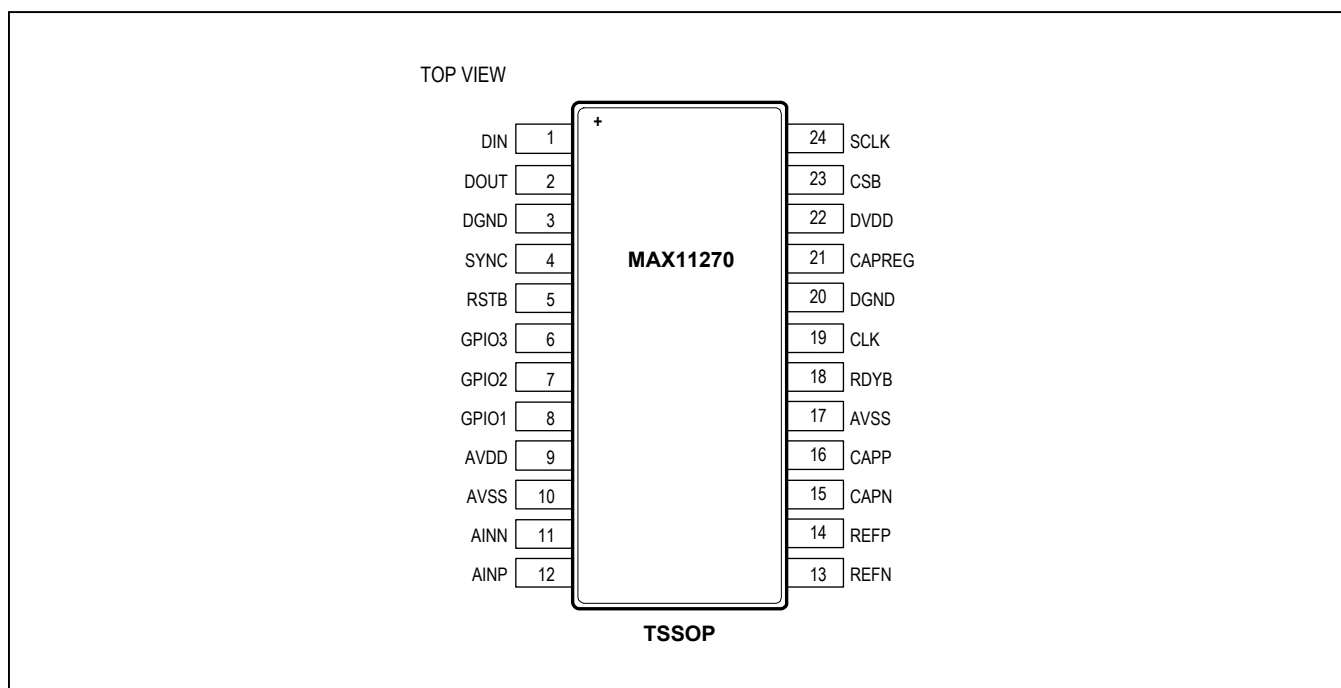
($V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{DVDD} = 2.0V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$; $f_{DATA} = 1000sps$, External Clock = 8.192MHz; Continuous conversion mode (SCYCLE = 0); PGA maximum output is 300mV below AVDD and minimum output is 300mV above AVSS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)



MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

引脚配置



引脚说明

| 引脚 | 名称 | 功能 |
|-------|-------|--|
| 1 | DIN | 串行数据输入，在SCLK的上升沿将数据移入至DIN。DIN配置内部寄存器写或命令操作。 |
| 2 | DOUT | 串行数据输出或实时调节器MBO输出。DOUT在常规数据模式下输出32或24位经过滤波的数据。DOUT在SCLK下降沿跳变。 |
| 3, 20 | DGND | 数字地。 |
| 4 | SYNC | SYNC复位。SYNC复位数字滤波器和调节器。连接多个并联MAX11270的SYNC，将多个ADC同步至外部触发器。该引脚为数字输入引脚，无内部下拉。正常工作，将该引脚驱动为低电平或拉低。 |
| 5 | RSTB | RSTB功能是完成复位全部数字功能，进入上电复位默认状态。该引脚为数字输入引脚，无内部上拉。正常工作，将该引脚驱动为高电平或拉高。 |
| 6 | GPIO3 | 通用I/O 3或调节器同步输出。GPIO3可配置为数字输入或输出。GPIO引脚具有弱上拉，不使用时不需要外部偏置。为获得最小功耗，GPIO配置为输入(默认)时，不要连接或驱动为高电平。 |
| 7 | GPIO2 | 通用I/O 2。通过SPI可控制寄存器。GPIO引脚具有弱上拉，不使用时不需要外部偏置。为获得最小功耗，GPIO配置为输入(默认)时，不要连接或驱动为高电平。 |
| 8 | GPIO1 | 通用I/O 1，通过SPI可控制寄存器。GPIO引脚具有弱上拉，不使用时不需要外部偏置。为获得最小功耗，GPIO配置为输入(默认)时，不要连接或驱动为高电平。 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

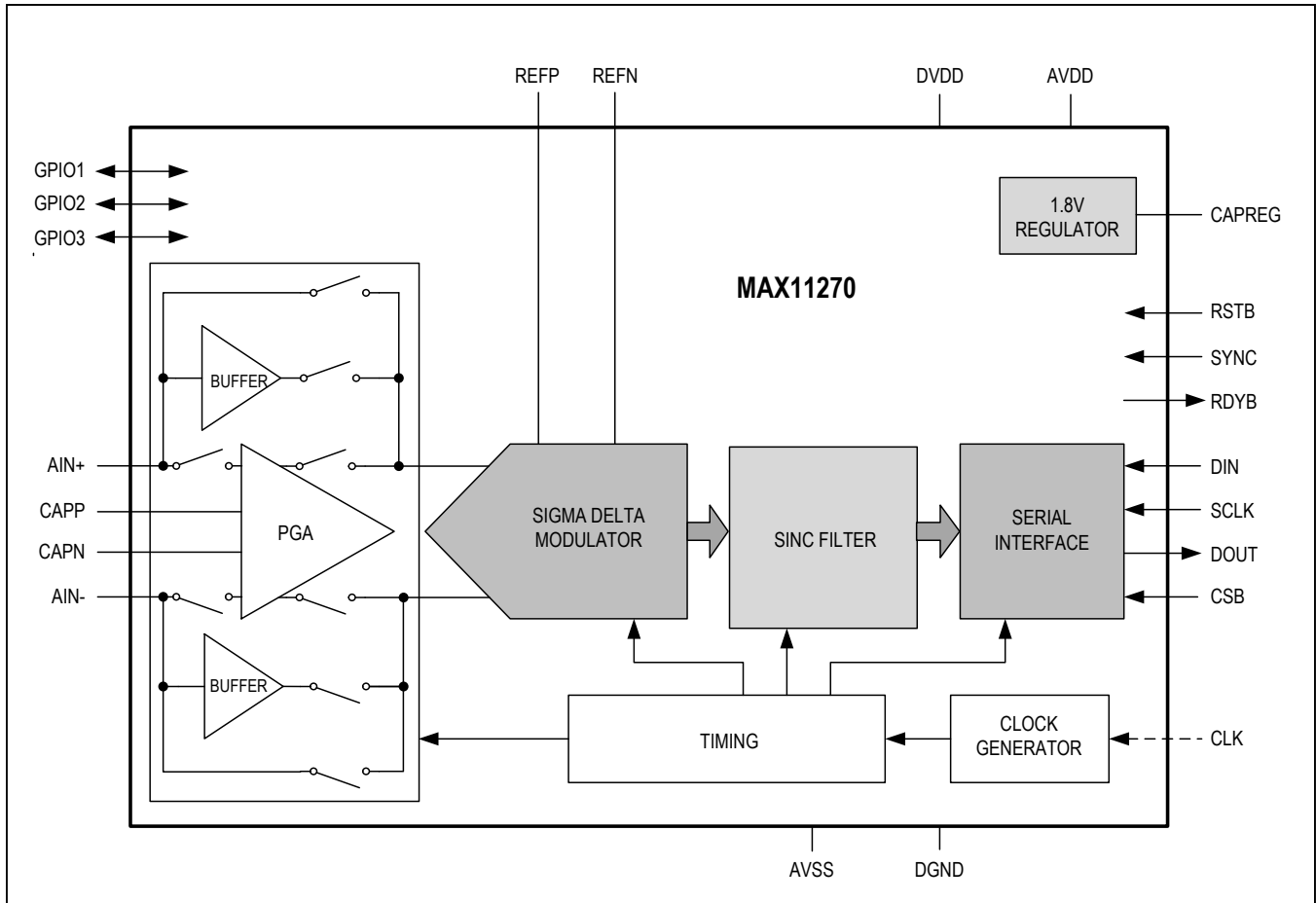
引脚说明(续)

| 引脚 | 名称 | 功能 |
|--------|--------|---|
| 9 | AVDD | 模拟电源正端。单电源模式下， $V_{AVDD} = 2.7V$ 至 $3.6V$ ， $V_{AVSS} = 0V$ ；双电源模式下，AVDD个AVSS的范围为 $\pm 1.35V$ 至 $\pm 1.8V$ 。 |
| 10, 17 | AVSS | 模拟电源负端。将AVSS连接至最低的电源负端。单电源模式下，连接 $V_{AVSS} = 0V$ ；双电源模式下，将AVSS连接在 $-1.8V$ 至 $0V$ 之间。 |
| 11 | AINN | 模拟输入负端。模拟输入可测量双极性或单极性范围，取决于AVDD和AVSS电压。 |
| 12 | AINP | 模拟输入正端。模拟输入可测量双极性或单极性范围，取决于AVDD和AVSS电压。 |
| 13 | REFN | 基准输入负端。REFN必须低于REFP。REFN电压必须在AVDD和AVSS之间。 |
| 14 | REFP | 基准输入正端。REFP必须高于REFN。REFP电压必须在AVDD和AVSS之间。 |
| 15 | CAPN | PGA滤波器电容输出负端。在CAPN和CAPP之间连接10nF COG电容。 |
| 16 | CAPP | PGA滤波器电容输出正端。在CAPN和CAPP之间连接10nF COG电容。 |
| 18 | RDYB | 低电平有效数据就绪输出或内部时钟输出。数据就绪时，RDYB变为有效低电平。连续转换模式下，选择SINC滤波器时，SYNC或POR事件禁止输出前4个数据值，允许滤波器稳定；使用FIR滤波器时，SYNC或POR事件禁止输出前63个数据值，允许滤波器稳定。 |
| 19 | CLK | 外部时钟输入。对于外部时钟模式，将EXTCLK位置1，在CLK提供数字时钟信号。MAX11270的额定时钟频率为8.192MHz。也可以使用其他时钟频率，但数据率和数字滤波器陷波频率将相应变化。该引脚为数字输入引脚，无内部下拉。禁止外部时钟时，将该引脚驱动为低电平。 |
| 21 | CAPREG | 内部1.8V子稳压器储能电容输出。利用10 μ F电容旁路至DGND。达到稳定要求的最小电容值为220nF。 |
| 22 | DVDD | 数字电源电压。给DVDD连接相对于DGND的2.0V至3.6V电压。 |
| 23 | CSB | 片选输入低电平有效。CSB置为低电平时，访问内部接口。SCLK连续时，CSB用于通信帧同步。将CSB驱动为高电平时，复位SPI接口。 |
| 24 | SCLK | 串行时钟输入。将SCLK连接至外部串行时钟时，发送命令或访问MAX11270的数据。 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

功能框图



24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

详细说明

MAX11270为一颗超低功耗ADC，具有极高的动态范围。该ADC能够将毫伏级模拟输入变化进行转换，使其非常适合于地震、仪器仪表以及ATE应用。用户可选择可编程增益放大器、单位增益缓冲器或直接连接至 Δ - Σ 采样网络。

MAX11270包括高精度内部振荡器，不要求外部器件。数据通过串行接口输出，采样率12.8ksps以下数据无延迟输出或采样率64ksps连续输出。MAX11270具有5阶数字SINC滤波器。

MAX11270可通过内部寄存器进行高度配置，寄存器可通过SPI接口进行访问。配置包括PGA增益选择、失调和增益校准，以及调节采样率，以优化性能。

系统时钟

MAX11270采用高度稳定的内部振荡器提供系统时钟。系统时钟精调至8.192MHz，然后进一步分频，提供数字和模拟时序。

电压基准输入

MAX11270提供差分输入的REFP和REFN，用于外部基准电压。将外部基准自己接连接在REFP和REFN引脚，获得差分基准电压。 V_{REFP} 应始终大于 V_{REFN} ，共模电压范围为1V至 $V_{AVDD} - 1V$ 。

模拟输入

MAX11270的一对差分模拟输入(AINP、AINN)经过缓冲或经过PGA或直接连至后面测量。关于设置和使能PGA、缓冲器或直接连接的信息，参见[控制寄存器2\(读/写\)](#)部分。默认配置为直接连接，PGA和输入缓冲器关断。

输入缓冲器

输入缓冲器将输入与带容性负载调节器隔离开，支持高输入阻抗模拟变送器。

旁路/直接连接

MAX11270可以选择缓冲器和PGA旁路，将模拟输入直接连接至调节器。由于缓冲器和PGA关断，该选项降低了器件的功耗。

可编程增益放大器(PGA)

集成PGA提供1倍至128倍增益设置。关于使能和设置PGA的信息，参见[控制寄存器2\(读/写\)](#)部分。[图1](#)所示为PGA配置。提供直接连接，以旁路PGA，直接连接至调节器。PGA的绝对输入电压范围为CMIRNG，PGA输出电压范围 V_{OUTRNG} ，见[Electrical Characteristics](#)部分。PGA输出共模电压与输入共模电压相同。

注意，超过PGA的可用输入共模电压范围时，线性度和性能下降。可用输入共模范围和输出共模范围见[图2](#)。以下公式为模拟输入和PGA输出之间的关系。

A_{INP} = PGA输入正端

A_{INN} = PGA输入负端

C_{APP} = PGA输出正端

C_{APN} = PGA输出负端

V_{CM} = 输入共模电压

GAIN = PGA增益

V_{REF} = ADC基准输入电压

$V_{IN} = V_{AINP} - V_{AINN}$

注：输入电压范围受限于基准电压： $V_{IN} \leq \pm V_{REF}/GAIN$

$$V_{CM} = \frac{(V_{AINP} + V_{AINN})}{2}$$

$$V_{CAPP} = V_{CM} + GAIN \times (V_{AINP} - V_{CM})$$

$$V_{CAPN} = V_{CM} - GAIN \times (V_{CM} - V_{AINN})$$

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

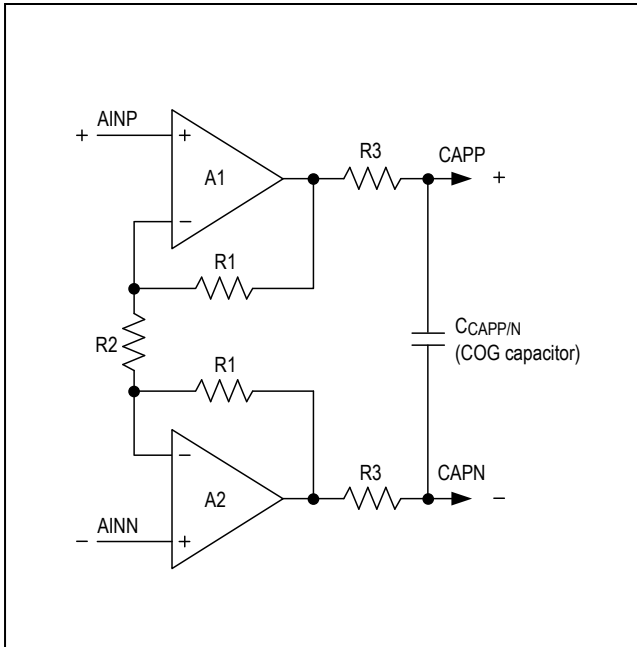


图1. PGA结构

输入电压范围

ADC输入范围可设置为双极性($-V_{REF}$ 至 $+V_{REF}$)或单极性(0至 V_{REF})的范围。CTRL1寄存器的U/B位配置MAX11270的单极性或双极性传递函数，参见图2。

噪声性能与数据率的关系

MAX11270提供软件可选的输出数据率，以优化数据率和噪声。命令字节的RATE位决定ADC的输出数据率。MAX11270在单周期转换模式下的延迟为零。在CTRL1寄存器中设置SCYCLE = 0，工作在连续转换模式；设置SCYCLE = 1是为单周期转换模式。

单周期转换模式下，输出结果无延迟，数据率可高达12.8ksps；连续转换模式下，最大输出数据率为64ksps。连续转换模式下，每个输入起步到输出数据需要额外的四个24位周期来稳定。为优化SNR与功耗的关系，建议采用差分PGA模式。对于8及以下的增益设置，使用低功耗模式；对于8以上的增益设置，使用低噪声PGA模式。

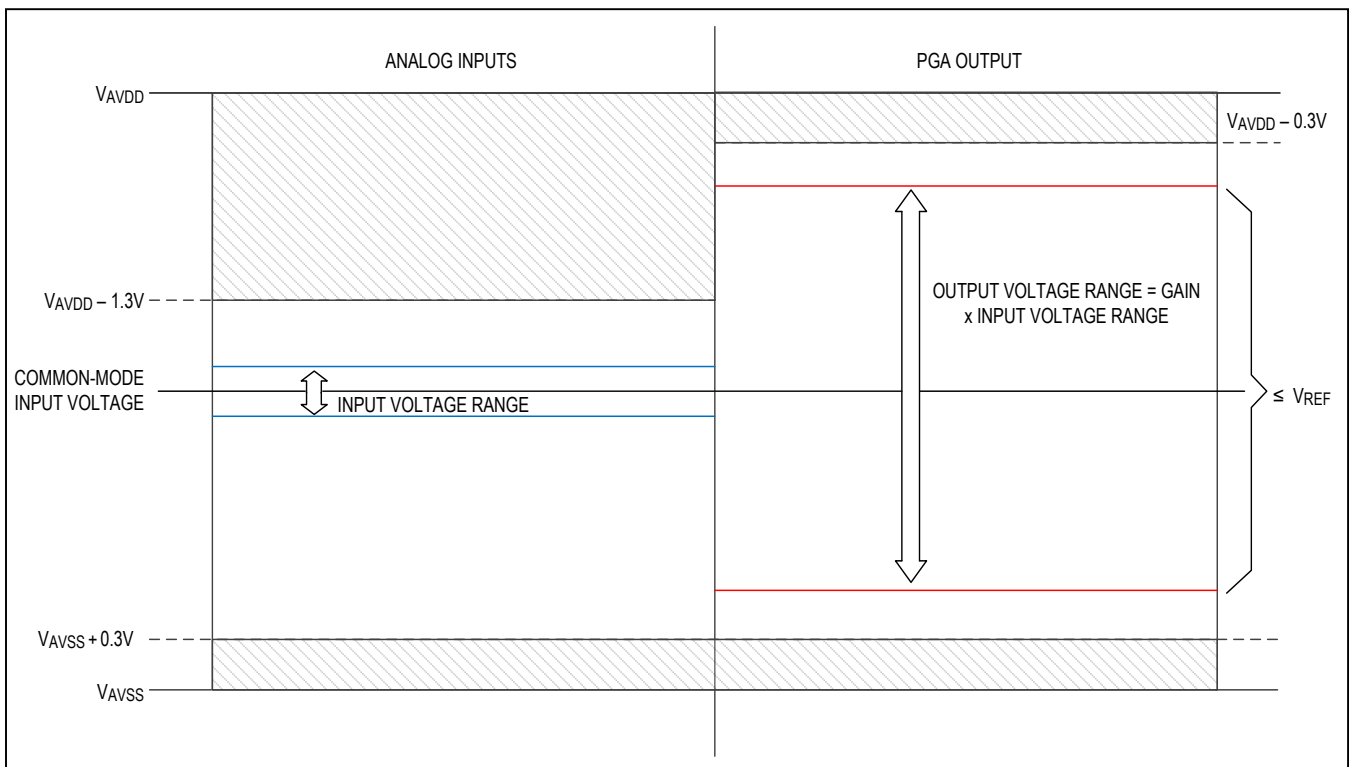


图2. 可用输入和输出共模范围

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表1. 连续模式SNR (dB)与数据率及PGA增益的关系，使用Sinc滤波器*

| DATA RATE (sps) | DIRECT CONNECT | BUFFER | PGA ENABLED: GAIN SETTING | | | | | | | | | | | | | | | |
|-----------------|----------------|--------|---------------------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | | | 1 | | 2 | | 4 | | 8 | | 16 | | 32 | | 64 | | 128 | |
| | | | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP |
| 1.9 | 129.8 | 130.2 | 128.8 | 128.7 | 130.0 | 129.5 | 129.8 | 129.8 | 130.0 | 130.0 | 129.7 | 129.7 | 130.0 | 129.5 | 128.7 | 127.6 | 126.1 | 124.0 |
| 3.9 | 129.8 | 129.9 | 128.6 | 128.5 | 130.1 | 129.9 | 130.0 | 129.7 | 129.9 | 129.7 | 129.4 | 129.4 | 129.6 | 128.8 | 127.9 | 126.9 | 124.3 | 122.6 |
| 7.8 | 129.4 | 129.8 | 128.4 | 128.3 | 129.9 | 129.6 | 129.7 | 129.6 | 129.5 | 129.5 | 129.5 | 129.3 | 128.6 | 127.7 | 126.6 | 125.4 | 122.3 | 120.2 |
| 15.6 | 129.3 | 129.5 | 128.2 | 128.2 | 129.5 | 129.5 | 129.6 | 129.5 | 129.2 | 129.0 | 128.7 | 127.8 | 127.9 | 126.5 | 124.8 | 123.4 | 119.7 | 117.0 |
| 31.2 | 125.5 | 125.6 | 124.4 | 124.2 | 125.7 | 125.5 | 125.7 | 125.5 | 125.2 | 125.2 | 124.9 | 124.7 | 123.9 | 123.5 | 121.3 | 120.2 | 116.6 | 114.7 |
| 62.5 | 123.4 | 123.6 | 122.3 | 122.1 | 123.6 | 123.4 | 123.5 | 123.5 | 123.2 | 123.2 | 122.8 | 122.7 | 121.6 | 121.2 | 118.8 | 117.5 | 113.8 | 111.9 |
| 125 | 119.9 | 119.9 | 118.7 | 118.6 | 120.0 | 120.0 | 119.9 | 119.9 | 119.7 | 119.7 | 119.4 | 119.3 | 118.4 | 117.8 | 115.7 | 114.3 | 110.8 | 108.8 |
| 250 | 117.9 | 118.0 | 116.7 | 116.7 | 118.0 | 118.0 | 117.9 | 117.9 | 117.7 | 117.8 | 117.3 | 117.1 | 116.1 | 115.4 | 113.1 | 111.6 | 108.0 | 105.9 |
| 500 | 114.1 | 114.2 | 113.0 | 112.9 | 114.2 | 114.2 | 114.1 | 114.1 | 114.0 | 114.0 | 113.6 | 113.5 | 112.6 | 112.0 | 110.0 | 108.4 | 105.0 | 102.9 |
| 1000 | 112.0 | 112.1 | 110.9 | 110.8 | 112.2 | 112.2 | 112.0 | 112.0 | 111.9 | 111.9 | 111.5 | 111.2 | 110.3 | 109.5 | 107.3 | 105.7 | 102.2 | 100.0 |
| 2000 | 108.1 | 108.2 | 106.9 | 106.9 | 108.3 | 108.3 | 108.2 | 108.2 | 108.1 | 108.1 | 107.8 | 107.5 | 106.8 | 106.1 | 104.2 | 102.6 | 99.2 | 97.1 |
| 4000 | 106.1 | 106.2 | 104.9 | 104.9 | 106.2 | 106.2 | 106.1 | 106.1 | 106.0 | 106.0 | 105.6 | 105.3 | 104.5 | 103.8 | 101.8 | 100.2 | 96.7 | 94.6 |
| 8000 | 102.2 | 102.3 | 101.0 | 101.0 | 102.4 | 102.4 | 102.3 | 102.3 | 102.2 | 102.2 | 102.0 | 101.7 | 101.2 | 100.6 | 99.0 | 97.6 | 94.4 | 92.4 |
| 16000 | 100.2 | 100.3 | 99.0 | 99.0 | 100.3 | 100.4 | 100.3 | 100.3 | 100.2 | 100.2 | 100.0 | 99.9 | 99.4 | 99.0 | 97.5 | 96.3 | 93.2 | 91.3 |
| 32000 | 96.2 | 96.3 | 95.1 | 95.1 | 96.4 | 96.4 | 96.3 | 96.4 | 96.3 | 96.3 | 96.2 | 96.0 | 95.7 | 95.3 | 94.1 | 93.0 | 90.2 | 88.4 |
| 64000 | 94.2 | 94.2 | 93.0 | 92.9 | 94.3 | 94.4 | 94.2 | 94.2 | 94.2 | 94.2 | 94.1 | 93.9 | 93.6 | 93.2 | 91.9 | 90.8 | 87.9 | 86.2 |

* $V_{IN} = 0V$ 。 $V_{AVDD} = 3.6V$ ， $V_{AVSS} = 0V$ ， $V_{REF} = 3.6V$ ， $T_A = +25^\circ C$ ， 外部时钟。数据来自于AVDD与AVSS之间的PGA输出为150mV时。该表基于特征数据，未经测试。

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表2. 连续模式输入基准噪声(μV_{RMS})与数据率及PGA增益的关系，使用Sinc滤波器*

| DATA RATE (sps) | DIRECT CONNECT | BUFFER | PGA ENABLED: GAIN SETTING | | | | | | | | | | | | | | | |
|-----------------|----------------|--------|---------------------------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | | | 1 | | 2 | | 4 | | 8 | | 16 | | 32 | | 64 | | 128 | |
| | | | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP |
| 1.9 | 0.825 | 0.805 | 0.837 | 0.838 | 0.451 | 0.475 | 0.220 | 0.217 | 0.109 | 0.110 | 0.058 | 0.057 | 0.029 | 0.031 | 0.017 | 0.019 | 0.011 | 0.020 |
| 3.9 | 0.824 | 0.833 | 0.857 | 0.865 | 0.446 | 0.455 | 0.215 | 0.222 | 0.111 | 0.113 | 0.060 | 0.060 | 0.030 | 0.034 | 0.018 | 0.021 | 0.013 | 0.016 |
| 7.8 | 0.866 | 0.844 | 0.875 | 0.878 | 0.452 | 0.471 | 0.221 | 0.223 | 0.116 | 0.117 | 0.060 | 0.061 | 0.034 | 0.038 | 0.021 | 0.024 | 0.016 | 0.021 |
| 15.6 | 0.868 | 0.865 | 0.893 | 0.878 | 0.476 | 0.476 | 0.224 | 0.225 | 0.120 | 0.123 | 0.065 | 0.072 | 0.037 | 0.044 | 0.026 | 0.031 | 0.022 | 0.030 |
| 31.2 | 1.350 | 1.368 | 1.391 | 1.412 | 0.741 | 0.750 | 0.352 | 0.357 | 0.190 | 0.189 | 0.101 | 0.103 | 0.058 | 0.062 | 0.039 | 0.044 | 0.032 | 0.039 |
| 62.5 | 1.717 | 1.717 | 1.766 | 1.800 | 0.938 | 0.957 | 0.455 | 0.453 | 0.239 | 0.238 | 0.129 | 0.131 | 0.076 | 0.080 | 0.052 | 0.060 | 0.043 | 0.054 |
| 125 | 2.580 | 2.611 | 2.658 | 2.682 | 1.418 | 1.427 | 0.684 | 0.686 | 0.355 | 0.355 | 0.191 | 0.194 | 0.111 | 0.119 | 0.075 | 0.087 | 0.061 | 0.077 |
| 250 | 3.238 | 3.283 | 3.346 | 3.370 | 1.786 | 1.790 | 0.860 | 0.865 | 0.447 | 0.449 | 0.243 | 0.249 | 0.144 | 0.156 | 0.101 | 0.120 | 0.085 | 0.108 |
| 500 | 5.031 | 5.084 | 5.177 | 5.211 | 2.758 | 2.764 | 1.333 | 1.332 | 0.686 | 0.690 | 0.370 | 0.378 | 0.214 | 0.232 | 0.145 | 0.172 | 0.120 | 0.153 |
| 1000 | 6.385 | 6.439 | 6.586 | 6.600 | 3.500 | 3.501 | 1.692 | 1.693 | 0.878 | 0.886 | 0.476 | 0.490 | 0.281 | 0.309 | 0.197 | 0.236 | 0.166 | 0.212 |
| 2000 | 9.980 | 10.059 | 10.352 | 10.315 | 5.454 | 5.484 | 2.633 | 2.637 | 1.360 | 1.370 | 0.728 | 0.747 | 0.420 | 0.456 | 0.282 | 0.335 | 0.232 | 0.295 |
| 4000 | 12.674 | 12.749 | 13.146 | 13.073 | 6.956 | 6.932 | 3.339 | 3.353 | 1.723 | 1.743 | 0.931 | 0.963 | 0.545 | 0.594 | 0.372 | 0.445 | 0.311 | 0.395 |
| 8000 | 19.739 | 19.953 | 20.455 | 20.371 | 10.814 | 10.830 | 5.198 | 5.204 | 2.674 | 2.695 | 1.421 | 1.456 | 0.799 | 0.857 | 0.512 | 0.599 | 0.403 | 0.510 |
| 16000 | 24.895 | 25.179 | 25.751 | 25.728 | 13.670 | 13.602 | 6.556 | 6.568 | 3.364 | 3.373 | 1.773 | 1.808 | 0.980 | 1.036 | 0.607 | 0.698 | 0.465 | 0.576 |
| 32000 | 39.335 | 39.649 | 40.563 | 40.547 | 21.501 | 21.502 | 10.328 | 10.287 | 5.260 | 5.292 | 2.758 | 2.807 | 1.510 | 1.579 | 0.905 | 1.017 | 0.659 | 0.811 |
| 64000 | 49.899 | 50.430 | 51.554 | 51.724 | 27.340 | 27.206 | 13.142 | 13.149 | 6.729 | 6.740 | 3.519 | 3.590 | 1.920 | 2.023 | 1.165 | 1.313 | 0.855 | 1.040 |

* $V_{IN} = 0V$, $V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{REF} = 3.6V$, $T_A = +25^\circ C$, 外部时钟。该表基于特征数据，未经测试。

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表3. 单周期模式SNR (dB)与数据率及PGA增益的关系，使用Sinc滤波器*

| DATA RATE (sps) | DIRECT CONNECT | BUFFER | PGA ENABLED: GAIN SETTING | | | | | | | | | | | | | | | |
|-----------------|----------------|--------|---------------------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | | | 1 | | 2 | | 4 | | 8 | | 16 | | 32 | | 64 | | 128 | |
| | | | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP |
| 50 | 123.9 | 123.6 | 119.0 | 119.0 | 121.9 | 121.9 | 123.3 | 123.3 | 123.2 | 123.2 | 123.0 | 122.7 | 122.0 | 121.1 | 119.1 | 117.6 | 114.1 | 112.1 |
| 62.5 | 124.0 | 123.4 | 119.0 | 119.0 | 121.7 | 121.7 | 123.1 | 123.1 | 123.0 | 123.0 | 122.8 | 122.3 | 121.5 | 120.5 | 118.7 | 116.7 | 113.1 | 111.2 |
| 100 | 120.1 | 119.8 | 115.3 | 115.2 | 118.1 | 118.1 | 119.5 | 119.6 | 119.3 | 119.2 | 119.2 | 118.9 | 118.0 | 117.5 | 115.7 | 114.4 | 111.0 | 108.9 |
| 125 | 120.2 | 119.9 | 115.2 | 115.1 | 118.1 | 118.1 | 119.4 | 119.3 | 119.3 | 119.2 | 119.0 | 118.8 | 118.0 | 117.1 | 115.2 | 113.5 | 110.1 | 108.1 |
| 200 | 118.2 | 117.6 | 113.0 | 113.0 | 116.0 | 116.0 | 117.3 | 117.3 | 117.3 | 117.2 | 116.9 | 116.7 | 115.8 | 115.0 | 112.9 | 111.4 | 107.9 | 105.7 |
| 250 | 118.0 | 117.6 | 113.0 | 113.0 | 115.9 | 115.9 | 117.3 | 117.3 | 117.1 | 117.1 | 116.8 | 116.4 | 115.4 | 114.5 | 112.3 | 110.6 | 107.2 | 104.9 |
| 400 | 114.2 | 113.8 | 109.1 | 109.1 | 112.1 | 112.0 | 113.5 | 113.5 | 113.4 | 113.3 | 113.1 | 112.8 | 112.2 | 111.5 | 109.6 | 108.0 | 104.8 | 102.6 |
| 500 | 114.2 | 113.7 | 109.1 | 109.1 | 112.0 | 112.0 | 113.4 | 113.4 | 113.2 | 113.2 | 112.9 | 112.5 | 111.8 | 110.9 | 108.8 | 107.3 | 103.7 | 101.6 |
| 800 | 112.0 | 111.7 | 107.0 | 107.1 | 109.9 | 110.0 | 111.3 | 111.3 | 111.2 | 111.1 | 110.8 | 110.5 | 109.6 | 108.7 | 106.6 | 105.0 | 101.4 | 99.2 |
| 1000 | 112.0 | 111.6 | 107.0 | 106.9 | 109.9 | 109.8 | 111.2 | 111.2 | 111.1 | 110.9 | 110.6 | 110.1 | 109.1 | 108.0 | 105.8 | 103.9 | 100.3 | 98.2 |
| 1600 | 108.1 | 107.7 | 103.1 | 103.1 | 106.0 | 106.0 | 107.4 | 107.3 | 107.3 | 107.1 | 106.8 | 106.5 | 105.6 | 104.8 | 102.7 | 101.1 | 97.5 | 95.3 |
| 2000 | 107.9 | 107.5 | 103.0 | 102.9 | 105.9 | 105.8 | 107.2 | 107.2 | 107.1 | 106.9 | 106.5 | 106.1 | 105.0 | 103.9 | 101.5 | 99.8 | 96.2 | 94.0 |
| 3200 | 106.0 | 105.6 | 101.0 | 101.0 | 103.9 | 103.9 | 105.2 | 105.2 | 105.1 | 105.0 | 104.6 | 104.2 | 103.2 | 102.2 | 99.9 | 98.2 | 94.6 | 92.4 |
| 4000 | 105.8 | 105.4 | 100.8 | 100.8 | 103.7 | 103.7 | 105.0 | 105.0 | 104.8 | 104.7 | 104.2 | 103.7 | 102.4 | 101.3 | 98.8 | 97.0 | 93.2 | 91.1 |
| 6400 | 101.9 | 101.5 | 96.9 | 96.9 | 99.8 | 99.8 | 101.2 | 101.2 | 101.0 | 100.9 | 100.5 | 100.1 | 99.0 | 98.0 | 95.7 | 93.9 | 90.2 | 88.2 |
| 12800 | 101.4 | 100.9 | 96.4 | 96.3 | 99.2 | 99.2 | 100.6 | 100.5 | 100.3 | 100.1 | 99.5 | 98.9 | 97.5 | 96.4 | 93.7 | 91.9 | 88.1 | 86.0 |

* $V_{IN} = 0V$, $V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{REF} = 3.6V$, $T_A = +25^\circ C$, 外部时钟。数据来自于AVDD与AVSS之间的PGA输出为150mV时。该表基于特征数据，未经测试。

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表4. 单周期模式输入基准噪声(μV_{RMS})与数据率及PGA增益的关系，使用Sinc滤波器*

| DATA RATE (sps) | DIRECT CONNECT | BUFFER | PGA ENABLED: GAIN SETTING | | | | | | | | | | | | | | | |
|-----------------|----------------|--------|---------------------------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | | | 1 | | 2 | | 4 | | 8 | | 16 | | 32 | | 64 | | 128 | |
| | | | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP | LN | LP |
| 50 | 1.620 | 1.614 | 1.655 | 1.643 | 0.835 | 0.833 | 0.423 | 0.420 | 0.219 | 0.219 | 0.115 | 0.120 | 0.067 | 0.074 | 0.046 | 0.055 | 0.038 | 0.048 |
| 62.5 | 1.604 | 1.652 | 1.648 | 1.633 | 0.850 | 0.847 | 0.432 | 0.433 | 0.225 | 0.224 | 0.118 | 0.125 | 0.071 | 0.079 | 0.049 | 0.061 | 0.043 | 0.054 |
| 100 | 2.502 | 2.517 | 2.524 | 2.571 | 1.298 | 1.285 | 0.653 | 0.651 | 0.344 | 0.346 | 0.179 | 0.186 | 0.105 | 0.112 | 0.068 | 0.080 | 0.055 | 0.070 |
| 125 | 2.479 | 2.493 | 2.566 | 2.580 | 1.296 | 1.293 | 0.666 | 0.670 | 0.343 | 0.347 | 0.183 | 0.187 | 0.105 | 0.117 | 0.073 | 0.088 | 0.061 | 0.077 |
| 200 | 3.136 | 3.232 | 3.298 | 3.234 | 1.655 | 1.644 | 0.842 | 0.834 | 0.432 | 0.435 | 0.232 | 0.240 | 0.136 | 0.150 | 0.094 | 0.112 | 0.078 | 0.101 |
| 250 | 3.204 | 3.248 | 3.297 | 3.301 | 1.669 | 1.649 | 0.847 | 0.844 | 0.439 | 0.441 | 0.237 | 0.248 | 0.142 | 0.158 | 0.101 | 0.122 | 0.085 | 0.111 |
| 400 | 4.961 | 5.031 | 5.144 | 5.151 | 2.580 | 2.601 | 1.311 | 1.310 | 0.675 | 0.684 | 0.361 | 0.374 | 0.206 | 0.224 | 0.138 | 0.165 | 0.112 | 0.144 |
| 500 | 4.976 | 5.076 | 5.153 | 5.095 | 2.603 | 2.612 | 1.326 | 1.331 | 0.688 | 0.690 | 0.368 | 0.388 | 0.216 | 0.238 | 0.151 | 0.179 | 0.127 | 0.162 |
| 800 | 6.371 | 6.380 | 6.556 | 6.533 | 3.302 | 3.298 | 1.682 | 1.691 | 0.869 | 0.881 | 0.469 | 0.487 | 0.277 | 0.307 | 0.194 | 0.234 | 0.165 | 0.212 |
| 1000 | 6.381 | 6.480 | 6.597 | 6.628 | 3.337 | 3.344 | 1.710 | 1.710 | 0.883 | 0.899 | 0.484 | 0.509 | 0.294 | 0.333 | 0.214 | 0.264 | 0.187 | 0.240 |
| 1600 | 9.983 | 10.128 | 10.317 | 10.336 | 5.197 | 5.227 | 2.648 | 2.658 | 1.367 | 1.390 | 0.743 | 0.771 | 0.440 | 0.484 | 0.306 | 0.368 | 0.260 | 0.333 |
| 2000 | 10.201 | 10.312 | 10.479 | 10.516 | 5.283 | 5.299 | 2.699 | 2.708 | 1.403 | 1.434 | 0.772 | 0.809 | 0.473 | 0.534 | 0.350 | 0.425 | 0.303 | 0.389 |
| 3200 | 12.812 | 12.905 | 13.183 | 13.192 | 6.664 | 6.649 | 3.391 | 3.406 | 1.764 | 1.786 | 0.963 | 1.006 | 0.583 | 0.649 | 0.419 | 0.511 | 0.363 | 0.466 |
| 4000 | 12.996 | 13.159 | 13.416 | 13.415 | 6.764 | 6.795 | 3.464 | 3.474 | 1.815 | 1.843 | 1.010 | 1.071 | 0.634 | 0.723 | 0.478 | 0.591 | 0.425 | 0.544 |
| 6400 | 20.411 | 20.637 | 21.067 | 21.080 | 10.571 | 10.598 | 5.395 | 5.426 | 2.816 | 2.842 | 1.546 | 1.617 | 0.940 | 1.056 | 0.686 | 0.837 | 0.600 | 0.758 |
| 12800 | 21.755 | 21.988 | 22.412 | 22.461 | 11.320 | 11.330 | 5.806 | 5.855 | 3.051 | 3.129 | 1.724 | 1.847 | 1.114 | 1.277 | 0.860 | 1.056 | 0.769 | 0.975 |

* $V_{IN} = 0V$, $V_{AVDD} = 3.6V$, $V_{AVSS} = 0V$, $V_{REF} = 3.6V$, $T_A = +25^\circ C$, 外部时钟。数据来自于AVDD与AVSS之间的PGA输出为150mV时。该表基于特征数据，未经测试。

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

上电复位

MAX11270包含上电复位(POR)电源监控电路，包括数字电源(DVDD)和正模拟电源(AVDD)。经过数字或模拟上电顺序上电后，POR电路确保器件处于正确的默认条件。

数字POR触发器门限典型值为1.2V (相对于 V_{DGND})，滞回为100mV；模拟POR触发器门限典型值为1.25V (相对于 V_{AVSS})，滞回为100mV。两个POR电路均有低通滤波器，防止触发POR时产生的高频电源尖峰脉冲。

关断模式

MAX11270可通过命令字节的IMPD位关断，CTRL1寄存器的PD[1:0]位用于选择关断状态。关断状态下，SPI保持全功能。

休眠模式：通过向PD[1:0]位写01设置为休眠模式。该状态下，关断为数字核心供电的内部子稳压器。这是器件的最低功耗状态。

待机模式(10)：通过向PD[1:0]位写10设置为待机模式。该模式下，器件处于非工作状态，但子稳压器仍然保持打开。这允许在接收到开始转换命令后立即开始转换。

表5. MAX11270接收到引脚(RSTB、SYNC)及SPI (RESET、SYNC_SPI)命令后的行为

| 发送的命令 | 命令来源 | 命令之前的状态 | 命令之后的状态 | 转换时间(最大值) | 命令解释及造成的芯片状态 |
|-------------------------------------|----------|-------------|---------|-----------|----------------|
| RESET SPI or PIN | SPI, PIN | STBY | STBY | — | 芯片POR。 |
| | | SLEEP | STBY | 5ms | 芯片POR。 |
| | | Calibration | STBY | — | 校准停止，芯片POR。 |
| | | Conversion | STBY | — | 转换停止，芯片POR。 |
| IMPD CTRL1:PD='01' SLEEP Mode | SPI | STBY | SLEEP | — | 芯片从待机变为休眠状态。 |
| | | SLEEP | SLEEP | — | 芯片保持在休眠状态。 |
| | | Calibration | SLEEP | — | 校准停止。 |
| | | Conversion | SLEEP | — | 转换停止。 |
| IMPD CTRL1:PD='10' STBY Mode | SPI | STBY | STBY | — | 芯片保持在待机状态。 |
| | | SLEEP | STBY | — | 芯片从休眠变为待机状态。 |
| | | Calibration | STBY | — | 校准停止，芯片变为待机状态。 |
| | | Conversion | STBY | — | 转换停止，芯片变为待机状态。 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表5. MAX11270接收到引脚(RSTB、SYNC)及SPI (RESET、SYNC_SPI)命令后的行为(续)

| 发送的命令 | 命令来源 | 命令之前的状态 | 命令之后的状态 | 转换时间(最大值) | 命令解释及造成的芯片状态 |
|-----------------------|----------|-------------|-------------|-----------|--|
| SYNC | SPI, PIN | STBY | STBY | — | 忽略SYNC，芯片保持在待机模式。 |
| | | Calibration | Calibration | — | 忽略SYNC。 |
| | | Conversion | Conversion | — | 脉冲SYNC模式，重新启动转换。 |
| | | Conversion | Conversion | — | 连续SYNC模式，第1个SYNC上升沿设置时钟计数器，之后的上升沿与时钟计数器进行比较。如果计数偏差超过 ± 1 个时钟计数，则重新启动转换；否则无任何动作，继续执行转换。如果SYNC上升沿出现在转换开始后RDYB首次变为有效之前，则忽略SYNC。一旦第一个RDYB变为有效，则评估之后的全部SYNC上升沿。 |
| CMD Register Write | SPI | STBY | STBY | — | 芯片保持在待机状态。 |
| | | SLEEP | SLEEP | — | 芯片保持在休眠状态。 |
| | | Calibration | STBY | — | 校准停止，芯片进入待机模式。 |
| | | Conversion | STBY | — | 转换停止，芯片进入待机模式。 |
| Convert Command Write | SPI | STBY | Conversion | — | 退出待机模式，启动转换。 |
| | | SLEEP (SPI) | Conversion | — | 退出休眠模式，启动转换。 |
| | | Calibration | Conversion | — | 校准停止，然后开始新转换。 |
| | | Conversion | Conversion | — | 转换停止，然后开始新转换。 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

数字滤波器

数字滤波器为模式可配置的数字滤波器和抽样器，处理来自于四阶 Δ - Σ 调节器的一位数据流，并实现具有平均功能的五阶SINC函数，产生24位宽数据流。

SINC滤波器

SINC滤波器允许MAX11270达到极高SNR。四阶SINC滤波器的特性之一是带宽大约为数据率的20%。下例所示，16ksps数据率下的3dB BW为大约3kHz。

串行接口

MAX11270接口完全兼容SPI、QSPI™和MICROWIRE®标准串行接口。SPI接口提供对片上寄存器的访问，位宽为8位至24位。

片选(CSB)

CSB为低电平有效片选输入，与MAX11270通信。CSB从低电平跳变为高电平时，用于复位SPI接口。CSB为低电

QSPI是Motorola, Inc的商标。

MICROWIRE是National Semiconductor Corp的注册商标。

平时，在SCLK上升沿从DIN将数据移入器件，在SCLK的下降沿将数据移出DOUT；CSB为高电平时，忽略SCLK和DIN，DOUT为高阻，允许与其它器件共用DOUT。

SCLK (串行时钟)

串行时钟(SCLK)用于同步主机器件与MAX11270之间的数据通信。在SCLK上升沿移入数据，在SCLK下降沿移出数据。不通信时，SCLK保持为低电平。

DIN (串行数据输入)

在SCLK上升沿，将DIN上的数据移入至内部寄存器。

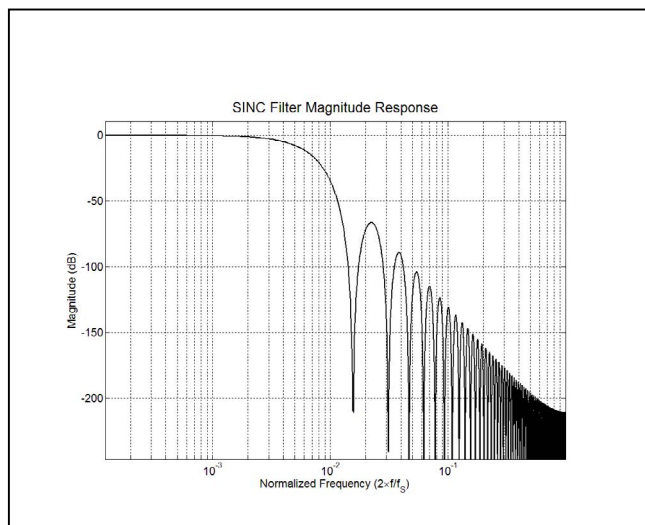


图3a. SINC幅值响应

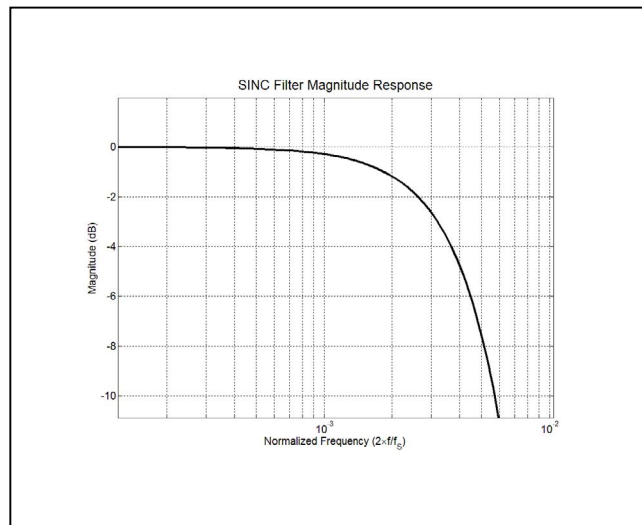


图3b. SINC幅值响应放大图

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

DOUT (串行数据输出)

CSB为低电平时，DOUT引脚为有源驱动；CSB为高电平时，该引脚为高阻状态。在SCLK下降沿将数据移出到DOUT。

数据就绪(RDYB)

RDYB输出转换状态指示。转换结果就绪可以去读取时，RDYB拉到低电平，并保持为低电平，直到用户读取转换结果。数据寄存器读取完成后，SCLK变高，RDYB返回高电平。RDYB也会先于DATA寄存器更新4个主时钟之前复位为高电平(见图4)。

调节器处于连续工作模式之一时，以及器件遇到RESET、SYNC或POR事件时，RDYB引脚将保持高电平，直到选择的滤波器稳定。如果选择SINC滤波器，RDYB保持为高电平达5个 t_{CNV} 时间，然后每个 t_{CNV} 输出数据。

也可以通过读取STAT1寄存器的MSTAT位，来确定转换状态。

SPI未完成写命令结果

寄存器写操作时，在每8个时钟周期更新寄存器值，数据字节从MSB开始。写多字节寄存器的第一个数据字节或一个8位寄存器，需要至少16个SCLK。例如，24位寄存器写操作要求8个SCLK用于寄存器访问字节和24个SCLK(写数据位)。如果一个需要32个SCLK的，而只发送了15个SCLK，将不更新寄存器值。更新MSB字节至少需要16个SCLK。例如，如果用户要对24位寄存器的写命令，并在16个SCLK后终止，则只更新MSB字节，即23至16位。寄存器的15至0位将保持原值。

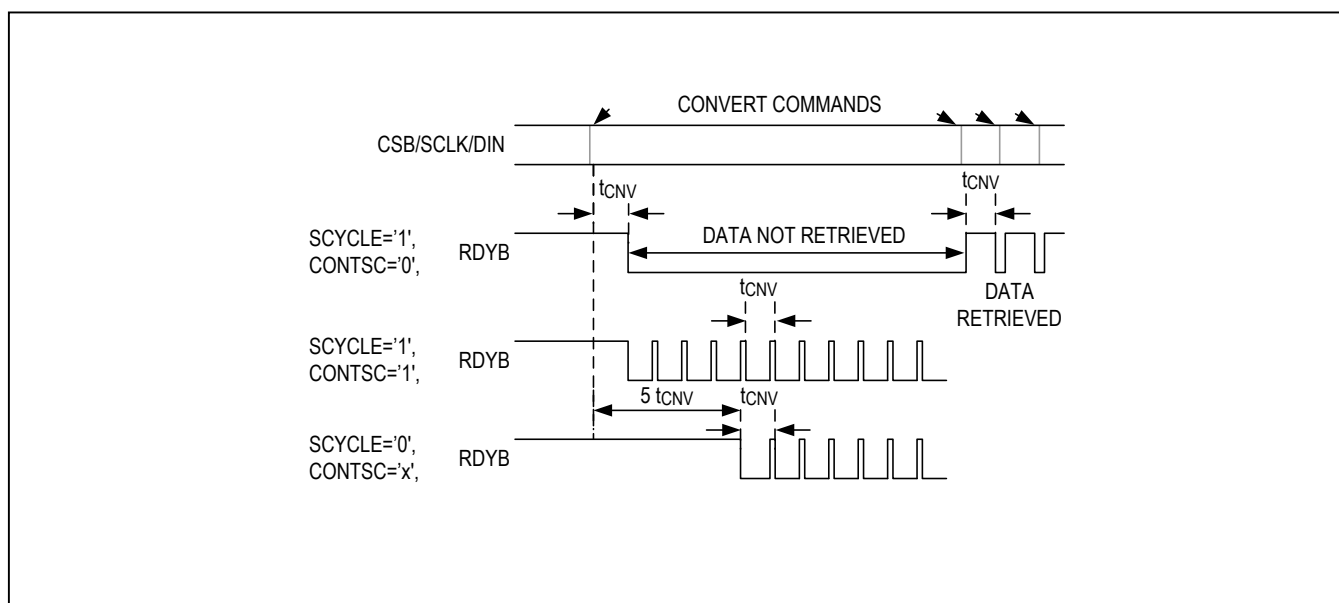


图4. 所有转换模式的DATA就绪时序

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

SPI未完成读命令结果

只要CSB保持为低电平，SPI接口则保持为读模式，与发送的SCLK数量无关。要从总线移除该器件以及复位内部SPI控制器，CSB引脚必须跳变为高电平。寄存器读模式下，如果在达到最大数量SCLK之前，CSB引脚跳变为高电平，终止读操作，不管DIN引脚上的任何变化。

读取DATA寄存器时，RDYB的行为取决于读取的位数。如果最后第23位读操作完成，RDYB复位为高电平；如果用户读取少于23位，内部逻辑认为读操作未完成，RDYB保持为低电平。用户可在相同转换周期内发起新的读操作，必须在下次DATA寄存器更新之前完成新24位读操作。

SPI时序参数

图4至图7所示为命令字节和寄存器访问操作的SPI时序图。MAX11270时序允许用户在SCLK上升沿和下降沿改变输入数据。器件在SCLK下降沿读出的数据可被用户在之后的上升沿或下降沿进行采样。

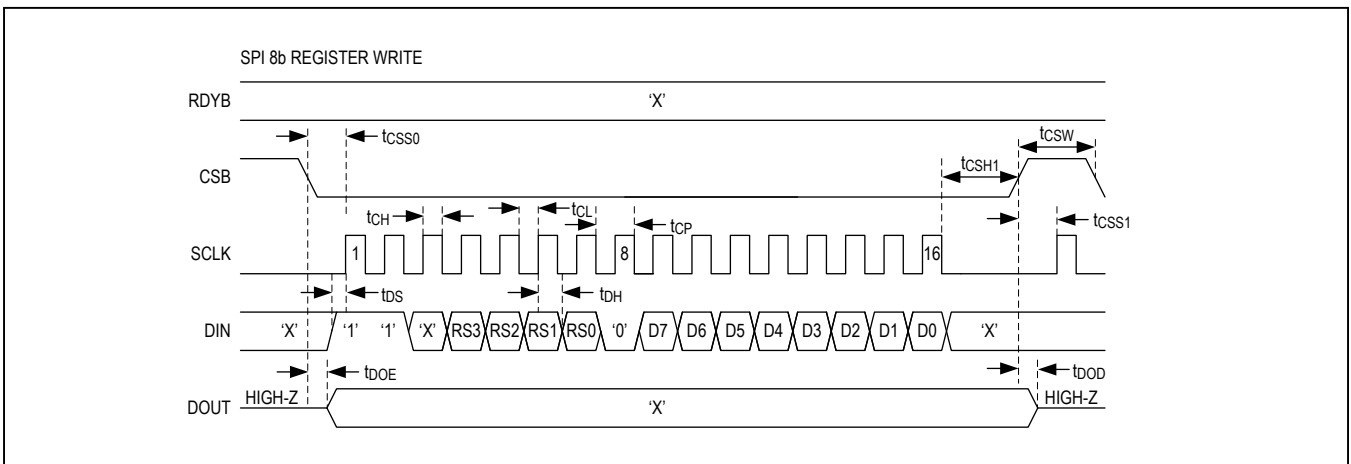


图5. SPI寄存器写操作时序图

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

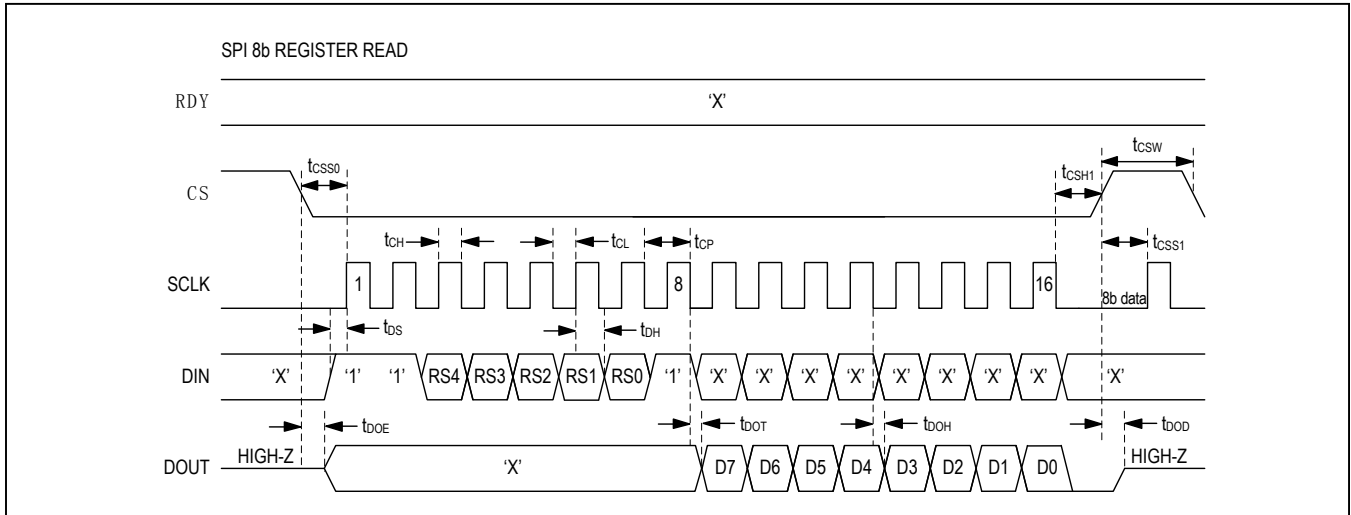


图6. SPI寄存器读操作时序图

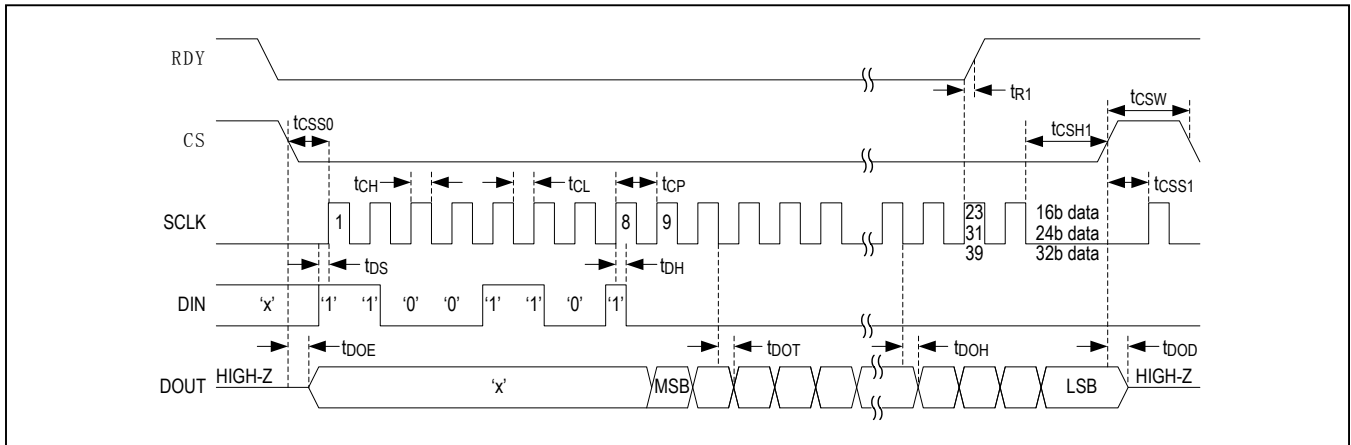


图7. SPI数据读出时序图

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

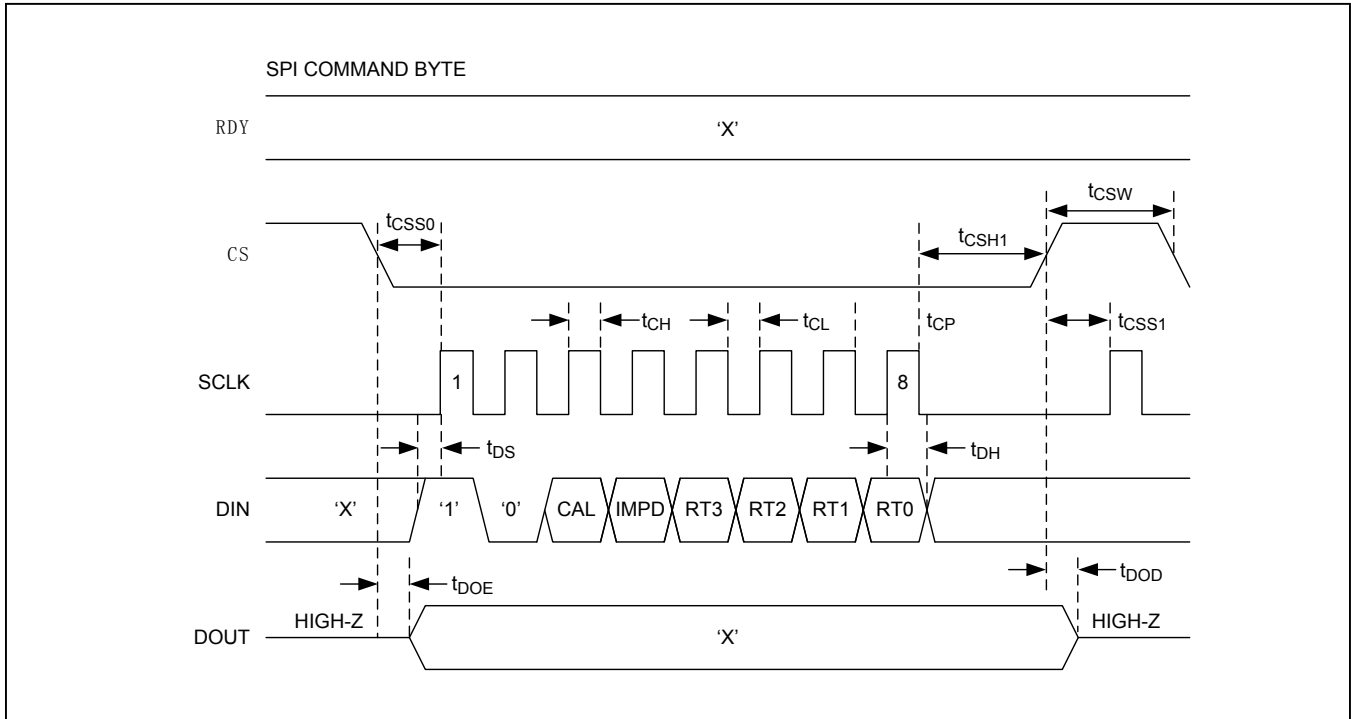


图8. SPI命令字节时序图

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

模式和寄存器

MAX11270接口有两种工作模式：转换模式或寄存器访问模式，由命令字节选择。SPI与MAX11270的每次会话以命令字节开始。命令字节以START位(B7)开始，必须设置为1。下一位为MODE位(B6)，选择转换模式或寄存器访问模式。根据所选择的模式，命令字节的剩余位具有相应的编码。

如果命令字节为寄存器读/写请求，将CSB保持为低电平，以进入读或写操作，并在命令末尾将CSB拉高。例如，如果命令为读取24位数据寄存器，将CSB保持为低电平达32个SCLK (8个命令周期和24个数据周期)。在SCLK上升沿附近不得发生CSB跳变，必须遵守时序部分详细规定的建立和保持时间。

CSB从低到高时，结束当前的SPI事务。如果在寄存器写命令期间将CSB拉高，寄存器将保留部分写入的数据。这不会造成被读或被写内部寄存器的状态变化。

转换模式(MODE = 0)

表6. 转换模式的命令字节(MODE = 0)

| BIT | B7 (MSB) | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
|----------|-----------|----------|-----|------|-------|-------|-------|-------|
| BIT NAME | START = 1 | MODE = 0 | CAL | IMPD | RATE3 | RATE2 | RATE1 | RATE0 |

将MODE为置0时：启动转换(数据率由RATE[3:0]位决定)、立即关断器件或执行校准。

CAL位(B5)决定是否执行校准。CAL = 1时执行校准，其它所有操作时CAL = 0。根据校准位CTRL 5的设置，执行校准。另参见下文中关于校准的讨论。

IMPD位(B4)控制软件关断。IMPD = 1时，完成命令字节后，关断MAX11270并进入休眠模式或待机模式，取决于CTRL1的PD位设置。关断状态不发生变化，直到接收到被认为是转换字节(MODE = 0, IMPD = 0)的另一命令字节。IMPD = 0时正常工作。

数据率位RATE[3:0]决定转换速度。速度表如下文表7所示。

寄存器访问模式(MODE = 1)

表7. 寄存器访问模式的命令字节(MODE = 1)

| BIT | B7 (MSB) | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
|----------|-----------|----------|-----|-----|-----|-----|-----|------------------|
| BIT NAME | START = 1 | MODE = 1 | RS4 | RS3 | RS2 | RS1 | RS0 | R \overline{W} |

MODE 1或寄存器访问模式用于对MAX11270的寄存器执行的是读或是写操作。MODE位(B6) = 1时，配置寄存器访问模式的命令字节。

RS[4:0]位决定寻址的寄存器，如表6所示。

R \overline{W} 位使能寄存器读或写。R \overline{W} = 0时，写所选的寄存器；R \overline{W} = 1时读所选的寄存器。

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

寄存器映射

寄存器地址映射

MAX11270中有14个可访问的寄存器。绝大部分寄存器可执行读和写操作，但STAT和DATA寄存器为只读寄存器。RAM和SYNC不是物理寄存器，而是用于使能特定工作模式的地址。

表8. 寄存器地址映射

| REGISTER NAME | R/W | ADDRESS SELECT RS[3:0] | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
|---------------|-----|------------------------|--|----------|---------|---------|---------|---------|--------|--------|
| STAT | R | 0x0 | INRESET | ERROR | — | — | PDSTAT1 | PDSTAT0 | RDERR | AOR |
| | | | RATE3 | RATE2 | RATE1 | RATE0 | SYSGOR | DOR | MSTAT | RDY |
| CTRL1 | R/W | 0x1 | EXTCK | SYNCMODE | PD1 | PD0 | U/~B | FORMAT | SCYCLE | CONTSC |
| CTRL2 | R/W | 0x2 | DGAIN1 | DGAIN0 | BUFEN | LPMODE | PGAEN | PGAG2 | PGAG1 | PGAG0 |
| CTRL3 | R/W | 0x3 | — | — | ENMSYNC | MODBITS | DATA32 | — | — | — |
| CTRL4 | R/W | 0x4 | — | DIR3 | DIR2 | DIR1 | — | DIO3 | DIO2 | DIO1 |
| CTRL5 | R/W | 0x5 | CAL1 | CAL0 | — | — | NOSYSG | NOSYSO | NOSCG | NOSCO |
| DATA | R | 0x6 | D[23:0] | | | | | | | |
| SOC_SPI | R/W | 0x7 | B[23:0] | | | | | | | |
| SGC_SPI | R/W | 0x8 | B[23:0] | | | | | | | |
| SCOC_SPI | R/W | 0x9 | B[23:0] | | | | | | | |
| SCGC_SPI | R/W | 0xA | B[23:0] | | | | | | | |
| RAM | R/W | 0xC | Address space only, not a physical register. Please contact factory for instructions on using internal RAM function. | | | | | | | |
| SYNC_SPI | W | 0xD | Address space only, not a physical register. Please contact factory for instructions on using internal RAM function. | | | | | | | |
| SOC_ADC | R | 0x15 | B[23:0] | | | | | | | |
| SGC_ADC | R | 0x16 | B[23:0] | | | | | | | |
| SCOC_ADC | R | 0x17 | B[23:0] | | | | | | | |
| SCGC_ADC | R | 0x18 | B[23:0] | | | | | | | |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

状态寄存器(只读)

MAX11270中有14个可访问的寄存器。绝大部分寄存器可执行读和写操作，但STAT和DATA寄存器为只读寄存器。RAM和SYNC不是物理寄存器，而是用于使能特定工作模式的地址。

| 位 | B15 | B14 | B13 | B12 | B11 | B10 | B09 | B08 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|-----|---------|-------|-----|-----|---------|---------|-------|-----|-------|-------|-------|-------|--------|-----|-------|-----|
| 位名称 | INRESET | ERROR | — | — | PDSTAT1 | PDSTAT0 | RDERR | AOR | RATE3 | RATE2 | RATE1 | RATE0 | SYSGOR | DOR | MSTAT | RDY |
| 默认值 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

| 位 | 默认值 | 位名称 | 功能 |
|----|-----|---------|---|
| 00 | 0 | RDY | 就绪位。新转换结果可用时，RDY = 1；对DATA寄存器执行读操作时，复位RDY = 0。RDY位的功能是冗余的，被RDYB引脚复制。 |
| 01 | 0 | MSTAT | 测量状态位。MSTAT = 1表示正在执行转换、自校准或系统校准，调节器忙碌；调节器未执行转换时，MSTAT = 0。 |
| 02 | 0 | DOR | 数据超范围位。DOR = 1表示转换结果已经超出最大或最小值，结果被截断或限制为最大值；转换结果位于满幅范围之内时，DOR = 0。 |
| 03 | 0 | SYSGOR | 系统增益超范围位。SYSGOR = 1表示系统增益校准超范围。SGC校准系数最大值为1.9999999。 |
| 04 | 1 | RATE0 | 数据率位，参见表13。RATE位表示与DATA寄存器中结果对应的转换速率，或者用于校准系数计算的转换速率。注：RATE位始终表示上次转换的速率，而不是正在执行的转换速率。 |
| 05 | 0 | RATE1 | |
| 06 | 0 | RATE2 | |
| 07 | 1 | RATE3 | |
| 08 | 0 | AOR | 模拟超范围位。调节器检测到模拟输入电压超过满幅范围的1.3倍时，AOR = 1。 |
| 09 | 0 | RDERR | 数据读错误位。用户正在读取DATA寄存器时，如果有新转换结果正写入到DATA寄存器，RDERR = 1；否则RDERR = 0。 |
| 10 | 0 | PDSTAT0 | 00：ADC正在执行转换。 01：器件已完全关断。 |
| 11 | 1 | PDSTAT1 | 10：处于待机模式，调节器关断，但子稳压器打开。 11：保留。 |
| 12 | 1 | — | — |
| 13 | 1 | — | — |
| 14 | 0 | ERROR | 错误位。CAL[1:0]位设置为无效的11时，ERROR = 1。 |
| 15 | 0 | INRESET | 复位位。启动软件复位时，INRESET = 1，直到器件退出复位模式。 |

MAX11270

24位、10mW、130dB SNR、64ksps、
 Δ - Σ ADC，带集成PGA

表9. 可编程转换速率

| RATE[3:0] | CONTINUOUS DATA RATE, SCYCLE = 0 | SCYCLE = 1 SINGLE-CYCLE CONTINUOUS DATA RATE (sps) |
|-----------|----------------------------------|---|
| | SINC FILTER (sps) | |
| 0000 | 1.9 | 50 |
| 0001 | 3.9 | 62.5 |
| 0010 | 7.8 | 100 |
| 0011 | 15.6 | 125 |
| 0100 | 31.2 | 200 |
| 0101 | 62.5 | 250 |
| 0110 | 125 | 400 |
| 0111 | 250 | 500 |
| 1000 | 500 | 800 |
| 1001 | 1000 | 1000 |
| 1010 | 2000 | 1600 |
| 1011 | 4000 | 2000 |
| 1100 | 8000 | 3200 |
| 1101 | 16000 | 4000 |
| 1110 | 32000 | 6400 |
| 1111 | 64000 | 12800 |

*SCYCLE = 0时为连续数据率；CONTSC = 1，SCYCLE = 1时，为单周期。

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

控制寄存器

这些寄存器保留用于配置MAX11270。

控制寄存器1(读/写)

CTRL1寄存器为8位，可读/写。写入到CTRL1寄存器的字节决定时钟设置、同步模式、关断或复位状态、输入范围为单极性还是双极性、数据输出为二进制补码还是偏移二进制，以及转换模式是单周期还是连续。

| 位 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|-----|-------|------|-----|-----|--------------|--------|--------|--------|
| 位名称 | EXTCK | SYNC | PD1 | PD0 | U/ \bar{B} | FORMAT | SCYCLE | CONTSC |
| 默认值 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

| 位 | 默认值 | 位名称 | 功能 | |
|----|-----|--------------|--|---|
| 00 | 0 | CONTSC | 连续单周期位。CONTSC = 1时选择连续转换模式；CONTSC = 0时选择单次转换。 | |
| 01 | 1 | SCYCLE | 单周期控制位。SCYCLE = 1时选择单周期模式。MAX11270完成一次无延迟转换，然后关断进入仅漏泄状态。SCYCLE = 0时，选择连续转换模式。 | |
| 02 | 0 | FORMAT | 双极性范围格式位。读取双极性数据时，FORMAT = 0选择二进制补码，FORMAT = 1选择偏移二进制。单极性范围的数据始终采用偏移二进制格式。 | |
| 03 | 0 | U/ \bar{B} | U/ \bar{B} ：单极性/双极性位。U/ \bar{B} = 1时选择单极性输入范围(0至V _{REF})，U/ \bar{B} = 0时选择双极性输入范围(\pm V _{REF})。 | |
| 04 | 0 | PD0 | 00 | 常规上电状态，为默认状态。 |
| | | | 01 | 休眠模式——关断子稳压器和整个数字电路。上电恢复时，PD[1:0]位复位为默认状态“00”。 |
| 05 | 0 | PD1 | 10 | 待机模式——关断模拟电路，子稳压器保持上电。 |
| | | | 11 | 将所有寄存器恢复为POR状态，子稳压器保持上电。PD[1:0]位复位为“00”。该位的功能与RSTB引脚完全相同。 |
| 06 | 0 | SYNC | SYNC = 1时选择连续同步模式，SYNC = 0时选择脉冲同步模式。 | |
| 07 | 0 | EXTCK | 外部时钟位。EXTCLK = 1时选择外部时钟作为系统时钟，EXTCLK = 0时选择内部振荡器作为系统时钟。 | |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

控制寄存器2(读/写)

CTRL2寄存器为8位，可读/写。写入到CTRL2寄存器的字节决定数字和模拟增益设置，以及是否使能缓冲器或PGA。

| 位 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|-----|--------|--------|-------|--------|-------|-------|-------|-------|
| 位名称 | DGAIN1 | DGAIN0 | BUFEN | LPMODE | PGAEN | PGAG2 | PGAG1 | PGAG0 |
| 默认值 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| 位 | 默认值 | 位名称 | 功能 | |
|----|-----|--------|---|-------------|
| 00 | 0 | PGA0 | 000 | X1 PGA增益设置位 |
| | | | 001 | X2 |
| | | | 010 | X4 |
| 01 | 0 | PGA1 | 011 | X8 |
| | | | 100 | X16 |
| | | | 101 | X32 |
| 02 | 0 | PGA2 | 110 | X64 |
| | | | 111 | X128 |
| 03 | 0 | PGAEN | PGA使能位。PGAEN = 1时使能PGA，PGAEN = 0时禁止PGA。 | |
| 04 | 0 | LPMODE | PGA低功耗。LPMODE = 1时为低功耗，LPMODE = 0时为标准功耗。 | |
| 05 | 0 | BUFEN | 模拟输入缓冲器使能位。BUFEN = 1时使能模拟输入缓冲器，BUFEN = 0时禁止模拟输入缓冲器。 | |
| 06 | 0 | DGAIN0 | 00 | x1 调节器数字增益位 |
| | | | 01 | x2 |
| 07 | 0 | DGAIN1 | 10 | x4 |
| | | | 11 | x8 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

控制寄存器3(读/写)

CTRL3寄存器为8位，可读/写。写入到CTRL3寄存器的字节决定调节器输出的操作。

| 位 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|-----|-----|-----|---------|---------|--------|-----|-----|-----|
| 位名称 | — | — | ENMSYNC | MODBITS | DATA32 | — | — | — |
| 默认值 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

| 位 | 默认值 | 位名称 | 功能 |
|----|-----|---------|--|
| 00 | 1 | — | 保留位。 |
| 01 | 0 | — | 保留位。 |
| 02 | 0 | — | 保留位。 |
| 03 | 0 | DATA32 | 32位数据模式位。DATA32 = 1时读取32位DOUT数据，DATA32 = 0时读取24位DOUT数据。参见数据寄存器部分。 |
| 04 | 0 | MODBITS | 调节器输出模式使能位。MODBITS = 1时使能调节器通过DOUT和GPIO1输出，MODBITS = 0时通过DOUT进行标准数据输出。 |
| 05 | 1 | ENMSYNC | 调节器同步脉冲使能位。ENMSYNC = 1时使能调节器输出模式同步脉冲，ENMSYNC = 0时禁止调节器输出模式同步脉冲。 |
| 06 | 1 | — | 保留位。 |
| 07 | 0 | — | 保留位。 |

控制寄存器4(读/写)

CTRL4寄存器为8位，可读/写。写入到CTRL4寄存器的字节决定GPIO为输入还是输出，以及是否将其使能。

| 位 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|-----|-----|------|------|------|-----|------|------|------|
| 位名称 | — | DIR3 | DIR2 | DIR1 | — | DIO3 | DIO2 | DIO1 |
| 默认值 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

| 位 | 默认值 | 位名称 | 功能 |
|----|-----|------|--|
| 00 | 1 | DIO1 | GPIO位值。如果GPIO配置为输出，DIO位置0时将对应的GPIO输出设置为0；如果GPIO配置为输入，这些位表示引脚状态。 |
| 01 | 1 | DIO2 | |
| 02 | 1 | DIO3 | |
| 03 | 1 | — | |
| 04 | 0 | DIR1 | GPIO方向位。DIR位置0时将对应的GPIO设置为输入，通过读取DIO位返回的值为引脚上的驱动值；DIR位置1时将对应的GPIO设置为输出，将GPIO驱动为对应DIO位的逻辑值。 |
| 05 | 0 | DIR2 | |
| 06 | 0 | DIR3 | |
| 07 | 0 | — | |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

控制寄存器5(读/写)

CTRL5寄存器为8位，可读/写。写入到CTRL5寄存器的字节决定MAX11270的复位、数据溢出和校准模式。

| 位 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|-----|------|------|-----|-----|--------|--------|-------|-------|
| 位名称 | CAL1 | CAL0 | — | — | NOSYSG | NOSYSO | NOSCG | NOSCO |
| 默认值 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |

| 位 | 默认值 | 位名称 | 功能 |
|----|-----|--------|--|
| 00 | 0 | NOSCO | 无自校准失调位。如果NOSCO = 1，在计算最终失调和增益修正数据值时，禁止使用自校准失调值；如果NOSCO = 0，在计算最终失调和增益修正数据值时，使用自校准失调值。 |
| 01 | 0 | NOSCG | 无自校准增益位。如果NOSCG = 1，在计算最终失调和增益修正数据值时，禁止使用自校准增益值；如果NOSCG = 0，在计算最终失调和增益修正数据值时，使用自校准增益值。 |
| 02 | 1 | NOSYSO | 无系统失调位。如果NOSYSO = 1，在计算最终失调和增益修正数据值时，禁止使用系统失调值；如果NOSYSO = 0，在计算最终失调修正数据值时，使用系统失调值。 |
| 03 | 1 | NOSYSG | 无系统增益位。如果NOSYSG = 1，在计算最终失调和增益修正数据值时，禁止使用系统增益值；如果NOSYSG = 0，在计算最终增益修正数据值时，使用系统增益值。 |
| 04 | 0 | — | 保留。 |
| 05 | 0 | — | 保留。 |
| 06 | 0 | CAL0 | 00 执行自校准 01 执行系统级失调校准 |
| 07 | 0 | CAL1 | 10 执行系统级满幅校准 11 保留 |

数据寄存器(只读)

数据寄存器为32位或24位只读寄存器，对数据寄存器的任何写操作都无影响。该寄存器的数据在移出时MSB在前。数据寄存器保存转换结果。结果的储存格式为二进制补码或偏移二进制格式，取决于CTRL1寄存器的FORMAT位。

单极性模式下的数据始终为偏移二进制格式。双极性模式下，FORMAT = 1时为偏移二进制格式，FORMAT = 0时为二进制补码。任何输入超过可用输入范围时，将被限制到最小或最大数据值。正在更新数据时(RDYB变为有效低电平之前的4个系统时钟)，如果试图读该寄存器，将造成读取的数据无效，见图13。注意，检测到该条件时，置位STATUS寄存器的RDERR位。

| BIT | B31 | B30 | B29 | B28 | B27 | B26 | B25 | B24 | B23 | B22 | B21 | B20 | B19 | B18 | B17 | B16 | B15 | B14 | B13 | B12 | B11 | B10 | B09 | B08 | B07 | B06 | B05 | B04 | B03 | B02 | B01 | B00 |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| DEFAULT | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

表10. ADC输出编码数据格式

| CODE TRANSITION | ANALOG INPUT (AINP - AINN) (V) | DIGITAL OUTPUT CODE (Hex) | | | |
|----------------------|-------------------------------------|---------------------------|--------|------------------|--------|
| | | OFFSET BINARY | | TWO's COMPLEMENT | |
| | | 32-BIT | 24-BIT | 32-BIT | 24-BIT |
| $\geq FS$ | $\geq V_{REF}$ | FFFFFFFF | FFFFFF | 7FFFFFFF | 7FFFFF |
| $FS - 1 \text{ LSB}$ | $V_{REF} \times (1 - (1/2^N - 1))$ | FFFFFFFE | FFFFFE | 7FFFFFFE | 7FFFFE |
| Midscale + 1 LSB | $V_{REF}/2^N - 1$ | 80000001 | 800001 | 00000001 | 000001 |
| Midscale | $V_{REF}/2^N$ | 80000000 | 800000 | 00000000 | 000000 |
| Midscale - 1 LSB | $-V_{REF}/2^N - 1$ | 7FFFFFFF | 7FFFFF | FFFFFFF | FFFFF |
| $ZS + 1 \text{ LSB}$ | $-V_{REF} \times (1 - (1/2^N - 1))$ | 00000001 | 000001 | 80000001 | 800001 |
| $\leq ZS$ | $\leq -V_{REF}$ | 00000000 | 000000 | 80000000 | 800000 |

N = 数据位数，32或24。

$V_{REF} = V_{REFP} - V_{REFN}$

校准

有两种类型的校准：自校准和系统校准。自校准用于降低MAX11270改变工作条件时的增益和失调误差，例如电源电压、环境温度和时。系统校准用于降低整个信号通路的增益和失调。这使能电路板级元件和集成PGA的校准。系统校准要求在校准期间将MAX11270输入重新配置为零幅和满幅。关于校准信号流的详细信息，参见图9。

通过设置CTRL5寄存器的NOSYSG、NOSYSO、NOSCG和NOSCO位，使能或禁止片上校准寄存器，参见表6。

自校准

自校准为内部操作，不影响模拟输入。自校准分为两个独立的阶段完成：失调和增益。第一阶段断开调节器的输入，并在内部将其短路在一起，生成零幅信号。然后完成一次转换，对结果进行后处理，生成失调系数，用其抵消内部产生的所有失调。第二阶段将输入连接至基准，产生满幅信号。然后完成一次转换，对结果进行后处理，生成满幅系数，该系数将满幅模拟范围转换为满幅数字范围。

整个自校准序列要求两次独立的转换，一次用于失调，一次用于满幅。

转换速率为50sps，提供噪声最低和精度最高的校准。自校准操作不包括PGA。为校准PGA信号通路，提供了系统级校准。校准操作由命令字节的CAL位控制。CTRL5:CAL[1:0] = 00时，将CAL位设置为1请求自校准。完成自校准需要200ms，SCOC和SCGC寄存器包含用于修正芯片零幅和满幅输出的值。

系统校准

校准电路板级元件和集成PGA时，使用该模式。系统校准要求用户将输入配置为适合校准操作的正确电平。通过配置CTRL5:CAL [1:0]位，利用独立的命令字节执行失调和满幅系统校准。系统失调和系统满幅要求在发送命令之前正确设置CAL位。

通过将CAL位置1，设置CTRL5:CAL[1:0] = 01，并将系统零电平信号连接至输入引脚，请求系统零幅校准。完成系统零幅校准需100ms，SOC寄存器存有用于修正芯片零幅值的值。

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

通过将CAL位置1，设置CTRL5:CAL[1:0] = 01，并将系统满幅电平信号连接至输入引脚，请求系统满幅校准。完成系统满幅校准需100ms，SGC寄存器包含用于修正芯片满幅值的值。

第三级校准允许通过SPI接口写内部校准寄存器，从而实现任意数字失调或缩放，限制条件如下：数字失调修正的范围为 $\pm V_{REF}/4$ ；失调修正的分辨率为0.5 LSB；数字增益修正的范围为0.75 至2；增益分辨率小于1ppm。

SPI系统失调校准寄存器(SOC_SPI)

系统失调校准寄存器为24位读/写寄存器。在读/写该寄存器时，MSB首先移出/移入。格式始终为二进制补码。该寄存器暂存来自于用户的系统失调校准值。该值被复制到SOC_ADC寄存器。该寄存器将保存写入的值，直到被覆盖。请求系统校准操作后，该值变为无效。在有效校准操作期间，将忽略对该寄存器的任何写操作。

ADC系统失调校准寄存器(SOC_ADC)

该寄存器为24位只读寄存器，寄存器值的更新方式有两种：一种方式是请求系统失调校准操作；另一种方式是用户写SOC_SPI寄存器，写入的值将从SOC_SPI寄存器复制到SOC_ADC寄存器。

如果在CTRL5寄存器中NOSYSO = 0，将从每次转换结果中减去系统失调校准值。在自校准之后、系统增益修正之前，从转换结果中减去系统失调校准值。也在双极性和单极性模式相关的1倍或2倍缩放因子之前应用该值。正在更新数据时(RDYB变为有效低电平之前的4个系统时钟)，如果试图读该寄存器，将造成读取的数据无效，见图13。注意，检测到该条件时，置位STATUS寄存器的RDERR位。

SPI系统增益校准寄存器(SGC_SPI)

系统增益校准寄存器为24位读/写寄存器。在读/写该寄存器时，MSB首先移出/移入。格式为无符号二进制。该寄存器暂存来自于用户的系统增益校准值。该值被复制到SGC_ADC寄存器。该寄存器将保存写入的值，直到被覆盖。请求系统校准操作后，该值变为无效。在有效校准操作期间，将忽略对该寄存器的任何写操作。

ADC系统增益校准寄存器(SGC_ADC)

该寄存器为24位只读寄存器，寄存器值的更新方式有两种：一种方式是请求系统增益校准操作；另一种方式是用户写SGC_SPI寄存器，写入的值将从SGC_SPI寄存器复制到SGC_ADC寄存器。

如果在CTRL5寄存器中NOSYSG = 0，使用系统增益校准值对失调修正后的转换结果进行缩放。系统增益校准值可对增益修正结果进行高达2倍的缩放，或者修正大约50%的增益误差。能够修正的正增益误差量取决于调节器过载特性，可能高达+125%。增益将被修正到1ppm范围之内。正在更新数据时(RDYB变为有效低电平之前的4个系统时钟)，如果试图读该寄存器，将造成读取的数据无效，见图13。注意，检测到该条件时，置位STATUS寄存器的RDERR位。

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

SPI自校准失调校准寄存器(SCOC_SPI)

自校准失调寄存器为24位读/写寄存器。在读/写该寄存器时，MSB首先移出/移入。格式始终为二进制补码。该寄存器暂存来自于用户的自校准失调校准值。该值被复制到SCOC_ADC寄存器。该寄存器将保存写入的值，直到被覆盖。请求系统校准操作后，该值变为无效。在有效校准操作期间，将忽略对该寄存器的任何写操作。

ADC自校准失调校准寄存器(SCOC_ADC)

该寄存器为24位只读寄存器。寄存器值的更新方式有两种：一种方式是请求自校准操作；另一种方式是用户写SCOC_SPI寄存器，写入的值将从SCOC_SPI寄存器复制到SCOC_ADC寄存器。

如果在CTRL5寄存器中NOSCO = 0，将从每次转换结果中减去自校准失调校准值。在自校准增益修正以及系统失调和增益修正之前，从转换结果中减去自校准失调值。也在双极性模式相关的2倍缩放因子之前应用该值。正在更新数据时(RDYB变为有效低电平之前的4个系统时钟)，如果试图读该寄存器，将造成读取的数据无效，见图13。注意，检测到该条件时，置位STATUS寄存器的RDERR位。

SPI自校准增益校准寄存器(SCGC_SPI)

自校准增益校准寄存器为24位读/写寄存器。在读/写该寄存器时，MSB首先移出/移入。格式为无符号二进制。该寄存器暂存来自于用户的自校准增益校准值。该值被复制到SCGC_ADC寄存器。该寄存器将保存写入的值，直到被覆盖。请求系统校准操作后，该值变为无效。在有效校准操作期间，将忽略对该寄存器的任何写操作。

ADC自校准增益校准寄存器(SCGC_ADC)

该寄存器为24位只读寄存器，寄存器值的更新方式有两种：一种方式是请求自校准操作；另一种方式是用户写SCGC_SPI寄存器，写入的值将从SCGC_SPI寄存器复制到SCGC_ADC寄存器。

自校准增益校准值用于缩放经过自校准失调修正的转换结果，发生在应用系统失调和增益校准值之前——如果CTRL5寄存器中NOSCG = 0。自校准增益校准值可对自校准失调修正后的转换结果进行高达2倍的缩放，或者修正大约50%的增益误差。增益将被修正到1ppm范围之内。正在更新数据时(RDYB变为有效低电平之前的4个系统时钟)，如果试图读该寄存器，将造成读取的数据无效，见图13。注意，检测到该条件时，置位STATUS寄存器的RDERR位。

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

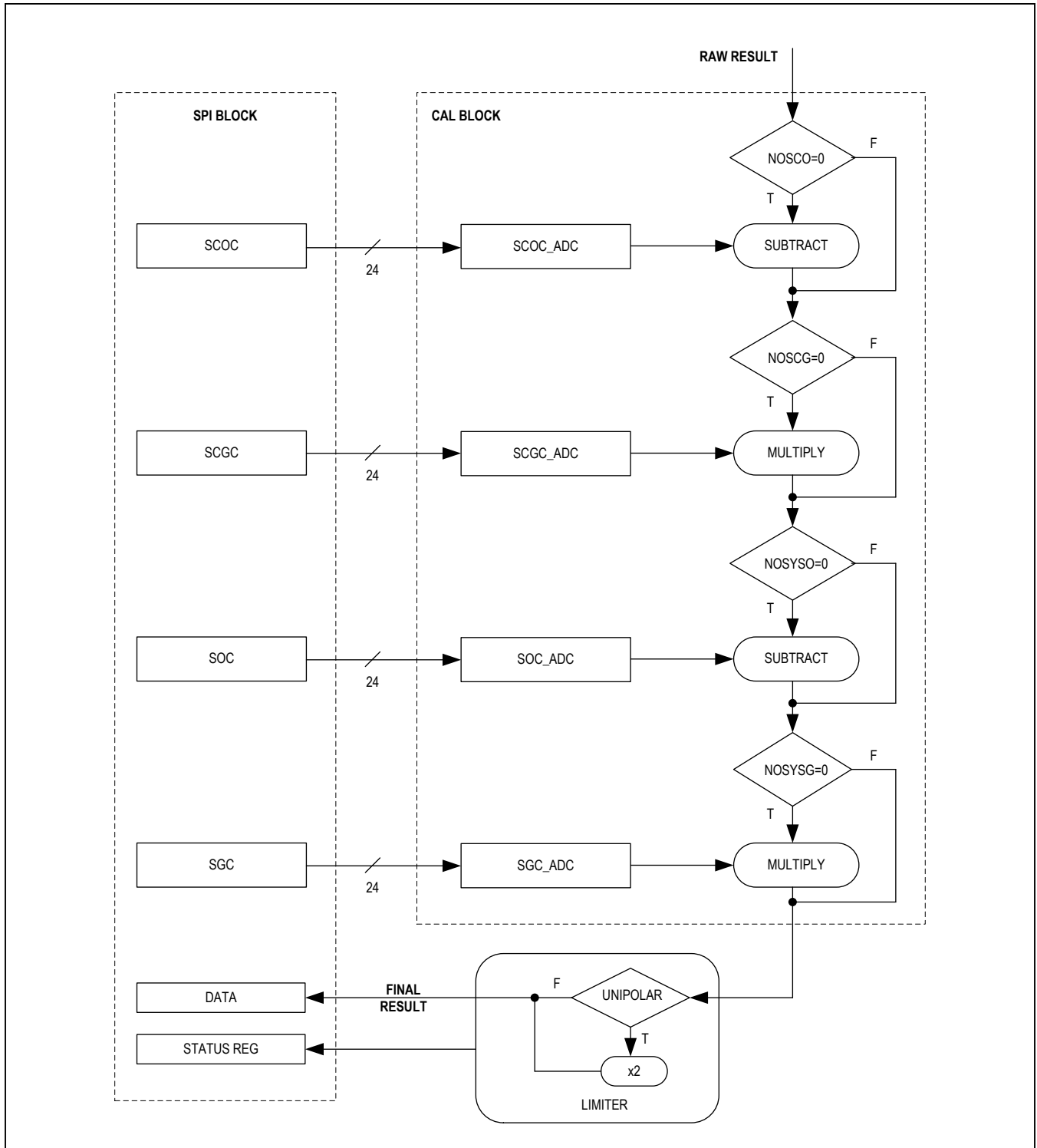


图9. 校准流程图

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

GPIO

MAX11270提供三个通用输入/输出端口，可通过CTRL4寄存器编程。通过设置CTRL4寄存器的DIR位，将引脚配置为输入或输出。全部引脚默认为输入，设置为输出时，通过设置CTRL4寄存器的DIO位将引脚状态设置为0或1。

利用SYNC引脚或SYNC_SPI功能实现转换同步

SYNC引脚可用于将数据转换与外部事件同步：通过拉高SYNC引脚或在SPI命令中寻址SYNC_SPI寄存器实现。器件中使用SYNC引脚上的外部信号同步转换结果的方法有两种：连续模式或脉冲模式。

连续模式

连续同步模式用于检测当前转换是否与连续同步脉冲同步，同步脉冲的周期大于数据率。该同步模式将RDYB触发间隔期间的器件主控时钟数量与SYNC引脚的上升沿进行比较。相关沿应对齐在初始SYNC脉冲的1个主控时钟周期之内，并保持在数据率的整数倍之内。如果SYNC引脚上升沿发生在数据率整数倍之后，并且大于初始SYNC上升沿加或减1个主控时钟，那么芯片复位正在当前的转换，清除数字滤波器内容，然后开始新的转换。转换复位过程发生在整个数字滤波器延迟间，之后一个有效转换结果才有效。

关于芯片主控时钟和SYNC引脚之间的时序波形关系，请参见图10。由于启动延迟，在RDYB首次有效触发之前，任何SYNC引脚的任何触发将被忽略。发生RDYB触发之后，SYNC引脚首次触发建立SYNC引脚和转换就绪之间的关系，以主控时钟单位定时。将这种关系定义为 n ，表示从RDYB有效到SYNC引脚上升沿之间发生的时钟数量。

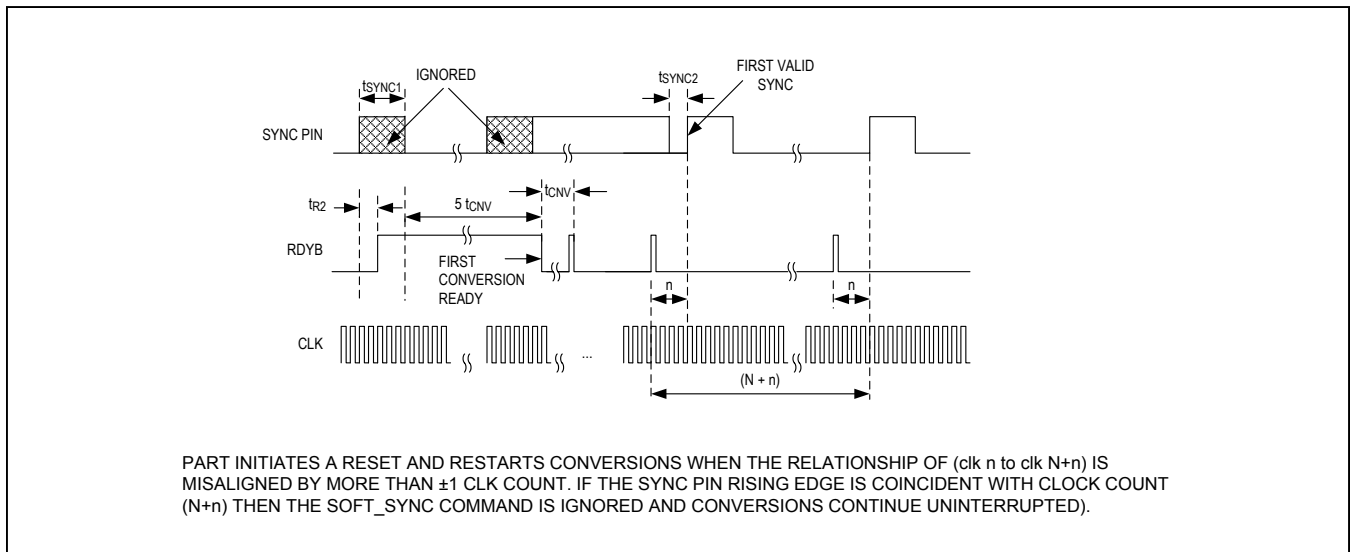


图10. 采用连续同步模式时SYNC引脚和CLK引脚之间的关系

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

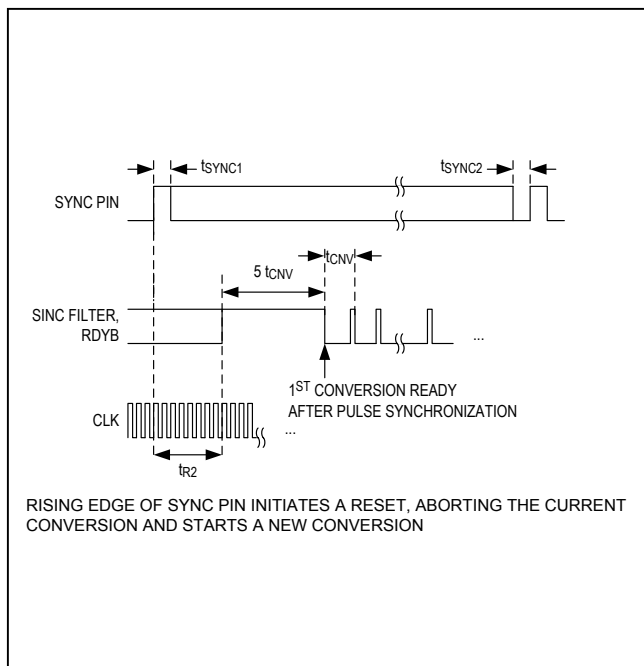


图11. 采用脉冲同步模式时SYNC、RDYB及CLK引脚之间的关系

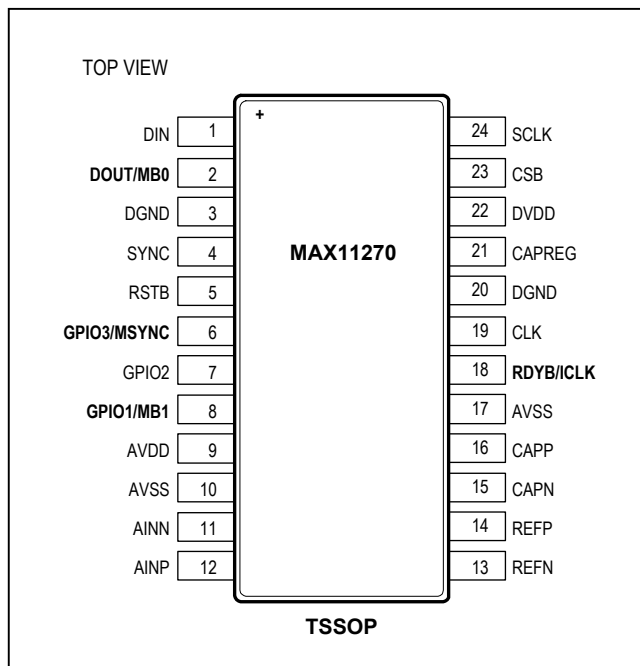


图12. MODBITS模式下的引脚配置

脉冲模式

脉冲或单次事件同步模式下，由SYNC引脚上升沿启动一次新的转换。当SYNC引脚变为有效时，芯片开始以之前转换命令设定的速度进行转换；如果在SYNC引脚变为有效之前未发送转换命令，则采用默认的1ksps转换速率。注意，转换开始和SYNC上升沿不能同时。RDYB首次变为有效并开始转换之前，忽略SYNC引脚上的任何活动。这是因为转换开始需要的开销，使首次转换结果要延迟32个主控时钟。

调制解调器MODBITS模式

MODBITS模式旁路MAX11270的内部滤波器，输出实时5位调节器数据至DOUT和GPIO引脚。

MODBITS模式由CTRL3寄存器的MODBITS和ENMSYNC位控制。

启动MODBITS模式

设置CTRL3：将MODBITS位置1进入MODBITS模式，并读取实时调节器输出数据。设置控制位后，必须发送转换命令。这是启动调节器，无需运行一个完全转换所需的剩余的其它数字逻辑电路。设置CTRL3：ENMSYNC = 1时，使能调节器SYNC脉冲，移出至GPIO3/MSYNC。即使禁止该位，调节器模式也能运行。如果ENMSYNC = 0，SYNC脉冲将不移出至GPIO3/MSYNC。

退出MODBITS模式

为返回到常规转换模式，设置MODBITS = 0。如果MODBITS = 0，ENMSYNC则没有影响。设置MODBITS = 0后，发送转换命令，将MAX11270置于常规数据读取模式。

MODBITS模式引脚配置

DOUT/MB0、GPIO3/MSYNC和GPIO1/MB1引脚具有双重功能，取决于选择MODBITS实时调节器数据模式还是常规数据输出模式。

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

DOUT/MB0

MODBIT模式下，DOUT/MB0输出实时调节器的数据(MB0)。ENMSYNC = 0时，DOUT/MB0输出首个MSYNC脉冲并移出调节器的数据的偶数位(第4、2和0位)。首个SYNC脉冲(表示有效的调节器数据)在正向时钟沿(称为时钟沿1)移出。对于其他数据周期，时钟沿1将在该引脚输出0(以及在GPIO1/MB1输出0)，表示当前数据流结束。在时钟沿2、3和4，DOUT/MB0移出数据的偶数位，如上所述。

GPIO3/MSYNC

MODBIT模式下，ENMSYNC = 1时，GPIO3/MSYNC作为调节器的同步(MSYNC)输出。调节器的SYNC脉冲在正向时钟沿移出。信号移出GPIO3/MSYNC引脚时，DOUT/MB0和GPIO1/MB1引脚上的数据为“00”，并屏蔽下一个调节器数据的开始点。

GPIO1/MB1

MODBIT模式下，GPIO1/MB1作为实时调节器的数据输出。在时钟沿1，GPIO1/MB1总是输出0(与ENMSYNC的状态无关)；在时钟沿2和3，该引脚将移出调节器数据的奇数位(第3和1位)。GPIO1/MB1在时钟沿3也为0。

RDYB/ICLK

MODBITS = 1时，在RDYB/ICLK上输出内部系统时钟(工作在8.192MHz)，使能将数据与时钟沿对齐。

关于数据移位的详细说明请参见图13，图中标出了ENMSYNC为0和1时的情况，以及GPIO3/MSYNC和DOUT/MB0的行为差异。RDYB和GPIO1/MB1不受ENMSYNC位的影响。

表11. MODBITS模式引脚

| 常规功能 | MODBITS功能 | 说明 |
|-------|-----------|--|
| DOUT | MB0 | ENMSYNC = 0时，首先输出MSYNC，然后是调节器数据的偶数位；ENMSYNC = 1时，仅输出调节器数据的偶数位。 |
| GPIO1 | MB1 | 调节器数据的奇数位(第1和3位)。 |
| GPIO3 | MSYNC | 移出调节器的SYNC脉冲。 |
| RDYB | ICLK | 内部时钟。 |

MAX11270

24位、10mW、130dB SNR、64ksps、 Δ - Σ ADC，带集成PGA

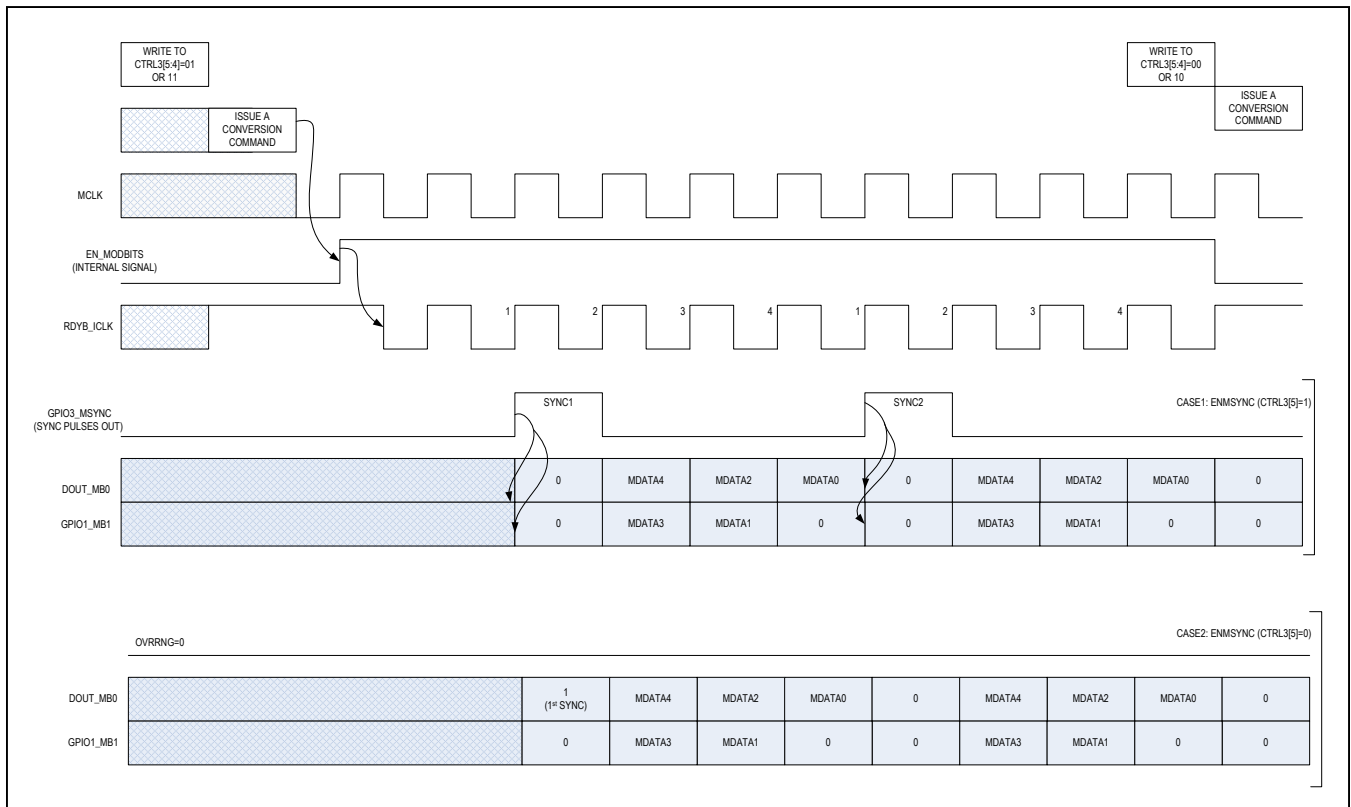


图13. MODBITS模式时序图

MAX11270

24位、10mW、130dB SNR、64ksps、
 Δ - Σ ADC，带集成PGA

订购信息

| 器件 | 温度范围 | 引脚-封装 |
|--------------|-------------|----------|
| MAX11270EUG+ | -40°C至+85°C | 24 TSSOP |

+表示无铅(Pb)/符合RoHS标准的封装。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询www.maximintegrated.com/cn/design/packaging。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

| 封装类型 | 封装编码 | 外形编号 | 焊盘布局编号 |
|----------|-------|-------------------------|-------------------------|
| 24 TSSOP | U24+2 | 21-0066 | 90-0118 |

MAX11270

24位、10mW、130dB SNR、64ksps、
 Δ - Σ ADC，带集成PGA

修订历史

| 修订号 | 修订日期 | 说明 | 修改页 |
|-----|------|--|--|
| 0 | 8/14 | 最初版本。 | — |
| 1 | 5/15 | 修正数据资料中的错误，更改基准电压范围技术指标。 修订典型工作特性、寄存器表格和说明。 | 1, 6, 7, 9, 11–13, 16–18, 25, 30, 34, 37, 39, 40 |



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

47

© 2016 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。