

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

概述

MAX11163为16位、250ksps、+5V单极性伪差分输入SAR ADC，提供优异的交流 and 直流性能，采用微小标准封装。

ADC的典型性能为93.8dB SNR、-106dB THD以及±0.5 LSB INL、±0.2 LSB DNL。MAX11163保证16位无失码。

MAX11163通过SPI兼容串口通信，工作在2.5V、3V、3.3V或5V逻辑电平。

串行接口能够以菊链形式连接多个ADC，用于多通道应用；器件提供“忙”指示选项，简化系统同步和定时。

MAX11163采用10引脚、3mm x 5mm、μMAX®封装，工作在-40°C至+85°C温度范围。

应用

- 工业过程控制
- 医疗仪表
- 测试和测量
- 自动测试设备
- 窄带接收器

特性

- 高直流和交流精度
- 16位分辨率，无失码
- SNR: 93.8dB @ 10kHz
- THD: -106dB @ 10kHz
- ±0.5 LSB INL (典型值)
- ±0.2 LSB DNL (典型值)
- 0.47 LSB_{RMS}转换噪声
- +5V模拟电源
- +2.3V至+5V数字电源
- 19mW @ 250ksps
- 提供关断模式
- 250ksps吞吐率
- 无流水线延时/延迟
- 灵活的工业标准串行接口
- SPI/QSPI™/MICROWIRE®/DSP兼容
- 3mm x 5mm、10引脚μMAX微小封装

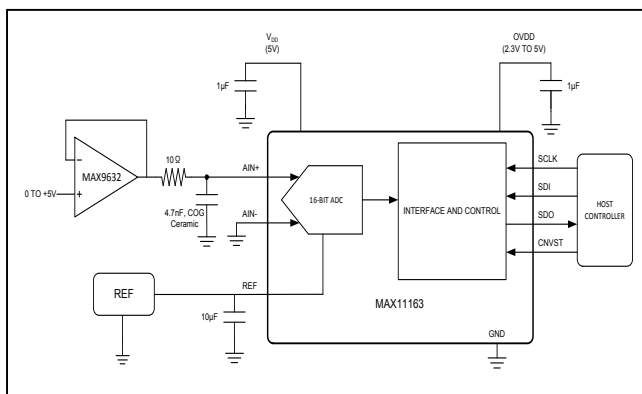
[选型指南](#)和[订购信息](#)在数据资料的最后给出。

μMAX是Maxim Integrated Products, Inc.的注册商标。

QSPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corporation的注册商标。

典型工作电路



16位至18位SAR ADC系列

	16 BIT/ 250ksps	16 BIT/ 500 kbps	18 BIT/ 500ksps
±5V/REF	MAX11167 MAX11169	MAX11166 MAX11168	MAX11156 MAX11158
0 to 5V/ REF	MAX11165 MAX11161	MAX11164 MAX11160	MAX11154 MAX11150
0 to 5V	MAX11163	MAX11162	MAX11152

+相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX11163.related。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

Absolute Maximum Ratings

V_{DD} to GND-0.3V to +6V
 OVDD to GND -0.3V to the lower of (V_{DD} + 0.3V) and +6V
 AIN+, AIN-, REF to GND..... -0.3V to the lower of (V_{DD} + 0.3V) and +6V
 SCLK, SDI, SDO, CNVST to GND..... -0.3V to the lower of (V_{DD} + 0.3V) and +6V
 Maximum Current into Any Pin..... 50mA

Continuous Power Dissipation (T_A = +70°C)
 μMAX (derate 8.8mW/°C above +70°C)707mW
 Operating Temperature Range..... -40°C to +85°C
 Junction Temperature +150°C
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (soldering, 10s) +300°C
 Soldering Temperature (reflow) +260°C

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

μMAX
 Junction-to-Ambient Thermal Resistance (θ_{JA}) 113°C/W
 Junction-to-Case Thermal Resistance ((θ_{JC}).....36°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

Electrical Characteristics

(V_{DD} = 4.75V to 5.25V, V_{OVDD} = 2.3V to 5.25V, f_{SAMPLE} = 250kHz, V_{REF} = 5V; T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT (Note 3)						
Input Voltage Range		AIN+ to AIN-	0		V _{REF}	V
Absolute Input Voltage Range		AIN+ to GND	-0.1		V _{REF} + 0.1	V
		AIN- to GND	-0.1		+0.1	
Input Leakage Current		Acquisition phase	-10	+0.001	+10	μA
Input Capacitance				40		pF
Input-Clamp Protection Current		Both inputs	-20		+20	mA
STATIC PERFORMANCE (Note 4)						
Resolution	N		16			Bits
No Missing Codes			16			Bits
Offset Error			-0.5	±0.1	+0.5	mV
			-6.5	±1.3	+6.5	LSB
Offset Temperature Coefficient				±1		μV/°C
Gain Error			-1.2	±2	+1.2	LSB
Gain Error Temperature Coefficient				±0.25		ppm/°C
Integral Nonlinearity	INL		-1.2	±0.5	+1.2	LSB
Differential Nonlinearity	DNL		-0.5	±0.2	+0.5	LSB
Positive Full-Scale Error			-1.5		+1.5	LSB
Analog Input CMR	CMR			-3.1		LSB/V
Power-Supply Rejection (Note 5)	PSR	PSR vs. V _{DD}		±3.6		LSB/V
Transition Noise				0.47		LSB _{RMS}

MAX11163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

Electrical Characteristics (continued)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE (Note 7)						
REF Voltage Input Range	V_{REF}		2.5		V_{DD}	V
REF Input Capacitance				20		pF
REF Load Current				70		μA
DYNAMIC PERFORMANCE (Note 6)						
Signal-to-Noise Ratio (Note 7)	SNR	$f_{IN} = 10kHz$, $V_{REF} = 5V$	91.3	93.8		dB
		$f_{IN} = 10kHz$, $V_{REF} = 2.5V$		89.5		dB
Signal-to-Noise Plus Distortion (Note 7)	SINAD	$f_{IN} = 10kHz$, $V_{REF} = 5V$	91.0	93.5		dB
Spurious-Free Dynamic Range	SFDR		96	107		dB
Total Harmonic Distortion	THD			-106	-96	dB
Intermodulation Distortion (Note 8)	IMD			-115		dBFS
SAMPLING DYNAMICS						
Throughput Sample Rate			0		250	ksps
Transient Response		Full-scale step			400	ns
Full-Power Bandwidth		-3dB point		6		MHz
		-0.1dB point		> 0.2		
Aperture Delay				2.5		ns
Aperture Jitter				10		psRMS
POWER SUPPLIES						
Analog Supply Voltage	V_{DD}		4.75		5.25	V
Interface Supply Voltage	V_{OVDD}		2.3		5.25	V
Analog Supply Current	I_{VDD}		2.5		3.5	mA
V_{DD} Shutdown Current				0.01	10	μA
Interface Supply Current (Note 9)		$V_{OVDD} = 2.3V$		0.7	0.9	mA
		$V_{OVDD} = 5.25V$		2.0	2.4	
OVDD Shutdown Current				0.01	10	μA
Power Dissipation		$V_{DD} = 5V$, $V_{OVDD} = 3.3V$		18		mW
DIGITAL INPUTS (SDI, SCLK, CNVST)						
Input Voltage High	V_{IH}		0.7 x V_{OVDD}			V
Input Voltage Low	V_{IL}			0.3 x V_{OVDD}		V
Input Hysteresis	V_{HYS}		±0.05 x V_{OVDD}			V
Input Capacitance	C_{IN}		10			pF
Input Current	I_{IN}	$V_{IN} = 0V$ or V_{OVDD}	-10		+10	μA

MAX11163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

Electrical Characteristics (continued)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUT (SDO)						
Output Voltage High	V_{OH}	$I_{SOURCE} = 2mA$	$V_{OVDD} - 0.4$			V
Output Voltage Low	V_{OL}	$I_{SINK} = 2mA$			0.4	V
Three-State Leakage Current			-10		+10	μA
Three-State Output Capacitance				15		pF
TIMING (Note 9)						
Time Between Conversions	t_{CYC}		4			μs
Conversion Time	t_{CONV}	CNVST rising to data available	2.6		3	μs
Acquisition Time	t_{ACQ}	$t_{ACQ} = t_{CYC} - t_{CONV}$	1			μs
CNVST Pulse Width	t_{CNVPW}	\overline{CS} mode	5			ns
SCLK Period (\overline{CS} Mode)	t_{SCLK}	$V_{OVDD} > 4.5V$	14			ns
		$V_{OVDD} > 2.7V$	20			
		$V_{OVDD} > 2.3V$	25			
SCLK Period (Daisy-Chain Mode)	t_{SCLK}	$V_{OVDD} > 4.5V$	16			ns
		$V_{OVDD} > 2.7V$	24			
		$V_{OVDD} > 2.3V$	30			
SCLK Low Time	t_{SCLKL}		6			ns
SCLK High Time	t_{SCLKH}		6			ns
SCLK Falling Edge to Data Valid Delay	t_{DSDO}	$V_{OVDD} > 4.5V$			12	ns
		$V_{OVDD} > 2.7V$			18	
		$V_{OVDD} > 2.3V$			23	
CNVST Low to SDO D15 MSB Valid (\overline{CS} Mode)	t_{EN}	$V_{OVDD} > 2.7V$			14	ns
		$V_{OVDD} < 2.7V$			18	
CNVST High or SDI High or Last SCLK Falling Edge to SDO High Impedance	t_{DIS}	\overline{CS} mode			20	ns

MAX11163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

Electrical Characteristics (continued)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SDI Valid Setup Time from CNVST Rising Edge	$t_{SSDISCK}$	4-wire \overline{CS} mode	5			ns
SDI Valid Hold Time from SCLK Rising Edge	$t_{HSDISCK}$	4-wire \overline{CS} mode	0			ns
SCLK Valid Setup Time from CNVST Rising Edge	$t_{SSCKCNV}$	Daisy-chain mode	5			ns
SCLK Valid Hold Time from CNVST Rising Edge	$t_{HSCKCNV}$	Daisy-chain mode	5			ns
SDI Valid Setup Time from SCLK Falling Edge	$t_{SSDISCK}$	Daisy-chain mode	6			ns
SDI Valid Hold Time from SCLK Falling Edge	$t_{HSDISCK}$	Daisy-chain mode	0			ns
SDI High to SDO High	$t_{DSDOSDI}$	Daisy-chain mode with busy indicator, $V_{OVDD} > 4.5V$			15	ns
		Daisy-chain mode with busy indicator, $V_{OVDD} > 2.3V$			20	

Note 2: Maximum and minimum limits are fully production tested over the specified supply voltage range and at a temperature of $+25^{\circ}C$ and $+85^{\circ}C$. Limits below $+25^{\circ}C$ are guaranteed by design and device characterization.

Note 3: See the [Analog Inputs](#) and [Overvoltage Input Clamps](#) sections.

Note 4: See the [Definitions](#) section.

Note 5: Defined as the change in positive full-scale code transition caused by a $\pm 5\%$ variation in the V_{DD} supply voltage.

Note 6: 10kHz sine wave input, -0.1dB below full scale.

Note 7: See [Table 4](#) for definition of the reference modes.

Note 8: $f_{IN1} \sim 9.4kHz$, $f_{IN2} \sim 10.7kHz$, Each tone at -6.1dB below full scale.

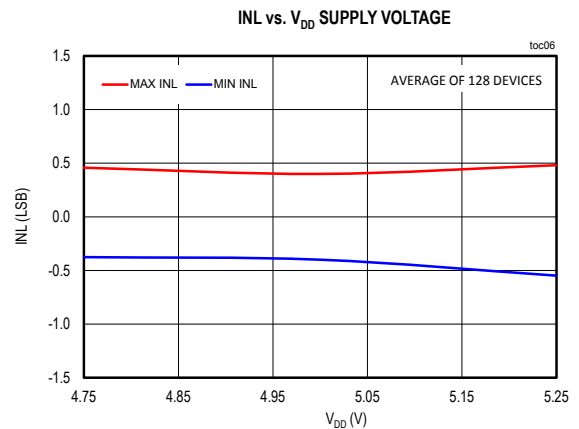
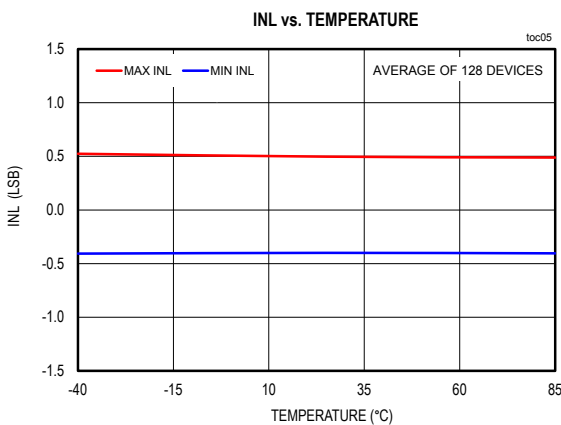
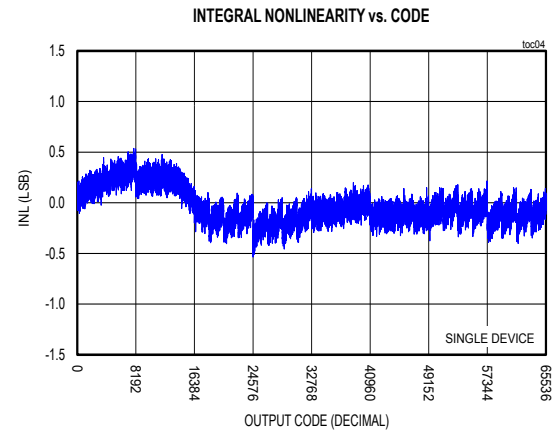
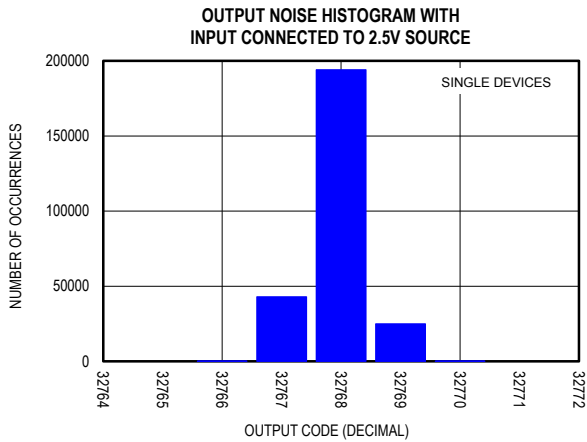
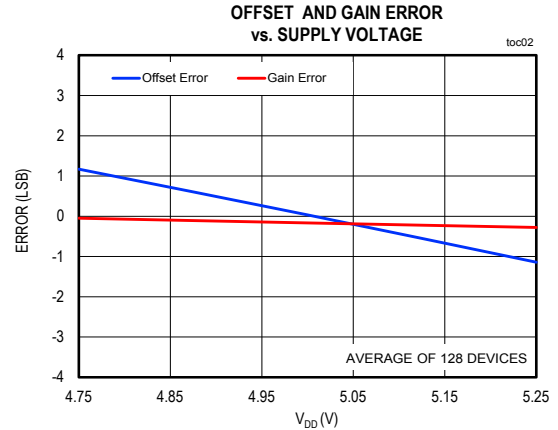
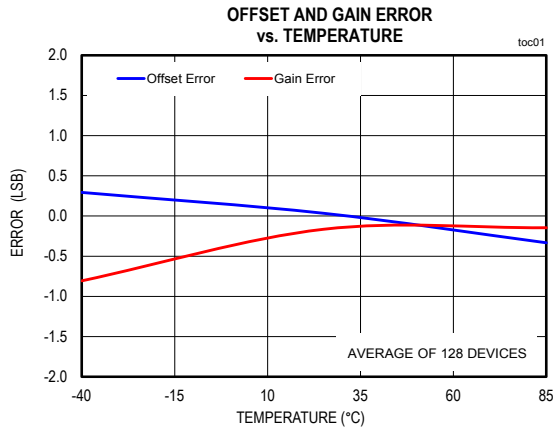
Note 9: $C_{LOAD} = 65pF$ on SDO.

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

典型工作特性

($V_{DD} = 5V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

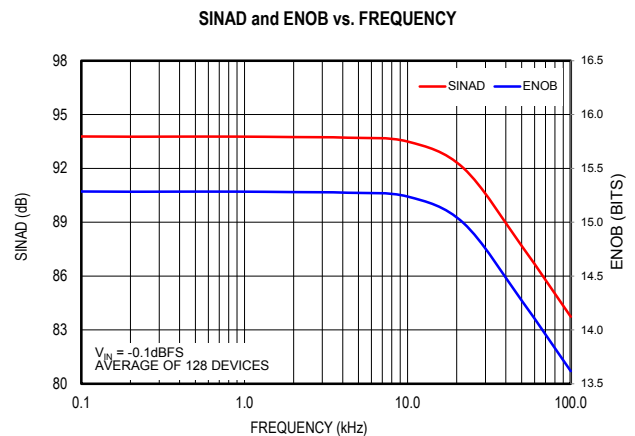
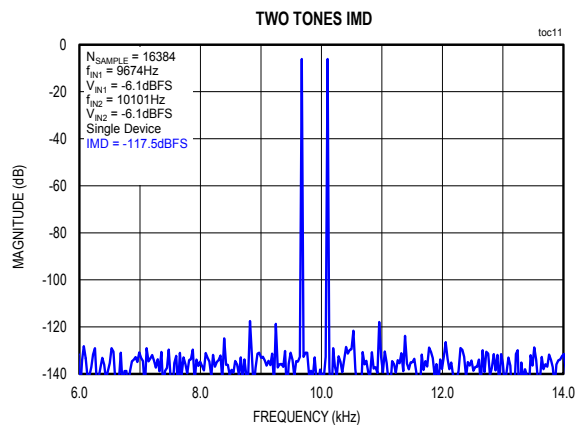
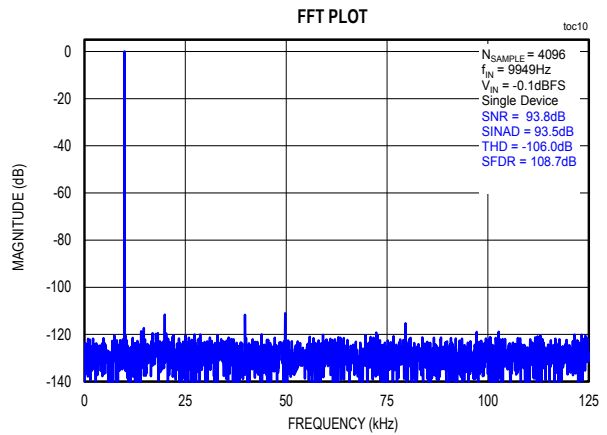
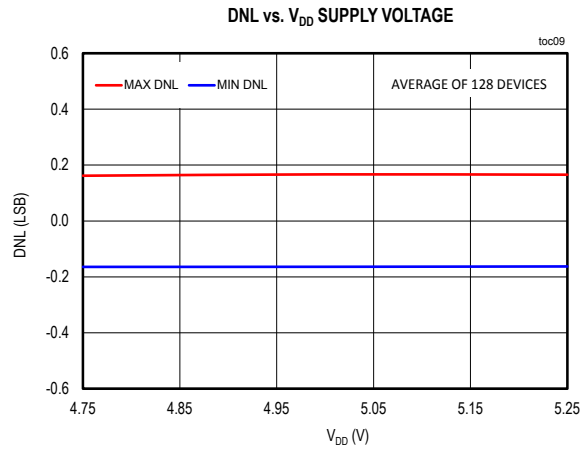
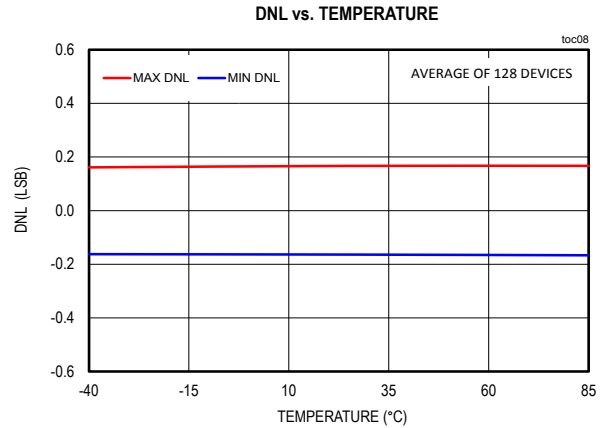
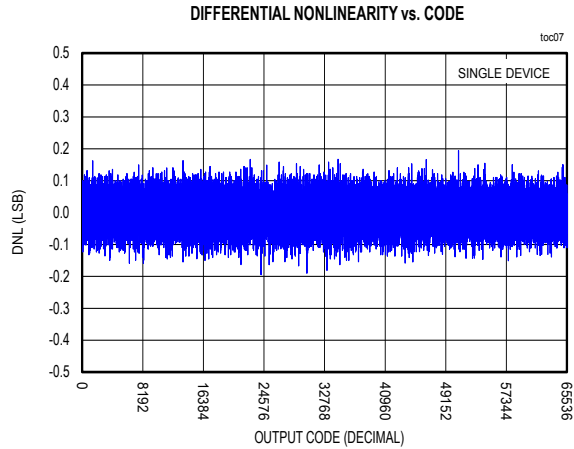


MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

典型工作特性(续)

($V_{DD} = 5V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

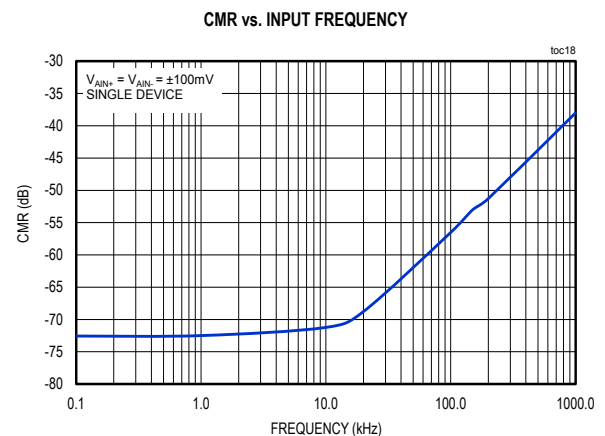
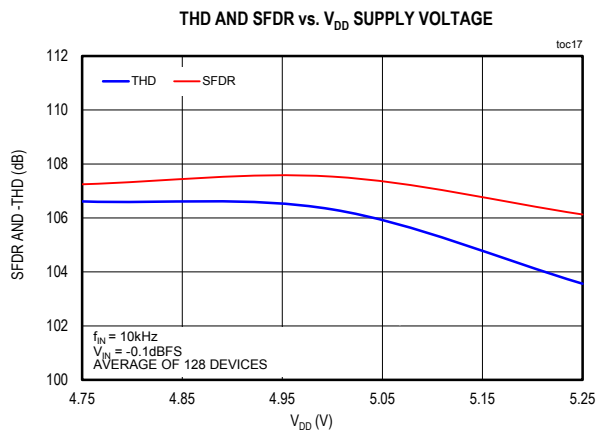
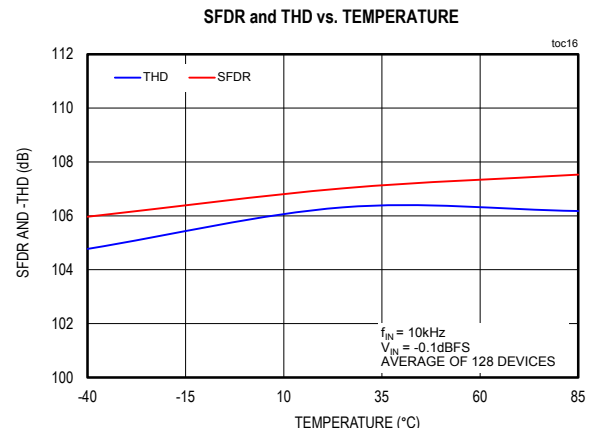
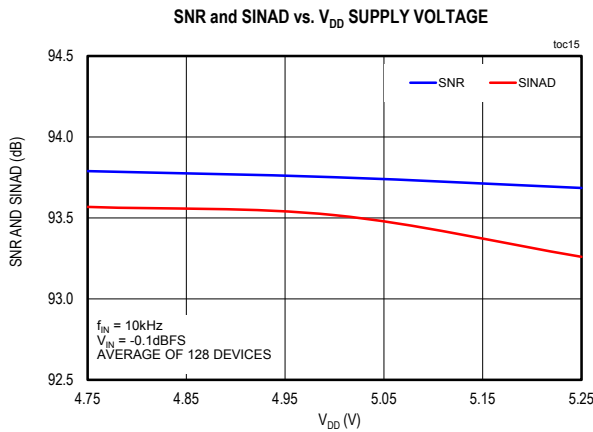
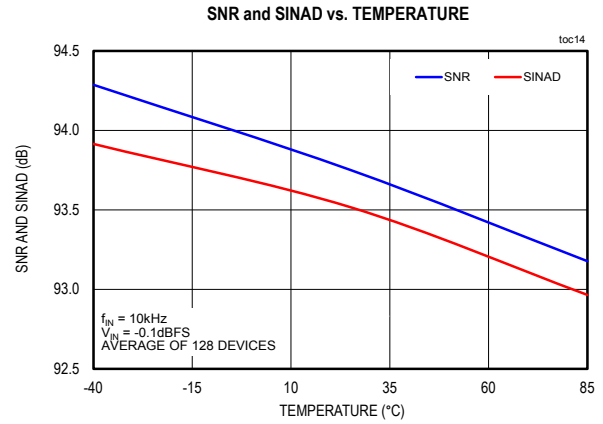
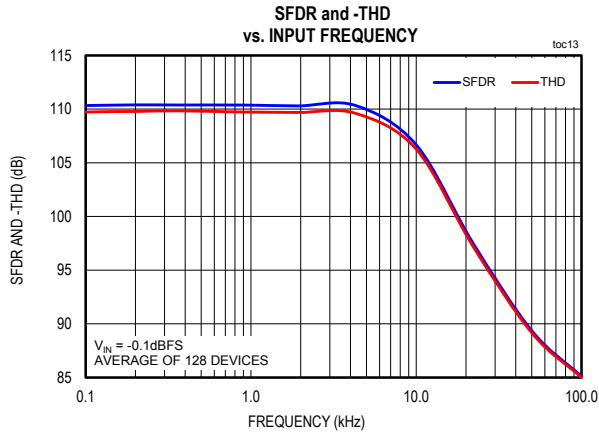


MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

典型工作特性(续)

($V_{DD} = 5V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

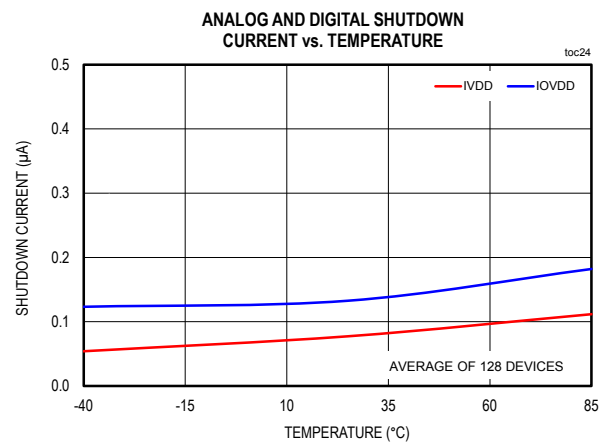
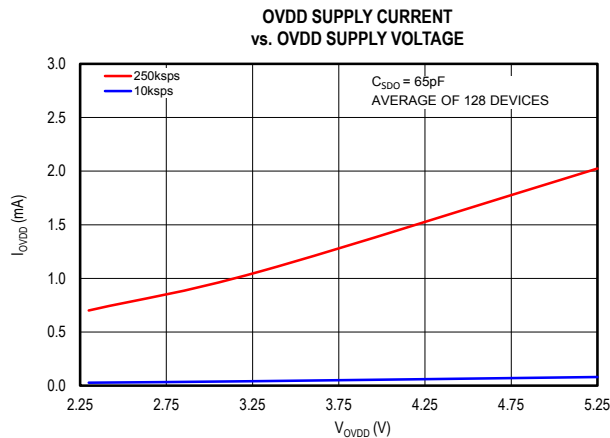
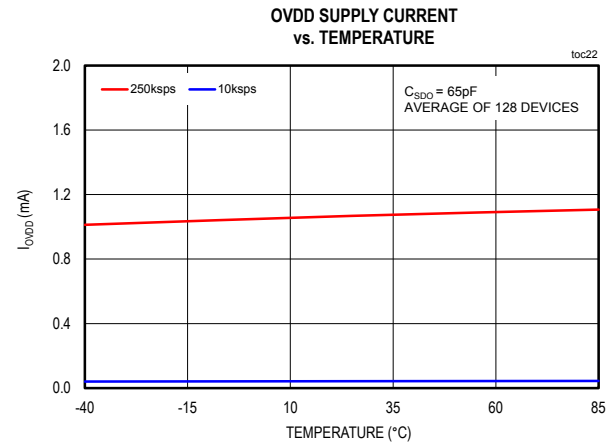
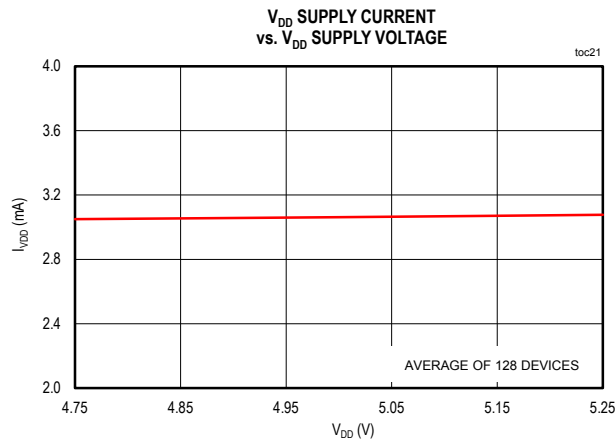
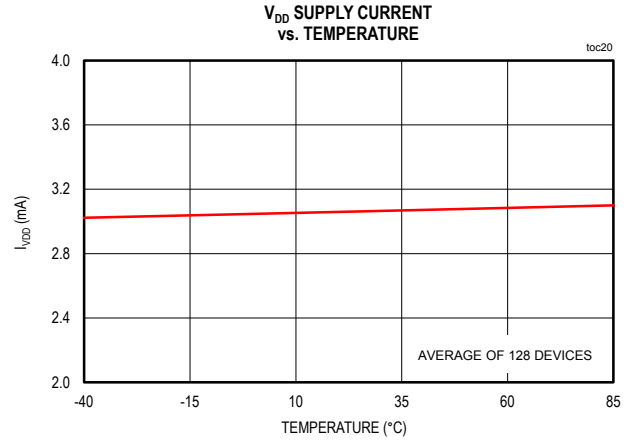
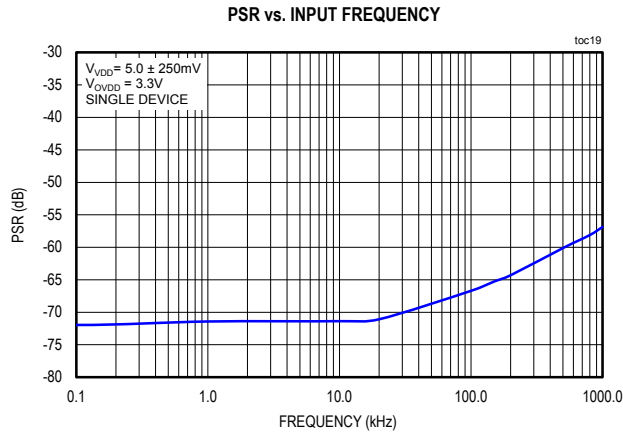


MAX11163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

典型工作特性(续)

($V_{DD} = 5V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)

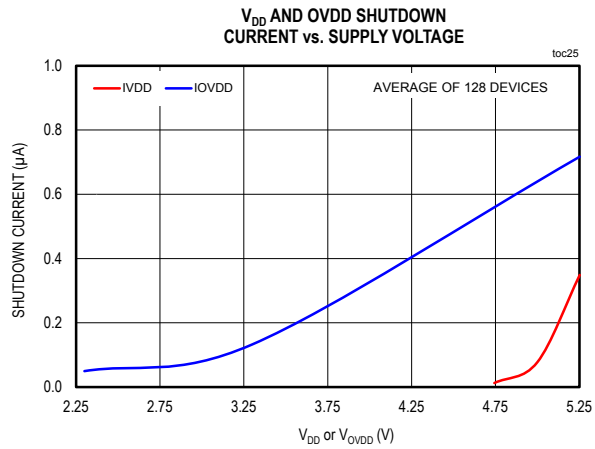


MAX11163

16位、500kps、+5V单极性输入、
SAR ADC，采用微小10引脚 μ MAX封装

典型工作特性(续)

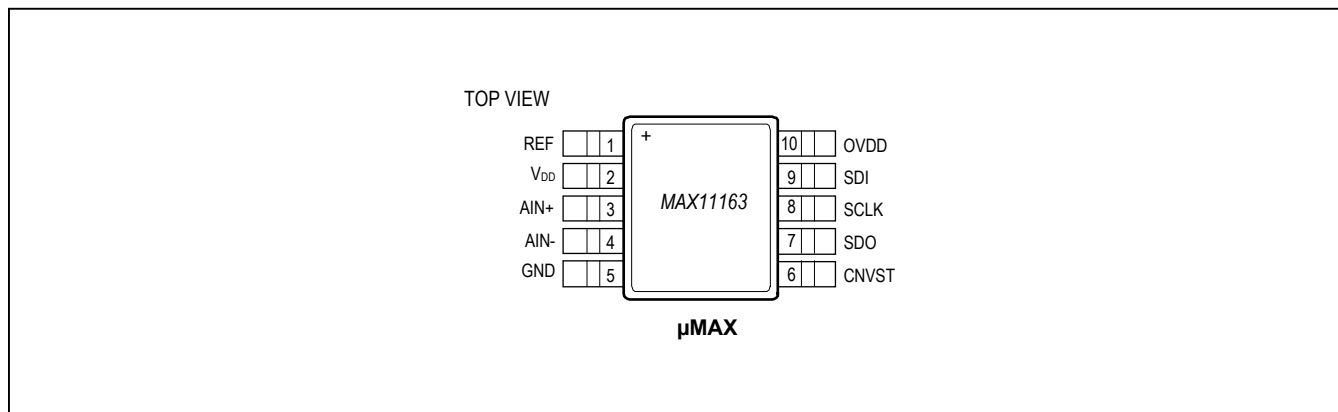
($V_{DD} = 5V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 250kHz$, $V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.)



MAX11163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

引脚配置



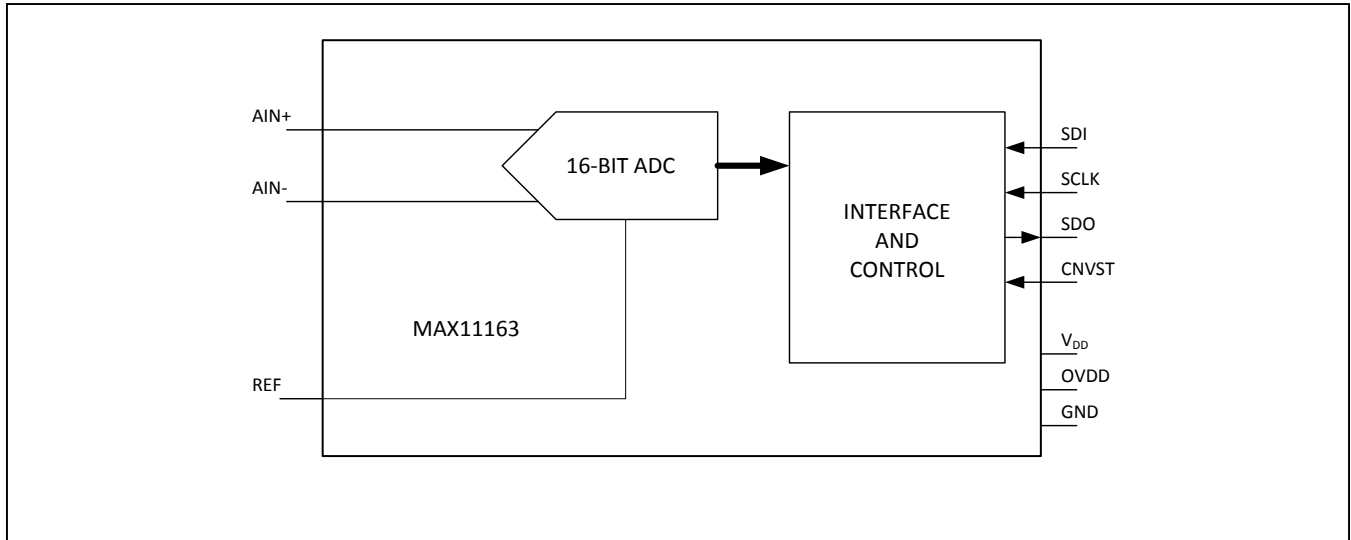
引脚说明

引脚	名称	功能
1	REF	外部基准输入，利用X5R或X7R 10 μ F 16V电容旁路至GND。参见布局、接地和旁路部分。
2	V _{DD}	模拟电源。将每个器件的V _{DD} 利用0.1 μ F电容旁路至GND，电容尽量靠近器件放置；将每块PCB利用10 μ F电容旁路至GND。
3	AIN+	模拟输入正端。
4	AIN-	模拟输入负端。将AIN-连接至模拟接地区域或连接至远端检测地。
5	GND	电源地。
6	CNVST	启动转换输入。CNVST上升沿启动转换并选择接口模式：菊链或 \overline{CS} 。 \overline{CS} 模式下，CNVST为低电平时使能SDO输出；菊链模式下，CNVST为高电平时读取数据。
7	SDO	串行数据输出。SDO在SCLK下降沿跳变。
8	SCLK	串行时钟输入，选中器件时，将数据移出串行接口。
9	SDI	串行数据输入和模式选择输入。CNVST上升沿期间，如果SDI为低电平，选择菊链模式；该模式下，SDI用作菊链的数据输入，将两个或多个ADC的转换结果输出至单根SDO线。CNVST上升沿期间，如果SDI为高电平，选择 \overline{CS} 模式；该模式下，SDI或CNVST为低电平时可使能串行输出信号。完成转换时，如果SDI或CNVST为低电平，使能忙指示。
10	OVDD	数字电源。OVDD范围为2.3V至V _{DD} 。将每个器件的OVDD通过0.1 μ F电容旁路至GND；将每块PCB通过10 μ F电容旁路至GND。

MAX1163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

功能框图



详细说明

MAX1163为16位、单通道、伪差分SAR ADC，最大吞吐率为250ksps。该ADC测量0V至 V_{REF} 的单极性输入电压。外部基准范围为2.5V至 V_{DD} 。采用集成伪差采样/保持(T/H)对两个输入(AIN+和AIN-)进行采样，无流水线延时或延迟，使该ADC理想用于多路复用通道设计。

MAX1163输入具有高达 $\pm 20\text{mA}$ 过流保护。ADC由4.75至5.25V模拟电源(V_{DD})和独立2.3V至5.25V数字电源(OVDD)供电。MAX1163内部采样/保持需要 $1\mu\text{s}$ 对输入进行采样，然后使用内部时钟驱动转换器，将采样信号转换为16位分辨率。

模拟输入

MAX1163 ADC包括真正的伪差分采样输入级，具有高阻、容性输入。内部T/H电路具有大约6MHz的小信号带宽，采样周期为 $1\mu\text{s}$ 时提供16位精度，从而允许利用外部多路复用器对多路扫描通道进行高精度采样。

MAX1163可高精度转换的输入信号AIN+范围为AIN-至($V_{REF} + \text{AIN-}$)。

AIN+的最大输入范围为-0.1V至($V_{DD} + 0.1\text{V}$)，AIN-的最大输入范围为-0.1V至+0.1V。

MAX1163对AIN+和AIN-之间的输入进行真正的差分采样，具有良好的共模抑制(见[典型工作电路](#))。将AIN-连接至输入信号源的地基准，提高远端传感器输入的共模噪声抑制性能。

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

过压输入钳位

MAX11163包括输入钳位电路，当AIN+的输入电压高于(V_{DD} + 300mV)或低于-300mV时触发钳位。输入信号在-100mV至(V_{DD} + 100mV)范围以内时，钳位电路保持高阻，消耗极低电流，甚至不消耗电流。但当输入信号超过该范围时，钳位电路开启。所以，为获得最高精度，确保输入电压不超出-100mV至(V_{DD} + 100mV)范围。

为使用输入钳位功能，在AIN+输入和电压源之间连接一个电阻(R_S)，以限制模拟输入电压，确保器件的故障电流输入不超过±20mA。注意，发生故障时，AIN+输入引脚的电压限制在7V，利用下式计算R_S：

$$R_S = \frac{V_{\text{FAULT MAX}} - 7V}{20\text{mA}}$$

式中，V_{FAULT MAX}为电压源在故障期间产生的最大电压。

图1和图2所示为源阻抗R_S = 1170Ω时钳位电路的电压电流特性。输入电压在-300mV至(V_{DD} + 300mV)范围之内时，输入钳位电路中无电流通过。一旦输入电压超出该电压范围，钳位电路开启，限制输入引脚的电压。

基准

MAX11163在REF引脚需要一个低阻基准源，以支持16位精度。Maxim提供多种可理想用于16位精度数据转换器的高精度基准，表1列出了部分推荐选项。

建议利用基准缓冲器或推荐基准源的输出驱动该引脚。此外，应在尽量靠近REF引脚的位置安装至少10μF、低电感和低ESR的电容，从而将PCB电感降至最小；采用1210或更小尺寸的X7R或X5R陶瓷电容，以提供足够的旁路性能。Y5U或Z5U陶瓷电容的电压及温度系数较高，不建议使用。

表1. 推荐的MAX11163外部基准

PART	V _{OUT} (V)	TEMPERATURE COEFFICIENT (MAX)	INITIAL ACCURACY (%)	NOISE (0.1Hz TO 10Hz) (μV _{p-p})	PACKAGE
MAX6126	2.5, 3, 4.096, 5.0	3 (A), 5 (B)	0.06	1.35	μMAX-8 SO-8
MAX6325	2.5	1	0.04	1.5	SO-8
MAX6341	4.096	1	0.02	2.4	SO-8

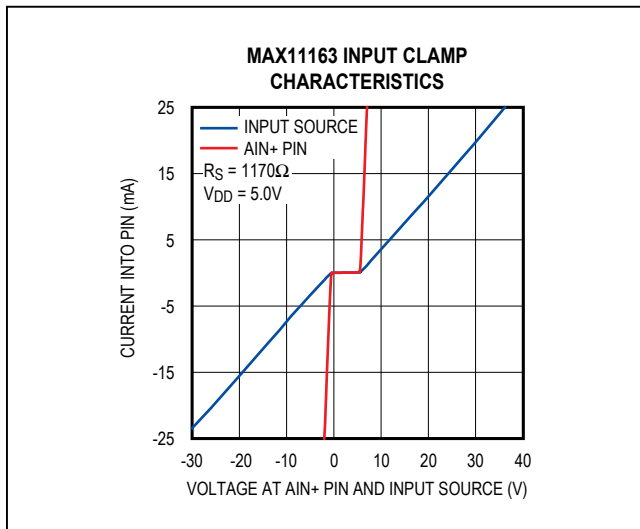


图1. 输入钳位特性

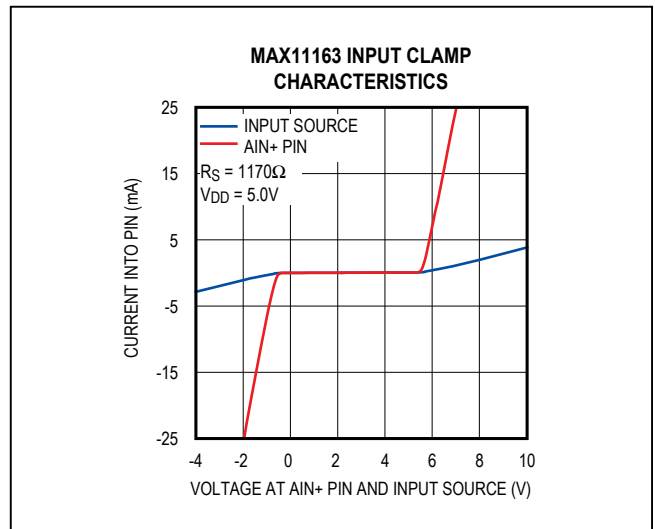


图2. 输入钳位特性(放大)

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

输入放大器

当ADC采样输入信号的时间间隔长于输入信号在最差工作条件下的建立时间时，转换结果非常精确。ADC输入采样电容在采样周期内充电。采样期间，采样电压的建立时间受输入电阻和输入采样电容的影响。对总输入电容和驱动源阻抗的时间常数进行建模，可估算采样误差。

尽管MAX11163易于驱动，但当驱动大约40pF的开关电容时，在采样周期内源阻抗会产生明显的信号建立误差，建议使用放大器缓冲器。按照[典型工作电路](#)所示的配置，其中将至少4.7nF的电容连接至AIN+引脚。该电容可减小采样周期开始时的瞬变，这种瞬变在有些缓冲器中会造成输入信号失调。

无论是否使用外部缓冲器，输入时间常数 $R_{SOURCE} \times C_{LOAD}$ 均不应超过 $t_{ACQ}/12$ ，其中 R_{SOURCE} 为信号源总阻抗， C_{LOAD} 为ADC输入的总电容(外部和内部)， t_{ACQ} 为采样周期。所以，为了在1 μ s采样时间内获得高精度，如果直接驱动ADC，应使源阻抗小于2.1k Ω 。利用缓冲器驱动ADC时，建议在放大器和外部输入电容之间串联一个电阻(一般为5 Ω 至15 Ω)，如[典型工作电路](#)所示。

以下放大器特性有助于选择ADC驱动器。

- 1) 快速建立时间：对于多通道多路复用架构，施加满幅阶跃信号时，在最小采样时间内驱动运算放大器必须稳定在16位分辨率。

- 2) 低噪声：确保驱动器放大器在规定的带宽内保持较低的平均噪声密度。对于MAX11163，1 μ s建立时间要求RC滤波器带宽为大约2MHz。该带宽下，所用放大器产生的输出噪声频谱密度最好小于6.4nV/ $\sqrt{\text{Hz}}$ ，以确保总体SNR无明显下降。建议在MAX11163的AIN+输入插入外部RC滤波器，以衰减带外输入噪声，保证ADC的SNR。MAX11163 AIN+输入的有效RMS噪声为34 μ V，因此，来自缓冲器电路的附加噪声应保持在极低水平，以实现最高SNR性能。
- 3) THD性能：所用输入缓冲放大器的THD性能应优于MAX11163的THD性能，以确保数字化信号的THD不会变差。

[表2](#)列出了适用于MAX11163的运算放大器。MAX9632具有支持MAX11163所需的全部性能，包括足够的带宽、足够低的噪声和失真。MAX9633为双通道放大器，可支持真正伪差分采样所需的缓冲。

传递函数

MAX11163的理想传递特征函数如[图3](#)所示，[表3](#)中列出了传递函数上各个点的精确位置。

表2. 推荐用于驱动MAX11163 ADC的运算放大器

AMPLIFIER	INPUT-NOISE DENSITY (nV/ $\sqrt{\text{Hz}}$)	SMALL-SIGNAL BANDWIDTH (MHz)	SLEW RATE (V/ μ s)	THD (dB)	I _{CC} (mA)	COMMENTS
MAX9632	1	55	30	-128	3.9	Low noise, THD at 10kHz
MAX9633	3	27	18	-128	3.5	Low noise, dual amp, THD at 10kHz

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

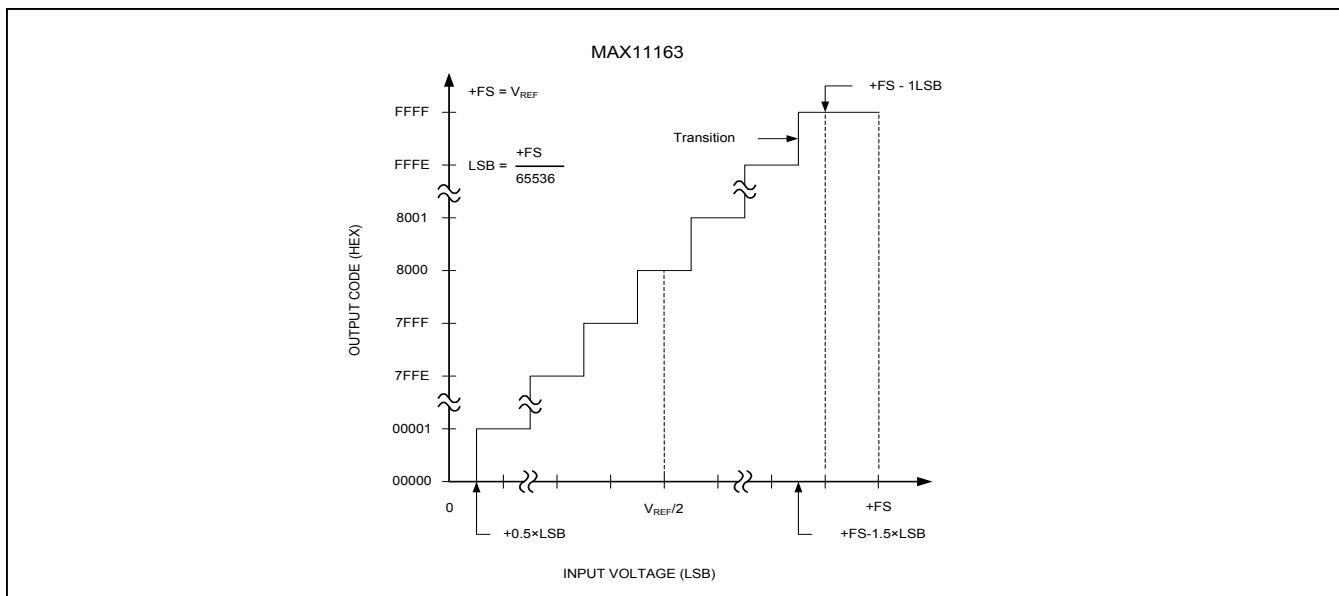


图3. 单极性传递函数

表3. 传递函数示例

CODE TRANSITION	UNIPOLAR INPUT (V)	DIGITAL OUTPUT CODE (HEX)
+FS - 1.5 LSB	4.999886	FFFE - FFFF
Midscale + 0.5 LSB	2.500038	8000 - 8001
Midscale	2.500000	8000
Midscale - 0.5 LSB	2.499962	7FFF - 8000
0.5 LSB	0.000038	0000 - 0001

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

数字接口

MAX11163包括三个数字输入(CNVST、SCLK和SDI)和一个数字输出(SDO)。ADC可配置为六种接口模式之一，使得该器件符合多种应用的要求。

3线和4线 \overline{CS} 接口模式兼容SPI、QSPI、数字主机和DSP。3线接口使用CNVST、SCLK和SDO，将接线复杂度降至最低，理想用于隔离应用。4线接口允许CNVST独立于输出数据读回(SDI)，提供最高水平的独立器件控制。这种配置对于低抖动或多通道、同时采样应用非常有用。

3线菊链模式是配置多通道、同时采样系统的最简单方式；通过将多个ADC级联为移位寄存器结构构建系统。所有ADC共用CNVST和SCLK输入，每个器件的SDO输出连接至菊链中下一个器件的SDI输入。3线接口只是CNVST、SCLK及菊链中最后一个ADC的SDO。

由CNVST上升沿时的SDI逻辑电平选择 \overline{CS} 或菊链模式。如果SDI为高电平，选择 \overline{CS} 模式；如果SDI为低电平，选择菊链模式。如果SDI和CNVST连接在一起，选择菊链模式。

以上介绍的三种模式中(3线 \overline{CS} 模式、4线 \overline{CS} 模式和菊链模式)，用户必须在开始读回之前通过外部计算ADC最大转换时间；每种模式下，MAX11163也在SDO上提供忙指示，以省去外部定时器电路。

使能忙指示时，SDO提供忙指示位，表示转换结束。为在读回数据之前清除SDO忙指示，需要额外一个SCLK。 \overline{CS}

模式下，ADC完成转换后，如果CNVST或SDI为低电平，触发忙指示；菊链模式下，根据CNVST上升沿时的SCLK状态触发忙指示：如果SCLK为高电平，触发忙指示；否则，不触发忙指示。

下文对六种串行接口模式中的每种进行详细介绍。由于可能发生性能劣化，数字活动应在完成转换后进行或限制在转换阶段的前半部分。SCLK或SDI跳变靠近采样位置时，也会造成采样精度变差。因此，在CNVST上升沿之前大约25ns及之后10ns使数字输入保持不变。在随后的时序图中，将这些时间标注为 $t_{SSCKCNV}$ 和 $t_{HSCKCNV}$ 。

任何接口模式下，SDO数据在SCLK的两个沿均有效。然而，如果数据在SCLK下降沿移入主机，输入至接收主机的建立时间最大。这样将允许在MAX11163和接收主机之间实现较高的数据传输率，从而实现较高的转换器吞吐率。

关断

任何接口模式下，均可将MAX11163置于关断状态：SCLK保持为高电平时，将CNVST从高电平拉低为低电平。 V_{DD} 和 O_{VDD} 电源的供电电流降低至小于 $10\mu A$ (见图4)。为从关断模式唤醒，保持SCLK为低电平，将CNVST由高拉低。

ADC工作模式

表4所示为MAX11163的六种工作模式汇总，对于其中每种工作模式，列出了典型应用及其优点。

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

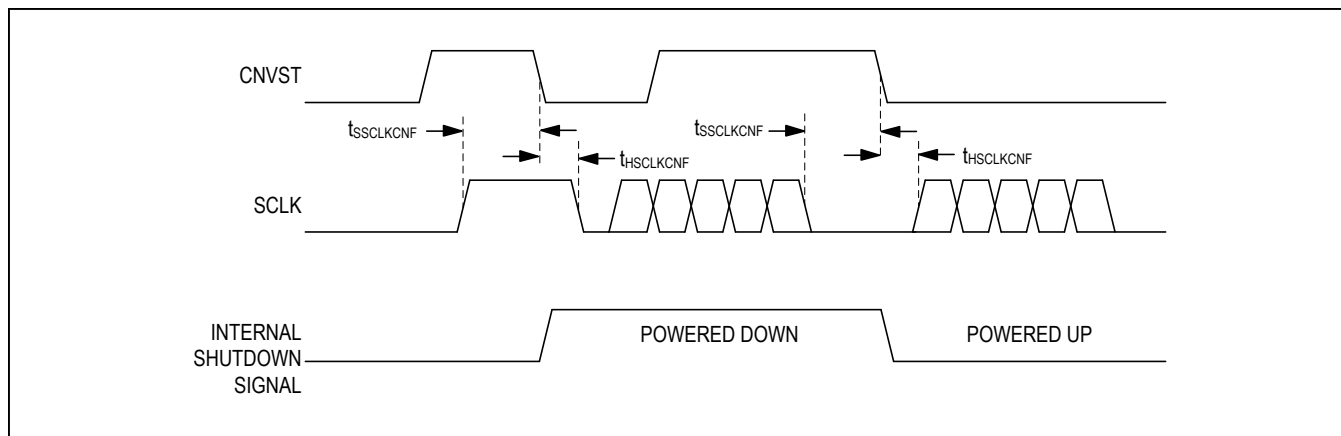


图4. 进入和退出关断模式

表4. ADC工作模式

MODE	TYPICAL APPLICATION AND BENEFITS
\overline{CS} Mode 3-Wire, No-Busy Indicator	Single ADC connected to SPI-compatible digital host. Minimal wiring complexity; ideally suited for isolated applications.
\overline{CS} Mode 3-Wire, With Busy Indicator	Single ADC connected to SPI-compatible digital host with interrupt input. Minimal wiring complexity; ideally suited for isolated applications.
\overline{CS} Mode 4-Wire, No-Busy Indicator	Multiple ADCs connected to SPI-compatible digital host. CNVST used for acquisition and conversion; ideally suited for low jitter applications and simultaneous sampling. SDI used to control data readback.
\overline{CS} Mode 4-Wire, With Busy Indicator	Single ADC connected to SPI-compatible digital host with interrupt input. CNVST used for acquisition and conversion; ideally suited for low jitter applications.
Daisy-Chain Mode, No-Busy Indicator	Multiple ADCs connected to 3-wire serial interface. Minimal wiring complexity; ideally suited for multichannel simultaneous sampled isolated applications.
Daisy-Chain Mode, With Busy Indicator	Multiple ADCs connected to 3-wire serial interface with busy indicator. Minimal wiring complexity; ideally suited for multichannel simultaneous sampled isolated applications.

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

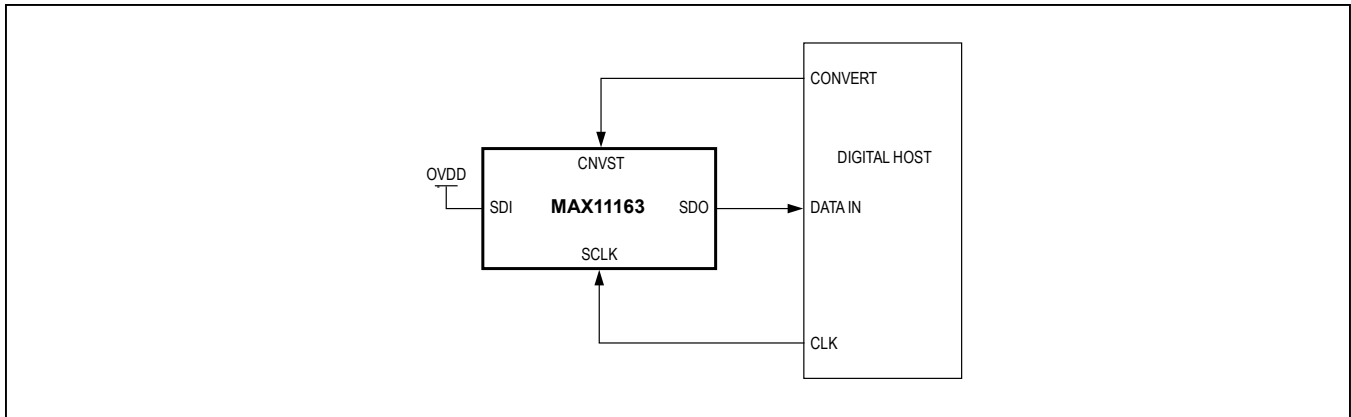


图5. 连接图：3线 \overline{CS} 模式，无忙指示(SDI为高电平)

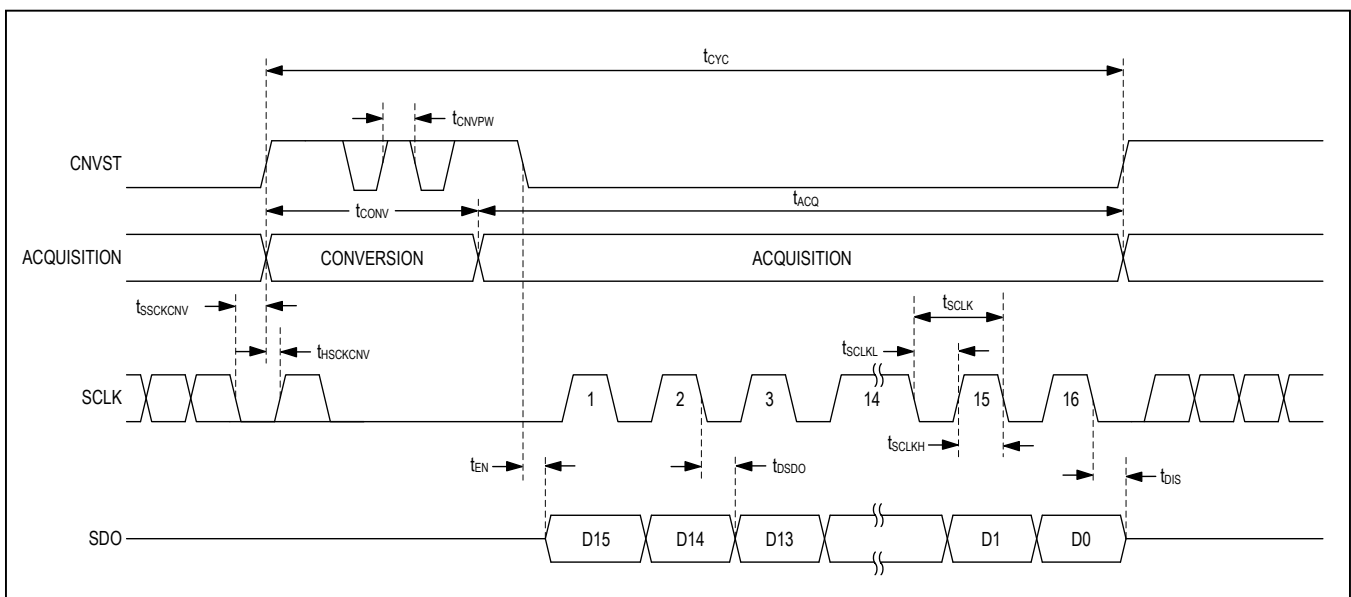


图6. 串行接口时序：3线 \overline{CS} 模式，无忙指示(SDI为高电平)

3线 \overline{CS} 模式，带忙指示

无“忙”指示时，3线 \overline{CS} 模式可理想用于要求最简连线的隔离应用。图5中，单片ADC连接至SPI兼容数字主机，对应时序如图6所示。

SDI连接至OVDD时，CNVST上升沿完成采集，启动转换，强制SDO为高阻。转换完成之前，不考虑CNVST的状态，允许CNVST用作电路板上其它器件的选择线。CNVST必须

在最小转换时间之前返回至高电平，并在达到最大转换时间之前保持为高电平，避免产生忙信号指示。

完成转换时，MAX11163进入采集阶段。将CNVST驱动为低电平，以将MSB输出至SDO。其余数据位则由随后的SCLK下降沿驱动。第16个SCLK下降沿之后，或者CNVST变为高电平时，SDO返回至高阻态。

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

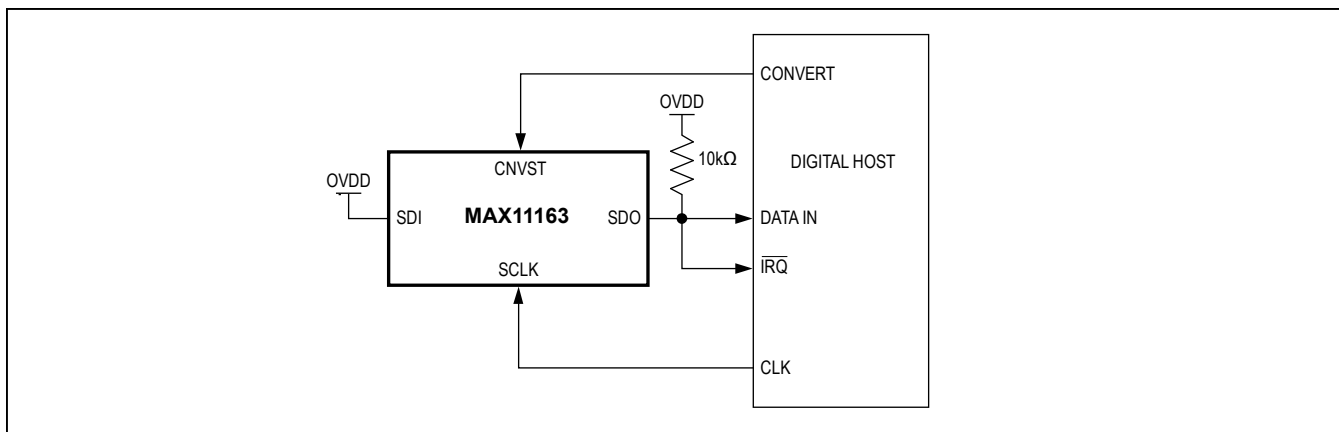


图7. 连接图：3线 \overline{CS} 模式，带忙指示(SDI为高电平)

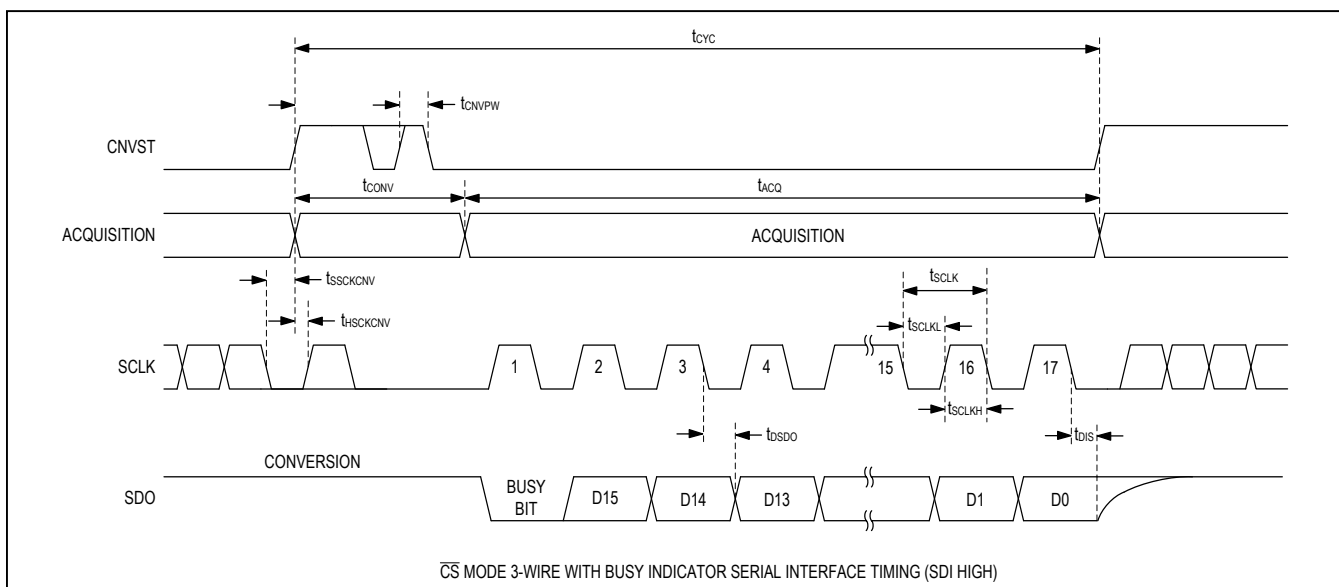


图8. 串行接口时序：3线 \overline{CS} 模式，带忙指示(SDI为高电平)

3线 \overline{CS} 模式，带忙指示

带“忙”指示3线 \overline{CS} 模式如图7所示，单片ADC连接至SPI兼容、带有中断输入的数字主机，对应时序图如图8所示。

SDI连接至OVDD时，CNVST上升沿完成采集，启动转换，强制SDO为高阻。转换完成之前，不考虑CNVST的状态，允许CNVST用作电路板上其它器件的选择线。CNVST必须在最小转换时间之前返回至低电平，并在产生忙信号之

前保持为低电平。完成转换时，SDO从高阻态跳变为逻辑低电平，通过中断输入通知数字主机开始回读数据。然后MAX11163进入采集阶段。然后由后续的SCLK下降沿驱动移出数据位，MSB在前。第17个SCLK下降沿之后或CNVST变为高电平时，SDO返回至高阻态，然后通过外部上拉电阻拉至OVDD。

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

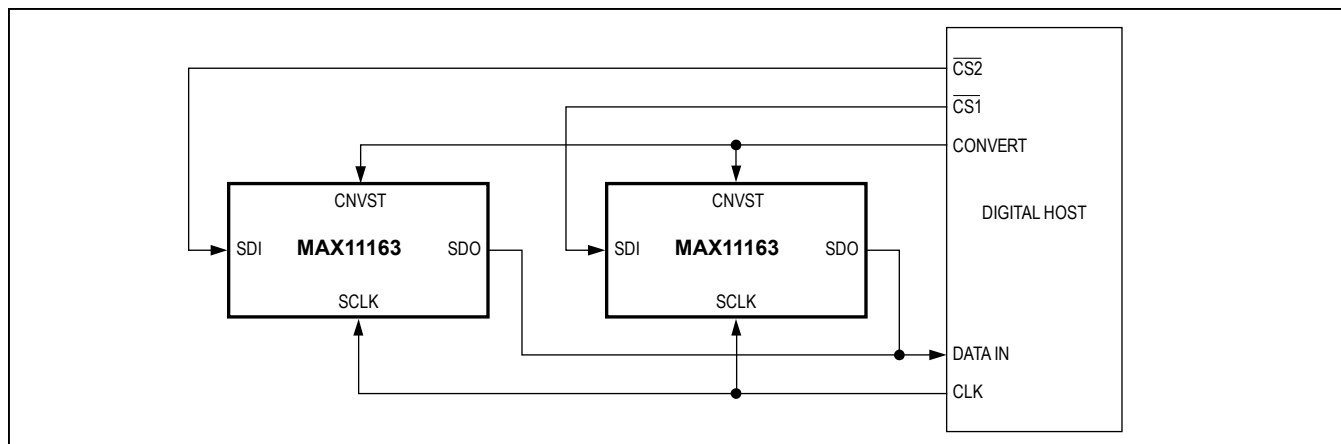


图9. 连接图：4线 \overline{CS} 模式，无忙指示

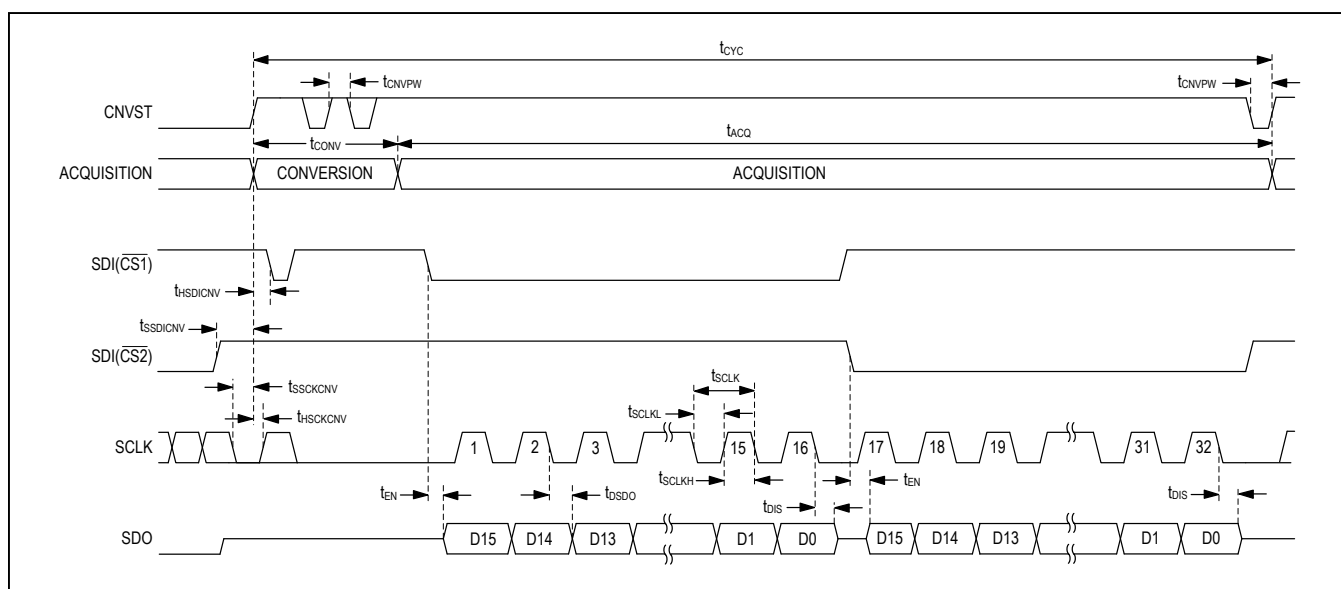


图10. 串行接口时序：4线 \overline{CS} 模式，无忙指示

4线 \overline{CS} 模式，无忙指示

无“忙”指示时，4线 \overline{CS} 模式可理想用于多通道应用。这种情况下，CNVST引脚可用于低抖动同时采样，SDI引脚用于控制数据读回。图9中，两片ADC连接至SPI兼容数字主机，对应时序如图10所示。

SDI为高电平时，CNVST上升沿完成采集，启动转换，强制SDO为高阻。该模式要求CNVST在转换及数据读回阶段保持为高电平。注意，如果CNVST和SDI为低电平，SDO驱动为低电平。

转换期间，SDI引脚可用作电路板上其它器件的选择线，但必须在最小转换时间之前返回至高电平，并在最大转换时间之前保持为高电平，以避免产生忙信号指示。

完成转换时，MAX11163进入采集阶段。通过将相应SDI线驱动为低电平，将MSB输出至SDO，读回ADC数据。其余数据位则由随后的SCLK下降沿驱动。第16个SCLK下降沿之后，或者CNVST变为高电平时，SDO返回至高阻态。

MAX11163

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

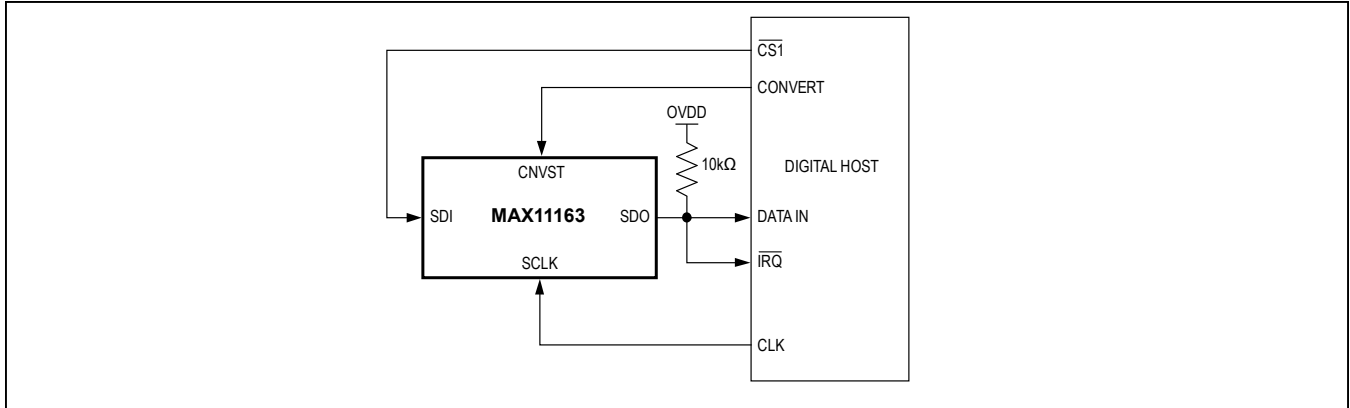


图11. 连接图：4线 \overline{CS} 模式，带忙指示

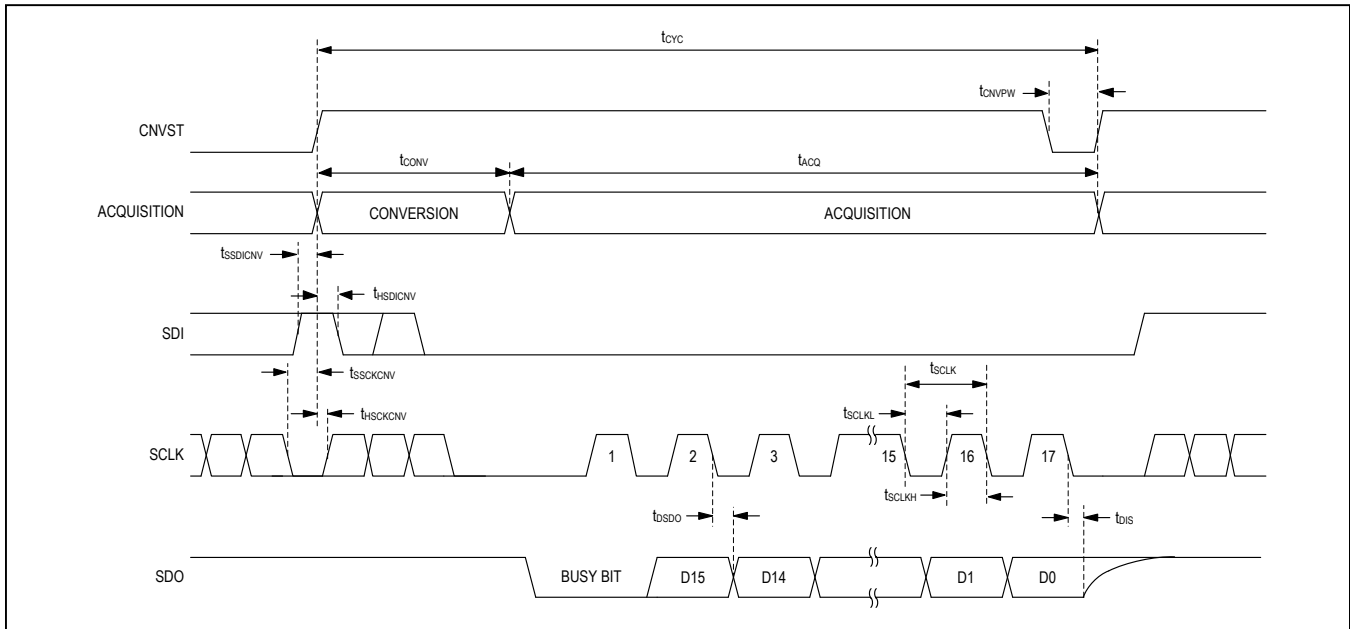


图12. 串行接口时序：4线 \overline{CS} 模式，带忙指示

4线 \overline{CS} 模式，带忙指示

带“忙”指示4线 \overline{CS} 模式如图11所示，单片ADC连接至SPI兼容、带有中断输入的数字主机，对应时序图如图12所示。该模式理想用于单ADC应用，此时CNVST引脚可用于低抖动采样，SDI引脚用于数据读回。

SDI为高电平时，CNVST上升沿完成采集，启动转换，强制SDO为高阻。该模式要求CNVST在转换及数据读回阶段保持为高电平。注意，如果CNVST和SDI为低电平，SDO

驱动为低电平。转换期间，SDI引脚可用作电路板上其它器件的选择线，但必须在最小转换时间之前返回至低电平，并在产生忙信号之前保持为低电平。

完成转换时，SDO从高阻态跳变为逻辑低电平，通过中断输入通知数字主机开始读回数据。然后MAX11163进入采集阶段。然后由后续的SCLK下降沿驱动移出数据位，MSB在前。第17个SCLK下降沿之后或CNVST变为高电平时，SDO返回至高阻态，然后通过外部上拉电阻拉至OVDD。

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

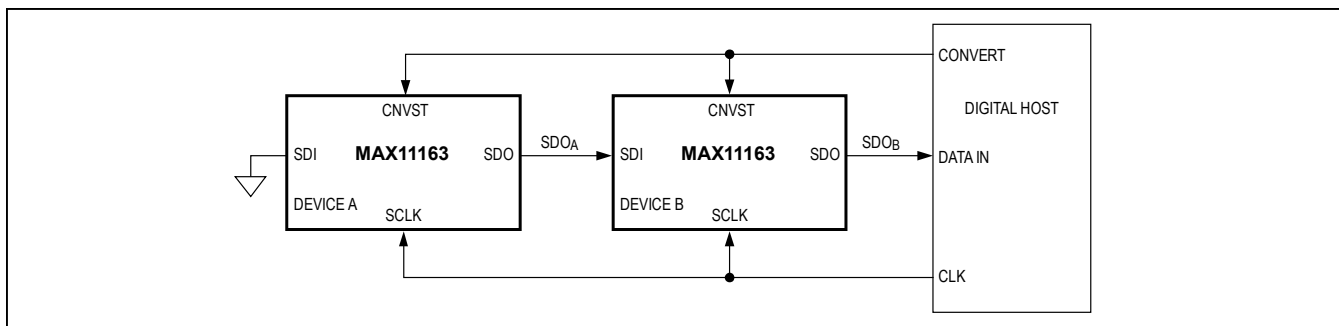


图13. 连接图：菊链模式，无忙指示

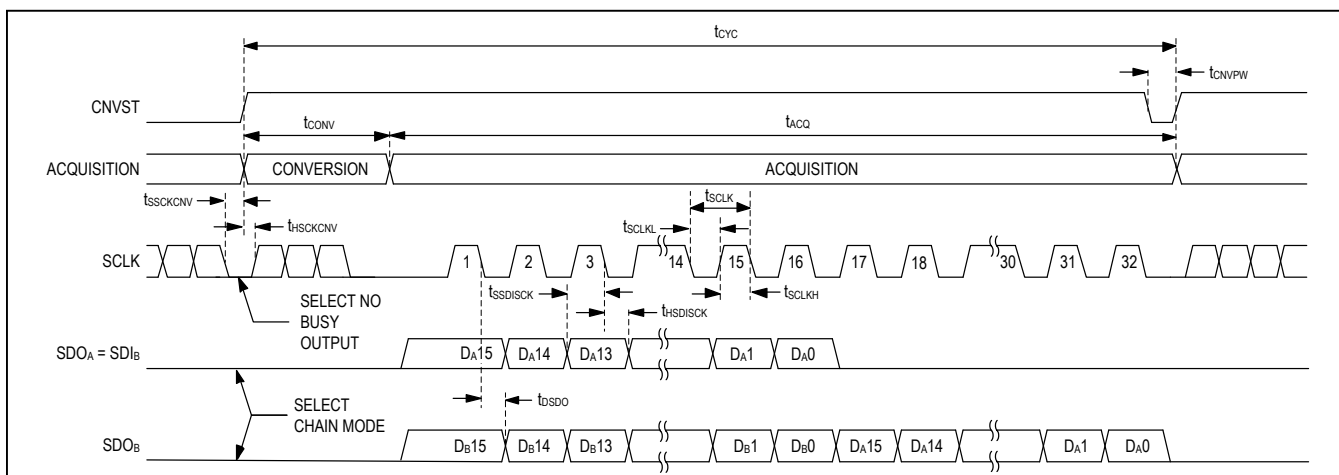


图14. 串行接口时序：菊链模式，无忙指示

菊花链模式，无忙指示

无“忙”指示时，菊花链模式可理想用于要求最简连线的多通道隔离应用。通过3线串行接口实现多个ADC通道的同步采样，数据读取类似于时钟驱动移位寄存器。图13中，两片ADC连接至SPI兼容数字主机，对应时序如图14所示。

MAX11163在CNVST上升沿检测到SDI为逻辑低状态时，启动菊花链模式。该模式下，CNVST从低到高的跳变完成采集阶段，开始转换。CNVST上升沿时，如果SCLK为逻辑低状态，通知内部控制器不产生忙指示输出。菊花链模式下，SDO输出在任何时间均有效。

SDI和CNVST均为低电平时，SDO驱动为低电平，从而使下行MAX11163器件处于菊花链工作模式。例如，图13中，器件A使其SDI为低电平，所以在每次转换时选择菊花链工

作模式。CNVST变为低电平触发下一次转换时，器件A的SDO以及器件B的SDI同时变为低电平。在下一个CNVST上升沿，器件A和B将选择菊花链模式接口。

完成转换时，MSB输出至SDO，MAX11163返回采集阶段，储存在内部移位寄存器的其余数据位，在随后的每个SCLK下降沿移出。链中每个ADC的SDI输入将转换数据从前一个ADC传送到下一个ADC的内部移位寄存器，允许在每个SCLK下降沿通过多芯片菊花链移出数据。链中每个ADC首先输出其MSB数据，读回N个ADC需要 $16 \times N$ 个时钟。

菊花链模式下，由于读操作时间增加，最大转换率减小。例如，以6ns数字主机建立时间和3V接口为例，能够通过3线端口以菊花链形式连接最多四片转换速率为218kps的MAX11163器件。

16位、500kps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

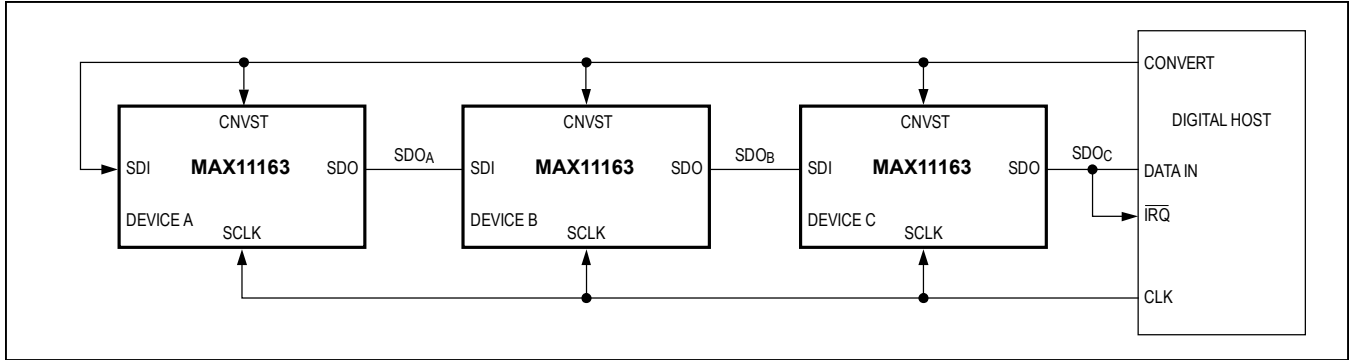


图15. 连接图：菊链模式，带忙指示

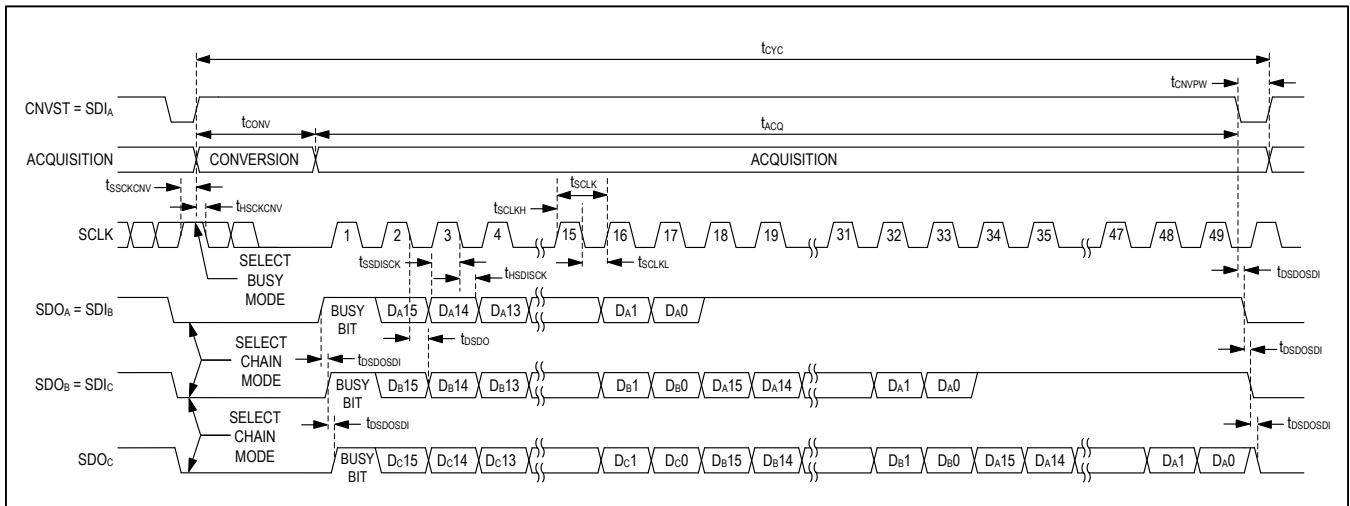


图16. 串行接口时序：菊链模式，带忙指示

菊花链模式，带忙指示

带“忙”指示的菊花链模式如图15所示，三片ADC连接至SPI兼容数字主机，对应时序如图16所示。

MAX11163在CNVST上升沿检测到SDI为逻辑低状态时，启动菊花链模式。此外，SDI可直接连接至CNVST，以触发菊花链接口模式。该模式下，CNVST从低到高的跳变完成采集阶段，开始转换。CNVST上升沿时，如果SCLK为逻辑高状态，通知内部控制器将输出忙指示。菊花链模式下，SDO输出在任何时间均有效。

SDI和CNVST均为低电平时，SDO驱动为低电平，从而使下行MAX11163器件处于菊花链工作模式。例如，图15中，

器件A使其SDI为低电平，所以在每次转换时选择菊花链工作模式。CNVST变为低电平触发下一次转换时，器件A的SDO以及器件B的SDI同时变为低电平。器件C的SDI输入亦是如此。因此，在下一个CNVST上升沿，菊花链中的所有器件将选择菊花链模式接口。

完成转换时，“忙”指示输出到每个SDO，MAX11163返回采集阶段。每个器件完成其转换时，在其SDI引脚上检测来自于菊花链中上行器件的忙使能信号。如果在其输入上检测到忙使能信号且自身已完成转换，则在SDO上使能忙输出信号。因此，忙使能信号沿菊花链向下传输，主机上的最终忙使能信号表示菊花链中所有器件已经完成转换，可读回数据。

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

转换数据位储存在内部移位寄存器中，在随后的每个SCLK下降沿移出。链中每个ADC的SDI输入将转换数据从前一个ADC传送到下一个ADC的内部移位寄存器，允许在每个SCLK下降沿通过多芯片菊链移出数据。选择忙指示模式时，在读回模式下的第一个SCLK下降沿，每个器件的忙碌位不在链中。所以，从N个ADC读回全部数据所需的SCLK下降沿数据量为 $16 \times N + 1$ 。

菊链模式下，由于读操作时间增加，最大转换率减小。例如，以6ns数字主机建立时间和3V接口为例，能够通过3线端口以菊链形式连接最多四片转换速率为217ksps的MAX11163器件。

布局、接地和旁路

为获得最佳性能，使用具有接地区域的PCB。确保数字和模拟信号线彼此保持隔离。请勿将模拟和数字线平行布置(尤其是时钟信号)，避免在ADC封装下方布置数字线。采用单个连续GND区域配置、数字信号一个方向、模拟信号另一个方向，可实现最佳性能。将MAX11163的GND引脚连接至该接地区域。使电源的地返回线路阻抗尽可能小、引线尽可能短，以实现无噪声工作。

在AIN+与接地之间安装4.7nF C0G (或NPO)陶瓷电容，电容尽量靠近MAX11163放置。该电容可降低采样电路的等效感抗，降低输入信号的瞬变。如果AIN-用于远端检测，在尽量靠近该引脚的位置安装4.7nF C0G匹配陶瓷电容，将远端检测线中电感的影响降至最小。

为获得最佳性能，利用X5R或X7R电介质、1210或更小外壳尺寸的16V、10 μ F贴片陶瓷电容，将REF输出连接至接地区域，进行去耦。确保全部旁路电容通过独立过孔直接连接至接地区域。

利用0.1 μ F贴片陶瓷电容将每个V_{DD}和OVDD旁路至接地区域，电容尽量靠近器件放置，使寄生电感降至最小。在每个PCB上至少有一个10 μ F大容量电容对V_{DD}和OVDD去耦。为了获得最佳性能，在MAX11163的模拟接口侧布置V_{DD}电源区域，在器件的数字接口侧布置OVDD电源区域。

定义

积分非线性

积分非线性(INL)是实际传递函数值与直线的偏差。对于这些器件，这条直线是消除失调与增益误差后传递函数两个端点间的连线。

微分非线性

微分非线性(DNL)是实际台阶宽度与1个LSB的理想值之差。对于这些器件，每个数字输出码值的DNL都经过测量，并在[Electrical Characteristics](#)表中给出最大误差。小于 ± 1 LSB的DNL误差保证不会产生失码，并可确保传递函数的单调性。

失调误差

对于MAX11163，在编码从0x0000跳变至0x0001时定义失调误差。从0x0000至0x0001的编码跳变应发生在模拟输入电压比GND高0.5 LSB或+38 μ V时。失调误差定义为产生编码从0x0000跳变为0x0001所需的实际模拟输入电压与理想模拟输入+38 μ V之间的偏差，以LSB表示。

增益误差

增益误差定义为理想模拟输入电压 $V_{REF} \times (65534/65536)$ 减去产生最大码值转换所需模拟输入电压与最小码值转换所需模拟输入电压之差。对于MAX11163，最大码值转换为0xFFFFE至0xFFFF，最小码值转换为从0x0000至0x0001。对于，产生这些码值转换所需的模拟输入电压均已经过测量，并从测量值中减去 $V_{REF} \times (65534/65536)$ ，计算得到增益误差。

信噪比

对于从数字采样完美重建的波形，信噪比(SNR)为满幅模拟输入功率与RMS量化误差(剩余误差)之比。理想情况下，理论上的最小模/数转换噪声仅包含量化误差，并直接由ADC的分辨率(N位)确定：

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚μMAX封装

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号功率与噪声功率之比计算，噪声功率包括除基波、前五次谐波与直流失调以外的所有频谱成份。

信号与噪声+失真

信号与噪声+失真(SINAD)是基波输入频率的功率与所有其它ADC输出信号的功率之比：

$$\text{SINAD(dB)} = 10 \times \log \left[\frac{\text{Signal}}{(\text{Noise} + \text{Distortion})} \right]$$

有效位数

有效位数(ENOB)表示一个ADC在特定输入频率和采样率下的总体精度。理想的ADC误差仅包括量化误差。输入范围等于ADC满量程范围时，由下式计算ENOB：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

总谐波失真

总谐波失真(THD)是转换数据的前5次谐波包含的功率与基波功率之比，可以用下式表示：

$$\text{THD} = 10 \times \log \left[\frac{P_2^2 + P_3^2 + P_4^2 + P_5^2}{P_1^2} \right]$$

式中， P_1 为基波功率， P_2 至 P_5 为2次谐波至5次谐波的功率。

无杂散动态范围

无杂散动态范围(SFDR)是基波(信号成分最大值)功率与第二大频率成份的功率之比。

孔径延迟

孔径延迟(t_{AD})是从采样时钟沿至实际采样时刻之间的时间延迟。

孔径抖动

孔径抖动(t_{AJ})是采样之间的孔径延迟波动。

小信号带宽

向一个ADC施加一个小的-20dBFS模拟输入信号，同时确保信号的摆率不会影响ADC性能。然后将输入频率提高到某个点，使数字转换结果的幅值降低3dB。

全功率带宽

将较大的-0.5dBFS模拟输入信号送入ADC，随着输入频率的升高，数字转换结果将会下降，下降3dB时所对应的频点称为全功率输入带宽频率。

MAX11163

16位、500ksps、+5V单极性输入、SAR ADC，采用微小10引脚 μ MAX封装

选型指南

器件	位数	输入范围(V)	基准	封装	速率(ksps)
MAX11160	16	0 to 5	内部	3mm x 5mm μ MAX-10	500
MAX11161	16	0 to 5	内部	3mm x 5mm μ MAX-10	250
MAX11162	16	0 to 5	外部	3mm x 5mm μ MAX-10	500
MAX11163	16	0 to 5	外部	3mm x 5mm μ MAX-10	250
MAX11164	16	0 to 5	内部/外部	3mm x 3mm TDFN-12	500
MAX11165	16	0 to 5	内部/外部	3mm x 3mm TDFN-12	250
MAX11166	16	± 5	内部/外部	3mm x 3mm TDFN-12	500
MAX11167	16	± 5	内部/外部	3mm x 3mm TDFN-12	250
MAX11168	16	± 5	内部	3mm x 5mm μ MAX-10	500
MAX11169	16	± 5	内部	3mm x 5mm μ MAX-10	250
MAX11150	18	0 to 5	内部	3mm x 5mm μ MAX-10	500
MAX11152	18	0 to 5	外部	3mm x 5mm μ MAX-10	500
MAX11154	18	0 to 5	内部/外部	3mm x 3mm TDFN-12	500
MAX11156	18	± 5	内部/外部	3mm x 3mm TDFN-12	500
MAX11158	18	± 5	内部	3mm x 5mm μ MAX-10	500

订购信息

器件	温度范围	引脚-封装
MAX11163EUB+	-40°C至+85°C	10 μ MAX

+表示无铅(Pb)/符合RoHS标准的封装。

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
10 μ MAX	U10+2	21-0061	90-0330

MAX11163

16位、500ksps、+5V单极性输入、
SAR ADC，采用微小10引脚 μ MAX封装

修订历史

修订号	修订日期	说明	修改页
0	10/13	最初版本。	—

Maxim北京办事处

免费电话：800 810 0310

电话：010-5226 4200

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

27