

产品特性

- 集成小数N分频PLL的I/Q解调器
- RF输入频率范围：695 MHz至2700 MHz
- 内部LO频率范围：356.25 MHz至2850 MHz
- 输入P1dB：14.5 dBm (1900 MHz RF)
- 输入IP3：35 dBm (1900 MHz RF)
- 可编程HD3/IP3调整
- 单刀双掷(SPDT) RF输入开关
- RF数字步进衰减范围：0 dB至15 dB
- 集成式RF可调谐巴伦，支持单端50 Ω输入
- 多核集成式VCO
- 解调1 dB带宽：600 MHz
- 4个可选基带增益和带宽模式
- 数字可编程LO相位失调和直流零点
- 可通过三线式串行端口接口(SPI)进行编程
- 40引脚、6 mm x 6 mm LFCSP封装

应用

- 蜂窝W-CDMA/GSM/LTE
- 数字预失真(DPD)接收器
- 微波点对点无线电

概述

ADRF6820是一款高度集成的解调器和频率合成器，非常适合用于下一代通信系统中。该器件功能丰富，内置一个高线性度宽带I/Q解调器、一个集成式小数N分频锁相环(PLL)，以及一个低相位噪声多核压控振荡器(VCO)。此外，ADRF6820还集成了2:1 RF开关、一个片内可调谐RF巴伦、一个可编程RF衰减器和两个低压差(LDO)稳压器。该高度集成的器件适用于6 mm x 6 mm小尺寸解决方案。

高隔离度的2:1 RF开关和片内可调谐RF巴伦使ADRF6820支持两个单端50 Ω端接RF输入。可编程衰减器确保高线性度解调器内核具有最佳的差分RF输入电平。集成式衰减器提供的衰减范围为0 dB至15 dB，步进为1 dB。

ADRF6820提供两种产生差分本振(LO)输入信号选择方式：从外部通过高频低相位噪声LO信号产生，或从内部通过片内小数N分频频率合成器。集成式频率合成器的连续

功能框图

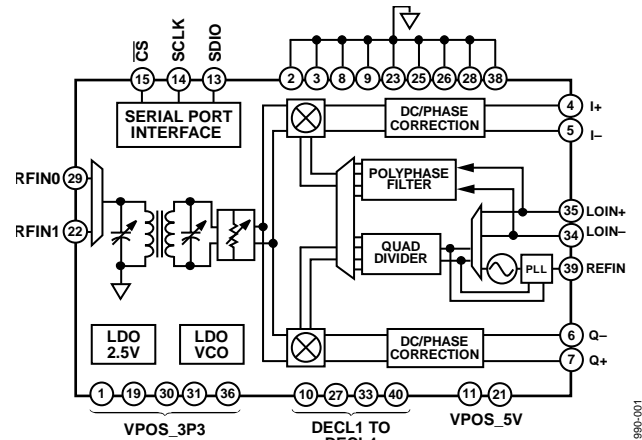


图1.

LO覆盖范围为356.25 MHz至2850 MHz。由于参考频率值在传递至鉴频鉴相器(PFD)之前能够通过除法或乘法模块将其增加或减少至期望值，因此PLL参考源输入可支持较宽的频率范围。

选定后，内部小数N分频频率合成器的输出施加到2分频正交分相器。1×LO信号可从外部LO路径施加到内置的多相滤波器，或者2分频正交分相器采用2×LO信号产生正交LO输入信号，用于混频器。

ADRF6820采用先进的硅锗BiCMOS工艺制造，提供40引脚、裸露焊盘、符合RoHS标准的6 mm x 6 mm LFCSP封装。额定温度范围为-40°C至+85°C。

目录

产品特性	1	RF衰减器	15
应用	1	LO生成模块	15
功能框图	1	有源混频器	17
概述	1	基带缓冲器	17
修订历史	2	串行端口接口(SPI)	17
技术规格	3	应用信息	18
系统规格	3	基本连接	18
动态性能	3	RF巴伦插入损耗优化	20
频率合成器/PLL规格	5	带宽选择模式	22
数字逻辑规格	6	IP3和噪声系数优化	24
绝对最大额定值	7	I/Q输出负载	26
热阻	7	镜像抑制	27
ESD警告	7	I/Q极性	28
引脚配置和功能描述	8	布局布线	29
典型性能参数	9	寄存器映射	30
工作原理	14	寄存器地址描述	31
RF输入开关	14	外形尺寸	45
可调谐巴伦	14	订购指南	45

修订历史

2014年3月—修订版0至修订版A

更改“产品特性”部分	1
表1增加LO谐波抑制参数和DSA衰减精度参数	3
更改表2	3
更改表3	5
更改图5和图8	9
更改图21和图22	12
更改表17	30
增加“地址：0x44；复位：0x0000； 名称：DIV_SM_CTL”部分和表36，重新排序	43
更改“地址：0x45；复位：0x0000； 名称：VCO_CTL2”部分和表37	44
增加“地址：0x46；复位：0x0000； 名称：VCO_RB”部分和表38	44

2013年12月—修订版0：初始版

技术规格

系统规格

VPOS_5V = 5 V, VPOS_3P3 = 3.3 V, 环境温度(T_A) = 25°C, 高端LO注入, 内部LO模式, RF衰减范围 = 0 dB, 输入IP2/输入IP3信号音间隔 = 5 MHz且每信号音-5 dBm, BWSEL = 0时 f_{IF} = 40 MHz, BWSEL = 2时 f_{IF} = 200 MHz。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
RF输入					MHz
RF频率范围		695		2700	MHz
回损			15		dB
输入阻抗			50		Ω
输入功率				18	dBm
LO内部频率					MHz
LO内部频率范围		356.25		2850	MHz
外部LO频率范围		350		6000	MHz
LO输入电平		-6		+6	dBm
LO输入阻抗			50		Ω
LO谐波抑制 ¹	输出端2xLO或外部LO (LO = 1900 MHz)		-30		dBc
电源电压					V
VPOS_3P3		3.1	3.3	3.5	V
VPOS_5V		4.7	5.0	5.25	V
RF衰减范围	步长 = 1 dB	0		15	dB
数字步进衰减器(DSA)	两个相邻DSA代码之间的步进误差 衰减精度		± 0.5 ± 1.0		dB dB
IF输出					
增益平坦度	任意20 MHz带宽范围		0.2		dB
正交相位误差	不应用校正		1		度
I/Q幅度不平衡	不应用校正		0.1		dB
输出直流失调	不应用校正		20		mV
输出共模		1.5		2.4	V
I/Q输出阻抗	差分		50		Ω
总功耗					
	外部LO, 多相滤波器LO路径		1100		mW
	内部PLL/VCO, 2xLO路径		1400		mW

¹ 在标称电源和温度下用标称器件测量。

动态性能

表2.

参数	测试条件/注释	BWSEL0 ¹			BWSEL2 ¹			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
解调带宽	1 dB带宽, f_{LO} = 2100 MHz		240			600		MHz
	3 dB带宽, f_{LO} = 2100 MHz		480			1400		MHz
f_{RF} = 900 MHz								
转换增益	电压增益		+3.5			-2.5		dB
输入P1dB			11			14		dBm
输入IP3			34			38		dBm
输入IP2			65			61		dBm
噪声系数	内部LO		17			19		dB
	外部LO		16			18.5		dB
LO至RF泄露			-82			-82		dBm
RF至LO泄漏			-67			-67		dBm
LO至IF泄漏	相对于-5 dBm RF输入功率		-78.5			-78.5		dBc

ADRF6820

参数	测试条件/注释	BWSEL0 ¹			BWSEL2 ¹			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
RF至IF泄漏 隔离 ²	相对于-5 dBm RF输入功率	-49			-49			dBc
	RFIN0与RFIN1之间的隔离	-55			-55			dBc
	RFIN1与RFIN0之间的隔离	-55			-55			dBc
f_{RF} = 1900 MHz								
转换增益	电压增益	+3			-3			dB
输入P1dB		12			14.5			dBm
输入IP3		33			35			dBm
输入IP2		58			57			dBm
噪声系数	内部LO	18			20			dB
	外部LO	17.5			19.5			dB
LO至RF泄露		-75			-75			dBm
RF至LO泄露		-64			-64			dBm
LO至IF泄露	相对于-5 dBm RF输入功率	-64.5			-64.5			dBc
RF至IF泄漏 隔离 ²	相对于-5 dBm RF输入功率	-43.5			-43.5			dBc
	RFIN0与RFIN1之间的隔离	-51			-51			dBc
	RFIN1与RFIN0之间的隔离	-39			-39			dBc
f_{RF} = 2100 MHz								
转换增益	电压增益	+2.5			-3			dB
输入P1dB		12			15.5			dBm
输入IP3		37			34			dBm
输入IP2		58			55			dBm
噪声系数	内部LO	18			20.5			dB
	外部LO	18			20			dB
LO至RF泄露		-72.5			-72.5			dBm
RF至LO泄露		-62			-62			dBm
LO至IF泄露	相对于-5 dBm RF输入功率	-71			-71			dBc
RF至IF泄漏 隔离 ²	相对于-5 dBm RF输入功率	-45			-45			dBc
	RFIN0与RFIN1之间的隔离	-48.5			-48.5			dBc
	RFIN1与RFIN0之间的隔离	-36.5			-36.5			dBc
f_{RF} = 2650 MHz								
转换增益	电压增益	+1.5			-4			dB
输入P1dB		13			16.5			dBm
输入IP3		33			33			dBm
输入IP2		64			55			dBm
噪声系数	内部LO	19.5			22			dB
	外部LO	19.5			21.5			dB
LO至RF泄露		-70			-70			dBm
RF至LO泄露		-57			-57			dBm
LO至IF泄露	相对于-5 dBm RF输入功率	-76			-76			dBc
RF至IF泄漏 隔离 ²	相对于-5 dBm RF输入功率	-46			-46			dBc
	RFIN0与RFIN1之间的隔离	-40.5			-40.5			dBc
	RFIN1与RFIN0之间的隔离	-33			-33			dBc

¹ 参见表15。

² 这是RF输入之间的隔离。输入信号施加于RFIN0，RFIN1则用50 Ω电阻端接。IF信号幅度在基带输出端测量。然后配置RFIN1的内部开关，馈通用相对于基波的变化来衡量。该差异即为RFIN0与RFIN1之间的隔离。

频率合成器/PLL规格

VPOS_5V = 5 V, VPOS_3P3 = 3.3 V, 环境温度(T_A) = 25°C, $f_{REF} = 153.6$ MHz, f_{REF} 功率 = 4 dBm, $f_{PFD} = 38.4$ MHz, 环路滤波器带宽 = 20 kHz, 在LO输出端测量。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
PLL参考					
频率		12		320	MHz
幅度			4	14	dBm
PLL步长 ¹	PFD = 30.72 MHz	468.76			Hz
PLL锁定时间 ²	PFD = 30.72 MHz, 电荷泵 = 500 μ A, 环路带宽 = 40 kHz, 反冲防回差延迟 = 0.5 ns, 电荷泵泄漏电流 = 78.125 μ A以下		5		ms
PFD频率		24		40	MHz
内部VCO范围		2850		5700	MHz
参考杂散	$f_{REF} = 153.6$ MHz, $f_{PFD} = 38.4$ MHz, $f_{LO} = 1809.6$ MHz				
	$f_{PFD}/4$		<-100		dBc
	$f_{PFD}/2$		<-100		dBc
	$f_{PFD} \times 1$		-90.67		dBc
	$f_{PFD} \times 2$		-95		dBc
	$f_{PFD} \times 3$		-97		dBc
	$f_{PFD} \times 4$		<-100		dBc
	$f_{PFD} \times 5$		<-100		dBc
积分相位噪声 ³	1 kHz至40 MHz积分带宽, PFD = 38.4 MHz, $f_{REF} = 153.6$ MHz, 4分频, 电荷泵 = 250 μ A, 环路带宽 = 20 kHz, 反冲防回差延迟 = 0 ns, 电荷泵泄漏电流 = 46.8 μ A以下, LO频率 = 1562.5 MHz		0.6		$^{\circ}$ rms
闭环性能	$f_{LO} = 1809.6$, $f_{REF} = 153.6$ MHz, $f_{PFD} = 38.4$ MHz				
20 kHz环路滤波器	10 kHz偏移		-94.7		dBc/Hz
	20 kHz偏移		-95.8		dBc/Hz
	100 kHz偏移		-113		dBc/Hz
	200 kHz偏移		-122.4		dBc/Hz
	600 kHz偏移		-136.5		dBc/Hz
	1 MHz偏移		-141.5		dBc/Hz
	10 MHz偏移		-153.3		dBc/Hz
	40 MHz偏移		-154.6		dBc/Hz

¹ 最小PLL步长是PFD的函数。显示的值基于PFD = 30.72 MHz、LO_DIV = 2和公式 $f_{PFD}/65535 \times 2/LO_DIV$ 。

² 锁定时间定义为从更改频率的寄存器写操作结束到输出频率处于目标频率500 Hz范围内所需的时间。

³ 在标称电源和温度下用标称器件测量。

ADRF6820

数字逻辑规格

表4.

参数	测试条件/注释	最小值	典型值	最大值	单位
输入高电压 V_{IH}		1.4			V
输入低电压 V_{IL}			0.70		V
输出高电压 V_{OH}	$I_{OH} = -100 \mu A$	2.3			V
输出低电压 V_{OL}	$I_{OL} = 100 \mu A$	0.2			V
串行时钟周期	t_{SCLK}	38			ns
数据与SCLK上升沿之间的建立时间	t_{DS}	8			ns
数据与SCLK上升沿之间的保持时间	t_{DH}	8			ns
\overline{CS} 下降沿与SCLK之间的建立时间	t_S	10			ns
\overline{CS} 上升沿与SCLK之间的保持时间	t_H	10			ns
处于逻辑高电平状态的最短周期SCLK	t_{HIGH}	10			ns
处于逻辑低电平状态的最短周期SCLK	t_{LOW}	10		231	ns
读操作的SCLK下降沿与输出数据有效之间的最大延迟时间	t_{ACCESS}				
\overline{CS} 停用与SDIO总线返回高阻态之间的最大延迟时间	t_Z			5	ns

时序图

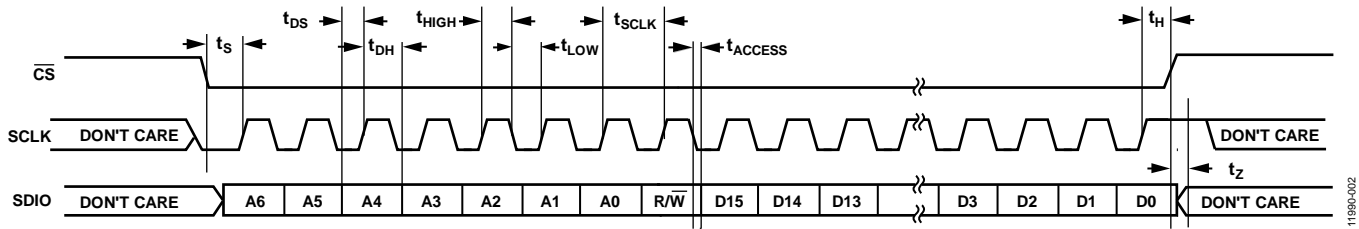


图2. 建立和保持时序测量

绝对最大额定值

表5.

参数	额定值
VPOS_5V	-0.5 V至+5.5 V
VPOS_3P3	-0.3 V至+3.6 V
VOCM	-0.3 V至+3.6 V
\overline{CS} 、SCLK、SDIO	-0.3 V至+3.6 V
RFSW	-0.3 V至+3.6 V
RFIN0、RFIN1	2.5 V峰值，交流耦合
ENBL	-0.3 V至+3.6 V
VTUNE	-0.3 V至+3.6 V
LOIN-、LOIN+	16dBm，差分
REFIN	-0.3 V至+3.6 V
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
最高结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表6. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
40引脚 LFCSP	31.93	1.12	°C/W

ESD警告

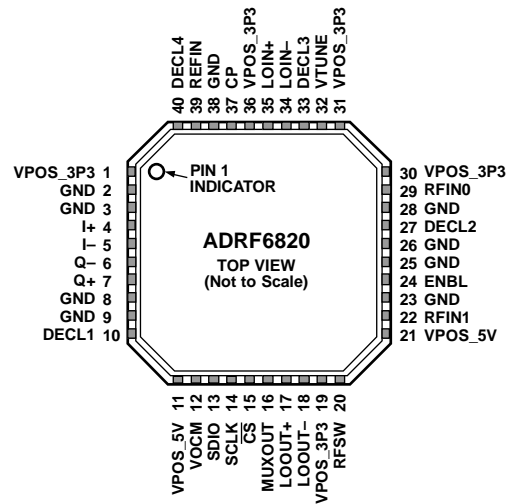


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADRF6820

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO A GROUND PLANE WITH LOW THERMAL IMPEDANCE.

11990-003

图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	说明
1, 19, 30, 31, 36	VPOS_3P3	3.3 V电源。
2, 3, 8, 9, 23, 25, 26, 28, 38	GND	地。
4, 5	I+, I-	差分基带输出, I通道。
6, 7	Q-, Q+	差分基带输出, Q通道。
10	DECL1	混频器负载去耦。在DECL1和GND之间连接一个0.22 μF电容。
11, 21	VPOS_5V	5 V电源。
12	VOCM	基准电压输入。此引脚设置输出共模电平。
13	SDIO	SPI数据。
14	SCLK	SPI时钟。
15	\overline{CS}	片选, 低电平有效。
16	MUXOUT	多路复用器输出。该输出引脚提供PLL参考信号或PLL锁定检测信号。
17, 18	LOOUT+, LOOUT-	差分LO输出。
20	RFSW	RF开关选择。选择RFIN0或RFIN1。
22, 29	RFIN1, RFIN0	RF输入。单刀双掷开关输入。
24	ENBL	使能, 高电平有效。
27, 33	DECL2, DECL3	VCO LDO去耦。
32	VTUNE	VCO调谐电压输入。
34, 35	LOIN-, LOIN+	差分LO输入。
37	CP	PLL电荷泵输出。
39	REFIN	PLL参考输入。
40	DECL4	2.5 V LDO去耦。
	EPAD	裸露焊盘。裸露焊盘必须与低热阻的接地层相连。

典型性能参数

除非另有说明, VPOS_5V = 5 V, VPOS_3P3 = 3.3 V, RFDSA_SEL = 0, RFSW = 0 (RFIN0), 高端LO, 每信号音-5 dB, 双音测量, 信号音间隔5 MHz。对于BWSEL0, $f_{IF} = 40$ MHz; 对于BWSEL2, $f_{IF} = 200$ MHz。关于BAL_CIN、BAL_COUT、MIX_BIAS、DEMOD_RDAC和DEMOD_CDAC, 请参阅表16。

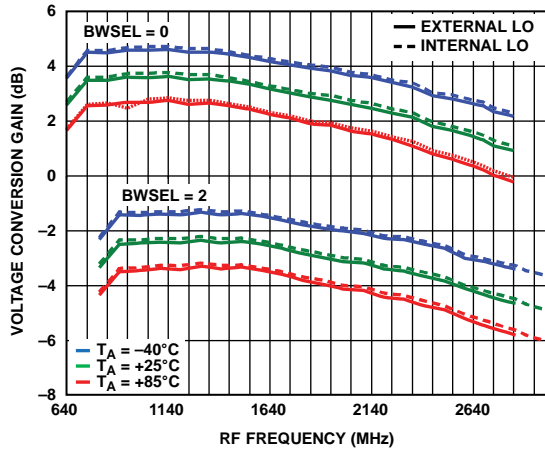


图4. 全温度范围内电压转换增益与RF频率的关系

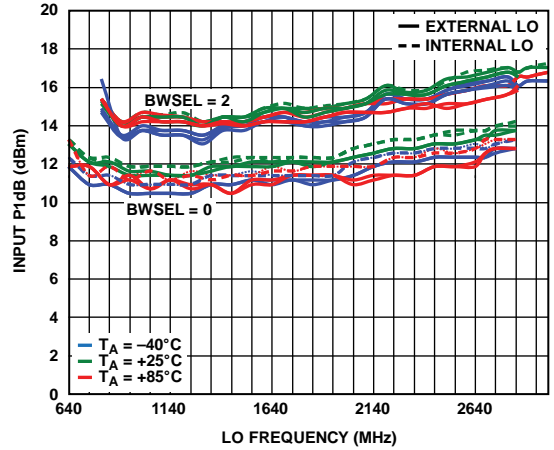


图7. 输入P1dB与LO频率的关系

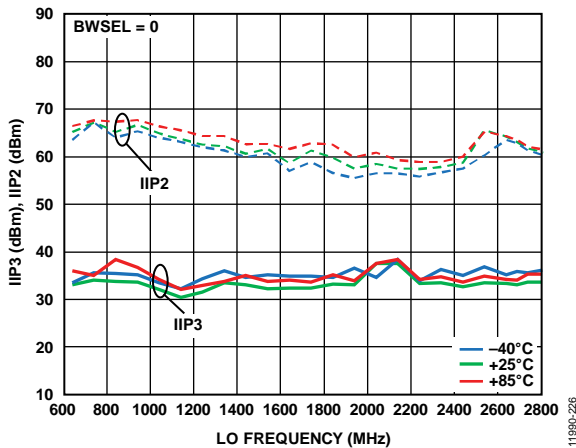


图5. 全温度范围内输入IP3 (IIP3)和输入IP2 (IIP2)与LO频率的关系, BWSEL = 0

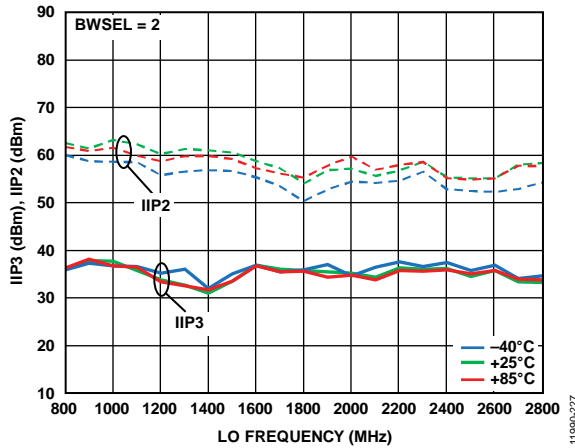


图8. 全温度范围内输入IP3 (IIP3)和输入IP2 (IIP2)与LO频率的关系, BWSEL = 2

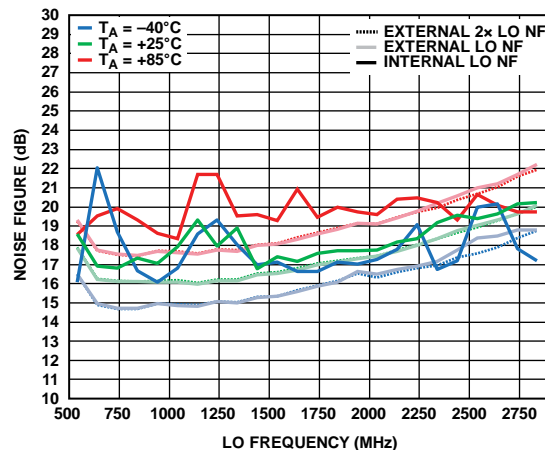


图6. 噪声系数与LO频率的关系, BWSEL = 0

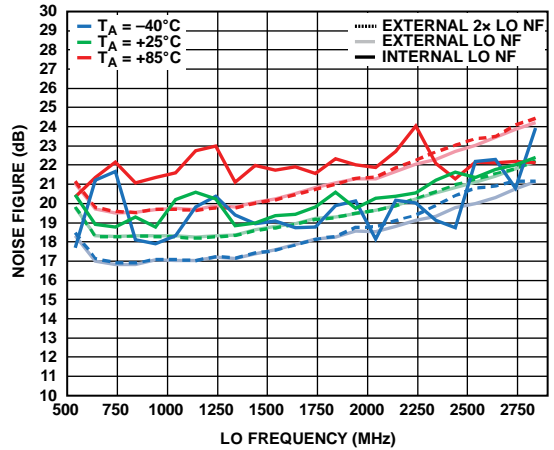


图9. 噪声系数与LO频率的关系, BWSEL = 2

ADRF6820

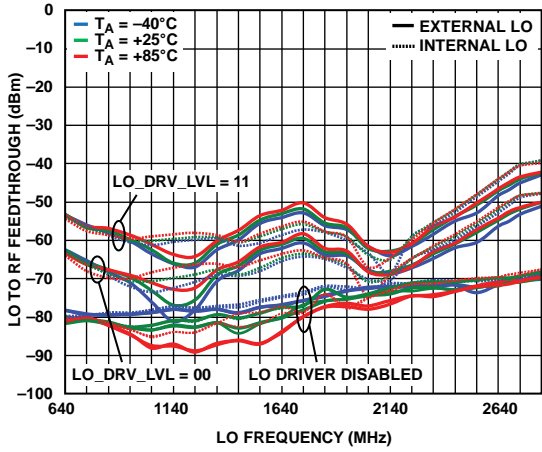


图10. LO至RF馈通与LO频率的关系

11990-210

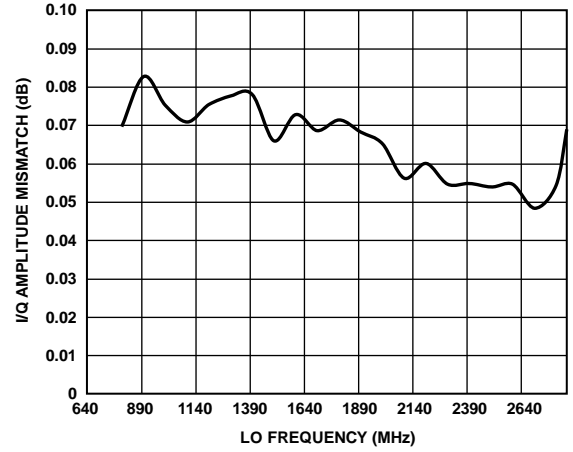


图13. I/Q幅度失配与LO频率的关系

11990-312

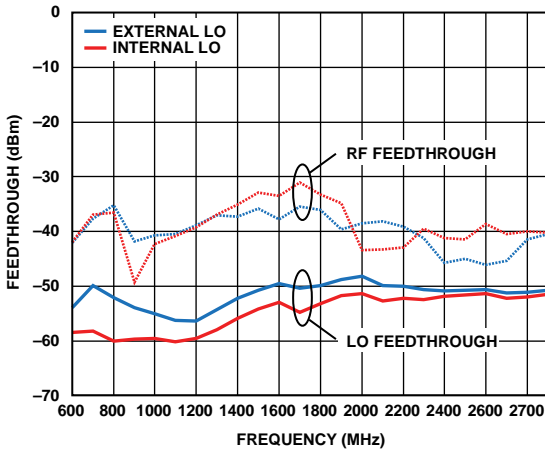


图11. RF和LO馈通至IF输出, RF输入-5 dBm

11990-223

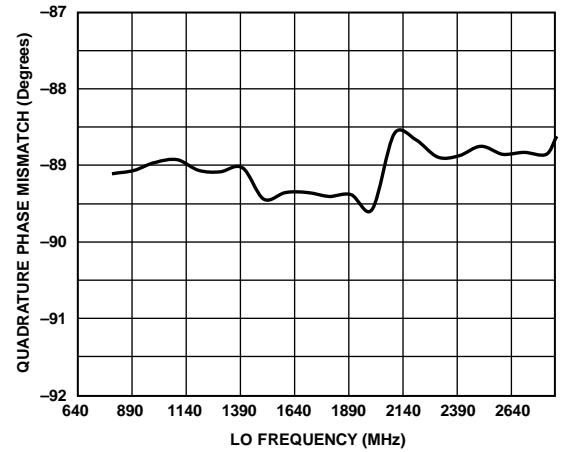


图14. 正交相位增益失配与LO频率的关系

11990-313

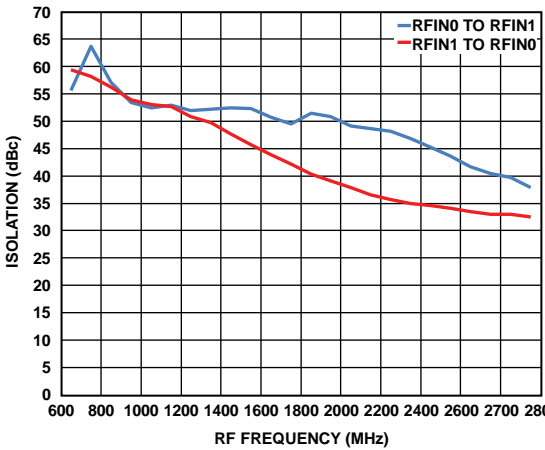


图12. 开关隔离与RF频率的关系

11990-110

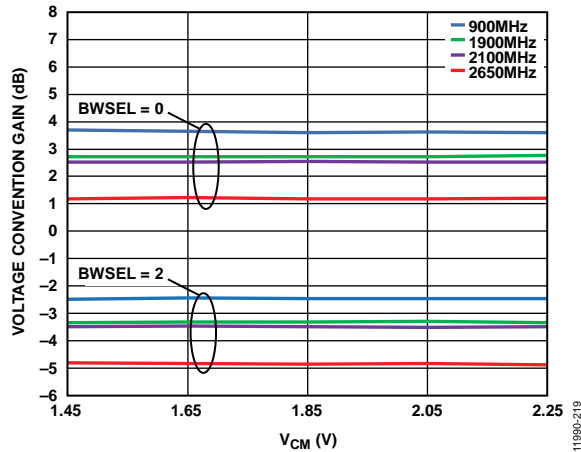


图15. 增益与共模电压(VCM)的关系, $f_{RF} = 900\text{ MHz}$ 、 1900 MHz 、 2100 MHz 、 2650 MHz , $BWSEL = 0, 2$

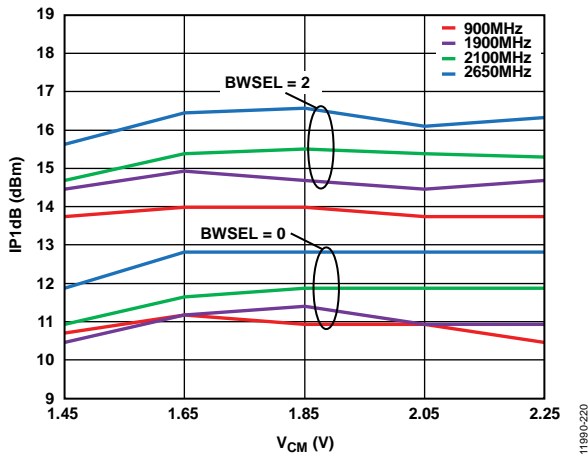


图16. 输入1dB (IP1dB)与共模电压(VCM)的关系, $f_{RF} = 900\text{ MHz}$ 、 1900 MHz 、 2100 MHz 、 2650 MHz

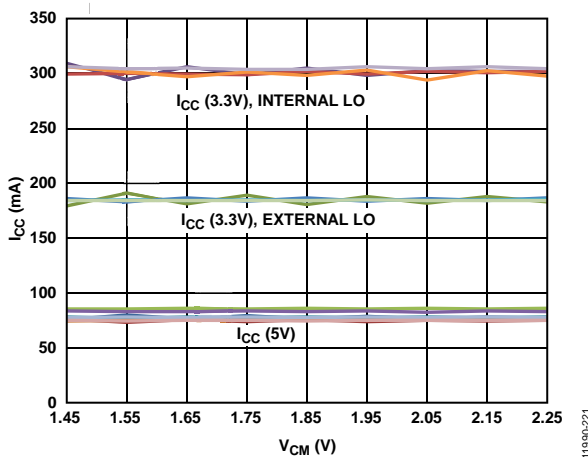


图17. 功耗(I_{CC})与共模电压(V_{CM})的关系, 内部和外部LO, $f_{RF} = 900\text{ MHz}$ 、 1900 MHz 、 2100 MHz 、 2650 MHz

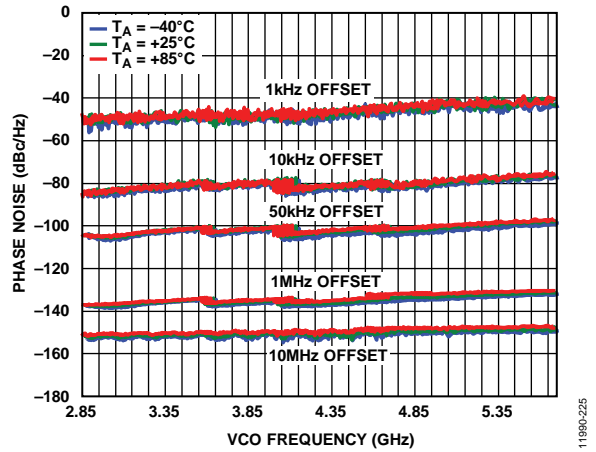


图18. 开环相位噪声, 1 kHz、10 kHz、50 kHz、1 MHz和10 MHz偏移

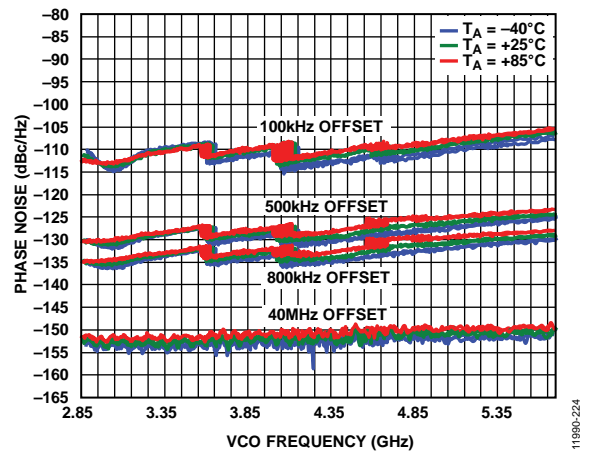


图19. 开环相位噪声, 100 kHz、500 kHz、800 kHz和40 MHz偏移

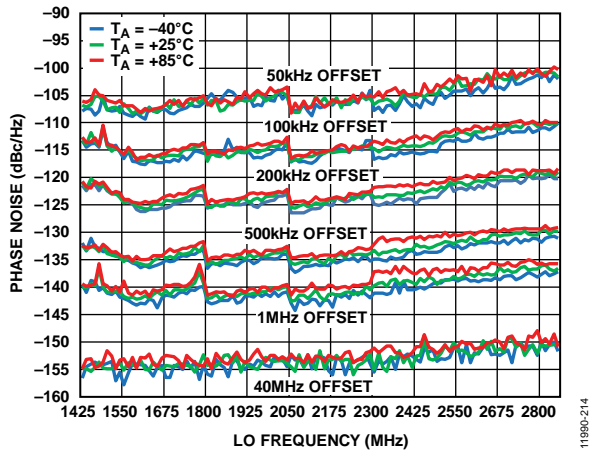


图20. 闭环相位噪声与LO频率的关系, 20 kHz带宽环路滤波器, 在DIV4_EN = 1(2分频)下测量

ADRF6820

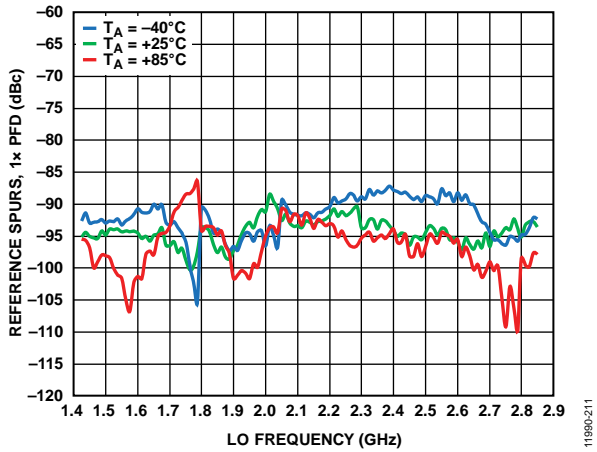


图21. 1x PFD杂散与LO频率的关系，在DIV4_EN = 1(2分频)下测量

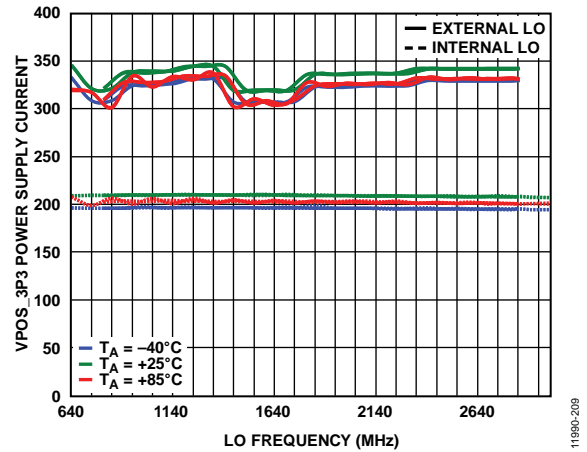


图24. VPOS_3P3电源电流与LO频率的关系

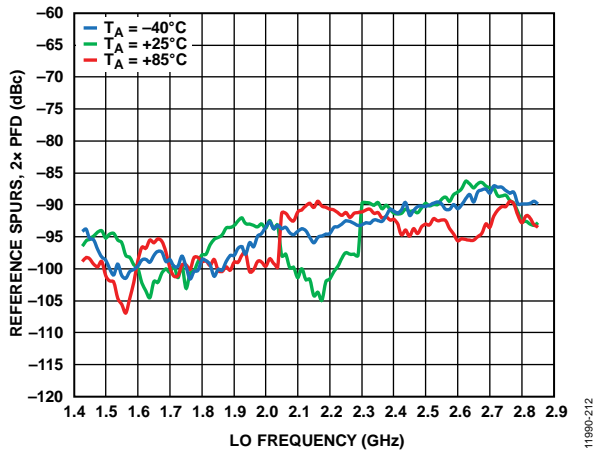


图22. 2x PFD杂散与LO频率的关系，在DIV4_EN = 1(2分频)下测量

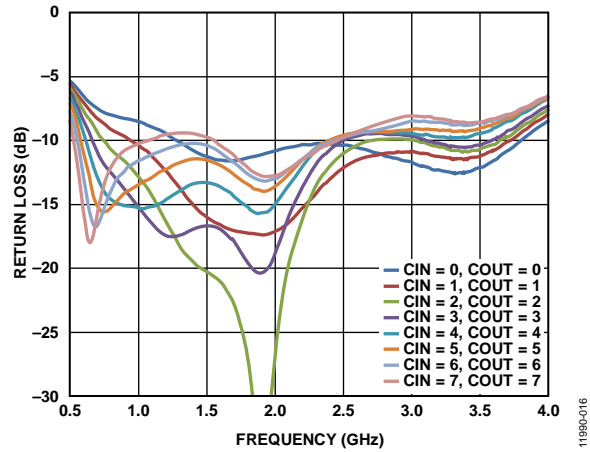


图25. BAL_CIN和BAL_COUT的多种组合下的RFIN0/RFIN1回损

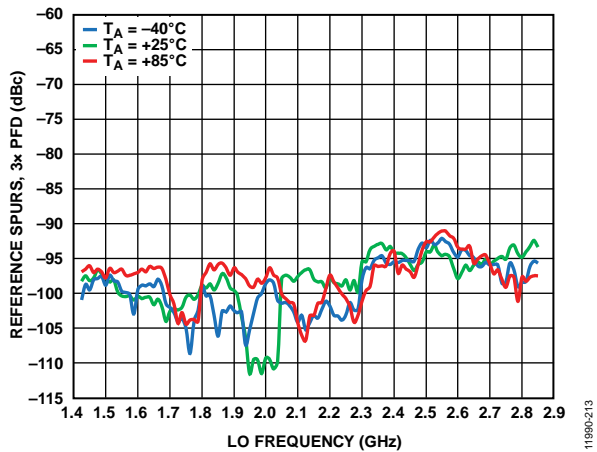


图23. 3x PFD杂散与LO频率的关系，在DIV4_EN = 1(2分频)下测量

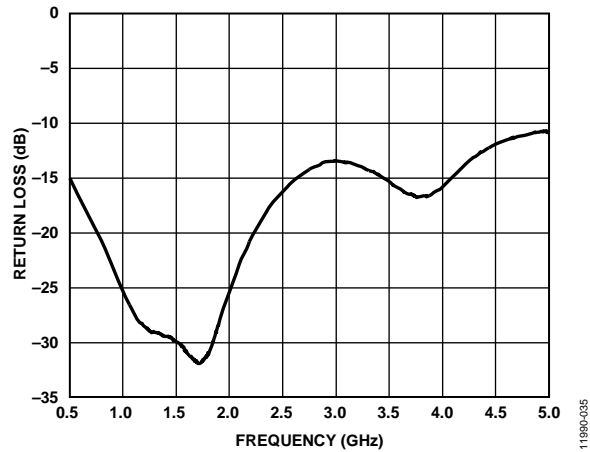


图26. 未使用RFINx端口的回损与频率的关系

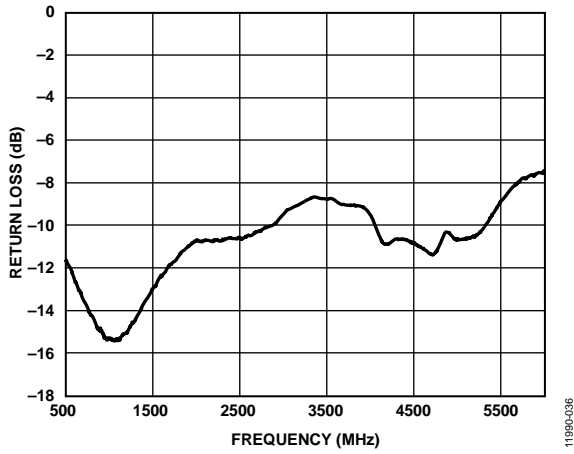


图27. LO输入回损与频率的关系

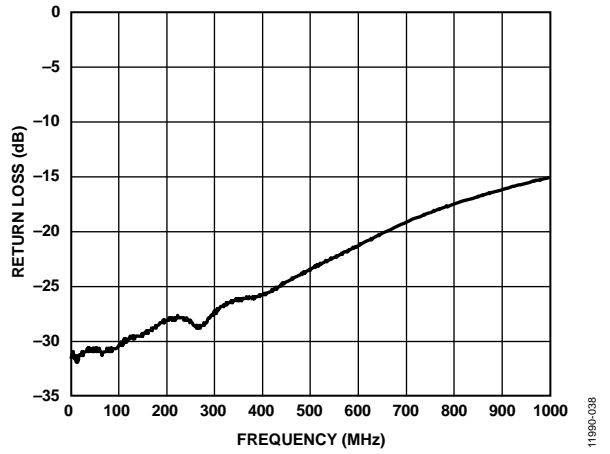


图29. I/Q回耗与频率的关系

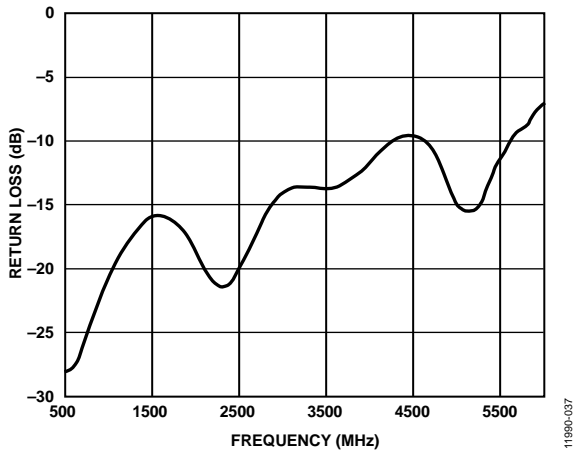


图28. LO输出回损与频率的关系

11990-036

11990-038

11990-037

ADRF6820

工作原理

ADRF6820集成了许多用于高带宽正交解调器和接收器，尤其是用于蜂窝基站数字预失真的反馈下变频器路径的基本构建模块。主要特性包括一个单刀双掷(SPDT) RF输入开关、一个可变RF衰减器、一个可调谐巴伦、一对有源混频器和两个基带缓冲器。此外，混频器的本振(LO)信号由小数N分频频率合成器和多核压控振荡器(VCO)产生，具有倍频程范围和低相位噪声。一对正反器随后将LO频率二分频，产生同相且正交相位LO信号以驱动混频器。频率合成器利用小数N分频锁相环(PLL)和附加分频器来实现356.25 MHz到2850 MHz的连续LO覆盖。此外，也可利用一个多相分相器从外部LO源产生正交LO信号。

将ADRF6820的所有构建模块放在一起，器件中的信号路径从输入多路复用器选择的一路RF输入(共有两路)开始，通过可调谐巴伦将其转换为差分信号。差分RF信号由数字步进衰减器衰减到最佳输入电平，它具有15 dB的衰减范围，步进为1 dB。然后，一个吉尔伯特单元混频器将该RF信号与LO信号混频，降低至中频(IF)或基带。射极跟随器利用可调输出共模电平进一步缓冲混频器的输出。

ADRF6820的不同部分通过串行端口接口(SPI)可编程的寄存器控制。

RF输入开关

ADRF6820集成一个SPDT开关，用于选择两路RF输入中的一路。所需RF输入的选择是通过外部控制引脚或对SPI的串行寄存器写操作实现的。与串行写操作方法相比，引脚控制可以更快速地切换RF输入。采用RFSW引脚(引脚20)，RF输入可在100 ns内完成切换。使用串行端口控制时，切换时间以SPI编程的延迟为主；对于10 MHz串行时钟，该延迟时间至少为2.4 μs。

RFSW_MUX位(寄存器0x23的位11)选择RF输入开关是由外部引脚控制，还是由SPI控制(参见表8)。上电时，器件默认配置是引脚控制。RFSW连接到GND即选择RFIN0，RFSW连接到VPOS_3P3即选择RFIN1。在串行模式控制

下，写入RFSW_SEL位(寄存器0x23的位9)便可选择两路RF输入中的一路。如果仅使用一个RFINx端口，不使用的RF输入必须妥善端接以提高隔离性能。RFIN0/RFIN1端口内部端接50 Ω电阻，直流电平为2.5 V。为避免中断直流电平，建议使用接GND的隔直电容进行端接。图30给出了仅选择RFIN0时的推荐配置。

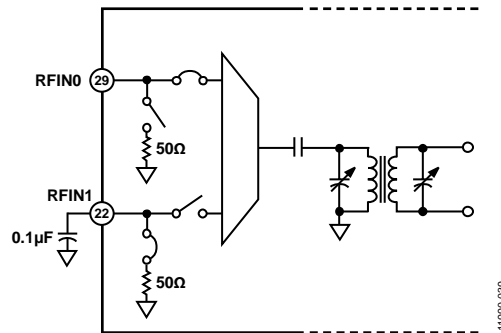


图30. 端接未使用的RF输入端口

可调谐巴伦

ADRF6820集成了一个可编程巴伦，其工作频率范围是695 MHz到2700 MHz。可调谐巴伦有利于从单端50 Ω RF输入驱动，集成巴伦的单端到差分转换可提供额外的共模噪声抑制。

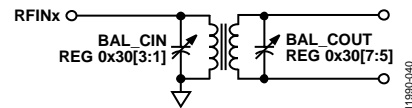


图31. 集成可调谐巴伦

为实现RF巴伦调谐，应写入寄存器0x30来开关原边和副边上的并联电容。增加的电容(与巴伦的感性绕组并联)将改变电感电容(LC)谐振器的谐振频率。因此，选择BAL_CIN(寄存器0x30的位[3:1])和BAL_COUT(寄存器0x30的位[7:5])的适当组合，便可设置所需的频率并优化增益。大多数情况下，输入和输出电容一并进行调谐，不过有时出于匹配方面的考虑，对它们单独进行调谐可能更好。

表8. RF输入选择表

RFSW_MUX(寄存器地址0x23的位11)	RFSW_SEL SPI控制(寄存器地址0x23的位9)	RFSW引脚控制(引脚20)	RF输入
0	0	X ¹	RFIN0
0	1	X ¹	RFIN1
1	X ¹	0	RFIN0
1	X ¹	1	RFIN1

¹ X = 无关位。

RF衰减器

可调谐巴伦之后是RF数字步进衰减器(RFDSA)，其衰减范围为0 dB至15 dB，步进为1 dB。DGA_CTL寄存器中的RFDSA_SEL位(寄存器0x23的位[8:5])决定RFDSA的设置。

LO生成模块

ADRF6820的混频器可使用内部或外部LO信号。内部LO由片内VCO产生，可在2850 MHz至5700 MHz的倍频程频率范围内调谐。VCO的输出通过小数N分频PLL锁相至外部参考时钟，小数N分频PLL可通过SPI控制寄存器编程。为产生356.25至2850 MHz频率范围内的同相且正交相位LO信号以驱动混频器，应通过分频器组合来控制VCO输出，如图32所示。

或者，也可以将外部信号与分频器或多相分相器一起使用来产生正交LO信号以驱动混频器。在要求最低相位噪声的苛刻应用中，可能需要从外部提供LO信号。正交LO产生的不同方法和所需的控制寄存器编程参见表9。

内部LO模式

在内部LO模式下，ADRF6820利用片内PLL和VCO来合成LO信号的频率。如图32所示，PLL由参考路径、鉴频鉴相器(PFD)、电荷泵和带预分频器的可编程整数分频器组成。参考路径接收参考时钟，将其2/4/8分频或1/2倍频后送至PFD。PFD将该信号与VCO的分频信号进行比较。根据所选的PFD极性，如果VCO信号比参考频率慢/快，PFD将向电荷泵发送升/降信号。电荷泵发送一个电流脉冲到片外环路滤波器，从而提高或降低调谐电压(VTUNE)。

ADRF6820集成了四个VCO内核，覆盖从2.85 GHz到5.7 GHz的倍频程范围。

表9列出了各VCO覆盖的频率范围。所需VCO可通过VCO_SEL位(寄存器0x22的位[2:0])选择。

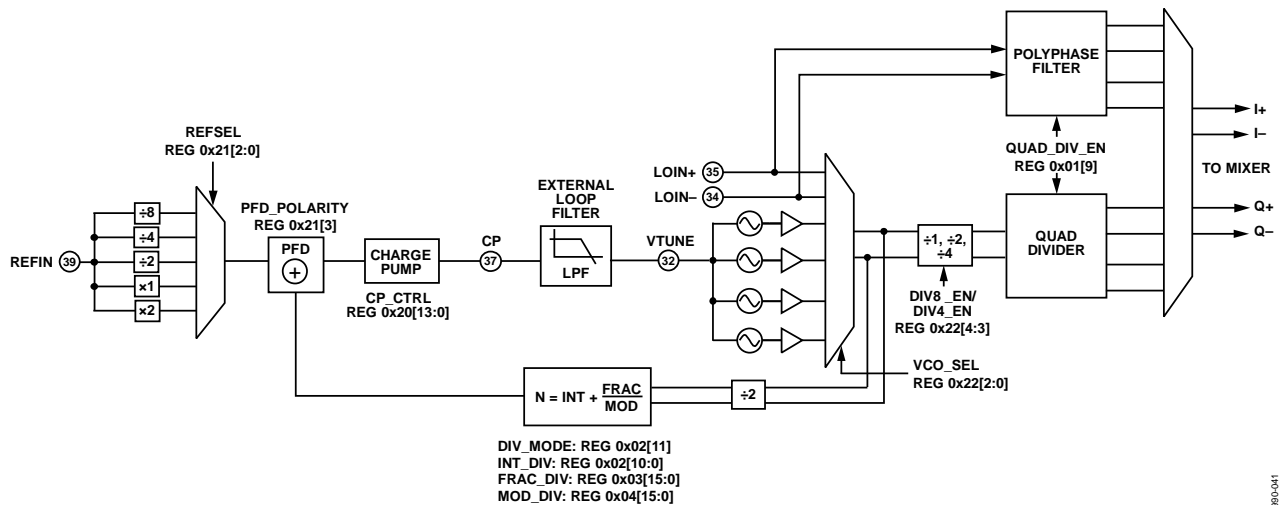


图32. LO生成功能框图

表9. LO模式选择

LO选择	f_{VCO} 或 f_{EXT} (GHz)	正交产生	QUAD_DIV_EN, 寄存器0x01[9]	LO Enables, 寄存器0x01[6:0]	VCO_SEL, 寄存器0x22[2:0]
内部(VCO)	2.85至3.5	2分频	1	111 111X	011
	3.5至4.02	2分频	1	111 111X	010
	4.02至4.6	2分频	1	111 111X	001
	4.6至5.7	2分频	1	111 111X	000
外部(2x LO)	0.7至6.0	2分频	1	101 000X	1XX
外部(1x LO)	0.35至3.5	2分频	0	000 000X	XXX

ADRF6820

LO频率和分频器

来自VCO或外部LO输入的信号经过一系列分频器后进行缓冲，以驱动有源混频器。输入信号的频率由两个可编程2分频级进行1/2/4分频，然后送入正交分频器，由后者再次2分频，以产生混频器所用的同相且正交相位LO信号。选择不同LO频率范围所需的控制位(寄存器0x22的位[4:3])参见表10。

表10. LO频率和分频器

LO频率范围 (MHz)	f_{VCO}/f_{LO} 或 f_{EXTLO}/f_{LO}	DIV8_EN (寄存器0x22的位4)	DIV4_EN (寄存器0x22的位3)
1425至2850	2	0	0
712.5至1425	4	0	1
356.25至712.5	8	1	1

PLL频率编程

N分频器将差分VCO信号分频至PFD频率。N分频器可通过设置DIV_MODE位(寄存器0x02的位11)而配置为小数模式或整数模式。默认配置是小数模式。N值和PLL频率可利用以下公式来确定：

$$f_{PFD} = \frac{f_{VCO}}{2 \times N}$$

$$N = INT + \frac{FRAC}{MOD}$$

$$f_{LO} = \frac{f_{PFD} \times 2 \times N}{LO_DIVIDER}$$

其中：

f_{PFD} 是鉴频鉴相器频率。

f_{VCO} 是VCO频率。

N是小数分频比(INT + FRAC/MOD)。

INT是寄存器0x02编程设置的整数分频比。

FRAC是寄存器0x03编程设置的小数分频比。

MOD是寄存器0x04编程设置的模数分频比。

f_{LO} 是环路锁定时进入混频器内核的LO频率。

LO_DIVIDER表示最终分频比，它将VCO或外部LO信号的频率2/4/8分频后送入混频器(参见表10)。

PLL锁定时间

写入最后一个寄存器后，锁定PLL所需的时间分为两部分：VCO频段校准和环路建立。

写入最后一个寄存器后，PLL自动执行VCO频段校准以选择正确的VCO频段。此校准需要大约94,208个PFD周期。对于40 MHz f_{PFD} ，这相当于2.36 ms。校准完成后，PLL的反馈操作使VCO最终锁定正确的频率。锁定发生的速度取决于非线性周跳行为和环路的小信号建立时间。要准确估计锁定时间，请下载ADIsimPLL工具，它能正确捕捉这些效应。一般而言，高带宽环路的锁定速度快于低带宽环路。

锁定检测信号作为可选输出之一，通过MUXOUT引脚提供，逻辑高电平表示环路已锁定。MUXOUT引脚由REF_MUX_SEL位(寄存器0x21的位[6:4])控制，默认配置是PLL锁定检测。

缓冲LO输出

内部LO信号的缓冲版本以差分形式在LOOUT+和LOOUT-引脚(引脚17和引脚18)提供。利用正交分频器产生正交LO信号时，输出信号的频率是混频器LO信号频率的2倍或1倍。输出驱动电平由LO_DRV_LVL位(寄存器0x22的位[7:6])设置，如表11所示。

LO信号的存在使得许多器件可以通过菊花链形式同步连接。一个ADRF6820用作主器件并提供LO信号，后续从器件共享该LO输出信号。这种灵活性可大幅简化需要多个LO的系统的LO要求。

表11. LO输出电平

LO_DRV_LVL(寄存器0x22的位[7:6])	幅度(dBm)	直流电平(V)
00	-5	3.0
01	-1	2.85
10	+2	2.7
11	+4	2.5

外部LO模式

利用VCO_SEL位(寄存器0x22的位[2:0])选择外部或内部LO模式。要配置外部LO模式，应将寄存器0x22的位[2:0]设为4(十进制)，并将差分LO信号施加于引脚34 (LOIN-)和引脚35 (LOIN+)。外部LO频率范围是350 MHz至6 GHz。当选择多相分频器时，有源混频器需要一个1xLO信号，或将一个2xLO信号与内部正交分频器一起使用，如表9所示。

LOIN+和LOIN-输入引脚必须交流耦合，不用时应断开。

要求的PLL/VCO设置和寄存器写操作序列

除了写入相应的寄存器以配置PLL和VCO的所需LO频率和相位噪声性能，还必须写入表12所列的寄存器。

为确保PLL锁定所需的频率，应遵守PLL寄存器的适当写操作顺序。PLL寄存器必须相应地进行配置以实现所需的频率，最后的写操作必须是写入寄存器0x02 (INT_DIV)、寄存器0x03 (FRAC_DIV)或寄存器0x04 (MOD_DIV)。写入其寄存器0x02、寄存器0x03和寄存器0x04时，会启动内部VCO校准，这是锁定PLL的最后一步。

表12. 要求的PLL/VCO寄存器写操作

地址[位]	位名称	设置	说明
0x21[3]	PFD_POLARITY	0x1	负极性
0x49[15:0]	RESERVED, SET_1, SET_0	0x14B4	内部设置

有源混频器

来自RFDSA的信号被分解以驱动一对双平衡吉尔伯特单元有源混频器，从而由LO信号下变频至基带。通过更改MIX_BIAS位(寄存器0x31的位[12:10])的值以设置混频器的电流，实现输出噪声与线性度的平衡。

有源混频器利用失真校正电路来消除混频器的三阶失真。校正信号的幅度和相位由控制寄存器域DEMOD_RDAC和DEMOD_CDAC(分别是寄存器0x31的位[8:5]和寄存器0x31的位[3:0])的组合确定。更多信息参见“IP3和噪声系数优化”部分。

解调器增益和带宽由混频器负载中的电阻和电容设置，受BWSEL位(寄存器0x34的位[9:8])控制，如表15所示。更多信息参见“带宽选择模式”部分。

基带缓冲器

射极跟随器缓冲混频器负载处的信号，并驱动基带输出引脚(I+、I-、Q-和Q+)。射极跟随器的偏置电流由BB_BIAS位(寄存器0x34的位[11:10])控制，如表13所示。应根据所需的负载驱动能力设置偏置电流：对于额定200 Ω负载，BB_BIAS = 1；对于50 Ω或100 Ω负载，建议设置BB_BIAS = 2。基带输出的差分阻抗为50 Ω，但是，为了优化线性度性能，ADRF6820输出负载必须较高(即200 Ω)。相关支持数据参见“I/Q输出负载”部分。

表13. 基带缓冲器偏置

BB_BIAS(寄存器0x34的位[11:10])	偏置电流(mA)
00	0
01	4.5
10	9
11	13.5

串行端口接口(SPI)

ADRF6820 SPI允许用户利用芯片内部的一个结构化寄存器空间来配置器件，以满足特定功能或操作的需要。此接口为用户提供了额外的灵活性和自定义途径。通过串行端口接口可访问及读写地址。

串行端口接口由三条控制线组成：SCLK、SDIO和 \overline{CS} 。SCLK(串行时钟)是串行移位时钟，用来同步串行接口的读写操作。SDIO是串行数据输入或输出，取决于发送的指令和时序帧中的相对位置。 \overline{CS} (片选引脚信号)是低电平有效控制，用来选通读写周期。 \overline{CS} 的下降沿与SCLK的上升沿共同决定帧的开始。当 \overline{CS} 为高电平时，所有SCLK和SDIO活动都被忽略。串行时序及其定义参见表4。

ADRF6820协议由7个寄存器地址位、读/写位和16个数据位组成。地址和数据域均是按最高有效位(MSB)优先方式来组织，最后是最低有效位(LSB)。

在一个写周期中，最多可移入16位的串行写数据(MSB到LSB)。如果 \overline{CS} 上升沿出现在串行数据的LSB锁存之前，则只有已经锁存的位会被写入器件。如果移入16个以上的数据位，则只将最近的16位写入器件。ADRF6820写周期的输入逻辑电平支持低至1.8 V的接口。

在一个读周期中，最多可移出16位的串行读数据(MSB优先)。16位后移出的数据未做定义。给定寄存器地址的回读内容不一定与该地址的写入数据一致。读周期的输出逻辑电平是2.5 V。

应用信息

基本连接

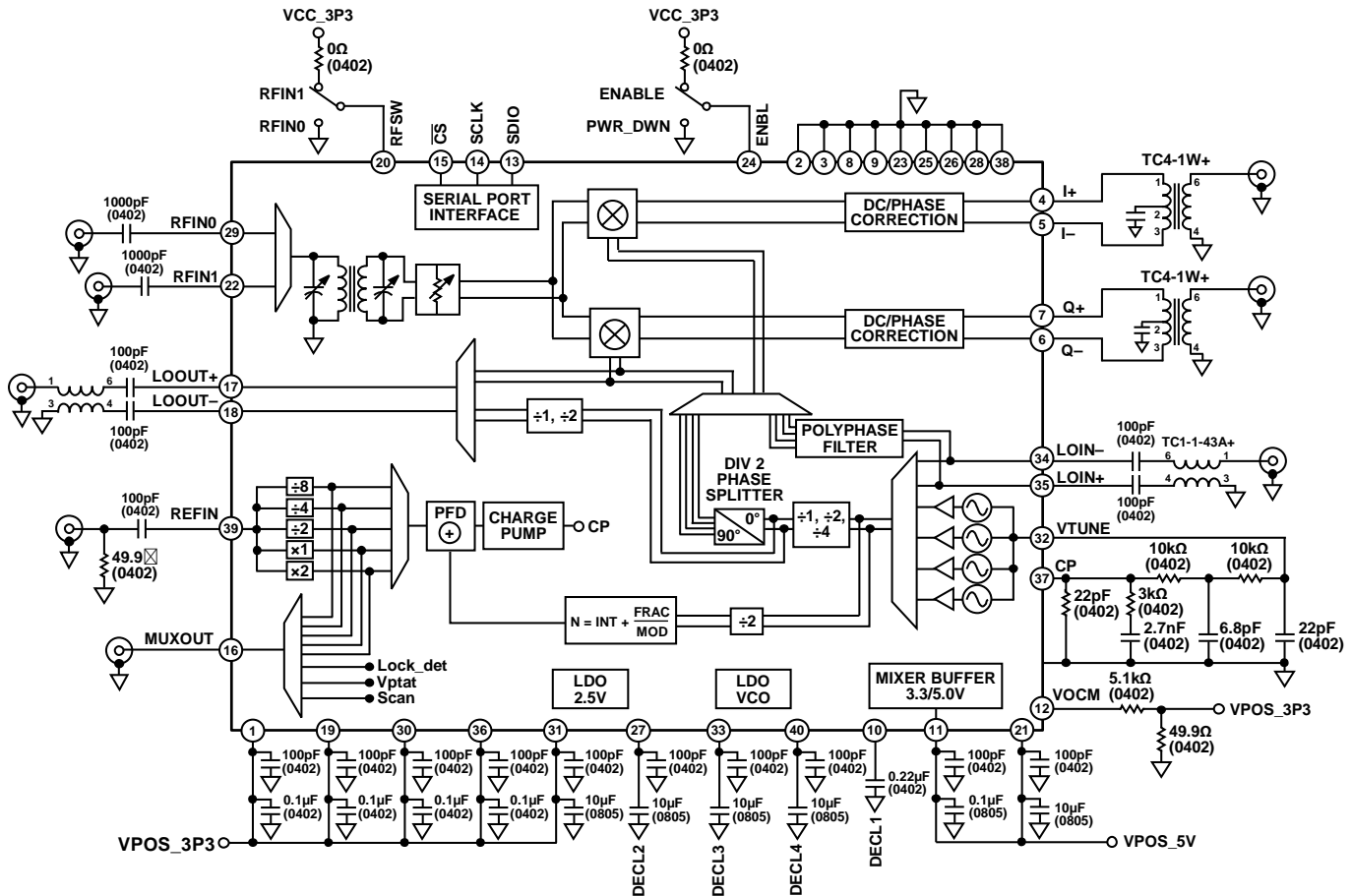


图33. 基本连接

表14.

引脚编号	引脚名称	说明	基本连接
5 V电源			
11	VPOS_5V	混频器电源	通过100 pF和0.1 µF电容将此电源引脚去耦至地。确保去耦电容靠近该引脚放置。
21	VPOS_5V	RF前端电源	通过100 pF和10 µF (0805)电容将此电源引脚去耦至地。确保去耦电容靠近该引脚放置。
3.3 V电源			
1	VPOS_3P3V	数字电源	通过100 pF和0.1 µF电容将此引脚去耦至地。
19	VPOS_3P3V	LO电源	通过100 pF和0.1 µF电容将此引脚去耦至地。
30	VPOS_3P3V	LO电源	通过100 pF和0.1 µF电容将此引脚去耦至地。
31	VPOS_3P3V	VCO电源	通过100 pF和10 µF电容将此引脚去耦至地。
36	VPOS_3P3V	PLL电源	通过100 pF和0.1 µF电容将此引脚去耦至地。

引脚编号	引脚名称	说明	基本连接
PLL/VCO 37 39 17, 18 34, 35 16 32	CP REFIN LOOUT+, LOOUT- LOIN-, LOIN+ MUXOUT VTUNE	频率合成器电荷泵输出电压 频率合成器参考频率输入 差分LO输出 差分LO输入 PLL多路复用器输出 VCO调谐电压	通过环路滤波器连接到VTUNE引脚。 标称输入电平为1V p-p。输入范围为12 MHz至320 MHz。 此引脚内部偏置到VPOS_3P3V/2，必须交流耦合。 差分输出阻抗为50 Ω。这些引脚内部偏置，必须交流耦合。直流电平随LO输出驱动电平而变化。参见表11。 差分输入阻抗为50 Ω。这些引脚内部偏置，必须交流耦合。 该输出引脚提供PLL参考信号或PLL锁定检测信号。 此引脚由环路滤波器的输出驱动，标称输入电压范围是1V到2.8V。
RF输入 22, 29 20	RFIN1, RFIN0 RFSW	RF输入 RF输入的引脚控制	单端RF输入具有50 Ω输入阻抗。这些引脚内部偏置到VPOS_5V/2。应交流耦合RF输入。为了改善通道间隔离，请参见“布局布线”部分中的建议印刷电路板(PCB)布局。未使用的RF输入应当用接GND的隔直电容端接以改善隔离性能。 对于RFIN0，将RFSW设置为逻辑低电平；对于RFIN1，应将RFSW设置为逻辑高电平。如需逻辑高电平，将此引脚连接到2.5 V电压。
解调器输出 4, 5, 6, 7 12	I+, I-, Q-, Q+ VOCM	I和Q通道混频器基带输出 混频器输出共模电压	I和Q混频器输出具有50 Ω差分输出阻抗(每个引脚25 Ω)。 VOCM引脚设置输出共模电平。 该输入引脚设置I和Q复数输出的共模电压。VOCM需要1.5 V至2.4 V范围内的干净电压源。当该电压不在此范围内时，线性度性能会下降。
使能 24	ENBL	外部使能引脚控制	此引脚设为高电平可使能内部模块，设为低电平则关断内部模块。要指定内部模块，请写入寄存器0x10以设置关断屏蔽。
串行端口接口 13 14 15	SDIO SCLK \overline{CS}	SPI数据输入/输出 SPI时钟 SPI片选	3.3 V兼容逻辑电平。 3.3 V兼容逻辑电平。 低电平有效。3.3 V兼容逻辑电平。
LDO去耦 10 27 33 40	DECL1 DECL2 DECL3 DECL4	混频器LDO去耦 VCO2 LDO去耦 VCO LDO去耦 2.5V LDO去耦	通过0.22 μF电容将此引脚去耦至地。确保去耦电容靠近该引脚放置。 通过100 pF和10 μF (0805)电容将此电源引脚去耦至地。确保去耦电容靠近该引脚放置。 通过100 pF和10 μF (0805)电容将此电源引脚去耦至地。确保去耦电容靠近该引脚放置。 通过100 pF和10 μF电容将此电源引脚去耦至地。确保去耦电容靠近该引脚放置。
GND 2, 3, 8, 9, 23, 25, 26, 28, 38	GND	地	这些引脚连接到PCB的GND。
(EPAD)		裸露焊盘(EPAD)	裸露散热焊盘位于封装的底部。裸露焊盘应焊接到地。

ADRF6820

RF巴伦插入损耗优化

如图34至图37所示，ADRF6820混频器的增益已针对BAL_CIN和BAL_COUT(寄存器0x30的位[7:0])的每种组合进行测定。可以利用BAL_CIN和BAL_COUT的各种值来优化ADRF6820的增益。优化的值不随温度而变化。选定值后，绝对增益随温度而变化，但BAL_CIN和BAL_COUT值的签名保持不变。

输入频率较低时，需要更大的电容。这可通过将更大的代码写入BAL_CIN和BAL_COUT来实现。高频时需要的电容较小，使用较小的BAL_CIN和BAL_COUT代码是合适的。对于各种BAL_CIN和BAL_COUT代码，图38显示了增益随频率的变化。图34至图38只能用作指南，切勿在绝对意义上解读它们，因为具体应用和PCB设计各有不同。为实现最大增益，可能需要再进行微调。表16列出了不同RF频率的推荐BAL_CIN和BAL_COUT设置。

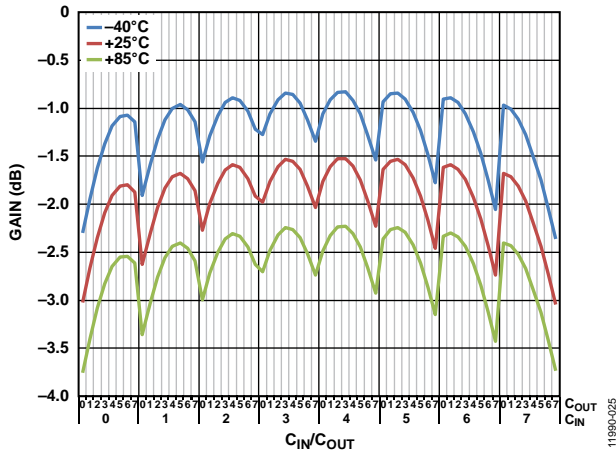


图34. 增益与BAL_CIN和BAL_COUT的关系($f_{RF} = 900$ MHz)

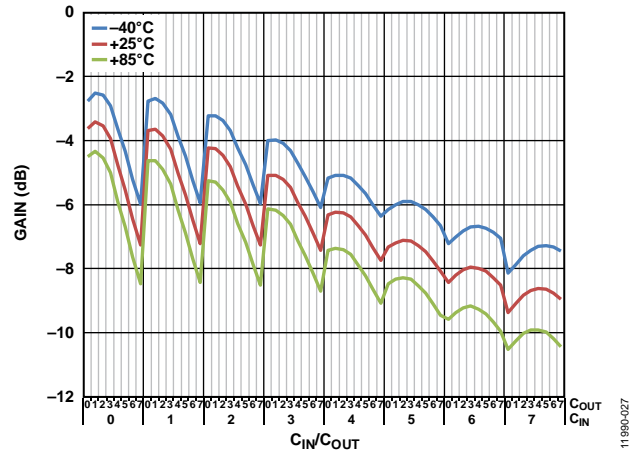


图36. 增益与BAL_CIN和BAL_COUT的关系($f_{RF} = 1900$ MHz)

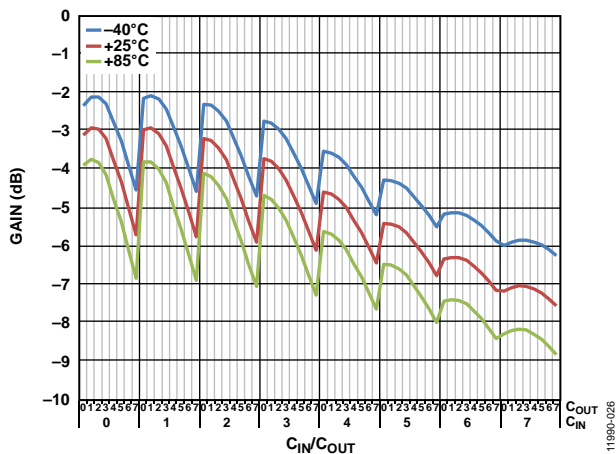


图35. 增益与BAL_CIN和BAL_COUT的关系($f_{RF} = 2200$ MHz)

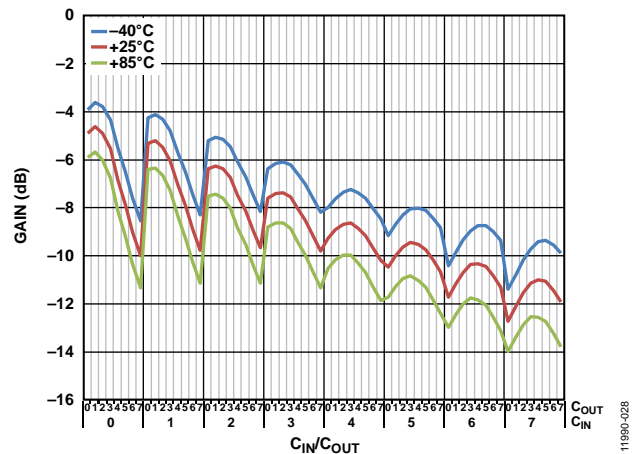


图37. 增益与BAL_CIN和BAL_COUT的关系($f_{RF} = 2600$ MHz)

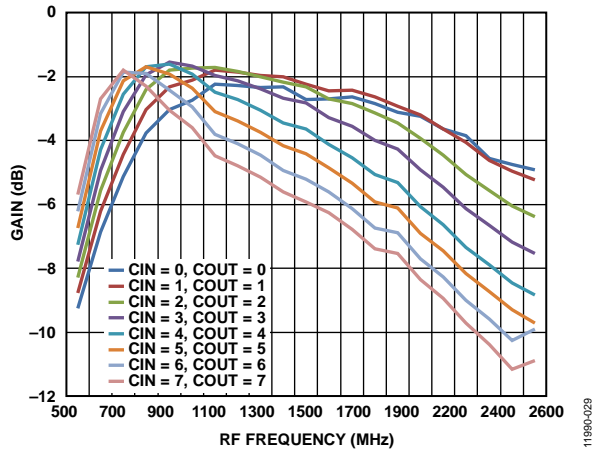


图38. 不同BAL_CIN和BAL_COUT代码下增益与RF频率的关系

11890-029

ADRF6820

带宽选择模式

ADRF6820提供四种带宽选择模式，如表15所示。带宽选择模式包括高增益、低带宽或低增益、高带宽。混频器负载中的电阻和电容的选择决定IF增益和带宽。利用寄存器0x34的位[9:8]选择四种模式中的一种。

高增益模式BWSEL0和BWSEL1在增益、噪声系数和线性度方面的性能相当。类似地，低增益模式BWSEL2和BWSEL3也具有相同的性能规格。区分不同模式的因素是IF带宽。图39至图42显示了不同LO频率下各种带宽模式的电压增益、通带平坦度和1 dB带宽。表15总结了图39至图42的结果。

表15. 混频器增益和带宽选择模式¹

BWSEL (寄存器0x34[9:8])	模式	电压增益 (dB)	1 dB带宽 (MHz)	3 dB带宽 (MHz)
00	BWSEL0	+2	240	480
01	BWSEL1	+2	180	340
10	BWSEL2	-3	600	1400
11	BWSEL3	-3	500	900

¹ $f_{LO} = 2100$ MHz，高端LO注入。

LO频率设置为1800 MHz、2100 MHz和2700 MHz，RF频率则是扫过。利用这种测量方法，图39至图42显示了RF和IF滚降的效应。RF滚降由集成RF巴伦决定，IF滚降由带宽选择模式设置。在最宽带宽模式(BWSEL2)下，RF滚降和IF滚降的效应最明显，如图41所示。图41显示，当LO频率为2700 MHz时，带宽最平坦且最宽，因为RF频率离集成RF巴伦的滚降最远。在 $f_{LO} = 1800$ MHz和 $f_{LO} = 2100$ MHz扫描中，RF巴伦的影响变得明显起来，导致1 dB带宽变窄。

精确测量ADRF6820的电压增益平坦度是非常困难的，因为信号发生器和频谱分析仪会引入其自身的幅度误差。此外，在高频时，板走线的匹配度降低，导致信号反射。由于测量结果包括信号发生器和频谱分析仪的幅度误差，因此ADRF6820的增益平坦度约为0.3 dB(对于任意100 MHz带宽)或0.2 dB(对于任意20 MHz带宽)。设计上，ADRF6820的增益平坦度远远优于此值，不过由于测量方法受限，我们只能如实提供上述结果。

图39至图42同时显示了正和负IF频率的数据。正IF频率代表低端LO注入，负IF频率代表高端LO注入。

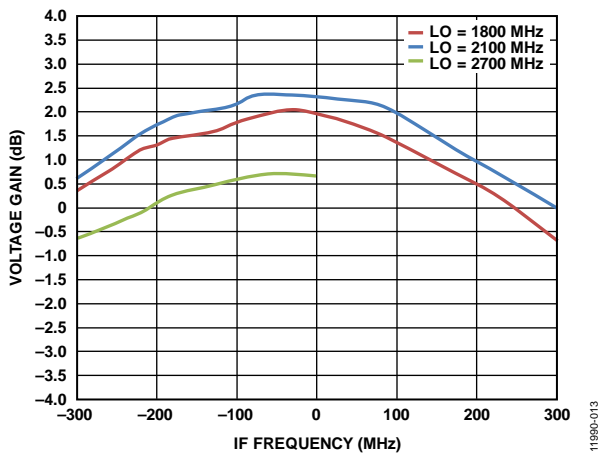


图39. 电压增益与IF频率的关系，BWSEL = 0，LO固定且RF扫描

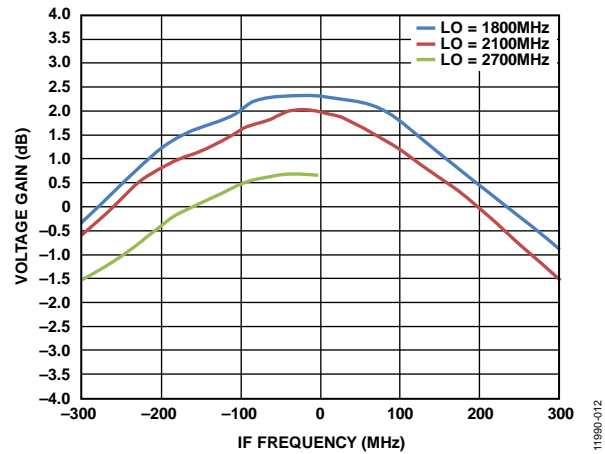


图40. 电压增益与IF频率的关系，BWSEL = 1，LO固定且RF扫描

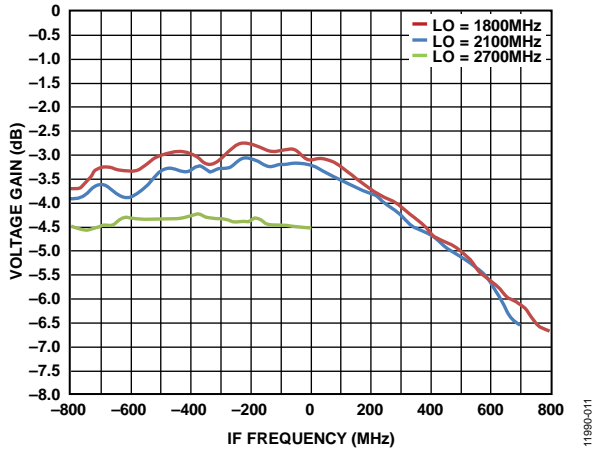


图41. 电压增益与IF频率的关系, BWSEL = 2, LO固定且RF扫描

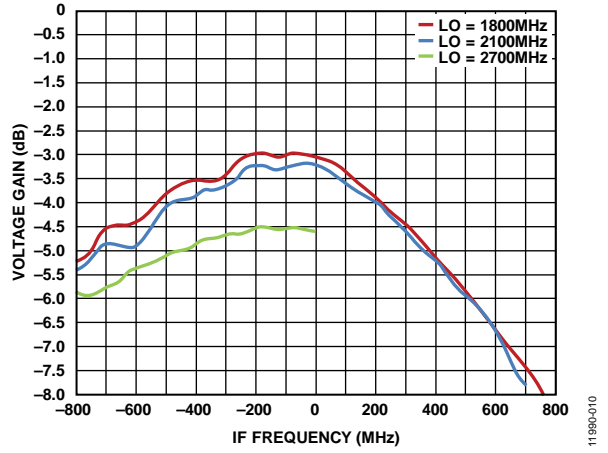


图42. 电压增益与IF频率的关系, BWSEL = 3, LO固定且RF扫描

ADRF6820

IP3和噪声系数优化

ADRF6820可以根据不同的目的进行配置：提高性能抑或降低功耗。在性能至关重要的应用中，ADRF6820提供IP3或噪声系数优化功能。然而，如果功耗是优先考虑因素，则可降低混频器偏置电流以节省整体功耗，不过性能会降低。无论具体应用的需求是什么，ADRF6820都能提供性能与功耗兼顾的配置。

调整混频器偏置设置对性能和功耗的影响最大。因此，首先应调整混频器偏置。ADRF6820的有源混频器内核是线性化跨导体。偏置电流越大，跨导体线性度越高，因而IP3越高。不过，IP3的提高是以降低噪声系数和提高功耗为代价。混频器偏置(MIX_BIAS，寄存器0x31的位[12:10])每改变1位，混频器总电流便提高8 mA。

毫无疑问，偏置电流的提高有一个限度，一旦超过该限度，线性度提高所带来的好处便不再大于功耗和噪声提高所带来的坏处。混频器内核会达到一个饱和点，在该点继续提高偏置电流不会改善线性度性能。达到该点时，应将偏置电流降至实现所需性能的水平。根据客户的系统要求，可以获得线性度、噪声系数和功耗的平衡。

除了偏置优化以外，ADRF6820还有可配置失真抵消电路。ADRF6820的线性化跨导体输入端由主路径和辅助路径组成。通过调整辅助路径的幅度和相位，可以抵消主路径产生的失真，从而改善IP3性能。幅度和相位调整位于以下串行接口位：DEMOM_RDAC(寄存器0x31的位[8:5])和DEMOM_CDAC(寄存器0x31的位[3:0])。

图43至图46显示了DEMOM_RDAC、DEMOM_CDAC和MIX_BIAS所有组合的输入IP3和噪声系数扫描图。输入IP3与DEMOM_RDAC和DEMOM_CDAC的关系图在一幅图中同时显示了表面和轮廓曲线。轮廓曲线位于表面曲线下方。读懂这些图的最佳方法是找到表面曲线上表示最大输入IP3的峰值，然后在轮廓曲线上找到相同的颜色图案，从而确定优化的DEMOM_RDAC和DEMOM_CDAC值。输入IP3曲线的整体形状不随MIX_BIAS设置而变，因此仅显示MIX_BIAS = 011的情形。表16列出了不同RF频率的推荐MIX_BIAS、DEMOM_RDAC和DEMOM_CDAC设置。表16和图43至图46只能用作指南，切勿在绝对意义上解读它们，因为具体应用和输入信号各有不同。

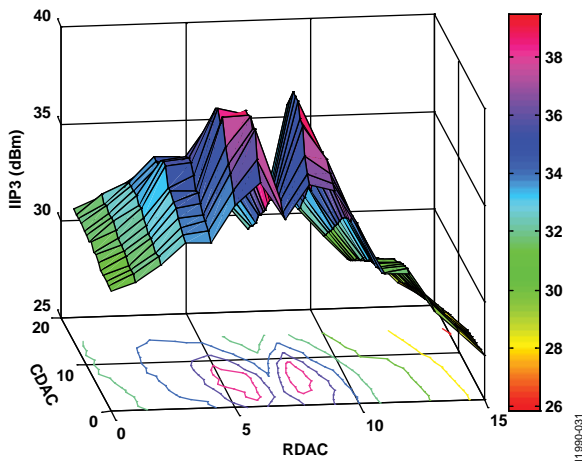


图43. IIP3与DEMOM_RDAC和DEMOM_CDAC的关系
(MIX_BIAS = 3, f_{RF} = 900 MHz)

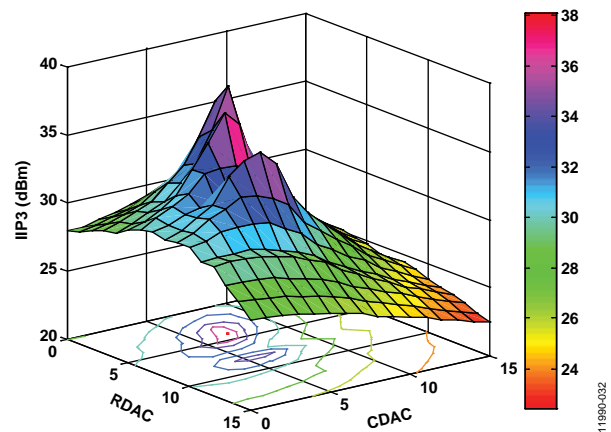


图44. IIP3与DEMOM_RDAC和DEMOM_CDAC的关系
(MIX_BIAS = 2, f_{RF} = 1900 MHz)

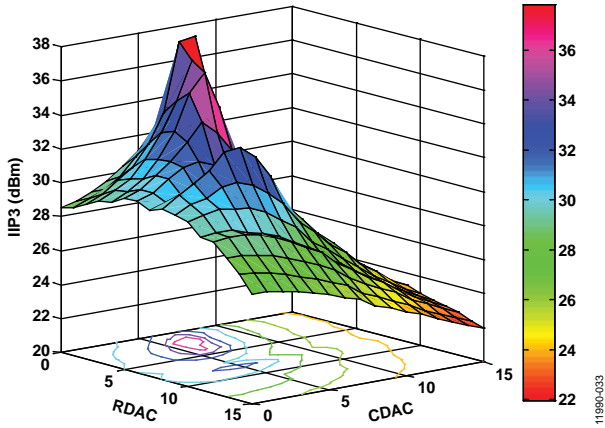


图45. IIP3与DEMOD_RDAC和DEMOD_CDAC的关系
(MIX_BIAS = 2, $f_{RF} = 2100$ MHz)

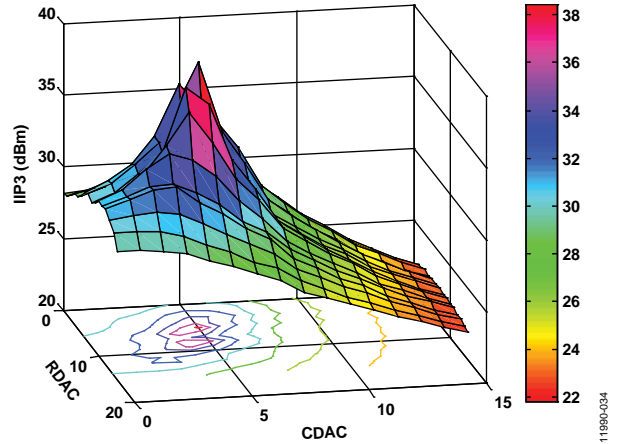


图46. IIP3与DEMOD_RDAC和DEMOD_CDAC的关系
(MIX_BIAS = 2, $f_{RF} = 2700$ MHz)

BAL_CIN、BAL_COUT、MIX_BIAS、DEMOD_RDAC和DEMOD_CDAC的推荐设置

表16. 推荐设置

BWSEL	f _{RF} (MHz)	BAL_CIN	BAL_COUT	MIX_BIAS	DEMOD_RDAC	DEMOD_CDAC
0	500	7	7	2	9	10
0	600	7	7	2	9	10
0	700	7	7	2	8	11
0	800	7	3	2	9	4
0	900	6	2	1	8	7
0	1000	5	1	1	8	9
0	1100	3	2	1	9	6
0	1200	3	1	1	8	8
0	1300	2	1	2	8	7
0	1400	2	1	2	9	3
0	1500	1	1	2	9	4
0	1600	1	1	1	8	5
0	1700	1	0	1	8	5
0	1800	1	1	1	8	6
0	1900	1	0	1	8	5
0	2000	1	0	2	8	4
0	2100	1	0	2	8	4
0	2200	1	0	2	9	2
0	2300	1	0	2	9	3
0	2400	1	0	2	7	3
0	2500	1	0	2	7	3
0	2600	1	0	2	7	3
0	2700	1	0	1	8	4
0	2800	1	0	1	8	4

BWSEL	f _{RF} (MHz)	BAL_CIN	BAL_COUT	MIX_BIAS	DEMOD_RDAC	DEMOD_CDAC
2	500	7	7	3	5	7
2	600	7	7	3	5	7
2	700	7	7	2	4	9
2	800	7	3	3	8	4
2	900	6	2	3	9	5
2	1000	5	1	3	7	7
2	1100	3	2	2	6	9
2	1200	3	1	2	8	9
2	1300	2	1	2	3	9
2	1400	2	1	3	8	5
2	1500	1	1	3	8	6
2	1600	1	1	2	8	5
2	1700	1	0	2	8	5
2	1800	1	1	2	8	7
2	1900	1	0	2	5	6
2	2000	1	0	3	5	7
2	2100	1	0	2	4	6
2	2200	1	0	2	4	6
2	2300	1	0	3	8	6
2	2400	1	0	3	8	6
2	2500	1	0	3	9	6
2	2600	1	0	3	9	6
2	2700	1	0	2	8	5
2	2800	1	0	2	8	5

ADRF6820

I/Q输出负载

ADRF6820的I和Q基带输出具有50 Ω差分阻抗。然而，电压增益和线性度性能在使用200 Ω差分负载时最佳。这可能不是所有应用的最有利端接阻抗，因此，针对较低的输出负载，可在一定程度上降低功能。

差分I/Q输出端的输出负载对电压增益有直接影响；负载越小，则增益越低。ADRF6820的50 Ω差分源阻抗(R_S)与外部负载电阻(R_L)一起形成一个分压器。ADRF6820的性能针对200 Ω的差分负载端接进行了优化，并在该负载下进行测定。对于200 Ω差分负载端接，分压比计算如下：

$$V_{OUT}/V_{IN} = R_L/(R_L + R_S)$$

其中， $R_S = 50 \Omega$ 。

不同负载阻抗引起的增益变化由下式计算：

$$\frac{Gain(R_{L2})}{Gain(R_{L1})} = \frac{\frac{R_{L2}}{R_{L2} + R_S}}{\frac{R_{L1}}{R_{L1} + R_S}}$$

其中：

$R_{L1} = 200 \Omega$ 。

R_{L2} 为新的负载阻抗。

$f_{RF} = 2100 \text{ MHz}$ 且 $f_{IF} = 200 \text{ MHz}$ 时，ADRF6820的转换增益为-3.2 dB。在相同测试条件和100 Ω负载下，增益降低 $20\log(5/6) = -1.58 \text{ dB}$ ，此时电压增益为-4.6 dB。图47显示了 $f_{LO} = 1840 \text{ MHz}$ 、 $BWSEL = 2$ 及常见输出负载下的电压增益与IF频率的关系。

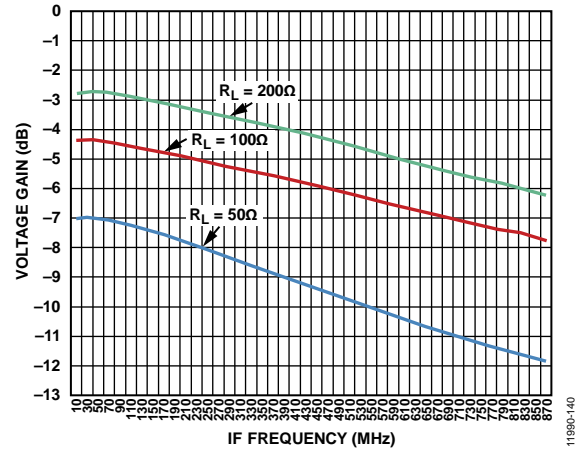


图47. 电压增益与IF频率的关系， $f_{LO} = 1840 \text{ MHz}$ 且 $BWSEL = 2$

除了转换增益降低以外，较低输出负载阻抗还会降低线性度性能。这是因为混频器之后的射极跟随器缓冲器需要输送更多负载电流，因而会在更靠近非线性区域的地方工作。为了改善较低负载(如50 Ω)下的性能，可增大BB_BIAS(寄存器0x34的位[11:10])以将射极跟随器的偏置电流提高到最大值13.5 mA。偏置电流设置参见表13。

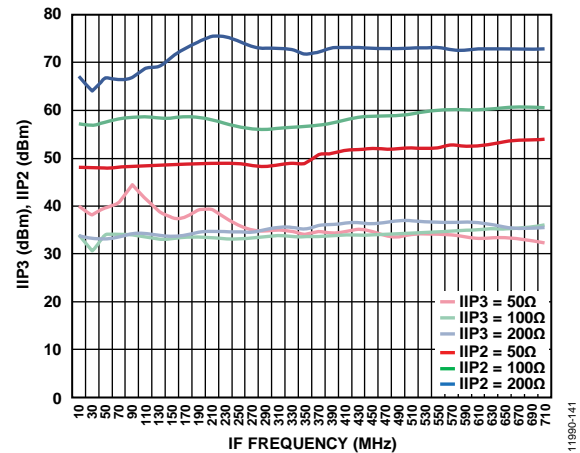


图48. IIP3和IIP2与IF频率的关系， $f_{LO} = 1840 \text{ MHz}$ 且 $BWSEL = 2$

图48显示了50 Ω、100 Ω和200 Ω负载下输入IP3和输入IP2性能与IF频率的关系。对于100 Ω和200 Ω负载阻抗，偏置电流配置为默认值9 mA，而对于50 Ω负载，偏置电流则提高到最大值以实现与较高输出负载相同的输入IP3性能水平。

镜像抑制

基带I和Q路径的幅度和相位失配直接表现为镜像抑制性能下降，而对于直接变频系统，镜像抑制性能最大化是实现高性能和优化带宽的关键。ADRF6820提供独立的I/Q路径相位调整，支持正交校正。要使用正交校正，对于I路径校正，应写入寄存器0x32的位[3:0]；对于Q路径校正，应写入寄存器0x32的位[7:4]。图49显示了各种LO频率下可用的校正范围。

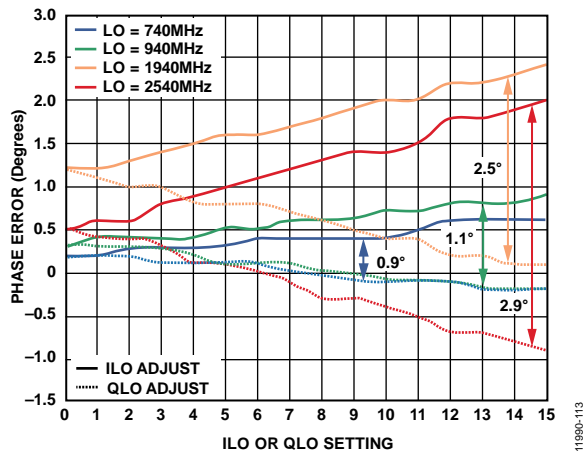


图49. 正交校正范围

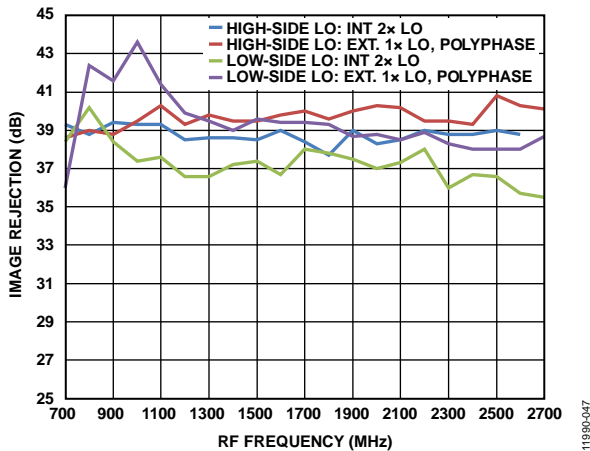


图50. 镜像抑制与RF频率的关系， $f_{IF} = 200$ MHz

增益和正交相位失配与镜像抑制比(IRR)性能的换算公式为：

$$IRR (dB) = 10 \log \frac{|1 + A_e^2 + 2A_e \cos(\varphi_e)|}{|1 + A_e^2 - 2A_e \cos(\varphi_e)|}$$

其中：

A_e 为幅度误差。

φ_e 为相位误差。

系统中的一个主要相位误差源来自LO信号发生正交分相的解调器。图50至图52显示了ADRF6820在不同扫描参数且不用校正时可实现的镜像抑制水平。

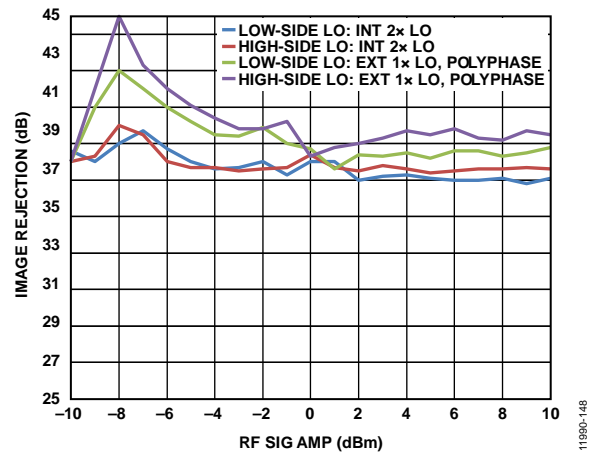


图51. 镜像抑制与RF信号电平的关系， $f_{IF} = 200$ MHz，高端LO注入时 $f_{LO} = 2000$ MHz且 $f_{RF} = 1800$ MHz，低端注入时则相反

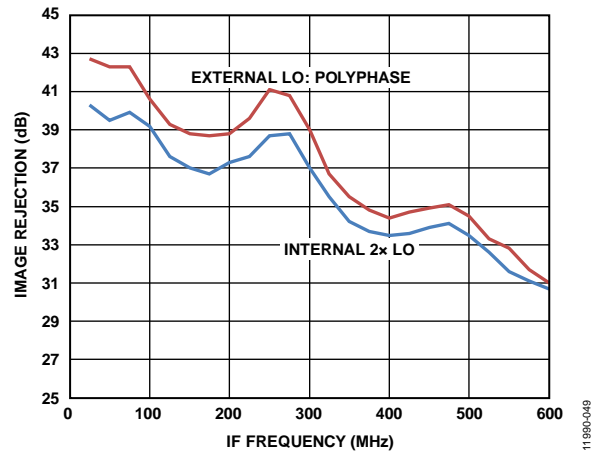


图52. 镜像抑制与IF频率的关系， $f_{LO} = 1800$ MHz

ADRF6820

I/Q极性

ADRF6820可以灵活地指定I/Q输出的极性，I可以先于Q，反之亦然。通过设置POLI(寄存器0x32的位[9:8])或POLQ(寄存器0x32的位[11:10])，I和Q输出均可变为与默认配置相反的配置。当I和Q输出在复数域 $I + jQ$ 中进行同步处理时，这种指定极性的灵活性很重要。

上电时，依据采用的是高端还是低端LO频率注入，I通道可以领先或落后于Q通道 90° 。当RF频率大于LO频率(低端LO注入)时，I通道领先于Q通道(参见图53)。相反，如果RF频率小于LO频率(高端LO注入)时，则Q通道领先于I通道 90° (参见图54)。

通过写入POLI(寄存器0x32的位[9:8])或POLQ(寄存器0x32的位[11:10])，I和Q通道均可反转以实现所需的极性，如图55至图57所示。

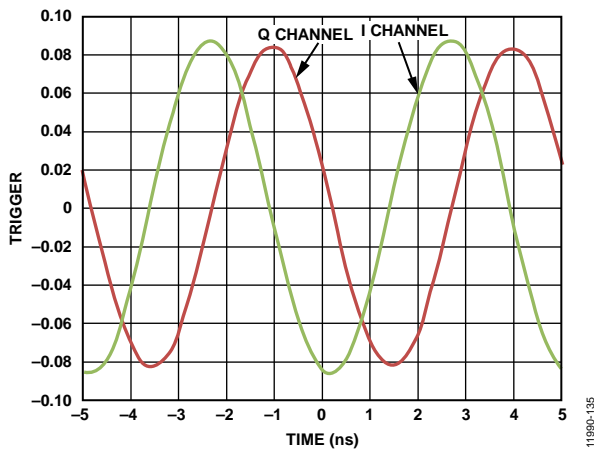


图53. POLI = 1, POLQ = 2, I通道正常极性, Q通道正常极性, $f_{RF} = 2040 \text{ MHz}$, $f_{LO} = 1840 \text{ MHz}$

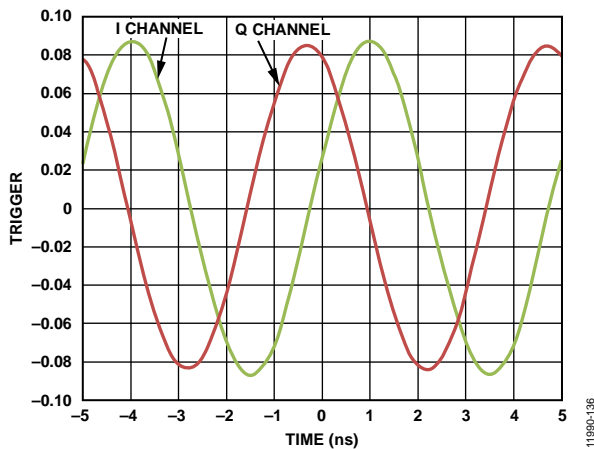


图54. POLI = 1, POLQ = 2, I通道正常极性, Q通道正常极性, $f_{RF} = 2040 \text{ MHz}$, $f_{LO} = 2240 \text{ MHz}$

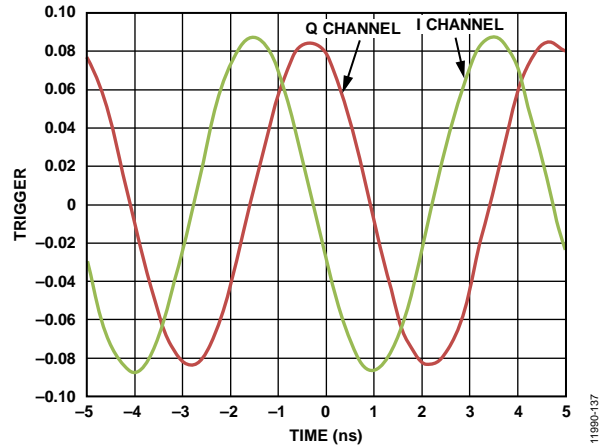


图55. POLI = 2, POLQ = 2, I通道反转极性, Q通道正常极性, $f_{RF} = 2040 \text{ MHz}$, $f_{LO} = 2240 \text{ MHz}$

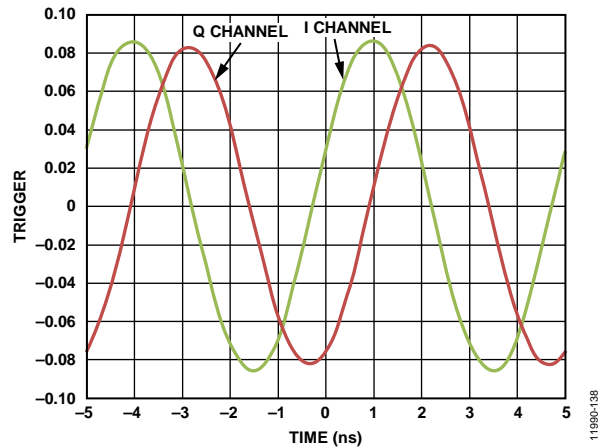


图56. POLI = 1, POLQ = 1, I通道正常极性, Q通道反转极性, $f_{RF} = 2040 \text{ MHz}$, $f_{LO} = 2240 \text{ MHz}$

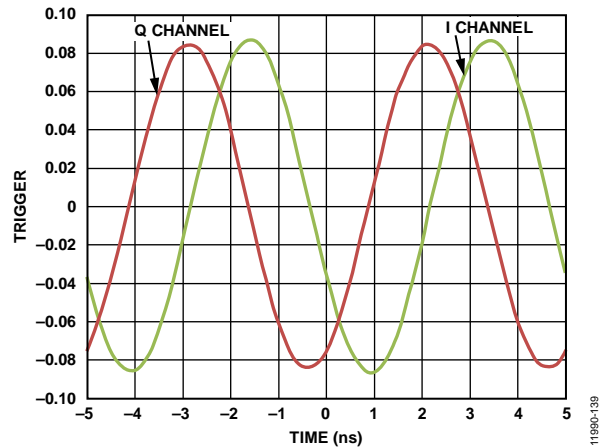


图57. POLI = 2, POLQ = 1, I通道反转极性, Q通道反转极性, $f_{RF} = 2040 \text{ MHz}$, $f_{LO} = 2240 \text{ MHz}$

布局布线

为优化性能并降低杂散寄生效应，必须精心设计ADRF6820的布局布线。ADRF6820支持两路RF输入，RF部分的布局布线对于实现各通道之间的隔离至关重要。图58显示了RF输入的推荐布局。各路RF输入(RFIN0和RFIN1)在接地引脚之间隔离，最佳布局方法是让走线短且直。为此，应将这些引脚直接连到ADRF6820裸露焊盘的中央接地焊盘。这种方法可使走线电感最小，并提高通道之间的隔离度。此外，为改善隔离性能，不要将RFIN0和RFIN1走线彼此平行布线，而应在离开引脚后立即将走线分散。这些走线相互之间应尽可能远离，防止交叉耦合。

RF输入端的输入阻抗为 $50\ \Omega$ ，通往该引脚的走线也必须具有 $50\ \Omega$ 特征阻抗。未使用的RF输入应当用接地隔直电容端接。

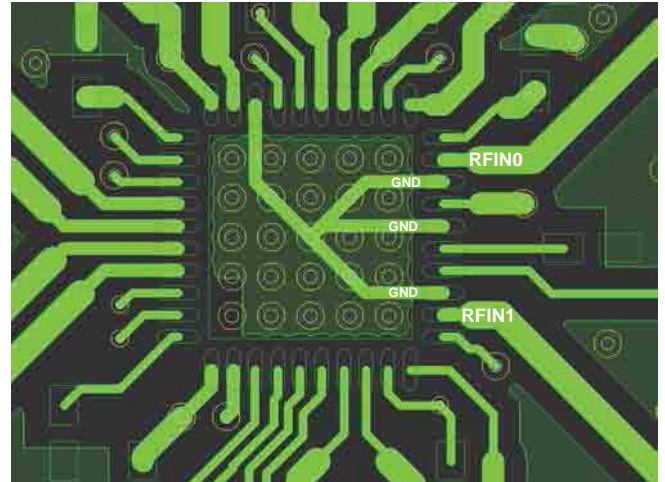


图58. 建议RF输入布局

ADRF6820

寄存器映射

表 17.

十六进制地址	名称	位	位15	位14	位13	位12	位11	位10	位9	位8	复位	RW		
			位7	位6	位5	位4	位3	位2	位1	位0				
00	SOFT_RESET	[15:8]	RESERVED									0x0000	W	
		[7:0]	RESERVED							SOFT_RESET				
01	Enables	[15:8]	RESERVED						DMOD_EN	QUAD_DIV_EN	LO_DRV2X_EN	0xFE7F	RW	
		[7:0]	LO_DRV1X_EN	VCO_MUX_EN	REF_BUF_EN	VCO_EN	DIV_EN	CP_EN	VCO_LDO_EN	RESERVED				
02	INT_DIV	[15:8]	RESERVED				DIV_MODE		INT_DIV			0x002C	RW	
		[7:0]	INT_DIV											
03	FRAC_DIV	[15:8]	FRAC_DIV									0x0128	RW	
		[7:0]	FRAC_DIV											
04	MOD_DIV	[15:8]	MOD_DIV									0x0600	RW	
		[7:0]	MOD_DIV											
10	PWRDWN_MASK	[15:8]	RESERVED						DMOD_MASK	QUAD_DIV_MASK	LO_DRV2X_MASK	0xFE7F	RW	
		[7:0]	LO_DRV1X_MASK	VCO_MUX_MASK	REF_BUF_MASK	VCO_MASK	DIV_MASK	CP_MASK	VCO_LDO_MASK	RESERVED				
20	CP_CTL	[15:8]	RESERVED	CPSEL	CSCALE				RESERVED			0x0C26	RW	
		[7:0]	RESERVED			BLEED								
21	PFD_CTL	[15:8]	RESERVED									0x0003	RW	
		[7:0]	RESERVED	REF_MUX_SEL			PFD_POLARITY		REFSEL					
22	VCO_CTL	[15:8]	RESERVED						RESERVED				0x2A03	RW
		[7:0]	LO_DRV_LVL		DRV2_DIV2_EN	DIV8_EN	DIV4_EN		VCO_SEL					
23	DGA_CTL	[15:8]	RESERVED				RFSW_MUX	RESERVED	RFSW_SEL	RFDSA_SEL		0x0000	RW	
		[7:0]	RFDSA_SEL			RESERVED								
30	BALUN_CTL	[15:8]	RESERVED									0x0000	RW	
		[7:0]	BAL_COUT			RESERVED	BAL_CIN			RESERVED				
31	MIXER_CTL	[15:8]	RESERVED			MIX_BIAS			RESERVED	DEMOD_RDAC		0x1101	RW	
		[7:0]	DEMOD_RDAC			RESERVED	DEMOD_CDAC							
32	MOD_CTL0	[15:8]	RESERVED				POLQ		POLI			0x0900	RW	
		[7:0]	QLO				ILO							
33	MOD_CTL1	[15:8]	DCOFFI									0x0000	RW	
		[7:0]	DCOFFQ											
34	MOD_CTL2	[15:8]	RESERVED				BB_BIAS		BWSEL			0x0B00	RW	
		[7:0]	RESERVED											
40	PFD_CTL2	[15:8]	RESERVED									0x0010	RW	
		[7:0]	RESERVED	ABLDLY		CPCTRL			CLKEDGE					
42	DITH_CTL1	[15:8]	RESERVED						RESERVED			0x000E	RW	
		[7:0]	RESERVED				DITH_EN	DITH_MAG		DITH_VAL				
43	DITH_CTL2	[15:8]	DITH_VAL									0x0001	RW	
		[7:0]	DITH_VAL											
44	DIV_SM_CTL	[15:8]	RESERVED									0x0000	RW	
		[7:0]	RESERVED							BANDCAL_DIVD_CLR				
45	VCO_CTL2	[15:8]	RESERVED									0x0000	RW	
		[7:0]	VCO_BAND_SRC	BAND										
46	VCO_RB	[15:8]	RESERVED									0x0000	R	
		[7:0]	RESERVED			VCO_BAND								
49	VCO_CTL3	[15:8]	RESERVED			SET_1				SET_0		0x16BD	RW	
		[7:0]	SET_0											

寄存器地址描述

地址：0x00；复位：0x0000；名称：SOFT_RESET

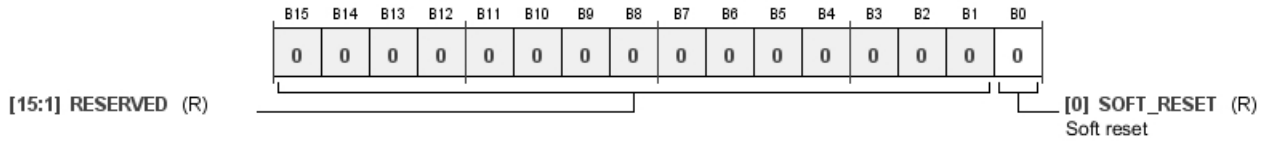


表18. SOFT_RESET的位功能描述

位	位名称	设置	说明	复位	访问类型
0	SOFT_RESET		软复位	0x0000	R

地址：0x01；复位：0xFE7F；名称：Enables

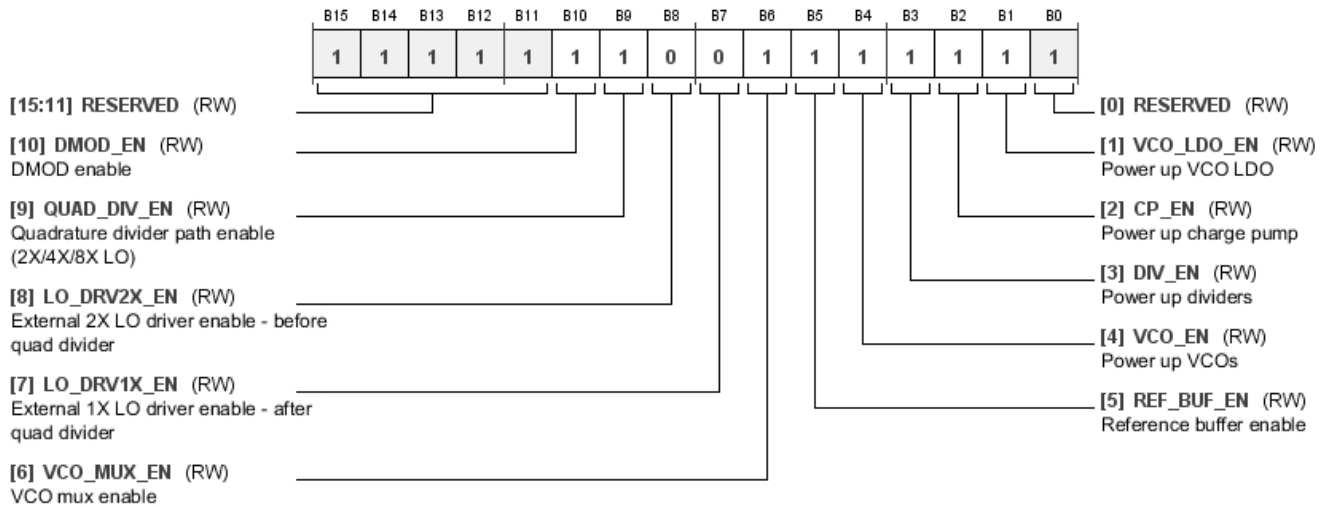


表19. Enables的位功能描述

位	位名称	设置	说明	复位	访问类型
10	DMOD_EN		DMOD使能	0x1	RW
9	QUAD_DIV_EN		正交分频器路径使能(2x/4x/8x LO)	0x1	RW
8	LO_DRV2X_EN		外部2x LO分频器使能—正交分频器之前	0x0	RW
7	LO_DRV1X_EN		外部1x LO分频器使能—正交分频器之后	0x0	RW
6	VCO_MUX_EN		VCO多路复用器使能	0x1	RW
5	REF_BUF_EN		参考缓冲器使能	0x1	RW
4	VCO_EN		VCO上电	0x1	RW
3	DIV_EN		分频器上电	0x1	RW
2	CP_EN		电荷泵上电	0x1	RW
1	VCO_LDO_EN		VCO LDO上电	0x1	RW

ADRF6820

地址: 0x02; 复位: 0x002C; 名称: INT_DIV

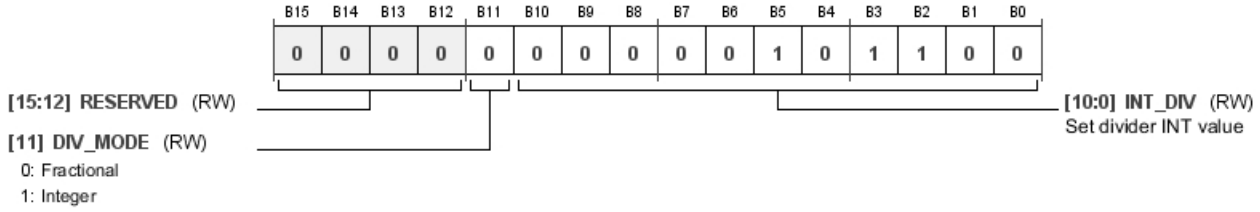


表20. INT_DIV的位功能描述

位	位名称	设置	说明	复位	访问类型
11	DIV_MODE	0 1	分频模式 小数 整数	0x0	RW
[10:0]	INT_DIV		设置分频器INT值 整数模式范围: 21至123 小数模式范围: 24至119	0x2C	RW

地址: 0x03; 复位: 0x0128; 名称: FRAC_DIV



表21. FRAC_DIV的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:0]	FRAC_DIV		置分频器FRAC值	0x128	RW

地址: 0x04; 复位: 0x0600; 名称: MOD_DIV



表22. MOD_DIV的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:0]	MOD_DIV		设置分频器MOD值	0x600	RW

地址：0x10；复位：0xFE7F；名称：PWRDWN_MASK

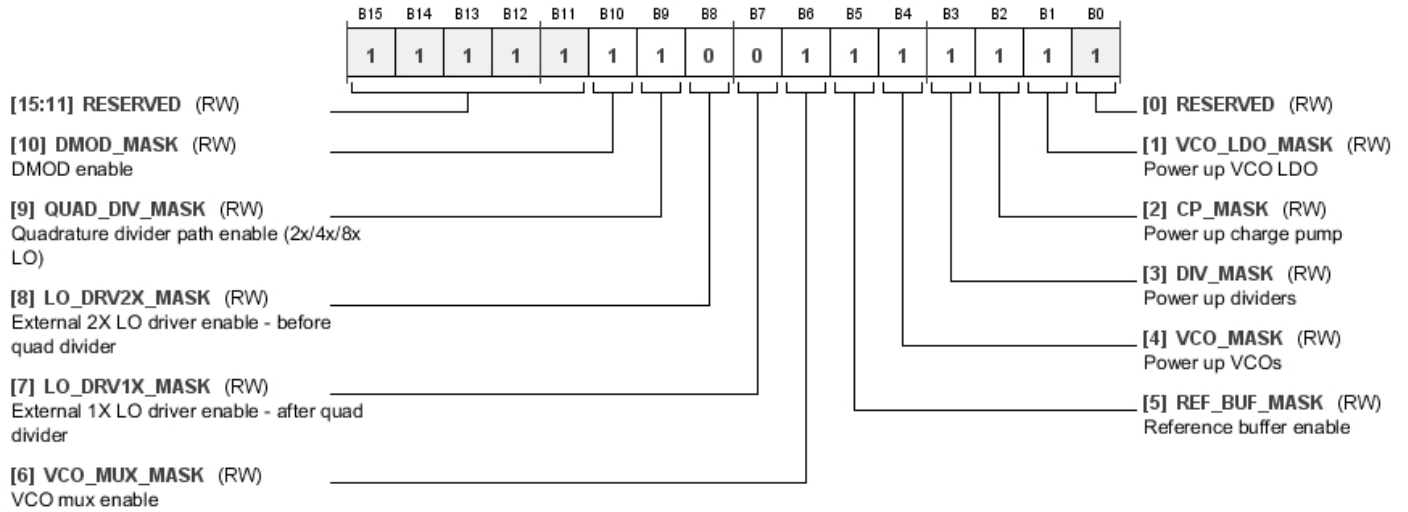


表23. PWRDWN_MASK的位功能描述

位	位名称	设置	说明	复位	访问类型
10	DMOD_MASK		解调器(DMOD)使能	0x1	RW
9	QUAD_DIV_MASK		正交分频器路径使能(2x/4x/8x LO)	0x1	RW
8	LO_DRV2X_MASK		外部2x LO分频器使能—正交分频器之前	0x0	RW
7	LO_DRV1X_MASK		外部1x LO分频器使能—正交分频器之后	0x0	RW
6	VCO_MUX_MASK		VCO多路复用器使能	0x1	RW
5	REF_BUF_MASK		参考缓冲器使能	0x1	RW
4	VCO_MASK		VCO上电	0x1	RW
3	DIV_MASK		分频器上电	0x1	RW
2	CP_MASK		电荷泵上电	0x1	RW
1	VCO_LDO_MASK		VCO LDO上电	0x1	RW

ADRF6820

地址: 0x20; 复位: 0x0C26; 名称: CP_CTL

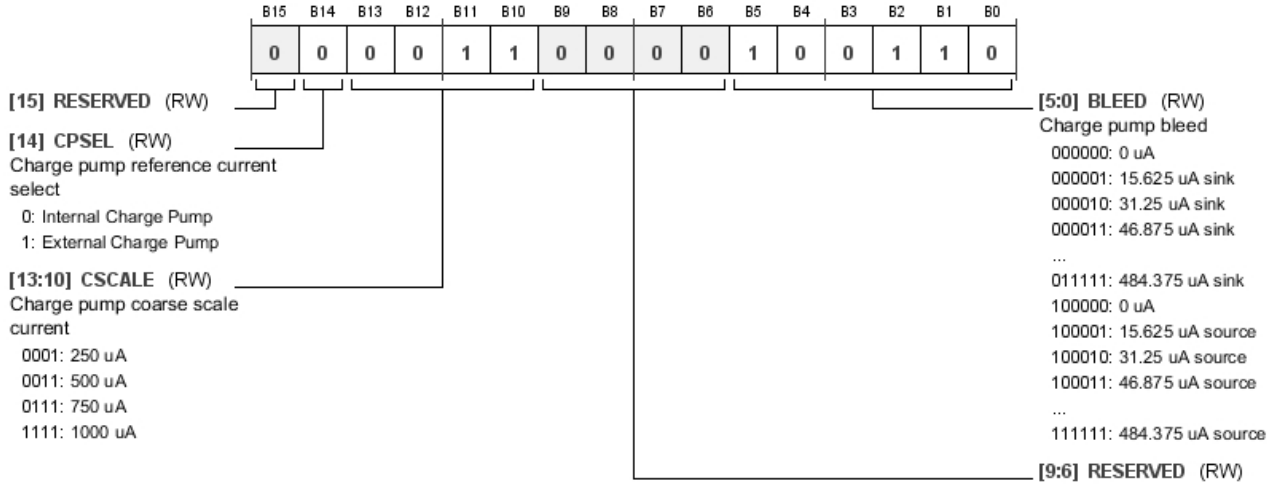


表24. CP_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
14	CPSEL	0 1	电荷泵基准电流选择 内部电荷泵 外部电荷泵	0x0	RW
[13:10]	CSCALE	0001 0011 0111 1111	电荷泵粗调电流 250 μ A 500 μ A 750 μ A 1000 μ A	0x3	RW
[5:0]	BLEED	000000 000001 000010 000011 ... 011111 100000 100001 100010 100011 ... 111111	电荷泵渗漏 0 μ A 15.625 μ A吸电流 31.25 μ A吸电流 46.875 μ A吸电流 ... 484.375 μ A吸电流 0 μ A 15.625 μ A源电流 31.25 μ A源电流 46.875 μ A源电流 ... 484.375 μ A源电流	0x26	RW

地址：0x21；复位：0x0003；名称：PFD_CTL

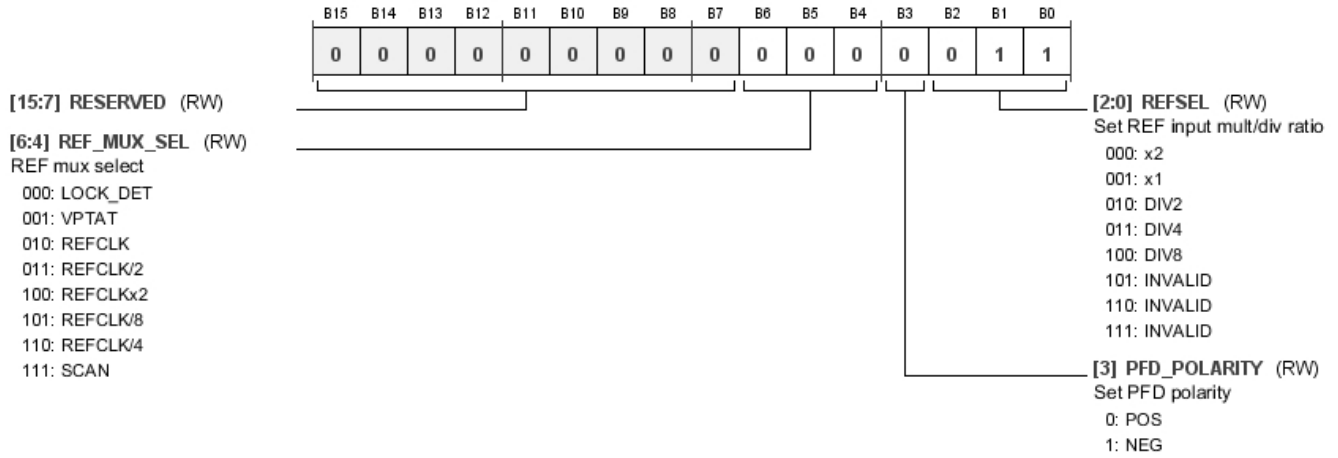


表25. PFD_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[6:4]	REF_MUX_SEL	000 001 010 011 100 101 110 111	参考(REF)复用选择 LOCK_DET VPTAT REFCLK REFCLK/2 REFCLK × 2 REFCLK/8 REFCLK/4 SCAN	0x0	RW
3	PFD_POLARITY	0 1	设置PFD极性 正 负	0x0	RW
[2:0]	REFSEL	000 001 010 011 100	设置REF输入倍频/分频比 ×2 ×1 2分频 4分频 8分频	0x3	RW

ADRF6820

地址: 0x22; 复位: 0x2A03; 名称: VCO_CTL

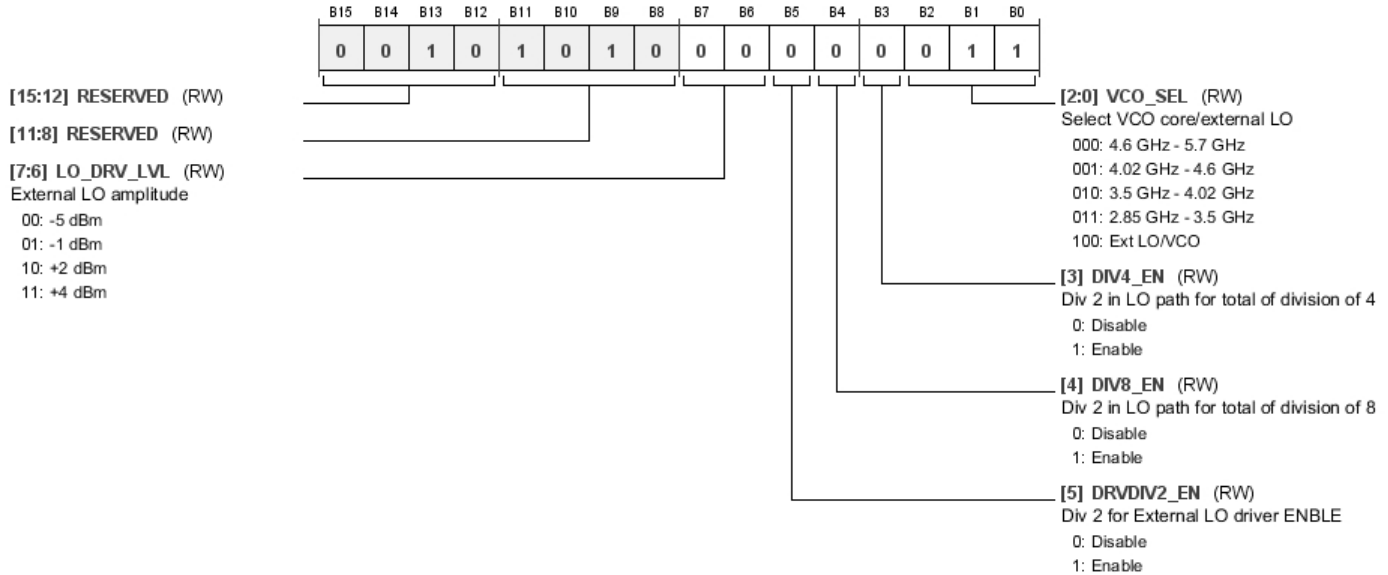


表26. VCO_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	LO_DRV_LVL	00 01 10 11	外部LO幅度 -5 dBm -1 dBm +2 dBm +4 dBm	0x0	RW
5	DRVDIV2_EN	0 1	外部LO驱动器的2分频使能 禁用 使能	0x0	RW
4	DIV8_EN	0 1	LO路径2分频, 总共8分频 禁用 使能	0x0	RW
3	DIV4_EN	0 1	LO路径2分频, 总共4分频 禁用 使能	0x0	RW
[2:0]	VCO_SEL	000 001 010 011 100	选择VCO内核/外部LO 4.6 GHz至5.7 GHz 4.02 GHz至4.6 GHz 3.5 GHz至4.02 GHz 2.85 GHz至3.5 GHz 外部LO/VCO	0x3	RW

地址：0x23；复位：0x0000；名称：DGA_CTL

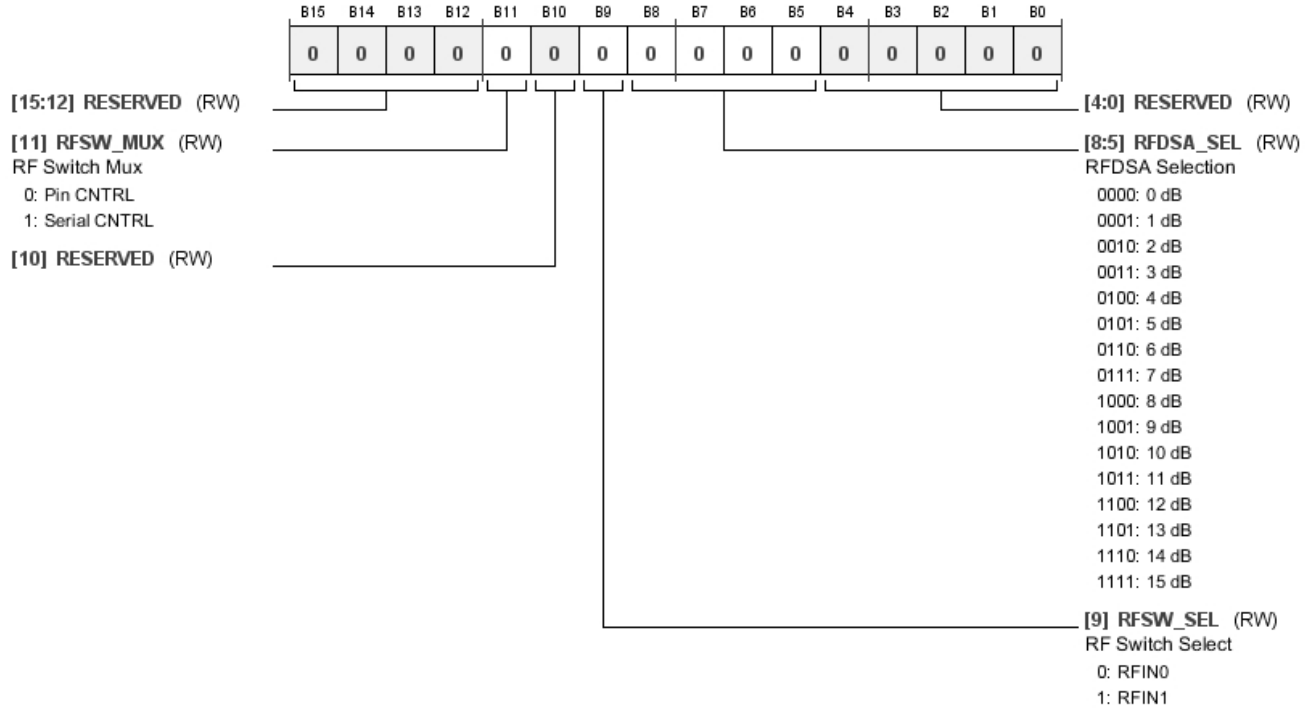


表27. DGA_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
11	RFSW_MUX	0 1	RF开关复用 引脚控制(CNTRL) 信号控制(CNTRL)	0x0	RW
9	RFSW_SEL	0 1	RF开关选择 RFIN0 RFIN1	0x0	RW
[8:5]	RFDSA_SEL	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	RFDSA选择 0 dB 1 dB 2 dB 3 dB 4 dB 5 dB 6 dB 7 dB 8 dB 9 dB 10 dB 11 dB 12 dB 13 dB 14 dB 15 dB	0x0	RW

ADRF6820

地址: 0x30; 复位: 0x0000; 名称: BALUN_CTL

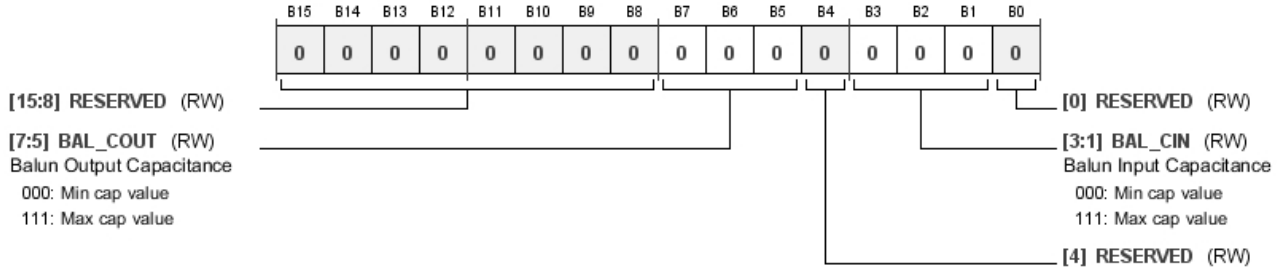


表28. BALUN_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:5]	BAL_COUT	000 111	巴伦输出电容 最小电容值 最大电容值	0x0	RW
[3:1]	BAL_CIN	000 111	巴伦输入电容 最小电容值 最大电容值	0x0	RW

地址: 0x31; 复位: 0x1101; 名称: MIXER_CTL

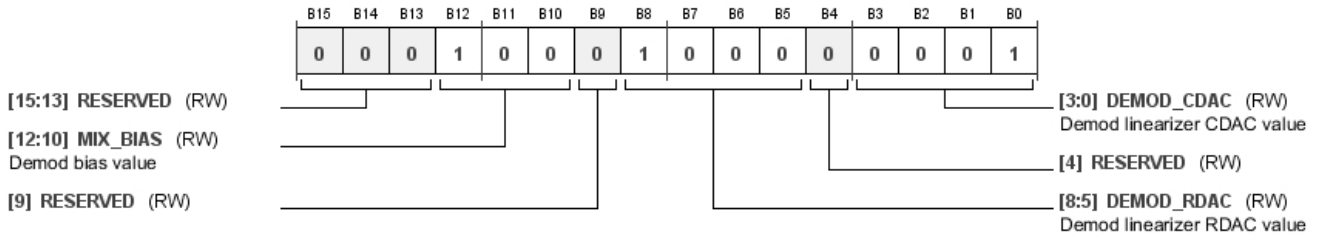


表29. MIXER_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[12:10]	MIX_BIAS		解调器偏置值	0x4	RW
[8:5]	DEMOD_RDAC		解调器线性化器RDAC值	0x8	RW
[3:0]	DEMOD_CDAC		解调器线性化器CDAC值	0x1	RW

地址：0x32；复位：0x0900；名称：MOD_CTL0

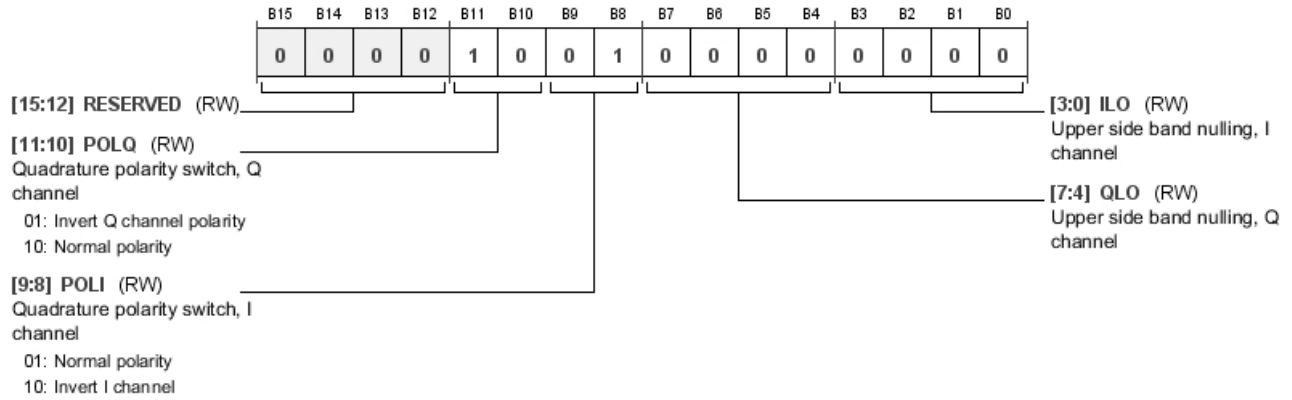


表30. MOD_CTL0的位功能描述

位	位名称	设置	说明	复位	访问类型
[11:10]	POLQ	01 10	正交极性开关，Q通道 反转Q通道极性 正常极性	0x2	RW
[9:8]	POLI	01 10	正交极性开关，I通道 正常极性 反转I通道	0x1	RW
[7:4]	QLO		上端频段调零，Q通道	0x0	RW
[3:0]	ILO		上端频段调零，I通道	0x0	RW

ADRF6820

地址: 0x33; 复位: 0x0000; 名称: MOD_CTL1

B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[15:8] DCOFFI (RW)
Baseband DC nulling, I channel

00000000: 0 μ A
 00000001: +5 μ A
 00000010: +10 μ A
 00000011: +15 μ A
 01111110: +94.5 μ A
 01111111: +95.25 μ A
 10000000: 0 μ A
 10000001: -5 μ A
 10000010: -10 μ A
 10000011: -15 μ A
 11111110: -94.5 μ A
 11111111: -95.25 μ A

[7:0] DCOFFQ (RW)
Baseband DC nulling, Q channel

00000000: 0 μ A
 00000001: +5 μ A
 00000010: +10 μ A
 00000011: +15 μ A
 01111110: +94.5 μ A
 01111111: +95.25 μ A
 10000000: 0 μ A
 10000001: -5 μ A
 10000010: -10 μ A
 10000011: -15 μ A
 11111110: -94.5 μ A
 11111111: -95.25 μ A

表31. MOD_CTL1的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:8]	DCOFFI	00000000 00000001 00000010 00000011 01111110 01111111 10000000 10000001 10000010 10000011 11111110 11111111	基带直流零点, I通道 0 μ A +5 μ A +10 μ A +15 μ A +94.5 μ A +95.25 μ A 0 μ A -5 μ A -10 μ A -15 μ A -94.5 μ A -95.25 μ A	0x00	RW
[7:0]	DCOFFQ	00000000 00000001 00000010 00000011 01111110 01111111 10000000 10000001 10000010 10000011 11111110 11111111	基带直流零点, Q通道 0 μ A +5 μ A +10 μ A +15 μ A +94.5 μ A +95.25 μ A 0 μ A -5 μ A -10 μ A -15 μ A -94.5 μ A -95.25 μ A	0x00	RW

地址：0x34；复位：0x0B00；名称：MOD_CTL2

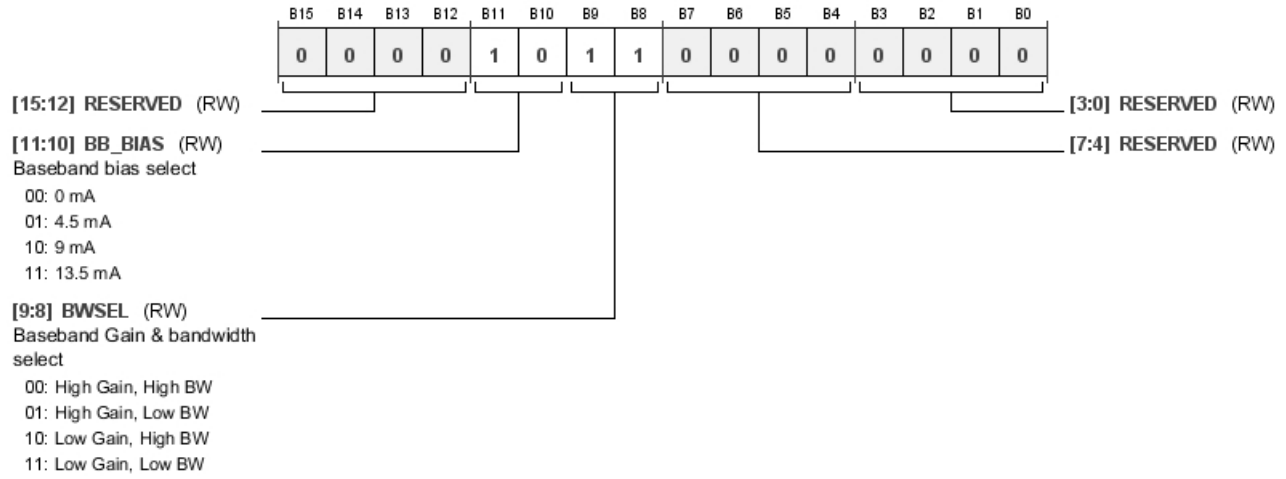


表32. MOD_CTL2的位功能描述

位	位名称	设置	说明	复位	访问类型
[11:10]	BB_BIAS	00 01 10 11	基带偏置选择 0 mA 4.5 mA 9 mA 13.5 mA	0x2	RW
[9:8]	BWSEL	00 01 10 11	基带增益和带宽选择 高增益、高带宽(参见表15) 高增益、低带宽(参见表15) 低增益、高带宽(参见表15) 低增益、低带宽(参见表15)	0x3	RW

ADRF6820

地址: 0x40; 复位: 0x0010; 名称: PFD_CTL2

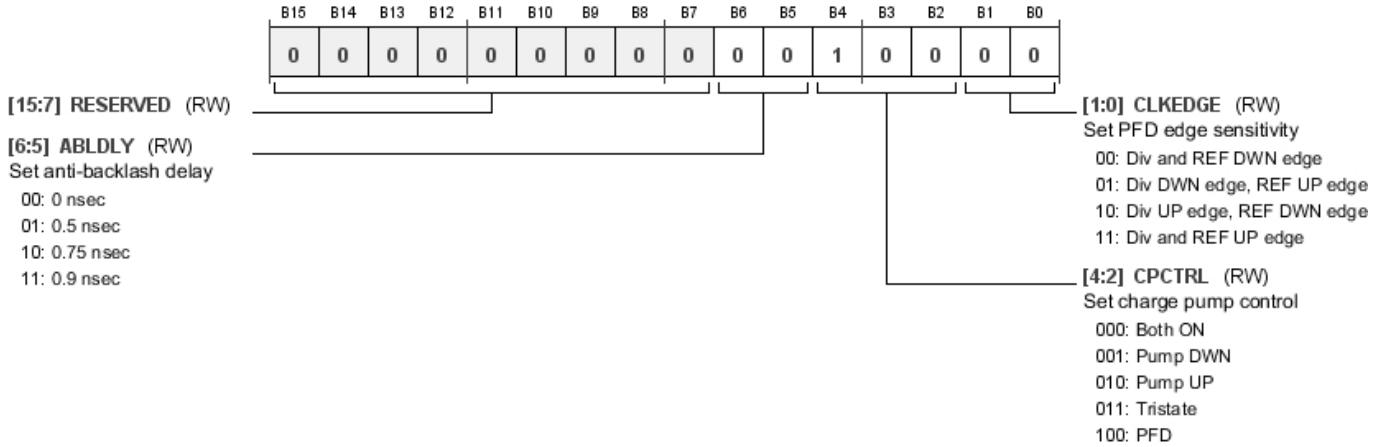


表33. PFD_CTL2的位功能描述

位	位名称	设置	说明	复位	访问类型
[6:5]	ABLDLY	00 01 10 11	设置反冲防回差延迟 0 ns 0.5 ns 0.75 ns 0.9 ns	0x0	RW
[4:2]	CPCTRL	000 001 010 011 100	设置电荷泵控制 均使能 放电 充电 三态 PFD	0x4	RW
[1:0]	CLKEDGE	00 01 10 11	设置PFD边沿敏感性 Div和REF下降沿 Div下降沿, REF上升沿 Div上升沿, REF下降沿 Div和REF上升沿	0x0	RW

地址：0x42；复位：0x000E；名称：DITH_CTL1

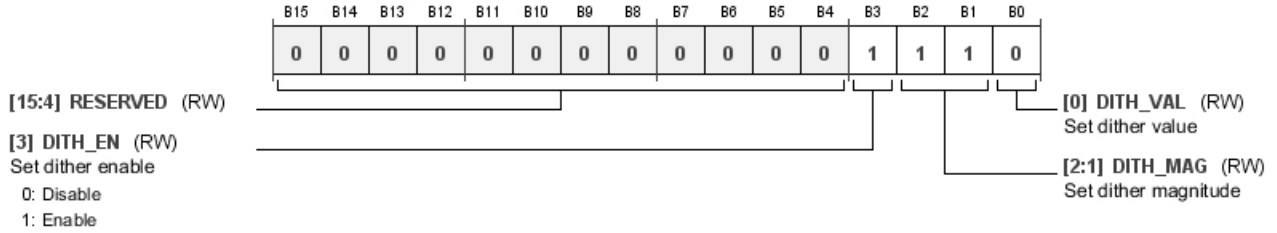


表34. DITH_CTL1的位功能描述

位	位名称	设置	说明	复位	访问类型
3	DITH_EN	0 1	设置扰动使能 禁用 使能	0x1	RW
[2:1]	DITH_MAG		设置扰动幅度	0x3	RW
0	DITH_VAL		设置扰动值	0x0	RW

地址：0x43；复位：0x0001；名称：DITH_CTL2

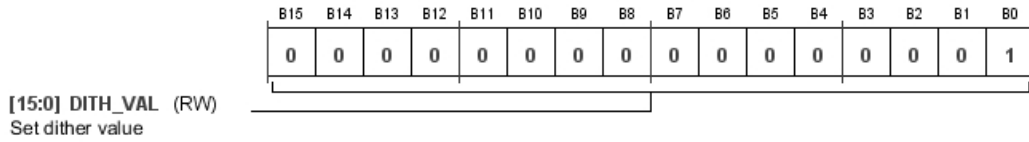


表35. DITH_CTL2的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:0]	DITH_VAL		设置扰动值	0x1	RW

地址：0x44；复位：0x0000；名称：DIV_SM_CTL

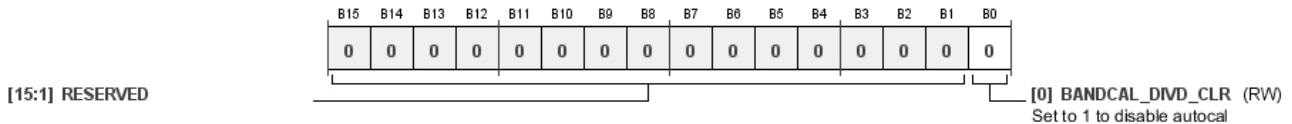


表36. DIV_SM_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
0	BANDCAL_DIVD_CLR		设为1即禁用自动校准	0x0	RW

ADRF6820

地址: 0x45; 复位: 0x0000; 名称: VCO_CTL2

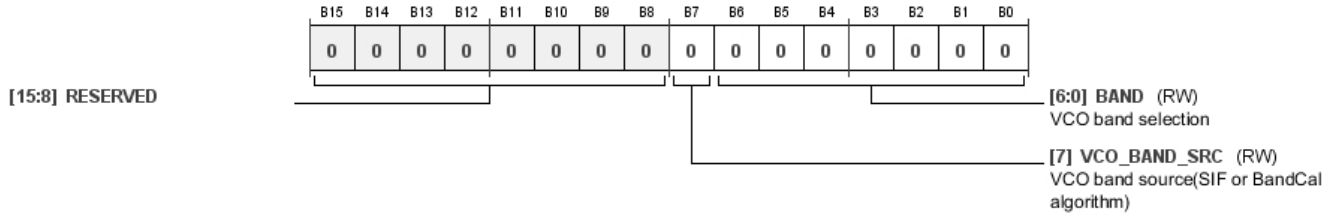


表37. VCO_CTL2的位功能描述

位	位名称	设置	说明	复位	访问类型
7	VCO_BAND_SRC		VCO频段源(SIF或BANDCAL算法)	0x0	RW
[6:0]	BAND		VCO频段选择	0x00	RW

地址: 0x46; 复位: 0x0000; 名称: VCO_RB

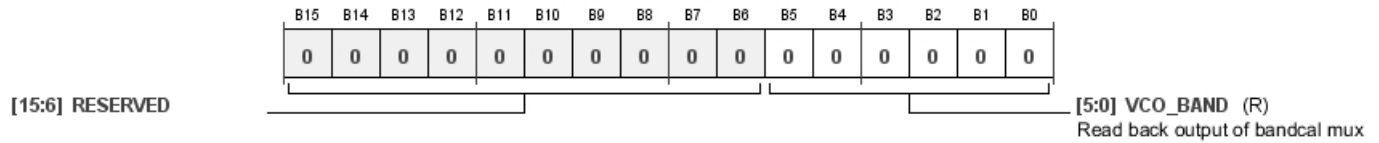


表38. VCO_RB的位功能描述

位	位名称	设置	说明	复位	访问类型
[5:0]	VCO_BAND		回读BANDCAL多路复用器的输出	0x00	R

地址: 0x49; 复位: 0x16BD; 名称: VCO_CTL3

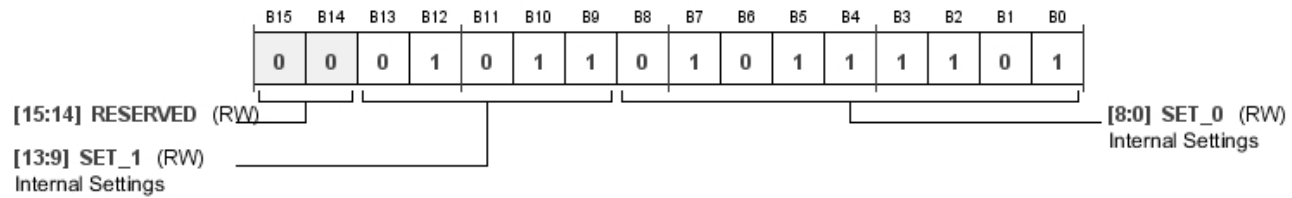
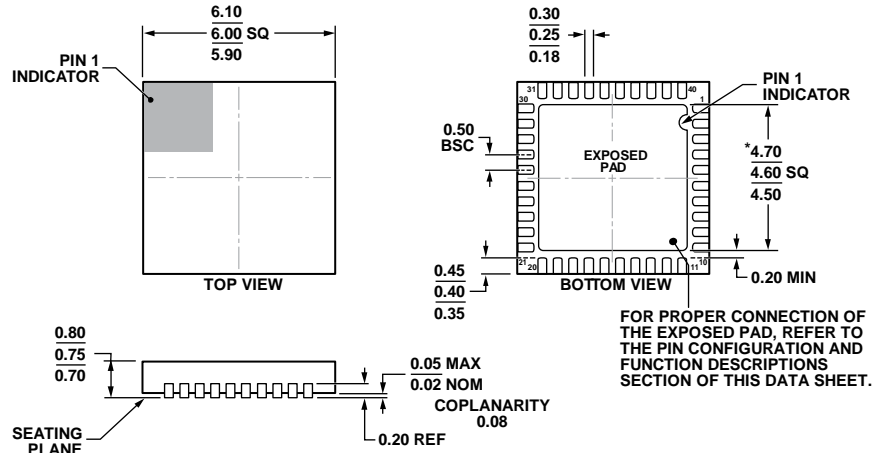


表39. VCO_CTL3的位功能描述

位	位名称	设置	说明	复位	访问类型
[13:9]	SET_1		内部设置(参见“要求的PLL/VCO设置和寄存器写操作序列”部分)	0xB	RW
[8:0]	SET_0		内部设置(参见“要求的PLL/VCO设置和寄存器写操作序列”部分)	0xBD	RW

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图59. 40引脚引线框芯片级封装[LFCSP_WQ]
6 mm x 6 mm超薄体
(CP-40-7)
尺寸单位: mm

06-04-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADRF6820ACPZ-R7	-40°C至+85°C	40引脚引线框芯片级封装[LFCSP_WQ]	CP-40-7
ADRF6820-EVALZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释