

- 特性**
- 频率范围 (全球ISM频段)
 - 2400 MHz至2483.5 MHz
 - 可编程数据速率和调制
 - 兼容IEEE 802.15.4-2006 (250 kbps)
 - GFSK/FSK/GMSK/MSK调制
 - 数据速率: 50 kbps至2000 kbps
 - 低功耗
 - 接收模式: 19 mA (典型值)
 - 发射模式: 21.5 mA (典型值) ($P_o = 3 \text{ dBm}$)
 - 32 kHz晶振唤醒模式: 1.7 μA
 - 高灵敏度(IEEE 802.15.4-2006)
 - 95 dBm (250 kbps)
 - 高灵敏度(0.1% BER)
 - 96 dBm (62.5 kbps, GFSK)
 - 93 dBm (500 kbps, GFSK)
 - 90 dBm (1 Mbps, GFSK)
 - 87.5 dBm (2 Mbps, GFSK)
 - 可编程输出功率
 - 20 dBm至+4.8 dBm, 2 dB步长
 - 集成稳压器
 - 输入电压范围: 1.8 V至3.6 V
 - 出色的接收机选择性和抗阻塞能力
 - 零中频架构
 - 符合EN300 440 Class 2、EN300 328、FCC CFR47 Part 15、ARIB STD-T66标准
 - 数字RSSI测量
 - 快速自动VCO校准
 - 自动RF频率合成器带宽优化
- 片内低功耗处理器执行**
- 无线电控制
 - 数据包管理
 - 数据包管理支持
 - 前同步码/SWD/CRC/地址的插入和检测
 - IEEE 802.15.4-2006帧滤波
 - IEEE 802.15.4-2006 CSMA/CA非时隙模式
 - 灵活的256字节发射/接收数据缓冲器
 - IEEE 802.15.4-2006和GFSK/FSK SPORT模式
 - 快速建立自动频率控制
 - 灵活的多RF端口接口
 - 外部PA/LNA支持硬件
 - 支持开关天线分集
 - 唤醒定时器
 - 外部元件极少
 - 集成PLL环路滤波器、接收/发射开关、电池监控器、温度传感器、32 kHz RC和晶振
 - 支持块读取/写入操作的灵活SPI控制接口
 - 小尺寸封装: 5 mm x 5 mm 32引脚LFCSP
- 应用**
- 无线传感器网络
 - 自动抄表/智能计量
 - 工业无线控制
 - 医疗保健
 - 无线音频/视频
 - 消费类电子设备
 - ZigBee

功能框图

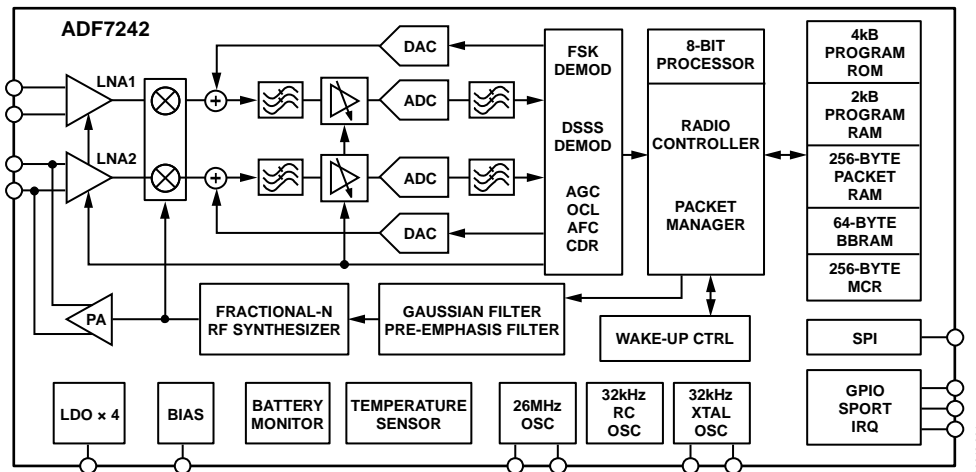


图1

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	IEEE 802.15.4-2006接收时序和控制	50
应用.....	1	空闲信道评估(CCA)	51
功能框图.....	1	链路质量指示(LQI)	52
修订历史.....	3	IEEE 802.15.4自动发射-接收周转模式.....	53
概述.....	4	IEEE 802.15.4帧滤波、自动应答和自动	
技术规格.....	6	CSMA/CA	53
通用规格.....	6	GFSK/FSK模式下的接收机.....	56
RF频率合成器规格.....	6	接收机无线电模块	61
发射机规格.....	7	SPORT接口	63
接收机规格.....	8	GFSK/FSK SPORT模式	63
辅助规格.....	11	IEEE 802.15.4-2006 SPORT模式	65
功耗规格.....	12	器件配置	66
时序和数字规格.....	13	IEEE 802.15.4和GFSK/FSK模式共同的配置值	67
时序图	15	GFSK/FSK数据包模式和SPORT模式的配置值	67
IEEE 802.15.4 TX SPORT模式时序图.....	18	IEEE 802.15.4-2006数据包模式和SPORT模式	
GFSK/FSK RX SPORT模式时序图.....	18	的配置值	68
绝对最大额定值.....	22	RF端口配置/天线分集.....	69
ESD警告.....	22	辅助功能.....	70
引脚配置和功能描述.....	23	温度传感器.....	70
典型工作特性.....	25	电池监控器.....	70
术语.....	34	唤醒控制器(WUC)	70
无线电控制器.....	35	发射测试模式	71
休眠模式.....	37	串行外设接口(SPI)	72
RF频率合成器.....	38	通用特性	72
RF频率合成器校准.....	38	命令访问.....	72
RF频率合成器带宽.....	38	状态字	72
RF通道频率编程.....	39	存储器映射.....	74
参考晶振.....	39	BBRAM.....	74
发射机.....	40	调制解调器配置RAM (MCR).....	74
发射工作模式	40	程序ROM.....	74
IEEE 802.15.4-2006模式下的发射机	40	程序RAM	74
IEEE 802.15.4自动接收-发射周转模式.....	43	包RAM.....	74
GFSK/FSK模式下的发射机.....	43	存储器访问.....	76
功率放大器.....	46	写入ADF7242.....	77
接收机.....	48	读取ADF7242.....	77
IEEE 802.15.4-2006模式下的接收机	48	可下载的固件模块	80
接收机校准.....	49	中断控制器.....	81

配置.....	81	寄存器映射.....	87
中断源描述.....	82	外形尺寸.....	105
应用电路.....	83	订购指南.....	105

修订历史

2010年7月—修订版0：初始版

概述

ADF7242是一款高度集成的低功耗、高性能收发器，在全球通用的2.4 GHz ISM频段工作。其设计注重灵活性、鲁棒性、易用性和低功耗特性。在数据包和数据流两种模式下，该IC均支持IEEE 802.15.4-2006 2.4 GHz PHY要求和专有GFSK/FSK/

GMSK/MSK调制方案。而且只需极少的外部元件，该器件就能达到下列标准：FCC CFR47 Part 15、ETSI EN 300 440（2类设备）、ETSI EN 300 328 (FHSS, DR > 250 kb/s)、ARIB STD T-66。

ADF7242符合IEEE 802.15.4-2006 2.4 GHz PHY要求，可提供250 kbps的固定数据速率和DSSS-OQPSK调制功能。该IC还支持GFSK/FSK/GMSK/MSK调制方案，可在50 kbps到2 Mbps的宽数据速率范围内工作，因此同样适合智能计量、工业控制、家庭和楼宇自动化、消费电子等领域的专有应用。此外，ADF7242的捷变频率合成器和较短的周转时间有利于FHSS系统的实现。

ADF7242的发射路径基于一个使用低噪声小数N分频RF频率合成器的直接闭环VCO调制方案。该VCO能够自动校准，工作频率是基频的两倍，因而可减少杂散发射并避免PA牵引效应。RF频率合成器的带宽自动针对发射和接收操作而优化，以实现最佳的相位噪声、调制质量和频率合成器建立时间性能。发射机输出功率可以在-20 dBm至+4 dBm范围内进行编程，且自动PA斜坡能力可满足瞬时杂散性能要求。该IC还集成一个偏置和控制电路，可大大简化与外部PA的接口。

接收路径基于零中频架构，提供非常高的抗阻塞和选择性能力，这对于2.4 GHz频段等存在严重干扰的环境至关重要。此外，该架构不受镜像通道中阻塞器抑制性能下降的影响，而这在低中频接收机中非常常见。在GFSK/FSK模式下，接收机具有一个高速自动频率控制(AFC)环路，允许频率合成器找到并校正接收包中的任何频率误差。

该IC采用1.8 V至3.6 V的电源电压工作，接收和发射模式下的功耗非常低，且RF性能极佳，特别适合电池供电系统。

ADF7242具有一个灵活的双端口RF接口，除了支持开关天线分集以外，该接口还能配合外部LNA和/或PA使用。

ADF7242集成了一个功耗极低的定制8位处理器，可支持许多收发器管理功能。这些功能由处理器的两个主要模块处理：无线电控制器和数据包管理器。

无线电控制器管理IC在各种工作模式和配置下的状态。主机MCU可以使用单字节命令与无线电控制器接口。数据包管理器高度灵活，支持各种包格式。在发射模式下，可以将数据包管理器配置为向片内包RAM中存储的有效载荷数据添加前同步码、同步字和CRC字。在接收模式下，数据包管理器可以在接收到有效同步或CRC字时检测和产生一个MCU中断，并将所接收的有效载荷数据存储在包RAM中。发射和接收包RAM空间共有256字节，用于从主机MCU处理速度中分离出无线数据速率。因此，ADF7242数据包管理器可以减轻主机MCU的处理负担，并降低整体系统功耗。

此外，对于要求数据流的应用，该器件通过同步双向串行端口(SPORT)提供Bit级的输入/输出数据，并且可以与多种DSP直接接口，如ADSP-21xx、SHARC®、TigerSHARC®、Blackfin®等。SPORT接口可用于GFSK/FSK和IEEE 802.15.4-2006模式。

处理器还允许下载和执行一组固件模块，其中包括IEEE 802.15.4自动模式（如节点地址过滤等）和非时隙CSMA/CA。ADI公司提供这些固件模块的执行代码。

为了进一步优化系统功耗，ADF7242集成了一个低功耗32 kHz RC唤醒振荡器，后者在收发器活动时，依据26 MHz晶振进行校准。对于要求高度精确唤醒定时的应用，也可以利用集成的32 kHz晶振作为唤醒定时器。该IC上有一个带备用电池的RAM (BBRAM)，当IC处于休眠状态时，该RAM可以保存IEEE 802.15.4-2006网络节点地址。

ADF7242还具有一个非常灵活的中断控制器，后者可以向主机MCU提供MAC级和PHY级中断。该IC配有一个SPI接口，支持突发模式数据传输，可实现高数据吞吐效率。该IC还集成了一个带数字回读功能的温度传感器和一个电池监控器。

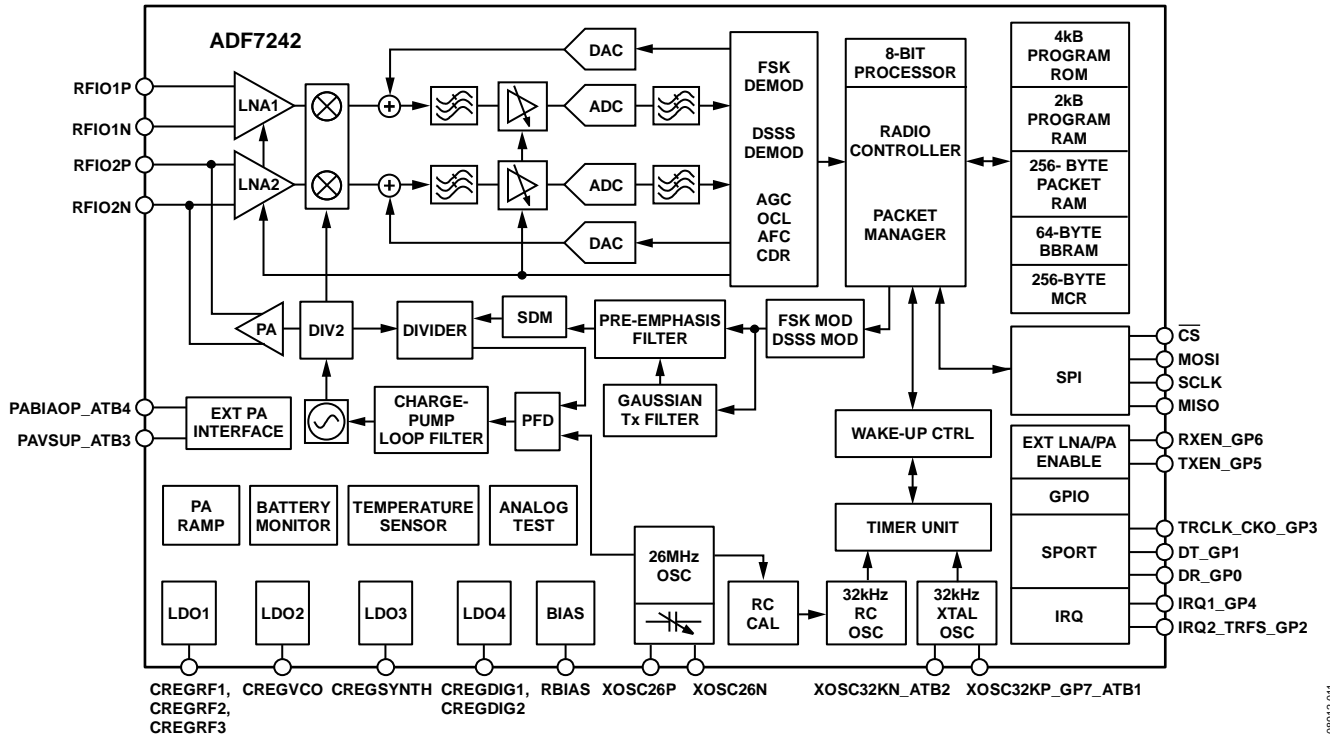


图2. 详细功能框图

08912-011

技术规格

除非另有说明，VDD_BAT = 1.8 V至3.6 V，GND = 0 V，TA = T_{MIN}至T_{MAX}。典型规格在VDD_BAT = 3.6 V、T_A = 25°C且f_{CHANNEL} = 2450 MHz条件下测得。除非另有说明，所有测量都是采用ADF7242参考设计RFIO2端口进行的。

通用规格

表1

参数	最小值	典型值	最大值	单位	测试条件
通用参数					
电源电压范围					
VDD_BAT输入	1.8		3.6	V	
频率范围	2400		2483.5	MHz	
工作温度范围	-40		+85	°C	
数据速率					
GFSK/FSK模式	50		2000	kbps	
IEEE 802.15.4-2006模式		250		kbps	
分辨率		100		bps	仅适用于FSK模式

RF频率合成器规格

表2

参数	最小值	典型值	最大值	单位	测试条件
通道频率分辨率		10		kHz	适用于GFSK/FSK模式
相位误差		3		度	接收模式；任意数据速率，IEEE 802.15.4-2006或GFSK/FSK模式；积分带宽从10 kHz到400 kHz
		1.5		度	发射模式；IEEE 802.15.4-2006，2 Mbps到290 kbps GFSK/FSK/GMSK/MSK模式；积分带宽从10 kHz到1800 kHz
		2		度	发射模式；289.9 kbps到184 kbps GFSK/FSK/GMSK/MSK模式；积分带宽从10 kHz到800 kHz
		2.5		度	发射模式；183.9 kbps到50 kbps GFSK/FSK/GMSK/MSK模式；积分带宽从10 kHz到500 kHz
VCO校准时间		52		μs	适用于所有模式
频率合成器建立时间		53		μs	经过VCO校准之后，频率合成器在此时间内建立到目标频率的±5 ppm以内 接收模式；任意数据速率，IEEE 802.15.4-2006或GFSK/FSK模式
		80		μs	发射模式；IEEE 802.15.4-2006，2 Mbps到289.6 kbps GFSK/FSK模式
		39		μs	发射模式；289.7 kbps到184 kbps GFSK/FSK模式
		35		μs	发射模式；183.9 kbps到50 kbps GFSK/FSK模式
相位噪声		-135		dBc/Hz	接收模式；任意数据速率，IEEE 802.15.4-2006或GFSK/FSK模式
		-145		dBc/Hz	10 MHz频率偏移 ≥50 MHz频率偏移
参考和时钟相关杂散		70		dBc	接收模式；IEEE 802.15.4-2006或GFSK/FSK模式； f _{CHANNEL} = 2405 MHz、2450 MHz和2480 MHz

参数	最小值	典型值	最大值	单位	测试条件
整数边界杂散	60			dBc	接收模式；IEEE 802.15.4-2006或GFSK/FSK模式；在 $f_{\text{CHANNEL}} = 2405 \text{ MHz}$ 、 2418 MHz 、 2431 MHz 、 2444 MHz 、 2457 MHz 、 2470 MHz ，且偏移为400 kHz下测量
晶振					
晶振频率	26			MHz	并行负载谐振晶体 保证0.2 ppm的最大晶振频率误差； XOSC26P和XOSC26N负载33 pF XOSC26N和XOSC26P负载15 pF
最大并行负载电容	18			pF	
最小并行负载电容	7			pF	
最大晶振ESR	365.3			Ω	
休眠到空闲唤醒时间	300			μs	

发射机规格

表3

参数	最小值	典型值	最大值	单位	测试条件	
发射机通用规格						
最大发射功率	3			dBm	有关如何使能此模式的详情， 请参见“功率放大器”部分	
最小发射功率	-25			dBm		
最大发射功率(高功率模式)	4.8			dBm		
最小发射功率(高功率模式)	-22			dBm		
发射功率波动	2			dB	发射功率 = 3 dBm, $f_{\text{CHANNEL}} = 2400 \text{ MHz}$ 至 2483.5 MHz , $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$, $VDD_BAT = 1.8 \text{ V}$ 至 3.6 V	
发射功率控制分辨率	2			dB		
最佳PA匹配阻抗	43.7 + 35.2j			Ω		
谐波和杂散发射						
符合ETSI EN 300 440标准						
25 MHz至30 MHz				-36	dBm	未调制载波, 10 kHz RBW1
30 MHz至1 GHz				-36	dBm	未调制载波, 100 kHz RBW1
47 MHz至74 MHz、87.5 MHz至 118 MHz、174 MHz至230 MHz、 470 MHz至862 MHz				-54	dBm	未调制载波, 100 kHz RBW1
高于1 GHz				-30	dBm	未调制载波, 1 MHz RBW1
符合ETSI EN 300 328标准						
1800 MHz至1900 MHz				-47	dBm	未调制载波
5150 MHz至5300 MHz				-97	dBm/Hz	
符合FCC CFR47, Part15						
4.5 GHz至5.15 GHz				-41	dBm	1 MHz RBW1
7.25 GHz至7.75 GHz				-41	dBm	1 MHz RBW1
发射路径IEEE 802.15.4-2006模式						
发射EVM	2			%	采用Rohde & Schwarz FSU矢量分析仪和Zigbee™ 选项测量	
发射EVM波动	1			%	$f_{\text{CHANNEL}} = 2405 \text{ MHz}$ 至 2480 MHz , $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$, $VDD_BAT = 1.8 \text{ V}$ 至 3.6 V	
发射PSD屏蔽	-56			dBm	RBW = 100 kHz; $ f - f_{\text{CHANNEL}} > 3.5 \text{ MHz}$	
发射20 dB带宽	2252			MHz		
发射路径GFSK/FSK模式						
频率偏差分辨率	10			kHz	高斯滤波器仅适用于2000 kbps、1000 kbps、 500 kbps、250 kbps、125 kbps和62.5 kbps	
高斯滤波器BT	0.5					

ADF7242

参数	最小值	典型值	最大值	单位	测试条件
发射调制相位误差	7			Degrees	2 Mbps ($f_{DEV} = \pm 500$ kHz) GFSK SPORT模式, 发射机输出功率 = 3 dBm
	6.5			Degrees	1 Mbps ($f_{DEV} = \pm 250$ kHz) GFSK SPORT模式, 发射机输出功率 = 3 dBm
	4.5			Degrees	500 kbps ($f_{DEV} = \pm 250$ kHz) GFSK SPORT模式, 发射机输出功率 = 3 dBm
	6			Degrees	250 kbps ($f_{DEV} = \pm 130$ kHz) GFSK SPORT模式, 发射机输出功率 = 3 dBm
	4			Degrees	125 kbps ($f_{DEV} = \pm 60$ kHz) FSK SPORT模式, 发射机输出功率 = 3 dBm
发射调制误差率(MER)	24			dB	2 Mbps GFSK SPORT模式, 发射机输出功率 = 3dBm; 以与±500 kHz频率偏差的标准差来表示
	24			dB	1 Mbps GFSK SPORT模式, 发射机输出功率 = 3 dBm; 以与±250 kHz频率偏差的标准差来表示
	24			dB	500 kbps GFSK SPORT模式, 发射机输出功率 = 3dBm; 以与±250 kHz频率偏差的标准差来表示
	24			dB	250 kbps GFSK SPORT模式, 发射机输出功率 = 3 dBm; 以与±130 kHz频率偏差的标准差来表示
	22			dB	125 kbps FSK SPORT模式, 发射机输出功率 = 3 dBm; 以与±60 kHz频率偏差的标准差来表示
发射20 dB带宽	2 Mbps GFSK SPORT模式	2520		kHz	2 Mbps ($f_{DEV} = \pm 500$ kHz) GFSK SPORT模式
	1 Mbps GFSK SPORT模式	1250		kHz	1 Mbps ($f_{DEV} = \pm 250$ kHz) GFSK SPORT模式
	500 kbps GFSK SPORT模式	985		kHz	500 kbps ($f_{DEV} = \pm 250$ kHz) GFSK SPORT模式
	250 kbps GFSK SPORT模式	520		kHz	250 kbps ($f_{DEV} = \pm 130$ kHz) GFSK SPORT模式
	125 kbps GFSK SPORT模式	302		kHz	125 kbps ($f_{DEV} = \pm 60$ kHz) FSK SPORT模式
	62.5 kbps FSK SPORT模式	226		kHz	62.5 kbps ($f_{DEV} = \pm 60$ kHz) FSK SPORT模式
发射邻道功率	±第一通道	-53.5		dBm	2 Mbps GFSK SPORT模式, 5 MHz通道间隔
	±第二通道	-54.5		dBm	2.2 MHz通道带宽, 发射输出功率 = 3 dBm
±第一通道	-27			dBm	250 kbps FSK SPORT模式, 300 kHz通道间隔
	±第二通道	-51.5		dBm	250 kHz通道带宽, 发射输出功率 = 3 dBm

¹ RBW = 分辨率带宽。

接收机规格

表4

参数	最小值	典型值	最大值	单位	测试条件
接收机通用规格 RF前端LNA和混频器IIP3	-13.6			dBm	最大增益, $f_{BLOCKER1} = 5$ MHz, $f_{BLOCKER2} = 10.1$ MHz, $P_{RF,IN} = -35$ dBm
	-12.6			dBm	最大增益, $f_{BLOCKER1} = 20$ MHz, $f_{BLOCKER2} = 40.1$ MHz, $P_{RF,IN} = -35$ dBm
	-10.5			dBm	最大增益, $f_{BLOCKER1} = 40$ MHz, $f_{BLOCKER2} = 80.1$ MHz, $P_{RF,IN} = -35$ dBm

参数	最小值	典型值	最大值	单位	测试条件
RF前端LNA和混频器IIP2		24.7		dBm	最大增益, $f_{\text{BLOCKER1}} = 5 \text{ MHz}$, $f_{\text{BLOCKER2}} = 5.5 \text{ MHz}$, $P_{\text{RF,IN}} = -50 \text{ dBm}$ 最大增益
RF前端LNA和混频器1 dB压缩点		-20.5		dBm	最大增益
RFIO2端口的接收机LO电平		-100		dBm	IEEE 802.15.4数据包模式
RFIO1端口的LNA输入阻抗		50.2 – 52.2j		Ω	RX状态下测量
RFIO2端口的LNA输入阻抗		74.3 – 10.7j		Ω	RX状态下测量
接收杂散发射 符合EN 300 440标准 30 MHz至1000 MHz			-57	dBm	
1 GHz至12.75 GHz			-47	dBm	
接收路径IEEE 802.15.4-2006模式 灵敏度($P_{\text{rf,in,min}}$, 802154)		-95		dBm	1% PER, PSDU长度为20字节, 依照IEEE 802.15.4-2006标准
饱和电平		-15		dBm	1% PER, PSDU长度为20字节
CW阻塞器抑制					
±5 MHz		55		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±10 MHz		60		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±20 MHz		63		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±30 MHz		64		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
调制阻塞器抑制					
±5 MHz		48		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±10 MHz		61		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±15 MHz		62.5		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±20 MHz		65		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
±30 MHz		65		dB	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$
同道抑制		-6		dB	$P_{\text{rf,IN}} = P_{\text{rf,IN,MIN}} + 10 \text{ dB}$ 调制阻塞器
带外阻塞器抑制					
-5 MHz		-34.2		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, 测量条件: $f_{\text{CHANNEL}} = 2405 \text{ MHz}$
-10 MHz		-30.7		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, 测量条件: $f_{\text{CHANNEL}} = 2405 \text{ MHz}$
-20 MHz		-29.7		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, 测量条件: $f_{\text{CHANNEL}} = 2405 \text{ MHz}$
-30 MHz		-25.7		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, 测量条件: $f_{\text{CHANNEL}} = 2405 \text{ MHz}$
-60 MHz		-24.2		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, 测量条件: $f_{\text{CHANNEL}} = 2405 \text{ MHz}$
+5 MHz		-33.4		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, $f_{\text{CHANNEL}} = 2480 \text{ MHz}$ 时测得
+10 MHz		-29.9		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, $f_{\text{CHANNEL}} = 2480 \text{ MHz}$ 时测得
+20 MHz		-28.2		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, $f_{\text{CHANNEL}} = 2480 \text{ MHz}$ 时测得
+30 MHz		-23.7		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, $f_{\text{CHANNEL}} = 2480 \text{ MHz}$ 时测得
+60 MHz		-29.9		dBm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}}, 802154 + 3 \text{ dB}$, $f_{\text{CHANNEL}} = 2480 \text{ MHz}$ 时测得
接收通道带宽		2252		kHz	双边带宽; 级联模拟和数字通道滤波
频率误差容差	-80		+80	ppm	$P_{\text{RF,IN}} = P_{\text{RF,IN,MIN}} + 3 \text{ dB}$

ADF7242

参数	最小值	典型值	最大值	单位	测试条件
RSSI					采用IEEE 802.15.4-2006数据包模式测量
动态范围		85		dB	
精度		±3		dB	
均值时间		128		µs	
最小灵敏度		-95		dBm	
接收路径GFSK模式					
灵敏度1% PER					
P _{RF,IN,MIN} 2 Mbps		-84.5		dBm	2000 kbps (f _{DEV} = ±500 kHz) GFSK数据包模式
P _{RF,IN,MIN} 1 Mbps		-87.5		dBm	1000 kbps (f _{DEV} = ±250 kHz) GFSK数据包模式
P _{RF,IN,MIN} 500 kbps		-92		dBm	500 kbps (f _{DEV} = ±250 kHz) GFSK数据包模式
P _{RF,IN,MIN} 250 kbps		-92		dBm	250 kbps (f _{DEV} = ±130 kHz) GFSK数据包模式
P _{RF,IN,MIN} 125 kbps		-94		dBm	125 kbps (f _{DEV} = ±60 kHz) FSK数据包模式
P _{RF,IN,MIN} 100 kbps		-95		dBm	100 kbps (f _{DEV} = ±30 kHz) FSK数据包模式
P _{RF,IN,MIN} 62.5 kbps		-96		dBm	62.5 kbps (f _{DEV} = ±60 kHz) FSK数据包模式
P _{RF,IN,MIN} 50 kbps		-96		dBm	50 kbps (f _{DEV} = ±30 kHz) FSK数据包模式
灵敏度0.1% BER					
P _{RF,IN,MIN} 2 Mbps		-87.5		dBm	2000 kbps (f _{DEV} = ±500 kHz) GFSK SPORT模式
P _{RF,IN,MIN} 1 Mbps		-90		dBm	1000 kbps (f _{DEV} = ±250 kHz) GFSK SPORT模式
P _{RF,IN,MIN} 500 kbps		-93		dBm	500 kbps (f _{DEV} = ±250 kHz) GFSK SPORT模式
P _{RF,IN,MIN} 250 kbps		-93		dBm	250 kbps (f _{DEV} = ±130 kHz) GFSK SPORT模式
P _{RF,IN,MIN} 125 kbps		-93		dBm	125 kbps (f _{DEV} = ±60 kHz) FSK SPORT模式
P _{RF,IN,MIN} 62.5 kbps		-96		dBm	62.5 kbps (f _{DEV} = ±60 kHz) FSK SPORT模式
P _{RF,IN,MIN} 50 kbps		-96		dBm	50 kbps (f _{DEV} = ±30 kHz) FSK SPORT模式
最小前同步码长度		11		Bytes	2000 kbps (f _{DEV} = ±500 kHz) GFSK数据包模式
		9		Bytes	1000 kbps (f _{DEV} = ±250 kHz) GFSK数据包模式
		7		Bytes	500 kbps (f _{DEV} = ±250 kHz) GFSK数据包模式
		7		Bytes	250 kbps (f _{DEV} = ±130 kHz) GFSK数据包模式
		7		Bytes	125 kbps (f _{DEV} = ±60 kHz) FSK数据包模式
		7		Bytes	100 kbps (f _{DEV} = ±30 kHz) FSK数据包模式
		6		Bytes	62.5 kbps (f _{DEV} = ±60 kHz) FSK数据包模式
		6		Bytes	50 kbps (f _{DEV} = ±30 kHz) FSK数据包模式
饱和电平		-15		dBm	所有GFSK/FSK模式、数据包和SPORT模式，1% PER和0.1% BER
CW阻塞抑制(2000 kbps (f _{DEV} = ±500 kHz) GFSK数据包模式)					P _{RF,IN} = P _{RF,IN,MIN} 2 Mbps + 3 dB
±5 MHz		51		dB	
±10 MHz		56		dB	
±20 MHz		56.5		dB	
±30 MHz		60.5		dB	
调制阻塞抑制(2000 kbps (f _{DEV} = ±500 kHz) GFSK数据包模式)					P _{RF,IN} = P _{RF,IN,MIN} , 2 Mbps + 3 dB
±5 MHz		48		dB	
±10 MHz		53		dB	
±20 MHz		58		dB	
±30 MHz		60		dB	
CW阻塞器抑制(125 kbps (f _{DEV} = ±60 kHz) FSK数据包模式)					P _{RF,IN} = P _{RF,IN,MIN} , 125 kbps + 3 dB
±2 MHz		54.5		dB	
±5 MHz		62		dB	
±12 MHz		64		dB	
±20 MHz		69		dB	
±32 MHz		70.5		dB	

参数	最小值	典型值	最大值	单位	测试条件
调制阻塞抑制 (2000 kbps ($f_{DEV} = \pm 500$ kHz) GFSK数据包模式)					$P_{RF,IN} = P_{RF,IN,MIN}$, 125 kbps + 3 dB
±2 MHz		52.5		dB	
±5 MHz		60		dB	
±12 MHz		64.5		dB	
±20 MHz		68.5		dB	
±32 MHz		71		dB	
同道抑制		-13		dB	2000 kbps ($f_{DEV} = \pm 500$ kHz) GFSK数据包模式,
		-9		dB	$P_{RF,IN} = P_{RF,IN,MIN}$ 2 Mbps + 10 dB, 调制阻塞器 250 kbps ($f_{DEV} = \pm 130$ kHz) GFSK数据包模式, $P_{RF,IN} = P_{RF,IN,MIN}$ 250 kbps + 10 dB, 调制阻塞器
接收通道带宽					
最小通道3 dB带宽					
模拟滤波器		1110		kHz	双边带宽
模拟和数字滤波器级联		520		kHz	双边带宽
最大通道3 dB带宽		2252		kHz	双边带宽
频率误差容差, 2000 kbps ($f_{DEV} = \pm 500$ kHz) GFSK数据包模式					
AFC关闭		±55		kHz	
AFC开启		±165		kHz	AFC捕捉范围 = ±80 kHz
频率误差容差, 500 kbps ($f_{DEV} = \pm 250$ kHz) FSK数据包模式					
AFC关闭		±90		kHz	
AFC开启		±190		kHz	AFC捕捉范围 = ±80 kHz
RSSI, 2000 kbps ($f_{DEV} = \pm 500$ kHz) GFSK模式					
精度		±3		dBm	
最小灵敏度, 数据包模式		-84.5		dBm	
最小灵敏度, SPORT模式		-87.5		dBm	无前同步码或SWD检测的SPORT模式
RSSI, 500 kbps ($f_{DEV} = \pm 250$ kHz) GFSK模式					
精度		±3		dBm	
最小灵敏度, 数据包模式		-92		dBm	
最小灵敏度, SPORT模式		-93		dBm	无前同步码或SWD检测的SPORT模式

辅助规格

表5.

参数	最小值	典型值	最大值	单位	测试条件
32 kHz RC振荡器					
频率		32.768		kHz	校准后
频率精度		1		%	25°C时校准后
频率漂移					
温度系数		0.14		%/°C	
电压系数		4		%/V	
校准时间		1		ms	
32 kHz晶振					
频率		32.768		kHz	
最大ESR		319.8		kΩ	XOSC32KP和XOSC32KN上连接10 pF的电容
启动时间		2000		ms	XOSC32KP和XOSC32KN上连接12.5 pF的负载电容
唤醒定时器					
预分频器节拍周期	0.0305		20,000	ms	
唤醒周期	61×10^{-6}		1.31×10^5	sec	

ADF7242

参数	最小值	典型值	最大值	单位	测试条件
温度传感器					
范围	-40		+85	°C	使用线性调整后的1000次ADC回读的平均值，在已知温度下校准
分辨率		4.7		°C	
精度		±6.4		°C	
电池监控器					
触发电压	1.7		3.6	V	
触发电压步长		62		mV	
启动时间		5		μs	
功耗		30		μA	
外部PA接口					
R _{ON} , PAVSUP_ATB3至VDD_BAT		5		Ω	extpa_bias_mode = 0、1、2、5、6
R _{OFF} , PAVSUP_ATB3至GND		10		MΩ	extpa_bias_mode = 3、4、掉电
R _{OFF} , PABIASOP_ATB4至GND		10		MΩ	extpa_bias_mode = 0、掉电
PABIASOP_ATB4源电流, 最大值		80		μA	extpa_bias_mode = 1、3
PABIASOP_ATB4吸电流, 最小值		-80		μA	extpa_bias_mode = 2、4
PABIASOP_ATB4电流控制分辨率		6		Bits	extpa_bias_mode = 1、2、3、4、5
PABIASOP_ATB4顺从电压		150		mV	extpa_bias_mode = 2、4
PABIASOP_ATB4顺从电压		3.45		V	extpa_bias_mode = 1、3
伺服环路偏置电流		22		mA	extpa_bias_mode = 5、6
伺服环路偏置电流控制步长		0.349		mA	extpa_bias_mode = 5、6

功耗规格

表6

参数	最小值	典型值	最大值	单位	测试条件
功耗					
TX模式功耗					
-20 dBm		16.5		mA	IEEE 802.15.4-2006连续包传输模式
-10 dBm		17.4		mA	IEEE 802.15.4-2006连续包传输模式
0 dBm		19.6		mA	IEEE 802.15.4-2006连续包传输模式
+3 dBm		21.5		mA	IEEE 802.15.4-2006连续包传输模式
+4 dBm		25		mA	IEEE 802.15.4-2006连续包传输模式
空闲模式		1.8		mA	XTO26M + 数字有效
PHY_RDY模式		10		mA	
RX模式功耗		19		mA	IEEE 802.15.4-2006数据包模式
MEAS状态		3		mA	
SLEEP_BBRAM		0.3		μA	保存BBRAM内容
SLEEP_BBRAM_RCO		1		μA	32 kHz RC振荡器运行，保存一些BBRAM内容，且已使能唤醒定时器
SLEEP_BBRAM_XTO		1.7		μA	32 kHz晶振运行，保存一些BBRAM内容，且已使能唤醒定时器

时序和数字规格

表7. 逻辑电平

参数	最小值	典型值	最大值	单位	测试条件
逻辑输入					
输入高电压 V_{INH}	$0.7 \times VDD_BAT$			V	
输入低电压 V_{INL}			$0.2 \times V_{DD}$	V	
输入电流 I_{INH}/I_{INL}		± 1		μA	
输入电容 C_{IN}		10		pF	
逻辑输出					
输出高电压 V_{OH}	$VDD_BAT - 0.4$			V	$I_{OH} = 500 \mu A$
输出低电压 V_{OL}			0.4	V	$I_{OL} = 500 \mu A$
输出上升/下降		5		ns	
输出负载		7		pF	

表8. GPIO

参数	最小值	典型值	最大值	单位	测试条件
GPIO输出					
输出驱动电平		5		mA	所有GPIO处于逻辑高电平状态
输出驱动电平		5		mA	所有GPIO处于逻辑低电平状态

表9. SPI接口时序

参数	最小值	典型值	最大值	单位	测试条件
t_1			15	ns	\overline{CS} 下降沿到MISO建立时间 (TRX有效)
t_2	40			ns	\overline{CS} 到SCLK建立时间
t_3	40			ns	SCLK高电平时间
t_4	40			ns	SCLK低电平时间
t_5	80			ns	SCLK周期
t_6		10		ns	SCLK下降沿到MISO延迟时间
t_7	5			ns	MOSI到SCLK上升沿建立时间
t_8	5			ns	MOSI到SCLK上升沿保持时间
t_9	40			ns	SCLK到 \overline{CS} 保持时间
t_{10}	10			ns	\overline{CS} 高电平到SCLK等待时间
t_{11}	270			ns	高电平时间
t_{12}		300	400	μs	\overline{CS} 低电平到MISO高电平唤醒时间, 带10 pF负载电容的26 MHz晶振, $T_A = 25^\circ C$
t_{13}			20	ns	SCLK上升时间
t_{14}			20	ns	SCLK下降时间
t_{15}, t_{16}	2			ms	执行RC_RESET或RC_SLEEP命令之后唤醒时的 \overline{CS} 高电平时间 (见图5和图70), 带10 pF负载的26 MHz晶振

ADF7242

表10. IEEE 802.15.4状态跃迁时序

参数	最小值	典型值	最大值	单位	测试条件
空闲到PHY_RDY状态		142		μs	
PHY_RDY到空闲状态		13.5		μs	
PHY_RDY或TX到RX状态(不同通道)		192		μs	执行VCO校准
PHY_RDY或RX到TX状态(不同通道)		192		μs	执行VCO校准
PHY_RDY或TX到RX状态(相同通道)		140		μs	跳过VCO校准
RX或PHY_RDY到TX状态(相同通道)		140		μs	跳过VCO校准
RX通道变化		192		μs	执行VCO校准
TX通道变化		192		μs	执行VCO校准
TX到PHY_RDY状态		23		μs	
PHY_RDY到CCA状态		192		μs	
CCA到PHY_RDY状态		14.5		μs	
RX到空闲状态		5.5		μs	
TX到空闲状态		30.5		μs	
空闲到MEAS状态		19		μs	
MEAS到空闲状态		6		μs	
CCA到空闲状态		14.5		μs	
RX到CCA状态		18		μs	
CCA到RX状态		205		μs	

表11. GFSK/FSK状态跃迁时序

参数	最小值	典型值	最大值	单位	测试条件
空闲到PHY_RDY状态		180		μs	
PHY_RDY到空闲状态		13.5		μs	
PHY_RDY或TX到RX状态(不同通道)	664			μs	执行VCO校准
PHY_RDY或RX到TX状态(不同通道)		192		μs	执行VCO校准
PHY_RDY或RX到TX状态(不同通道)		664		μs	执行VCO校准, mac_delay_ext ¹ = 472 μs
PHY_RDY或TX到RX状态(相同通道)		612		μs	跳过VCO校准
RX或PHY_RDY到TX状态(相同通道)		140		μs	跳过VCO校准
RX或PHY_RDY到TX状态(相同通道)		664		μs	执行VCO校准, mac_delay_ext ¹ = 472 μs
RX通道变化		664		μs	执行VCO校准
TX通道变化		192		μs	执行VCO校准
TX通道变化		664		μs	执行VCO校准, mac_delay_ext ¹ = 472 μs
TX到PHY_RDY状态		23		μs	
PHY_RDY到CCA状态		192		μs	
CCA到PHY_RDY状态		14.5		μs	
RX到空闲状态		18.5		μs	
TX到空闲状态		30.5		μs	
空闲到MEAS状态		19		μs	
MEAS到空闲状态		6		μs	
CCA到空闲状态		14.5		μs	
RX到CCA状态		18		μs	
CCA到RX状态		205		μs	

¹ mac_delay_ext设置适用于RX和TX状态。默认为0 μs。

表12. IEEE 802.15.4-2006 SPORT模式时序

参数	最小值	典型值	最大值	单位	测试条件/注释
t ₂₁	18			μs	SFD检测到TRCLK_CLKO_GP3（数据位时钟）有效延迟时间
t ₂₂		2		μs	TRCLK_CLKO_GP3位周期
t ₂₃	0.51			μs	DR_GP0到TRCLK_CLKO_GP3下降沿建立时间
t ₂₄		16		μs	TRCLK_CLKO_GP3符号突发周期

表13. MAC时序

参数	最小值	典型值	最大值	单位	测试条件/注释
t ₂₆		38		μs	从接收到帧到rx_pkt_rcvd中断产生的时间
t ₂₇			150	μs	从发出RC_TX命令到更新寄存器delaycfg2位mac_delay_ext (0x10B[7:0])的容许时间
t ₂₈			150	μs	从发出RC_TX命令到取消RC_TX命令的容许时间
t _{RX_MAC_DELAY}	664	192		μs	标准所定义的IEEE 802.15.4模式 状态跃迁时序所需的GFSK/FSK模式

表14. GFSK SPORT模式时序

参数	最小值	典型值	最大值	单位	测试条件/注释
t ₂₉			14	μs	RC_PHY_RDY到TRCLK_CLKO_GP3（数据时钟）关闭
t ₃₀	t _{SYM} /2 - 30			ns	DR_GP0到TRCLK_CLKO_GP3有效沿保持时间
t ₃₁	t _{SYM} /2 - 30			ns	DR_GP0到TRCLK_CLKO_GP3有效沿建立时间
t ₃₂		t _{SYM}			TRCLK_CLKO_GP3时钟周期
t ₃₃	20			ns	DT_GP1到TRCLK_CLKO_GP3采样沿建立时间
t ₃₄	20			ns	DT_GP1到TRCLK_CLKO_GP3采样沿保持时间
t ₃₅	1.3		6.2	μs	PA标称功率到TRCLK_CLKO_GP3活动/进入TX状态
t ₃₆			14	μs	RC_PHY_RDY到TRCLK_CLKO_GP3关闭
t ₃₇			10	μs	RC_PHY_RDY到PA关断
t ₃₈	t _{SYM} /2 - 60		t _{SYM} /2	ns	IRQ2_TRFS_GP2上升沿到TRCLK_CLKO_GP3有效沿延迟时间
t ₃₉	Sync_word_length × t _{SYM}			μs	DR_GP0活动到同步字结束的延迟时间
t ₄₀			5 × t _{SYM}	μs	同步字检测到IRQ2_TRFS_GP2高电平
t ₄₁	Sync_word_length × t _{SYM}			us	TRCLK_CLKO_GP3有效到有效数据
t ₄₂			105	μs	RC_RX命令到TRCLK_CLKO_GP3活动延迟时间（执行校准）

时序图

SPI接口时序图

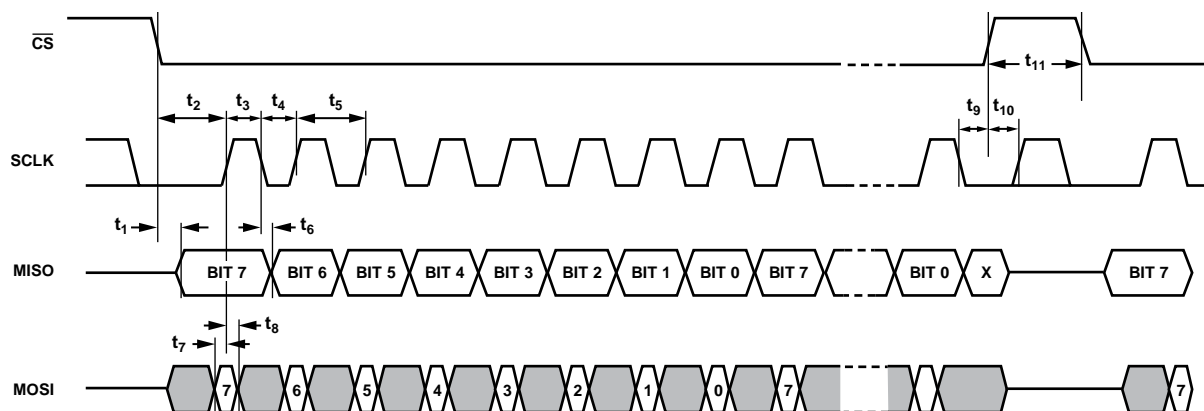


图3. SPI接口时序

更多说明和时序图参见“串行外设接口”部分。

ADF7242

休眠到空闲SPI时序

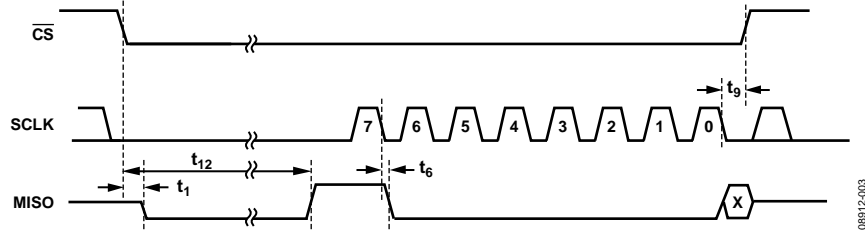


图4. 休眠到空闲状态时序

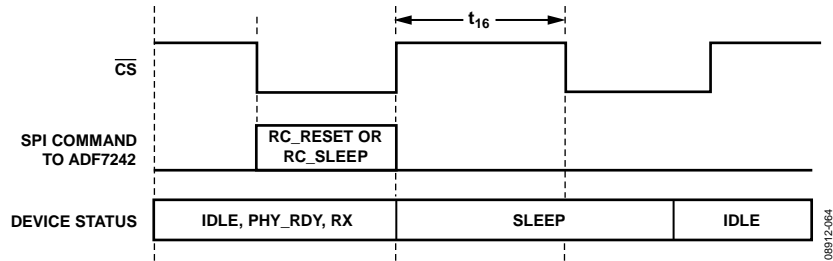


图5. 执行RC_RESET或RC_SLEEP命令后唤醒

MAC延迟时序图

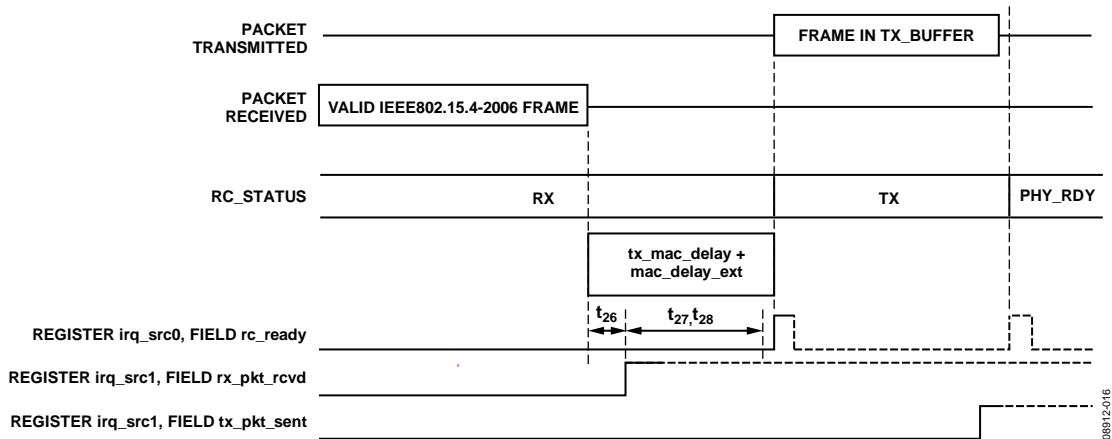


图6. IEEE 802.15.4 MAC时序

IEEE 802.15.4 RX SPORT模式时序图

表15. IEEE 802.15.4 RX SPORT模式配置

寄存器rc_cfg、域rc_mode (0x13E[7:0])	寄存器gp_cfg、域gpio_config (0x32C[7:0])	功能
2	1	位时钟和数据可用 (见图7)
0	7	符号时钟和数据可用 (见图8)

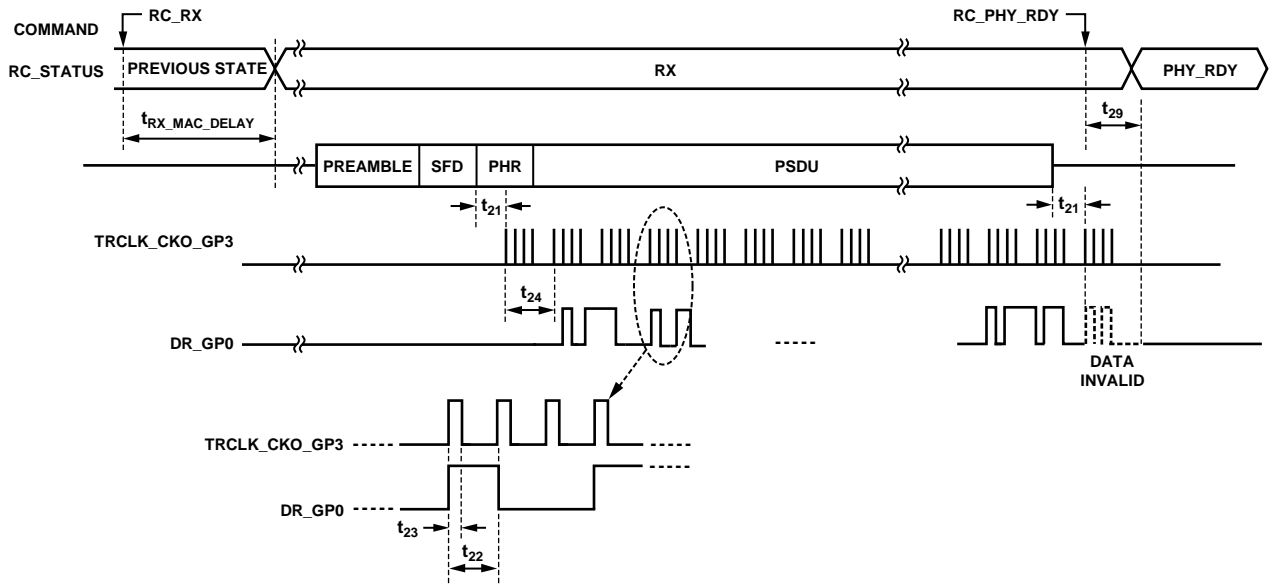
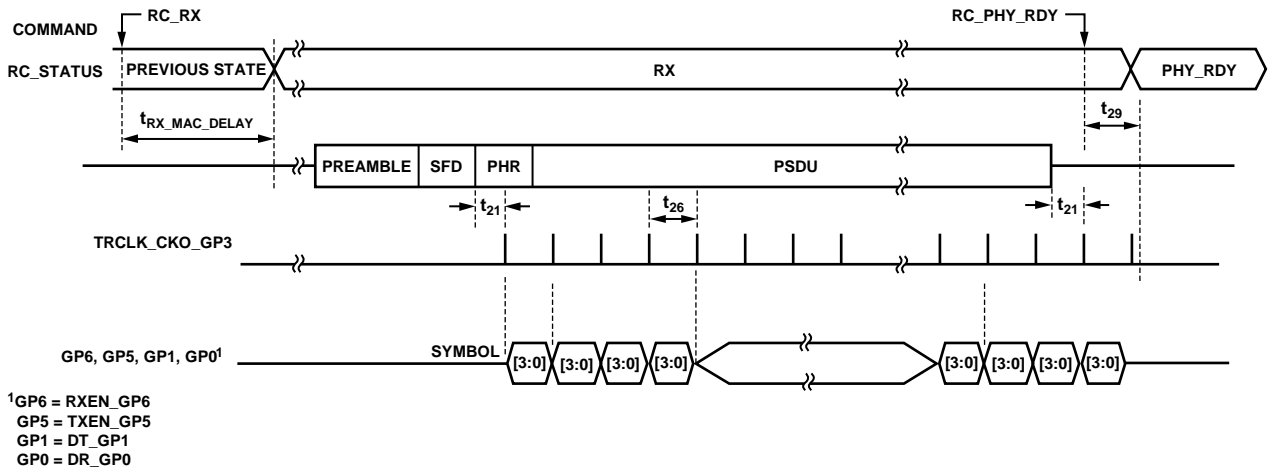


图7. IEEE 802.15.4 RX SPORT模式：位时钟和数据可用



¹GP6 = RXEN_GP6
 GP5 = TXEN_GP5
 GP1 = DT_GP1
 GP0 = DR_GP0

图8. IEEE 802.15.4 RX SPORT模式：符号时钟输出

IEEE 802.15.4 TX SPORT模式时序图

表16. IEEE 802.15.4 TX SPORT模式配置

寄存器rc_cfg、域rc_mode (0x13E[7:0])	寄存器gp_cfg、域gpio_config (0x32C[7:0])	功能
3	1 或 4	PA斜升后传输开始 (见图9) gpio_config = 1: 数据在时钟的上升沿逐个输入 gpio_config = 4: 数据在时钟的下降沿逐个输入

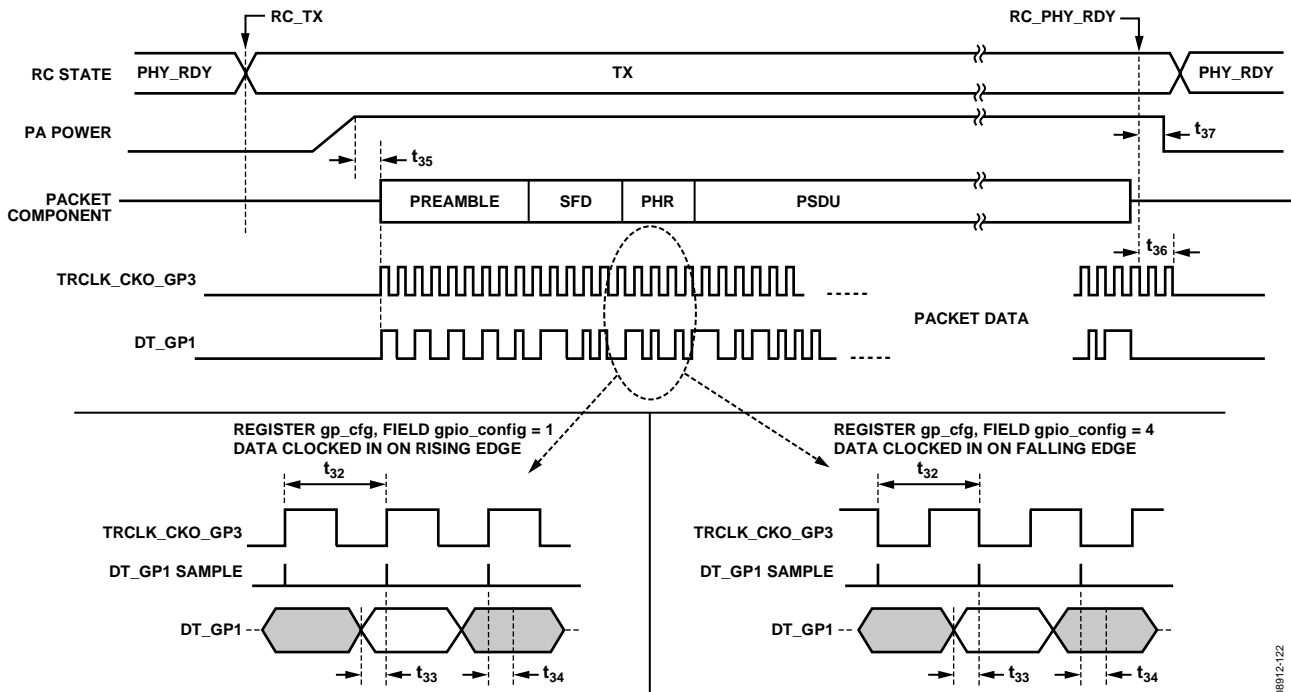


图9. IEEE 802.15.4-2006 TX SPORT模式

详情参见“SPORT接口”部分。

GFSK/FSK RX SPORT模式时序图

表17. GFSK/FSK RX SPORT模式配置

寄存器rc_cfg、域rc_mode (0x13E[7:0])	寄存器gp_cfg、域gpio_config (0x32C[7:0])	功能
3	1 或 4	TRCLK和数据引脚在RX下有效, 不通过帧检测选通 (见图10) gpio_config = 1: 数据在下降沿/上升沿逐个输出 gpio_config = 4: 数据在上升沿/下降沿逐个输出
3	2 或 5	TRCLK和数据引脚活动由前同步码检测选通 (见图11) gpio_config = 2: 数据在下降沿/上升沿逐个输出 gpio_config = 5: 数据在上升沿/下降沿逐个输出
3	3 或 6	TRCLK和数据引脚活动由同步字检测选通 (见图12) gpio_config = 3: 数据在下降沿/上升沿逐个输出 gpio_config = 6: 数据在上升沿/下降沿逐个输出

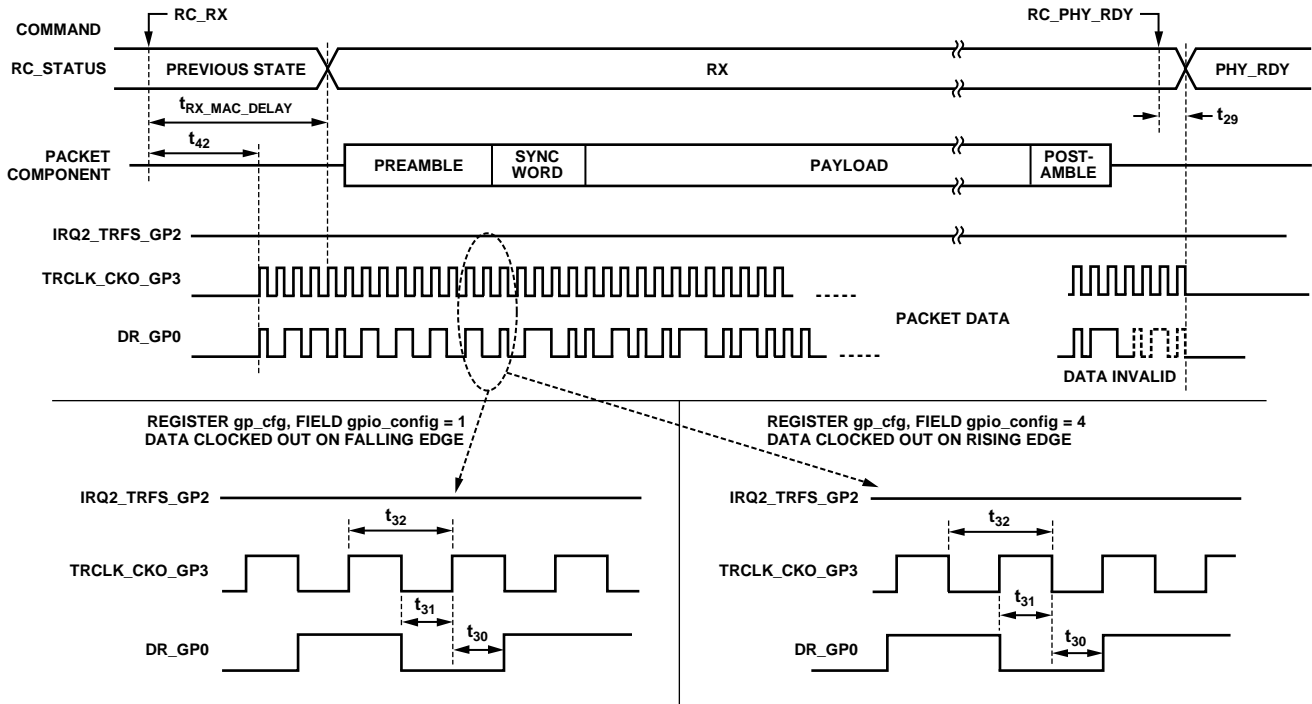


图10. GFSK/FSK RX SPORT模式：CLK和数据引脚在RX下有效，不通过帧检测选通

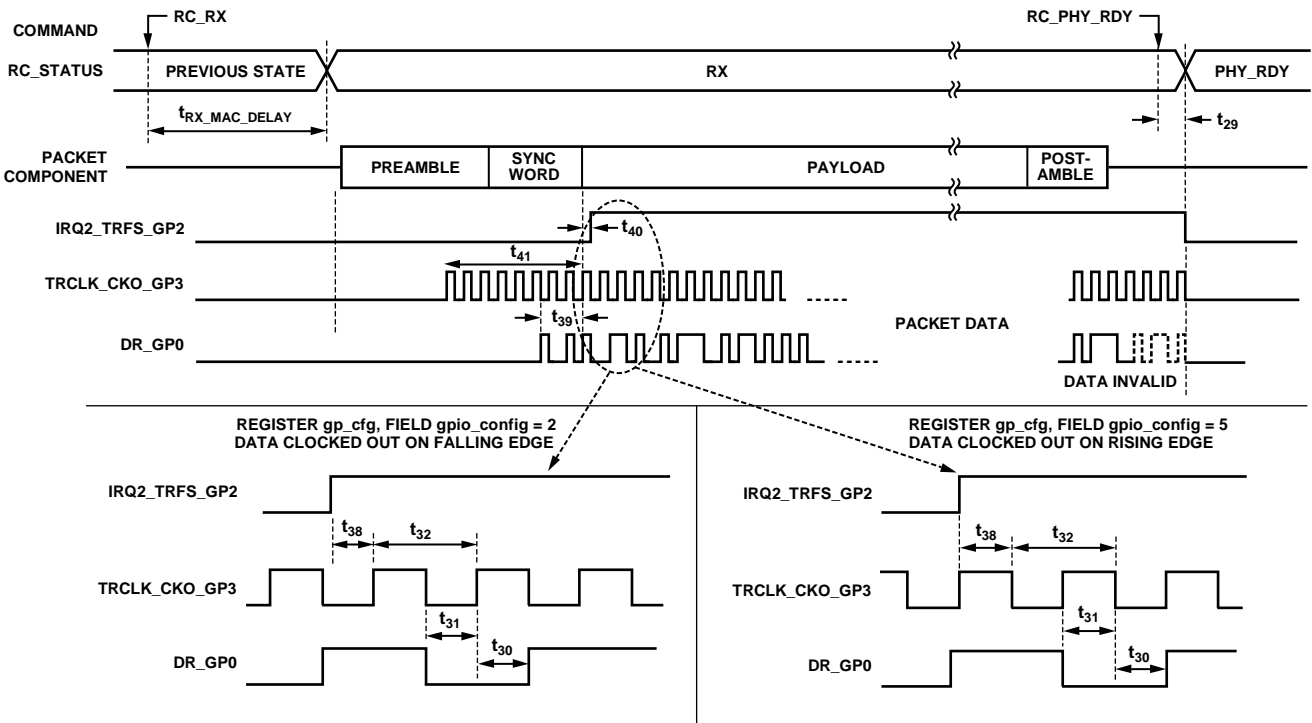


图11. GFSK/FSK RX SPORT模式：SCLK和数据引脚活动由前同步码检测选通

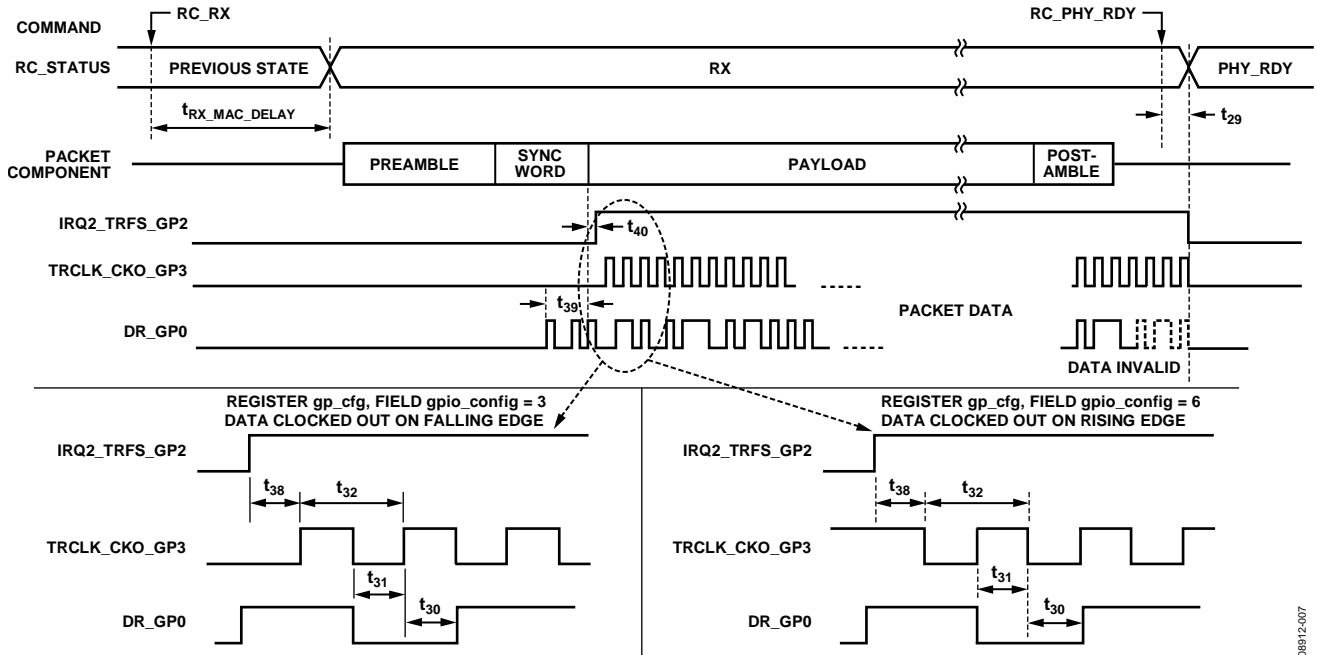


图12. GFSK/FSK RX SPORT模式：SCLK和数据引脚活动由同步字检测选通

08912-007

GFSK/FSK TX SPORT模式时序图

表18. GFSK/FSK TX SPORT模式配置

寄存器rc_cfg、域rc_mode (0x13E[7:0])	R寄存器gp_cfg、域gpio_config (0x32C[7:0])	功能
3	1 或 4	PA斜升后传输开始（见图13） gpio_config = 1：数据在时钟的上升沿逐个输入 gpio_config = 4：数据在时钟的下降沿逐个输入

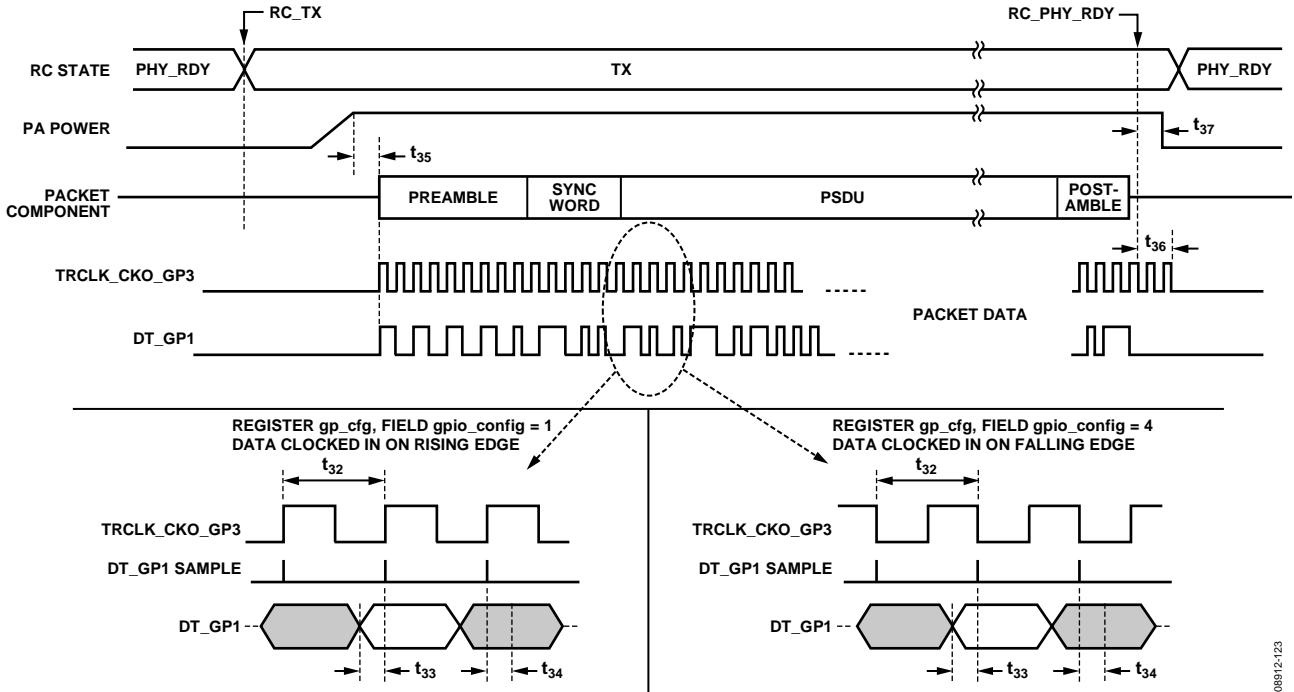


图13. GFSK/FSK TX SPORT模式

详情参见“SPORT接口”部分。

08912-123

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表19

参数	额定值
VDD_BAT至GND	-0.3 V至+3.9 V
工作温度范围	
工业级	-40°C至+85°C
存储温度范围	-65°C至+125°C
最高结温	150°C
LFCSP封装 θ_{JA} 热阻	26°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40秒

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

LFCSP封装的底部焊盘应连接到地。

本器件为高性能RF集成电路，ESD额定值小于2 kV，对ESD（静电放电）敏感。搬运和装配时应采取适当的防范措施。

ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

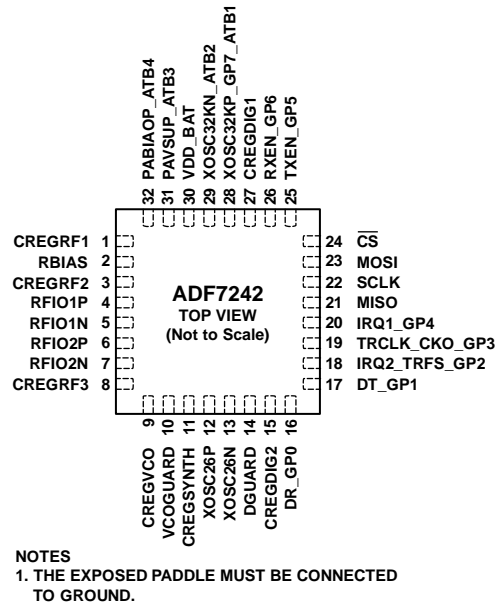


图14. 引脚配置

表20. 引脚功能描述

引脚编号	引脚名称	描述
1	CREGRF1	RF部分的调节电源终端。 应将一个220 nF去耦电容连接在此引脚与GND之间。
2	RBIAS	27 kΩ偏置电阻到地。
3	CREGRF2	RF部分的调节电源。应连接一个100 pF去耦电容到地。
4	RFIO1P	差分RF输入端口1（正极）。需要一个10 nF去耦电容。
5	RFIO1N	差分RF输入端口1（负极）。需要一个10 nF去耦电容。
6	RFIO2P	差分RF输入/输出端口2（正极）。需要一个10 nF去耦电容。
7	RFIO2N	差分RF输入/输出端口2（负极）。需要一个10 nF去耦电容。
8	CREGRF3	RF部分的调节电源。应将一个100 pF去耦电容连接在此引脚与GND之间。
9	CREGVCO	VCO部分的调节电源。应将一个220 nF去耦电容连接在此引脚与GND之间。
10	VCOGUARD	VCO部分的防护沟道。连接到引脚9 (CREGVCO)。
11	CREGSYNTH	PLL部分的调节电源。应将一个220 nF去耦电容连接在此引脚与GND之间。
12	XOSC26P	外部晶振和负载电容的终端1。使用外部振荡器时，此引脚不连接(NC)。
13	XOSC26N	外部晶振和负载电容的终端2。外部振荡器的输入端。
14	DGUARD	数字部分的防护沟道。连接到引脚15 (CREGDIG2)。
15	CREGDIG2	数字部分的调节电源。应连接一个220 nF去耦电容到地。
16	DR_GP0	SPORT接收数据输出/通用IO端口。
17	DT_GP1	SPORT发射数据输入/通用IO端口。
18	IRQ2_TRFS_GP2	中断请求输出2/符号时钟IEEE 802.15.4-2006模式/通用IO端口。
19	TRCLK_CKO_GP3	SPORT时钟输出/通用IO端口。
20	IRQ1_GP4	中断请求输出1/通用IO端口。
21	MISO	SPI接口串行数据输出。
22	SCLK	SPI接口数据时钟输入。
23	MOSI	SPI接口串行数据输入。
24	\overline{CS}	SPI接口片选输入（和唤醒信号）。
25	TXEN_GP5	外部PA使能信号/通用IO端口。
26	RXEN_GP6	外部LNA使能信号/通用IO端口。
27	CREGDIG1	数字部分的调节电源。应将一个1 nF去耦电容连接在此引脚与地之间。
28	XOSC32KP_GP7_ATB1	32 kHz晶振的终端1/通用IO端口/模拟测试总线1。

ADF7242

引脚编号	引脚名称	描述
29	XOSC32KN_ATB2	32 kHz晶振的终端2/模拟测试总线2。
30	VDD_BAT	来自电池的未调节电源输入。
31	PAVSUP_ATB3	外部PA电源终端/模拟测试总线3。
32	PABIAOP_ATB4	外部PA偏置电压输出/模拟测试总线4。
33 (EPAD)	GND	公共地终端。底部焊盘必须连接到地。

典型工作特性

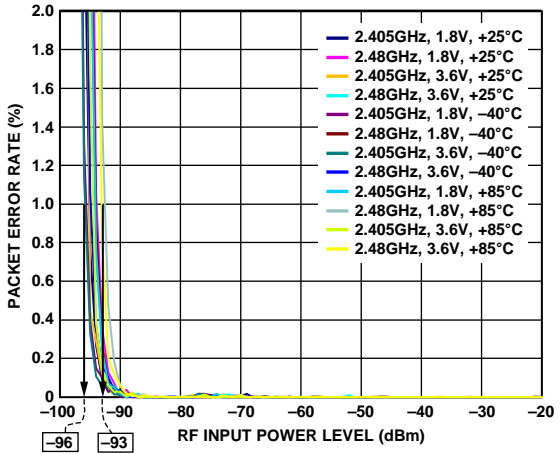


图15. IEEE 802.15.4-2006数据包模式灵敏度与温度和VDD_BAT的关系，
 $f_{\text{CHANNEL}} = 2.405 \text{ GHz}, 2.45 \text{ GHz}, 2.48 \text{ GHz}, \text{RFIO2}$

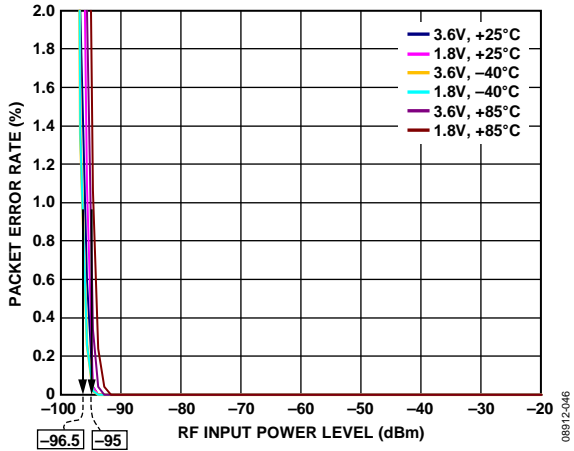


图16. IEEE 802.15.4-2006数据包模式PER与RF输入功率水平、温度和VDD_BAT的关系，
 $f_{\text{CHANNEL}} = 2.45 \text{ GHz}, \text{RFIO2}$

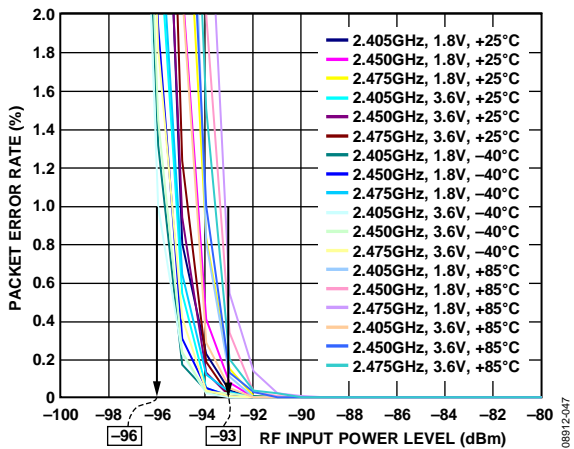


图17. IEEE 802.15.4数据包模式灵敏度与温度和VDD_BAT的关系，
 $f_{\text{CHANNEL}} = 2.405 \text{ GHz}, 2.45 \text{ GHz}, 2.475 \text{ GHz}, \text{RFIO1}$

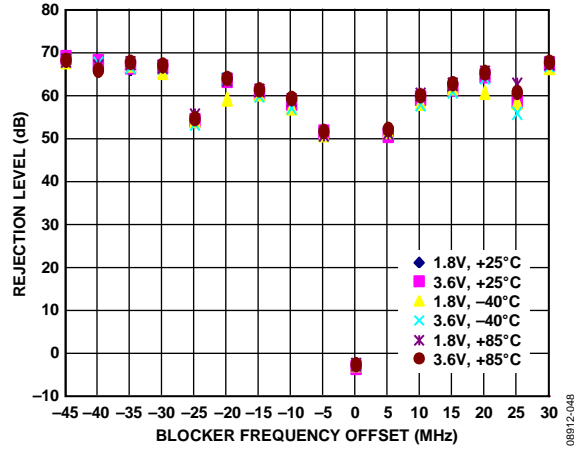


图18. IEEE 802.15.4-2006数据包模式阻塞器抑制与温度和VDD_BAT的关系，调制阻塞器，
 $P_{\text{WANTED}} = -85 \text{ dBm} + 3 \text{ dB}, f_{\text{CHANNEL}} = 2.45 \text{ GHz}, \text{RFIO2}$

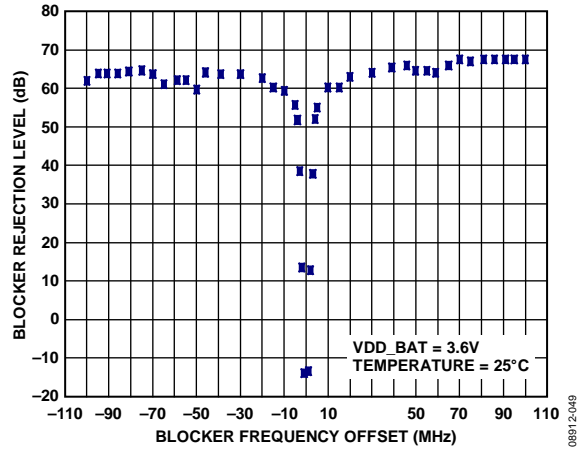


图19. IEEE 802.15.4-2006数据包模式宽带阻塞器抑制，CW阻塞器，
 $P_{\text{WANTED}} = -95 \text{ dBm} + 3 \text{ dB}, f_{\text{CHANNEL}} = 2.45 \text{ GHz}, \text{RFIO2}$

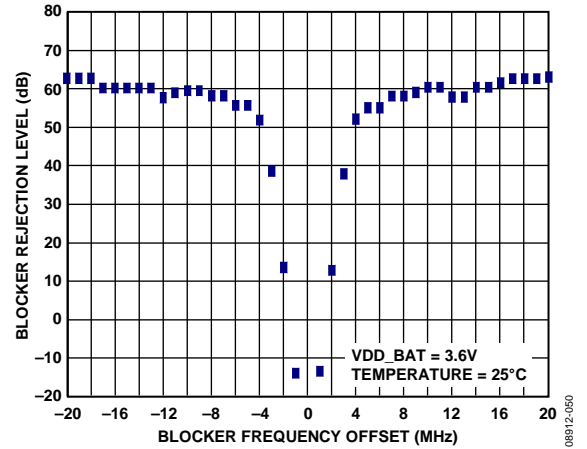


图20. IEEE 802.15.4数据包模式窄带阻塞器抑制，CW阻塞器，
 $P_{\text{WANTED}} = -95 \text{ dBm} + 3 \text{ dB}, f_{\text{CHANNEL}} = 2.45 \text{ GHz}, \text{RFIO2}$

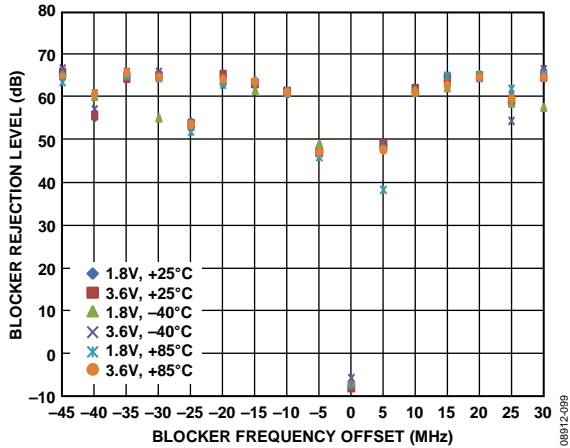


图21. IEEE 802.15.4数据包模式宽带阻塞器抑制与温度和VDD_BAT的关系, 调制阻塞器,
 $P_{WANTED} = -95 \text{ dBm} + 3 \text{ dB}$, $f_{CHANNEL} = 2.45 \text{ GHz}$, RFIO2

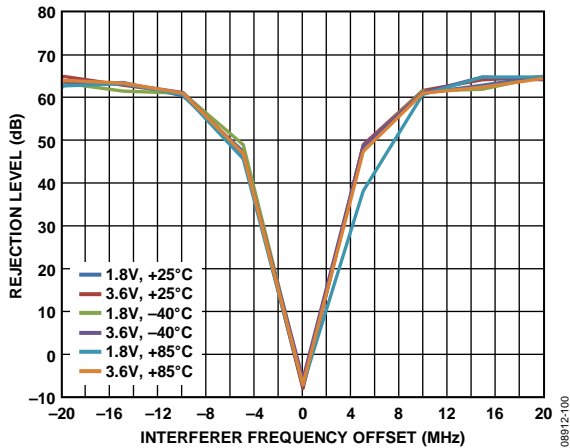


图22. IEEE 802.15.4数据包模式窄带阻塞器抑制与温度和VDD_BAT的关系, 调制阻塞器,
 $P_{WANTED} = -95 \text{ dBm} + 3 \text{ dB}$, $f_{CHANNEL} = 2.45 \text{ GHz}$, RFIO2

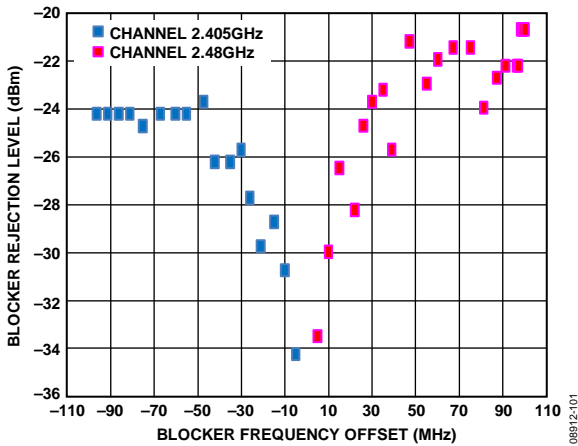


图23. IEEE 802.15.4数据包模式带外阻塞器抑制, CW阻塞器,
 $P_{WANTED} = -95 \text{ dBm} + 3 \text{ dB}$, $f_{CHANNEL} = 2.405 \text{ GHz}$ 和 2.48 GHz ,
 RFIO2, VDD_BAT = 3.6 V, 温度 = 25°C

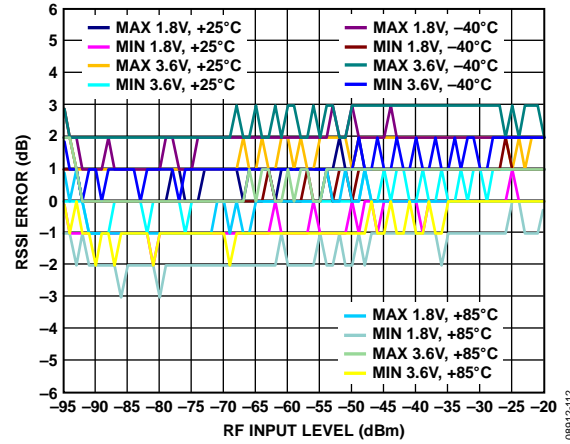


图24. IEEE 802.15.4数据包模式RSSI误差与RF输入功率水平、温度和VDD_BAT的关系, $f_{CHANNEL} = 2.45 \text{ GHz}$, RFIO2

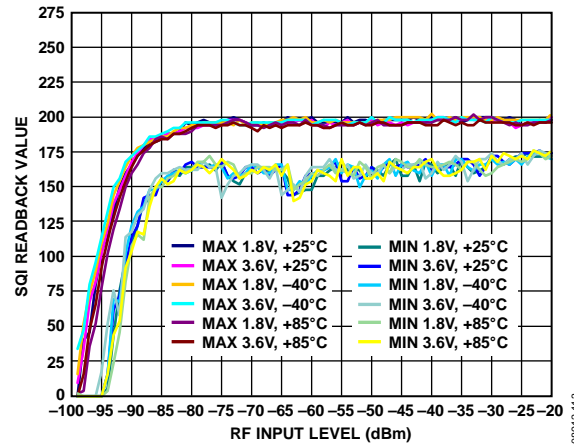


图25. IEEE 802.15.4数据包模式SQI与RF输入功率水平、温度和VDD_BAT的关系, $f_{CHANNEL} = 2.45 \text{ GHz}$, RFIO2

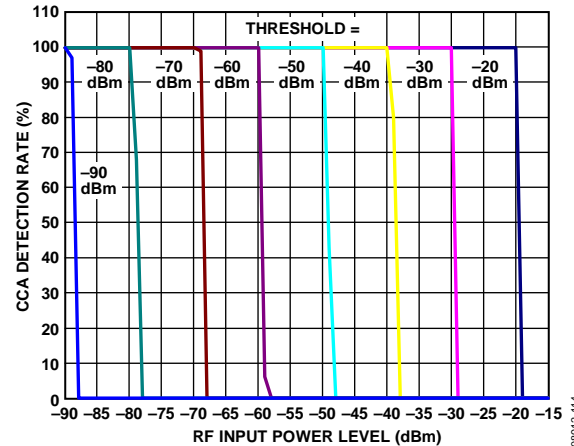


图26. IEEE 802.15.4-2006 CCA操作与RSSI阈值的关系,
 $f_{CHANNEL} = 2.45 \text{ GHz}$, VDD_BAT = 3.6 V, 温度 = 25°C, RFIO2端口

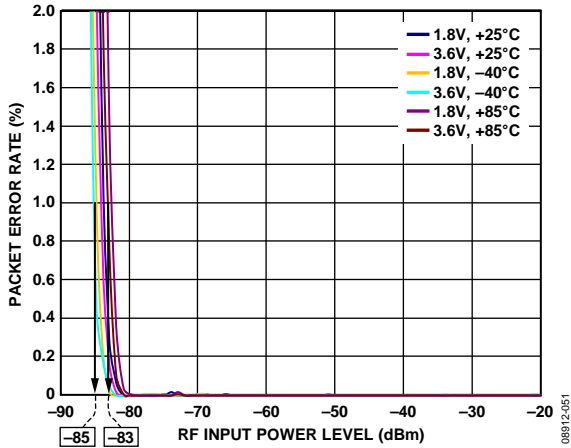


图27. PER与RF输入功率水平、温度和VDD_BAT的关系，2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式， $f_{CHANNEL} = 2.45$ GHz，RFIO2

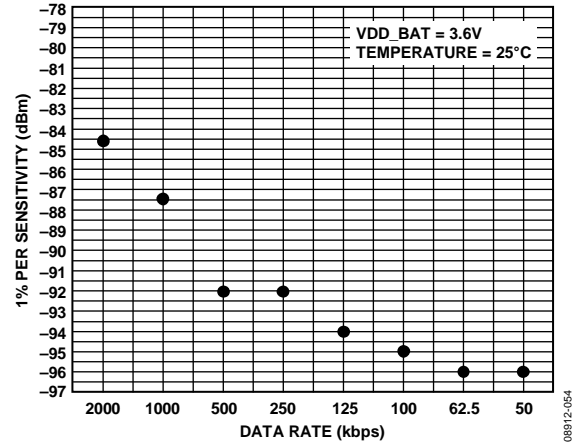


图30. 1% PER灵敏度与数据速率的关系， $f_{CHANNEL} = 2.45$ GHz，RFIO2

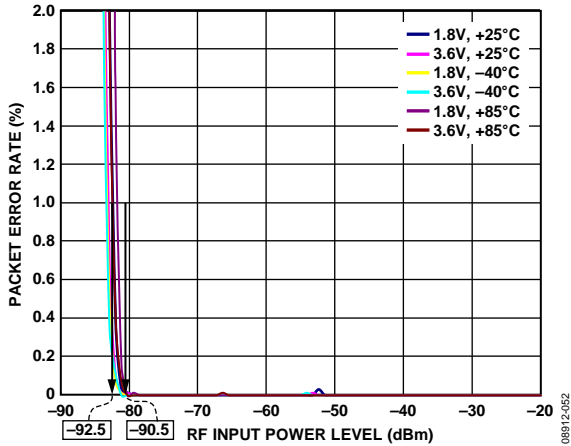


图28. PER与RF输入功率水平、温度和VDD_BAT的关系，500 kbps GFSK ($f_{DEV} = \pm 250$ kHz)模式， $f_{CHANNEL} = 2.45$ GHz，RFIO2

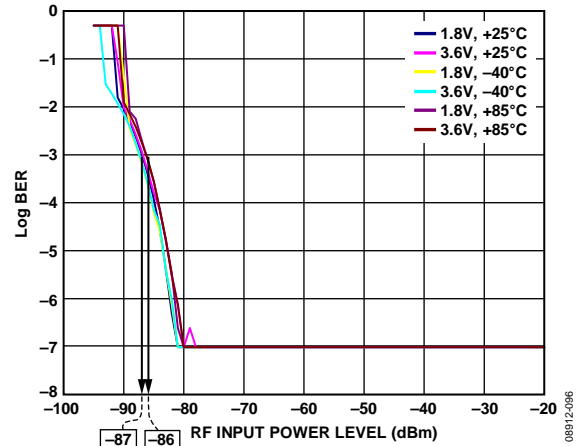


图31. BER与RF输入功率水平、温度和VDD_BAT的关系，2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式， $f_{CHANNEL} = 2.45$ GHz，RFIO2

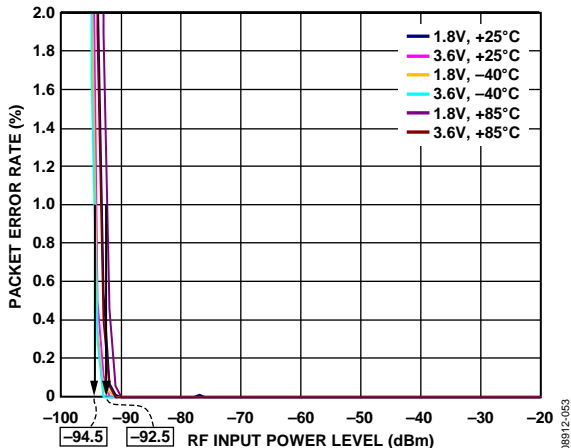


图29. PER与RF输入功率水平、温度和VDD_BAT的关系，125 kbps FSK ($f_{DEV} = \pm 60$ kHz)模式， $f_{CHANNEL} = 2.45$ GHz，RFIO2

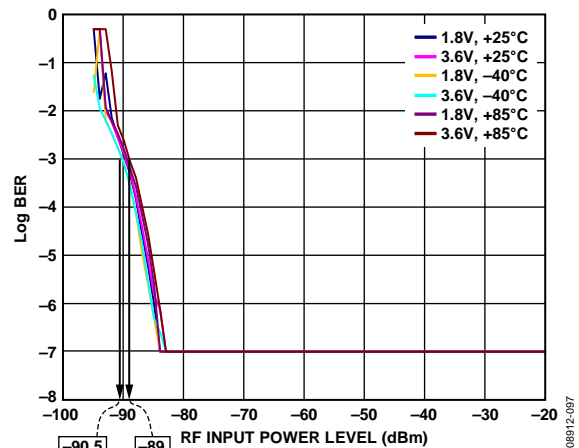


图32. BER与RF输入功率水平、温度和VDD_BAT的关系，1 Mbps GFSK ($f_{DEV} = \pm 250$ kHz)模式， $f_{CHANNEL} = 2.45$ GHz，RFIO2

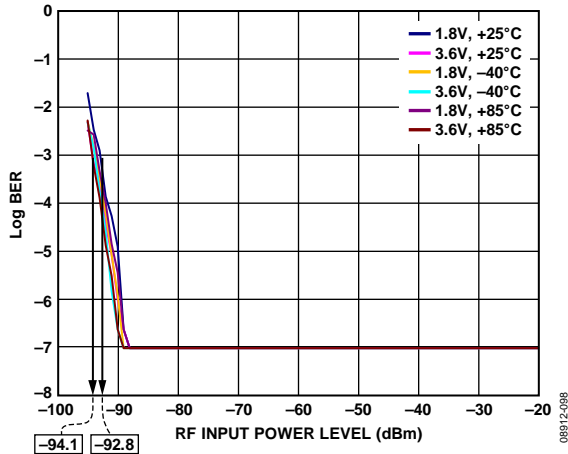


图33. BER与RF输入功率水平、温度和VDD_BAT的关系，500 kbps GFSK ($f_{DEV} = \pm 250$ kHz)模式， $f_{CHANNEL} = 2.45$ GHz，RFIO2

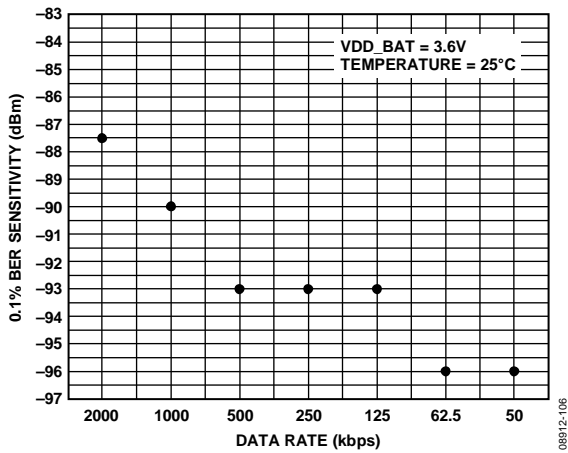


图34. 0.1% BER灵敏度与数据速率的关系， $f_{CHANNEL} = 2.45$ GHz，RFIO2

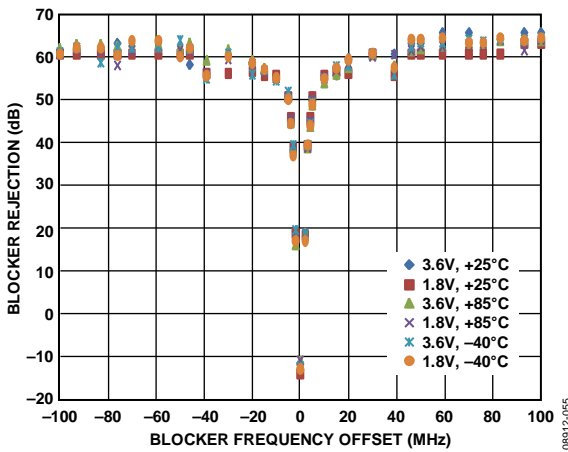


图35. 宽带阻塞器抑制与温度和VDD_BAT的关系，CW阻塞器，2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)数据包模式， $P_{WANTED} = -85$ dBm + 3 dB， $f_{CHANNEL} = 2.45$ GHz，RFIO2

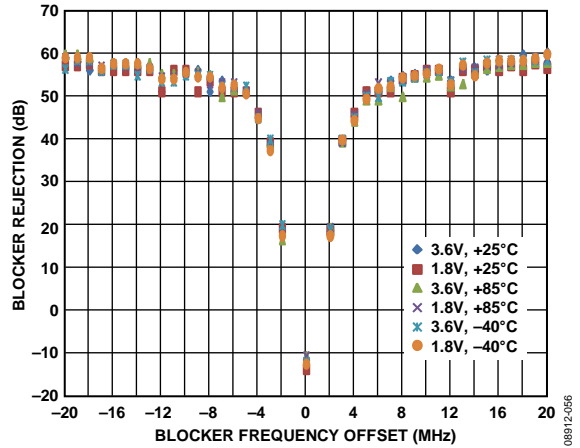


图36. 窄带阻塞器抑制与温度和VDD_BAT的关系，CW阻塞器，2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)数据包模式， $P_{WANTED} = -85$ dBm + 3 dB， $f_{CHANNEL} = 2.45$ GHz，RFIO2

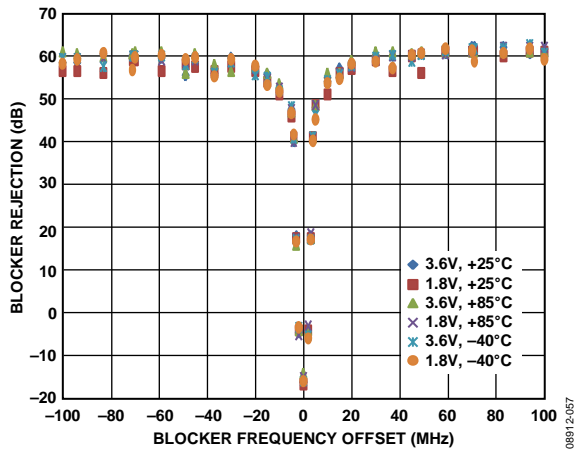


图37. 宽带阻塞器抑制与温度和VDD_BAT的关系，调制阻塞器，2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)数据包模式， $P_{WANTED} = -85$ dBm + 3 dB， $f_{CHANNEL} = 2.45$ GHz，RFIO2

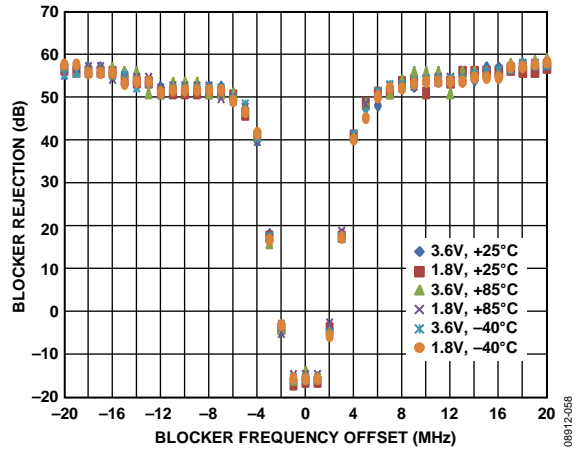


图38. 窄带阻塞器抑制与温度和VDD_BAT的关系，调制阻塞器，2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)数据包模式， $P_{WANTED} = -85$ dBm + 3 dB， $f_{CHANNEL} = 2.45$ GHz，RFIO2

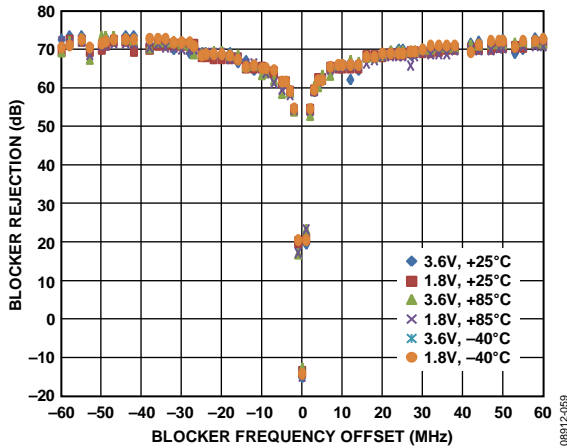


图39. 宽带阻塞器抑制与温度和VDD_BAT的关系, CW阻塞器, 125 kbps FSK ($f_{DEV} = \pm 500$ kHz)数据包模式, $P_{WANTED} = -94$ dBm + 3 dB, $f_{CHANNEL} = 2.45$ GHz, RFIO2

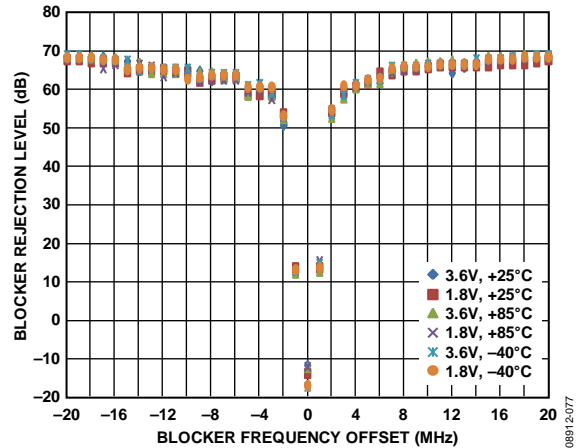


图42. 窄带阻塞器抑制与温度和VDD_BAT的关系, 调制阻塞器, 125 kbps FSK ($f_{DEV} = \pm 60$ kHz)数据包模式, $P_{WANTED} = -94$ dBm + 3 dB, $f_{CHANNEL} = 2.45$ GHz, RFIO2

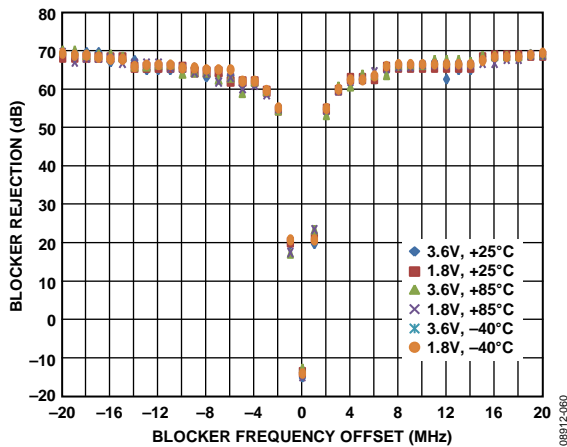


图40. 窄带阻塞器抑制与温度和VDD_BAT的关系, CW阻塞器, 125 kbps FSK ($f_{DEV} = \pm 60$ kHz)数据包模式, $P_{WANTED} = -94$ dBm + 3 dB, $f_{CHANNEL} = 2.45$ GHz, RFIO2

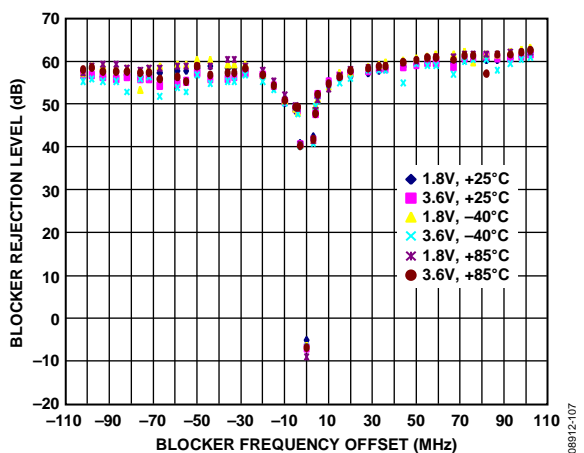


图43. 宽带阻塞器抑制与温度和VDD_BAT的关系, CW阻塞器, 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz) SPORT模式, $P_{WANTED} = -87.5$ dBm + 3 dB, $f_{CHANNEL} = 2.45$ GHz, RFIO2

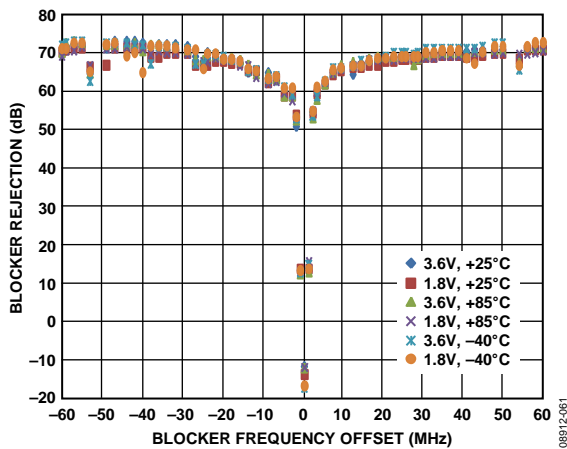


图41. 宽带阻塞器抑制与温度和VDD_BAT的关系, 调制阻塞器, 125 kbps FSK ($f_{DEV} = \pm 60$ kHz)数据包模式, $P_{WANTED} = -94$ dBm + 3 dB, $f_{CHANNEL} = 2.45$ GHz, RFIO2

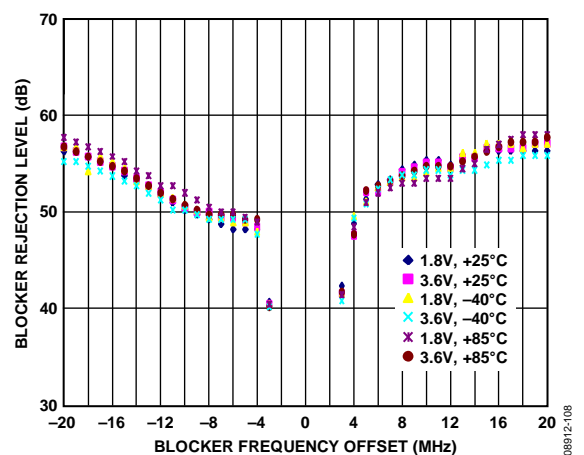


图44. 窄带阻塞器抑制与温度和VDD_BAT的关系, CW阻塞器, 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz) SPORT模式, $P_{WANTED} = -87.5$ dBm + 3 dB, $f_{CHANNEL} = 2.45$ GHz, RFIO2

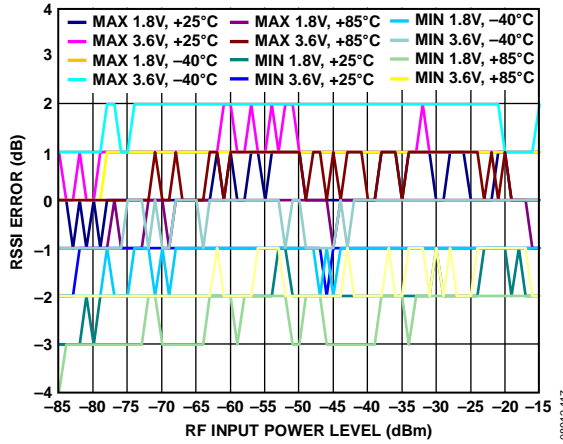


图45. 1000个包的最小和最大RSSI误差与RF输入功率水平、温度和VDD_BAT的关系, 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)数据包模式, $f_{CHANNEL} = 2.45$ GHz, RFIO2

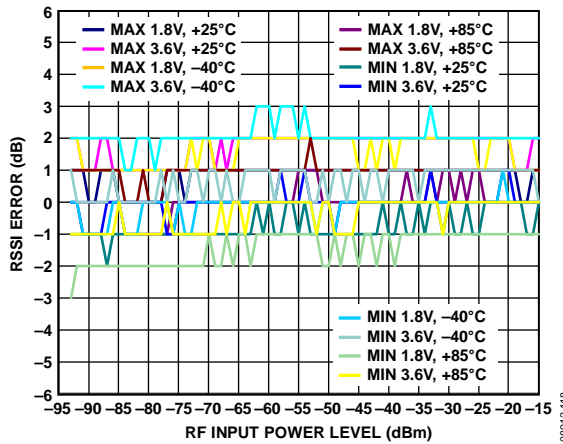


图46. 1000个包的最小和最大RSSI误差与RF输入功率水平、温度和VDD_BAT的关系, 500 kbps FSK ($f_{DEV} = \pm 250$ kHz)数据包模式, $f_{CHANNEL} = 2.45$ GHz, RFIO2

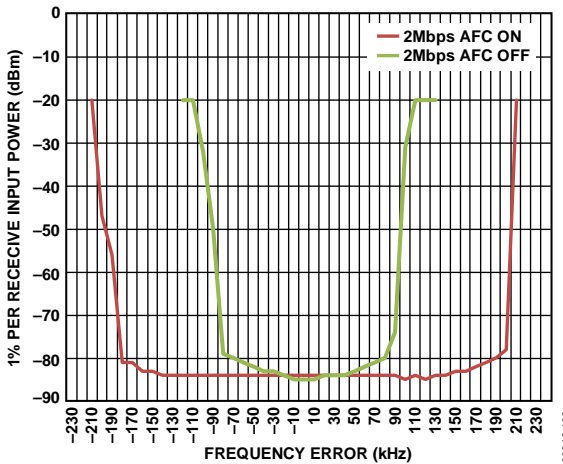


图47. AFC开启/关闭条件下PER与频率误差的关系, 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式, $f_{CHANNEL} = 2.45$ GHz, RFIO2, VDD_BAT = 3.6 V, 温度 = 25°C

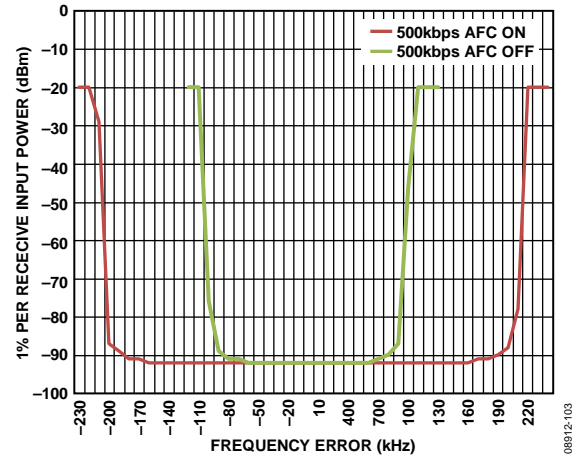


图48. AFC开启/关闭条件下PER与频率误差的关系, 500 kbps GFSK ($f_{DEV} = \pm 250$ kHz)模式, $f_{CHANNEL} = 2.45$ GHz, RFIO2, VDD_BAT = 3.6 V, 温度 = 25°C

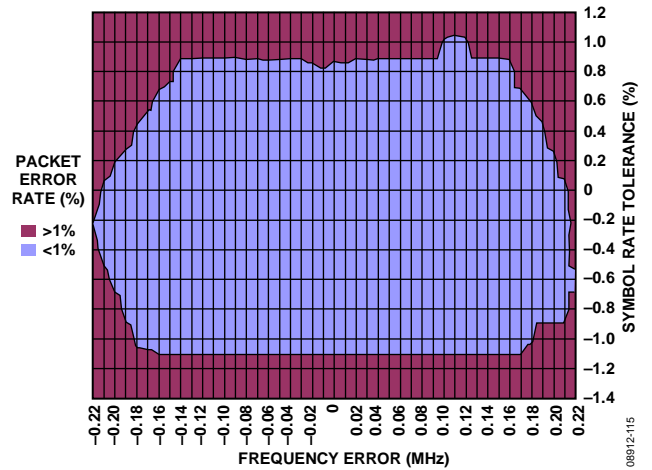


图49. PER与频率误差和符号速率容差的关系, 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式, $f_{CHANNEL} = 2.45$ GHz, VDD_BAT = 3.6 V, 温度 = 25°C, RFIO2

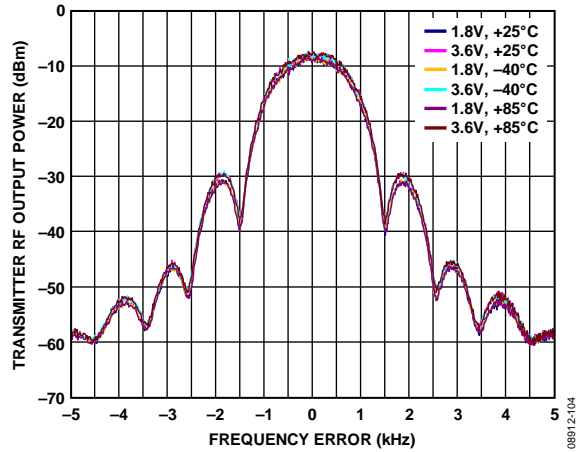


图50. IEEE 802.15.4-2006发射机频谱与温度和VDD_BAT的关系, $f_{CHANNEL} = 2.45$ GHz, 输出功率 = 3 dBm

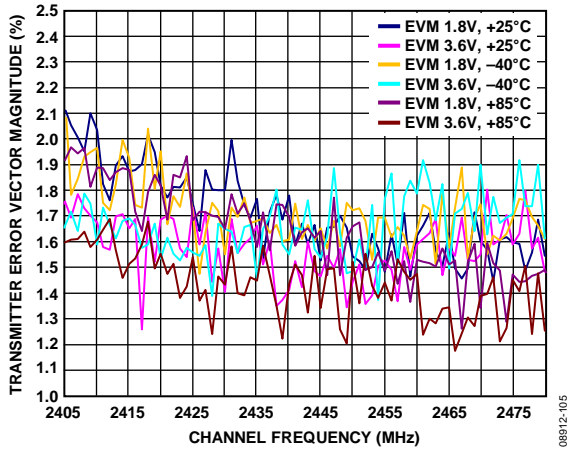


图51. IEEE 802.15.4-2006发射机EVM与温度和VDD_BAT的关系, 所有通道, 输出功率 = 3 dBm

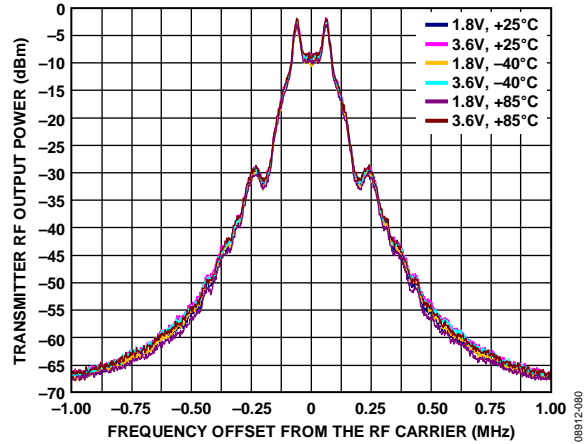


图54. 125 kbps FSK ($f_{DEV} = \pm 60$ kHz)模式发射机频谱与温度和VDD_BAT的关系, $f_{CHANNEL} = 2.45$ GHz, 输出功率 = 3 dBm

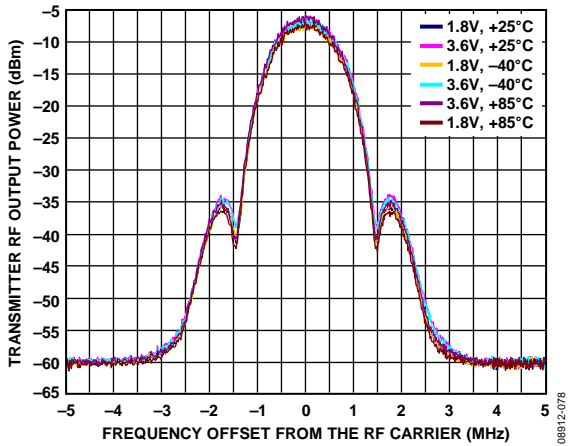


图52. 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式发射机频谱与温度和VDD_BAT的关系, $f_{CHANNEL} = 2.45$ GHz, 输出功率 = 3 dBm

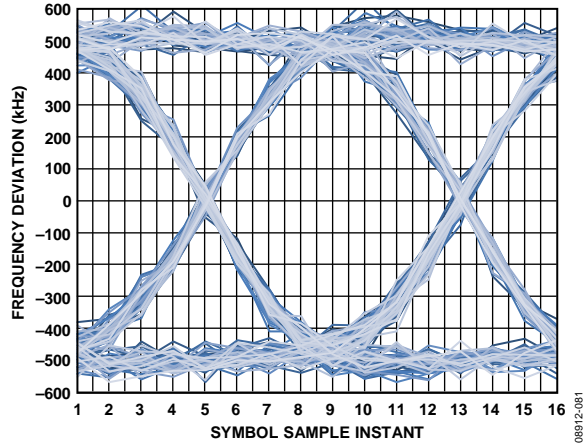


图55. 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式发射机眼图, $f_{CHANNEL} = 2.45$ GHz, 输出功率 = 3 dBm, VDD_BAT = 3.6 V, 温度 = 25°C

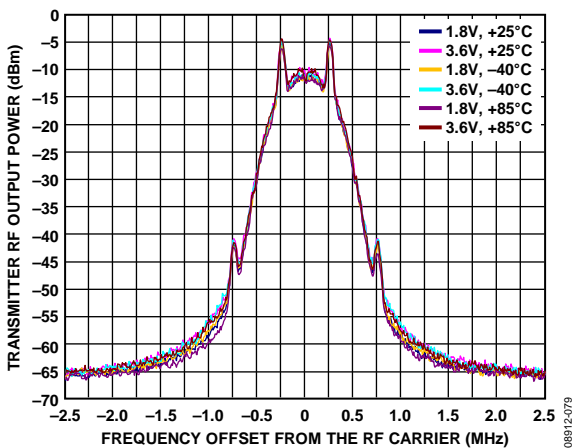


图53. 500 kbps GFSK ($f_{DEV} = \pm 250$ kHz)模式发射机频谱与温度和VDD_BAT的关系, $f_{CHANNEL} = 2.45$ GHz, 输出功率 = 3 dBm

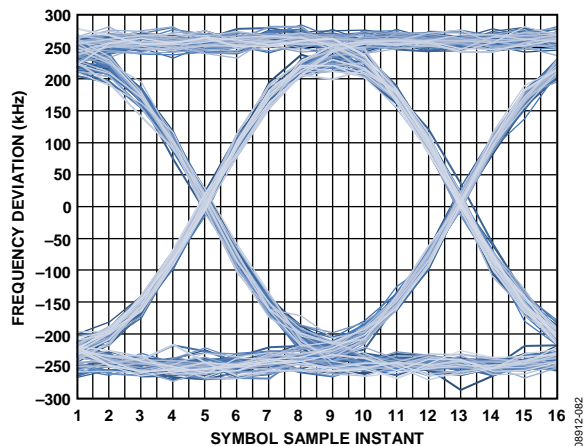


图56. 500 kbps FSK ($f_{DEV} = \pm 250$ kHz)模式发射机眼图, $f_{CHANNEL} = 2.45$ GHz, 输出功率 = 3 dBm, VDD_BAT = 3.6 V, 温度 = 25°C

ADF7242

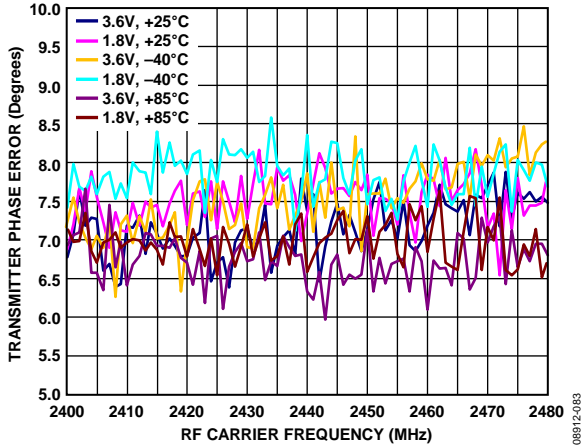


图57. 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式发射机相位误差与温度、VDD_BAT和通道的关系, 1 MHz通道步长, 输出功率 = 3 dBm

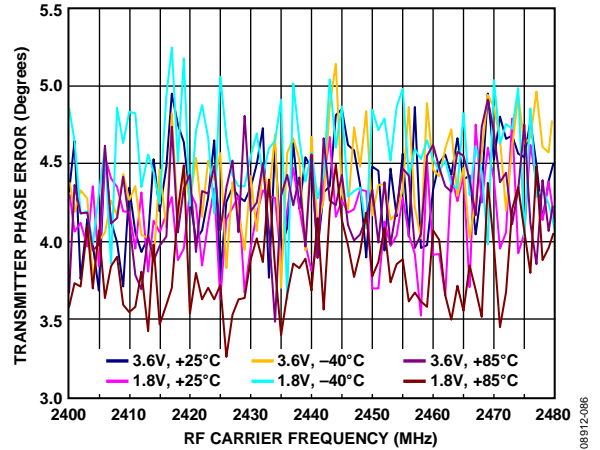


图60. 500 kbps GFSK ($f_{DEV} = \pm 250$ kHz)模式发射机相位误差与温度、VDD_BAT和通道的关系, 1 MHz通道步长, 输出功率 = 3 dBm

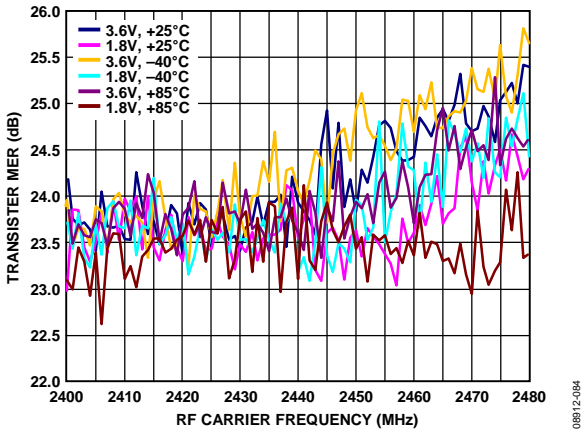


图58. 2 Mbps GFSK ($f_{DEV} = \pm 500$ kHz)模式发射机MER与温度、VDD_BAT和通道的关系, 1 MHz通道步长, 输出功率 = 3 dBm

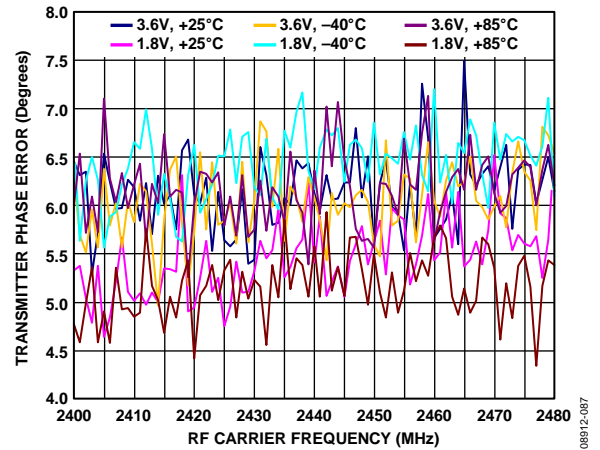


图61. 250 kbps GFSK ($f_{DEV} = \pm 250$ kHz)模式发射机相位误差与温度、VDD_BAT和通道的关系, 1 MHz通道步长, 输出功率 = 3 dBm

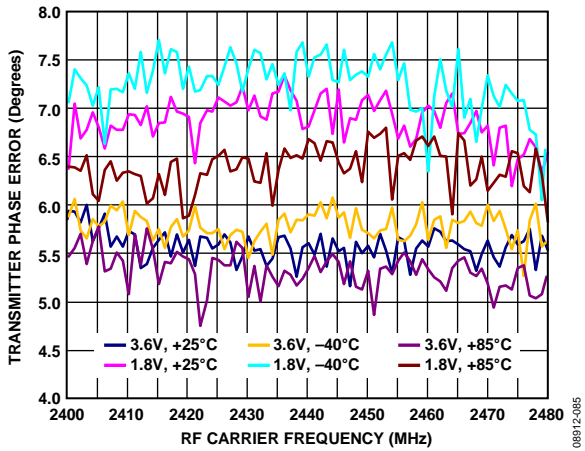


图59. 1 Mbps GFSK ($f_{DEV} = \pm 250$ kHz)模式发射机相位误差与温度、VDD_BAT和通道的关系, 1 MHz通道步长, 输出功率 = 3 dBm

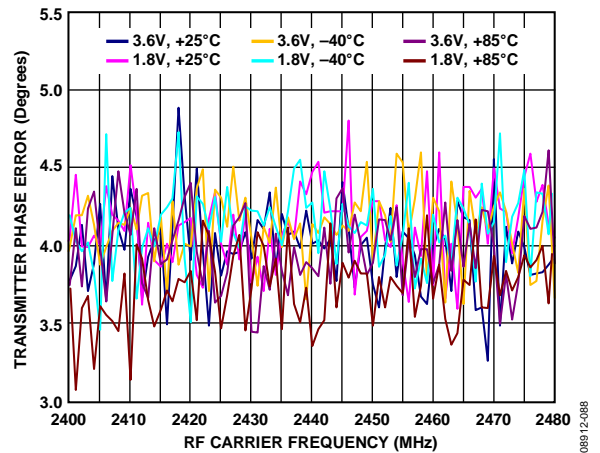


图62. 125 kbps FSK ($f_{DEV} = \pm 60$ kHz)模式发射机相位误差与温度、VDD_BAT和通道的关系, 1 MHz通道步长, 输出功率 = 3 dBm

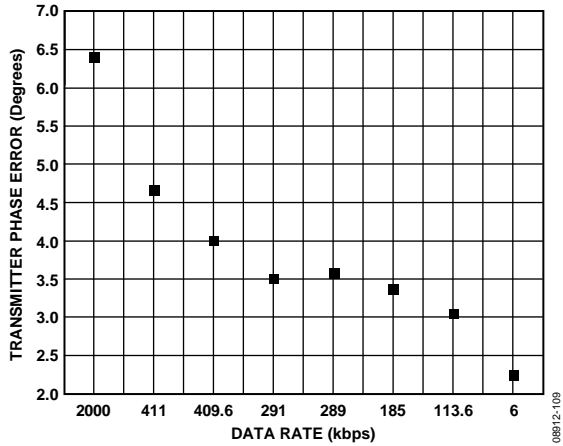


图63. 每个发射机带宽LUT的发射机相位误差与数据速率的关系, $f_{\text{CHANNEL}} = 2.45 \text{ GHz}$, 输出功率 = 3 dBm

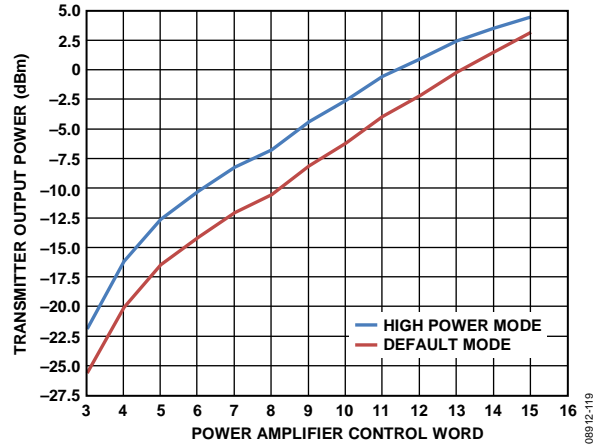


图66. 默认模式和高功率模式下发射机输出功率与控制字的关系, $f_{\text{CHANNEL}} = 2.45 \text{ GHz}$, $V_{\text{DD_BAT}} = 3.6 \text{ V}$, 温度 = 25°C, RF载波频率 (依照ADF7242参考设计, 使用分立匹配网络和谐波滤波器)

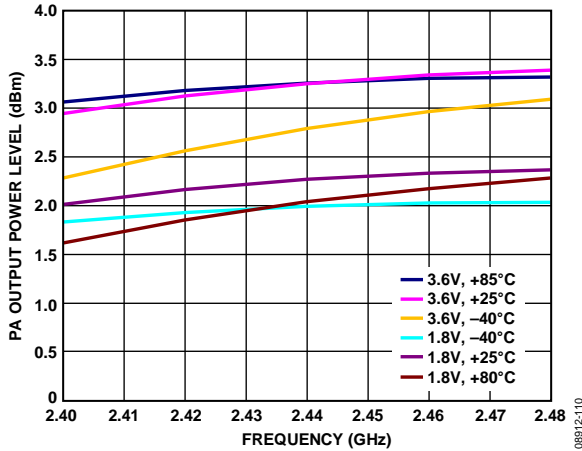


图64. PA输出功率与RF载波频率、温度和VDD_BAT的关系 (依照ADF7242参考设计, 使用分立匹配网络和谐波滤波器)

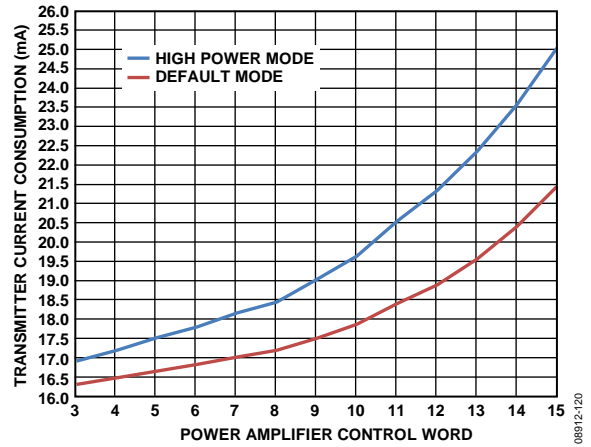


图67. 默认模式和高功率模式下发射机功耗与控制字的关系, $f_{\text{CHANNEL}} = 2.45 \text{ GHz}$, $V_{\text{DD_BAT}} = 3.6 \text{ V}$, 温度 = 25°C

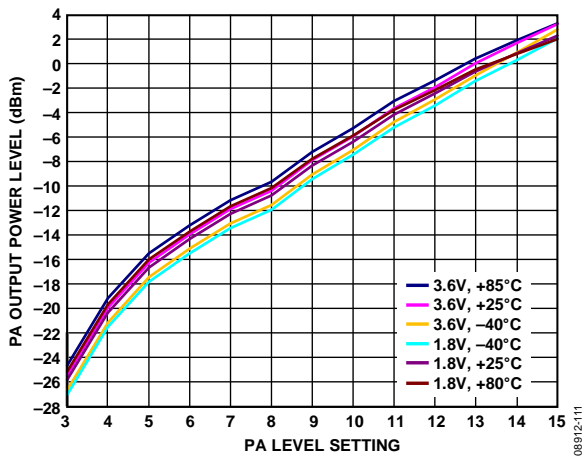


图65. PA输出功率与控制字、温度和VDD_BAT的关系, $f_{\text{CHANNEL}} = 2.44 \text{ GHz}$ (依照ADF7242参考设计, 使用分立匹配网络和谐波滤波器)

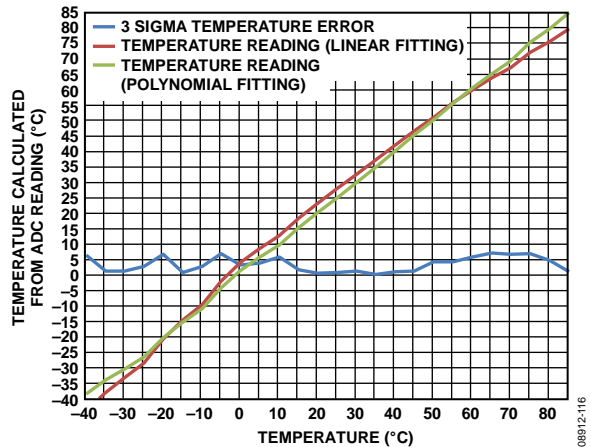


图68. 温度传感器性能 (1000次ADC回读的平均值) 和3-σ误差与温度的关系, $V_{\text{DD_BAT}} = 3.6 \text{ V}$

术语

ACK

IEEE 802.15.4-2006应答帧

ADC

模数转换器

AFC

自动频率校正

AGC

自动增益控制

Battmon

电池监控器

CCA

空闲信道评估

BBRAM

备用电池随机存取存储器

CRC

循环冗余校验

CSMA/CA

载波侦听多路访问/冲突避免

DR

数据速率

DSSS

直接序列扩频

FCS

帧检验序列

FHSS

跳频扩频

FCF

帧控制域

FSK

频移键控

GFSK

高斯频移键控

LQI

链路质量指示器

MCR

调制解调器配置寄存器

MCU

微控制器单元

MER

调制误差比

MSK

最小频移键控

NC

不连接

OCL

失调校正环路

OQPSK

失调正交相移键控

PA

功率放大器

PHR

PHY报头

PHY

物理层

POR

上电复位

PSDU

PHY服务数据单元

RC

无线电控制器

RCO32K

32 kHz RC振荡器

RSSI

接收信号强度指示器

RTC

实时时钟

SFD

帧起始定界符

SQI

信号质量指示器

SWD

同步字检测

VCO

电压控制振荡器

WUC

唤醒控制器

XTO26M

26 MHz晶振

XTO32K

32 kHz晶振

无线电控制器

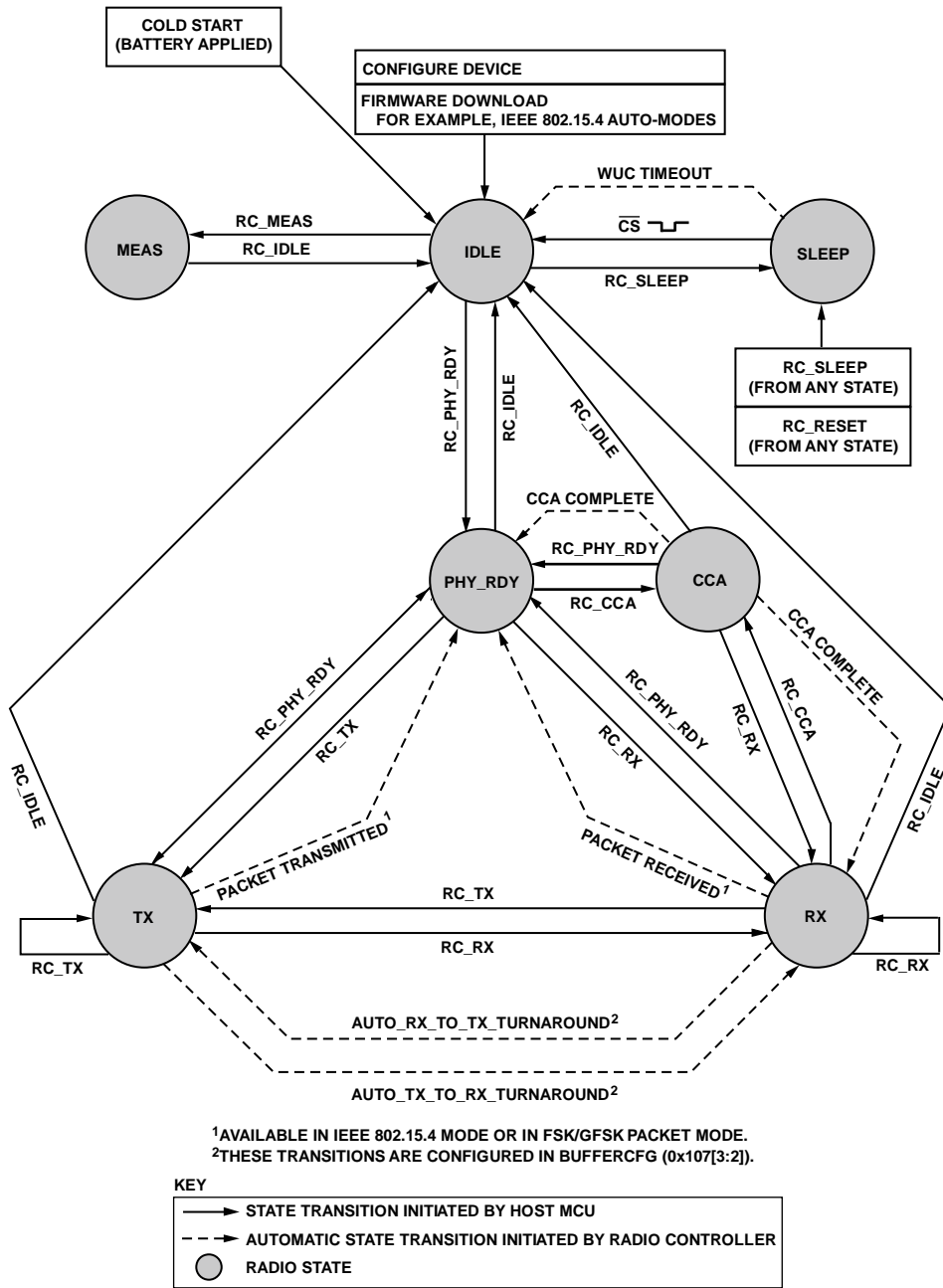


图69. ADF7242状态图

ADF7242

ADF7242集成了一个无线电控制器，用于管理该IC在各种工作模式和配置下的状态。主机MCU可以使用单字节命令与无线电控制器接口。无线电控制器的功能包括控制各种模块的上电和掉电序列，以及在器件的不同状态下执行系统校准。图69给出了ADF7242的状态图，图中显示了由主机MCU启动和由无线电控制器自动启动的可能状态转换。

器件初始化

首次对ADF7242提供电池电压时，应执行冷启动序列，如图70所示。该启动序列描述如下：

- 将电池电压VDD_BAT以所需的电压上升速度施加给器件。经过时间 t_{RAMP} 之后，VDD_BAT达到其最终电压值。
- 经过 t_{RAMP} 后，执行SPI命令RC_RESET。此命令复位并关断器件。
- 经过指定的时间 t_{15} 之后，主机MCU可以将SPI的 \overline{CS} 端口设为低电平。
- 等待SPI的MISO输出（SPI_READY标志）变为高电平，那时器件处于空闲状态，已准备好接受命令。

当主机MCU将SPI的 \overline{CS} 端口设为低电平时，器件发生上电复位。器件的所有LDO连同26 MHz晶振和数字内核均使能。在无线电控制器将配置寄存器初始化为其默认值后，器件进入空闲状态。

仅在首次对器件施加电池电压时，才需要执行冷启动序列。此后可以使用热启动序列，即主机MCU将SPI的 \overline{CS} 端口设为低电平，以将器件从休眠状态唤醒。

空闲状态

在此状态下，接收和发射模块均掉电。数字部分使能，且所有配置寄存器和包RAM都可以访问。在此状态下，任何配置参数都必须由主机MCU设置，如调制方案、通道频率和唤醒控制配置等。

在休眠状态下拉低 \overline{CS} 输入将使器件转换到空闲状态。从休眠状态到空闲状态的转换时序如图4所示。在休眠状态以外的所有其它状态中，通过发出RC_IDLE命令也可以进入空闲状态。

PHY_RDY状态

从空闲状态进入PHY_RDY状态时，RF频率合成器使能，并且会执行系统校准。在此状态下，接收和发射模块均未使能。从RX、TX或CCA状态进入PHY_RDY状态时，会省略系统校准过程。

在空闲、RX、TX或CCA状态下，通过发出RC_PHY_RDY命令可以进入PHY_RDY状态。

RX状态

从PHY_RDY或TX状态进入RX状态时，RF频率合成器会自动校准到编程设置到通道频率。对于单通道通信系统，如果要求周转时间较短，可以忽略频率合成器校准过程。经过可编程的MAC延迟时间后，如果用户使能了器件，ADF7242将开始搜索前同步码和同步字。

在PHY_RDY、CCA或TX状态下，通过发出RC_RX命令可以进入RX状态。根据工作模式不同（可通过寄存器buffer_cfg的域rx_buffer_mode配置为数据包模式或SPORT模式），器件可以在收到一个包后自动返回PHY_RDY状态，或者保持RX状态，直至接到命令要求进入不同的状态。详情参见“接收机”部分。

CCA状态

进入CCA状态时，会执行空闲信道评估。在PHY_RDY或RX状态下，通过发出RC_CCA命令可以进入CCA状态。默认情况下，完成空闲信道评估后，ADF7242会自动返回RC_CCA命令的起源状态。

TX状态

进入TX状态时，RF频率合成器会自动校准到编程设置的通道频率。对于单通道通信系统，如果要求周转时间较短，可以忽略频率合成器校准过程。经过可编程的延迟时间后，PA功率，同时传输启动。

在PHY_RDY或RX状态下，通过发出RC_TX命令可以进入TX状态。根据工作模式不同（可通过寄存器buffer_cfg的域rx_buffer_mode配置为数据包模式或SPORT模式），器件可以在发送一个包后自动返回PHY_RDY状态，或者保持TX状态，直至接到命令要求进入不同的状态。详情参见“发射机”部分。

MEAS状态

MEAS状态用于测量芯片温度。在此状态下，接收机和发射机模块均未使能。该器件通过ADC测量芯片温度，并会连续更新寄存器adc_rbk的域adc_out中的芯片温度读数。

在空闲状态下，通过发出RC_MEAS命令可以使能此状态，通过发出RC_IDLE命令可以退出此状态。

休眠状态

利用RC_SLEEP命令可以进入休眠状态。在休眠状态下，器件有三种不同的工作模式，如表21所列。

表21. ADF7242休眠模式

休眠模式	有效电路	功能
SLEEP_BBRAM	BBRAM	不保存包RAM和调制解调器配置寄存器(MCR)内容。BBRAM保存IEEE 802.15.4-2006节点地址 ¹ 。
SLEEP_BBRAM_XTO	BBRAM和32 kHz晶振	32 kHz晶振使能，且BBRAM保存数据。
SLEEP_BBRAM_RCO	BBRAM和32 kHz RC振荡器	32 kHz RC振荡器使能，且BBRAM保存数据。

¹ 详情参见“包模式下的IEEE 802.15.4-2006接收机配置”部分。

休眠模式

休眠模式可以利用唤醒配置寄存器tmr_cfg0和tmr_cfg1进行配置。寄存器tmr_cfg0和tmr_cfg1的内容在休眠状态下复位。

SLEEP_BBRAM

此模式适合MCU自身配有唤醒定时器的应用。通过将寄存器tmr_cfg1的域sleep_config设为1，可使能SLEEP_BBRAM模式。

SLEEP_BBRAM_XTO

此模式使能32 kHz晶振，并在休眠状态期间将某些配置寄存器的内容保存在BBRAM中。通过将寄存器tmr_cfg1的域sleep_config设为5，可使能SLEEP_BBRAM_XTO模式。而通过将寄存器irq1_en0的域wakeup设为1等操作，可设置唤醒中断。有关如何配置ADF7242 WUC的详情，请参见“唤醒控制器(WUC)”部分。

SLEEP_BBRAM_RCO

此模式使能32 kHz RC振荡器，并在休眠状态期间将某些配置寄存器的内容保存在BBRAM中。当通信系统可以接受较低的定时器精度时，可以使用此模式。此模式可以通过将寄存器tmr_cfg1的域sleep_config设为11来使能。而通过将寄存器irq1_en0的域wakeup设为1等操作，可设置唤醒中断。有关如何配置ADF7242 WUC的详情，请参见“唤醒控制器(WUC)”部分。

从休眠状态唤醒

主机MCU可以随时拉低 \overline{CS} ，使ADF7242从休眠状态唤醒。拉低 \overline{CS} 之后，必须等到MISO输出（SPI_READY标志）变为高电平后才能访问SPI端口。此延迟反映了ADF7242的启动时间。当MISO输出为高电平时，表明数字部分的稳压器和晶振已经稳定下来。如果芯片不是处于休眠状态，拉低 \overline{CS} 后MISO引脚将立即变为高电平。在已配置WUC的情况下，超时事件也会使器件退出休眠状态。有关如何配置ADF7242 WUC的详情，请参见“唤醒控制器(WUC)”部分。

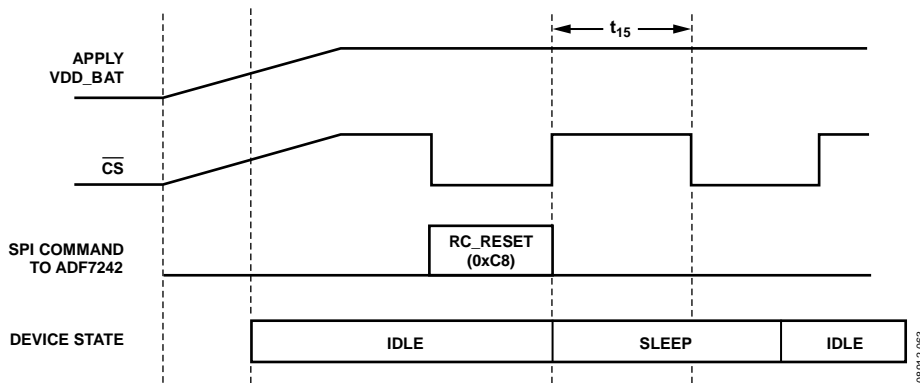


图70. 施加电池电压时的冷启动序列

RF频率合成器

ADF7242使用一个完全集成的RF频率合成器来产生发射信号和接收LO信号。该频率合成器的架构如图71所示。接收机利用频率合成器电路产生本振(LO)，以便将RF信号下变频至基带。发射机基于使用低噪声小数N分频RF频率合成器的直接闭环VCO调制方案；在该调制方案中，一个高分辨率Σ-Δ调制器响应所传输的数据，在RF处产生所需的频率偏差。

ADF7242的VCO和频率合成器环路滤波器均完全集成。为了减小功率放大器上电时的VCO牵引效应，并尽量降低杂散发射，VCO以2倍的RF频率工作。然后将VCO信号二分频，以提供发射机所需的频率和接收机所需的LO频率。该频率合成器还具有自动VCO校准和带宽选择功能。

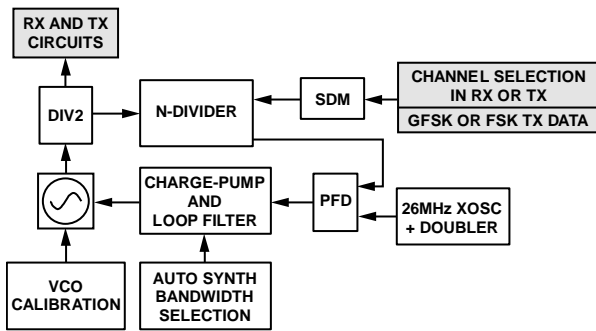


图71. 频率合成器架构

RF频率合成器校准

在RX、CCA或TX状态下，ADF7242需要经过系统校准才能使用。当ADF7242进入休眠状态时，校准信息会复位，因此当器件在空闲与PHY_RDY状态之间转换时，会自动执行全面的系统校准。而从TX、RX或CCA状态进入PHY_RDY状态时，则忽略系统校准过程。

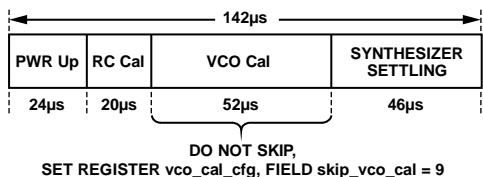


图72. RC_PHY_RDY之后的系统校准

图72为总系统校准时间的分解图。它包括上电延迟、接收机基带滤波器校准(RC Cal)和VCO校准(VCO Cal)。VCO校准完毕后，频率合成器即可建立至目标频率的±5 ppm范围内。为了减轻温度、电源电压和过程变化对VCO性能的影响，器件使用一个完全自动化的快速VCO频率和幅度校准方案。

在PHY_RDY状态下执行系统校准时，不得跳过VCO校准阶段。因此，在从空闲状态进入PHY_RDY状态之前，必须确保将寄存器vco_cal_cfg的域skip_vco_cal设为9。这是默认设置，因此只有在先前选择了跳过该校准的情况下，才需要重新编程。

从PHY_RDY状态转换到RX、TX或CCA状态时，如果在PHY_RDY状态下已经对RX、TX或CCA状态所要使用的相同通道频率执行过校准，则可以跳过VCO校准。在PHY_RDY状态之后的任何状态下，如果需要跳过VCO校准，应使用以下序列：

1. 在PHY_RDY状态下执行系统校准之后，应回读寄存器vco_band_rb的域vco_band_val_rb中的VCO频段和寄存器vco_idac_rb的域vco_idac_val_rb中的VCO偏置DAC码。
2. 在转换到任何其它状态并在相同通道频率上工作之前，应按照如下所述覆盖VCO频率和幅度DAC：
 - a) 将寄存器vco_cal_cfg的域skip_vco_cal设为15，以跳过VCO校准。
 - b) 将寄存器vco_ovrw_cfg的域vco_band_ovrw_en设为1，以使能VCO频率覆盖模式。
 - c) 将在PHY_RDY状态下执行系统校准后回读的VCO频段写入寄存器vco_band_ovrw的域vco_band_ovrw_val。
 - d) 将寄存器vco_ovrw_cfg的域vco_idac_ovrw_en设为1，以使能VCO偏置DAC覆盖模式。
 - e) 将在PHY_RDY状态下执行系统校准后回读的VCO偏置DAC写入寄存器vco_idac_ovrw的域vco_idac_ovrw_val。

完成上述步骤后，器件便可以转换到使用相同通道频率的其它状态，而无需执行VCO校准。在执行上述步骤之后，但未进入RX、TX或CCA状态之前的任何时间点，如果需要改变通道频率，则必须在转换到相应状态之前，将寄存器vco_cal_cfg的域skip_vco_cal设为9。这样将自动执行VCO校准。

RF频率合成器带宽

ADF7242无线电控制器根据器件所处的状态(RX或TX)来优化RF频率合成器带宽。如果器件处于RX状态，无线电控制器将把频率合成器带宽设置为能确保实现最佳阻塞器抑制性能的值。如果器件处于TX状态，无线电控制器将根据所需的数据速率来设置RF频率合成器带宽，以确保实

现最佳的调制质量。频率合成器带宽是针对表22所列的推荐调制方案、数据速率和频率偏差而进行优化的。如果用户需要不同于表22中的调制方案或数据速率，为使器件发挥最佳性能，用户应根据所需的数据速率选择一个频率偏差，使得由此获得的调制指数接近于表22的推荐值。

RF通道频率编程

频率合成器的频率通过频率控制字 `ch_freq[23:0]` 进行编程，它包括三个寄存器：`ch_freq0`、`ch_freq1`和`ch_freq2`。频率控制字 `ch_freq[23:0]` 以二进制形式表示所需通道的绝对频率除以10 kHz的结果。

对频率控制字 `ch_freq[23:0]` 写入新的通道频率时，新通道频率将在下一频率合成器校准阶段完成之后生效。默认情况下，从空闲、TX、RX或CCA状态转换到PHY_RDY时，会执行频率合成器校准。详情参见“RF频率合成器校准”、“发射机”和“接收机”部分。为便于快速改变通道频率，在RX状态下可以在收到包之前写入新的频率控制字。下一RC_RX或RC_TX命令将启动所需的频率合成器校准和建立周期。类似地，在TX状态下可以在发送包之后写入新的频率控制字，并且下一RC_RX或RC_TX命令将启动频率合成器校准和建立周期。

参考晶振

片内晶振产生用于频率合成器和系统时序的参考频率。晶振工作频率为26 MHz。晶振采用幅度控制，确保能在不同工作条件下快速启动并稳定工作。晶振的精度对通信系统的性能有着非常大影响，因此应当谨慎选择晶振及相关的外部元件。除了精度和漂移特性外，还必须考虑晶振的标称负载电容。负载电容较高的晶振能够承受外部电容和印刷电路板寄生电容，不易受频率牵引影响。但较大负载电容也伴随着一些缺点，例如功耗较高、启动时间较长和调整范围较低等。选择晶振时，应权衡考虑这些优缺点。

总负载电容必须与晶振的额定负载电容相等，前者包括外部并联负载电容、XOSC26P和XOSC26N引脚的寄生电容、以及印刷电路板上走线的寄生电容。

ADF7242集成一个晶振调谐电容，以便于补偿系统性生产公差和温漂。该调谐电容由寄存器 `xto26_trim_cal` 的域 `xto26_trim` (0x371) 控制。其调谐范围取决于特定晶振的负载电容。总调谐范围典型值为25 ppm。

发射机 发射工作模式

发射机工作模式主要有四种：

- IEEE 802.15.4-2006数据包模式
- IEEE 802.15.4-2006 SPORT模式
- GFSK/FSK数据包模式
- GFSK/FSK SPORT模式

所需的工作模式通过寄存器rc_cfg的域rc_mode选择。ADF7242支持表22所列数据速率的GFSK/FSK调制。对于FSK工作模式，ADF7242还完全支持50 kbps至2 Mbps范围内的用户定义数据速率。数据速率DR通过寄存器dr0的域data_rate_high和寄存器dr1的域data_rate_low设置，计算公式如下：

$$DR = (data_rate_high \times 256 + data_rate_low) \times 100 \text{ bps}$$

dr0和dr1寄存器的默认值配置器件的IEEE 802.15.4-2006模式。

对于250 kbps以上的GFSK/FSK数据速率和IEEE 802.15.4-2006模式，必须通过将寄存器tx_m的域preemp_filt设为1来使能调制器预加重滤波器。ADF7242的调制器带有一个可选的高斯符号滤波器，通过将配置寄存器tx_m的域gauss_filt设为1可以使能该滤波器。高斯符号滤波器的BT乘积为固定值0.5。它可用于提高频谱效率。对于IEEE 802.15.4-2006模式，必须禁用高斯滤波。

调制器的偏差频率(f_{DEV})可通过寄存器tx_fd的域tx_freq_dev以10 kHz步长进行编程。有关与表22所列推荐调制参数相对应的寄存器tx_fd域tx_freq_dev的推荐设置，请参见“器件配置”部分。寄存器tx_fd域tx_freq_dev的默认值配置IEEE 802.15.4-2006模式的正确设置。如果用户需要不同于表22

中的调制方案或数据速率，为使器件发挥最佳性能，用户应根据所需的数据速率选择一个频率偏差，使得由此获得的调制指数接近于表22的推荐值。

IEEE 802.15.4-2006模式下的发射机 IEEE 802.15.4-2006传输

通过将寄存器rc_cfg的域rc_mode设为0 (0x13E)，可选择支持数据包管理器的IEEE 802.15.4-2006兼容模式。在此模式下，ADF7242数据包管理器自动产生IEEE 802.15.4-2006兼容前同步码和SFD。也可以选择使用非标准SFD，方法是用所需的其它SFD设置寄存器sfd_15_4。详情参见“IEEE 802.15.4-2006模式下的接收机”部分的“IEEE 802.15.4-2006可编程SFD”小节。专用RAM（包RAM）有256个字节，构成TX_BUFFER和RX_BUFFER，用于存储发射和接收包。包报头必须是写入TX_BUFFER的第一个字节。TX_BUFFER第一个字节的地址存储在寄存器txpb的域tx_pkt_base中。

如果已禁用自动FCS域生成功能（寄存器pkt_cfg的域auto_fcs_off设为1），则必须将包括FCS在内的全帧写入TX_BUFFER。这种情况下，写入TX_BUFFER的字节数必须与PHR域中指定的长度相等。

如果已使能自动FCS域生成功能（寄存器pkt_cfg的域auto_fcs_off设为0），则FCS会自动追加到TX_BUFFER中的帧上。这种情况下，写入TX_BUFFER的字节数必须等于PHR域中指定的长度减去2。

在使能和禁用自动FCS域生成功能两种情况下，TX_BUFFER中的帧格式如图73所示。

有关如何配置IEEE 802.15.4-2006 TX SPORT模式的详情，请参见“SPORT接口”部分。

表22. 推荐的调制方案

比特率(kbps)	调制类型	描述
250	DSSS-OQPSK	符合IEEE 802.15.4-2006标准
62.5	GFSK/FSK	$f_{DEV} = \pm 60 \text{ kHz}$
125	GFSK/FSK	$f_{DEV} = \pm 60 \text{ kHz}$
250	GFSK/FSK	$f_{DEV} = \pm 130 \text{ kHz}$
500	GFSK/FSK	$f_{DEV} = \pm 250 \text{ kHz}$
1000	GFSK/FSK	$f_{DEV} = \pm 250 \text{ kHz}$
2000	GFSK/FSK	$f_{DEV} = \pm 500 \text{ kHz}$

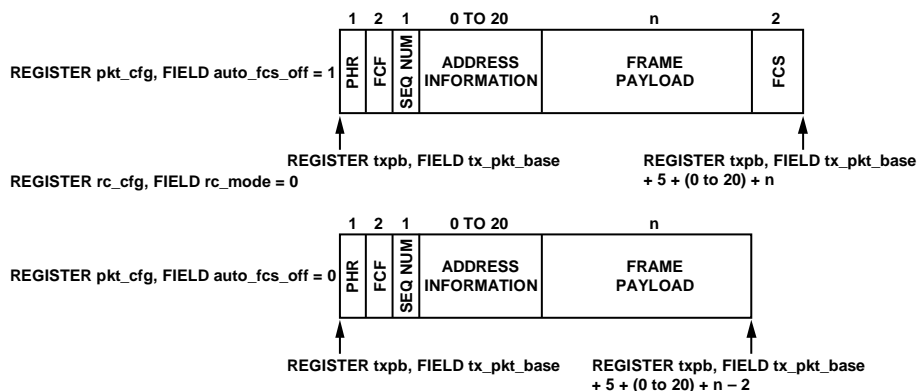


图73. TX_BUFFER的帧格式

IEEE 802.15.4-2006发射机时序和控制

本部分适用于使能IEEE 802.15.4-2006数据包模式时的情况。两个延迟定时器（寄存器`delaycfg1`的域`tx_mac_delay`和寄存器`delaycfg2`的域`mac_delay_ext`）会在RC_TX命令之后的CS信号上升沿与发射操作开始之间引入一个受控延迟，从而保持对传输时隙的精确控制。图74显示了发射操作的时序，其中假设ADF7242在执行RC_TX命令之前处于PHY_RDY、RX或TX状态。

如“功率放大器部分”所述，使能后外部PA接口将在频率合成器校准之前上电，以为偏置伺服环路的建立提供充足的时间。PA的斜升在总MAC延迟时间逝去之前不久完成。如果已使能中断，则在转换到TX状态时将产生一个`rc_ready`中断（参见“中断控制器”部分）。PA斜升阶段完成之后，收发器进入TX状态。在收发器进入TX状态之前，完成PA斜升所需的最短和最长时间由表14中的参数`t35`给出，该时间也适用于IEEE 802.15.4-2006发射模式。

无线电控制器首先发送自动产生的前同步码和SFD。如果已使能中断，则在SFD发送完毕之后将置位一个SFD中断。然后，数据包管理器从PHR字节开始读取TX_BUFFER，并发送其内容。传输完整帧后，无线电控制器关闭PA并置位一个`tx_pkt_sent`中断。如果未配置自动工作模式，ADF7242随后自动返回PHY_RDY状态。

默认情况下，每次发出RC_TX命令时都会重新校准频率合成器。图75显示了每次收发器进入TX状态时执行的频率合成器校准序列。总TX MAC延迟时间定义为寄存器`delaycfg1`的域`tx_mac_delay`和寄存器`delaycfg2`的域`mac_delay_ext`所配置的延迟时间之和。寄存器`delaycfg1`的域`tx_mac_delay`能以 $1\mu\text{s}$ 的步长进行编程，而寄存器`delaycfg2`的域`mac_delay_ext`

则能以 $4\mu\text{s}$ 的步长进行编程。寄存器`delaycfg1`的域`tx_mac_delay`的默认值为12个IEEE 802.15.4-2006-2.4 GHz符号长度或 $192\mu\text{s}$ 。

寄存器`delaycfg2`的域`mac_delay_ext`的默认值为 $0\mu\text{s}$ 。发出RC_TX命令之后，在寄存器`delaycfg1`的域`tx_mac_delay`所定义的延迟时间消逝过程中，可以更新寄存器`delaycfg2`的域`mac_delay_ext`，直到表13所规定的时间`t27`为止。因此，对于使用时隙CSMA/CA的网络，可以动态调整其应答(ACK)帧的传输时序。为确保频率合成器在PA斜升之前正确建立，总TX MAC延迟时间不应短于表10中规定的PHY_RDY或RX到TX时序要求的值。在表13中参数`t28`所规定的时间之前，可以通过发出RC_PHY_RDY、RC_RX或RC_IDLE命令来中止RC_TX命令。

如果要求的周转时间较短，可以跳过VCO校准(VCO_cal)。在VCO_cal使能的情况下，发出最后一个RC_PHY_RDY、RC_RX、RC_CCA或RC_TX命令之后，如果通道频率控制字`ch_freq[23:0]`保持不变，则可以跳过VCO校准。不过，初始化、频率合成器建立和PA斜坡阶段是必不可少的，因为频率合成器带宽会在收发操作之间发生改变。对于单通道通信系统，或者对于收到包后在同一通道上发送ACK帧的系统，跳过VCO校准是一个可行的选择。

通过将寄存器`vco_cal_cfg`的域`skip_vco_cal`设为15，即可跳过VCO校准。这种情况下，`tx_mac_delay`可以降至 $140\mu\text{s}$ 。如果寄存器`vco_cal_cfg`的域`skip_vco_cal = 9`，则会执行VCO校准。

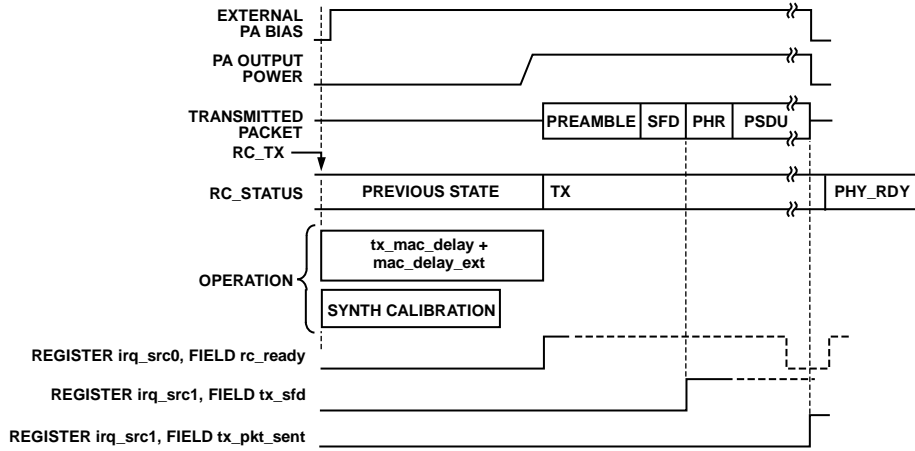


图74. 发射时序和控制 (IEEE 802.15.4-2006模式)

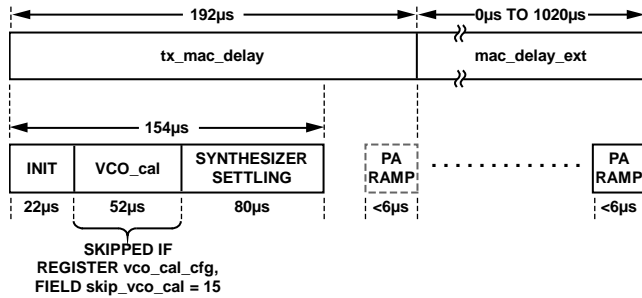


图75. RC_TX之后的频率合成器校准

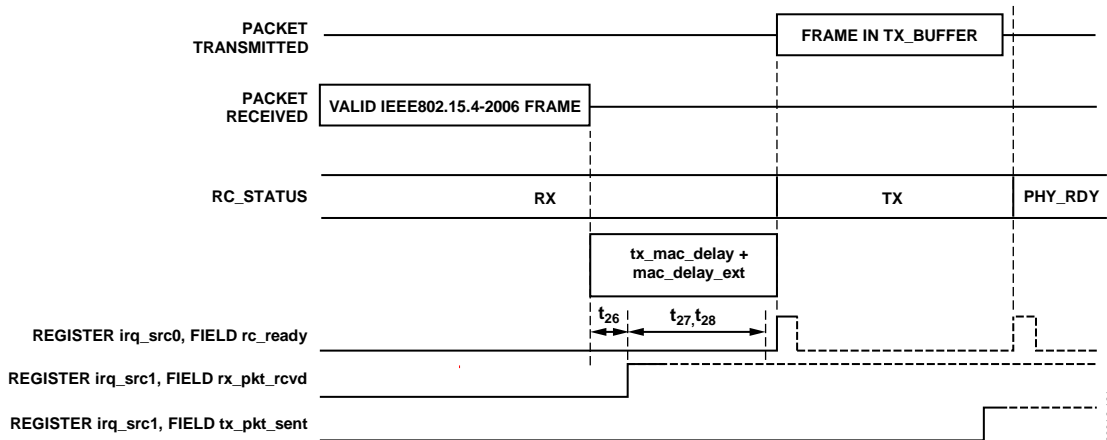


Figure 76. IEEE 802.15.4 Auto RX-to-TX Turnaround Mode

图76. IEEE 802.15.4自动接收-发射周转模式

IEEE 802.15.4自动接收-发射周转模式

在IEEE 802.15.4-2006数据包模式下工作时（寄存器rc_cfg的域rc_mode = 0），ADF7242支持一种自动接收-发射周转模式，该模式有利于及时传输应答帧。

图76显示了自动接收-发射周转模式的时序。通过设置寄存器buffercfg的域auto_rx_to_tx_turnaround使能该模式后，ADF7242在收到IEEE 802.15.4-2006有效帧后会自动进入TX状态。经过总发射MAC延迟时间(tx_mac_delay + mac_delay_ext)之后，ADF7242进入TX状态并发送TX_BUFFER中存储的帧。发送完毕后，ADF7242进入PHY_RDY状态。在收到最后一个符号到产生rx_pkt_rcvd中断之间有38 μs的延迟。发射MAC延迟超时周期在收到最后一个符号之后立即开始计时。因此，在收到帧后，主机MCU最多有t₂₈ μs（见表13）的时间来通过发出RC_IDLE、RC_PHY_RDY或RC_RX命令取消发射操作。

GFSK/FSK模式下的发射机数据包模式GFSK/FSK传输

数据包管理器支持专有GFSK/FSK有效载荷格式。表23给出了适用于GFSK/FSK数据包模式的包域。在发射模式下，数据包管理器可以配置用于向包RAM中存储的有效载荷数据添加前同步码和同步字。它还能计算并发送CRC字。

要启用GFSK/FSK发射数据包工作模式，请将寄存器rc_cfg的域rc_mode设为4 (0x13E[7:0])。主机MCU将有效载荷数据写入包RAM。发送数据在包RAM中的位置由寄存器tx_pb的域tx_pkt_base（位置0x314）的值定义。它保存发送有效载荷数据的第一个字节在包RAM中的地址。

前同步码、同步字和CRC字可以由数据包管理器自动添加到包RAM中存储的数据以进行传输。图77显示了包缓冲器中存储的各域。

表23. 适用于GFSK/FSK包传输的域描述

域	包结构					
			有效载荷		CRC	后同步码
	前同步码	SWD	长度	有效载荷数据		
域长度	1至256个字节	1至4个字节	2个字节	0至127个字节	2个字节	1个字节
可选域	否	否	N/A	N/A	是	否
发射时添加，接收时删除	是	是	N/A	N/A	是	是
主机将这些域写入包RAM	否	否	是	是	可选	否
完全可编程的参数	仅长度	是	是	是	否	否

前同步码

前同步码是长度可编程的0xAA序列。包需要以前同步码开始，以便在同步字开始之前，接收机AGC、AFC、时钟和数据恢复电路有足够的时间来完成建立。所需的前同步码长度取决于无线电配置。“GFSK/FSK数据包和SPORT模式的配置值”部分中的表38针对不同配置的一些例子提供了有关所需前同步码长度的数据。

发送的前同步码总长度等于以下三者之和：寄存器fsk_preamble (0x102)中设置的字节数、寄存器preamble_num_validate (0x3F3)中设置的字节数，以及填充SWD所需的额外前同步码位数（详情参见“同步字(SWD)”部分）。

同步字(SWD)

SWD的值由寄存器sync_word0、sync_word1和sync_word2 (0x10C、0x10D和0x10E) 设置。SWD以MSB优先方式从sync_word2开始发送。发送的同步字是8位的倍数。因此，对于非字节长度的同步字，发送的同步码应利用前同步码填充，如表24所示。

有效载荷长度

有效载荷长度指从同步字结束到CRC开始的字节数。

CRC

可以将可选的CRC-16追加到包中。所用的CRC多项式为：

$$g(x) = x^{16} + x^{12} + x^5 + 1$$

要禁用CRC自动追加到包，请将寄存器pkt_cfg的域auto_fcs_off设为1。此域默认置0。

后同步码

数据包管理器自动将2个字节的后同步码追加于所发送包的末尾。后同步码的每个字节均为0xAA。第一个字节在CRC之后立即发送。PA斜降在第一个后同步码字节后立即开始。第二个字节在PA斜降的同时发送。

ADF7242

表24. 同步字编程示例

所需的同步字 (二进制, 第一位指时间上的第一位)	寄存器 Sync_cfg 域 sync_len	sync_word2	sync_word1	sync_word0	发送的同步字 (二进制, 第一位指时间上的第一位)	接收机同步字匹配长度 (位)
000100100011010001010110	24	0x12	0x34	0x56	0001_0010_0011_0100_0101_0110	24
111010011100101000100	21	0xBD	0x39	0x44	1011_1101_0011_1001_0100_0100	21
0001001000110100	16	0xAA	0x12	0x34	1010_1010_0001_0010_0011_0100	16
011100001110	12	0xAA	0xA7	0x0E	1010_1010_1010_0111_0000_1110	12
00010010	8	0xAA	0xAA	0x12	1010_1010_1010_1010_0001_0010	8
011100	6	0xAA	0xAA	0x9C	1010_1010_1010_1010_1001_1100	6

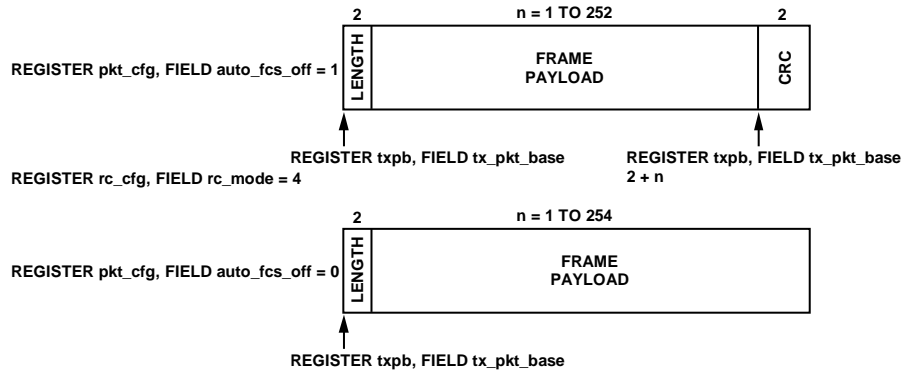


图77. 数据包管理器在TX_BUFFER中存储的GFSK/FSK包的格式

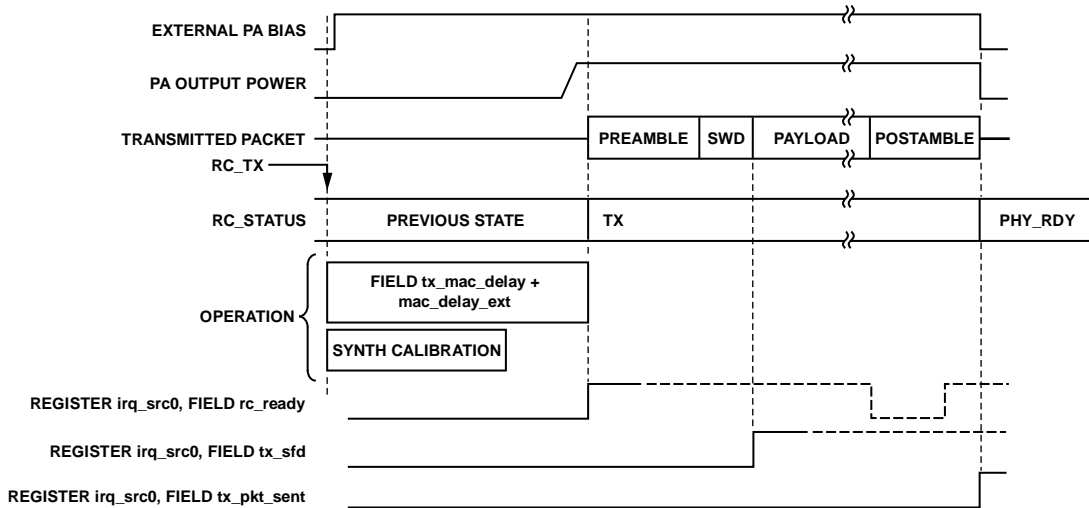


图78. 发射时序和控制 (GFSK/FSK数据包模式)

SPORT MODE GFSK/FSK发射机时序和控制

要启用GFSK/FSK TX SPORT工作模式，请将寄存器rc_cfg的域rc_mode设为3 (0x13E[7:0])。详情参见“SPORT接口”部分。

图79显示了GFSK/FSK TX SPORT模式下的发射操作时序。转换到TX状态之后，数据包管理器发送SPORT输入数据，直到适当的命令使器件离开TX状态。由于包格式完全由用

直到适当的命令使器件离开TX状态。由于包格式完全由用户控制，因此不会产生tx_sfd和tx_pkt_sent中断。“IEEE 802.15.4-2006发射机时序和控制”部分中图75所示的校准序列完全适用于GFSK/FSK发射SPORT模式。

表25给出了SPORT接口输入端的数据与所发射的调制RF输出信号之间的延迟。

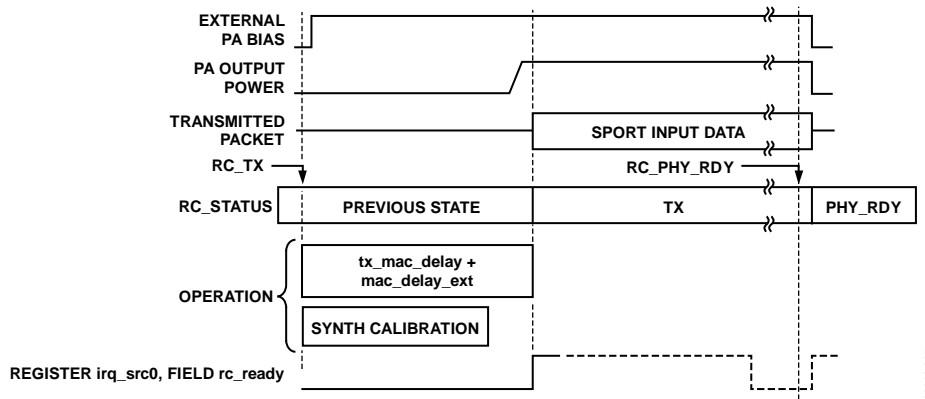


图79. 发射时序和控制 (GFSK/FSK SPORT模式)

表25. 选定数据速率的发射延迟

比特率(kbps)	GFSK	FSK
62.5	32 μs (2位周期)	8.025 μs (~½位周期)
125	16 μs (2位周期)	4.063 μs (~½位周期)
250	8 μs (2位周期)	2.063 μs (~½位周期)
500	4 μs (2位周期)	1.063 μs (~½位周期)
1000	2 μs (2位周期)	563 ns (~½位周期)
2000	1 μs (2位周期)	332 ns (~½位周期)

功率放大器

集成功率放大器(PA)连接到RFIO2P和RFIO2N RF端口。它内置一个谐波滤波器,可简化外部谐波滤波器的设计。PA的输出功率以2 dB的平均步长通过寄存器extpa_msc的域pa_pwr设置。在控制范围的下端,步长会增大。图65显示了输出功率步长变化与控制字值的典型关系。该PA还提供一种高功率模式,其使能方法是将寄存器pa_bias的域pa_bias_ctrl设为63并将寄存器pa_cfg的域pa_bridge_dbias设为21。

PA斜坡控制器

ADF7242的PA斜坡控制器可使发射机产生的频谱散射降至最小。进入TX状态时,斜坡控制器使PA的输出功率从最小值自动斜升到指定的标称值。在数据包模式下,包的传输在斜坡阶段结束后开始。当包传输完成或者退出TX状态时,PA立即关闭。通过将寄存器ext_ctrl的域pa_shutdown_mode设为1,可以使PA的输出功率以与斜升阶段相同的斜坡率斜降。

图80显示了PA斜坡曲线的形状及其时序。它是一个线性dB形状。斜坡时间取决于寄存器extpa_msc的域pa_pwr中的输出功率设置,并可通过寄存器pa_rr的域pa_ramp_rate指定,计算公式如下:

$$t_{ramp} = 2^{pa_rr.pa_ramp_rate} \times 2.4 \text{ ns} \times extpa_msc.pa_pwr$$

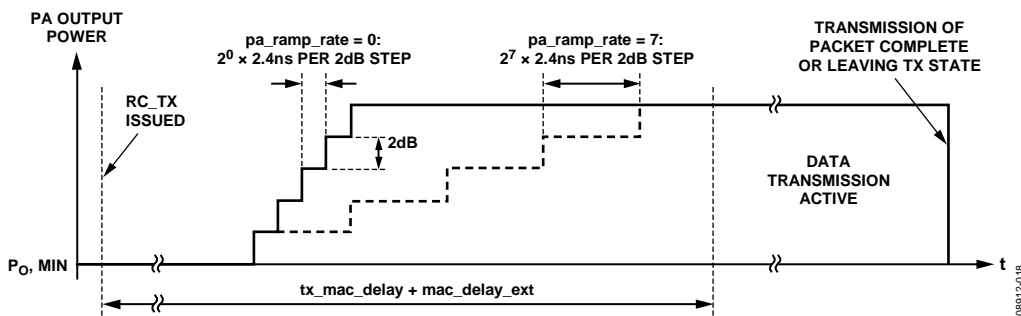


图80. PA斜坡曲线

外部PA接口

ADF7242集成了一个偏置模块,用于连接外部PA电路,如图81所示。它适合于基于单GaAs MOSFET的外部PA电路和各种集成PA模块。主要元件如图82所示。引脚VDD_BAT与引脚PAVSUP_ATB3之间的开关控制外部FET的电源电流。PABIOP_ATB4可以用于设置外部FET的偏置点。该偏置点由一个5位DAC和/或一个偏置伺服环路控制。

为使主机MCU能够直接控制外部PA接口,应将寄存器ext_ctrl的域extpa_auto_en设为0。然后,主机MCU即可利用寄存器pd_aux的域extpa_bias_en使能或禁用外部PA。如果寄存器ext_ctrl的域extpa_auto_en为1,则外部PA在进入TX状态时自动开启,并在退出TX状态时自动关闭。如果使用此设置,主机MCU不应更改寄存器pd_aux的域extpa_bias_en的配置。

PAVSUP_ATB3和PABIAOP_ATB4两个引脚的功能取决于寄存器extpa_msc的域extpa_bias_mode所选择的模式,如表26所示。

DAC的基准电流源通过寄存器extpa_msc的域extpa_bias_src (0x3AA[3])进行控制。如果寄存器extpa_msc的域extpa_bias_src为0,则电流来自外部偏置电阻。如果寄存器extpa_msc的域extpa_bias_src为1,则电流来自内部基准电压发生器。第一个选项更为精确,可能的话建议使用。

外部PA接口模式

- 模式0允许接通或断开外部电路的电源。对于没有专用掉电引脚和/或具有高掉电电流的电路，这一模式很有用。
- 模式1允许接通或断开外部电路的电源。此外，PABIAOP_ATB4引脚用作可编程电流源。如果在PABIAOP_ATB4与GND之间连接一个适当的电阻，则可以产生可编程电压。
- 模式2允许接通或断开外部PA电路的电源。此外，PABIAOP_ATB4引脚用作可编程电流吸收器。如果在PABIAOP_ATB4与VDD_BAT之间连接一个适当的电阻，则可以产生可编程电压。
- 模式3与模式1基本相同，不同之处在于PAVSUP_ATB3与VDD_BAT之间的开关是断开的。
- 模式4与模式2基本相同，不同之处在于PAVSUP_ATB3与VDD_BAT之间的开关是断开的。
- 模式5主要用于基于单外部FET的PA电路。此FET的电源电压通过PAVSUP_ATB3引脚进行控制，以便确保掉电状态下的漏电流非常低。偏置伺服环路控制外部FET

- 的栅极偏置电压，使得通过电源开关的电流与基准电流相等。偏置伺服环路的基准电流由5位参考DAC产生。在这种模式下，偏置伺服环路期望FET中的电流随着PABIAOP_ATB4输出端电压升高而变大。
- 模式6与模式5基本相同，不同之处在于偏置伺服环路期望FET中的电流随着PABIAOP_ATB4输出端电压降低而变大。

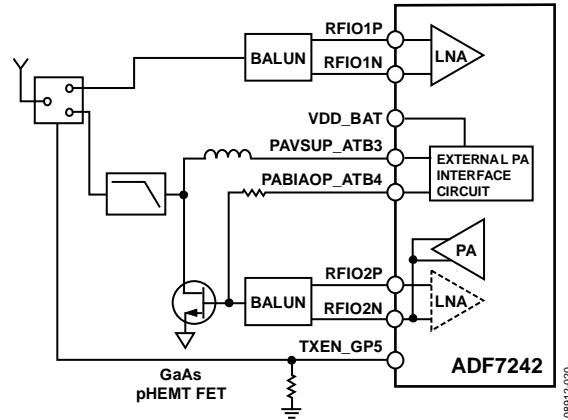


图81. 典型外部PA应用电路

表26. PA接口

寄存器extpa_msc域extpa_bias_mode	寄存器pd_aux位extpa_bias_en1	VDD_BAT至PAVSUP_ATB3开关	引脚PABIAOP_ATB4的功能
X ²	0	断开	未使用
0	1	闭合	未使用
1	1	闭合	电流源
2	1	闭合	电流吸收器
3	1	断开	电流源
4	1	断开	电流吸收器
5	1	闭合	偏置电流伺服输出，正极性
6	1	闭合	偏置电流伺服输出，负极性
7	1	保留	保留

¹ 当寄存器ext_ctrl的域extpa_auto_en为1时自动使能。

² X = 无关。

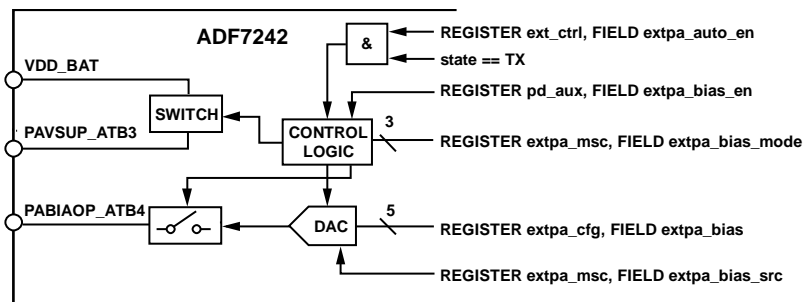


图82. 外部PA接口电路详图

接收机

接收工作模式

接收机工作模式主要有四种：

- IEEE 802.15.4-2006数据包管理器模式
- IEEE 802.15.4-2006 SPORT模式
- GFSK/FSK数据包管理器模式
- GFSK/FSK SPORT模式

所需的工作模式通过寄存器rc_cfg的域rc_mode选择。有关SPORT模式的详情，请参见“SPORT接口”部分。

数据速率通过寄存器dr0的域data_rate_high和寄存器dr1的域data_rate_low设置，如“发射机”部分中所述。在IEEE 802.15.4-2006模式下，数据速率自动配置。

IEEE 802.15.4-2006模式下的接收机

IEEE 802.15.4-2006接收

选择IEEE 802.15.4-2006模式时，后解调器滤波器的输出馈入一组相关器，以比较输入数据序列与期望的IEEE 802.15.4-2006序列。IEEE 802.15.4-2006接收机模块主要有三种工作状态：

- 前同步码验证
- 符号时序恢复
- 数据符号接收

在前同步码验证期间，相关器检查有无前同步码。验证前同步码之后，器件进入符号时序恢复模式。一旦检测到有效的SFD，即可实现器件符号时序。ADF7242支持可编程的SFD。详情参见“IEEE 802.15.4-2006可编程SFD”部分。

收到的符号随后被传送至数据包管理器（数据包模式下）或SPORT接口（SPORT模式下）。在SPORT模式下，对于接收到的每个符号，引脚TRCLK_CKO_GP3会输出4个串行时钟，而引脚DR_GP0会移出4个数据位。详情参见“SPORT接口”部分。

在数据包模式下，当数据包管理器确定包传输结束时，ADF7242自动转入PHY_RDY或TX状态，或者仍然保持RX状态，具体取决于寄存器buffercfg的域rx_buffer_mode的设置（参见“数据包模式下的IEEE 802.15.4-2006接收机配置”部分）。而在SPORT模式下，器件将保持RX状态，直到用户发出命令要求变换为其它状态。

IEEE 802.15.4-2006可编程SFD

用户可以选择标准IEEE 802.15.4-2006 SFD字节以外的SFD。

(0x3F4[7:0])的默认设置为标准IEEE 802.15.4-2006 SFD。如

果用户用其它值设置此寄存器，则将使用该值作为IEEE 802.15.4-2006模式下的接收和发送SFD。要求如下：

- 值不能是一个重复的符号（例如不能是0x11或0x22）。
- 该值不能与前同步码符号相似（即不能是符号0x0或0x8）。

数据包模式下的IEEE 802.15.4-2006接收机配置

通过将寄存器rc_cfg的域rc_mode设为0 (0x13E[7:0])，可选择支持数据包管理的IEEE 802.15.4-2006模式。当ADF7242在RC_RX命令之后进入RX状态并检测到SFD时，会覆盖RX_BUFFER。SFD的输入帧会被剔除，而其后的所有数据（包括帧长度PHR）被写入RX_BUFFER。

如果寄存器pkt_cfg的域auto_fcs_off为1，则输入帧的FCS会被存储在RX_BUFFER中。接收到整个帧后，无论FCS正确与否，都会置位rx_pkt_rcvd中断。如果auto_fcs_off = 0，则无线电控制器根据IEEE 802.15.4-2006标准中定义的FCS多项式（见公式1）来计算输入帧的FCS，并将结果与输入帧的FCS进行比较。只有当两个FCS域一致时，才会置位rx_pkt_rcvd中断。FCS不写入RX_BUFFER，而是用测得的RSSI和接收帧的信号质量指示器(SQI)值替换（见图83）。

$$G_{16}(x) = x^{16} + x^{12} + x^5 + 1 \quad (1)$$

无线电控制器在接收到帧后的行为可以通过寄存器buffercfg的域rx_buffer_mode (0x107[1:0])进行配置。如果rx_buffer_mode采用默认值0，当发生rx_pkt_rcvd中断条件时，器件自动返回到PHY_RDY状态。这样，在主机MCU从ADF7242读取RX_BUFFER之前，它不会被下一个帧覆盖。这是因为新帧始终是从寄存器rxpb的域rx_pkt_base (0x315[7:0])所存储的地址开始写入RX_BUFFER。注意，在RC_RX命令之后的MAC延迟逝去之前，禁止接收下一个帧。

如果寄存器buffercfg的域rx_buffer_mode为1 (0x107[1:0])，则器件仍将保持RX状态，并会在将帧写入RX_BUFFER之后经过一个MAC延迟周期，然后会开始接收下一个包。根据网络设置的不同，如果一个帧在MCU从RX_BUFFER读取帧之前到达，则这种模式可能会破坏RX_BUFFER的完整性且不被注意。

如果寄存器buffercfg的域rx_buffer_mode为2 (0x107[1:0])，则禁用帧接收。对于RSSI测量和CCA，如果要保存RX_BUFFER的内容，这种模式很有用。

接收机校准

每次发出RC_RX命令时，都会校准接收路径。图84显示了IEEE 802.15.4-2006工作模式下频率合成器和接收路径的校准序列和时序。当寄存器vco_cal_cfg的域skip_vco_cal设为15 (0x36F[3:0])时，会省略VCO校准(VCO_cal)。如果在PHY_RDY、RX与TX的状态转换期间ch_freq[23:0]的值保

持不变，则VCO校准是一个可选项。频率合成器建立阶段是必需的，因为RX和TX操作对PLL带宽的优化方式不同。静态失调校正阶段(OCL_stat)和动态失调校正阶段(OCL_dyn)同样是必不可少的。

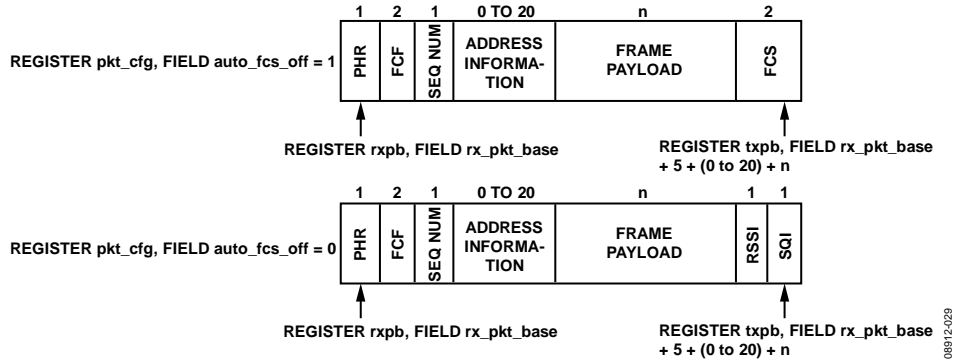


图83. 数据包管理器在RX_BUFFER中存储的IEEE 802.15.4-2006包域

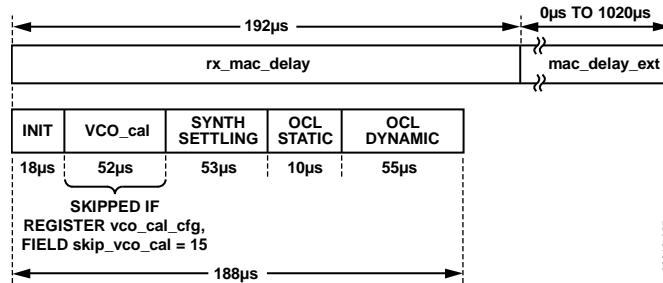


图84. 接收路径校准 (IEEE 802.15.4-2006模式)

IEEE 802.15.4-2006接收时序和控制

IEEE 802.15.4-2006工作模式通过寄存器rc_cfg的域rc_mode (0x13E[7:0])进行配置；设为0时选择数据包模式，而设为2时则选择IEEE 802.15.4 RX SPORT模式。有关SPORT接口操作的详细信息，请参见“SPORT接口”部分。默认情况下，ADF7242在收到RC_RX命令后会立即执行频率合成器和接收路径校准。经过接收机MAC延迟之后，器件转换到RX状态。总接收机MAC延迟等于寄存器delaycfg0的域rx_mac_delay(0x109[7:0])和寄存器delaycfg2的域mac_delay_ext(0x10B[7:0])所配置的延迟时间之和。寄存器delaycfg0的域rx_mac_delay (0x109[7:0])能以1 μs的步长进行编程，而寄存器delaycfg2的域mac_delay_ext (0x10B[7:0])则能以4 μs的步长进行编程。对于IEEE 802.15.4-2006 RX操作，寄存器delaycfg2的域mac_delay_ext通常置0。不过，可以动态使用它来精确对准RX时隙时序。

图85显示了IEEE 802.15.4-2006数据包模式的时序序列。如果使能IEEE 802.15.4-2006 SPORT模式，时序序列基本相同，不同之处在于不会产生rx_pkt_rcvd中断，也不会自动转入PHY_RDY状态。

进入RX状态时，如果寄存器cca2的域rx_auto_cca为1 (0x106 [1])，将开始执行CCA测量。当状态字中可提供CCA结果时，无线电控制器置位cca_complete中断。检测到SFD时，无线电控制器会置位rx_sfd中断，主机MCU可以利用该中断实现同步。默认情况下，RX_BUFFER中接收到有效帧后，ADF7242会转入PHY_RDY状态。同时，如果使能了中断，则还会置位rx_pkt_rcvd中断。这种机制可以保证RX_BUFFER的完整性。通过适当的无线电控制器命令，可以随时退出RX状态。

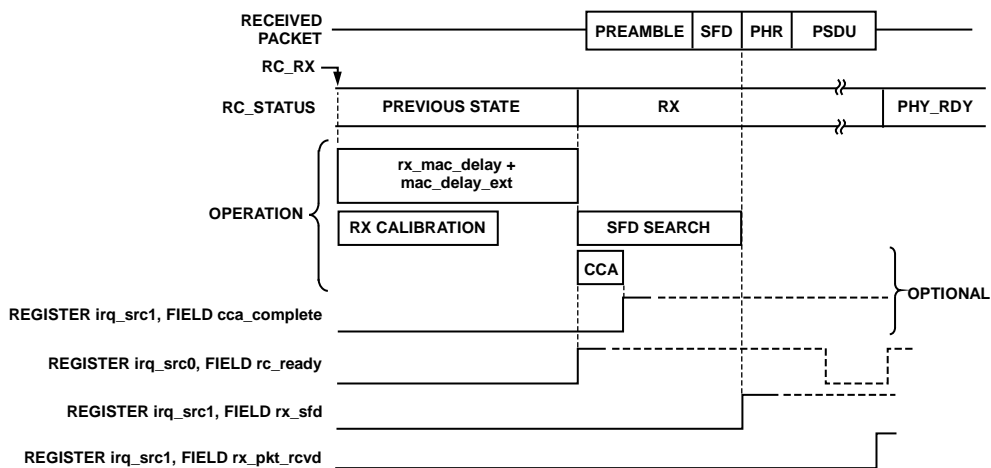


图85. 接收时序和控制 (IEEE 802.15.4-2006数据包模式)

空闲信道评估(CCA)

ADF7242的CCA功能符合IEEE 802.15.4-2006标准CCA模式1的要求。它也适用于GFSK/FSK工作模式。

利用RC_CCA命令可以特别请求CCA；当收发器进入RX状态时，可以自动获得CCA。无论何种情况，CCA均值窗口的开始都由发出RC_CCA或RC_RX命令的时间，以及在寄存器delaycfg0的域rx_mac_delay (0x109[7:0])和寄存器delaycfg2的域mac_delay_ext (0x10B[7:0])中配置延迟的时间来定义。CCA结果通过比较以下两个值来确定：寄存器cca1的域cca_thres (0x105[7:0])与CCA均值窗口全程测得的RSSI平均值。如果测得的RSSI值小于寄存器cca1域cca_thres (0x105[7:0])众配置的阈值，则状态字中的CCA_RESULT置1，否则复位。当状态字中的CCA_RESULT有效时，cca_complete中断置位。

图86显示了当寄存器cca2的域continuous_cca为0 (0x106[2])时，发出RC_CCA命令之后的时序序列。RC_CCA命令之后，收发器会在经过一定的延迟时间后启动CCA观测窗口，该延迟时间等于寄存器delaycfg0的域rx_mac_delay (0x109[7:0])和寄存器delaycfg2的域mac_delay_ext (0x10B[7:0])所配置的延迟时间之和。在CCA均值窗口结束时，cca_complete中断置位，而收发器进入PHY_RDY状态。

当寄存器cca2的域continuous_cca为1 (0x106[2])时，收发器将保持CCA状态，并继续重复计算CCA结果，直到发出

RC_PHY_RDY命令。图87显示了这一情况。经过RX MAC延迟时间之后，当第一个CCA均值窗口结束时，会出现第一个cca_complete中断。然后，每次cca_complete中断置位时，收发器都会重新启动CCA均值窗口。

这种配置适用于通道扫描时间较长的情况。状态字中的CCA_RESULT可以用来确定CCA均值期间CCA RSSI是否超过了所配置的阈值。或者，每次发生cca_complete中断后，主机MCU可以读取寄存器rrb域rssi_readback中的RSSI值。如图87所示，RSSI回读值保存整个CCA均值窗口中前一RSSI测量周期的结果，并仅在cca_complete中断置位前不久更新。

RSSI均值时间可通过寄存器agc_cfg5的域rssi_avg_time (0x3B9[1:0])进行编程，详见表113。当收发器在IEEE 802.15.4-2006模式下工作时，为了保持兼容，要求将寄存器agc_cfg5的域rssi_avg_time设为2 (0x3B9[1:0])。

表27. RSSI均值时间

寄存器agc_cfg5域 rssi_avg_time (0x3B9[1:0])	CCA均值周期
0	16 μs
1	32 μs
2	64 μs
3	128 μs

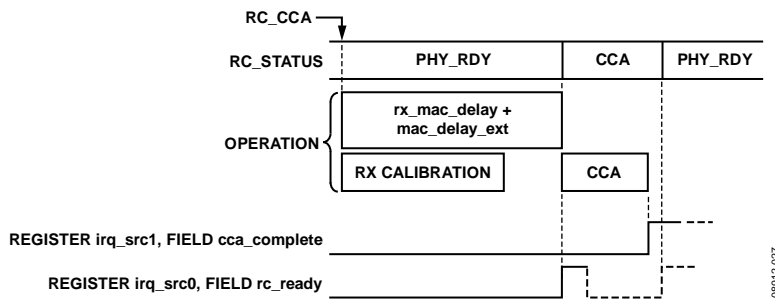


图86. CCA时序序列，寄存器cca2的位continuous_cca = 0 (0x106[2])

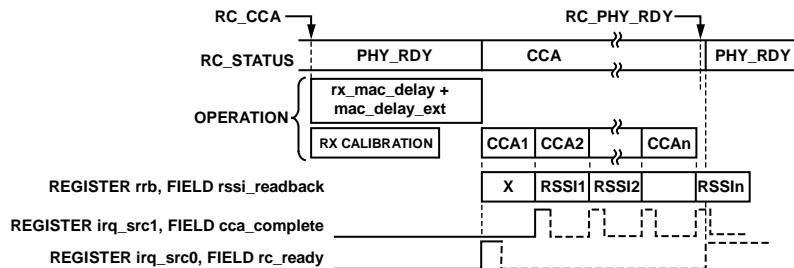


图87. CCA时序序列，寄存器cca2的位continuous_cca = 1 (0x106[2])

链路质量指示(LQI)

在IEEE 802.15.4-2006标准中，链路质量指示(LQI)衡量所收到的IEEE802.15.4-2006帧的信号强度和信号质量。ADF7242可提供多种测量，利用这些测量结果可以在MCU中计算出兼容IEEE 802.15.4-2006标准的LQI值。第一个参数是RSSI值（参见“接收机无线电模块”部分中的“自动增益控制(AGC)”和“接收信号强度指示器(RSSI)”小节）。

LQI计算所需的第二个参数可以从寄存器lrb的域sqi_readback (0x30D[7:0])读取，它包含一个8位值，代表所收到的IEEE 802.15.4-2006帧的质量。该参数随信号质量单调递增，并必须按比例进行调整以便符合IEEE 802.15.4-2006标准。

如果ADF7242在IEEE802.15.4-2006数据包模式（寄存器rc_cfg的域rc_mode = 0 (0x13E[7:0]))下工作，并且寄存器pkt_cfg的位auto_fcs_off为0 (0x108[0])，则接收帧的SQI测量结果随同帧一起存储在RX_BUFFER中。SQI针对整个包进行测量，其结果取代接收帧FCS的第二个字节并存储在RX_BUFFER中。

IEEE 802.15.4自动发射-接收周转模式

在IEEE 802.15.4-2006数据包模式下工作时，ADF7242提供一种自动发射-接收周转模式，该模式有利于及时接收应答帧。

图88显示了自动发射-接收周转模式的时序。通过设置寄存器buffercfg的域auto_tx_to_rx_turnaround (0x107[3])使能该模式后，ADF7242在发送IEEE 802.15.4-2006帧后会自动进入RX状态。经过总接收机MAC延迟时间（寄存器delaycfg0的域rx_mac_delay和寄存器delaycfg2的域mac_delay_ext之和）之后，ADF7242进入RX状态，准备将帧收入RX_BUFFER中。然后，当收到有效的IEEE 802.15.4-2006帧时，ADF7242进入PHY_RDY状态。

IEEE 802.15.4帧滤波、自动应答和自动CSMA/CA

固件模块RCCM_IEEEX支持下列IEEE 802.15.4-2006功能：

- 自动IEEE 802.15.4帧滤波
- 收到有效IEEE 802.15.4帧的自动应答
- 使用支持自动重试的非时隙CSMA/CA进行自动帧传输

有关如何下载固件模块到ADF7242的详细信息，请参见“可下载固件模块”和“写入ADF7242”部分。

帧滤波

在IEEE 802.15.4数据包模式下工作时，ADF7242支持帧滤波功能。该功能可拒绝已接收到但不是用于该无线节点的帧。帧滤波程序是IEEE 802.15.4-2006标准第7.5.6.2节（第三级滤波）所述程序的一个超集。寄存器pkt_cfg的域addon_en控制是否使能帧滤波。

自动应答

ADF7242支持在成功接收到帧后自动发送应答帧。接收机的自动应答功能只能与IEEE 802.15.4帧滤波功能一起使用。使能后，当满足下列条件时，就会自动发送应答帧：

- 帧滤波程序接受所收到的帧。
- 接收到的帧不是一个信标或应答帧。
- 接收帧FCF中的应答请求位置1。

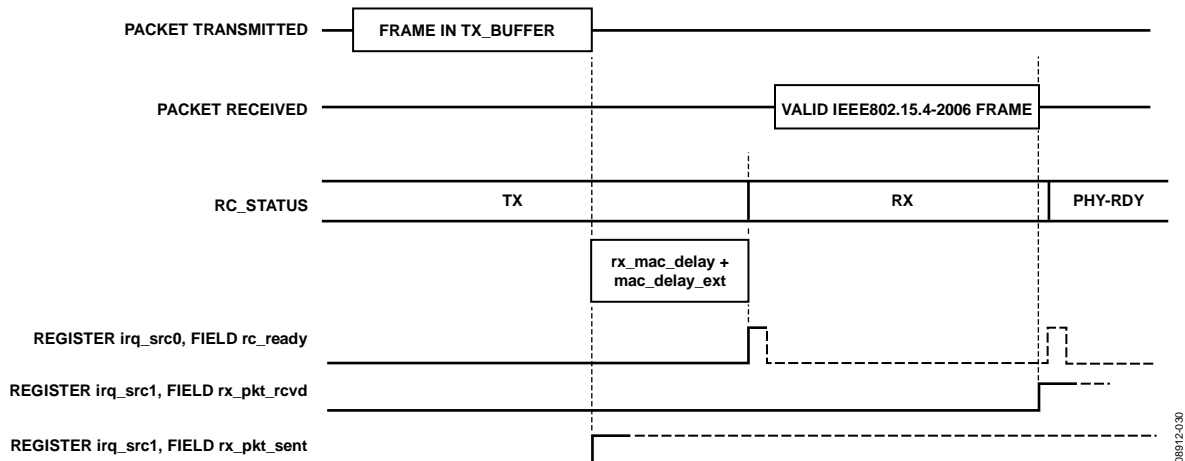


图88. IEEE 802.15.4-2006自动发射-接收周转模式

图89给出了ADF7242所编译的应答帧的格式。序列号(Seq. Num.)是从RX_BUFFER中存储的帧复制而来。接收机的自动应答功能使用TX_BUFFER来存储所构建的应答帧，然后发送出去。在发送之前，应答帧将覆盖TX_BUFFER中存在的所有数据。

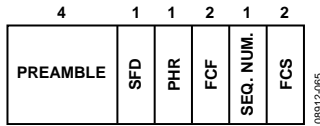


图89. ACK帧格式

ACK帧的传输开始于总延迟时间（寄存器delaycfg1的域tx_mac_delay和寄存器delay_cfg2的域mac_delay_ext所指定的延迟时间之和）逝去之后。寄存器delaycfg1域tx_mac_delay的默认设置为192，而寄存器delay_cfg2域mac_delay_ext的默认设置为0，因此总延迟时间为192 μs，适合使用非时隙CSMA/CA的网络。或者，在寄存器delaycfg1的域tx_mac_delay所指定的延迟时间消逝过程中，可以动态更新寄存器delay_cfg2的域mac_delay_ext。在使用时隙CSMA/CA的网络中，利用此选项可以使应答帧与倒退时隙边界精确对齐。

使能接收机自动应答模式时，ADF7242将保持RX状态，直至接收到有效帧。此时如果使能了中断，则会产生rx_pkt_rcvd中断。ADF7242随后自动进入TX状态，直至应答帧传输完毕。此时如果使能了中断，则会产生tx_pkt_sent中断，表示发送阶段结束。然后，ADF7242返回到PHY_RDY状态。

自动非时隙CSMA/CA发射操作

自动CSMA/CA发射操作根据IEEE 802.15.4-2006标准关于非时隙CSMA/CA网络操作的规定，自动执行所有必要的步骤来发送帧，其中包括随机倒退的自动CCA重试、帧发送、应答帧的接收和发送失败时的自动重试。该器件部分支持时隙CSMA/CA操作。

根据IEEE 802.15.4标准，CSMA/CA CCA重试次数可以指定为0到5范围内的值。CSMA/CA也可以禁用，使得帧发送在MAC延迟逝去后立即开始。这种配置有利于在使用时隙CSMA/CA的网络中实现该发射程序。此时，CCA操作的时序必须由主机MCU控制，重试次数必须设为1。

在发送TX_BUFFER中存储的帧之前，无线电控制器检查该帧FCF中的应答请求位是否置1。如果置1，则发送之后期望接收到应答帧。否则，帧发送完毕后，处理即结束。应答请求位是FCF字节的第5位，该字节所在的地址为寄存器txpb的域tx_packet_base + 1。

图90显示了自动CSMA/CA操作。下载的固件模块支持通过额外的命令RC_CSMACA来启动此CSMA/CA操作。它还支持设置额外的中断csma_ca_complete，用以指示CSMA/CA程序已完成。根据IEEE 802.15.4-2006标准关于非时隙CSMA/CA的规定，第一个CCA延迟随机数量的倒退周期，单位倒退周期为320 μs。按照IEEE 802.15.4-2006标准的规定，该CCA的执行周期为128 μs。

如果在CCA阶段检测到一个繁忙信道，则无线电控制器执行下一个延迟/CCA周期，直至达到指定的最大CCA重试次数。如果达到容许的最大CCA重试次数，操作将中止，且器件会转入PHY_RDY状态。

如果CCA成功，无线电控制器将使器件从CCA状态变为TX状态，并发送TX_BUFFER中存储的帧。从RX到TX的最短周转时间为106 μs。如果发送帧的应答请求位和csma_ca_turnaround位均未置1，则一旦帧发送完成，器件即返回到PHY_RDY状态。否则，器件将进入RX状态，并等待获得应答，最长等待时间为864 μs。如果在此期间内未收到应答，并且尚未达到最大帧重试次数，则ADF7242仍会重新尝试发送帧，开始下一个CSMA/CA周期。否则，器件将退出到PHY_RDY状态。发生csma_ca_complete中断时，该程序退出。

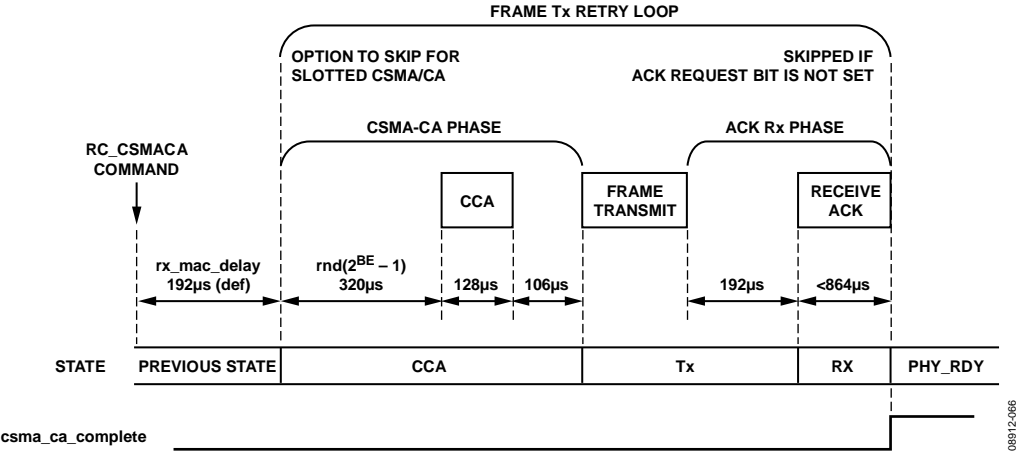


Figure 90. Automatic CSMA/CA Transmit Operation (with CCA)

08912-006

GFSK/FSK模式下的接收机

数据包管理器在接收到合格的前同步码、同步字或有效FCS之后，可以检测并中断主机MCU。然后，数据包管理器将收到的有效载荷数据存储在包RAM中。本节介绍数据包管理器在接收模式下的各种配置。

GFSK/FSK数据包模式接收

要配置GFSK/FSK数据包模式，请将寄存器rc_cfg的域rc_mode设为4 (0x13E[7:0])。有关配置GFSK/FSK SPORT所需的寄存器写操作，请参见“SPORT接口”部分。表29给出了适用于GFSK/FSK包接收的域，而图91显示了数据包管理器存储在RX_BUFFER中的域。

前同步码

这是包不可缺少的一部分，接收到包后会将其删除。在接收模式下，前同步码检测电路以滑动窗口的形式跟踪接收到的帧。该窗口有3字节长，前同步码固定为0xAA。前同步码位以2位对的形式（例如b10）进行检查。如果任一位或两位均出错，则视该对为错误对。可能的错误对有b00、b11和b01。前同步码检测容许的错误对数可以通过寄存器fsk_preamble_config的域fsk_preamble_match_level设置，如表28所示。

如果fsk_preamble_match_level设为0x0C，则为了确认已检测到有效的前同步码，ADF7242必须接收12个连续的b10对（3字节）。然后，在多个字节上，前同步码水平必须始终等于或高于检测阈值，以便获得全面验证。在验证时间结束前，如果错误位对数降至检测阈值以下，数据包管理器将丢弃该前同步码，并重新开始检测。

验证所需的前同步码字节数可以通过寄存器preamble_num_validate (0x3F3)设置。用户可以选择在此时自动锁定AFC和/或AGC的选项。通过将寄存器afc_config的域afc_lock_mode设为0x3 (0x3F7[1:0])，可以使能在前同步码获得验证时锁定AFC。而通过将寄存器fsk_preamble_config的域fsk_agc_lock_after_preamble设为1 (0x111[5])，可以使能在前同步码检测时锁定AGC。

表28. 前同步码检测容差
(寄存器fsk_preamble_config, 位置0x111)

值	描述
0x0C	容许0个错误
0x0B	容许12个位对中有1个错误位对
0x0A	容许12个位对中有2个错误位对
0x09	容许12个位对中有3个错误位对
0x08	容许12个位对中有4个错误位对
0x00	禁用前同步码检测

表29. 适用于GFSK/FSK包接收的域描述

域	包结构					
	前同步码	SWD	有效载荷		CRC	后同步码
			长度	有效载荷数据		
域检测有效时产生接收中断	否	是	N/A	N/A	是	N/A
RX中的可编程域误差容差	是	是	N/A	N/A	N/A	N/A

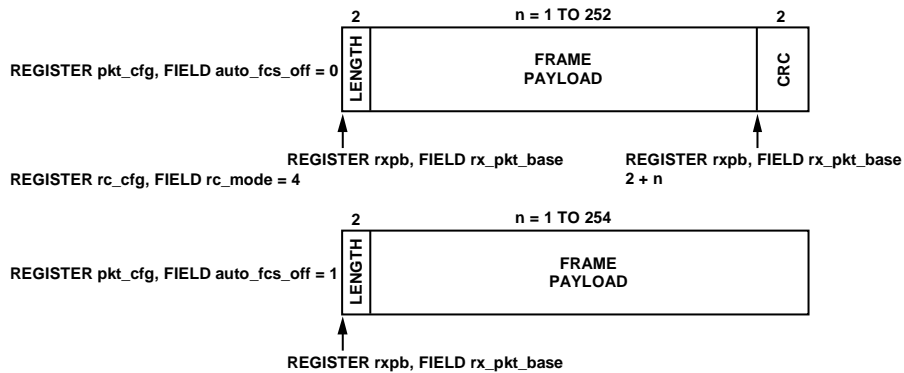


图91. 数据包管理器在RX_BUFFER中存储的GFSK/FSK包域

验证前同步码后，数据包管理器开始搜索同步字。芯片处理器从前同步码末尾开始搜索同步字，最长搜索时间为4个字节，如图92所示。如果在此窗口内检测到同步字，则数据包管理器将收到的有效载荷存储到包RAM，并计算CRC（如果已使能）。如果在此期间没有检测到同步字，数据包管理器将解除AGC/AFC锁定，然后返回到搜索前同步码阶段。

通过将寄存器fsk_preamble_config的域skip_pre_eamble_detect_qual设为1（位置0x111），可禁用前同步码检测。

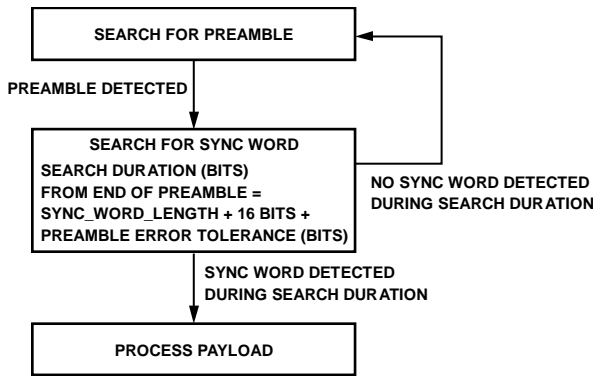


图92. 数据包管理器搜索前同步码和搜索同步字程序

同步字(SWD)

接收机使用该同步字实现字节同步，同时在检测到同步字时可选择提供中断。收到包后会自动将其删除。

SWD的值由寄存器sync_word0、sync_word1和sync_word2（0x10C、0x10D和0x10E）设置。SWD以MSB优先方式从sync_word2开始发送。接收机的SWD匹配长度通过寄存器sync_config的域sync_len（0x10F[4:0]）设置，长度可以是1位到24位。

在收到编程设置的同步字时，ADF7242可以提供中断。此功能可用来提醒主机处理器已收到一个有效包。也可将误差容差参数设置为：同步字序列的错误位不超过三位时，接受有效匹配。误差容差值通过寄存器sync_config的域sync_tol（0x10F[6:5]）设置，如表30所示。收到有效同步字后，芯片处理器自动将接收有效载荷写入包RAM。寄存器rxpb中的rx_pkt_base值设置所接收到的有效载荷第一个字节在包RAM中的位置。有关包RAM的详细信息，请参见“存储器映射”部分。

表30. 同步字检测容差（sync_config，寄存器0x10F）

值	描述
00	容许0位错误
01	容许1位错误
10	容许2位错误
11	容许3位错误

CRC

要对接收机使能CRC检测（16位CRC，如“GFSK/FSK模式下的发射机”部分所述），请将寄存器pkt_cfg的域auto_fcs_off设为0（0x108[0]）。这是默认设置。通过在寄存器irq1_en1或irq2_en1中设置rx_pkt_rcvd中断，可以使能在接收到含有正确CRC的有效包时产生中断。

如果接收包的CRC字需要由其它CRC公式产生，则主机MCU应将寄存器pkt_cfg的域auto_fcs_off设为1。接收到的CRC字存储在RX_BUFFER中，如图91所示。此时不会产生rx_pkt_rcvd中断；因此，建议使能rx_sfd中断，以通知主机MCU已收到一个包。详情参见“中断控制器”部分。

接收GFSK/FSK解调器

图93所示为接收解调器框图。一个相关器解调器用于2FSK和GFSK解调。先对模拟基带滤波器的正交输出进行数字化处理，然后将其馈送到数字频率相关器，以便对FSK或GFSK信号进行滤波和鉴频。

对于GFSK/FSK解调，数据恢复通过比较两个相关器的输出电平来进行。此鉴频器的性能近似于一个匹配滤波器检波器，后者可在存在加成性白高斯噪声(AWGN)的情况下提供最佳检波。这种GFSK/FSK解调方法的灵敏度比线性解调器高大约3 dB至4 dB。

相关器解调器带宽必须利用寄存器 dm_cfg0 的域 discriminator_bw (0x305[6:0])配置为与接收信号的偏差频率一致。对于低数据速率的应用，发射机和接收机的本振之

间的频率误差可能是偏差频率的一个主要来源。在优化解调器带宽设置以确保可靠工作时，必须考虑此频率误差。鉴频器带宽通过寄存器 dm_cfg0 的域 discriminator_bw (0x305[6:0])设置。鉴频器带宽设置可以通过下式计算：

$$discriminator_bw[6:0] = \frac{3.25 \text{ MHz}}{FSK_dev + freq_error_max}$$

其中：

FSK_dev为GFSK/FSK频率偏差（单位为Hz，从RF载波到逻辑0或逻辑1频率测量）。

freq_error_max为发射信号的载波频率与接收机的本振(LO)频率之间的最大预期频率误差（单位为Hz）。

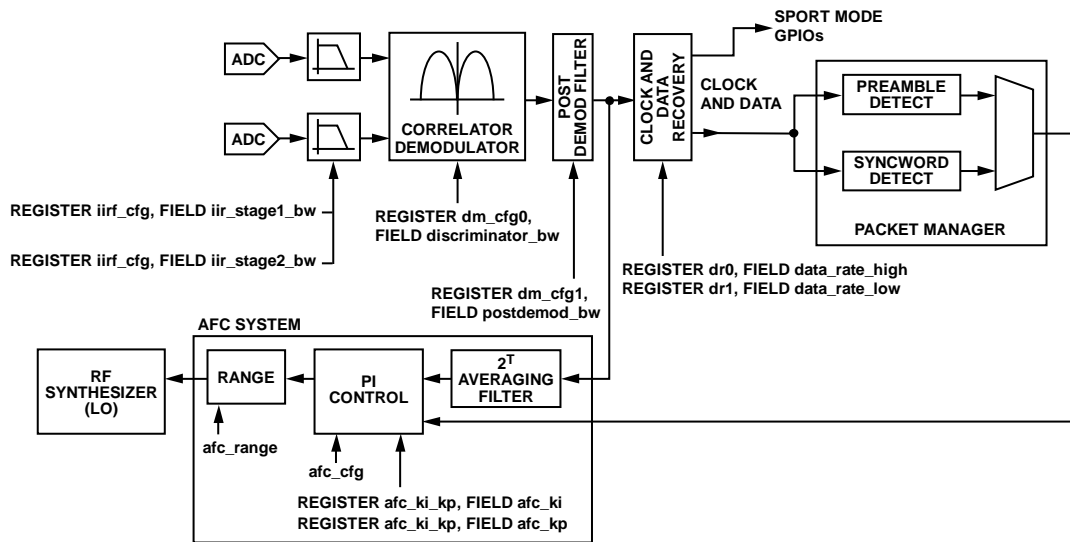


图93. RX解调器的结构

自动频率校正(AFC)

如图93所示，ADF7242配有完全自动化的实时AFC功能。在接收机和发射机的本振之间存在频率误差的情况下，该功能可以用来保持最佳链路预算。仅GFSK/FSK模式支持AFC功能。

使能AFC时，内部控制环路自动监控包的前同步码序列期间的频率误差，并利用内部比例积分(PI)控制环路来调节频率合成器LO。AFC频率误差测量带宽专门针对包的前同步码序列而设置（无直流）。检测到前同步码时，无线电控制器锁定AFC。在前同步码结束之后，如果没有立即检测到同步字，AFC锁定就会被解除。其原因可能是误锁、前同步码和/或同步字质量不佳等。如果在合格的前同步码结束后检测到合格的同步字，AFC将在整个包期间保持锁定。

寄存器afc_cfg的域afc_mode设为3（0x3F7[1:0]）时，可使能支持自动前同步码锁定的AFC操作，这是推荐设置。寄存器afc_read域afc_freq_error（0x3FA[7:0]）中的频率误差回读字会持续更新，直到AFC锁定。如果ADF7242转入其它状态（例如TX），频率校正正值保持不变。当接收机检测到下一个有效前同步码时，新频率校正正值会覆盖原有值；通过将寄存器afc_range的域max_afc_range设为0并将寄存器afc_cfg的域afc_mode设为2，可以将其清零。

AFC控制环路参数的推荐设置为：寄存器afc_ki_kp的域afc_ki为9，且寄存器afc_ki_kp的域afc_kp为9。表31给出了针对选定数据速率的AFC性能示例。

最大AFC校正范围由寄存器afc_range的域max_afc_range设置，其分辨率为1 kHz。此设置有助于防止AFC环路试图采集目标频率范围以外的信号。AFC可检测并校正所设通道频率的±max_afc_range范围以内的频率误差。标称通道频率由频率控制字ch_freq[23:0]设置。max_afc_range值一般设置为小于基带滤波器带宽的一半。

表31. AFC性能示例

参数	2000 kbps, f _{DEV} = ±500 kHz	500 kbps, f _{DEV} = ±250 kHz
前同步码长度	11个字节	前同步码长度
带AFC的频率误差容差	±165 kHz	带AFC的频率误差容差
最大AFC校正范围	±80 kHz	最大AFC校正范围
无AFC的频率误差容差	±55 kHz	无AFC的频率误差容差

后解调器滤波器

图93所示的数字后解调器滤波器用于消除解调器输出端的过大噪声。其带宽通过寄存器dm_cfg1的域postdemod_bw（0x38B[7:0]）设置，并应针对所用的数据速率进行优化。如果带宽设置过窄，则性能会由于符号间干扰而降低。如果设置过宽，则性能会由于噪声过大而降低。为获得最佳性能，后解调器滤波器的带宽应设置为数据速率的0.75倍。可以使用下式来确定相应的寄存器设置：

$$postdemod_bw = roundoff(17 \times 10^{-5} \times (0.75 \times \text{数据速率[bps]} - 4 \times 10^{-11}(0.75 \times \text{数据速率[bps]})^2)$$

有关后解调器滤波器的推荐设置和数据速率示例，请参见“器件配置”部分。

时钟和数据恢复(CDR)

所有调制模式都采用过采样数字时钟和数据恢复(CDR)PLL来对接收位流和本地时钟进行再同步。CDR的数据速率通过寄存器dr0的域data_rate_high（0x30E[7:0]）和寄存器dr1的域data_rate_low（0x30F[7:0]）设置。

CDR PLL的最大数据速率容差取决于发射包中的位跃迁数。例如，如果使用具有101010...前同步码的GFSK/FSK，则最大容差为数据速率的±3.0%。

在包其余部分的恢复期间，数据跃迁可能不是以规则间隔出现，因此该容差会降低。

然而，在数据速率容差和包长度均受限时，也可容许未编码的有效载荷数据域以及具有较长游程长度编码约束的有效载荷数据域。有关使用未编码包格式的CDR操作的详细信息，请参见应用笔记AN-915。

CDR设计用于在前同步码期间快速采集恢复符号，并一般在前同步码的5个符号跃迁内实现位同步。

GFSK/FSK模式下的接收机校准

每次发出RC_RX命令时，都会校准接收路径。IEEE 802.15.4和GFSK/FSK工作模式的校准序列完全相同，但时序参数不同。图94显示了GFSK/FSK工作模式下频率合成器和接收路径的校准序列和时序。（有关必需校准阶段和可选校准阶段的信息，请参见“接收机校准”部分。）

在GFSK/FSK接收模式下，总接收机校准时间为664 μ s。假设寄存器delaycfg0的域rx_mac_delay (0x109[7:0])仍然为默认延迟设置192 μ s，则寄存器delaycfg2的域mac_delay_ext (0x10B[7:0])需要设置为472 μ s。在接收机MAC延迟期间，当没有输入信号时，接收机可实现最佳性能。

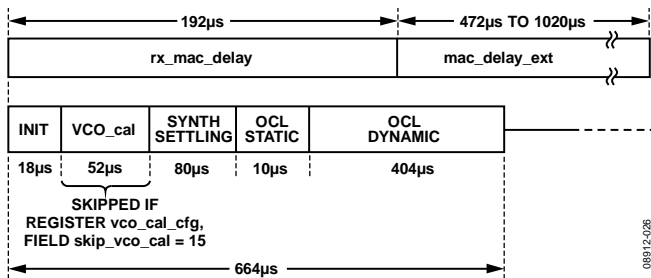


图94. 接收路径校准 (GFSK/FSK模式)

GFSK/FSK接收时序和控制

通过将寄存器rc_cfg的域rc_mode设为3 (0x13E[7:0])，可使能GFSK/FSK接收模式。详情参见“SPORT接口”部分。图95显示了GFSK/FSK SPORT模式的时序和控制序列。图96显示了GFSK/FSK数据包模式的时序和控制序列。

为了在正确的时间产生RC_READY中断，必须将寄存器delaycfg2的域mac_delay_ext设为0x76 (472 μ s)。设置此值后，GFSK/FSK接收模式下的总MAC延迟时间为664 μ s。对于要求快速周转时间的应用，建议将寄存器delaycfg2的域mac_delay_ext设为0x00。这种情况下，应忽略RC_READY中断，因为校准时间仍然为664 μ s。

经过接收机MAC延迟时间后，收发器进入RX状态。收发器开始搜索有效的前同步码/同步字。如果使能了中断，则接收到前同步码和正确的同步字时，rx_sfd中断将置位。在GFSK/FSK SPORT模式下，IRQ2_TRFS_GP2输出上的帧信号可提供比rx_sfd中断更精确的时序信息，并且不会产生rx_pkt_rcvd中断。要退出RX状态，必须发出一个要求进入其它状态的命令。

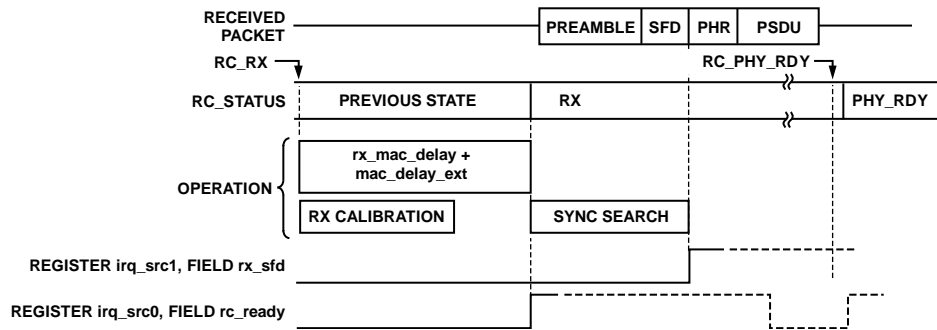


图95. 接收时序和控制 (GFSK/FSK SPORT模式)

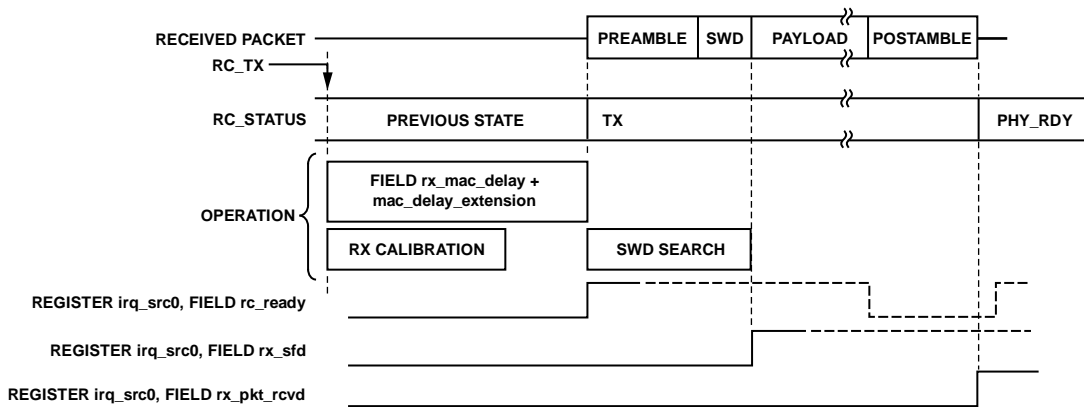


图96. 接收时序和控制 (GFSK/FSK数据包模式)

接收机无线功能模块

基带滤波器

ADF7242的基带滤波通过级联的模拟和数字滤波器实现。模拟基带滤波器的单边3 dB带宽可以通过寄存器rxfe_cfg的域rxbb_bw_ana (0x39B[3:0])在555 kHz至1126 kHz的范围内进行编程。数字滤波器的带宽可以通过寄存器iirf_cfg的域iir_stage1_bw (0x389[1:0])和寄存器iirf_cfg的域iir_stage2_bw (0x389[4:2])进行设置。“器件配置”部分中针对这些寄存器给出的推荐设置基于“发射机”部分中表22所示的调制参数。这些设置假设晶振容差为±20 ppm (GFSK/FSK模式)和±40 ppm (IEEE 802.15.4-2006模式)。对寄存器rxfe_cfg的域rxbb_bw_ana所做的更改须等到器件从空闲状态变为PHY_RDY状态时才能生效。表32给出了模拟和数字滤波器的带宽示例。

失调校正环路(OCL)

ADF7242配有一个快速、自主的失调校正环路(OCL)，它能消除零中频接收机路径中随时间而变化的静态和动态失调电压。在IEEE 802.15.4模式下，OCL连续工作，不受所接收数据的格式、时序或同步约束。在GFSK/FSK模式下，OCL仅在接收路径校准阶段有效。将失调电压降至最小后，OCL即自动关闭，直到发出下一个RC_RX命令。这种方案允许ADF7242在GFSK/FSK模式下保持其RF灵敏度，而不受数据格式的约束。该方案也适合快速跳频扩频(FHSS)通信系统。不过，由于接收路径中的失调电压会随着时间而漂移，因此通道驻留时间有一个上限。在GFSK/FSK工作模式下，建议至少每隔400 ms即重新发出RC_RX命令。对于与失调校正环路相关的配置寄存器，建议使用“器件配置”部分列出的值。

表32. 模拟和数字滤波器参数

模拟滤波器		数字滤波器		
寄存器rxfe_cfg域 rxbb_bw_ana (0x39B[3:0])	单边3 dB带宽(kHz)	寄存器iirf_cfg域 iir_stage1_bw (0x389[1:0])	寄存器iirf_cfg域 iir_stage2_bw (0x389[4:2]).	单边3 dB带宽(kHz)
14	1126	2	2	480
14	1086	2	3	320
13	1029	2	4	260
12	991			
11	927			
10	867			
9	797			
8	730			
7	655			
6	555			

自动增益控制(AGC)和接收信号强度指示器(RSSI)

ADF7242 AGC电路具有快速过载恢复功能，该功能可使用动态带宽调整来快速采集前同步码，并最佳地利用接收机路径的动态范围。失调校正阶段（当收发器进入RX状态时执行）结束后，无线电控制器会自动使能AGC。最佳AGC配置参数取决于所选的数据速率、调制格式和接收机失调校正环路的配置。“器件配置”部分中给出了基于表22所示调制参数的AGC配置寄存器推荐设置。

在GFSK/FSK模式下，通过设置寄存器fsk_preamble_config的域fsk_agc_lock_after_preamble，可以在收到前同步码后锁定AGC并防止增益再被更新。

当ADF7242处于RX状态时，RSSI回读值持续更新。结果以带符号的二进制补码形式在寄存器rrb的域rssi_readback (0x30C[7:0])中提供，单位为dBm（相对于1 mW的dB数）。在RC_RX命令之后的MAC延迟时间结束时，RSSI均值窗口与有效RX阶段的开始同步。RSSI均值时间可通过寄存器agc_cfg5的域rssi_avg_time (0x3B9[1:0])进行编程，并取决于AGC更新速率，计算公式如下：

$$T_{avg_rssi} = 77 \text{ ns} \times 2\alpha$$

其中：

$$\alpha = 2 + (\text{寄存器agc_cfg5的域agc_filt2_tavg1}) + (\text{寄存器agc_cfg6的域agc_filt2_tavg2}) + (\text{寄存器agc_cfg5的域rssi_avg_time})$$

在IEEE 802.15.4-2006模式下，为了符合IEEE 802.15.4-2006标准，必须使用默认RSSI均值周期，即128 μ s或8个符号周期。如果ADF7242在IEEE 802.15.4-2006数据包模式下工作，则接收帧的RSSI在测量后连同帧一起存储在RX_BUFFER中。RSSI的测量窗口为检测到SFD之后的8个符号周期。测量结果取代接收帧FCS的第一个字节而存储在RX_BUFFER中。对于GFSK/FSK模式，最佳RSSI均值时间取决于应用，而默认设置应该适合大多数应用。

还可以用寄存器agc_cfg5域rssi_offs (0x3B9[4:2])中的失调值调整RSSI回读值，以补偿RSSI测量值的系统误差和/或生产公差。调整分辨率为1 dB。

SPORT接口

SPORT接口是一种高速同步串行接口，适合与各种MCU和DSP接口，其中包括ADSP-21xx、SHARC、TigerSHARC和Blackfin DSP等，而无需使用胶连逻辑。图116和图117为使用可用SPORT模式之一的典型应用图。该接口使用四个信号：时钟输出(TRCLK_CKO_GP3)、接收数据输出(DR_GP0)、发射数据输入(DT_GP1)和帧信号输出(IRQ2_TRFS_GP2)。使能SPORT接口时，IRQ2输出功能不可用。SPORT接口支持GFSK/FSK和IEEE 802.15.4接收与发射操作。使用GFSK/FSK模式时，TRCLK_CKO_GP3输出上的接收/发射时钟的极性是可编程的。表33详细列出了每种GFSK/FSK模式SPORT配置下接口引脚的功能。IEEE 802.15.4模式的相应列表见表34。可以使用SPORT接口发送IEEE 802.15.4帧，方法是将ADF7242配置为2 Mbps FSK模式（见“器件配置”部分），并在外部执行符号码片操作。

GFSK/FSK SPORT模式

GFSK/FSK SPORT模式发射操作

图97说明了TX状态下SPORT接口的工作原理。根据所需时钟极性的不同，通过将寄存器gp_cfg的位gpio_config设为1或将位gpio_config设为4 (0x32C[7:0])可使能SPORT接口。使能后，发射机的数据输入便完全由SPORT接口控制。发射MAC延迟时间(tx_max_delay)逝去之后，发射时钟即出现。ADF7242不断发送DT_GP1输入端的串行数据，直至接到命令（例如RC_PHY_RDY命令）要求退出TX状态。图13给出了GFSK/FSK发射SPORT模式的时序图。

GFSK/FSK SPORT模式接收操作

SPORT接口以多种模式支持GFSK/FSK接收操作，以便适应特殊信号要求，如图98所示。要使能GFSK/FSK RX SPORT工作模式，请将寄存器rc_cfg的域rc_mode设为3 (0x13E[7:0])。这将禁用数据包管理器的任何包处理工作。SPORT接口的工作模式可通过寄存器gp_cfg的位gpio_config (0x32C[7:0])进行配置。表33概要列出了所有可用的配置。凭借寄存器gp_cfg中的SPORT模式配置gpio_config = 2、3、5和6，可实现与可编程SWD的同步。对于这些模式，在发出RC_RX命令之前，必须利用适当的寄存器写操作配置同步模块，如“GFSK/FSK数据包模式接收”部分所述。

在SPORT模式下，接收数据持续出现在接口引脚上，直到重新发出RC_RX命令，或者通过适当的SPI命令退出RX状态。可以选择下述SPORT工作模式。

寄存器gp_cfg的域gpio_config = 1 或域gpio_config = 4

TRCLK_CKO_GP3输出端的数据时钟和DR_GP0输出端的接收数据在接收机MAC延迟期间使能。此配置下会忽略GFSK/FSK SWD。IRQ2_TRFS_GP2输出不起作用。详细时序参见图10。

寄存器gp_cfg的域gpio_config = 2 或域gpio_config = 5

检测到前同步码信号时，数据时钟和数据信号开始分别出现在TRCLK_CKO_GP3和DR_GP0输出端。在接收到的GFSK/FSK位流中检测到同步字时，IRQ2_TRFS_GP2输出变为高电平。详细时序参见图11。

寄存器gp_cfg的域gpio_config = 3 或域gpio_config = 6

在接收到的GFSK/FSK位流中检测到有效前同步码和SWD时，数据时钟开始出现在TRCLK_CKO_GP3输出端。在第一个有效时钟沿，GFSK/FSK SWD之后的第一个数据位出现在DR_GP0输出端。在接收到的位序列中检测到SWD时，帧信号IRQ2_TRFS_GP2变为高电平。在TRCLK_CKO_GP3输出端出现第一个有效时钟沿之前，应忽略DR_GP0输出信号。详细时序参见图12。

GFSK/FSK SPORT模式中的SWD和前同步码

要配置GFSK/FSK SPORT模式，请将寄存器rc_cfg的域rc_mode设为3 (0x13E[7:0])。“GFSK/FSK数据包模式”部分所述的前同步码长度要求和容差选项也适用于SPORT模式。ADF7242也支持SPORT模式下的SWD自动检测，其算法与“GFSK/FSK数据包模式接收”部分所述的ADF7242 SWD检测算法相同。它提供多种时钟和数据选通选项，包括在检测到前同步码或SWD时选通接收数据。详情参见表33。

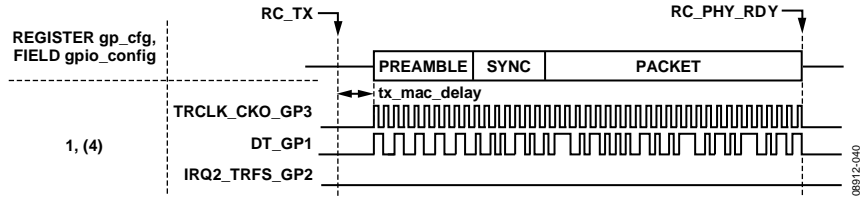


图97. GFSK/FSK TX状态下的SPORT操作

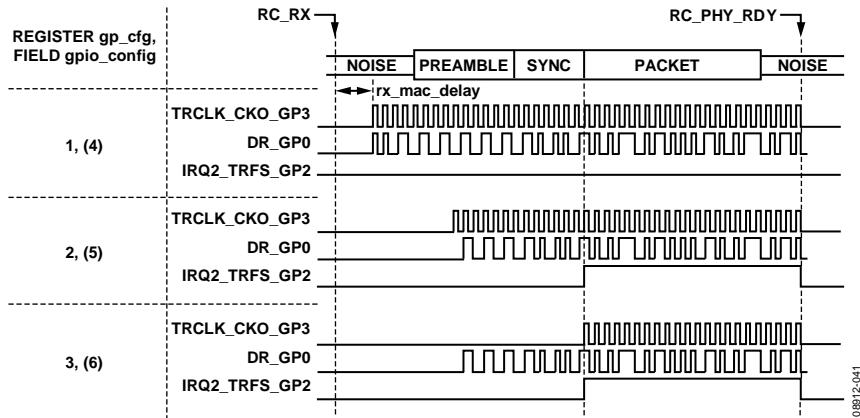


图98. GFSK/FSK RX状态下的SPORT模式概览

表33. GFSK/FSK模式SPORT接口配置

寄存器gp_cfg 位gpio_config	IRQ2_TRFS_GP2	DR_GP0	DT_GP1	TRCLK_CKO_GP3
1	RX: 不用, 低电平 TX: 不用, 低电平	RX: 数据输出, 在数据时钟的下降沿改变 TX: 不用	RX: 不用 TX: 数据输入, 在数据时钟的上升沿采样	RX: 数据时钟 TX: 数据时钟
2	RX: 检测到同步 匹配时变为高电平	RX: 数据输出, 在数据时钟的下降沿改变	RX: 不用	RX: 数据时钟, 检测到前同步码时选通
3	RX: 检测到同步 匹配时变为高电平	RX: 数据输出, 在数据时钟的下降沿改变	RX: 不用	RX: 数据时钟, 检测到同步字时选通
4	RX: 不用, 低电平 TX: 不用, 低电平	RX: 数据输出, 在数据时钟的上升沿改变 TX: 不用	RX: 不用 TX: 数据输入, 在数据时钟的下降沿采样	RX: 数据时钟 TX: 数据时钟
5	RX: 检测到同步 匹配时变为高电平	RX: 数据输出, 在数据时钟的上升沿改变	RX: 不用	RX: 数据时钟, 检测到前同步码时选通
6	RX: 检测到同步 匹配时变为高电平	RX: 数据输出, 在数据时钟的上升沿改变	RX: 不用	RX: 数据时钟, 检测到同步字时选通

IEEE 802.15.4-2006 SPORT模式

IEEE 802.15.4-2006 SPORT模式接收操作

ADF7242支持这样一种IEEE 802.15.4-2006工作模式：SPORT接口有效，而数据包管理器则被旁路。这种模式支持接收任意长度的包。通过将寄存器rc_cfg的域rc_mode设为2 (0x13E[7:0])并将寄存器gp_cfg的域gpio_config设为1 (0x32C[7:0])，可使能该模式。检测到SFD时，数据和时钟信号分别出现在SPORT输出的DR_GP0和TRCLK_CKO_GP3上。在重新发出RC_RX命令或者通过另一个命令退出RX状态之前，SPORT接口一直有效。这种模式不支持rx_pkt_rvcd中断。图7显示了此配置的时序。表34详细列出了IEEE 802.15.4-2006模式下与SPORT接口相关的引脚功能。

IEEE 802.15.4-2006 SPORT模式下的接收符号时钟

在IEEE 802.15.4包接收期间，ADF7242提供一个符号时钟输出选项。当输入包与网络之间需要精确时序同步，但无

法使用SFD中断(rx_sfd)来实现时，此选项很有用。在IEEE 802.15.4-2006数据包模式下(寄存器rc_cfg的域rc_mode= 0)，通过将寄存器gp_cfg的域gpio_config设为7 (0x32C[7:0])，可使能符号时钟输出。

IEEE 802.15.4-2006 SPORT模式发射操作

寄存器rc_cfg的域rc_mode设为3时，可使能IEEE 802.15.4-2006 TX SPORT模式。这种模式下，主机MCU必须执行IEEE 802.15.4码片序列。通过SPORT接口引脚DT_GP1发送的数据应与引脚TRCLK_CKO_GP3上出现的时钟信号同步。图9显示了此配置的时序。如同GFSK/FSK TX SPORT模式，此时钟信号的极性可以通过寄存器gp_cfg的域gpio_config设置。这种模式不支持tx_pkt_sent中断。表34详细列出了与此SPORT模式相关的引脚功能。

表34. IEEE 802.15.4模式SPORT接口配置

寄存器gp_cfg 域gpio_config	寄存器rc_cfg 域rc_mode	IRQ2_TRFS_GP2	DR_GP0	DT_GP1	RXEN_GP5	RXEN_GP6	TRCLK_CKO_GP3
3	2	RX: 忽略	RX: 数据输出， 在数据时钟的 上升沿改变	RX: 忽略	RX: 忽略	RX: 忽略	RX: 数据时钟
7	2	RX: 忽略	RX: 符号0	RX: 符号1	RX: 符号2	RX: 符号3	RX: 符号时钟
1	3	TX: 忽略	TX: 忽略	TX: 数据输入， 在数据时钟的上升 沿采样	TX: 忽略	TX: 忽略	TX: 数据时钟
4	3	TX: 忽略	TX: 忽略	TX: 数据输入， 在数据时钟的下降 沿采样	TX: 忽略	TX: 忽略	TX: 数据时钟

器件配置

ADF7242冷启动之后，或者从休眠状态唤醒器件时，需要对器件进行配置。该器件的主要配置模式有四种：IEEE 802.15.4-2006数据包模式、IEEE 802.15.4-2006 SPORT模式、GFSK/FSK数据包模式和GFSK/FSK SPORT模式。表35详细列出了适用于各种配置模式的寄存器。

表36至表42详细列出了应写入表35所示寄存器位置的值，以便将ADF7242配置为所需的工作模式。

如果需要从GFSK/FSK模式转换到IEEE.802.15.4-2006模式，或者相反，则首先应发出RC_RESET命令。

表35. 配置ADF7242所需的寄存器写操作

寄存器组描述	寄存器	IEEE 802.15.4 数据包模式	IEEE 802.15.4 SPORT模式	FSK数据包模式	FSK SPORT 模式
RFIO端口	0x39B	是	是	是	是
数据包/SPORT模式选择	0x13E			是	是
SPORT模式配置	0x32C		是		是
同步字	0x10C, 0x10D, 0x10E, 0x3F4 ¹	是	是	是	是
同步字配置	0x10F			是	是
要发送的前同步码字节数	0x102			是	是
前同步码验证字节数	0x3F3 ²			是	是
数据速率	0x30E, 0x30F			是	是
频率偏差	0x304			是	是
鉴频器带宽	0x305			是	是
后调制带宽	0x38B			是	是
数字滤波器设置	0x389			是	是
发射滤波器	0x306		是	是	是
模拟滤波器带宽	0x39B			是	是
频率合成器锁定时间	0x335			是	是
AGC	0x3B4, 0x3B6, 0x3B7, 0x3B8, 0x3BA, 0x3BC			是	是
AGC锁定	0x3B2			是	是
OCL	0x3BF, 0x3C4, 0x3D2, 0x3D3, 0x3D4, 0x3D5, 0x3D6, 0x3D7, 0x3E0			是	是
AFC	0x3F8, 0x3F9			是	是
AFC锁定	0x3F7			是	是

¹ 仅当用户需要设置非标准SFD时适用。

² 只应在GFSK/FSK数据包模式下写入此寄存器，因为IEEE 802.15.4数据包模式下使用默认设置0x05。

IEEE 802.15.4和GFSK/FSK模式共同的配置值

如果需要使用RF端口1，而不是RF端口2（参见“RF端口配置/天线分集”部分），则应将表36给出的所需工作模式特定值写入相关的寄存器域。

表36. LNA端口1/LNA端口2选择所需的设置

地址	寄存器域	值
0x39B [6:4]	rxfe_cfg, lna_sel	0x0: LNA1 0x1: LNA2

GFSK/FSK数据包模式和SPORT模式的配置值

如果需要使用GFSK/FSK数据包模式或SPORT模式，则主机MCU应将表37所示的配置值写入指定的寄存器位置。这些是所有GFSK/FSK数据包模式和SPORT模式的共同设置。根据所需数据速率的不同，还应写入表38中的相关值。

表37. 所有GFSK/FSK配置的共同设置

地址	寄存器名称	值
0x335	synt	0x28
0x3B2	agc_cfg1	0x34
0x3B4	agc_max	0x80
0x3B6	agc_cfg2	0x37
0x3B7	agc_cfg3	0x2A
0x3B8	agc_cfg4	0x1D
0x3BA	agc_cfg6	0x24
0x3BC	agc_cfg7	0x7B
0x3BF	ocl_cfg0	0x00
0x3C4	ocl_cfg1	0x07
0x3D2	ocl_bw0	0x1A
0x3D3	ocl_bw1	0x19
0x3D4	ocl_bw2	0x1E
0x3D5	ocl_bw3	0x1E
0x3D6	ocl_bw4	0x1E
0x3D7	ocl_bws	0x00
0x3E0	ocl_bw13	0xF0
0x3F3	preamble_num_validate	0x01

表38. 数据速率相关的GFSK/FSK设置

地址	寄存器或域名称	50 kbps FSK	62.5 kbps FSK	100 kbps FSK	125 kbps FSK	250 kbps GFSK	500 kbps GFSK	1 Mbps GFSK	2 Mbps GFSK
0x102 ¹	fsk_preamble	0x04 (6 字节)	0x04 (6 字节)	0x05 (7 字节)	0x05 (7 字节)	0x05 (7 字节)	0x05 (7 字节)	0x07 (9 字节)	0x09 (11 字节)
0x304	tx_fd	0x03	0x06	0x03	0x06	0x0D	0x19	0x19	0x32
0x305	dm_cfg0	0x37	0x37	0x6B	0x37	0x19	0x0D	0x0D	0x06
0x306	tx_m	0x00	0x00	0x00	0x00	0x02	0x03	0x03	0x03
0x30E	dr0	0x01	0x02	0x03	0x04	0x09	0x13	0x27	0x4E
0x30F	dr1	0xF4	0x71	0xE8	0xE2	0xC4	0x88	0x10	0x20
0x389	lirf_cfg	0x17	0x17	0x17	0x17	0x12	0x0A	0x05	0x05
0x38B	dm_cfg1	0x08	0x08	0x0D	0x11	0x20	0x3D	0x6E	0xAA
0x39B [3:0]	rxfe_cfg, rxbb_bw_ana	0x6	0x6	0x6	0x6	0x6	0x6	0x6	0xD

¹ 只应在GFSK/FSK数据包模式下写入此寄存器。对于表37中给出的寄存器preamble_num_validate的值和表40中给出的寄存器sync_config的值，本表中给出的发送前同步码长度是正确的，其中sync_word0用一个字节的前同步码填充。详情参见“GFSK/FSK模式下的发射机”部分。

ADF7242

要在GFSK/FSK数据包模式与SPORT模式之间进行选择，应写入表39中给出的值。

表39. GFSK/FSK数据包模式和SPORT模式的设置

地址	寄存器名称	数据包模式	SPORT模式
0x13E	rc_cfg	0x04	0x03
0x32C	gp_cfg	N/A	见表33

表40给出了推荐的同步字配置值。本例中，同步字长度设为16位，因此同步字将是0x7F31。sync_word0、sync_word1或sync_word2寄存器中被sync_len设置排除的所有位都应以前同步码填充。详情参见“GFSK/FSK模式下的接收机”部分。

表40. GFSK/FSK同步字配置示例

地址	寄存器或域名称	值	注释
0x10C	sync_word0	0x31	同步字完全可编程。
0x10D	sync_word1	0x7F	同步字完全可编程。
0x10E	sync_word2	0xAA	同步字完全可编程。
0x10F[6:5]	sync_config, sync_tol	0x0	同步字容差建议设置为0错误。
0x10F [4:0]	sync_config, sync_len	0x10	应与寄存器0x10C至0x10E中设置的同步字一致。

要启用AFC，应写入表41中给出的值。

表41. GFSK/FSK的AFC配置设置

地址	寄存器名称	值	注释
0x3F7	afc_cfg	0x07	默认情况下，AFC在检测到前同步码时锁定。
0x3F8	afc_ki_kp	0x99	AFC ki和kp默认值。
0x3F9	afc_range	0x50	AFC捕捉范围可编程，此处设置为±80 kHz。

IEEE 802.15.4-2006数据包模式和SPORT模式的配置值

配置IEEE 802.15.4数据包模式时不需要任何寄存器写操作，除非希望选择RF端口1，而不是RF端口2。对于SPORT模式，应将表42中列出的值写入ADF7242。

表42. IEEE 802.15.4配置设置

地址	寄存器名称	数据包模式	SPORT模式
0x13E	rc_cfg	N/A	见表34
0x306	tx_m	N/A	0x01
0x32C	gp_cfg	N/A	见表34

置IEEE 802.15.4数据包模式时不需要任何寄存器写操作，除非希望选择RF端口1，而不是RF端口2。对于SPORT模式，应将表42中列出的值写入ADF7242。

RF端口配置/天线分集

ADF7242配有两个全差分RF端口。端口1可用于接收，端口2则可用于接收或发送。RF端口1包括引脚RFIO1P和RFIO1N，而RF端口2包括引脚RFIO2P和RFIO2N。任何时候只能使用这两个RF端口中的一个。

由于存在两个RF端口，因此使用开关天线分集非常方便，当ADF7242连接到外部LNA和/或PA时，应用电路将非常简单。接收操作下的端口选择通过寄存器rxfe_cfg的域lna_sel(0x39B[6:4])进行配置。

配置A

图99所示的配置A是默认连接，其中单根天线连接到RF端口2。寄存器rxfe_cfg的域lna_sel设为1（默认设置）时，可选择这种配置。

配置B

配置B为双天线配置，适合开关天线分集应用。这种情况下，通过比较各天线上接收信号的RSSI水平并据此选择最佳天线，可以使链路余量最大化。此外，对于IEEE 802.15.4-2006模式，选择天线时可以使用寄存器lrb域sqi_readback中的SQI值。

用于选择最佳天线的适当算法取决于基础通信系统的具体情况。在两根天线之间切换可能会导致接收数据流短暂中断。因此，建议让天线选择阶段与包的前同步码部分同步。在静态通信系统中，一般只需选择一次最佳天线。

配置C

在配置C中，利用单个外部接收/发射开关就能连接外部PA和/或LNA。PA在RF端口2上发射信号。RF端口1配置为接收输入端（寄存器rxfe_cfg的域lna_sel=0）。

ADF7242提供两个信号RXEN_GP6和TXEN_GP5，用于自动使能外部LNA和/或PA。如果寄存器ext_ctrl的位txen_en为1，则ADF7242在TX状态下将在TXEN_GP5引脚上输出逻辑高电平，而在其它状态下则输出逻辑低电平。如果寄存器ext_ctrl的位rxen_en为1，则ADF7242在RX状态下将在RXEN_GP6引脚上输出逻辑高电平，而在其它状态下则输出逻辑低电平。

RXEN_GP6和TXEN_GP5输出端在休眠状态下具有高阻抗。因此，必须提供适当的下拉电阻，以明确这些信号在掉电期间的正确状态。有关外部PA使用的详细信息，包括集成偏置模块（可简化与基于单个FET的PA电路的连接）的详细信息，请参见“PA斜坡控制器”部分。

配置D

配置D与配置A相似，但前者使用偶极天线。这种情况下不需要巴伦。

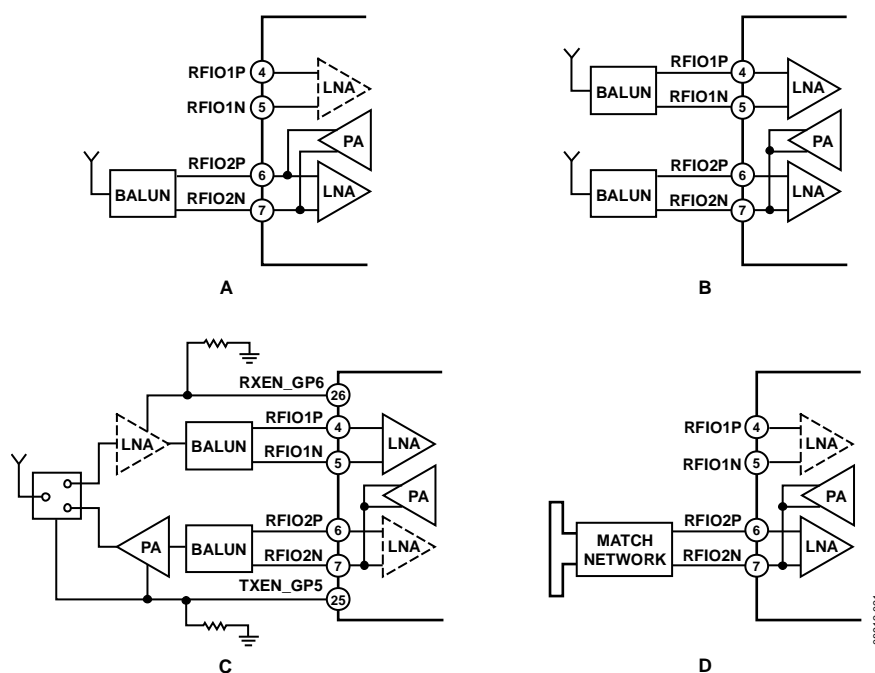


图99. RF接口配置选项 (A: 单根天线; B: 天线分集; C: 外部LNA/PA; D: 偶极天线)

辅助功能 温度传感器

若要执行温度测量，可以利用RC_MEAS命令来调用MEAS状态。结果可从寄存器adc_rbk的域adc_out (0x3AE[5:0])回读。对多次读数求平均值可以提高结果的精度。温度传感器的工作范围为-40°C至+85°C。芯片（环境）温度通过下式计算：

$$tdie = (4.72^{\circ}\text{C} \times \text{寄存器adc_rbk的域adc_out}) + 65.58^{\circ}\text{C} + \text{校正正值}$$

其中“校正正值”可以通过在某一已知温度执行回读来确定。还应注意，对多个ADC回读值求平均值可以提高温度测量的精度。

电池监控器

电池监控器功耗非常低，可以在除休眠状态以外的任何状态使用。当电池电压降至设定的阈值电压以下时，电池监控器对主机MCU产生batt_alert中断。阈值电压通过寄存器bm_cfg的域battmon_voltage (0x3E6[4:0])设置；其默认值为1.7 V，并能以62 mV的步长增大到3.6 V。

唤醒控制器(WUC) 电路描述

ADF7242具有一个带有可编程预分频器的16位唤醒定时器。该定时器的时钟源可以由32.768 kHz RC振荡器或32.768 kHz外部晶振来提供。此节拍率为一个3位可编程预分频器提供时钟，而该预分频器的输出则为一个可预加载的16位递减计数器提供时钟。图100所示的定时器电路原理图列出了预分频器的可能分频率。可编程预分频器和16位递减计数器的组合可实现30.52 μs至36.4小时的总WUC范围。

表43. 预分频器分频系数

timer_prescal (0x316[2:0])	32.768 kHz分频器	节拍周期
000	1	30.52 μs
001	4	122.1 μs
010	8	244.1 μs
011	16	488.3 μs
100	128	3.91 ms
101	1024	31.25 ms
110	81,92	250 ms
111	65,536	2000 ms

通过寄存器irq1_en0或irq2_en0可以使能在唤醒定时器超时产生中断。

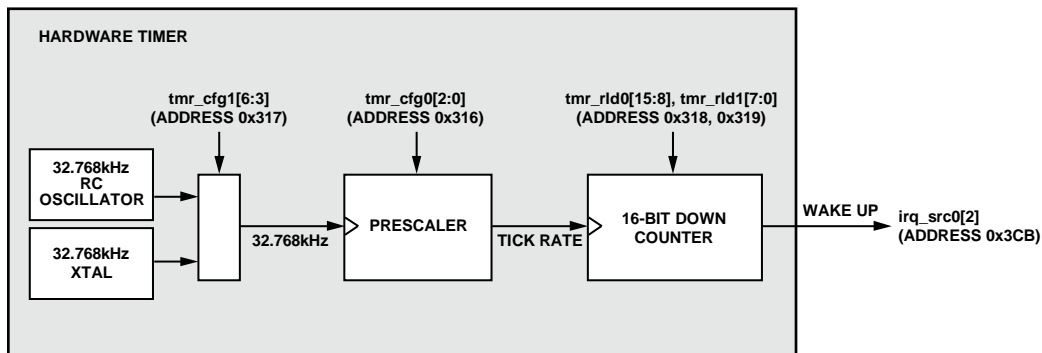


图100. 唤醒定时器硬件图

WUC配置和操作

唤醒定时器可以按照下述方式进行配置：

- 定时器的时钟信号从外部32.768 kHz晶振或内部RC振荡器获得，这可以通过寄存器tmr_cfg1的位sleep_config (0x317[6:3])进行选择。
- 3位预分频器决定节拍周期，它可以通过寄存器tmr_cfg0的位timer_prescal (0x316[2:0])进行编程。

定时器后接一个可预加载的16位递减计数器。选定时钟后即可设置递减计数器的重载值 (tmr_rld0和tmr_rld1) 以及预分频器值 (寄存器tmr_cfg0的位timer_prescal)。使能时钟后，计数器便从重载值开始以节拍率递减计数。如果已使能唤醒中断，则当定时器值达到0x0000时，定时器单元就会产生一个中断。如果具备相应的条件，该唤醒中断将触发器件从休眠状态唤醒。

为了可靠地产生唤醒中断，WUC超时标志位必须在重载值设置完毕后立即复位。为此，首先应将1写入寄存器tmr_ctrl的域wake_timer_flag_reset，然后写入0。要使能从休眠状态自动唤醒，应将1写入寄存器tmr_cfg1的域wake_on_timeout，以使定时器单元为唤醒操作做好准备。将此序列写入ADF7242后，便可发出休眠命令。

RC振荡器校准

RC振荡器不会自动校准。如果希望将RC振荡器用作WUC的时钟源，主机MCU应启动校准。校准可以在进入休眠状态之前的任何时候执行。要执行校准，主机MCU应当：

- 将寄存器tmr_ctrl的域wuc_rc_osc_cal设为0
- 将寄存器tmr_ctrl的域wuc_rc_osc_cal设为1

校准时间的典型值为1 ms。校准结束时，寄存器wuc_32kh_zosc_status的域rc_osc_cal_ready为高电平。校准之后，主机MCU可以按照“WUC配置和操作”部分所述的完整程序转入SLEEP_BBRAM_RCO状态。

发射测试模式

ADF7242提供多种发射测试模式，这些测试模式可以在IEEE 802.15.4-2006和GFSK/FSK SPORT模式下使用。通过写入寄存器tx_fsk_test (位置0x3F0) 可以使能这些测试模式，如表44所示。在IEEE 802.15.4-2006和GFSK/FSK数据包模式下，还可以使用一种连续包传输模式。通过以下程序可以使能该模式：

1. 应将一个带随机有效载荷的IEEE 802.15.4-2006或GFSK/FSK包写入TX_BUFFER，如“发射机”部分所述。建议使用一个具有最大长度127字节的包。
2. 将寄存器buffercfg的域trx_mac_delay设为1。
3. 将寄存器buffercfg的域tx_buffer_mode设为3。
4. 将寄存器pkt_cfg的域skip_synth_settle设为1。
5. 发出命令RC_TX。发射机持续发送TX_BUFFER中存储的包。
6. 如果在此步骤之后的任何时候发出命令RC_PHY_RDY，则在重新发出命令RC_TX之前，必须将上述配置寄存器重新写入器件。

注意，在两个包之间，发射机会暂时传输一个RF载波，其原因是从包处理程序完成TX_BUFFER中的包传输并返回，到再次传输TX_BUFFER的起始内容有一个有限的延迟时间。

表44. 0x3F0: tx_fsk_test

位	名称	R/W	复位值	描述
[7:4]	保留	R/W	2	保留，设为默认值。
3	zero_only	R/W	0	在GFSK/FSK SPORT模式下，以 $(f_{CH} - f_{DEV})$ 的频率仅传输0。
2	one_only	R/W	0	在GFSK/FSK SPORT模式下，以 $(f_{CH} + f_{DEV})$ 的频率仅传输1。
1	carrier_only	R/W	0	以编程设置的频率fCH传输未调制的信号音。
0	保留	R/W	0	保留，设为默认值。

串行外设接口(SPI)

通用特性

ADF7242配有一个4线式SPI接口，该接口使用SCLK、MISO、MOSI和CS引脚。相对于主机MCU，ADF7242始终是一个从机。图101显示了主机MCU与ADF7242之间的连接示例。该图还显示了各引脚的信号流方向。要使SPI接口有效，并且使能MISO输出，CS输入必须为低电平。该接口使用8位字长，与大多数微处理器的SPI硬件兼容。通过SPI接口的数据传输以地址和数据的MSB优先。SPI接口时序参见图3。MOSI输入在SCLK的上升沿进行采样。当命令或数据在SCLK上升沿从MOSI输入移入时，状态字或数据在SCLK时钟的下降沿于MISO引脚上同步移出。如果CS被拉低，则无需等待SCLK输入上出现上升时钟沿，状态字的MSB就会出现在MISO输出上。

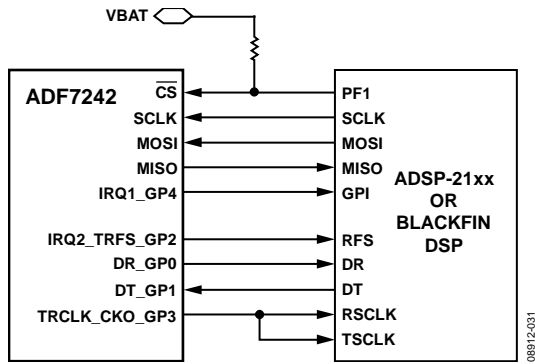


图101. SPI接口连接

命令访问

ADF7242通过命令进行控制。命令字为单字节指令，用于控制无线电控制器的状态转换，以及寄存器和包RAM的访问。表45给出了有效命令的完整列表。带有RC前缀的命令由无线电控制器处理，而带有SPI前缀的存储器访问命令则由独立的控制器处理。因此，SPI命令的发出与无线电控制器的状态无关。

将CS拉低并通过SPI移入命令字，即可启动命令，如图102所示。

所有命令都是在CS再次变为高电平或者在SCLK输入的下一个正边沿执行。后一情况适用于存储器访问命令。这种情况下，命令在对应于第一个参数字MSB的SCLK时钟正边沿

执行。命令移入ADF7242之后，必须将CS输入再次拉高，以便识别后续命令字。这是因为单命令只能在CS低电平期间发出（双NOP命令除外）。

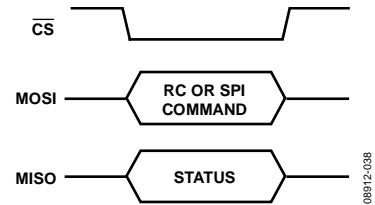


图102. 命令写操作

由无线电控制器执行的某些命令可能需要多个指令周期，在此期间无线电控制器单元处于忙碌状态。因此，在发出无线电控制器命令之前，有必要读取状态字，以确定ADF7242是否能够接受新的无线电控制器命令。这最好通过移入SPI_NOP命令来完成，该命令将导致状态字被移出。RC_READY变量用于指示无线电控制器何时能够接受新的RC命令，而SPI_READY变量则用于指示何时能够访问存储器。为了免除主机MCU频繁轮询状态字的负担，使其能有更多时间来处理RC_RX、RX_TX和RC_PHY_RDY等复杂命令，可以配置IRQ处理程序来产生RC_READY中断。详情参见“中断控制器”部分。另一方面，用户也可以根据命令执行时间（参见表10和表11中给出的状态转换时序）设置超时时间。

状态字

每次通过MOSI传输一个字节时，ADF7242的状态字都会通过MISO自动返回。表46说明了状态字各位域的含义。RC_STATUS域反映无线电控制器的当前状态。根据定义，RC_STATUS反映状态转换完成后的状态。在状态转换期间，RC_STATUS保持状态转换前的状态值。

表45. 命令列表

命令	代码	描述
SPI_NOP	0xFF	无操作。用于伪写操作。
SPI_PKT_WR	0x10	将数据写入包RAM，从发送包基地址指针（寄存器txpb的域tx_pkt_base (0x314[7:0])) 开始。
SPI_PKT_RD	0x30	从包RAM读取数据，从接收包基地址指针（寄存器txpb的域rx_pkt_base (0x315[7:0])) 开始。
SPI_MEM_WR	0x18 + 存储器地址[10:8]	按顺序将数据写入MCR或包RAM。
SPI_MEM_RD	0x38 + 存储器地址[10:8]	按顺序从MCR或包RAM读取数据。
SPI_MEMR_WR	0x08 + 存储器地址[10:8]	以随机块形式将数据写入MCR或包RAM。
SPI_MEMR_RD	0x28 + 存储器地址[10:8]	以随机块形式从MCR或包RAM读取数据。
SPI_PRAM_WR	0x1E	将数据写入程序RAM。
RC_SLEEP	0xB1	使无线电控制器转入休眠状态。
RC_IDLE	0xB2	使无线电控制器转入空闲状态。
RC_PHY_RDY	0xB3	使无线电控制器转入PHY_RDY状态。
RC_RX	0xB4	使无线电控制器转入RX状态。
RC_TX	0xB5	使无线电控制器转入TX状态。
RC_MEAS	0xB6	使无线电控制器转入MEAS状态。
RC_CCA	0xB7	调用空闲信道评估。
RC_PC_RESET	0xC7	程序计数器复位。只应在将固件下载到程序RAM之后使用。
RC_RESET	0xC8	复位ADF7242并将其置于休眠状态。

表46. SPI状态字

位	名称	描述
7	SPI_READY	0: SPI未准备好进行访问。 1: SPI已准备好进行访问。
6	IRQ_STATUS	0: 无未决中断条件。 1: 有未决中断条件。 (当IRQ1_GP4或IRQ2_TRFS_GP2引脚为高电平时, IRQ_STATUS = 1)
5	RC_READY	0: 无线电控制器未准备好接受RC_xx命令选通信号。 1: 无线电控制器已准备好接受新的RC_xx命令选通信号。
4	CCA_RESULT	0: 通道繁忙。 1: 通道空闲。 当寄存器irq_src1的位cca_complete (0x3CC[0])置位时有效。
[3:0]	RC_STATUS	无线电控制器状态: 0: 保留。 1: 空闲。 2: MEAS。 3: PHY_RDY。 4: RX。 5: TX。 6至15: 保留。

存储器映射

ADF7242所用的各种存储器位置如图103所示。器件的无线电控制和数据包管理通过一个定制的8位处理器和一个嵌入式ROM来实现。处理器执行嵌入式程序ROM中存储的指令。此外还有一个本地RAM，它分为三部分，分别是用于存储发送和接收数据的包缓冲器（包RAM），以及用于存储无线电和数据包管理配置的BBRAM和MCR。这些变量的RAM地址为11位长。

BBRAM

64字节BBRAM带备用电池，用于保存唤醒控制器将器件从休眠状态唤醒时所需的设置。

调制解调器配置RAM (MCR)

256字节的调制解调器配置RAM (MCR)包含用于直接控制或观察ADF7242物理层无线电模块的各种寄存器。休眠状态下不会保存MCR的内容。

程序ROM

程序ROM包括4 kB的非易失性存储器，用于存储无线电控制、数据包管理和智能唤醒模式所需的固件代码。

程序RAM

程序RAM包括2 kB的易失性存储器，用于存储ADI公司提供的各种软件模块，如地址过滤和CSMA/CA等。这些软件模块由主机微处理器通过SPI下载到程序RAM存储空间。有关如何写入程序RAM的详细信息，请参见“存储器访问”部分的“程序RAM写入”小节。

数据包RAM

包RAM包括从地址0x000到0x0FF的256字节存储空间，如图103所示。此存储器用于存储来自有效接收包的数据和待发送的包数据。数据包管理器将收到的有效载荷数据存储在寄存器rxpb域rx_pkt_base的值（接收地址指针）所指示的位置。寄存器txpb域tx_pkt_base的值（发送地址指针）决定数据包管理器要发送的数据的起始地址。此存储器可以任意指定用于以重叠或不重叠方式存储单个或多个发送或接收包，如图104所示。选择rx_pkt_base值时，应确保所分配的包RAM空间足以容纳最长的接收机有效载荷。

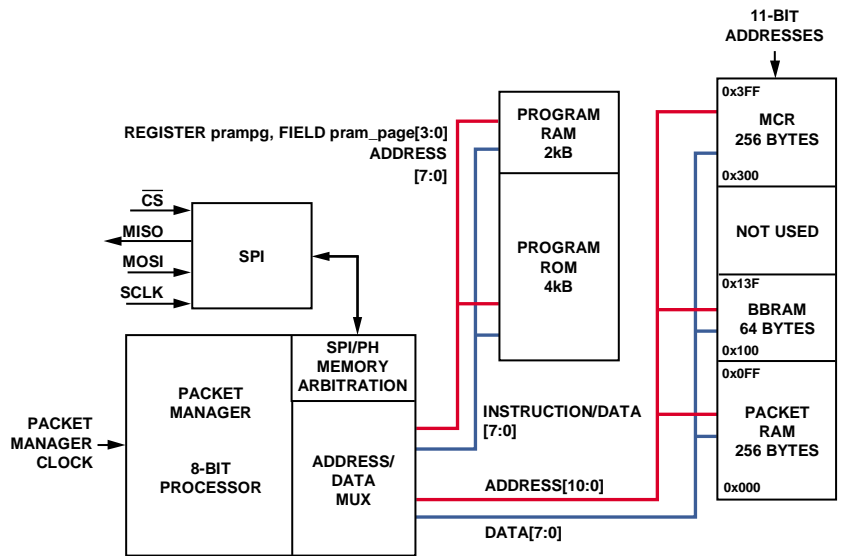


Figure 103. ADF7242 Memory Map

图103. ADF7242存储器映射

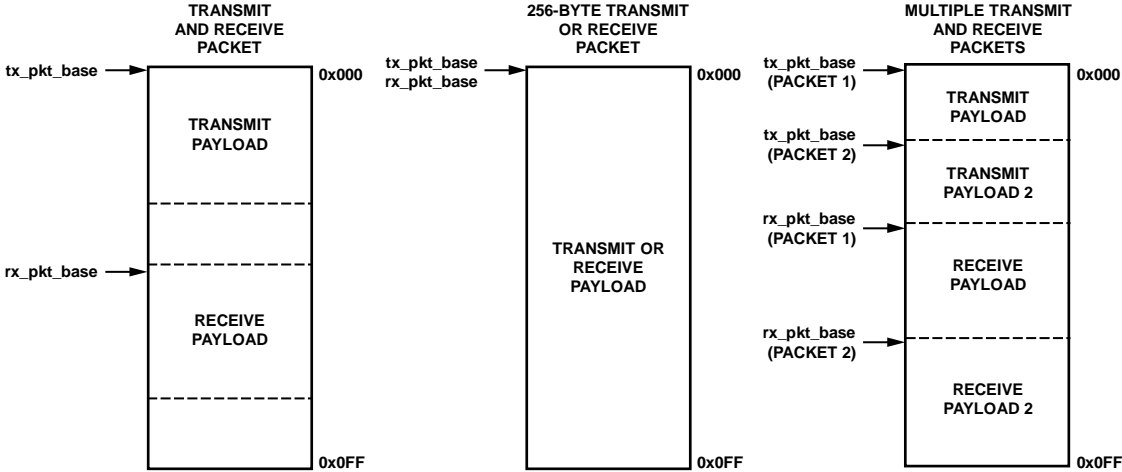


图104. 使用发送包和接收包地址指针的包RAM配置示例

存储器访问

存储器位置通过调用相关的SPI命令来访问。识别存储空间中的寄存器或位置时，会使用一个11位地址。地址的3个MSB会纳入命令中，追加为命令字的LSB。图105显示了命令、地址和数据划分情况。各种SPI存储器访问命令因所访问的存储器位置不同而异，详情见表47。

SPI命令只应在状态字的SPI_READY位为高电平时发出。

此外，当无线电控制器正在初始化时，不应发出SPI命令。无论无线电控制器处于何种状态，包括状态转换期间，都可以发出SPI命令。

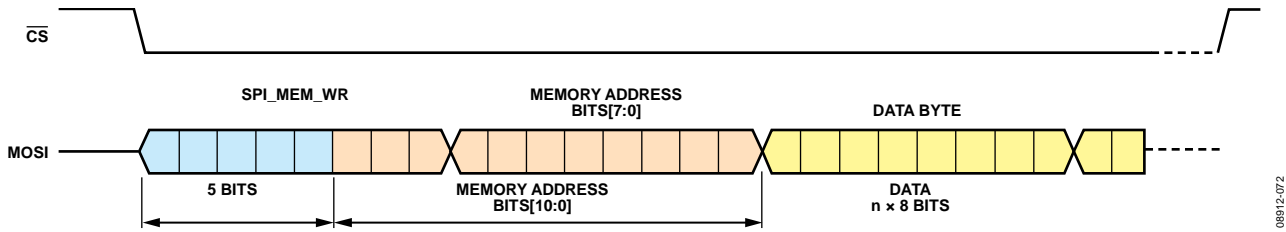


图105. SPI存储器访问命令/地址格式

表47. SPI存储器访问命令汇总

SPI命令	命令值	描述
SPI_PKT_WR	= 0x10	将报文写入包RAM，从发送包基地址指针（寄存器txpb的域tx_pkt_base (0x314[7:0])）开始。
SPI_PKT_RD	= 0x30	从包RAM读取报文，从接收包基地址指针（寄存器txpb的域rx_pkt_base (0x315[7:0])）开始。
SPI_MEM_WR	= 0x18 (包RAM) = 0x19 (BBRAM) = 0x1B (MCR)	按顺序将数据写入BBRAM、MCR或包RAM。使用11位地址来识别存储器位置。地址的3个MSB纳入命令中(0xxb)。地址的其余8位跟在命令之后。
SPI_MEM_RD	= 0x38 (包RAM) = 0x39 (BBRAM) = 0x3B (MCR)	按顺序从BBRAM、MCR或包RAM读取数据。使用11位地址来识别存储器位置。地址的3个MSB纳入命令中(0xxb)。地址的其余8位跟在命令之后，再后面是适当数量的SPI_NOP命令。
SPI_MEMR_WR	= 0x08 (包RAM) = 0x09 (BBRAM) = 0x0B (MCR)	随机将数据写入BBRAM/MCR或包RAM。
SPI_MEMR_RD	= 0x28 (包RAM) = 0x29 (BBRAM) = 0x2B (MCR)	随机从BBRAM/MCR或包RAM读取数据。
SPI_PRAM_WR	= 0x1E (程序RAM)	将数据写入程序RAM。
SPI_PRAM_RD	= 0x3E (程序RAM)	从程序RAM读取数据。
SPI_NOP	= 0xFF	无操作。轮询状态字时，用于伪写操作；读取存储器时，用作MOSI线上的伪数据。

写入ADF7242 块写入

利用SPI_PKT_WR命令能够以块格式写入包RAM存储器位置。SPI_PKT_WR命令为0x10。利用此命令可以对包RAM进行基于指针的写操作。写入位置的地址为寄存器txpb域tx_pkt_base (0x314[7:0])中的基地址与索引之和。对于命令字之后的第一个数据字，索引为0；对于随后写入的各连续数据字，索引自动递增。因此，SPI_PKT_WR命令之后的第一个数据字存储在地址为寄存器txpb域tx_pkt_base (0x314[7:0])的位置上；第二个数据字存储在地址为寄存器txpb域tx_pkt_base + 1的包RAM位置上，依此类推。这一特性使得此命令对于一再从同一地址开始的大量数据写入操作非常有效。图106显示了命令SPI_PKT_WR的访问序列。

利用SPI_MEM_WR命令能够以块格式写入MCR、BBRAM和包RAM存储器位置。SPI_MEM_WR命令代码为00011xxx_b，其中xxx_b表示第一个11位地址的位[10:8]。如果写入一个以上的数据字节，则对于每个发送的字节，写入地址会自动递增，直到变为高电平而终止存储器访问命令。详情参见图107。MCR、包RAM和BBRAM存储器的最大块写入长度分别为256字节、256字节和64字节。块写入长度不得超过这些最大值。

示例

将0x00写入rc_cfg寄存器（位置0x13E）。

- SPI_MEM_WR命令的前5位为00011。
- rc_cfg的11位地址为00100111110。
- 发送的第一个字节为00011001或0x19。
- 发送的第二个字节为00111110或0x3E。
- 发送的第三个字节为0x00。

因此，写入器件的是0x193F00。

随机地址写入

利用SPI_MEMR_WR命令能够以随机地址格式写入MCR、BBRAM和包RAM存储器位置。SPI_MEMR_WR命令代码为00001xxx_b，其中xxx_b表示11位地址的位[10:8]。地址的低8位应跟在此命令之后，再后面是待写入该地址的数据字节。然后输入下一个地址的低8位，接着输入该地址的数据，直到该块之内的全部所需地址都已写入，如图108所示。注意，SPI_MEMR_WR命令有利于修改RX_BUFFER和TX_BUFFER中的个别包元素，而无需下载并上传整个包。

在包RAM的RX_BUFFER和TX_BUFFER中，特定字节的地址位置通过以下方法确定：将字节的相对位置与地址指针rx_pkt_base（寄存器rxpb；0x315[7:0]）或地址指针tx_pkt_base（寄存器txpb；0x314[7:0]）相加。

程序RAM写入

程序RAM只能利用存储器块写入命令写入，如图109所示。SPI_PRAM_WR命令为0x1E。程序RAM共有8个页面，每个页面256字节。代码模块必须存储在程序RAM中，从地址0x0000或页面0的地址0x00开始。当前程序RAM页面通过寄存器prampg的域pram_page (0x313[3:0])选择。上传程序RAM之前，必须将无线电控制器代码模块划分为与程序RAM页面大小相当的多个256字节模块。利用SPI_PRAM_WR命令将每个256字节模块上传到当前选定的程序RAM页面。图109显示了将一个256字节的代码模块上传到PRAM页面所需的序列。SPI_PRAM_WR命令代码之后是地址字节0x00，以使代码模块与程序RAM页面的基地址对齐。图110显示了总体的上传序列。除了写入程序RAM的最后一个页面以外，所有其它页面都必须用256字节的模块代码填充。

读取ADF7242

块读取

利用SPI_PKT_RD命令可以对包RAM进行基于指针的读操作。SPI_PKT_RD命令为0x30。读取位置的地址为寄存器rxpb域rx_pkt_base中的基地址与索引之和。对于第一个回读字，索引为0；对于随后的各连续SPI_NOP命令，索引自动递增。SPI_PKT_RD命令之后的第一个数据字节无效，应予以忽略。图111显示了命令SPI_PKT_RD的访问序列。

利用SPI_MEM_RD命令可以对MCR、BBRAM和包RAM存储器位置执行块读取操作。SPI_MEM_RD命令代码为00111xxx_b，其中xxx_b表示第一个11位地址的位[10:8]。读取地址的其余8位跟在命令之后，再后面是两个SPI_NOP命令（伪字节）。写入地址后的第一个可用字节应予以忽略，第二个字节才构成有效数据。如果要读取一个以上的数据字节，则对于后续发送的SPI_NOP命令，读取地址会自动递增。详情参见图112。

随机地址读取

利用SPI_MEMR_RD命令能够以非顺序方式读取MCR、BBRAM和包RAM存储器位置。SPI_MEMR_RD命令代码为00101xxx_b，其中xxx_b表示11位地址的位[10:8]。写入地址的其余8位跟在命令之后，再后面是两个SPI_NOP命令（伪字节）。

从存储器读取的数据字节在发出第二个SPI_NOP命令时可用。对于随后的每个读取操作，输入8位地址之后应发出两个SPI_NOP命令，如图113所示。

示例

读取rc_cfg寄存器中的值。

- SPI_MEM_RD命令的前5位为00111。
- rc_cfg寄存器的11位地址为00100111111。
- 发送的第一个字节为00111001或0x39。
- 发送的第二个字节为00111110或0x3E。
- 发送的第三个字节为0xFF (SPI_NOP)。
- 发送的第四个字节为0xFF。

因此，写入器件的是0x393EFFFF。

在发送第四个字节的同时，MISO线上移出的值即为rc_cfg寄存器中存储的值。

它允许读取RX_BUFFER和TX_BUFFER中的个别包元素，而无需下载整个包。

程序RAM读取

利用SPI_PRAM_RD命令可以读取程序RAM。它可以用来验证固件模块是否已经正确写入程序RAM。像SPI_PRAM_WR命令一样，主机MCU必须通过寄存器prampg的域pram_page选择要读取的程序RAM页面。然后，主机MCU可以使用SPI_PRAM_RD命令以块读取方式读取所选的程序RAM页面。此命令的结构与SPI_MEM_RD命令完全相同。

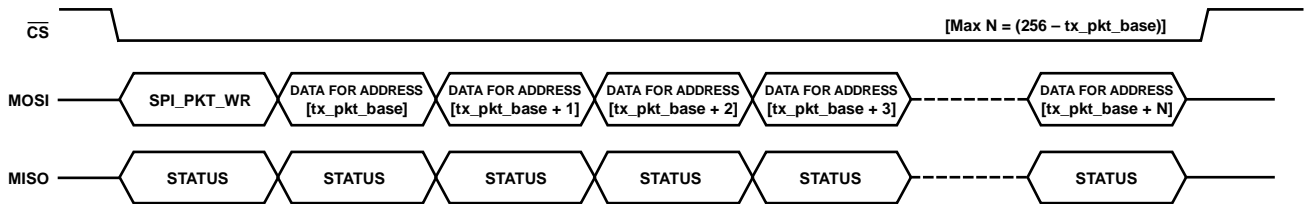


图106. 包RAM写入 (tx_pkt_base是TX的基地址指针，通过寄存器txbp的位tx_pkt_base设置)

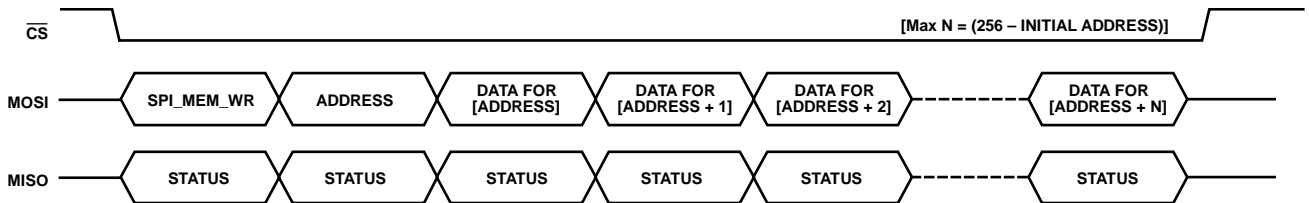


图107. 存储器（寄存器或包RAM）块写入

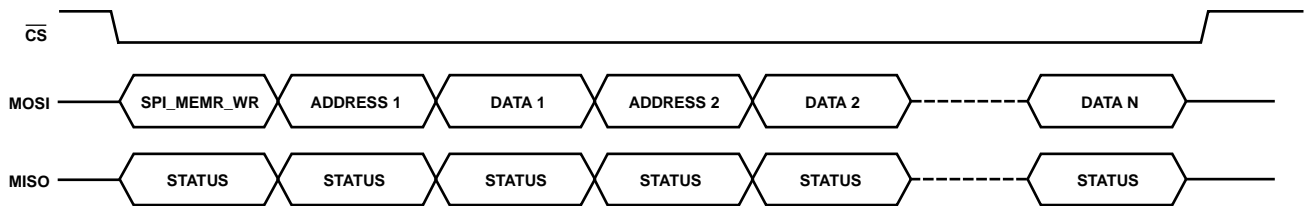
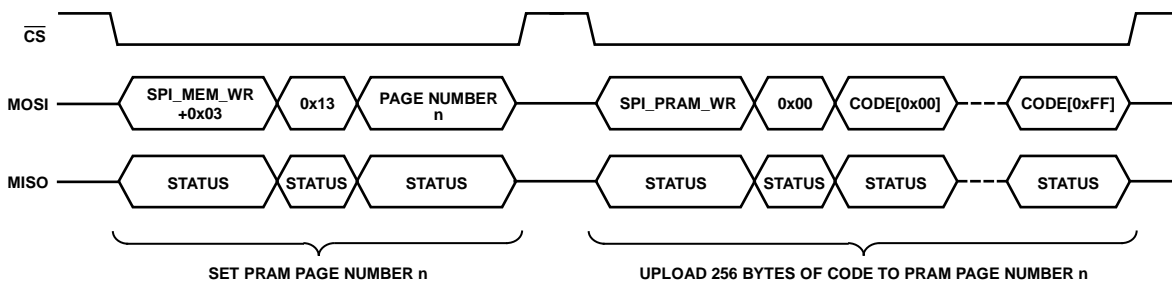


图108. 存储器（寄存器或包RAM）随机地址写入



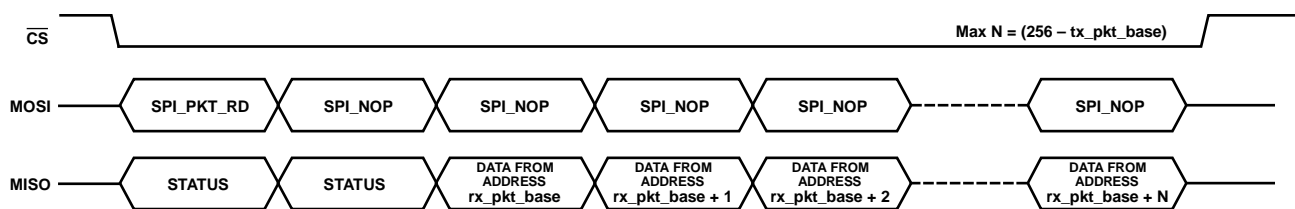
08912-073

图109. 程序RAM页面的上传序列



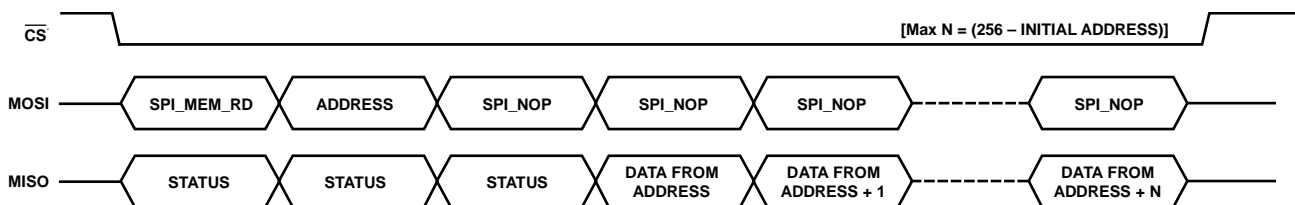
08912-074

图110. 代码模块的下载序列



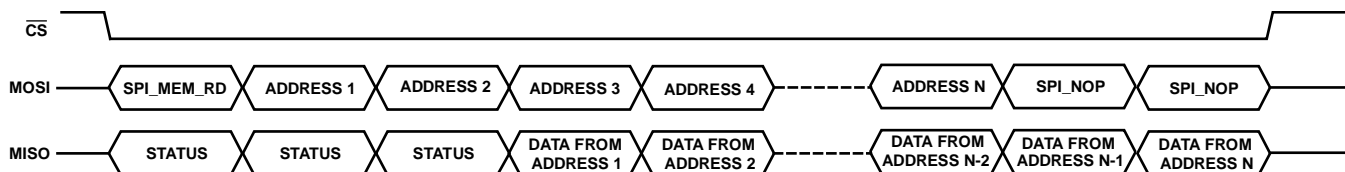
08912-035

图111. 包RAM读取 (rx_pkt_base是RX的基地址指针, 通过寄存器rxbp的位rx_pkt_base设置)



08912-034

图112. 存储器 (寄存器或包RAM) 块读取



08912-037

图113. 存储器 (寄存器或包RAM) 随机地址读取

可下载的固件模块

ADF7242的程序RAM可用来存储片内处理器的固件模块，以便提供额外功能。如需这些固件模块的可执行代码及其

功能的详细信息，请联系ADI公司。有关如何下载固件模块到程序RAM的详细信息，请参见“写入ADF7242”部分。

中断控制器配置

ADF7242配有一个中断控制器，该控制器能够处理最多16个独立的中断事件。中断事件可以通过硬件电路或数据包管理器触发，并通过寄存器irq_src0 (0x3CB)和irq_src1 (0x3CC)捕获。

两个中断引脚IRQ1_GP4和IRQ2_TRFS_GP2提供中断信号。16个中断源可以逐个分别使能或禁用。irq1_en0 (0x3C7)和irq1_en1 (0x3C8)寄存器控制IRQ1_GP4中断引脚的功能。irq2_en0 (0x3C9)和irq2_en1 (0x3CA)寄存器控制IRQ2_TRFS_GP2中断引脚的功能。有关不同中断在相关中断源和中断使能寄存器中所对应的具体位的详细信息，请参见表48和表49。

如果IRQ1或IRQ2上存在中断，SPI状态字的IRQ_STATUS位就会置位。这对于没有中断引脚可用的主机MCU而言很有用。

可以回读irq_src1和irq_src0寄存器以确定中断源。如果将1写入相应中断源寄存器 (irq_src1或irq_src0) 中的对应位位置，中断将被清除。如果写入0，其状态保持不变。这一方案允许单独清除各个中断，有利于分层中断处理。

由于有两个中断输出可用，因此可以灵活地将中断源分配给两个不同的MCU硬件资源。例如，rx_sfd中断可以与

MCU的定时器捕获单元关联起来，而所有其它中断则由正常的中断处理程序处理。在SPORT工作模式下，引脚IRQ2_TRFS_GP2用作帧同步信号，与中断控制器断开。

在休眠状态下，IRQ1_GP4和IRQ2_TRFS_GP2引脚具有高阻抗。

在非休眠状态下，引脚IRQ1_GP4和IRQ2_TRFS_GP2配置为推挽输出，使用正逻辑极性。

上电复位或从休眠状态唤醒之后，寄存器irq1_en0的域powerup和寄存器irq2_en0的域powerup置1，而irq1_en0、irq1_en1、irq2_en0和irq2_en1寄存器中的所有其它位复位。因此，经过上电复位事件或从休眠状态唤醒之后，一个上电中断信号会在IRQ1_GP4和IRQ2_TRFS_GP2引脚上置位。如果从休眠状态唤醒事件是由唤醒定时器引起，则上电中断信号可以用来使主机MCU上电。

ADF7242上电之后，irq_src0寄存器中的rc_ready、唤醒和上电复位中断也会置位。不过，这些中断不会传播到IRQ1_GP4和IRQ2_TRFS_GP2引脚，因为相应的掩码位已复位。在初始化阶段，irq_src0和irq_src1寄存器应当清零。

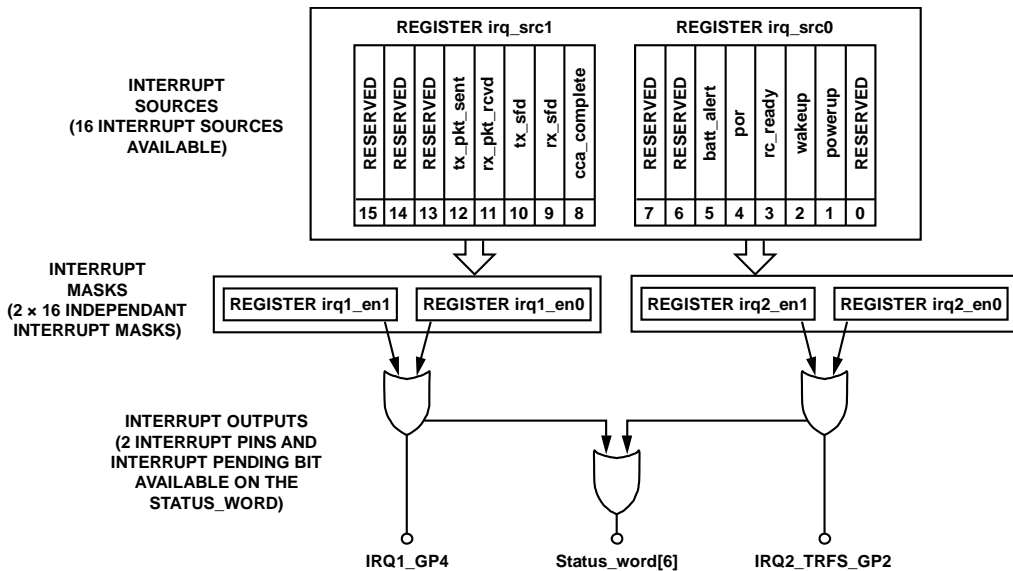


图114. 中断控制器

表48. 中断源寄存器irq_src1中的位位置，对应于irq1_en1、irq2_en1中的中断使能

位	名称	注释
7	保留	无关；掩码置0。
6	保留	无关；掩码置0。
5	保留	无关；掩码置0。
4	tx_pkt_sent	TX包传输完成。
3	rx_pkt_rcvd	RX_BUFFER中接收到包。
2	tx_sfd	已传输SFD/SWD。
1	rx_sfd	已检测到SFD/SWD。
0	cca_complete	状态字中的CCA_RESULT有效。

表49. 中断源寄存器irq_src0中的位位置，对应于irq1_en0、irq2_en0中的中断使能

位	名称	注释
7	保留	无关；掩码置0。
6	保留	无关；掩码置0。
5	batt_alert	电池电压降至设定的阈值以下。
4	por	无上电复位事件。
3	rc_ready	无线电控制器准备好接受新命令。
2	wakeup	定时器超时。
1	powerup	芯片已准备好接受访问。
0	保留	无关；掩码置0。

中断源描述

tx_pkt_sent

在IEEE802.15.4-2006或GFSK/FSK数据包模式下，当TX_BUFFER中的包发送完毕时，此中断置位。

rx_pkt_rcvd

在IEEE 802.15.4-2006或GFSK/FSK数据包模式下，当RX_BUFFER中收到一个带有效FCS或CRC的包并且该包可用时，此中断置位。

tx_sfd

在IEEE 802.15.4-2006或GFSK/FSK数据包模式下，发送SFD或SWD时，此中断置位。

rx_sfd

在IEEE 802.15.4或GFSK/FSK模式的RX状态下，如果检测到SFD或SWD，则此中断置位。

cca_complete

发出RC_RX或RC_CCA命令之后，当CCA测量结束时，此中断置位。此中断指示状态字中的CCA_RESULT标志位有效。

batt_alert

如果电池监控器发出电池报警信号，此中断将置位。当电池电压降至设定的阈值以下时，就会发生这种情况。必须使能和配置电池监控器。详情参见“电池监控器”部分。

rc_ready

当无线电控制器准备好接受新命令时，此中断置位。这一条件相当于状态字中RC_READY标志位的上升沿。

wakeup

当WUC定时器已递减至0时，此中断置位。使能此中断之前，必须利用寄存器tmr_cfg0、tmr_cfg1、tmr_rld0和tmr_rld1配置WUC定时器单元。当ADF7242活动时，或者已通过超时事件从休眠状态唤醒时，可以置位唤醒中断。详情参见“唤醒控制器(WUC)”部分。

powerup

从休眠状态唤醒后，当ADF7242已准备好进行SPI访问时，此中断置位。这一条件相当于状态字中SPI_READY标志位的上升沿。如果已使用输入将ADF7242从休眠状态唤醒，则此中断可用于检测ADF7242是否已上电，而不需要轮询MISO输出。退出休眠状态时，寄存器irq1_mask的域powerup和寄存器irq2_mask的域powerup自动置1。因此，当因CS被拉低或发生超时事件而触发器件退出休眠状态时，就会产生此中断。

应用电路

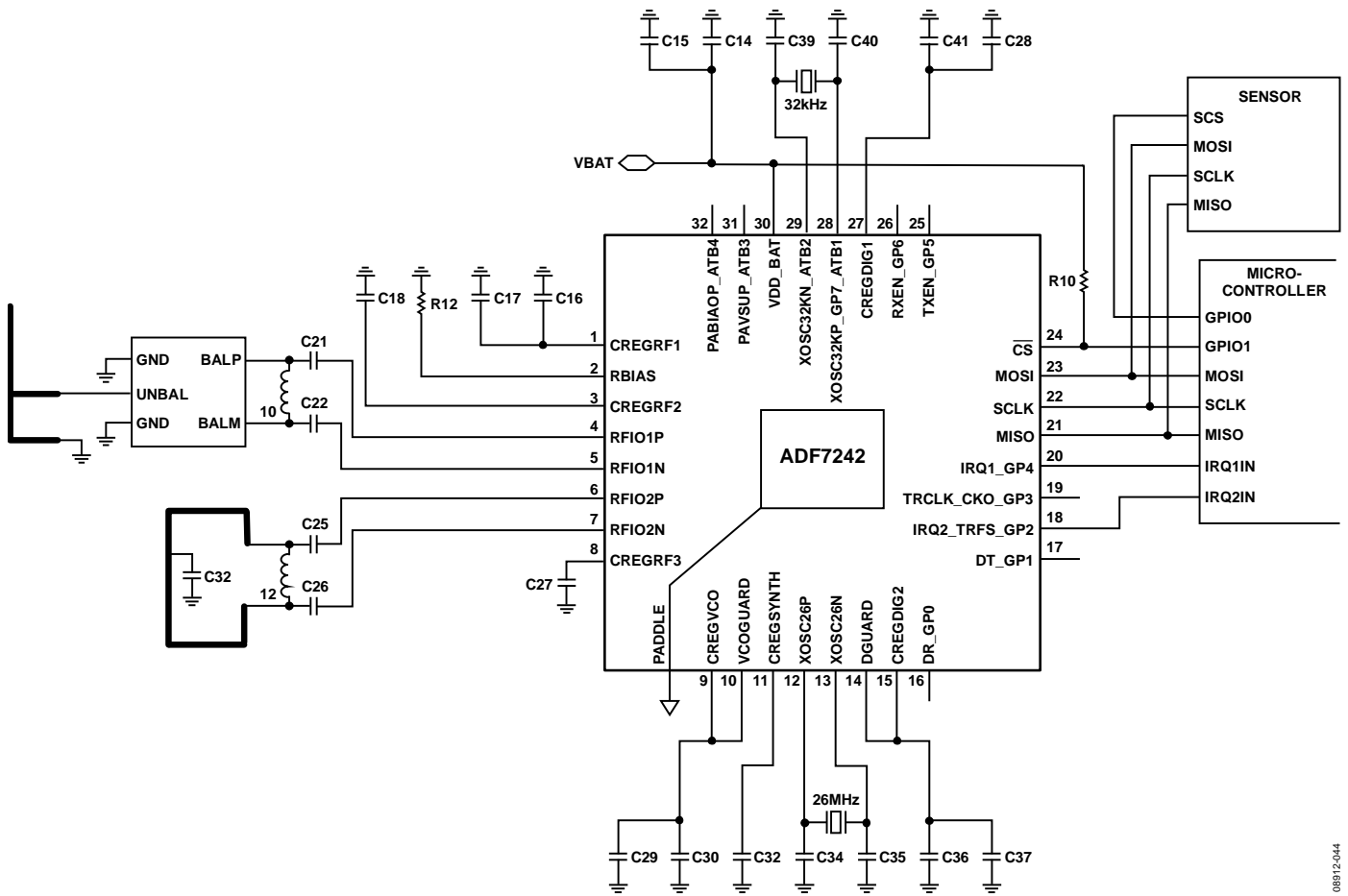


图115. 使用天线分集的典型ADF7242应用电路

08912-644

ADF7242

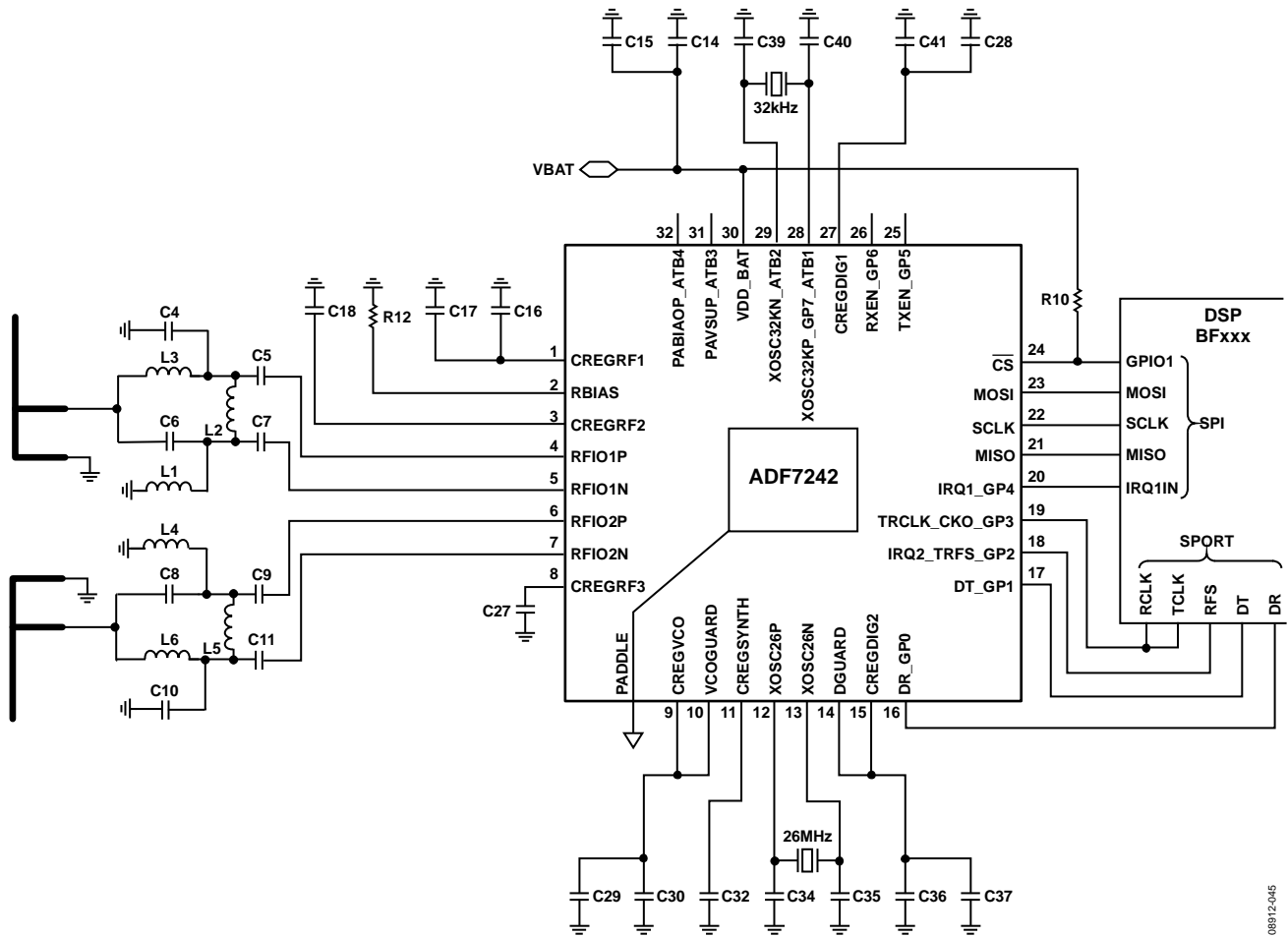


图116. 使用天线分集并与DSP接口的典型ADF7242应用电路

08912045

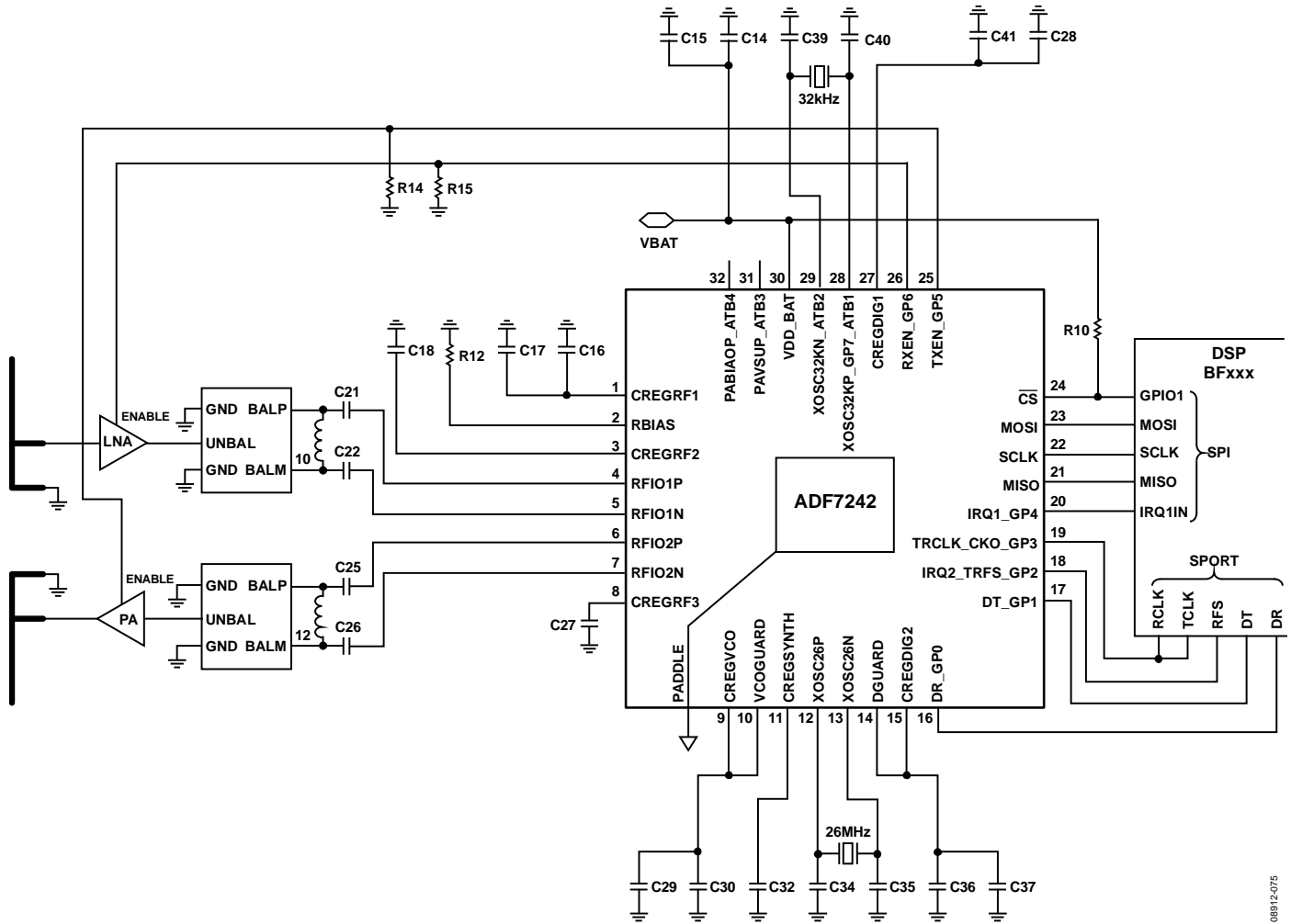


图117. 使用外部LNA和外部PA的典型ADF7242应用电路

08912-075

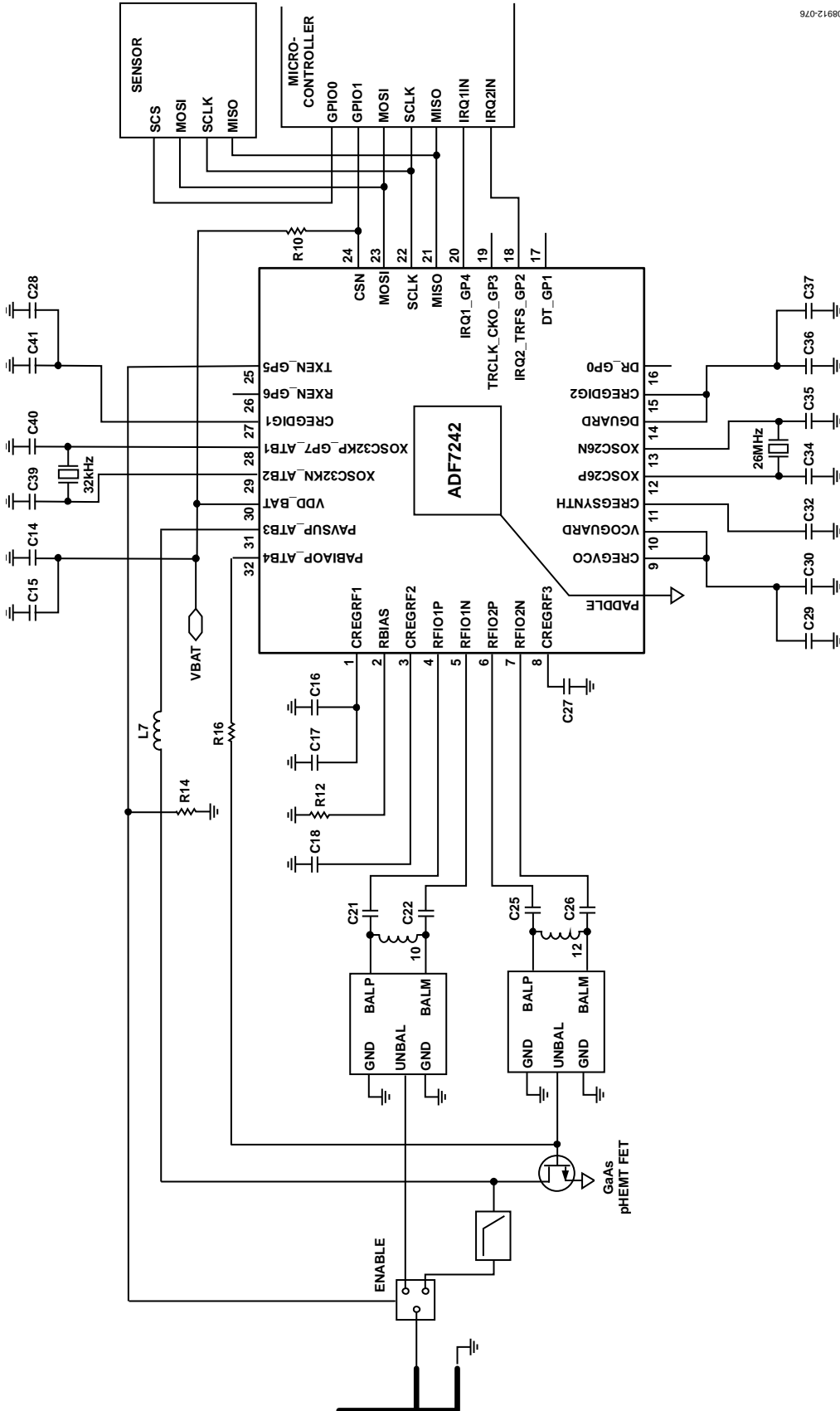


图118. 使用分立式外部PA的典型ADF7242应用电路

寄存器映射

建议在空闲状态下对配置寄存器进行编程。注意，所有包括名为RC_CONTROLLED的域的寄存器只能在空闲状态下进行编程。

复位值以十进制方式显示。

表50. 寄存器映射概览

地址	寄存器名称	访问模式	描述
0x100	ext_ctrl	R/W	外部LNA/PA和内部PA控制配置位
0x102	fsk_preamble	R/W	GFSK/FSK前同步码长度配置
0x105	cca1	R/W	CCA的RSSI阈值
0x106	cca2	R/W	CCA模式配置
0x107	buffercfg	R/W	RX和TX缓冲器配置
0x108	pkt_cfg	R/W	固件下载模块使能/FCS/CRC控制
0x109	delaycfg0	R/W	RC_RX命令到SFD或SWD搜索延迟时间
0x10A	delaycfg1	R/W	RC_TX命令到TX状态延迟时间
0x10B	delaycfg2	R/W	MAC延迟扩展
0x10C	sync_word0	R/W	同步字[23:0]的位[7:0]
0x10D	sync_word1	R/W	同步字[23:0]的位[15:8]
0x10E	sync_word2	R/W	同步字[23:0]的位[23:16]
0x10F	sync_config	R/W	同步字配置
0x111	fsk_preamble_config	R/W	GFSK/FSK前同步码配置
0x13E	rc_cfg	R/W	数据包/SPI模式配置
0x300	ch_freq0	R/W	通道频率设置—低字节
0x301	ch_freq1	R/W	通道频率设置—中间字节
0x302	ch_freq2	R/W	通道频率设置—两个MSB
0x304	tx_fd	R/W	发射频率偏差寄存器
0x305	dm_cfg0	R/W	接收鉴频器带宽寄存器
0x306	tx_m	R/W	高斯和预加重滤波器配置
0x30C	rrb	R	RSSI回读寄存器
0x30D	lrb	R	信号质量指示器质量回读寄存器
0x30E	dr0	R/W	数据速率[bps/100], [15:0]的位[15:8]
0x30F	dr1	R/W	数据速率[bps/100], [15:0]的位[7:0]
0x313	prampg	R/W	PRAM页
0x314	txpb	R/W	发射包存储基地址
0x315	rxpb	R/W	接收包存储基地址
0x316	tmr_cfg0	R/W	唤醒定时器配置寄存器—高字节
0x317	tmr_cfg1	R/W	唤醒定时器配置寄存器—低字节
0x318	tmr_rld0	R/W	唤醒定时器值寄存器—高字节
0x319	tmr_rld1	R/W	唤醒定时器值寄存器—低字节
0x31A	tmr_ctrl	R/W	唤醒定时器超时标志配置寄存器
0x31B	wuc_32khzosc_status	R	32 kHz振荡器/WUC状态
0x31E	pd_aux	R/W	电池监控器和外部PA偏置使能
0x32C	gp_cfg	R/W	GPIO配置
0x32D	gp_out	R/W	GPIO配置
0x335	synt	R/W	频率合成器锁定时间
0x33D	rc_cal_cfg	R/W	RC校准设置
0x353	vco_band_ovrw	R/W	VCO频段的覆盖值
0x354	vco_idac_ovrw	R/W	VCO偏置电流DAC的覆盖值
0x355	vco_ovwr_cfg	R/W	VCO校准设置覆盖使能
0x36E	pa_bias	R/W	PA偏置控制
0x36F	vco_cal_cfg	R/W	VCO校准参数
0x371	xto26_trim_cal	R/W	26 MHz晶振配置
0x380	vco_band_rb	R	校准后VCO频段回读

ADF7242

地址	寄存器名称	访问模式	描述
0x381	vco_idac_rb	R	校准后VCO偏置电流DAC回读
0x389	iirf_cfg	R/W	BB滤波器抽取速率
0x38B	dm_cfg1	R/W	后解调器滤波器带宽
0x395	rxcal0	R/W	接收机基带滤波器校准字LSB
0x396	rxcal1	R/W	接收机基带滤波器校准字MSB
0x39B	rxfe_cfg	R/W	接收基带滤波器带宽和LNA选择
0x3A7	pa_rr	R/W	PA斜坡率
0x3A8	pa_cfg	R/W	PA输出级电流控制
0x3A9	extpa_cfg	R/W	外部PA偏置DAC配置
0x3AA	extpa_msc	R/W	外部PA接口电路配置
0x3AE	adc_rbk	R	ADC回读
0x3B2	agc_cfg1	R/W	AGC配置参数
0x3B4	agc_max	R/W	AGC配置参数
0x3B6	agc_cfg2	R/W	AGC配置参数
0x3B7	agc_cfg3	R/W	AGC配置参数
0x3B8	agc_cfg4	R/W	AGC配置参数
0x3B9	agc_cfg5	R/W	AGC配置参数
0x3BA	agc_cfg6	R/W	AGC配置参数
0x3BC	agc_cfg7	R/W	AGC配置参数
0x3BF	ocl_cfg0	R/W	OCL系统参数
0x3C4	ocl_cfg1	R/W	OCL系统参数
0x3C7	irq1_en0	R/W	IRQ1的中断屏蔽设置[15:0]的位[7:0]
0x3C8	irq1_en1	R/W	IRQ1的中断屏蔽设置[15:0]的位[15:8]
0x3C9	irq2_en0	R/W	IRQ2的中断屏蔽设置[15:0]的位[7:0]
0x3CA	irq2_en1	R/W	IRQ2的中断屏蔽设置[15:0]的位[15:8]
0x3CB	irq1_src0	R/W	IRQ的中断源[15:0]的位[7:0]
0x3CC	irq1_src1	R/W	IRQ的中断源[15:0]的位[15:8]
0x3D2	ocl_bw0	R/W	OCL系统参数
0x3D3	ocl_bw1	R/W	OCL系统参数
0x3D4	ocl_bw2	R/W	OCL系统参数
0x3D5	ocl_bw3	R/W	OCL系统参数
0x3D6	ocl_bw4	R/W	OCL系统参数
0x3D7	ocl_bws	R/W	OCL系统参数
0x3E0	ocl_cfg13	R/W	OCL系统参数
0x3E3	gp_drv	R/W	GPIO和SPI I/O焊盘驱动强度配置
0x3E6	bm_cfg	R/W	电池监控器阈值电压设置
0x3F0	tx_fsk_test	R/W	TX GFSK/FSK SPORT测试模式配置
0x3F3	preamble_num_validate	R/W	前同步码验证
0x3F4	sfd_15_4	R/W	设置非标准SFD的选项
0x3F7	afc_cfg	R/W	AFC模式和极性配置
0x3F8	afc_ki_kp	R/W	AFC ki和kp
0x3F9	afc_range	R/W	AFC范围
0x3FA	afc_read	R/W	AFC频率误差回读

表51. 0x100: ext_ctrl

位	域名	R/W	复位值	描述
[7]	pa_shutdown_mode	R/W	0	PA关断模式。 0: 快速斜降。 1: 用户定义的斜降。
[6:5]	Reserved	R/W	0	保留, 设为默认值。
4	rxen_en	R/W	0	1: RXEN_GP6在RX状态下设为高电平, 否则设为低电平。 0: RXEN_GP6受用户控制(参见寄存器gp_out); 限制规则参见寄存器gp_cfg
3	txen_en	R/W	0	1: TXEN_GP5在TX状态下设为高电平, 否则设为低电平。 0: TXEN_GP5受用户控制(参见寄存器gp_out); 限制规则参见寄存器gp_cfg
2	extpa_auto_en	R/W	0	1: RC在TX状态下使能外部PA控制器。 0: 寄存器pd_aux的位extpa_bias_en (0x31E[4])受用户控制。
[1:0]	Reserved	R/W	0	保留, 设为默认值。

表52. 0x102: fsk_preamble

位	域名	R/W	复位值	描述
[7:0]	Nbtx_preamble_byte	R/W	8	设置追加在TX GFSK/FSK帧起始处的前同步码字节数。 注意, 数据包管理器会自动发射另一n字节的前同步码, n由MCR寄存器0x3F3设置。根据所用SWD的不同, 寄存器0x10C至0x10E可能也含有额外的前同步码位。详情参见“GFSK/FSK模式下的发射机”部分。

表53. 0x105: cca1

位	域名	R/W	复位值	描述
[7:0]	cca_thres	R/W	171	CCA的RSSI阈值。带符号的二进制补码表示法(单位为dBm)。当CCA完成时: 如果寄存器rrb的位rssi_readback (0x30C[7:0]) < cca_thres, 则状态字CCA_RESULT = 1 如果寄存器rrb的位rssi_readback (0x30C[7:0]) ≥ cca_thres, 则状态字CCA_RESULT = 0

表54. 0x106: cca2

位	域名	R/W	复位值	描述
[7:3]	Reserved	R/W	0	保留, 设为默认值。
2	continuous_cca	R/W	0	0: 连续关闭CCA。 1: 每128 μs产生一个CCA中断。
1	rx_auto_cca	R/W	0	0: 自动关闭CCA。 1: 进入RX状态128 μs后产生一个CCA中断。
0	Reserved	R/W	0	保留, 设为默认值。

表55. 0x107: buffercfg

位	域名	R/W	复位值	描述
7	trx_mac_delay	R/W	0	0: 已使能tx_mac_delay (0x10A[7:0])和rx_mac_delay (0x109[7:0])。 1: 已禁用tx_mac_delay (0x10A[7:0])和rx_mac_delay (0x109[7:0])。
6	保留	R/W	0	保留, 设为默认值。
[5:4]	tx_buffer_mode	RW	0	在IEEE 802.15.4-2006模式下。 0: TX_BUFFER中的帧传输一次后返回PHY_RDY。 1: 经过TX MAC延迟时间后, 循环传输TX_BUFFER中的帧, PA在包之间斜升/斜降。 2: 保留。 3: 经过TX MAC延迟时间后, 循环传输TX_BUFFER中的帧, PA保持开启。
3	auto_tx_to_rx_turnaround	R/W	0	0: 依据tx_buffer_mode设置。 1: TX数据传输完毕后自动进入RX。
2	auto_rx_to_tx_turnaround	R/W	0	0: 依据rx_buffer_mode设置。 1: 接收到RX包后自动进入TX。
[1:0]	rx_buffer_mode	R/W	0	在IEEE 802.15.4-2006模式下。 0: RC_RX命令之后的第一帧存储在RX_BUFFER中; 接收到第一帧后, 器件返回PHY_RDY状态。 1: 已使能连续帧接收; 新帧覆盖旧帧。 2: 新帧不写入缓冲器。 3: 保留。

表56. 0x108: pkt_cfg

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留, 设为默认值。
4	addon_en	R/W	0	0: 已禁用固件扩展模块。 1: 已使能固件扩展模块; 模块必须在设置此位之前加载。
3	skip_synt_settle	R/W	0	0: 执行RF频率合成器校准和建立阶段。 1: 跳过RF频率合成器校准和建立阶段。这只能在使能连续包传输模式时使用。参见“WUC配置和操作”部分。
[2:1]	保留	R/W	2	保留, 设为默认值。
0	auto_fcs_off	R/W	0	在IEEE 802.15.4-2006和GFSK/FSK数据包模式下, rx_pkt_rcvd中断置位。 IEEE 802.15.4-2006: 0: 接收操作—FCS自动验证; RX_BUFFER中的RSSI和SQI值替换FCS。 发射操作—FCS自动追加到传输包; 忽略TX_BUFFER中的FCS域。 1: 接收操作—接收到的FCS不经验证地存储在RX_BUFFER中。 发射操作—传输TX_BUFFER中的FCS域。 GFSK/FSK: 0: 接收操作—CRC自动验证。 发射操作—CRC自动追加到传输包; 忽略TX_BUFFER中的CRC域。 1: 接收操作—接收到的CRC不经验证地存储在RX_BUFFER中。 发射操作—传输TX_BUFFER中的CRC域。

表57. 0x109: delaycfg0

位	域名	R/W	复位值	描述
[7:0]	rx_mac_delay	R/W	192	IEEE 802.15.4-2006模式: 从发出RC_RX命令到SFD搜索的可编程延迟时间, 用于启动RSSI测量窗口。 GFSK模式: 从发出RC_RX命令到SWD搜索的可编程延迟时间。 两种模式下均能以1 μs步长进行编程。

表58. 0x10A: delaycfg1

位	域名	R/W	复位值	描述
[7:0]	tx_mac_delay	R/W	192	IEEE 802.15.4-2006模式和GFSK模式：从发出RC_TX命令到进入TX状态的可编程延迟时间。两种模式下均能以1 μs步长进行编程。

表59. 0x10B: delaycfg2

位	域名	R/W	复位值	描述
[7:0]	mac_delay_ext	R/W	0	可编程MAC延迟扩展。可以4 μs步长进行编程。适用于RX和TX两种状态。

表60. 0x10C: sync_word0

位	域名	R/W	复位值	描述
[7:0]	sync_word[7:0]	R/W	49	同步字[23:0]的位[7:0]。

表61. 0x10D: sync_word1

位	域名	R/W	复位值	描述
[7:0]	sync_word[15:8]	R/W	122	同步字[23:0]的位[15:8]。

表62. 0x10E: sync_word2

位	域名	R/W	复位值	描述
[7:0]	sync_word[23:16]	R/W	170	同步字[23:0]的位[23:16]。

表63. 0x10F: sync_config

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:5]	sync_tol	R/W	0	容许的不匹配位数：0至3。 4至7：保留。
[4:0]	sync_len	R/W	24	同步字长度，可以设为0至24范围内的值。 0：已禁用同步字检测。 25至31：保留。

表64. 0x111: fsk_preamble_config

位	域名	R/W	复位值	描述														
7	保留	R/W	0	不用。														
6	skip_syncword_detect_sport	R/W	0	旁路SFD检测(仅限GFSK/FSK SPORT模式)。 0：执行同步字检测。 1：跳过同步字检测。														
5	fsk_agc_lock_after_preamble	R/W	0	前同步码后锁定AGC(仅限GFSK/FSK数据包/SPORT模式)。 0：禁用AGC锁定。 1：使能AGC锁定。														
4	skip_preamble_detect_qual	R/W	0	旁路前同步码检测和验证；仅搜索SWD。 0：使能前同步码检测和验证。 1：禁用前同步码检测和验证。														
[3:0]	fsk_preamble_match_level	R/W	11	<table border="1"> <thead> <tr> <th>preamble_match</th> <th>前同步码验证</th> </tr> </thead> <tbody> <tr> <td>0xC</td> <td>使能。容许12个位对中的0个位对出错。</td> </tr> <tr> <td>0xB</td> <td>使能。容许12个位对中的1个位对出错。</td> </tr> <tr> <td>0xA</td> <td>使能。容许12个位对中的2个位对出错。</td> </tr> <tr> <td>0x9</td> <td>使能。容许12个位对中的3个位对出错。</td> </tr> <tr> <td>0x1</td> <td>使能。容许12个位对中的11个位对出错。</td> </tr> <tr> <td>0x0</td> <td>已禁用前同步码验证。</td> </tr> </tbody> </table>	preamble_match	前同步码验证	0xC	使能。容许12个位对中的0个位对出错。	0xB	使能。容许12个位对中的1个位对出错。	0xA	使能。容许12个位对中的2个位对出错。	0x9	使能。容许12个位对中的3个位对出错。	0x1	使能。容许12个位对中的11个位对出错。	0x0	已禁用前同步码验证。
preamble_match	前同步码验证																	
0xC	使能。容许12个位对中的0个位对出错。																	
0xB	使能。容许12个位对中的1个位对出错。																	
0xA	使能。容许12个位对中的2个位对出错。																	
0x9	使能。容许12个位对中的3个位对出错。																	
0x1	使能。容许12个位对中的11个位对出错。																	
0x0	已禁用前同步码验证。																	

ADF7242

表65. 0x13E: rc_cfg

位	域名	R/W	复位值	描述
[7:0]	rc_mode	R/W	0	配置包格式： 0：IEEE 802.15.4-2006数据包模式。 1：保留。 2：IEEE 802.15.4-2006接收SPORT模式。 3：GFSK/FSK SPORT模式。 4：GFSK/FSK数据包模式。 5至255：保留。

表66. 0x300: ch_freq0

位	域名	R/W	复位值	描述
[7:0]	ch_freq[7:0]	R/W	128	通道频率[Hz]/10 kHz，[23:0]的位[7:0]。

表67. 0x301: ch_freq1

位	域名	R/W	复位值	描述
[7:0]	ch_freq[15:8]	R/W	169	通道频率[Hz]/10 kHz，[23:0]的位[15:8]。

表68. 0x302: ch_freq2

位	域名	R/W	复位值	描述
[7:0]	ch_freq[23:16]	R/W	3	通道频率[Hz]/10 kHz，[23:0]的位[23:16]。

表69. 0x304: tx_fd

位	域名	R/W	复位值	描述
[7:6]	保留	R/W	0	保留，设为默认值。
[5:0]	tx_freq_dev	R/W	50	发射频率偏差 = tx_freq_dev × 10 kHz。 推荐设置： IEEE 802.15.4：使用默认值50。 GFSK/FSK： 62.5 kbps至125 kbps：6。 250 kbps：13。 500 kbps：25。 1000 kbps：25。 2000 kbps：50。

表70. 0x305: dm_cfg0

位	域名	R/W	复位值	描述
[7]	保留	R/W	0	保留，设为默认值。
[6:0]	discriminator_bw	R/W	6	接收鉴频器带宽 = 3.25 MHz/(RX频率偏差 + freq_error_max)。 推荐设置： IEEE 802.15.4：6（默认值）。 GFSK/FSK： 50 kbps、62.5 kbps、125 kbps：55。 100 kbps：107。 250 kbps：25。 500 kbps、1000 kbps：13。 2000 kbps：6。

表71. 0x306: tx_m

位	域名	R/W	复位值	描述
[7:2]	RC_CONTROLLED	R/W	0	由无线电控制器控制。
1	gauss_filt	R/W	0	1: GFSK; 0: FSK。
0	preemp_filt	R/W	1	1: 使能; 0: 禁用预加重滤波器。针对数据速率大于250 kbps的IEEE 802.15.4-2006模式而设置。

表72. 0x30C: rrb

位	域名	R/W	复位值	描述
[7:0]	rssi_readback	R	0	接收输入功率(单位为dBm); 带符号的二进制补码。

表73. 0x30D: lrb

位	域名	R/W	复位值	描述
[7:0]	sqi_readback	R	0	信号质量指示器回读值。

表74. 0x30E: dr0

位	域名	R/W	复位值	描述
[7:0]	data_rate_high	R/W	78	数据速率: $256 \times \text{data_rate_high} \times 100 \text{ bps} + \text{dr0}$ 。

表75. 0x30F: dr1

位	域名	R/W	复位值	描述
[7:0]	data_rate_low	R/W	32	数据速率: $\text{data_rate_low} \times 100 \text{ bps} + \text{dr0}$ 。

表76. 0x313: prampg

位	域名	R/W	复位值	描述
[7:4]	保留	R/W	0	保留, 设为默认值。
[3:0]	pram_page	R/W	0	程序PRAM页。

表77. 0x314: txpb

位	域名	R/W	复位值	描述
[7:0]	tx_pkt_base	R/W	128	包RAM中TX_BUFFER的基地址。

表78. 0x315: rxpb

位	域名	R/W	复位值	描述
[7:0]	rx_pkt_base	R/W	0	包RAM中RX_BUFFER的基地址。

表79. 0x316: tmr_cfg0

位	域名	R/W	复位值	描述
[7:3]	保留	R/W	0	保留，设为默认值。
[2:0]	timer_prescal	R/W	0	XTO32K或RCO的除法器系数。 0: ÷1。 1: ÷4。 2: ÷8。 3: ÷16。 4: ÷128。 5: ÷1024。 6: ÷8192。 7: ÷65,536。 注意，这是一个只写寄存器，应在写入寄存器tmr_cfg1之前写入。仅在写入寄存器tmr_cfg1之后，设置才会生效。

表80. 0x317: tmr_cfg1

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:3]	sleep_config	R/W	0	0: SLEEP_BBRAM 4: SLEEP_XTO。 5: SLEEP_BBRAM_XTO。 11: SLEEP_BBRAM_RCO。 0、3、6至10、12至15: 保留。 参见寄存器tmr_cfg0中的注释。
[2:1]	保留	R/W	0	保留，设为默认值。
0	wake_on_timeout	R/W	0	1: 使能；0: 禁用发生超时事件时唤醒。

表81. 0x318: tmr_rld0

位	域名	R/W	复位值	描述
[7:0]	timer_reload[15:8]	R/W	0	定时器重载值，[15:0]的位[15:8]。 注意，这是一个只写寄存器，应在写入寄存器tmr_rld1之前写入。仅在写入寄存器tmr_rld1之后，设置才会生效。

表82. 0x319: tmr_rld1

位	域名	R/W	复位值	描述
[7:0]	timer_reload[7:0]	R/W	0	定时器重载值，[15:0]的位[7:0]。参见寄存器tmr_rld0中的注释。

表83. 0x31A: tmr_ctrl

位	域名	R/W	复位值	描述
[7:2]	保留	R/W	0	保留，设为默认值。
1	wuc_rc_osc_cal	R/W	0	1: 使能。 0: 禁用32 kHz RC振荡器校准。
0	wake_timer_flag_reset	R/W	0	定时器标志复位。 0: 正常工作。 1: 复位域wuc_tmr_prim_toflag和wuc_porflag(0x31B)。

表84. 0x31B: wuc_32khzosc_status

位	域名	R/W	复位值	描述
[7:6]	Reserved	R	0	保留, 设为默认值。
5	rc_osc_cal_ready	R	0	32 kHz RC振荡器校准(仅当wuc_rc_osc_cal = 1时有效)。 校准耗时1 ms。 0: 校准进行中。 1: 校准已完成。
4	xosc32_ready	R	0	32 kHz晶振(仅当sleep_config (0x317[6:3]) = 4或5时有效)。 0: 晶振未建立。 1: 晶振已建立。
3	Reserved	R	0	保留, 设为默认值。
2	wuc_porflag	R	0	芯片冷启动事件注册。 0: 未注册。 1: 已注册。
1	wuc_tmr_prim_toflag	R	0	WUC超时事件注册 (超时事件触发的锁存输出)。 0: 未注册。 1: 已注册。
0	Reserved	R	0	保留, 设为默认值。

表85. 0x31E: pd_aux

位	域名	R/W	复位值	描述
7	Reserved	R/W	0	保留, 设为默认值。
6	RC_CONTROLLED	R/W	0	由无线电控制器控制。
5	battmon_en	R/W	0	1: 使能。 0: 禁用电池监控器。
4	extpa_bias_en	R/W	0	1: 使能。 0: 禁用外部PA偏置电路。 当寄存器ext_ctrl的域extpa_auto_en = 1(0x100[2])时, 由无线电控制器控制。
[3:0]	RC_CONTROLLED	R/W	0	由无线电控制器控制。

表86. 0x32C: gp_cfg

位	域名	R/W	复位值	描述
[7:0]	gpio_config	R/W	0	0: IRQ1、IRQ2功能。 寄存器gp_out的位gpio_dout[6]控制RXEN输出。 寄存器gp_out的位gpio_dout[5]控制TXEN输出。 1、4: TRCLK和数据引脚在RX下有效, 不通过帧检测选通。 2、5: TRCLK和数据引脚活动由前同步码检测选通。 3、6: TRCLK和数据引脚活动由同步字检测选通。 6: IRQ1、DR、DT、TRFS、TRCLK功能。寄存器gp_out的位gpio_dout[6] 控制RXEN输出。 寄存器gp_out的位gpio_dout[5]控制TXEN输出。 7: 符号时钟通过TRCLK引脚输出, 而符号数据通过GP6、GP5、GP1 和GP0输出。 103: IRQ1、DR、DT、IRQ2、TRCLK功能。 寄存器gp_out的位gpio_dout[6]控制RXEN输出。 寄存器gp_out的位gpio_dout[5]控制TXEN输出。 8至102、104至255: 保留。

ADF7242

表87. 0x32D: gp_out

位	域名	R/W	复位值	描述
[7:0]	gpio_dout	R/W	0	当寄存器gp_cfg的域gpio_config = 4时，则为GPIO输出值。 gpio_dout[7:0] = GP7至GP0。 如果寄存器ext_ctrl的位rxen_en = 1，则寄存器gp_out的位gpio_dout[6]由无线电控制器控制。 如果寄存器ext_ctrl的位txen_en = 1，则寄存器gp_out的位gpio_dout[5]由无线电控制器控制。

表88. 0x335: synt

位	域名	R/W	复位值	描述
[7:0]	lock_time	R/W	23	频率合成器锁定超时时间(46 μs)。1 LSB = 2 μs

表89. 0x33D: rc_cal_cfg

位	域名	R/W	复位值	描述
[7:2]	保留	R/W	15	保留，设为默认值。
[1:0]	skip_rc_cal	R/W	0	3: 跳过RC校准。 0: 不跳过RC校准。仅当从空闲转变为PHY_RDY时，才执行此校准。

表90. 0x353: vco_band_ovrw

位	域名	R/W	复位值	描述
[7:0]	vco_band_ovrw_val	R/W	0	VCO频段的覆盖值当vco_band_ovrw_en = 1且寄存器vco_cal_cfg的域skip_vco_cal = 15时使能。

表91. 0x354: vco_idac_ovrw

位	域名	R/W	复位值	描述
[7:0]	vco_idac_ovrw_val	R/W	0	VCO偏置电流DAC的覆盖值当寄存器vco_cal_cfg的域skip_vco_cal = 15且vco_idac_ovrw_en = 1时使能。

表92. 0x355: vco_ovrw_cfg

位	域名	R/W	复位值	描述
[7:2]	保留	R/W	2	保留，设为默认值。
[1]	vco_idac_ovrw_en	R/W	0	VCO偏置电流DAC覆盖。仅当寄存器vco_cal_cfg的域skip_vco_cal = 15时才有效。 0: 禁用。 1: 使能。
[0]	vco_band_ovrw_en	R/W	0	VCO频段覆盖。仅当寄存器vco_cal_cfg的域skip_vco_cal = 15时才有效。 0: 禁用。 1: 使能。

表93. 0x36E: pa_bias

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:1]	pa_bias_ctrl	R/W	55	如果需要最大PA输出功率4.8 dBm，则应设为63。
0	保留	R/W	1	保留，设为默认值。

表94. 0x36F: vco_cal_cfg

位	域名	R/W	复位值	描述
[7:4]	保留	R/W	0	保留，设为默认值。
[3:0]	skip_vco_cal	R/W	9	9: 不跳过VCO校准。 15: 跳过VCO校准。

表95. 0x371: xto26_trim_cal

位	域名	R/W	复位值	描述
[7:6]	保留	R/W	0	保留，设为默认值。
[5:3]	xto26_trim	R/W	4	26 MHz晶振(XOSC26N)调谐电容控制字。 负载电容根据xto26_trim的值进行调整，如下所示： 0: -4×187.5 ff。 1: -3×187.5 ff。 2: -2×187.5 ff。 3: -1×187.5 ff。 4: 0×187.5 ff。 5: 1×187.5 ff。 6: 2×187.5 ff。 7: 3×187.5 ff。
[2:0]	保留	R/W	0	保留，设为默认值。

表96. 0x381: vco_band_rb

位	域名	R/W	复位值	描述
[7:2]	vco_band_val_rb	R	0	校准后VCO频段的回读值。

表97. 0x381: vco_idac_rb

位	域名	R/W	复位值	描述
[7:2]	vco_idac_val_rb	R	0	校准后VCO偏置电流DAC的回读值。

表98. 0x389: iirf_cfg

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:2]	iir_stage2_bw	R/W	1	接收基带数字滤波器级2采样速率 $fs2 = fs1 / (2^{iir_stage2_bw})$ 。 IEEE 802.15.4-2006: 设为默认值。 GFSK; 62.5 kbps至250 kbps: 4。 500 kbps: 3。 1000 kbps: 2。 2000 kbps: 1。
[1:0]	iir_stage1_bw	R/W	1	接收基带数字滤波器级1采样速率 $fs1 = 13 \text{ MHz} / (2^{iir_stage1_bw})$ 。 IEEE 802.15.4-2006: 设为默认值。 GFSK; 62.5 kbps至1000 kbps: 2。 2000 kbps: 1。

ADF7242

表99. 0x38B: dm_cfg1

位	域名	R/W	复位值	描述
[7:0]	postdemod_bw	R/W	200	后解调器滤波器带宽BW= postdemod_bw × 15 kHz。 IEEE 802.15.4-2006: 133。 GFSK: 62.5 kbps: 8。 125 kbps: 17。 250 kbps: 32。 500 kbps: 61。 1000 kbps: 110。 2000 kbps: 170。

表100. 0x395: rxcal0

位	域名	R/W	复位值	描述
[7:0]	dcap_ovwrt_low	R/W	0	RXBB滤波器调谐覆盖字LSB。

表101. 0x396: rxcal1

位	域名	R/W	复位值	描述
[7:2]	保留	R/W	2	保留，设为默认值。
1	dcap_ovwrt_en	R/W	0	RXBB滤波器调谐覆盖字使能。
0	dcap_ovwrt_high	R/W	0	RXBB滤波器调谐覆盖字MSB。

表102. 0x39B: rxfe_cfg

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4]	lna_sel	R/W	1	接收: 0: 使用LNA1。 1: 使用LNA2。
[3:0]	rxbb_bw_ana	R/W	13	RXBB模拟滤波器带宽: 15 = 1186 kHz 14 = 1086 kHz 13 = 1029 kHz 12 = 991 kHz 11 = 927 kHz 10 = 867 kHz 9 = 797 kHz 8 = 730 kHz 7 = 655 kHz 6 = 555 kHz IEEE 802.15.4-2006模式: 设为默认值。 GFSK: 62.5 kbps至1000 kbps: 设为6。 2000 kbps: 设为13。

表103. 0x3A7: pa_rr

位	域名	R/W	复位值	描述
[7:3]	保留	R/W	0	保留，设为默认值。
[2:0]	pa_ramp_rate	R/W	7	PA斜坡率: 每个PA功率步进 $2^{\text{pa_rr.pa_ramp_rate}} \times 2.4 \text{ ns}$ 。

表104. 0x3A8: pa_cfg

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:5]	保留	R/W	0	设为默认值。
[4:0]	pa_bridge_dbias	R/W	13	如果需要PA输出功率4.8 dBm，则应设为21。

表105. 0x3A9: extpa_cfg

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	extpa_bias	R/W	0	如果寄存器extpa_msc的域extpa_bias_mode = 1、2、3或4， 则PABIAOP_ATB4引脚DAC电流 = $80 \mu\text{A} - 2.58 \mu\text{A} \times \text{extpa_bias}$ 。 如果寄存器extpa_msc的域extpa_bias_mode = 5或6， 则PAVSUP_ATB3引脚伺服电流设定点 = $22 \text{ mA} - 0.349 \text{ mA} \times \text{extpa_bias}$ 。

表106. 0x3AA: extpa_msc

位	域名	R/W	复位值	描述
[7:4]	pa_pwr	R/W	15	斜坡阶段之后的PA输出功率： 3：最小功率。 15：最大功率。 标称功率，每LSB步长2 dB。
3	extpa_bias_src	R/W	0	0：选择以RBIAS为参考的基准电流。 1：选择以带隙为参考的基准电流。
[2:0]	extpa_bias_mode	R/W	1	外部PA接口配置： 0：PAVSUP_ATB3 = 开；PABIAOP_ATB4 = 悬空。 1：PAVSUP_ATB3 = 开；PABIAOP_ATB4 = 电流源。 2：PAVSUP_ATB3 = 开；PABIAOP_ATB4 = 电流吸收器。 3：PAVSUP_ATB3 = 关；PABIAOP_ATB4 = 电流源。 4：PAVSUP_ATB3 = 关；PABIAOP_ATB4 = 电流吸收器。 5：PAVSUP_ATB3 = 开；PABIAOP_ATB4 = 正伺服输出。 6：PAVSUP_ATB3 = 开；PABIAOP_ATB4 = 负伺服输出。 7：保留。

表107. 0x3AE: adc_rbk

位	域名	R/W	复位值	描述
[7:6]	保留	R	0	忽略。
[5:0]	adc_out	R	0	ADC输出码。

表108. 0x3B2: agc_cfg1

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:5]	agc_lna_hyst	R/W	1	LNA增益变换的迟滞，用PGA衰减步进表示。
[4:1]	agc_lna_thres	R/W	8	设置第一LNA衰减步进之前的PGA衰减步进数。
0	agc_lock	R/W	0	0：使能；1：冻结AGC。

表109. 0x3B4: agc_max]

位	域名	R/W	复位值	描述
[7:6]	保留	R/W	2	保留，设为默认值。
[5:3]	agc_sat_thres_offs	R/W	2	相对于满量程的ADC饱和和检测阈值失调， 超过此阈值时，AGC进入压摆模式。
[2:0]	保留	R/W	0	保留，设为默认值。

ADF7242

表110. 0x3B6: agc_cfg2

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:0]	agc_thres_hi	R/W	46	AGC RSSI触发阈值上限。 IEEE 802.15.4-2006：设为默认值。 GFSK模式：设为55。

表111. 0x3B7: agc_cfg3

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:0]	agc_target	R/W	35	AGC RSSI有效状态目标值。 IEEE 802.15.4-2006：设为默认值。 GFSK模式：设为42。

表112. 0x3B8: agc_cfg4

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:0]	agc_thres_lo	R/W	24	AGC RSSI触发阈值下限。 IEEE 802.15.4-2006：设为默认值。 GFSK模式：设为29。

表113. 0x3B9: agc_cfg5

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	置0。
[4:2]	rss_i_offs	R/W	4	RSSI失调调整，rss_i_offs增加到寄存器rrb的域rss_i_readback。
[1:0]	rss_i_avg_time	R/W	3	RSSI均值时间；IEEE 802.15.4-2006的默认值； 详情参见“基带滤波器”部分。

表114. 0x3BA: agc_cfg6

位	域名	R/W	复位值	描述
[7:6]	保留	R/W	0	保留，设为默认值。
[5:3]	agc_filt2_tavg2	R/W	5	AGC后置滤波器均值时间。 IEEE 802.15.4-2006：默认值。 GFSK；设为4。
[2:0]	agc_filt2_tavg1	R/W	5	LNA转换的AGC后置滤波器均值时间。 IEEE 802.15.4-2006：默认值。 GFSK/FSK；设为4。

表115. 0x3BC: agc_cfg7

位	域名	R/W	复位值	描述
7	保留	R/W	0	保留，设为默认值。
[6:3]	agc_ndelay_steady	R/W	15	AGC agc_steady延迟计数器。
[2:0]	agc_egain_exp	R/W	1	AGC积分器增益。

表116. 0x3BF: ocl_cfg0

位	域名	R/W	复位值	描述
[7:2]	保留	R/W	0	保留，设为默认值。
1	ocl_en_gclna_ocl_hibw_state	R/W	0	1: 使能 0: LNA增益改变后禁用OCL宽带宽模式。
			1	IEEE 802.15.4模式。
			0	GFSK/FSK模式。
0	保留	R/W	0	保留，设为默认值。

表117. 0x3C4: ocl_cfg1

位	域名	R/W	复位值	描述
[7:0]	ocl_fsk_lock_timeout	R/W	5	IEEE 802.15.4-2006; 默认值。GFSK/FSK; 设为7。

表118. 0x3C7: irq1_en0

位	域名	R/W	复位值	描述
7	保留	R/W	0	置0。
6	保留	R/W	0	置0。
5	batt_alert	R/W	0	电池监控器中断。
4	por	R/W	0	上电复位事件。
3	rc_ready	R/W	0	无线电控制器准备好接受新命令。
2	wakeup	R/W	0	定时器超时。
1	powerup	R/W	1	芯片已准备好接受访问。
0	保留	R/W	0	置0。

表119. 0x3C8: irq1_en1

位	域名	R/W	复位值	描述
7	保留	R/W	0	置0。
6	保留	R/W	0	置0。
5	保留	R/W	0	置0。
4	tx_pkt_sent	R/W	0	包传输完成。
3	rx_pkt_rcvd	R/W	0	RX_BUFFER中接收到包。
2	tx_sfd	R/W	0	已传输SFD/SWD。
1	rx_sfd	R/W	0	检测到SFD/SWD。
0	cca_complete	R/W	0	状态字中的CCA_RESULT有效。

表120. 0x3C9: irq2_en0

位	域名	R/W	复位值	描述
7	保留	R/W	0	置0。
6	保留	R/W	0	置0。
5	batt_alert	R/W	0	电池监控器中断。
4	por	R/W	0	上电复位事件。
3	rc_ready	R/W	0	无线电控制器准备好接受新命令。
2	wakeup	R/W	0	定时器超时。
1	powerup	R/W	1	芯片已准备好接受访问。
0	保留	R/W	0	置0。

ADF7242

表121. 0x3CA: irq2_en1

位	域名	R/W	复位值	描述
7	保留	R/W	0	置0。
6	保留	R/W	0	置0。
5	保留	R/W	0	置0。
4	tx_pkt_sent	R/W	0	包传输完成。
3	rx_pkt_rcvd	R/W	0	RX_BUFFER中接收到包。
2	tx_sfd	R/W	0	已传输SFD/SWD。
1	rx_sfd	R/W	0	检测到SFD/SWD。
0	cca_complete	R/W	0	状态字中的CCA_RESULT有效。

表122. 0x3CB: irq_src0

位	域名	R/W	复位值	描述
7	保留	R/W	0	置0。
6	保留	R/W	0	置0。
5	batt_alert	R/W	0	电池监控器中断。
4	por	R/W	0	上电复位事件。
3	rc_ready	R/W	0	无线电控制器准备好接受新命令。
2	wakeup	R/W	0	定时器超时。
1	powerup	R/W	0	芯片已准备好接受访问。
0	保留	R/W	0	置0。

表123. 0x3CC: irq_src1

位	域名	R/W	复位值	描述
7	保留	R/W	0	置0。
6	保留	R/W	0	置0。
5	保留	R/W	0	置0。
4	tx_pkt_sent	R/W	0	包传输完成。
3	rx_pkt_rcvd	R/W	0	RX_BUFFER中接收到包。
2	tx_sfd	R/W	0	已传输SFD/SWD。
1	rx_sfd	R/W	0	检测到SFD/SWD。
0	cca_complete	R/W	0	状态字中的CCA_RESULT有效。

表124. 0x3D2: ocl_bw0

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	ocl_bw0	R/W	27	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为26。

表125. 0x3D3: ocl_bw1

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	ocl_bw1	R/W	26	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为25。

表126. 0x3D4: ocl_bw2

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	ocl_bw2	R/W	2	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为30。

表127. 0x3D5: ocl_bw3

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	ocl_bw3	R/W	3	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为30。

表128. 0x3D6: ocl_bw4

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	ocl_bw4	R/W	2	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为30。

表129. 0x3D7: ocl_bws

位	域名	R/W	复位值	描述
[7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	ocl_bw	R/W	0	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为0。

表130. 0x3E0: ocl_cfg13

位	域名	R/W	复位值	描述
[7:2]	保留	R/W	60	保留，设为默认值。
1	ocl_sosi_en	R/W	1	IEEE 802.15.4-2006：设为默认值。GFSK/FSK：设为0。
0	保留	R/W	0	保留，设为默认值。

表131. 0x3E3: gp_drv

位	域名	R/W	复位值	描述
[7:4]	保留	R/W	0	保留，设为默认值。
[3:2]	gpio_slew	R/W	0	GPIO和SPI压摆率。 0：极慢。 1：慢速。 2：极快。 3：快速。
[1:0]	gpio_drive	R/W	0	GPIO和SPI驱动强度。 0：4 mA。 1：8 mA。 2：>8 mA。 3：保留。

表132. 0x3E6: bm_cfg

位	域名	R/W	复位值	描述
7:5]	保留	R/W	0	保留，设为默认值。
[4:0]	battmon_voltage	R/W	0	电池监控器跳变电压： 1.7 V + 62 mV × battmon_voltage；当VDD_BAT降至跳变电压以下时，batt_alert中断置位。

表133. 0x3F0: tx_fsk_test

位	域名	R/W	复位值	描述
[7:4]	保留	R/W	2	保留，设为默认值。
3	zero_only	R/W	0	在GFSK/FSK SPORT模式下，以($f_{CH} - f_{DEV}$)的频率仅传输0。
2	one_only	R/W	0	在GFSK/FSK SPORT模式下，以($f_{CH} + f_{DEV}$)的频率仅传输1。
1	carrier_only	R/W	0	以编程设置的频率fCH传输未调制的信号音。
0	保留	R/W	0	保留，设为默认值。

ADF7242

表134. 0x3F3: preamble_num_validate

位	域名	R/W	复位值	描述
[7]	保留	R/W	0	保留，设为默认值。
[6:0]	num_preamble_bytes	R/W	5	前同步码验证所需的前同步码字节数。

表135. 0x3F4: sfd_15_4

位	域名	R/W	复位值	描述
[7:4]	sfd_symbol_2	R/W	10	SFD注释的符号2；IEEE 802.15.4-2006要求SFD1 = 10。
[3:0]	sfd_symbol_1	R/W	7	SFD注释的符号1；IEEE 802.15.4-2006要求SFD1 = 7。

表136. 0x3F7: afc_cfg

位	域名	R/W	复位值	描述
[7:3]	保留	R/W	0	保留，设为默认值。
[2]	afc_polarity	R/W	0	设置AFC极性。置1。
[1:0]	afc_mode	R/W	0	00：锁定AFC。 01：保留。 10：AFC自由运行。 11：前同步码检测时锁定AFC。

表137. 0x3F8: afc_ki_kp

位	域名	R/W	复位值	描述
[7:4]	afc_kp	R/W	0	设置AFC PI控制器比例增益。 IEEE 802.15.4-2006：不用。
[3:0]	afc_ki	R/W	0	GFSK：设为9。 设置AFC PI控制器积分增益。 IEEE 802.15.4-2006：不用。 GFSK：设为9。

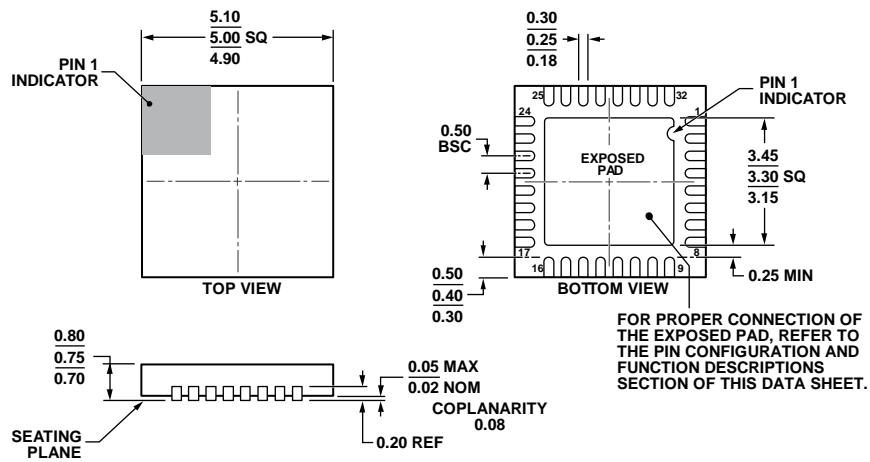
表138. 0x3F9: afc_range

位	域名	R/W	复位值	描述
[7:0]	max_afc_range	R/W	0	限制AFC捕捉范围。应设置为接收基带滤波器带宽的一半。AFC捕捉范围等于 \pm max_afc_range（单位为kHz）。

表139. 0x3FA: afc_read

位	域名	R/W	复位值	描述
[7:0]	afc_freq_error	R/W	0	频率误差回读。频率误差：1 kHz/LSB。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

图119. 32引脚引脚架构芯片级封装[LFCSP_WQ]
5 mm × 5 mm, 超薄四方体
(CP-32-13)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADF7242BCPZ	-40°C 至 +85°C	32引脚LFCSP_WQ	CP-32-13
ADF7242BCPZ-RL	-40°C 至 +85°C	32引脚LFCSP_WQ	CP-32-13
EVAL-ADF7242DB1Z		评估平台子板	
EVAL-ADF7XXMB3Z		评估平台主板	

¹Z = 符合RoHS标准的器件。

注释

注释

注释