

特性

2.5 GPS内部时钟速度
 集成12位DAC
 频率调谐分辨率: 135 pHz
 16位相位调谐分辨率
 12位幅度调整
 可编程模数
 自动线性和非线性频率扫描能力
 32位并行数据路径接口
 8种频率/相位偏移配置(Profiles)
 相位噪声: -128 dBc/Hz (978 MHz时偏移频率为1 kHz)
 宽带SFDR $< -57 \text{ dBc}$
 串行或并行I/O控制
 1.8 V/3.3 V电源供电
 软件/硬件控制的断电功能

88引脚LFCSP封装
 PLL REF CLK倍频器
 相位调制功能
 幅度调制功能
 多器件同步

应用

LO捷变频率合成
 可编程时钟发生器
 雷达和扫描系统的FM线性调频源
 测试与测量设备
 声光设备驱动器
 极化调制器
 快速跳频

功能框图

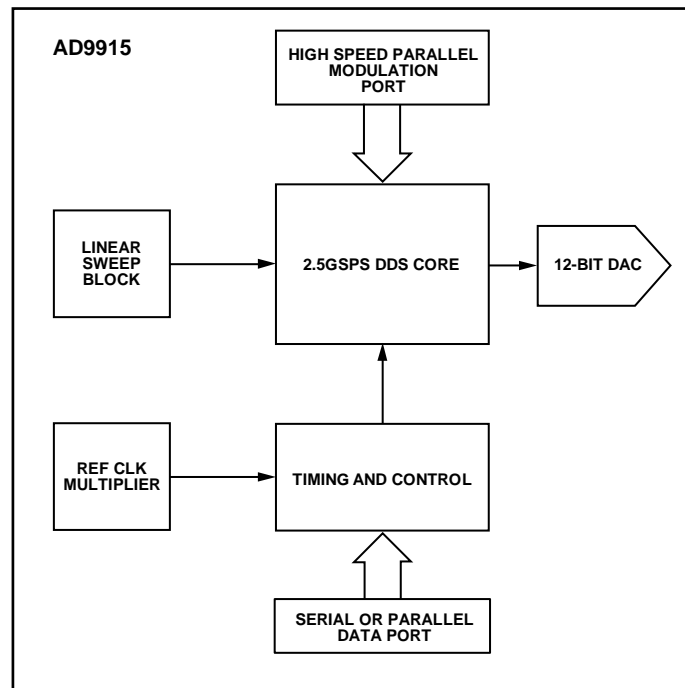


图1.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2012 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	12位DAC输出.....	20
应用.....	1	DAC校准输出.....	20
功能框图.....	1	重构滤波器.....	20
修订历史.....	2	时钟输入(REF_CLK/REF_CLK).....	21
概述.....	3	PLL锁定指示.....	22
技术规格.....	4	输出幅度键控(OSK).....	22
直流规格.....	4	数字斜坡发生器(DRG).....	23
交流规格.....	5	掉电控制.....	27
绝对最大额定值.....	8	编程和功能引脚.....	28
热性能.....	8	串行编程.....	31
ESD警告.....	8	控制接口—串行I/O.....	31
引脚配置和功能描述.....	9	通用串行I/O操作.....	31
典型工作特性.....	12	指令字节.....	31
等效电路.....	16	串行I/O端口引脚功能描述.....	31
工作原理.....	17	串行I/O时序图.....	32
单频模式.....	17	MSB/LSB传输.....	32
Profile调制模式.....	17	并行编程(8/16位).....	33
数字斜坡调制模式.....	17	多芯片同步.....	34
并行数据端口调制模式.....	17	寄存器映射和位功能描述.....	36
可编程模数模式.....	17	寄存器位功能描述.....	41
模式优先级.....	18	外形尺寸.....	47
功能模块详解.....	19	订购指南.....	47
DDS内核.....	19		

修订历史

2012年8月—修订版0至修订版A

外部时钟频率从3.5 GHz更改为2.5 GHz，差分输入电压单位从mV p-p更改为V p-p.....	4
更新外形尺寸部分.....	47

2012年7月—修订版0：初始版

概述

AD9915是一款内置12位DAC的直接数字频率合成器(DDS)。该器件采用先进的DDS技术,连同高速、高性能DAC,构成数字可编程的完整高频合成器,能够产生高达1.0 GHz的频率捷变模拟输出正弦波。AD9915具有快速跳频和精密调谐分辨率(64位采用可编程模数模式)。这款器件还实现了快速相位与幅度跳跃功能。频率调谐和控制字通过串行或并行I/O端口载入AD9915。它还支持在用户定义

线性扫描模式下工作,可产生频率、相位或幅度的线性扫描波形。AD9915包含一个高速32位并行数据输入端口,可支持极性调制方案的高数据率以及相位、频率和幅度调谐字的快速编程。

AD9915可在扩展的工业温度范围内工作(请参考“绝对最大额定值”部分)。

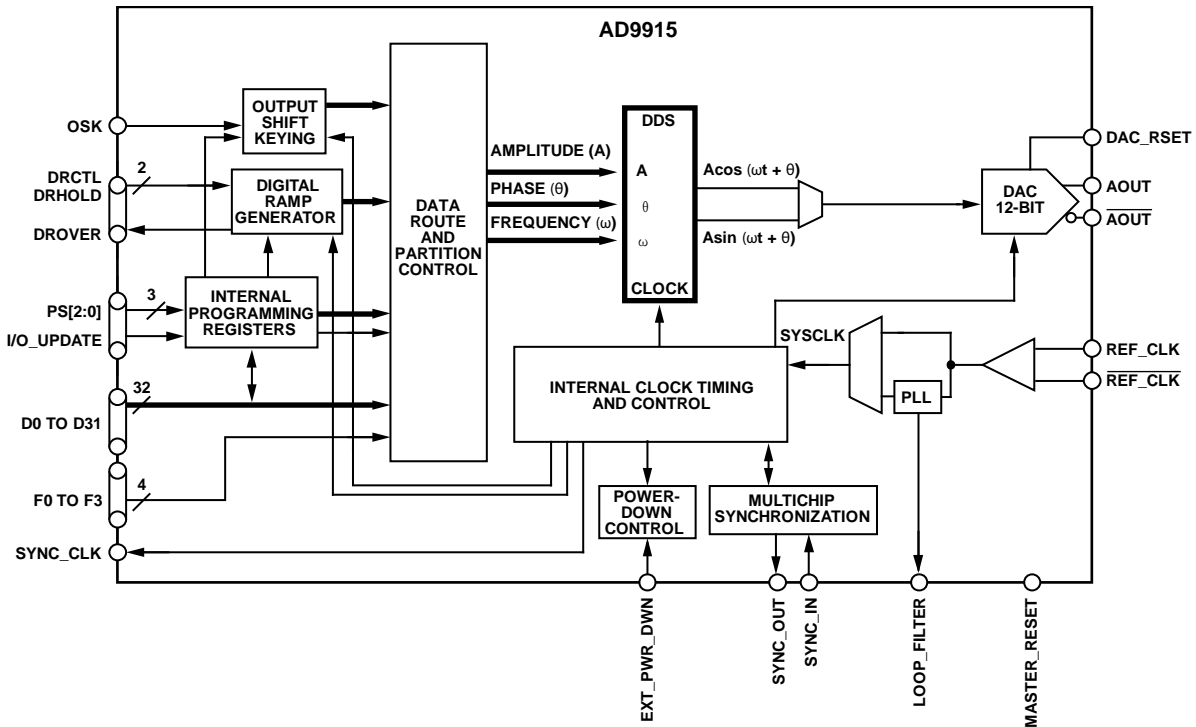


图2. 详细框图

10837-002

技术规格

直流规格

除非另有说明，AVDD (1.8V)和DVDD (1.8V) = 1.8 V ± 5%，AVDD (3.3V)和DVDD_I/O (3.3V) = 3.3 V ± 5%， $T_A = 25^\circ\text{C}$ ， $R_{SET} = 3.3\text{ k}\Omega$ ， $I_{OUT} = 20\text{ mA}$ ，外部参考时钟频率 = 2.5 GHz，旁路参考时钟(REF CLK)倍频器。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压					
DVDD_I/O	3.135	3.30	3.465	V	引脚16、引脚83
DVDD	1.71	1.80	1.89	V	引脚6、引脚23、引脚73
AVDD (3.3V)	3.135	3.30	3.465	V	引脚34、引脚36、引脚39、引脚40、引脚43、 引脚47、引脚50、引脚52、引脚53、引脚60
AVDD (1.8V)	1.71	1.80	1.89	V	引脚32、引脚56、引脚57
电源电压					另见总功耗特性
$I_{DVDD_I/O}$			20	mA	引脚16、引脚83
I_{DVDD}			270	mA	引脚6、引脚23、引脚73
$I_{AVDD(3.3V)}$			640	mA	引脚34、引脚36、引脚39、引脚40、引脚43、 引脚47、引脚50、引脚52、引脚53、引脚60
$I_{AVDD(1.8V)}$			148	mA	引脚32、引脚56、引脚57
总功耗					
基本DDS功耗，PLL禁用		2138	2797	mW	2.5 GHz，单频模式，模块禁用， 线性扫描禁用，幅值定标器禁用
基本DDS功耗，PLL使能		2237	2890	mW	2.5 GHz，单频模式，模块禁用， 线性扫描禁用，幅值定标器禁用
线性扫描附加功耗		28		mW	
模数附加功耗		20		mW	
幅值定标器附加 功耗		138		mW	手动或自动
完全掉电模式		400	616	mW	使用掉电和使能寄存器或 EXT_PWR_DWN引脚
CMOS逻辑输入					
输入高电压(V_{IH})	2.0		DVDD_I/O	V	
输入低电压(V_{IL})			0.8	V	
输入电流(I_{INH} 、 I_{INL})		±60	±200	μA	$V_{IN} = 0\text{ V}$ 和 $V_{IN} = \text{DVDD_I/O}$ 时
最大输入电容(C_{IN})		3		pF	
CMOS逻辑输出					
输出高电压(V_{OH})	2.7		DVDD_I/O	V	$I_{OH} = 1\text{ mA}$
输出低电压(V_{OL})			0.4	V	$I_{OL} = 1\text{ mA}$
REF CLK输入特性					RREF CLK输入应始终交流耦合 (单端和差分)
旁路REF CLK倍频器					
输入电容		1		pF	单端，各引脚
输入电阻		1.4		kΩ	差分
内部产生的直流偏置 电压		2		V	
差分输入电压		0.8	1.5	V p-p	
使能REF CLK倍频器					
输入电容		1		pF	单端，各引脚
输入电阻		1.4		kΩ	差分
内部产生的直流偏置 电压		2		V	
差分输入电压		0.8	1.5	V p-p	

交流规格

除非另有说明，AVDD (1.8V)和DVDD (1.8V) = 1.8 V ± 5%，AVDD3 (3.3V)和DVDD_I/O (3.3V) = 3.3 V ± 5%， $T_A = 25^\circ\text{C}$ ， $R_{SET} = 3.3\text{ k}\Omega$ ， $I_{OUT} = 20\text{ mA}$ ，外部参考时钟频率 = 2.5 GHz，旁路参考时钟(REF CLK)倍频器。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
REF CLK输入					输入频率范围
旁路REF CLK倍频器					
输入频率范围	500		2500	MHz	最大 f_{OUT} 等于 $0.4 \times f_{SYSCLK}$
占空比	45		55	%	
最小差分输入电平	632			mV p-p	相当于每一侧上的316 mV摆幅
系统时钟(SYSCLK) PLL使能					
VCO频率范围	2400		2500	MHz	
VCO增益(K_V)		60		MHz/V	
最大PFD速率			125	MHz	
时钟驱动器					
SYNC_CLK输出驱动器					
频率范围			156	MHz	
占空比	45	50	55	%	
上升/下降时间 (20%至80%)			650	ps	
SYNC_OUT输出驱动器					10 pF负载
频率范围			6.5	MHz	
占空比	33		66	%	CFR2寄存器，位9 = 1
上升时间 (20%至80%)			1350	ps	10 pF负载
下降时间 (20%至80%)			1670	ps	10 pF负载
DAC输出特性					
输出频率范围 (第一奈奎斯特区)	0		1250	MHz	
输出电阻		50		Ω	单端 (各引脚内部端接到AVDD (3.3V))
输出电容		5		pF	
满量程输出电流			20.48	mA	范围取决于DAC R_{SET} 电阻
增益误差	-10		+10	% FS	
输出偏移			0.6	μA	
顺从电压范围	AVDD - 0.50		AVDD + 0.50	V	
宽带SFDR					见“典型工作特性”部分
122.5 MHz输出		-67		dBc	0 MHz至1250 MHz
305.3 MHz输出		-66		dBc	0 MHz至1250 MHz
497.5 MHz输出		-59		dBc	0 MHz至1250 MHz
978.2 MHz输出		-60		dBc	0 MHz至1250 MHz
窄带SFDR					见“典型工作特性”部分
122.5 MHz输出		-95		dBc	$\pm 500\text{ kHz}$
305.3 MHz输出		-95		dBc	$\pm 500\text{ kHz}$
497.5 MHz输出		-95		dBc	$\pm 500\text{ kHz}$
978.2 MHz输出		-92		dBc	$\pm 500\text{ kHz}$
数字时序规格					
进入掉电模式所需的时间		45		ns	掉电模式会丢失DAC/PLL校准设置
离开掉电模式所需的时间		250		ns	必须重新校准DAC/PLL
主机复位最短时间	24			SYSCLK周期	
DAC校准最长时间(t_{CAL})			152	μs	$f_{CAL} = f_{SYSCLK} / 384$ USR0寄存器，位6 = 0； 公式参见“DAC校准输出部分”
PLL校准最长时间(t_{REF_CLK})			16	ms	PFD速率 = 25 MHz
			8	ms	PFD速率 = 50 MHz
最大Profile切换速率			1	SYNC_CLK周期	

AD9915

参数	最小值	典型值	最大值	单位	测试条件/注释
并行端口时序					
写入时序					
地址建立时间到 \overline{WR} 有效	1			ns	
地址保持时间到 \overline{WR} 无效			0	ns	
数据建立时间到 \overline{WR} 无效	3.8			ns	
数据保持时间到 \overline{WR} 无效			0	ns	
\overline{WR} 最短低电平时间			2.1	ns	
\overline{WR} 最短高电平时间			3.8	ns	
\overline{WR} 最短时间			10.5	ns	
读取时序					
地址到数据有效			92	ns	
地址保持到 \overline{RD} 无效			0	ns	
\overline{RD} 有效到数据有效			69	ns	
\overline{RD} 无效到数据三态			50	ns	
\overline{RD} 最短低电平时间			69	ns	
\overline{RD} 最短高电平时间			50	ns	
串行端口时序					
SCLK时钟速率($1/t_{CLK}$)			80	MHz	SCLK占空比 = 50%
SCLK高电平脉宽 t_{HIGH}	1.5			ns	
SCLK低电平脉宽 t_{LOW}	5.1			ns	
SDIO至SCLK建立时间 t_{DS}	4.9			ns	
SDIO至SCLK保持时间 t_{DH}			0	ns	
SCLK下降沿到SDIO/SDO上出现有效数据, t_{DV}			78	ns	
\overline{CS} 到SCLK建立时间 t_s	4			ns	
\overline{CS} 到SCLK保持时间 t_h			0	ns	
\overline{CS} 最短脉冲宽度(高电平), t_{PWH}	4			ns	
数据端口时序					
D[31:0]建立时间到SYNC_CLK	2			ns	
D[31:0]保持时间到SYNC_CLK			0	ns	
F[3:0]建立时间到SYNC_CLK	2			ns	
F[3:0]保持时间到SYNC_CLK			0	ns	
IO_UPDATE引脚建立时间到SYNC_CLK	2			ns	
IO_UPDATE引脚保持时间到SYNC_CLK			0	ns	
Profile引脚建立时间到SYNC_CLK				ns	
Profile引脚保持时间到SYNC_CLK	2			ns	
DR_CTL/DR_HOLD建立时间到SYNC_CLK	2		0	ns	
DR_CTL/DR_HOLD保持时间到SYNC_CLK			0	ns	
数据延迟(流水线延迟)					
单频模式 (匹配延迟禁用)					SYSCLK周期 = f_s = 系统时钟频率(GHz)
频率		320		SYSCLK周期	
相位		296		SYSCLK周期	
幅度		104		SYSCLK周期	
单频模式 (匹配延迟使能)					
频率		320		SYSCLK周期	
相位		320		SYSCLK周期	
幅度		320		SYSCLK周期	

参数	最小值	典型值	最大值	单位	测试条件/注释
Profile引脚选择模式					
频率		320		SYSClk周期	
相位		296		SYSClk周期	
幅度		104		SYSClk周期	
采用32位并行端口的 调制模式					
频率		296		SYSClk周期	
相位		272		SYSClk周期	
幅度		80		SYSClk周期	
扫描模式					
频率		392		SYSClk周期	
相位		368		SYSClk周期	
幅度		176		SYSClk周期	

绝对最大额定值

表3.

参数	额定值
AVDD (1.8V)和DVDD (1.8V)电源	2 V
AVDD (3.3V)和DVDD_I/O (3.3V)电源	4 V
数字输入电压	-0.7 V至+4 V
数字输出电流	5 mA
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
最高结温	150°C
引脚温度(焊接10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热性能

表4.

符号	描述	值 ¹	单位
θ_{JA}	结至环境热阻 (静止空气), 依据JEDEC JESD51-2	24.1	°C/W
θ_{JMA}	结至环境热阻 (1.0 m/s气流), 依据JEDEC JESD51-6	21.3	°C/W
θ_{JMA}	结至环境热阻 (2.0 m/s气流), 依据JEDEC JESD51-6	20.0	°C/W
θ_{JB}	结至板热阻 (静止空气), 依据JEDEC JESD51-8	13.3	°C/W
Ψ_{JB}	结至板特征参数 (静止空气), 依据JEDEC JESD51-6	12.8	°C/W
θ_{JC}	结至外壳热阻	2.21	°C/W
Ψ_{JT}	结至封装顶部特征参数 (静止空气), 依据JEDEC JESD51-2	0.23	°C/W

¹ 结果源于仿真。采用JEDEC多层PCB。在确定实际应用的热性能时，要求仔细检查应用的条件，以确定这些条件是否与计算的假设条件相符。

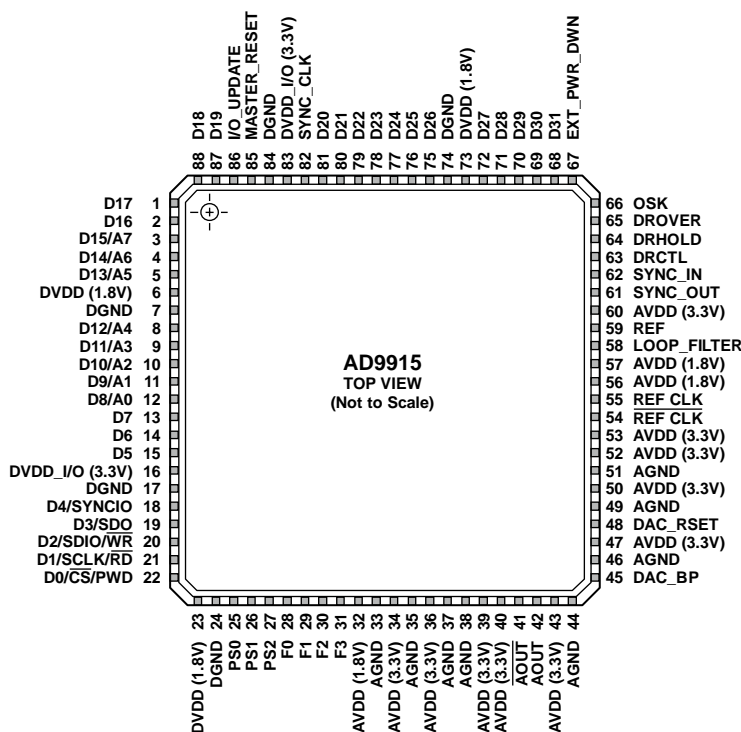
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EPAD MUST BE SOLDERED TO GROUND.

图3. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	I/O ¹	描述
1、2、13至15、68至72、75至81、87、88	D5至D7、D16至D31、D27至D31	I/O	并行端口引脚。通过32位并行端口，可以对内部寄存器进行串行或并行编程。此外，并行端口可配置为提供直接FSK、PSK或ASK(或其组合)调制数据。32位并行端口配置由4个功能引脚(F0至F3)的状态设置。
3	D15/A7	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
4	D14/A6	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
5	D13/A5	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
8	D12/A4	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
9	D11/A3	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
10	D10/A2	I/O	并行端口引脚/地址线。多用途引脚，取决于功能引脚(F0至F3)的状态。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
11	D9/A1	I/O	并行端口引脚/地址线。多用途引脚，取决于功能引脚(F0至F3)的状态。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。

AD9915

引脚编号	引脚名称	I/O ¹	描述
12	D8/A0	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定此引脚是用作直接FSK、PSK或ASK数据线，还是用作内部寄存器编程的地址线。
18	D4/SYNCIO	I	并行端口引脚/串行端口同步引脚。此引脚是直接FSK、PSK或ASK数据的D4。如果通过F0至F3调用串行模式，则此引脚用于复位串行端口。
19	D3/SDO	I/O	串行端口引脚/串行数据输出。此引脚是直接FSK、PSK或ASK数据的D3。如果通过F0至F3调用串行模式，则此引脚用于串行操作的回读模式。
20	D2/SDIO/ \overline{WR}	I/O	串行端口引脚/串行数据输入和输出/写输入。此引脚是直接FSK、PSK或ASK数据的D2。如果通过F0至F3调用串行模式，则此引脚用于串行操作的SDIO。如果使能并行模式，则此引脚用于写入数据以更改内部寄存器的值。
21	D1/SCLK/ \overline{RD}	I	并行端口引脚/串行时钟/读输入。此引脚是直接FSK、PSK或ASK数据的D1。如果通过F0至F3调用串行模式，则此引脚用于串行操作的SCLK。如果使能并行模式，则此引脚用于回读内部寄存器的值。
22	D0/ \overline{CS} /PWD	I	并行端口引脚/片选/并行宽度。此引脚是直接FSK、PSK或ASK数据的D0。如果通过F0至F3调用串行模式，则此引脚用于串行操作的片选。如果使能并行模式，则此引脚用于设置8位数据或16位数据。
6, 23, 73	DVDD (1.8V)	I	数字内核电源(1.8 V)。
7, 17, 24, 74, 84	DGND	I	数字地。
16, 83	DVDD_I/O (3.3V)	I	数字输入/输出电源(3.3 V)。
32, 56, 57	AVDD (1.8V)	I	模拟内核电源(1.8 V)。
33, 35, 37, 38, 44, 46, 49, 51	AGND	I	模拟地。
34, 36, 39, 40, 43, 47, 50, 52, 53, 60	AVDD (3.3V)	I	模拟DAC电源(3.3 V)。
25, 26, 27	PS0 to PS2	I	Profile选择引脚。数字输入(高电平有效)。使用这些引脚选择一种DDS相位/频率profile (共8种)。改变引脚状态，可将所有当前I/O缓冲内容传输到相应寄存器。要改变状态，应设置SYNC_CLK引脚(引脚82)。
28, 29, 30, 31	F0 to F3	I	功能引脚。数字输入。这些引脚的状态决定是使用串行接口还是并行接口。此外，这些功能引脚决定FSK、PSK或ASK调制模式下如何划分32位并行数据字。
41	\overline{AOUT}	O	DAC互补输出源。模拟输出(电压模式)。内部通过50 Ω 电阻连接到AVDD (3.3V)。
42	AOUT	O	DAC输出源。模拟输出(电压模式)。内部通过50 Ω 电阻连接到AVDD (3.3V)。
45	DAC_BP	I	DAC旁路引脚。用于访问DAC电流源的公共控制节点。在此引脚与地之间连接一个电容可以改善DAC输出端的噪声性能。
48	DAC_RSET	O	模拟基准源。此引脚对DAC输出满量程基准电流进行编程。AGND连接一个3.3 k Ω 电阻。
54	$\overline{REF_CLK}$	I	互补参考时钟输入。模拟输入。
55	REF_CLK	I	参考时钟输入。模拟输入。
58	LOOP_FILTER	O	外部PLL环路滤波器节点。
59	REF	O	本地PLL基准源。典型值2.05 V。
61	SYNC_OUT	O	数字同步输出。用于使多个芯片同步。
62	SYNC_IN	I	数字同步输入。用于使多个芯片同步。
63	DRCTL	I	斜坡控制。数字输入(高电平有效)。此引脚控制扫描方向(上/下)。
64	DRHOLD	I	斜坡保持。数字输入(高电平有效)。有效时扫描暂停。
65	DROVER	O	斜坡结束。数字输出(高电平有效)。当数字斜坡发生器达到最大/最小编程值时，此引脚切换到逻辑1。
66	OSK	I	输出幅度键控。数字输入(高电平有效)。在手动或自动模式中启用OSK功能时，通过此引脚控制。在手动模式中，此引脚在0(低)和编程幅度比例因子(高)之间切换乘法器。在自动模式中，低电平向下扫描幅度至0，高电平向上扫描幅度至幅度比例因子。

引脚编号	引脚名称	I/O ¹	描述
67	EXT_PWR_DWN	I	外部掉电。数字输入(高电平有效)。此引脚高电平会启动当前编程的掉电模式。
82	SYNC_CLK	O	时钟输出。数字输出。芯片中很多数字输入，如I/O_UPDATE、PS[2:0]和并行数据端口(D0至D31)，都必须在此信号的上升沿设置。
85	MASTER_RESET	I	主机复位。数字输入(高电平有效)。所有存储元件清0，寄存器设置为默认值。
86	I/O_UPDATE	I	输入/输出更新。数字输入(高电平有效)。此引脚高电平会将I/O缓冲内容传输到相应的内部寄存器。
	EPAD		裸露焊盘。必须将EPAD焊接至地。

¹I=输入，O=输出。

典型工作特性

除非另有说明，标称电源电压；DAC $R_{SET} = 3.3\text{ k}\Omega$ ， $T_A = 25^\circ\text{C}$ 。

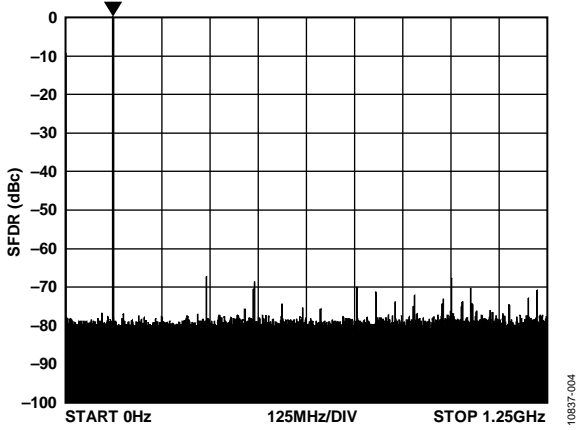


图4. 122.5 MHz条件下的宽带SFDR, $\text{SYSCLK} = 2.5\text{ GHz}$ (旁路SYSCLK PLL)

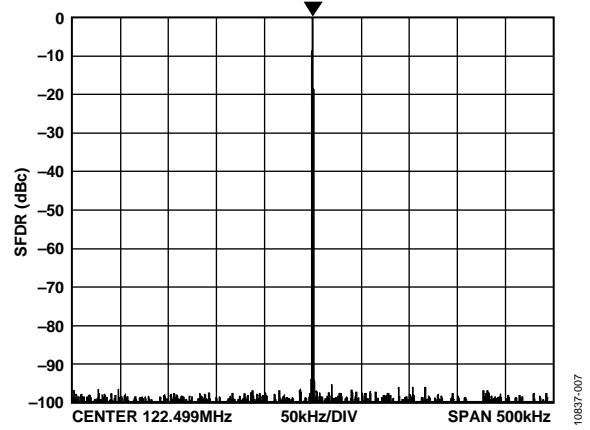


图7. 122.5 MHz条件下的窄带SFDR, $\text{SYSCLK} = 2.5\text{ GHz}$ (旁路SYSCLK PLL)

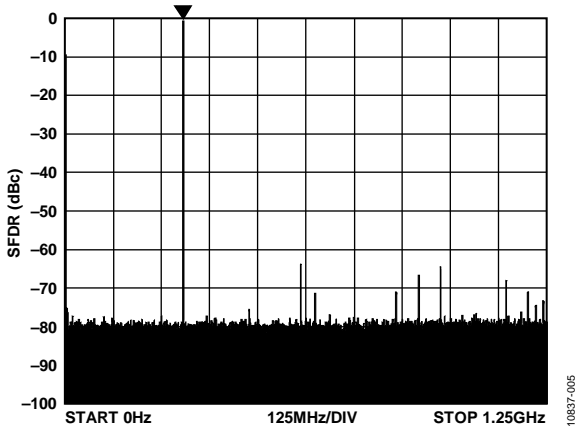


图5. 305.3 MHz条件下的宽带SFDR, $\text{SYSCLK} = 2.5\text{ GHz}$ (旁路SYSCLK PLL)

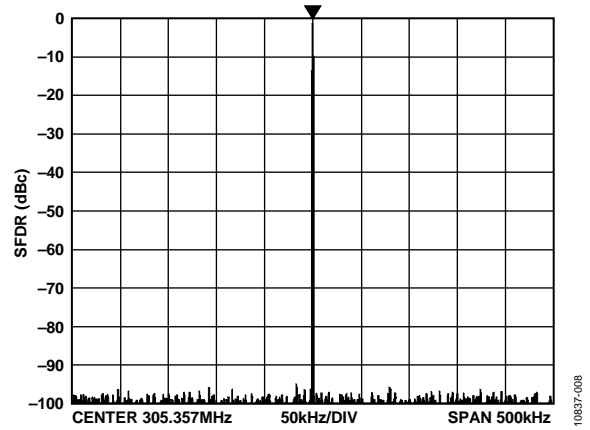


图8. 305.3 MHz条件下的窄带SFDR, $\text{SYSCLK} = 2.5\text{ GHz}$ (旁路SYSCLK PLL)

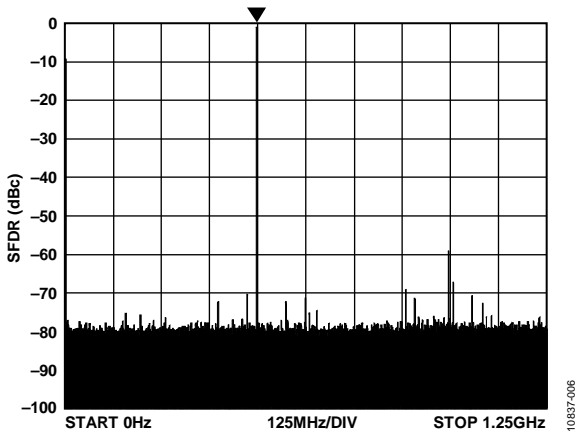


图6. 497.5 MHz条件下的宽带SFDR, $\text{SYSCLK} = 3.5\text{ GHz}$ (旁路SYSCLK PLL)

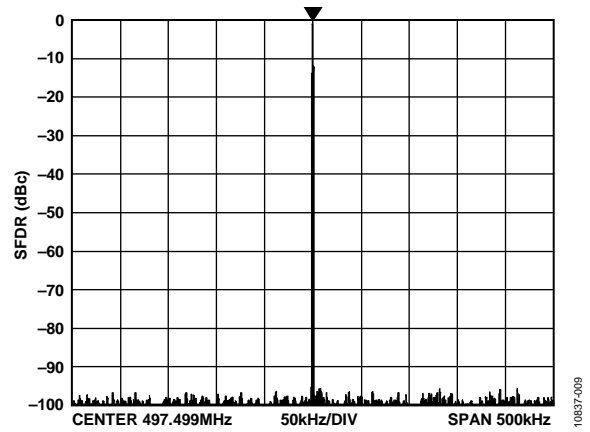


图9. 497.5 MHz条件下的窄带SFDR, $\text{SYSCLK} = 2.5\text{ GHz}$ (旁路SYSCLK PLL)

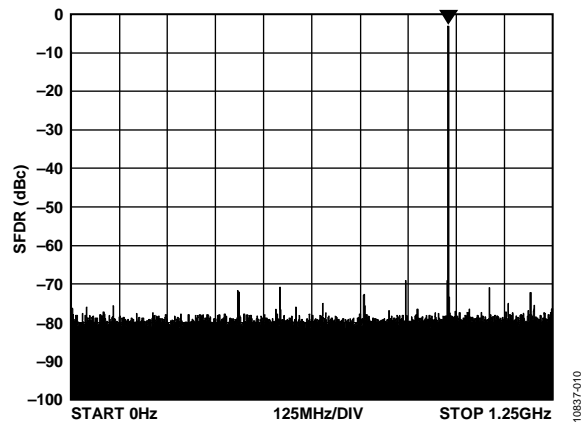


图10. 978.2 MHz条件下的宽带SFDR, SYSCLK = 2.5 GHz(旁路SYSCLK PLL)

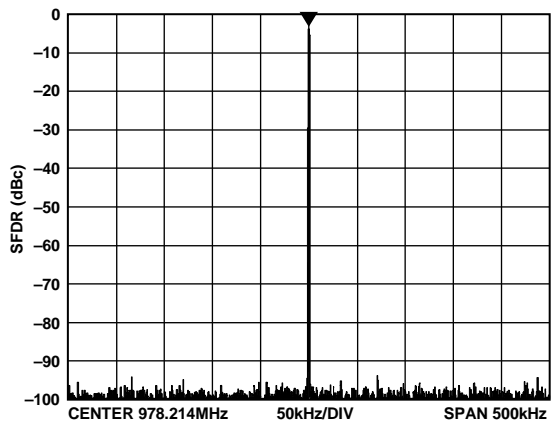


图13. 978.2 MHz条件下的窄带SFDR, SYSCLK = 2.5 GHz(旁路SYSCLK PLL)

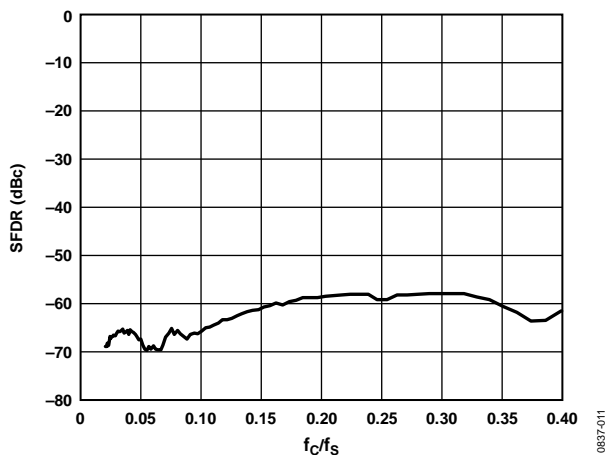


图11. 宽带SFDR与归一化 f_{OUT} 的关系, SYSCLK = 2.5 GHz

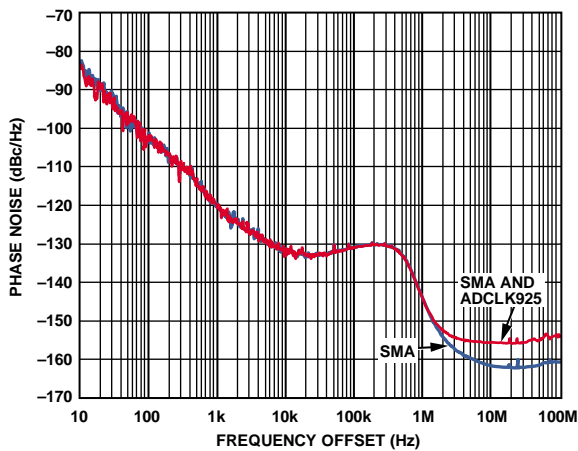


图14. 驱动AD9915的REF CLK源的绝对相位噪声, Rohde & Schwarz SMA100信号发生器, 2.5 GHz, 由串联ADCLK925缓冲

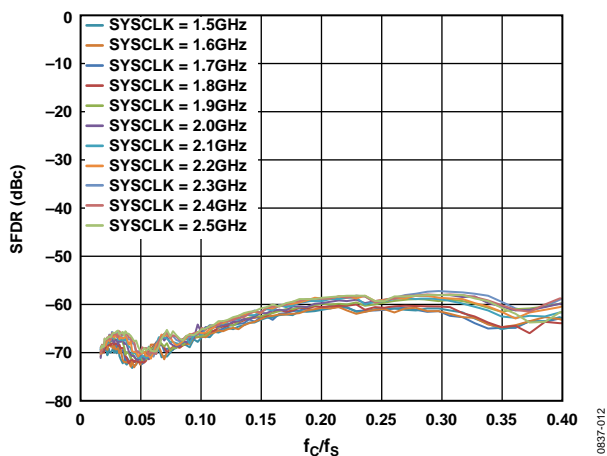


图12. 宽带SFDR与归一化 f_{OUT} 的关系, SYSCLK = 2.5 GHz至2.5 GHz

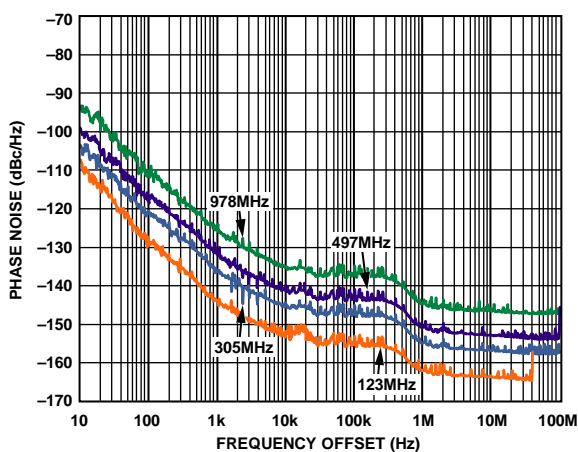


图15. 2.5 GHz工作频率时DDS输出的绝对相位噪声曲线

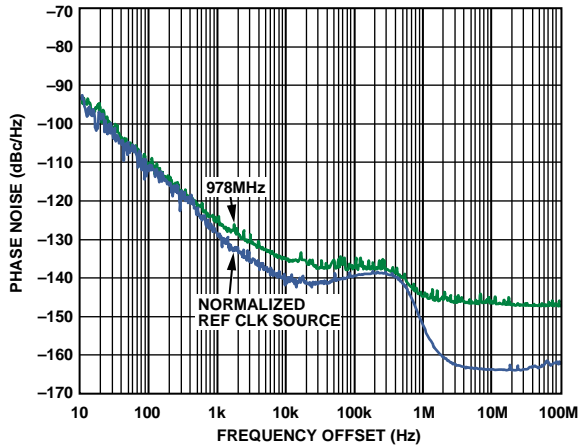


图16. 978.5 MHz时归一化REF CLK源至DDS输出的绝对相位噪声曲线(SYSCLK = 2.5 GHz)

10837-016

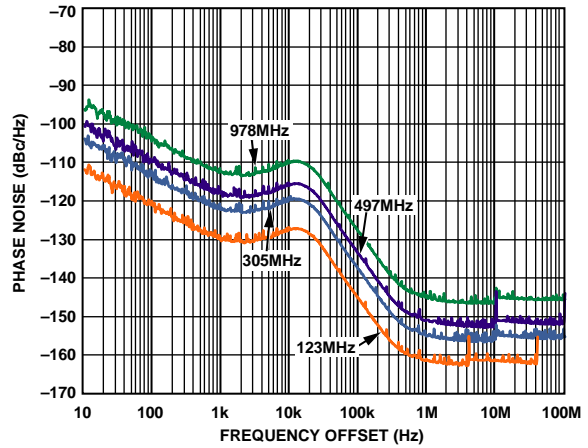


图19. 2.5 GHz工作频率时使用内部PLL的DDS输出的绝对相位噪声曲线

10837-019

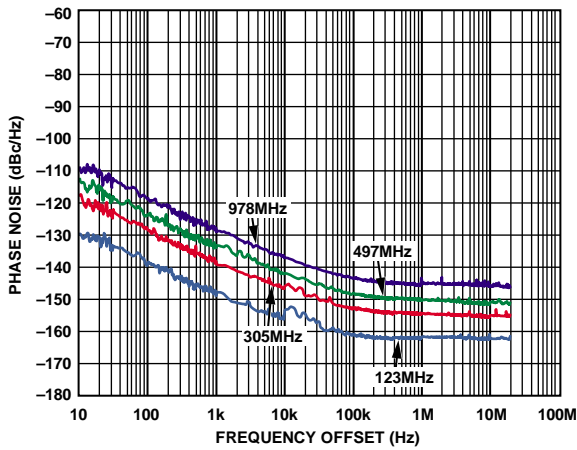


图17. 残留相位噪声曲线

10837-017

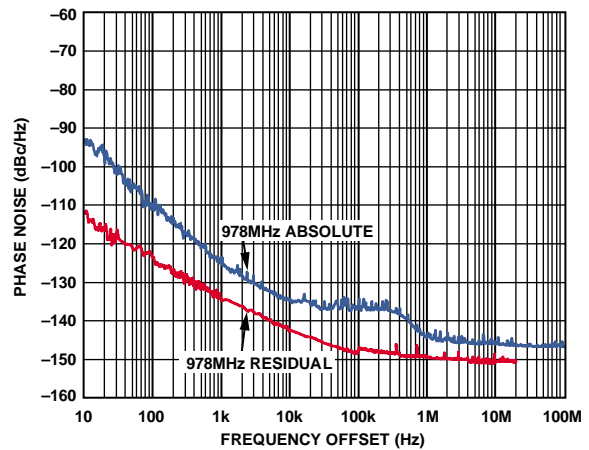


图20. 978.5 MHz时残留相位噪声与绝对相位噪声测量曲线

10837-020

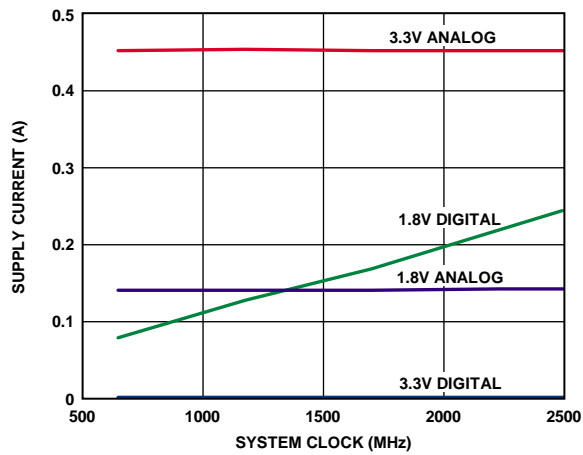


图18. 电源电流与SYSCLK的关系

10837-018

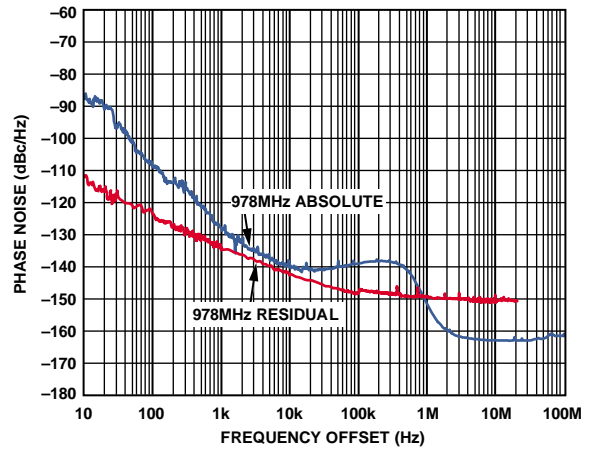


图21. 978.5 MHz时残留相位噪声与归一化绝对REF CLK源相位噪声

10837-021

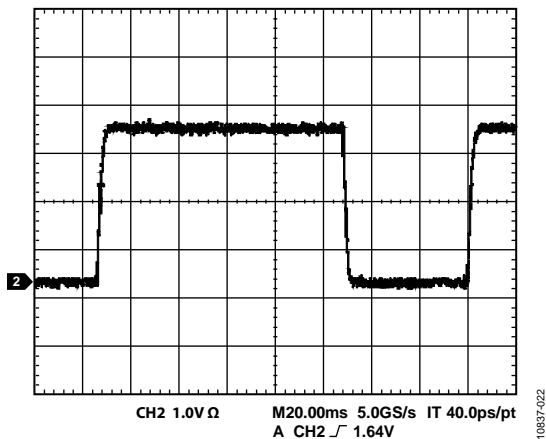


图22. SYNC_OUT ($f_{\text{SYSCLK}}/384$)

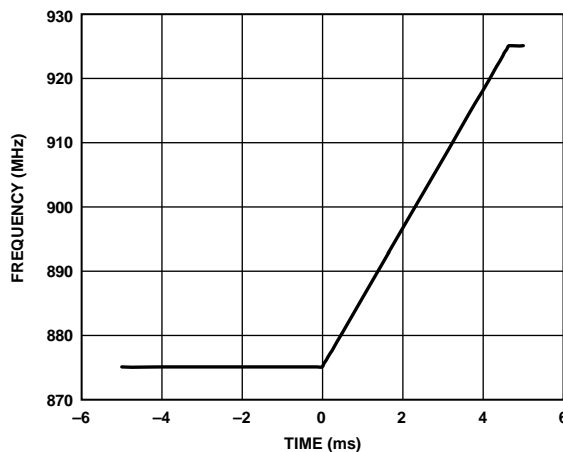


图24. 实测上升线性扫频

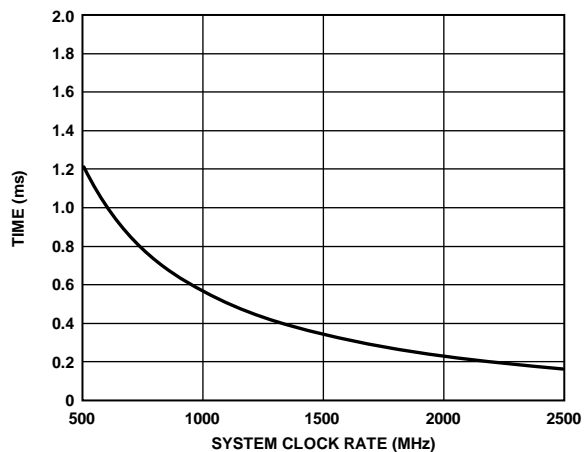


图23. DAC校准时间与SYSCLK速率的关系；
公式参见“DAC校准输出”部分

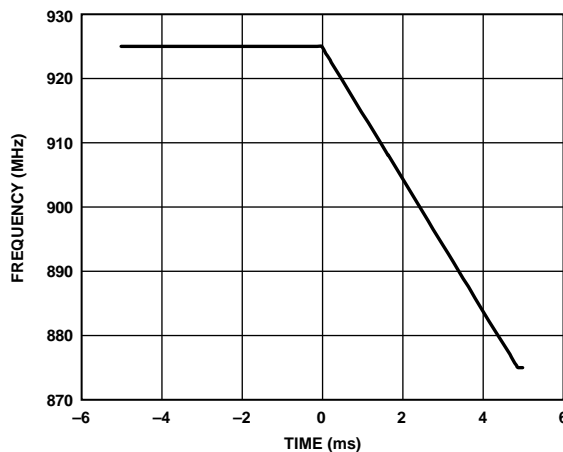


图25. 实测下降线性扫频

等效电路

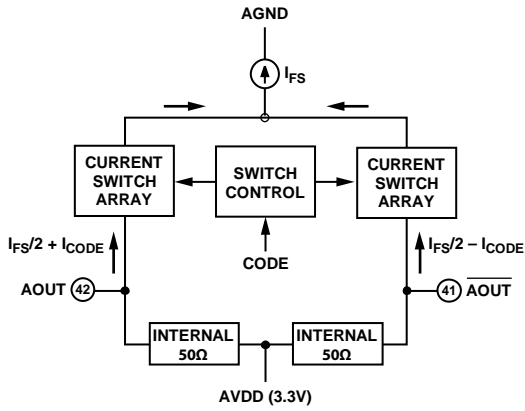


图26. DAC输出

10837-044

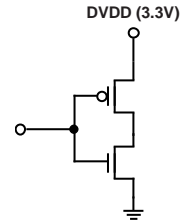


图28. CMOS输入

10837-045

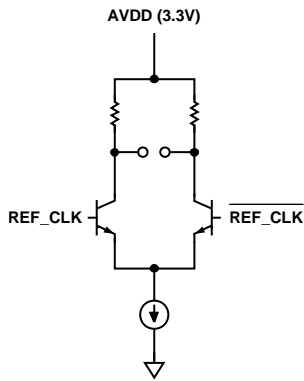


图27. REF CLK输入

10837-048

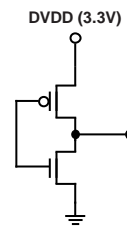


图29. CMOS输出

10837-043

工作原理

AD9915支持5种工作模式。

- 单频
- Profile调制
- 数字斜坡调制(线性扫描)
- 并行数据端口调制
- 可编程模数模式

模式决定了供给DDS的数据源，这些数据源控制信号的参数：频率、相位或幅度。根据工作模式和/或具体控制位及功能引脚，数据分成不同的频率、相位和幅度组合。

虽然本文会分别介绍各种工作模式，但实际操作时可以同时启用多种模式。因此，这为配置复杂调制方案带来了巨大的灵活性。不过，为避免多数据源驱动同一DDS信号控制参数，器件具有内置的优先级协议。

在单频模式下，DDS信号控制参数由Profile编程寄存器直接提供。在数字斜坡调制模式中，DDS信号控制参数通过数字斜坡发生器提供。在并行数据端口调制模式中，DDS信号控制参数由并行端口直接控制。

各种调制模式一般只使用一种DDS信号控制参数(极化调制格式通过并行数据端口使用两种参数)。未调制的DDS信号控制参数保存在编程寄存器中，根据所选工作模式自动传送到DDS。

另外，它还具有独立的输出幅度键控(OSK)功能。此功能采用独立的数字线性斜坡发生器，只对DDS幅度参数产生作用。与其他数据源相比，OSK功能可以优先驱动DDS幅度参数。因此，一旦启用OSK功能，其他数据源将无法驱动DDS幅度。

单频模式

在单频模式中，DDS信号控制参数由Profile编程寄存器直接提供。Profile是一个包括DDS信号控制参数的独立寄存器。AD9915共有8个Profile寄存器。注意，必须使用Profile引脚来选择所需的寄存器。

PROFILE调制模式

每个Profile都能单独访问。对于FSK、PSK或ASK调制，利用三个外部Profile引脚(PS[2:0])可选择想要的Profile。改变Profile引脚状态将在SYNC_CLK下一上升沿使用所选Profile

中指定参数更新DDS。因此，Profile变更必须满足SYNC_CLK上升沿的建立和保持时间要求。注意，幅度控制也必须利用CFR1寄存器(0x00[8])中的OSK使能位使能。

数字斜坡调制模式

在数字斜坡调制模式中，调制的DDS信号控制参数由数字斜坡发生器(DRG)直接提供。斜坡发生参数由串行或并行I/O端口控制。

利用斜坡发生参数，用户可以控制斜坡的上升和下降斜率。斜坡的上下限值、斜坡上升/下降部分的步长和步率均可编程。

斜坡采用数字化生成，输出分辨率32位。DRG的32位寄存器编程的对象可以是频率、相位或幅度。编程频率时，要用到所有32位，而编程相位和幅度时分别只需使用16位和12位MSB。

斜坡方向(上升或下降)通过DRCTL引脚外部控制。用户使用DRHOLD附加引脚还能保持斜坡发生器的当前状态。注意，幅度控制也必须利用CFR1寄存器中的OSK使能位使能。

并行数据端口调制模式

在并行数据端口调制模式中，调制的DDS信号的控制参数直接由32位并行数据端口提供。功能引脚定义32位数据字如何作用于DDS的信号控制参数。无论对象是哪一种，32位数据字都采用无符号二进制格式表示。

并行数据时钟(SYNC_CLK)

AD9915在SYNC_CLK引脚上产生一个1/16 DAC采样速率(并行数据端口的采样速率)的时钟信号。SYNC_CLK用作并行端口的数据时钟。

可编程模数模式

在可编程模数模式中，DRG用作辅助累加器来改变DDS内核的频率公式，使其能够实现分母不是2的幂的小数分频。标准DDS只能使用2的幂作为分母，因为相位累加器是一个与频率调谐字(FTW)一样宽的位组。

然而，可编程模数模式下的频率公式为：

$$f_o = (f_s)(FTW + A/B)/2^{32}$$

其中， $f_o/f_s < 1/2$ ， $0 \leq FTW < 2^{31}$ ， $2 \leq B \leq 2^{32} - 1$ ， $A < B$ 。

AD9915

此公式暗含 $B \times 2^{32}$ 的模数(而不是标准DDS的 2^{32})。此外, 由于B是可编程的, 因此便得到一个可编程模数的DDS。

在可编程模数模式下, 32位辅助累加器可以在非满容量 2^{32} 的值时翻转。也就是说, 其模数被一个可编程值B改变。辅助累加器每翻转一次, 32位相位累加器的当前累计值就会增加1 LSB的值。此行为将相位累加器的模数更改为 $B \times 2^{32}$ (而非 2^{32}), 使它可以合成所需的 f_o 。

为确定FTW、A和B的可编程模数模式寄存器值, 用户首先必须将 f_o/f_s 定义为相对质数之比M/N。也就是将 f_o 和 f_s 转换为整数M和N, 并将分数M/N约简为最小项, 然后将 $M \times 2^{32}$ 除以N。此除法操作的整数部分为FTW(寄存器0x04[31:0])的值, 余数Y为:

$$Y = (2^{32} \times M) - (FTW \times N)$$

利用Y的值可以确定A和B的值, 方法如下: 将分数Y/N约简为最小项, 约简分数的分子即为A(寄存器0x06[31:0]), 分母即为B(寄存器0x05[31:0])。

例如, 标准DDS无法利用1 GHz系统时钟精确合成300 MHz频率, 但使用可编程模数就可以实现, 步骤如下:

首先将 f_o/f_s 表示为整数比:

$$300,000,000/1,000,000,000$$

将此分数约简为最小项得到3/10, 故M = 3且N = 10。FTW为 $(M \times 2^{32})/N = (3 \times 2^{32})/10$ 的整数部分, 即1,288,490,188(用32位十六进制表示法表示是0x4CCCCCCC)。(3×2^{32})/10的余数 $Y = (2^{32} \times 3) - (1,288,490,188 \times 10) = 8$, 故 $Y/N = 8/10 = 4/5$ 。因此, A = 4且B = 5(用32位十六进制表示法表示分别是0x00000004和0x00000005)。用FTW、A和B的这些值对AD9915进行编程, 即可获得恰好等于系统时钟频率3/10的输出频率。

模式优先级

各种模式可以独立激活, 这就可能出现多个数据源试图驱动同一DDS信号控制参数(频率、相位和幅度)的情况。为避免冲突, AD9915确立了一套优先级控制系统。表6给出了每种DDS模式的优先级。表6中的数据源列表示某种DDS信号控制参数的数据源, 按优先级降序排列。例如, 如果Profile模式使能位和并行数据端口使能位(0x01[23:22])均设置为逻辑1, 并且这两种模式均被编程为向DDS输出提供频率调谐字, 那么Profile调制模式将优先于并行数据端口调制模式。

表6. 数据源优先级

优先级	DDS信号控制参数	
	数据源	条件
最高 优先级	可编程模数	如果可编程模数模式仅用于输出频率, 则在这种模式下, 任何其它数据源都不能用来控制输出频率。注意, DRG与可编程模数模式一起使用, 因此在可编程模数模式下, 不能使用DRG扫描相位或幅度。 如果需要控制输出相位偏移, 应使能Profile模式, 并使用相应的Profile寄存器和Profile引脚来控制输出相位调整。 如果需要控制输出幅度, 应使能Profile模式, 并使用相应的Profile寄存器和Profile引脚来控制输出幅度调整。注意, 要控制输出幅度, 必须将OSK使能位置1。
最低 优先级	DRG	数字斜坡调制模式是第二优先模式。如果使能DRG扫描输出频率、相位或幅度, 未被扫描的两个参数可以通过Profile模式独立控制。
	Profiles 并行端口	Profile调制模式是第三优先模式。需要时, 可以利用Profile模式来独立控制所有三个参数。 并行数据端口调制模式的优先级最低, 但也最灵活, 能够高速更改任何参数。参见“编程和功能引脚”部分。

功能模块详解

DDS内核

直接数字频率合成器(DDS)模块产生参考信号(正弦或余弦取决于使能正弦输出位0x00[16])。参考信号的参数(频率、相位和幅度)由DDS频率、相位偏移和幅度控制输入信号决定,如图30所示。

AD9915的输出频率(f_{OUT})由DDS频率控制输入的频率调谐字(FTW)控制。 f_{OUT} 、FTW和 f_{SYSCLK} 之间的关系可由以下公式表示:

$$f_{OUT} = \left(\frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (1)$$

其中: FTW是介于0至2,147,483,647 ($2^{31} - 1$)之间的32位整数,表示完整32位变量的低半部。此范围包括从DC至奈奎斯特频率($\frac{1}{2} f_{SYSCLK}$)内的所有频率。

对于给定的 f_{OUT} 值,可通过公式1求出FTW,如公式2所示:

$$FTW = \text{round} \left(2^{32} \left(\frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (2)$$

其中: 函数round(x)将自变量(x的值)四舍五入为最接近的整数。这是因为FTW必须为一个整数值。例如,如果 $f_{OUT} = 41 \text{ MHz}$, $f_{SYSCLK} = 122.88 \text{ MHz}$,那么 $FTW = 1,433,053,867$ (0x556AAAAB)。

如果FTW大于 2^{31} ,编程后会在输出频率中产生混叠镜像,即:

$$f_{OUT} = \left(1 - \frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (FTW \geq 2^{31})$$

DDS信号的相对相位通过16位的相位偏移字(POW)来控制。相位偏移在DDS内核角度幅度转换模块之前产生。相对相位偏移($\Delta\theta$)可由以下公式计算:

$$\theta = \begin{cases} 2\pi \left(\frac{POW}{2^{14}} \right) \\ 360 \left(\frac{POW}{2^{14}} \right) \end{cases}$$

其中: 上部相位偏移值的单位是弧度,下部单位是度数。

对于任意给定的 $\Delta\theta$,可利用上述公式求出POW,再将结果四舍五入即可(方法与计算任意FTW类似)。

DDS信号的相对幅度范围(相对于满量程)可由12位幅度比例因子(ASF)进行数字化控制。幅度范围值在DDS内核角度幅度转换模块输出时产生。幅度范围的计算公式为:

$$\text{幅度范围} = \begin{cases} \frac{ASF}{2^{12}} \\ 20 \log \left(\frac{ASF}{2^{12}} \right) \end{cases} \quad (3)$$

其中: 上部幅度值以满量程分数表示,下部值以dB表示所占满量程的比重。

对于给定比例因子,可利用公式3求出ASF,将结果四舍五入即可(方法与计算任意FTW类似)。

AD9915编程以调制任意DDS信号控制参数时,最大调制采样速率为 $\frac{1}{4} f_{SYSCLK}$ 。也就是说调制信号产生的镜像为 $\frac{1}{4} f_{SYSCLK}$ 的倍频。使用本器件作为调制器时必须考虑这些镜像产生的影响。

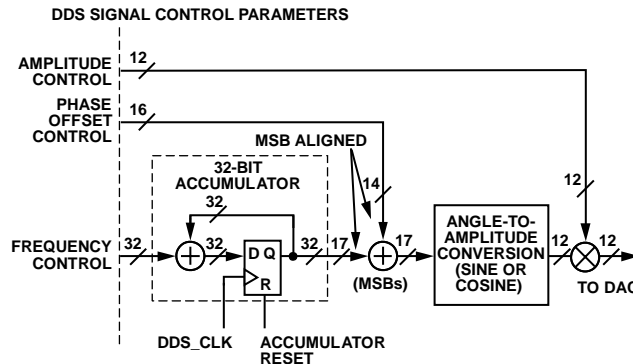


图30. DDS功能框图

12位DAC输出

AD9915内置一个12位电流输出DAC。利用两路输出保证输出电信号的平衡。平衡输出能够降低DAC输出时潜在的共模噪声，提供更出色的信噪比。在DAC_RSET和AGND引脚之间连接一个外部电阻(R_{SET})建立参考电流。推荐使用3.3 k Ω 外部电阻(R_{SET})。

应注意负载端接电阻的大小，保证输出电压处于顺从电压规定的范围内；电压超限容易产生过多失真，造成DAC输出电路损坏。

DAC校准输出

每次上电后以及更改REF_CLK或内部系统时钟时，必须将CFR4控制寄存器(0x03[24])的DAC_CAL使能位手动置1，然后清0。这会启动内部校准程序，从而优化内部DAC时序的建立和保持时间。不校准可能会使性能降低，甚至导致功能丧失。校准DAC时钟所需的时间计算如下：

$$t_{CAL}(f_s) = \frac{531,840}{f_s}$$

重构滤波器

DAC输出信号表现为一个采样频率为 f_s 的正弦波。该正弦波的频率由DDS输入端的频率调谐字(FTW)确定。DAC输

出通常会经过一个外部重构滤波器，以便消除采样过程中的伪像和滤波器带宽以外的其它杂散。

由于DAC构成一个采样系统，因此必须对其输出进行滤波，使模拟波形能够准确代表DAC输入端提供的数字样本。未滤波的DAC输出包含所需的基带信号，其频率范围是从DC到奈奎斯特频率($f_s/2$)。它还包含基带信号的镜像，其频率理论上可达到无限。注意，奇数镜像(如图31所示)是基带信号的镜像。此外，完整DAC输出频谱会受到 $\sin(x)/x$ 响应的影响，这是因为DAC输出信号具有采样保持特性。

对于使用DAC输出基频的应用，重构滤波器的响应应保留基带信号(镜像0)，同时完全抑制所有其它镜像。然而，实际的滤波器通常具有相对平坦的通带，覆盖所需的输出频率加上20%，尽可能陡地滚降，然后对剩余镜像保持有效抑制(尽管不能完全抑制)。常常使用三阶、五阶或七阶椭圆低通滤波器，具体取决于干扰杂散与所需信号的接近程度。

有些应用的工作镜像高于奈奎斯特频率，这种情况下需要带通滤波器，而非低通滤波器。重构滤波器的设计对整体信号性能有重大影响。因此，为获得最佳抖动性能，必须采用良好的滤波器设计和实现技术。

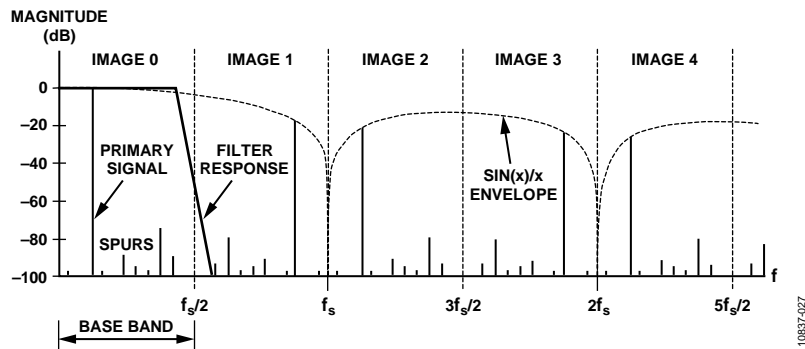


图31. DAC频谱与重构滤波器响应的关系

时钟输入(REF_CLK/REF_CLK)

REF_CLK/REF_CLK概述

通过REF_CLK/REF_CLK输入引脚, AD9915提供多种用以产生内部SYSCLK信号(DAC采样时钟)的方法。REF_CLK输入可以直接由差分或单端信号源驱动。另外, 内部锁相环(PLL)倍频器可以单独使能。然而, PLL将SYSCLK信号限制在2.4 GHz到2.5 GHz范围。PLL旁路时建议使用差分信号。REF_CLK功能框图如图32所示。图32还显示了CFR3控制位与具体功能模块之间的关系。

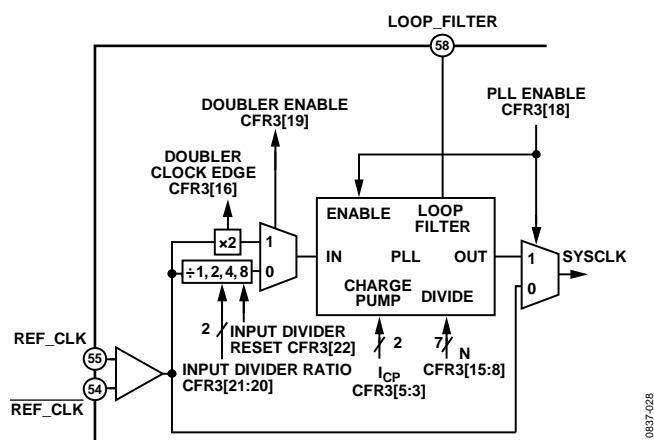


图32. REF_CLK功能框图

PLL使能位可用于选择PLL路径或直接输入路径。选择直接输入路径时, REF_CLK/REF_CLK引脚必须由外部信号源驱动(单端或差分)。最大输入频率可达3.5 GHz。

直接驱动REF_CLK/REF_CLK

对于差分信号源, REF_CLK/REF_CLK引脚由互补信号驱动, 同时通过0.1 μ F电容交流耦合。对于单端信号源, 可以采用单端至差分转换, 也可以由单端信号直接驱动REF_CLK输入。无论是哪一种情况, 都要用0.1 μ F电容与两个REF_CLK/REF_CLK引脚进行交流耦合, 以免干扰内部~1.35 V的直流偏置电压。详情参见图33。

REF_CLK/REF_CLK的输入电阻为~2.5 k Ω (差分)或~1.2 k Ω (单端)。大多数信号源输出阻抗相对较小。REF_CLK/REF_CLK

输入电阻相对较高, 因此, 它对端接阻抗的影响可以忽略; 所以, 端接电阻通常可以按照信号源的输出阻抗来选择。图33中的下面两个例子假定信号源输出阻抗为50 Ω 。

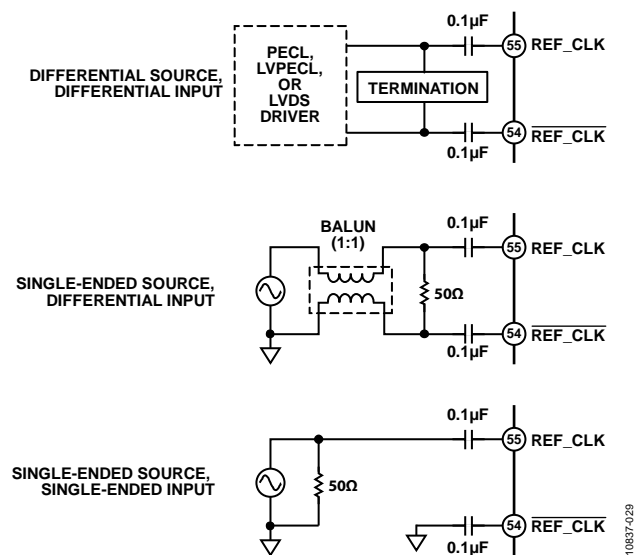


图33. 直接连接图

锁相环(PLL)倍频器

内部锁相环(PLL)可以使用远远小于系统时钟频率的参考时钟频率。PLL支持非常宽的可编程倍频系数(8 \times 至255 \times)、可编程电荷泵电流以及外部环路滤波器元件(通过PLL LOOP_FILTER引脚连接)。这些功能提高了PLL的灵活性, 可以优化相位噪声性能, 增强频率规划的灵活性。PLL还提供一个PLL锁定指示位(0x1B[24])。

通过内部VCO, PLL输出频率范围(f_{SYSCLK})限定在2.4 GHz至2.5 GHz之间。

VCO校准

利用PLL产生系统时钟时, 需要执行VCO校准以适当地调谐VCO, 实现良好的性能。当参考输入信号稳定时, CFR1寄存器0x00[24]中的VCO校准使能位必须置位。然后, 若要再一次启动VCO校准, 必须先将VCO校准位清0。为确保获得最佳性能和功能, VCO校准必须先于DAC校准。

AD9915

PLL电荷泵

电荷泵电流(I_{CP})值通过VCO校准程序自动选择, 反馈分频器($N = 8$ 至 255)值存储在CFR3寄存器($0x02[15:8]$)的反馈分频器 $N[7:0]$ 中。要手动覆盖电荷泵电流值, 必须将CFR3 ($0x02[6]$)中的手动 I_{CP} 选择位设置为逻辑1。

这使得用户可以灵活地优化PLL性能。表7列出了位设置与标称电荷泵电流之间的关系。

表7. PLL电荷泵电流

I_{CP} 位(CFR3[5:3])	电荷泵电流 I_{CP} (μA)
000	125
001	250
010	375
011	500(默认)
100	625
101	750
110	875
111	1000

表8. N分频器与电荷泵电流

N分频范围	建议电荷泵电流 I_{CP} (μA)
8至15	125
16至23	250
24至35	375
36至43	500
44至55	625
56至63	750
64至79	875
80至100	1000

PLL环路滤波器元件

环路滤波器大部分位于器件内部, 如图34所示。推荐的外部电容值为 560 pF 。由于集成了 C_p 和 R_{PZ} , 建议不要通过外部电容值来调整环路带宽。更好的办法是调整电荷泵电流, 即便这是一种粗调。

例如, 假设手动设置PLL, 使得 $I_{CP} = 375\ \mu A$ 、 $K_V = 60\text{ MHz/V}$ 且 $N = 50$, 则环路带宽约为 250 kHz 。

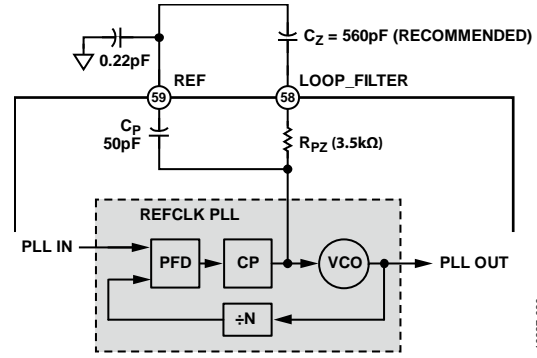


图34. REF CLK PLL外部环路滤波器

PLL锁定指示

使用PLL时, PLL锁定位($0x1B[24]$)以有效高电平表示PLL已锁定REF CLK输入信号。

输出幅度键控(OSK)

OSK功能(参见图35)允许用户控制DDS输出信号的幅度。与任何其他向DDS发送编程幅度数据的模块相比, OSK模块产生的幅度数据优先级最高。因此, OSK数据源使能后, 其控制权优先于所有其他幅度数据源。

OSK功能由两个CFR1寄存器位(OSK使能 $0x00[8]$ 和外部OSK使能 $0x00[9]$)、外部OSK引脚、Profile引脚和8个Profile寄存器之一中的12位幅度比例因子控制。Profile引脚用于选择包含所需幅度比例因子的Profile寄存器。

OSK模块的首要控制措施是OSK使能位($0x00[8]$)。OSK功能禁用时, OSK输入控制和OSK引脚会被忽略。

OSK引脚功能取决于外部OSK使能位和OSK使能位的状态。当这两位均设置为逻辑1且OSK引脚为逻辑0时, 输出幅度为0; 否则, 如果OSK引脚为逻辑1, 输出幅度将由Profile引脚选择的8个Profile寄存器之一中的幅度比例因子设置。

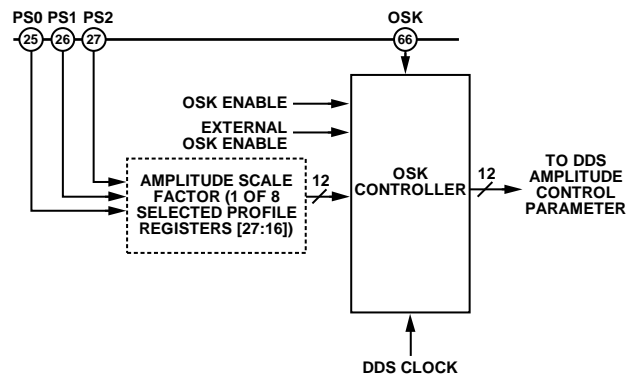


图35. OSK功能框图

数字斜坡发生器(DRG)

DRG概述

AD9915中集成了全数字式数字斜坡发生器，可以从编程设定的起点到终点扫描相位、频率和幅度。DRG要用到8个控制寄存器位、3个外部引脚和5个32位寄存器(参见图36)。

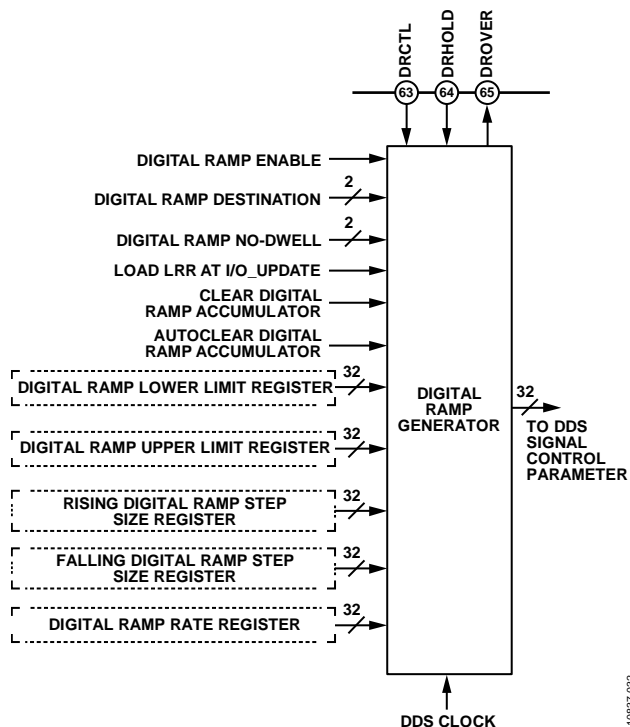


图36. 数字斜坡功能框图

DRG的首要控制是数字斜坡使能位(0x01[19])。禁用该位后，DRG其他的输入控制会被忽略，内部时钟关闭以节能。

DRG采用32位无符号数据总线输出，可以与DDS三种信号控制参数中的任意一种连接。DRG由控制功能寄存器2中的两个数字斜坡目标位控制，参见表9。根据目标位定义，32位输出总线可以与32位频率参数、16位相位参数以及12位幅度参数通过MSB对齐。如果目标位是相位或幅度，未使用的LSB会被忽略。

表9. 数字斜坡目标

数字斜坡目标位 (CFR2[21:20])	DDS信号控制参数	DDS参数指定位
00	频率	31:0
01	相位	31:18
1x ¹	幅度	31:20

¹x = 无关位。

DRG的斜坡特性参数可完全编程，包括：斜坡上下限值、正/负斜率斜坡的步长和步率单独控制。DRG详细框图如图37所示。

斜坡方向由DRCTL引脚控制。此引脚上逻辑0可使DRG生成负斜率斜坡，逻辑1产生正斜率斜坡。

另外，DRG还支持由DRHOLD引脚控制的保持功能。当此引脚设为逻辑1时，DRG停留在最后的状态中；否则，DRG会正常工作。非DRG目标的DDS信号控制参数取自有效Profile。

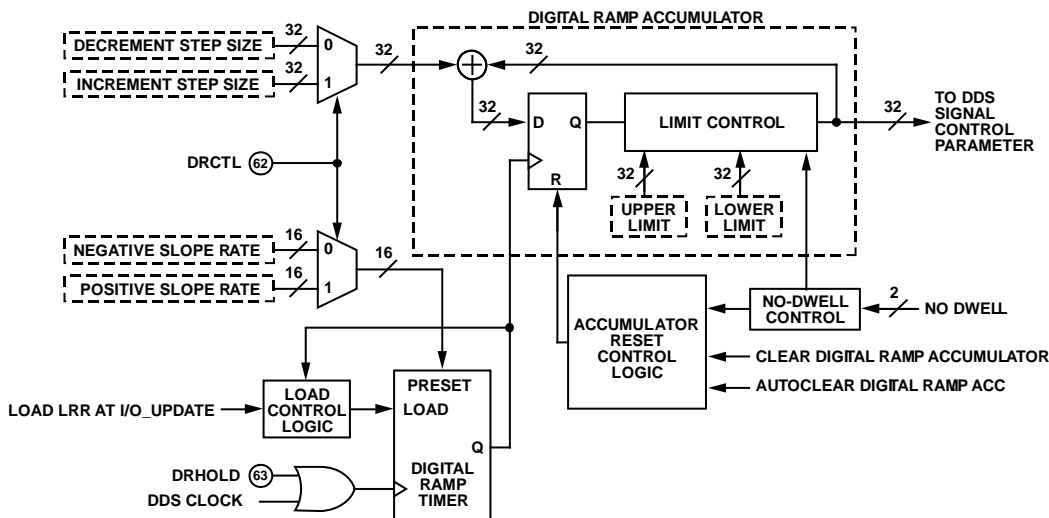


图37. 数字斜坡发生器详图

DRG斜率控制

DRG的内核是以可编程定时器为时钟的32位累加器。该定时器的时基是DDS时钟，工作在 $1/24 f_{\text{SYSCLK}}$ 频率。定时器用于建立累加器两个连续更新之间的时间间隔。正斜率步进间隔(+ Δt)和负斜率步进间隔(- Δt)都能独立编程控制，计算公式为：

$$+\Delta t = \frac{24P}{f_{\text{SYSCLK}}}$$

$$-\Delta t = \frac{24N}{f_{\text{SYSCLK}}}$$

其中： P 和 N 是保存在32位数字斜坡率寄存器中的两个16位数值，用于控制步进间隔。 N 指负斜率斜坡的步进间隔。 P 指正斜率斜坡步进间隔。

正斜率斜坡步长(STEP_p)和负斜率斜坡步长(STEP_n)采用32位值，由32位上升和下降数字斜坡步长寄存器(0x06和0x07)编程控制。每一步长的编程值是无符号整数(硬件会自动将 STEP_n 看作负值)。32位步长值和频率、相位以及幅度单位之间的关系取决于数字斜坡目标位。用 STEP_n 或 STEP_p 替换下列公式中的 M ，可以计算实际频率、相位和幅度步长：

$$\text{频率步长} = \left(\frac{M}{2^{32}}\right) f_{\text{SYSCLK}}$$

$$\text{相位步长} = \frac{\pi M}{2^{31}} \quad (\text{弧度})$$

$$\text{相位步长} = \frac{45M}{2^{29}} \quad (\text{度})$$

$$\text{幅度步长} = \left(\frac{M}{2^{32}}\right) I_{\text{FS}}$$

注意频率单位与 f_{SYSCLK} 使用的单位保持一致(例如MHz)。幅度单位与DAC满量程输出电流 I_{FS} 使用的单位保持一致(例如mA)。

相位和幅度步长公式计算的结果是平均步长。虽然步长累加精度可达32位，但相位和幅度分别只用到16位和12位。因此，实际相位和幅度步长会根据目标控制位将累加的32位值截取为16位或12位结果。

根据前文所述，步进间隔由16位可编程定时器控制。有三种情况会造成定时器超时前重载。第一种情况是数字斜坡使能位由0变为1，随后进行I/O更新。第二种情况是DRCTL引脚状态发生改变。第三种情况是利用“I/O更新时加载LRR”位(0x00[15])使能。

DRG限值控制

斜坡累加器后设有限值控制逻辑，可以强制设定斜坡发生器输出信号的上下边界。在任何情况下，DRG使能后的输出信号都不会超过编程设定的限值。上下限值由64位数字斜坡限值寄存器控制。注意上限值要大于下限值，才能保证DRG正常运行。

DRG累加器清零

通过编程控制可以使斜坡累加器清0(即复位至0)。斜坡累加器清0后，会强制DRG按数字斜坡限值寄存器中编程设定的下限值输出。

通过将限值控制模块嵌入累加器反馈路径中，复位累加器即相当于将其预置为下限值。

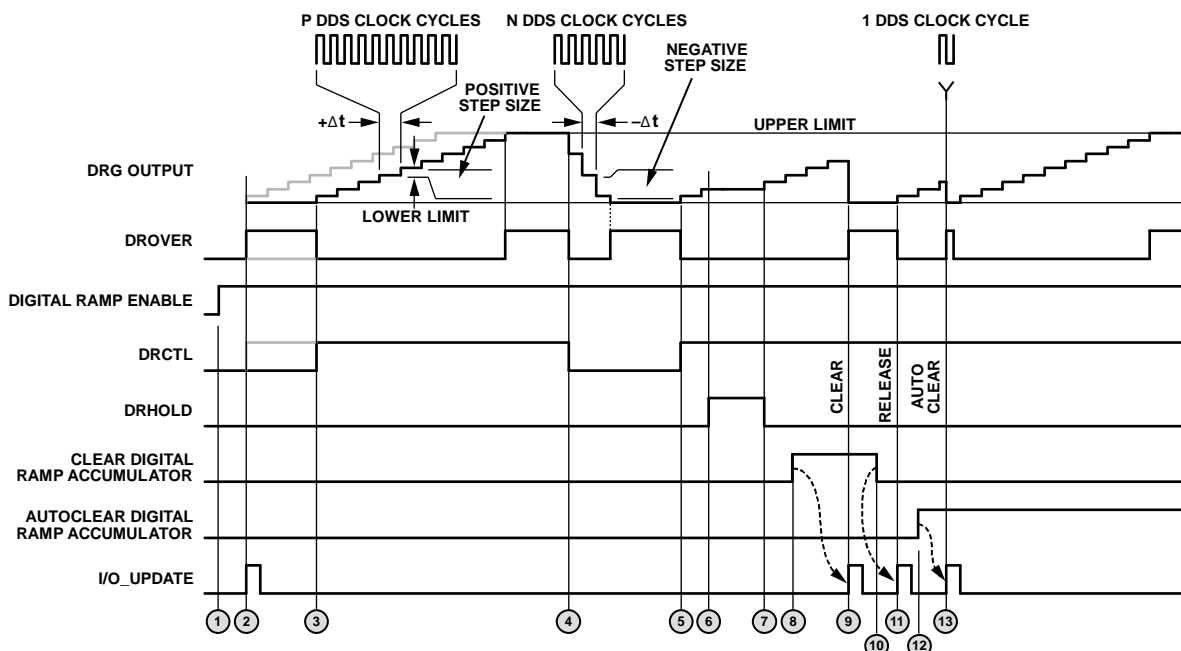


图38. 正常斜坡发生

正常斜坡发生

正常斜坡发生指两个非驻留位全部清0(详情参见“非驻留斜坡发生”部分)。图38给出了一个斜坡波形例子及其所需控制信号：最上面的曲线为DRG输出；下一条曲线是DROVER输出引脚状态(假定DRG结束输出使能位已置1)；其余曲线为控制位和控制引脚的状态。另外，相关斜坡参数也予以了标注(上下限值、步长和正负斜率斜坡的 Δt)。在图的底部，带圆圈数字标明了各种具体事件。不同数字编号表示的事件(事件1，等等)，将在下面的段落进行说明。

在本例中，为了显示DRG的灵活性，斜坡的正负斜率对是不同的。正负两种斜率参数可以编程为相同值。

事件1—数字斜坡使能位置1，由于该位必须在I/O更新后才有效，因此不会影响DRG输出。

事件2—I/O更新记录该数字斜坡使能位。如果DRCTL = 1有效(DRCTL线灰色部分)，那么DRG输出会立即变成正斜率(DRG输出线灰色部分)。否则，如果DRCTL = 0，DRG输出会被初始化为下限值。

事件3—DRCTL引脚转换成逻辑1，启动DRG正斜率输出。在本例中，DRCTL引脚状态保持时间足够长，以使DRG达到其编程设定的上限值。在斜坡累加器清零(DRCTL = 0)或者重新将上限值编程设定为更高值之前，DRG始终保持上限值输出。对于后一种情况，DRG会立即恢复之前的正斜率曲线。

事件4—DRCTL引脚转换成逻辑0，启动DRG负斜率输出。在本例中，DRCTL引脚状态保持时间足够长，以使DRG达到其编程设定的下限值。在DRCTL = 1或者下限值重新编程获得更低值之前，DRG始终保持下限值输出。对于后一种情况，DRG会立即恢复之前的负斜率曲线。

事件5—DRCTL引脚第二次转换成逻辑1，启动第二次正斜率输出。

事件6—DRHOLD引脚转换为逻辑1，正斜率曲线输出中断。这使得斜坡累加器停止运算，并将DRG输出冻结在最后的输出值上。

事件7—DRHOLD引脚转换为逻辑0，释放斜坡累加器，恢复之前的正斜率曲线输出。

事件8—清除数字斜坡累加器位置1，由于该位必须在I/O更新后才有效，因此不会影响DRG输出。

事件9—I/O更新记录了清除数字斜坡累加器位已置1，对斜坡累加器复位，强制将DRG输出限定为编程设定的下限值。在清除条件移除前，DRG输出始终保持下限值。

事件10—清除数字斜坡累加器位已清0，由于该位必须在I/O更新触发后才有效，因此不会影响DRG输出。

事件11—I/O更新记录了清除数字斜坡累加器位已清0，释放斜坡累加器，重新恢复之前的正斜率曲线。

事件12—自动清除数字斜坡累加器位已置1，由于该位必须在I/O更新触发后才有效，因此不会影响DRG输出。

事件13—I/O更新记录了自动清除数字斜坡累加器位已置1，重置斜坡累加器。注意，使用自动清除时，斜坡累加器只在一个DDS时钟周期内保持重置状态。这将使DRG以下限值输出，但斜坡累加器会立即恢复正常运行。在本例中，DRCTL引脚保持逻辑1；因此，DRG输出重新恢复之前的正斜率曲线。

非驻留斜坡发生

CFR2中的非驻留高位和非驻留低位(0x01[18:17])提高了DRG的应用灵活性。在正常斜坡发生过程中，当DRG输出达到编程设定的上限值或下限值时，如果工作参数不发生变化，DRG会始终保持该限值输出。不过，在非驻留操作中，DRG输出不一定保持在上下限值。例如，设置数字斜坡非驻留高位，则当达到上限值时，DRG会自动(立即)跳到下限值(这一过程并非以斜坡方式返回下限值，而是直接跳至下限值)。类似地，数字斜坡非驻留低位置1后，当DRG达到下限值时，DRG会自动(立即)跳到上限值。

在非驻留操作期间，仅监控DRCTL引脚的状态变化；也就是说，静态逻辑电平不会产生影响。

在非驻留高位操作期间，DRCTL引脚正向转换时，会启动正斜率斜坡，在达到上限值之前会始终以正斜率斜坡输出(不受任何DRCTL引脚活动影响)。

在非驻留低位操作期间，DRCTL引脚负向转换时，会启动负斜率斜坡，在达到下限值之前会始终以负斜率斜坡输出(不受任何DRCTL引脚活动影响)。

设置两个非驻留位会调用连续斜坡运行模式；也就是说，DRG通过编程斜率参数自动在两个限值之间振荡输出。另外，DRCTL引脚功能也略有不同。由原来控制斜坡序列初始化变成只改变斜坡方向；也就是说，当DRG输出处于正斜率斜坡中间时，DRCTL引脚从逻辑1变成逻辑0，那么DRG会立即切换成负斜率参数，恢复在两个限值之间振荡输出。类似的，如果DRG输出处于负斜率斜坡中间，

DRCTL引脚由逻辑0变为逻辑1，那么DRG会立即切换成正斜率参数，恢复在两个限值之间振荡输出。

当两个非驻留位同时置1时，每次DRG输出达到编程设定的上限值或下限值后(假定DRG结束输出使能位0x01[13]已置1)，DROVER信号都会产生一个正脉冲(两个DDS时钟周期)。

图39给出了非驻留高位DRG输出波形。该波形图假定数字斜坡非驻留高位已置1，并由I/O更新记录。另外，图中还给出DROVER引脚的状态(假定DRG结束输出使能位已置1)。

图39中带圆圈数字表示不同事件，具体含义如下：

事件1—表示I/O更新记录数字斜坡使能位置1的时刻。

事件2—DRCTL引脚转换成逻辑1，启动DRG正斜率输出。

事件3—DRCTL引脚转换成逻辑0，不会影响DRG输出。

事件4—由于数字斜坡非驻留高位已置1，当DRG输出达到上限值时，会立即切换到下限值，在DRCTL从逻辑0变成逻辑1之前，始终保持下限值输出。

事件5—DRCTL由逻辑0转换成逻辑1，重新输出正斜率斜坡。

事件6和事件7—在DRG输出达到编程上限值之前，忽略DRCTL引脚逻辑变化。

事件8—由于数字斜坡非驻留高位已置1，当DRG输出达到上限值时，会立即切换到下限值，在DRCTL从逻辑0变成逻辑1之前，始终保持下限值输出。

数字斜坡非驻留低位与数字斜坡非驻留高位设置情况很相似，不同之处在于DRCTL引脚从逻辑1变成逻辑0时，DRG以负斜率斜坡输出，并在达到下限值时，立刻切换到上限值。

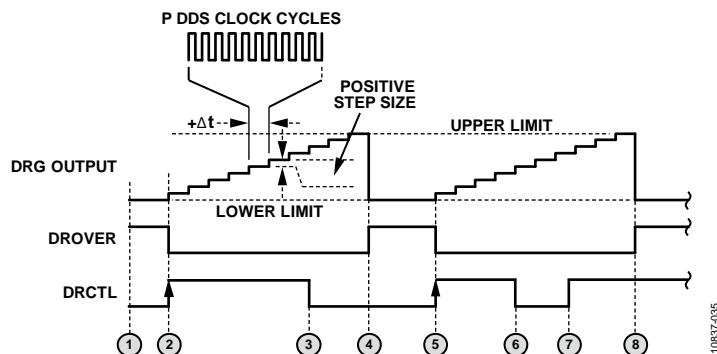


图39. 非驻留高位斜坡发生

DROVER引脚

DROVER引脚提供外部信号表示DRG状态。具体来看，当DRG输出处于上限值/下限值时，DROVER引脚为逻辑1；除此之外，都为逻辑0。对于两个非驻留位都设置的特殊情况，每次DRG输出达到编程设定的任意限值时，DROVER引脚产生一个正脉冲，脉冲宽度为两个DDS时钟周期会。

DRG模式的跳频功能

AD9915的另一个特性是允许用户在正常扫描过程中跳过预定义的频率范围。通过CFR2中的跳频使能位(0x01[14])可使能此功能。此位置1时，扫描逻辑监控瞬时频率。当它就要在下一个累加周期达到跳频下限寄存器(0x09)定义的频率点时，它会直接跳跃到跳频上限寄存器(0x0A)设置的频率值，而不是像正常扫描那样累计调谐变化字；反之亦然。图40显示了此特性的工作原理。

如果在扫描完成前对跳频寄存器重新编程，则也可以执行第二次跳频。

此特性使能时，应遵守下列规则：

- 跳频值必须介于扫频范围的下限与上限之间。
- 跳频下限寄存器值必须低于跳频上限寄存器值。

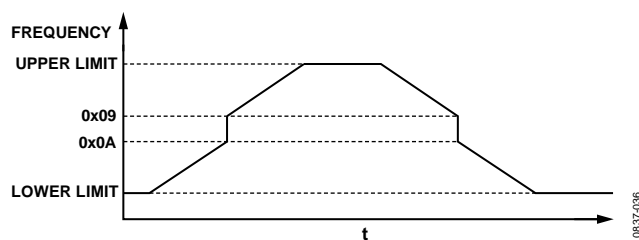


图40. 频率与时间的关系

掉电控制

AD9915可以使器件的三个特定部分独立掉电。掉电功能适用的具体模块包括：

- 数字内核
- DAC
- 输入REF CLK时钟电路

数字内核掉电模式会禁用串行/并行I/O端口更新。但是，数字掉电位(0x00[7])仍可清0，以防出现无法恢复正常工作状态的情况。

软件掉电功能通过CFR1中的3个独立掉电控制位来管理。软件掉电控制需要将EXT_PWR_DWN引脚状态强制设为逻辑0。在这种情况下，通过串行I/O端口设置所需的掉电控制位(0x00[7:5])可对相应模块实施掉电控制，控制位清0即可恢复正常工作状态。

或者，通过EXT_PWR_DWN引脚利用外部硬件控制可以使三个功能模块同时进入掉电模式。当此引脚强制设为逻辑1时，无论掉电控制位状态如何，三个电路模块都会进入掉电模式；也就是说，当EXT_PWR_DWN为逻辑1时，CFR1中的独立掉电控制位会被忽略和覆盖。

根据外部掉电控制位的状态，EXT_PWR_DWN引脚可以采用完全掉电模式或者快速恢复掉电模式。快速恢复掉电模式保持对DAC偏置电路、PLL、VCO和输入时钟电路供电。虽然快速恢复掉电模式节能效果不如完全掉电模式，但可以实现器件从掉电状态快速恢复正常运行。

编程和功能引脚

AD9915配有一个32位并行端口。该32位端口用于在串行模式或并行模式下对器件的内部寄存器进行编程，以及对频率(FTW)、相位(POW)和幅度(AMP)进行直接调制控制。外部功能引脚(F0至F3)的状态决定32位并行端口的配置。

引脚28至引脚31是功能引脚。可能的配置参见表10。

注意，要启用幅度控制，OSK使能位CFR1[8]必须置1，如表10所示。

表10. 并行端口配置

功能引脚 F[3:0] ¹	模式描述	32位并行端口引脚分配			
		Bits[31:24] ²	Bits[23:16] ³	Bits[15:8] ⁴	Bits[7:0] ⁵
0000	并行编程模式	数据[15:8] (可选)	数据[7:0]	地址[7:0]	用于控制写入、读取以及8位或16位数据字。 详情参见“并行编程”部分。
0001	串行编程模式	不用	不用	不用	用于控制SCLK、SDIO、SDO、CS和SYNCIO。 详情参见“串行编程”部分。
0010	全部32位直接频率调谐字控制。 MSB和LSB与并行端口引脚对齐。	FTW[31:24]	FTW[23:16]	FTW[15:8]	FTW[7:0]
0011	全部32位直接频率调谐字控制， 采用不同的并行端口引脚分配	FTW[15:8]	FTW[7:0]	FTW[31:24]	FTW[23:16]
0100	全部16位直接相位偏移控制和 全部12位直接幅度控制	POW[15:8]	POW[7:0]	AMP[11:8]	AMP[7:0]
0101	全部12位直接幅度控制和全部 16位直接相位偏移控制	AMP[11:8]	AMP[7:0]	POW[15:8]	POW[7:0]
0110	24位部分FTW控制和 8位部分幅度控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	AMP[15:8]
0111	24位部分FTW控制和 8位部分相位偏移控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	POW[15:8]
1000	24位部分FTW控制和 8位部分幅度控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	AMP[7:0]
1001	24位部分FTW控制和 8位部分相位偏移控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	POW[7:0]
1010	24位部分FTW控制和 8位部分幅度控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	AMP[15:8]
1011	24位部分FTW控制和 8位部分相位偏移控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	POW[15:8]
1100	24位部分FTW控制和 8位部分幅度控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	AMP[7:0]
1101	24位部分FTW控制和 8位部分相位偏移控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	POW[7:0]
1110		不用	不用	不用	不用
1111		不用	不用	不用	不用

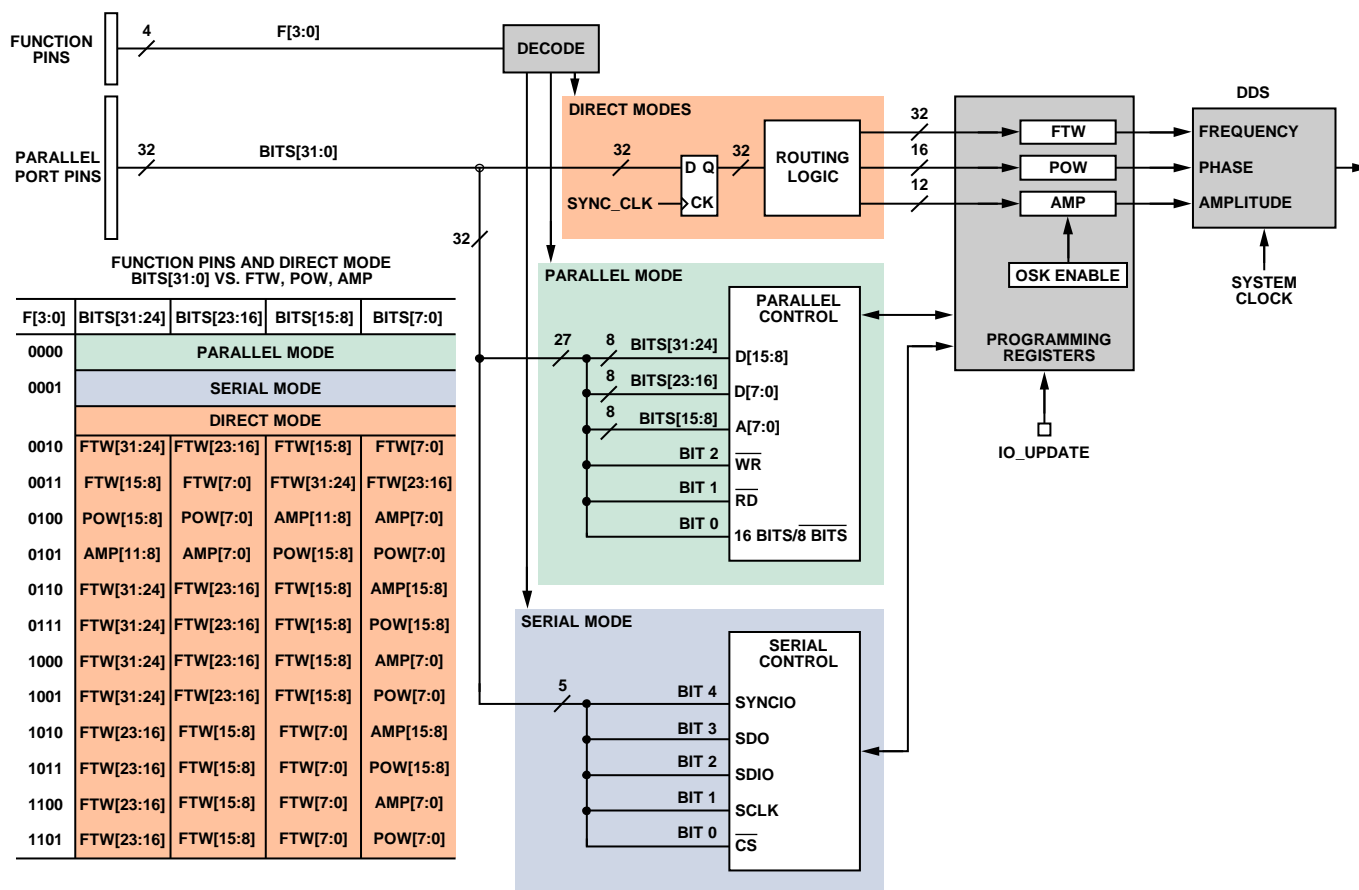
¹ 引脚31至引脚28。

² 引脚68至引脚72，引脚75至引脚77。

³ 引脚78至引脚81，引脚87、引脚88、引脚1和引脚2。

⁴ 引脚3至引脚5，引脚8至引脚12。

⁵ 引脚13至引脚15，引脚18至引脚22。



NOTES

1. AMP[11:0] CONTROLS AMPLITUDE. AMP[15:12] UNUSED.

图41. 并行端口功能框图

AD9915的32引脚并行端口与4个独立的功能引脚(用于控制并行端口的功能)一起工作。并行端口的32引脚构成一个32位字，表示为位[31:0](31是最高有效位(MSB)，0是最低有效位(LSB))，4个功能引脚表示为F[3:0]。功能引脚、32引脚并行端口、内部编程寄存器和DDS控制参数(频率、相位、幅度)之间的关系如图41所示。注意，并行端口可以在功能引脚决定的三种不同模式下工作。

当施加于功能引脚的逻辑电平为F[3:0] = 0000时，并行模式有效。此时并行端口用作并行接口，可访问器件的所有编程寄存器。在并行模式下，32引脚端口(位[31:0])分为三组：位[31:16]构成16个数据位，位[15:8]构成8个地址位，位[2:0]构成3个控制位。地址位确定特定的器件寄存器，数据位则构成寄存器的内容。控制位确定读或写操作并设置数据总线的宽度。也就是说，用户可以选择数据总线的宽度是16位(位[31:16])还是8位(位[23:16])。使用16位数据时，并行模式允许用户以最高200 Mbps的速率写入器件寄存器(使用8位数据则是100 Mbps)。

当施加于功能引脚的逻辑电平为F[3:0] = 0001时，串行模式有效。此时并行端口用作串行接口，可访问器件的所有编程寄存器。这种模式下，32引脚并行端口只有5个引脚起作用(位[4:0])。这些引脚为串行接口提供片选(\overline{CS})、串行时钟(SCLK)和I/O同步(SYNCIO)功能，以及2条串行数据线(SDO和SDIO)。串行模式支持最高80 Mbps的数据速率。

当施加于功能引脚的逻辑电平为F[3:0] = 0010至1101时(注意1110和1111不使用)，并行端口用作高速接口，可直接访问DDS内核的32位频率、16位相位和12位幅度参数。图41中的表格显示了32引脚并行端口的分段，位[31:0]分别用于DDS的频率(FTW[31:0])、相位(POW[15:0])和幅度参数(AMP[15:0])。但应注意，虽然AMP[15:0]表示16位分辨率，但实际幅度分辨率为12位。因此，只有AMP[11:0]提供幅度控制(即AMP[15:12]不使用)。

AD9915

此外，为了使用幅度控制，用户必须将CFR1寄存器中的OSK使能位(0x00[8])设置为逻辑1。

F[3:0]引脚与位[31:0]的结合为AD9915提供了前所未有的调制能力，允许用户直接控制DDS参数(频率、相位、幅度或其各种组合)。此外，并行端口以1/16系统采样时钟的采样速率工作，使得DDS参数能以最高156 MSPS(假设系统时钟为2.5 GHz)的速率更新，因此AD9915能够支持具有宽带调制要求的应用。

注意，施加于并行端口的频率、相位和幅度变化是通过不同的路径到达DDS内核，会经历不同的传播延迟(延时)。因此，调制一个以上的DDS参数时，需要将CFR2寄存器的器件匹配延迟使能位(0x01[15])置1，使各DDS参数从并行端口传播到DDS内核的延迟相等。注意，高速调制需要使用具有足够带宽的重构滤波器，以便支持瞬时域转换。

对DDS参数的直接访问是通过FTW、POW和AMP寄存器进行的，因此IO_UPDATE引脚(见图41)进一步提高了器件的灵活性。为支持此功能，AD9915提供了一个寄存器控制位，即并行端口流使能位(0x00[17])。此位设为逻辑1时，

并行端口操作无需I/O更新。此位设为逻辑0时，器件将并行端口数据提供给相应的寄存器(FTW、POW、AMP)，而不是DDS内核。只有用户置位IO_UPDATE引脚，数据才会被传送到DDS内核。

假设一项应用要求以全部32位频率分辨率和全部12位幅度分辨率进行频率和幅度调制。注意，没有任何一种F[3:0]引脚组合能够直接支持这种调制。为解决这一问题，将并行端口流使能位(0x00[17])设置为逻辑0，这样就可以使用32引脚并行端口的两个直接模式周期，每个周期采用不同的功能引脚设置，但只有置位IO_UPDATE引脚后才会影响DDS内核。也就是说，在第一个直接模式周期，设置功能引脚F[3:0] = 0010，以将所有32位传送到FTW寄存器(频率)。在第二个直接模式周期，设置功能引脚F[3:0] = 0100，以对AMP寄存器(幅度)进行12位访问。不过应注意，这也会访问POW寄存器(相位)，因此务必使相位位保持静态。然后，反转IO_UPDATE引脚，将新的频率和相位值从FTW和POW寄存器同步传输到DDS内核。这种工作模式会使总调制速率降低一倍，因为它需要通过并行端口执行两个单独的操作。不过，调制采样速率仍可高达78 MSPS。

串行编程

要启用SPI操作，应将引脚28 (F0)设置为逻辑高电平，将引脚29至引脚31(F1至F3)设置为逻辑低电平。要利用并行接口对AD9915进行编程，参见“并行编程”部分。

控制接口—串行I/O

AD9915串行端口是一种灵活的同步串行通讯端口，可以很方便地与多种工业用微控制器和微处理器接口。此串行I/O端口支持大多数同步传输格式。

此接口可进行读/写操作，访问AD9915的所有配置寄存器。支持MSB优先和LSB优先传输格式。另外，串行接口端口还能配置为单引脚输入/输出(SDIO)，作为2线接口使用；或者，也可配置为两个单向输入/输出引脚(SDIO/SDIO)，作为3线接口使用。两个可选引脚(I/O_SYNC和CS)可以提高采用AD9915的系统的设计灵活性。

表11. 串行I/O引脚描述

引脚编号	引脚名称	串行I/O描述
18	D4/SYNCIO	SYNCIO
19	D3/SDO	SDO
20	D2/SDIO/ $\overline{\text{WR}}$	SDIO
21	D1/SCLK/ $\overline{\text{RD}}$	SCLK
22	D0/ $\overline{\text{CS}}$ /PWD	$\overline{\text{CS}}$ —片选

通用串行I/O操作

串行通信周期可分为两个阶段。第一个是指令阶段，将指令字节写入AD9915。指令字节包含要访问的寄存器地址，以及定义即将进行的数据传输是读操作还是写操作。

第二阶段写入周期指从串行端口控制器向串行端口缓冲器传输数据。传输的字节数取决于访问的寄存器。例如，如果访问控制功能寄存器2(地址0x01)，第2阶段需要传输4个字节。数据每一位都寄存在SCLK的相应上升沿。串行端口控制器需要访问寄存器的所有字节；否则，串行端口控制器将在下一个通信周期退出工作时序。不过，有一个方法可以写入少量的字节，即使用SYNCIO引脚功能。利用SYNCIO引脚功能取消I/O操作，对串行端口控制器指针复位。SYNCIO之后，下一个字节是指令字节。注意，在SYNCIO前写入的每个完整字节都会保存在串行端口缓冲器中。部分写入的字节则不保存。在任一通信周期结束后，AD9915串行端口控制器都将接下来的8个SCLK上升沿用于写入指令字节，开始下一个通信周期。

写入周期结束后，编程数据驻留在串行端口缓冲器中，处于无效状态。I/O_UPDATE将串行端口缓冲器中的数据传

输到有效寄存器。I/O更新可以在每完成一个通信周期后进行，也可以在所有串行操作结束后进行。另外，改变一次profile引脚状态可以启动一次I/O更新。

对于读取周期，第2阶段与写入周期一致，不同之处在于：从有效寄存器读取数据，而非串行端口缓冲器，数据在SCLK下降沿输出。

注意：要回读任何profile寄存器(0x0B至0x1A)，必须使用三个外部profile引脚。例如，如果profile寄存器是Profile 5(0x15)，那么PS[0:2]引脚必须等于101。这不需要写入profile寄存器。

指令字节

指令字节包含如下信息，详见指令字节信息位图。

指令字节信息位图

MSB					LSB		
I7	I6	I5	I4	I3	I2	I1	I0
R/W	X	A5	A4	A3	A2	A1	A0

R/W—指令字节的位7决定指令字节写周期结束后是进行读还是写操作。逻辑1表示读操作。逻辑0表示写操作。

X—指令字节的位6是无关位。

A5、A4、A3、A2、A1、A0—指令字节的位5、位4、位3、位2、位1和位0决定通信周期中数据传输期间访问哪一个寄存器。

串行I/O端口引脚功能描述

SCLK—串行时钟

串行时钟引脚用于同步输入/输出AD9915的数据，并运行内部状态机。

CS—片选信号

CS是低电平有效输入，被用来在同一条串行通信线路上连接多个器件。当此输入高电平时，SDO和SDIO引脚会进入高阻抗状态。如果在任何通信周期内出现高电平，则此通信周期将暂停，直到CS重新被低电平激活。片选信号(CS)可以在系统中被拉低，以保证对SCLK的控制有效。

SDIO—串行数据输入/输出

向AD9915写入数据必须通过此引脚进行。不过，该引脚也能作为双向数据线使用。CFR1(0x00)的位1控制此引脚的配置。默认为逻辑0，将SDIO引脚配置为双向数据线。

SDO—串行数据输出

如果协议选择用不同的通信线来发送和接收数据，那么数据是从该引脚读出的。当AD9915以单独的双向I/O模式运行时，此引脚不会输出数据，并置为高阻抗状态。

SYNCIO—输入/输出复位

SYNCIO可以同步I/O端口状态机，不会影响可寻址寄存器的内容。SYNCIO引脚输入有效高电平，可以使当前通信周期中止。在SYNCIO返回低电平后(逻辑0)，另一个通信周期才能开始，首先是指令字节写。

I/O_UPDATE—输入/输出更新

I/O更新用于将串行或并行I/O端口缓冲器中写入的数据传输到有效寄存器。I/O_UPDATE在上升沿有效，脉冲宽度必须大于1个SYNC_CLK周期。

串行I/O时序图

图42至图45给出了一些基本示例，描述串行I/O端口各种控制信号之间的时序关系。在I/O更新置位前，寄存器图中的大多数位都不会传输到其内部目的地址，这一点并未在下列时序中反映出来。

注意，图42至图45所示指令字节周期与数据传输周期之间的SCLK空闲条件不是必需的。

MSB/LSB传输

AD9915串行端口支持最高有效位(MSB)优先和最低有效位(LSB)优先两种数据格式。此功能由CFR1(0x00)的位0控制。默认格式是MSB优先。如果LSB优先有效，所有数据，包括指令字节，必须遵循LSB优先原则。请注意，每个寄存器位域列中的最大数是MSB，最小数是该寄存器的LSB。

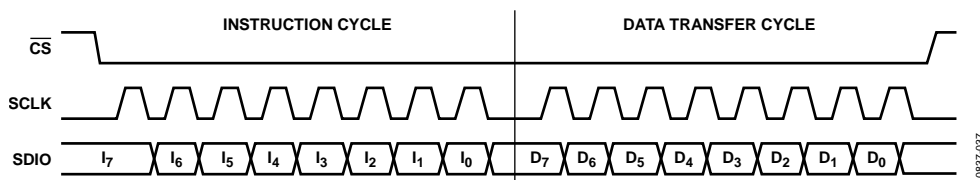


图42. 串行端口写入时序，时钟空闲为低

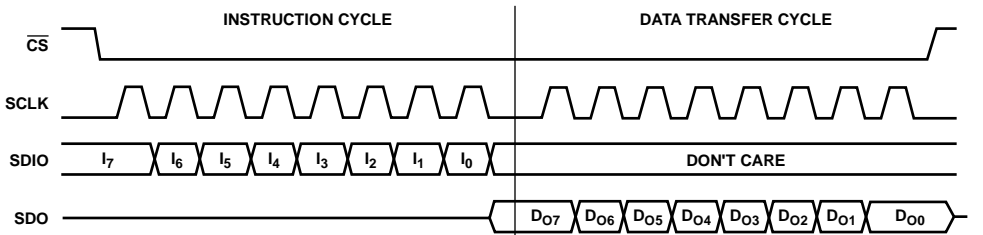


图43. 三线式串行端口读取时序，时钟空闲为低

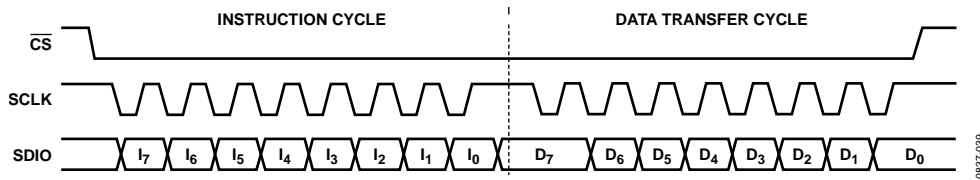


图44. 串行端口写入时序，时钟空闲为高

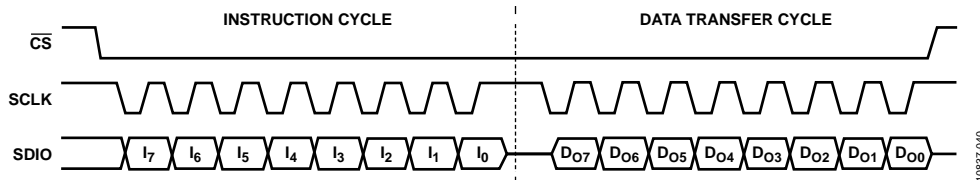


图45. 双线式串行端口读取时序，时钟空闲为高

并行编程(8/16位)

外部功能引脚(F0至F3)的状态决定AD9915使用的接口类型。引脚28至引脚31是专用功能引脚。要使能并行模式接口，应将引脚28至引脚31设置为逻辑低电平。

并行编程包括8条地址线和用于读写操作的8/16条双向数据线。引脚22的逻辑状态决定所用数据线的宽度。引脚22的逻辑低电平设置8位数据宽度，逻辑高电平设置16位数据宽度。此外，并行模式具有专用读写控制输入。如果使用16位模式，高位字节[15:8]将进入寻址的寄存器，低位字节[7:0]则进入相邻的低地址。

利用并行I/O操作，可以通过单个I/O操作写入任一寄存器的每个字节。此外还可以回读各寄存器，从而简化AD9915的设计工作。

表12. 并行端口读操作时序(见图46)

参数	值	单位	测试条件/注释
t_{ADV}	92	ns(最大值)	地址到数据有效时间
t_{AHD}	0	ns(最小值)	地址保持时间到 \overline{RD} 信号无效
t_{RDLOV}	69	ns(最大值)	\overline{RD} 低电平到输出有效
t_{RDHOZ}	50	ns(最大值)	\overline{RD} 高电平到数据三态
t_{RDLOW}	69	ns(最大值)	\overline{RD} 信号低电平最短时间
t_{RDHIGH}	50	ns(最大值)	\overline{RD} 信号高电平最短时间

表13. 并行端口写操作时序(见图47)

参数	值	单位	测试条件/注释
t_{ASU}	1	ns	地址建立时间到 \overline{WR} 信号有效
t_{DSU}	3.8	ns	数据建立时间到 \overline{WR} 信号有效
t_{AHD}	0	ns	地址保持时间到 \overline{WR} 信号无效
t_{DHD}	0	ns	数据保持时间到 \overline{WR} 信号无效
t_{WRLOW}	2.1	ns	\overline{WR} 信号低电平最短时间
t_{WRHIGH}	3.8	ns	\overline{WR} 信号高电平最短时间
t_{WR}	10.5	ns	最短写时间

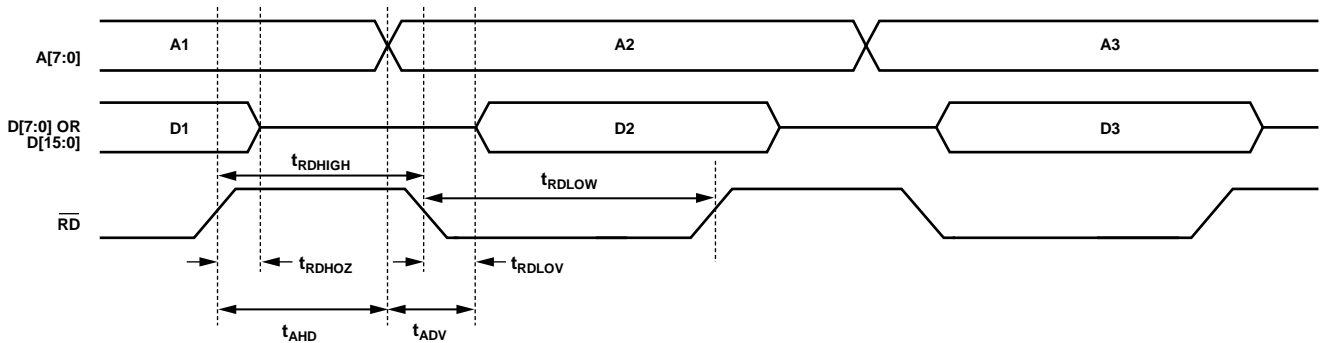


图46. 并行端口读操作时序图

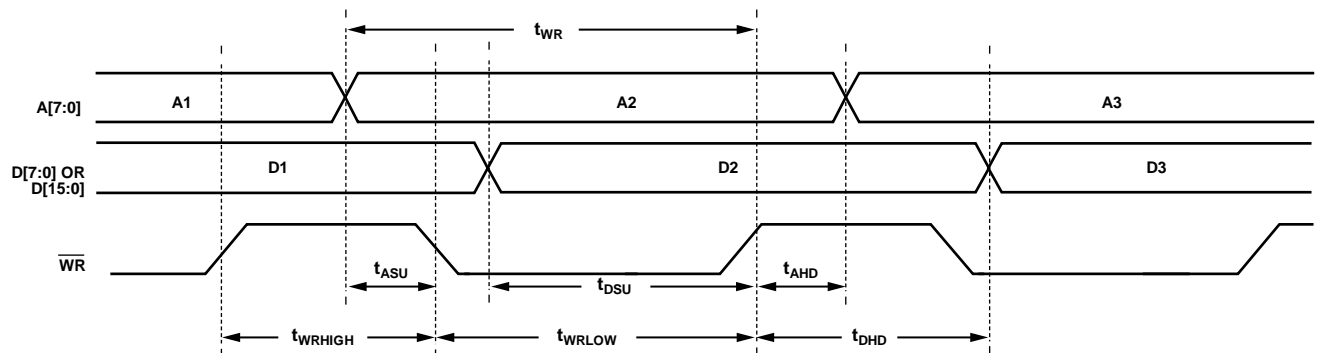


图47. 并行端口写操作时序图

多芯片同步

在时钟状态匹配且状态转换同步的条件下，可以实现多器件同步。时钟同步可以允许用户进行多器件异步编程，而通过对所有器件同时进行I/O更新来同步激活编程内容。

AD9915中的同步逻辑功能可以强制内部时钟发生器进入预定义的状态，与SYNC_IN引脚上外部同步信号保持一致。如果所有器件都强制采用相同的时钟状态，与同一外部信号保持同步，根据定义，则这些器件同步。

要使用多芯片同步特性，必须满足两个要求。首先，必须向器件提高一个同步信号。其次，0x1B[6]必须置1。实际同步过程是DAC校准的一部分，如下所述。当0x03中的DAC CAL使能位置1时，器件执行校准阶段的第一步，然后暂停，等待同步过程完成。必须注意，如果同步信号不存在，而0x1B[6]置1，校准将无法完成。同步完毕后，DAC时钟校准继续执行，直至完成。使用多芯片同步时，完成DAC时钟校准所需的时间会增加，增加量等于同步信号的16个周期。

图48给出了同步机制的功能框图。同步逻辑分为两个独立的模块：一个SYNC_OUT发生器和一个SYNC_IN接收器。SYNC_OUT发生器包括一个自由振荡分频器，它有内部系统时钟提供时钟信号，所有其它时钟信号均从该系统时钟获得。SYNC_OUT发生器模块通过CFR2寄存器的SYNC_OUT使能位(0x01[9])激活。SYNC输出/输入复用使能位(0x01[8])是一个输出使能位。要激活引脚61处的内部发生器，以上两位均必须处于逻辑高电平状态。任何一位都可以关闭输出信号。然而，如果SYNC_OUT使能位(0x01[9])清0，器件将采用引脚62上的信号并缓冲，然后将其通过引脚61输出。

若要将一组器件中的一个AD9915用作主时钟参考源，其余器件均为该主机器的从机，应将SYNC_OUT使能位和SYNC输出/输入复用使能位(0x01[9:8])设置为0x03。对于主机器的从机，应将SYNC_OUT使能位(0x01[9])设置为0x0，SYNC输出/输入复用使能位(0x01[8])可以置1或清0。同步发生器在SYNC_OUT引脚上产生时钟信号，此时钟由CMOS输出驱动器送出，具有67%的占空比和固定频率 $f_{\text{SYS}}/384$ ，其中 f_{SYS} 是系统时钟频率。SYNC_OUT引脚上的时钟与内部SYSCLK信号的上升沿同步。由于SYNC_OUT信号与主机的内部SYSCLK同步，主机的SYSCLK将作为所有从机的参

考源。通过串行I/O端口对USR0寄存器的3位SYNC_OUT延迟调整字(0x1B[5:3])进行编程，用户可以自行调整SYNC_OUT信号的输出延迟。

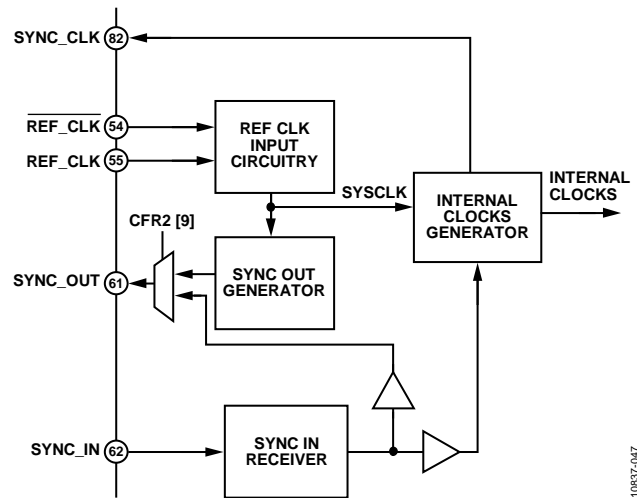


图48. 同步功能框图

同步接收器模块是一个CMOS输入，通过引脚62接受时钟信号(称为SYNC_IN信号)，然后将其提供给需要同步的适当时钟发生电路。如果未将AD9915用作多器件的主时钟参考源，可以利用同步接收器模块来缓冲从引脚62到引脚61的信号。用户可以对USR0寄存器的3位输入SYNC_IN延迟调整字(0x1B[2:0])进行编程，使SYNC_IN信号延迟。边沿检测逻辑产生同步脉冲，脉冲宽度为一个SYSCLK时钟周期，重复率等于SYNC_IN引脚的信号频率。同步脉冲通过本地SYSCLK的上升沿对SYNC_IN信号的上升沿采样产生。同步脉冲发送至内部时钟发生器(相当于以SYSCLK速率运行的预置计数器)。同步脉冲将计数器预设为预定义状态。预定义状态只对单个SYSCLK周期有效，结束后，时钟发生器会通过SYSCLK速率中的状态序列恢复正常循环。

对每个AD9915提供一个与所有器件边沿对齐的SYNC_IN信号可以实现多器件同步。图49给出这一概念示意图，3个AD9915器件同步，一个器件作为主时钟器件，其它为从器件。主器件必须将SYNC_IN引脚作为同步分配和延迟均衡机制的一部分，才能实现与从器件同步。同步机制基于如下假设，即每个器件上的REF_CLK信号能与外部REF_CLK分配系统产生的信号实现边沿对齐(参见图49)。

同步机制从时钟分配和延迟均衡模块开始，用于确保所有器件都能接收到边沿对齐的REF_CLK信号。

不过，即使所有器件的REF_CLK信号都实现边沿对齐，单凭此也不能保证每个内部时钟发生器的时钟状态都能与其它器件保持一致。这是同步再分配电路的作用，此电路接受主机产生的SYNC_OUT信号，将其作为SYNC_IN输入重新分配给从机(同时反馈给主机)。重新分配主机产生的SYNC_OUT信号的目的是使所有同步接收器获得边沿对齐的SYNC_IN信号。假定所有器件都有相同的REF_CLK沿(利用时钟分配和延迟均衡模块)，并且所有器件都有相同的SYNC_IN沿(利用同步分配和延迟均衡模块)，那么所有器件应产生一个一致的内部同步脉冲，该同步脉冲导致所有器件同时变为相同的预定义时钟状态，也就是说所有器件的内部时钟完全同步。同步机制取决于同步接收器中边沿检测模块能否稳定产生同步脉冲。不过，要产生有效的同步脉冲，需要通过本地SYSCLK上升沿对SYNC_IN信号上升沿进行正确采样。如果这些信号的边沿时序无法满足边沿检波电路内部锁存的建立或保持时间要求，则有可能无法产生合适的同步脉冲。

试图使多个器件同步时，还必须考虑环境工作温度和AD9915的自热效应。一般而言，在给定工作温度下，从

SYNC_IN引脚到内部时钟发生器的传播延迟是固定的。然而，器件之间的大温差或上电时器件温度迅速上升会提高同步的复杂性。

表14和表15给出了SYNC_IN和SYNC_OUT的延迟时间递增量与其对应寄存器值(从0到7)的关系。

表14. SYNC_IN延迟(总延迟 = 1.2 ns)

延迟步进	递增量(典型值, ns)
0至1	0.26
1至2	0.15
2至3	0.15
3至4	0.15
4至5	0.15
5至6	0.17
6至7	0.17

表15. SYNC_OUT延迟(总延迟 = 1.97 ns)

延迟步进	递增量(典型值, ns)
0至1	0.17
1至2	0.3
2至3	0.3
3至4	0.3
4至5	0.3
5至6	0.3
6至7	0.3

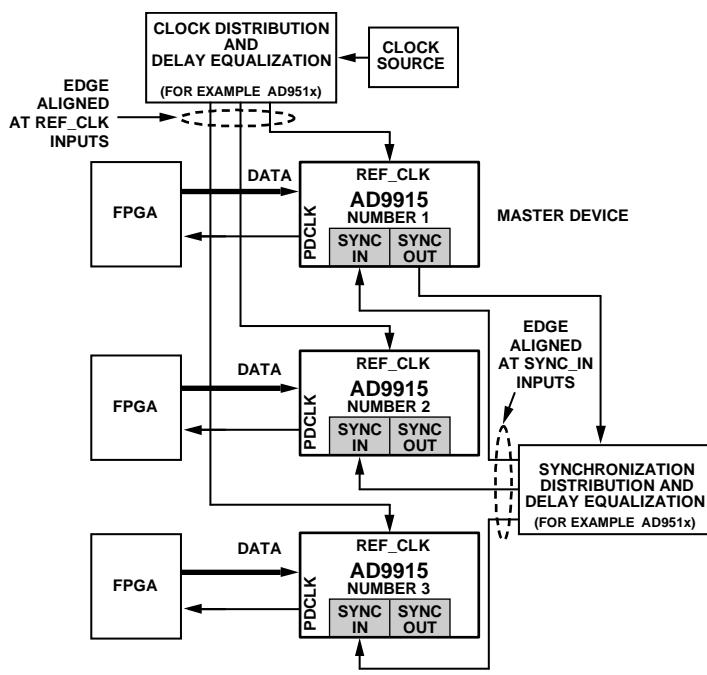


图49. 多器件同步配置

10837-053

寄存器映射和位功能描述

表16. 寄存器存储区分配

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹	
CFR1— 控制 功能 寄存器1 (0x00)	[7:0] (0x00)	数字 掉电	DAC 掉电	REF CLK 输入 掉电	开路	外部 掉电 控制	开路	仅SDIO 输入	LSB优先 模式	0x08	
	[15:8] (0x01)	I/O 更新时 加载LRR	自动清零 数字斜坡 累加器	自动 清零 相位 累加器	清零数字 斜坡 累加器	清零相位 累加器	开路	外部 OSK使能	OSK 使能	0x00	
	[23:16] (0x02)	开路						并行 端口流 使能	使能 正弦 输出	0x01	
	[31:24] (0x03)	开路							VCO 校准使能	0x00	
CFR2— 控制 功能 寄存器2 (0x01)	[7:0] (0x04)	开路									0x00
	[15:8] (0x05)	匹配 延迟 使能	跳频 使能	DRG结束 输出使能	开路	SYNC_CLK 使能	SYNC_CLK 反转	SYNC_OUT 使能	SYNC输出/ 输入 复用使能	0x09	
	[23:16] (0x06)	Profile 模式 使能	并行 数据端口 使能	数字斜坡目标		数字斜坡 使能	数字 斜坡 非驻留高位	数字 斜坡 非驻留低位	可编程 模数 使能	0x00	
	[31:24] (0x07)	开路									0x00
CFR3— 控制 功能 寄存器3 (0x02)	[7:0] (0x08)	开路	手动I _{CP} 选择	I _{CP} [2:0]			锁定 检测 使能	最小LDW[1:0]		0x1C	
	[15:8] (0x09)	反馈分频器N[7:0]									0x19
	[23:16] (0x0A)	开路	输入 分频器 复位	输入分频器[1:0]		倍频器 使能	PLL使能	PLL参考 禁用	倍频器 时钟沿	0x00	
	[31:24] (0x0B)	开路									0x00
CFR4— 控制 功能 寄存器4 (0x03)	[7:0] (0x0C)	需要寄存器默认值设置(0x20)									0x20
	[15:8] (0x0D)	需要寄存器默认值设置(0x31)									0x31
	[23:16] (0x0E)	需要寄存器默认值设置(0x05)									0x05
	[31:24] (0x0F)	开路						辅助 分频器 掉电	DAC 校准 时钟 掉电	DAC校准 使能 ²	0x00
数字斜坡 下限 寄存器 (0x04)	[7:0] (0x10)	数字斜坡下限值[7:0]									0x00
	[15:8] (0x11)	数字斜坡下限值[15:8]									0x00
	[23:16] (0x12)	数字斜坡下限值[23:16]									0x00
	[31:24] (0x13)	数字斜坡下限值[31:24]									0x00

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
数字 斜坡 上限 寄存器 (0x05)	[7:0] (0x14)	数字斜坡上限值[7:0]								0x00
	[15:8] (0x15)	数字斜坡上限值[15:8]								0x00
	[23:16] (0x16)	数字斜坡上限值[23:16]								0x00
	[31:24] (0x17)	数字斜坡上限值[31:24]								0x00
上升 数字斜坡 步长 寄存器 (0x06)	[7:0] (0x18)	上升数字斜坡递增步长[7:0]								N/A
	[15:8] (0x19)	上升数字斜坡递增步长[15:8]								N/A
	[23:16] (0x1A)	上升数字斜坡递增步长[23:16]								N/A
	[31:24] (0x1B)	上升数字斜坡递增步长[31:24]								N/A
下降 数字斜坡 步长 寄存器 (0x07)	[7:0] (0x1C)	下降数字斜坡递减步长[7:0]								N/A
	[15:8] (0x1D)	下降数字斜坡递减步长[15:8]								N/A
	[23:16] (0x1E)	下降数字斜坡递减步长[23:16]								N/A
	[31:24] (0x1F)	下降数字斜坡递减步长[31:24]								N/A
数字 斜坡速率 寄存器 (0x08)	[7:0] (0x20)	数字斜坡正斜率[7:0]								N/A
	[15:8] (0x21)	数字斜坡正斜率[15:8]								N/A
	[23:16] (0x22)	数字斜坡负斜率[7:0]								N/A
	[31:24] (0x23)	数字斜坡负斜率[15:8]								N/A
跳频 下限 寄存器 (0x09)	[7:0] (0x24)	低跳频点[7:0]								0x00
	[15:8] (0x25)	低跳频点[15:8]								0x00
	[23:16] (0x26)	低跳频点[23:16]								0x00
	[31:24] (0x27)	低跳频点[31:24]								0x00
跳频 上限 寄存器 (0x0A)	[7:0] (0x28)	高跳频点[7:0]								0x00
	[15:8] (0x29)	高跳频点[15:8]								0x00
	[23:16] (0x2A)	高跳频点[23:16]								0x00
	[31:24] (0x2B)	高跳频点[31:24]								0x00
Profile 0 (P0) 频率 调谐 字0 寄存器 (0x0B)	[7:0] (0x2C)	频率调谐字0[7:0]								0x00
	[15:8] (0x2D)	频率调谐字0[15:8]								0x00
	[23:16] (0x2E)	频率调谐字0[23:16]								0x00
	[31:24] (0x2F)	频率调谐字0[31:24]								0x00

AD9915

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
Profile 0 (P0) 相位/ 幅度 寄存器 (0x0C)	[7:0] (0x30)	相位偏移字0[7:0]								0x00
	[15:8] (0x31)	相位偏移字0[15:8]								0x00
	[23:16] (0x32)	幅度比例因子0[7:0]								0x00
	[31:24] (0x33)	开路				幅度比例因子0[11:8]				0x00
Profile 1 (P1) 频率 调谐 字1 寄存器 (0x0D)	[7:0] (0x34)	频率调谐字1[7:0]								N/A
	[15:8] (0x35)	频率调谐字1[15:8]								N/A
	[23:16] (0x36)	频率调谐字1[23:16]								N/A
	[31:24] (0x37)	频率调谐字1[31:24]								N/A
Profile 1 (P1) 相位/ 幅度 寄存器 (0x0E)	[7:0] (0x38)	相位偏移字1[7:0]								N/A
	[15:8] (0x39)	相位偏移字1[15:8]								N/A
	[23:16] (0x3A)	幅度比例因子1[7:0]								N/A
	[31:24] (0x3B)	开路				幅度比例因子1[11:8]				N/A
Profile 2 (P2) 频率 调谐 字2 寄存器 (0x0F)	[7:0] (0x3C)	频率调谐字2[7:0]								N/A
	[15:8] (0x3D)	频率调谐字2[15:8]								N/A
	[23:16] (0x3E)	频率调谐字2[23:16]								N/A
	[31:24] (0x3F)	频率调谐字2[31:24]								N/A
Profile 2 (P2) 相位/ 幅度 寄存器 (0x10)	[7:0] (0x40)	相位偏移字2[7:0]								N/A
	[15:8] (0x41)	相位偏移字2[15:8]								N/A
	[23:16] (0x42)	幅度比例因子2[7:0]								N/A
	[31:24] (0x43)	开路				幅度比例因子2[11:8]				N/A
Profile 3 (P3) 频率 调谐 字3 寄存器 (0x11)	[7:0] (0x44)	频率调谐字3[7:0]								N/A
	[15:8] (0x45)	频率调谐字3[15:8]								N/A
	[23:16] (0x46)	频率调谐字3[23:16]								N/A
	[31:24] (0x47)	频率调谐字3[31:24]								N/A
Profile 3 (P3) 相位/ 幅度 寄存器 (0x12)	[7:0] (0x48)	相位偏移字3[7:0]								N/A
	[15:8] (0x49)	相位偏移字3[15:8]								N/A
	[23:16] (0x4A)	幅度比例因子3[7:0]								N/A
	[31:24] (0x4B)	开路				幅度比例因子3[11:8]				N/A

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
Profile 4 (P4) 频率调谐字4 寄存器 (0x13)	[7:0] (0x4C)	频率调谐字4[7:0]								N/A
	[15:8] (0x4D)	频率调谐字4[15:8]								N/A
	[23:16] (0x4E)	频率调谐字4[23:16]								N/A
	[31:24] (0x4F)	频率调谐字4[31:24]								N/A
Profile 4 (P4) 相位/ 幅度 寄存器 (0x14)	[7:0] (0x50)	相位偏移字4[7:0]								N/A
	[15:8] (0x51)	相位偏移字4[15:8]								N/A
	[23:16] (0x52)	幅度比例因子4[7:0]								N/A
	[31:24] (0x53)	开路				幅度比例因子4[11:8]				N/A
Profile 5 (P5) 频率调谐字5 寄存器 (0x15)	[7:0] (0x54)	频率调谐字5[7:0]								N/A
	[15:8] (0x55)	频率调谐字5[15:8]								N/A
	[23:16] (0x56)	频率调谐字5[23:16]								N/A
	[31:24] (0x57)	频率调谐字5[31:24]								N/A
Profile 5 (P5) 相位/ 幅度 寄存器 (0x16)	[7:0] (0x58)	相位偏移字5[7:0]								N/A
	[15:8] (0x59)	相位偏移字5[15:8]								N/A
	[23:16] (0x5A)	幅度比例因子5[7:0]								N/A
	[31:24] (0x5B)	开路				幅度比例因子5[11:8]				N/A
Profile 6 (P6) 频率调谐字6 寄存器 (0x17)	[7:0] (0x5C)	频率调谐字6[7:0]								N/A
	[15:8] (0x5D)	频率调谐字6[15:8]								N/A
	[23:16] (0x5E)	频率调谐字6[23:16]								N/A
	[31:24] (0x5F)	频率调谐字6[31:24]								N/A
Profile 6 (P6) 相位/ 幅度 寄存器 (0x18)	[7:0] (0x60)	相位偏移字6[7:0]								N/A
	[15:8] (0x61)	相位偏移字6[15:8]								N/A
	[23:16] (0x62)	幅度比例因子6[7:0]								N/A
	[31:24] (0x63)	开路				幅度比例因子6[11:8]				N/A
Profile 7 (P7) 频率调谐字7 寄存器 (0x19)	[7:0] (0x64)	频率调谐字7[7:0]								N/A
	[15:8] (0x65)	频率调谐字7[15:8]								N/A
	[23:16] (0x66)	频率调谐字7[23:16]								N/A
	[31:24] (0x67)	频率调谐字7[31:24]								N/A

AD9915

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
Profile 7 (P7) 相位/ 幅度 寄存器 (0x1A)	[7:0] (0x68)	相位偏移字7[7:0]								N/A
	[15:8] (0x69)	相位偏移字7[15:8]								N/A
	[23:16] (0x6A)	幅度比例因子7[7:0]								N/A
	[31:24] (0x6B)	开路				幅度比例因子7[11:8]				N/A
USR0 (0x1B)	[7:0] (0x6C)	保留	带同步的 校准	SYNC_OUT延迟调整[2:0]			SYNC_IN延迟调整[2:0]			0x00
	[15:8] (0x6D)	需要寄存器默认值设置(0x08)								0x08
	[23:16] (0x6E)	需要寄存器默认值设置(0x00)								0x00
	[31:24] (0x6F)	开路							PLL锁定	只读

¹ 上电后需要进行主机复位。主机复位使内部寄存器恢复默认值。

² 每次上电后以及更改REF_CLK或内部系统时钟时，必须将DAC校准使能位手动置1，然后清0。这会启动内部校准程序，从而优化内部DAC时序的建立和保持时间。不校准会降低交流性能或导致器件无法正常工作。

寄存器位功能描述

串行I/O端口寄存器地址范围从0至27(十六进制: 0x00至0x1B), 共有28个独立串行寄存器。若在并行模式下编程, 并行寄存器的数量将增加到112个独立并行寄存器。另外, 寄存器主要根据其功能命名。有时候寄存器会基于方便记忆的原则命名。例如, 串行地址0x00的寄存器命名为控制功能寄存器1, 表示为容易记忆的CFR1。

本部分介绍AD9915寄存器映射中的每一个位的功能。对于由多个位共同实现某一特定功能的情况, 整个位组将视为一个二进制字, 集中加以说明。

本节内容按寄存器串行地址顺序组织。每个副标题由寄存器名称和可选的寄存器简称(括号内)组成。另外, 还列出了寄存器的十六进制格式串行地址和的字节数。

每个副标题后都列有一张表, 详细说明该寄存器中各个位的功能作用。寄存器中位的具体位置由单个数字或两个由冒号隔开的数字表示; 两个隔开的数字(如A:B)表示从最高有效位(A)到最低有效位(B)的位范围。例如, [5:2]表示从位5至位2(包括本数), 位0表示寄存器的LSB。

除另有说明, 在I/O_UPDATE引脚置位或者Profile引脚更改之前, 已编程位不会传输到内部目标位置。

控制功能寄存器1 (CFR1)—地址0x00

表 17. CFR1的位功能描述

位	引脚名称	描述
[31:25] 24	开路 VCO校准使能	1 = 启动PLL内部自动校准。如果PLL要提供内部系统时钟, 则需要执行此校准。启动下一次校准前, 必须将其复位为逻辑0。
[23:18] 17	开路 并行端口流使能	开路。 0 = 32位并行端口需要执行I/O更新才能激活或记录提供给32位并行端口的FTW、POW或AMP数据。 1 = 并行端口利用SYNC_CLK对32个输入引脚上的数据连续采样, 并根据F0至F3引脚的配置相应地复用FTW/POW/AMP的值, 不需要I/O更新。数据必须满足SYNC_CLK上升沿的建立和保持时间要求。如果动态使用功能引脚以在参数之间更改数据, 则还必须满足SYNC_CLK沿的时序要求。
16	使能正弦输出	0 = 选择DDS余弦输出。 1 = 选择DDS正弦输出(默认)。
15	I/O更新时加载LRR	仅在CFR2[19] = 1时有效 0 = 数字斜坡定时器正常工作(默认)。 1 = 只要I/O_UPDATE置位或者PS[2:0]发生变更, 就会中断数字斜坡定时器操作以加载新的线性斜坡速率(LRR)。
14	自动清零数字斜坡累加器	0 = DRG累加器正常工作(默认)。 1 = 经过一个DDS时钟(SYNC_CLK)周期后, 数字斜坡累加器复位, 随后累加器自动恢复正常操作。只要此位保持置1, 每次I/O_UPDATE置位或者PS[2:0]更改后, 斜坡累加器都会暂时复位。此位与I/O_UPDATE置位或PS[2:0]更改在SYNC_CLK下一个上升沿同步。
13	自动清零相位累加器	0 = DDS相位累加器正常工作(默认)。 1 = 在I/O_UPDATE置位或者profile更改后, 同步复位DDS相位累加器。
12	清零数字斜坡累加器	0 = 数字斜坡发生器正常工作(默认)。 1 = DRG累加器异步、静态复位。只要此位置1, 斜坡累加器将始终保持复位状态。此位与I/O_UPDATE置位或PS[2:0]更改在SYNC_CLK下一个上升沿同步。
11	清零相位累加器	0 = DDS相位累加器正常工作(默认)。 1 = 只要此位置1, DDS相位累加器就会异步、静态复位。此位与I/O_UPDATE置位或PS[2:0]更改在SYNC_CLK下一个上升沿同步。
10	开路	开路。

AD9915

位	引脚名称	描述
9	外部OSK使能	0 = 手动OSK使能(默认)。 1 = 自动OSK使能。 仅在CFR1[8] = 1时有效。
8	OSK使能	0 = OSK禁用(默认)。 1 = OSK使能。要通过32位并行端口或OSK引脚并利用DRG、profile或直接模式调整数字幅度, 此位必须置1。
7	数字掉电	此位无需I/O更新即可生效。 0 = 数字内核时钟信号有效(默认)。 1 = 数字内核时钟信号禁用。
6	DAC掉电	0 = DAC时钟信号和偏置电路有效(默认)。 1 = DAC时钟信号和偏置电路禁用。
5	REFCLK输入关电	此位无需I/O更新即可生效。 0 = REFCLK输入电路和PLL有效(默认)。 1 = REFCLK输入电路和PLL禁用。
4	开路	开路
3	外部掉电控制	0 = EXT_PWR_DWN引脚置位影响掉电模式(默认)。 1 = EXT_PWR_DWN引脚置位影响快速恢复掉电模式。
2	开路	开路
1	仅SDIO输入	0 = 配置SDIO引脚进行双向操作; 2线式串行编程模式(默认)。 1 = 将串行数据I/O引脚(SDIO)仅配置为输入引脚, 3线式串行编程模式。
0	LSB优先模式	0 = 配置串行I/O端口为MSB优先格式(默认)。 1 = 配置串行I/O端口为LSB优先格式。

控制功能寄存器2 (CFR2)—地址0x01

表 18. CFR2的位功能描述

位	引脚名称	描述
[31:24]	开路	开路
23	Profile模式使能	0 = 禁用profile模式功能(默认)。 1 = 使能profile模式功能。Profile引脚用于选择所需的profile。
22	并行数据端口使能	详情请参见“并行数据端口调制模式”部分。 0 = 并行数据端口调制功能禁用(默认)。 1 = 并行数据端口调制功能使能。
[21:20]	数字斜坡目标	详情参见表9。默认值为00。详情请参见“数字斜坡发生器(DRG)”部分。
19	数字斜坡使能	0 = 数字斜坡发生器功能禁用(默认)。 1 = 数字斜坡发生器功能使能。
18	数字斜坡非驻留高位	详情请参见“数字斜坡发生器(DRG)”部分。 0 = 非驻留高位功能禁用(默认)。 1 = 非驻留高位功能使能。
17	数字斜坡非驻留低位	详情请参见“数字斜坡发生器(DRG)”部分。 0 = 非驻留低位功能禁用(默认)。 1 = 非驻留低位功能使能。
16	可编程模数使能	0 = 禁用可编程模数。 1 = 使能可编程模数。
15	匹配延迟使能	0 = DDS幅度、相位和频率变化的同步应用经过数据延迟(流水线延迟)后, 按表2所列顺序输出(默认)。 1 = DDS幅度、相位和频率变化的同步应用同步输出。
14	跳频使能	0 = 禁用跳频。 1 = 使能跳频模式。此特性要求使能数字发生器DRG。
13	DRG结束输出使能	0 = 禁用DROVER输出。 1 = 使能DROVER输出。

位	引脚名称	描述
12	开路	开路
11	SYNC_CLK使能	0 = SYNC_CLK引脚禁用，并强制为静态逻辑0； 内部时钟信号会连续运行，为数据汇编器提供时序。 1 = SYNC_CLK引脚上提供内部SYNC_CLK信号(默认)。
10	SYNC_CLK反转	0 = SYNC_CLK正常极性；Q数据与逻辑1有关；I数据与逻辑0有关(默认)。 1 = SYNC_CLK极性反转。
9	SYNC_OUT使能	0 = SYNC_OUT引脚禁用；静态逻辑0输出。 1 = SYNC_OUT引脚使能。
8	SYNC输出/输入复用使能	0 = SYNC_OUT信号路由至SYNC_OUT引脚。 1 = SYNC_IN信号路由至SYNC_OUT引脚。
[7:0]	开路	开路

控制功能寄存器3 (CFR3)—地址0x02

表19. CFR3的位功能描述

位	引脚名称	描述
[31:23]	开路	开路
22	输入分频器复位	0 = 禁用输入分频器复位功能。 1 = 启动输入分频器复位。
[21:20]	输入分频器	用四个值(1、2、4、8)中的一个值将输入REF CLK信号分频(8)。
19	倍频器使能	0 = 禁用倍频器特性。 1 = 使能倍频器特性。 要利用此特性，必须将倍频器时钟沿位设置为逻辑1。
18	PLL使能	0 = 禁用内部PLL。 1 = 内部PLL使能，输出产生系统时钟。 通过寄存器CFR1的VCO校准位(位24)使能时，必须校准PLL。
17	PLL参考禁用	此位应保持逻辑0(默认)。
16	倍频器时钟沿	0 = 禁用内部倍频器电路。 1 = 使能倍频器电路。 要利用此特性，必须将倍频器使能位设置为逻辑1。
[15:8]	反馈分频器N	设置PLL的反馈分频器。分频器范围为8×至255×。 Bits[15:8] = 0000 = 8×, 0001 = 9× ... 1111 = 255×
7	开路	开路
6	手动 I_{CP} 选择	0 = 在VCO校准程序中， 内部电荷泵电流自动选择(默认)。 1 = 内部电荷泵电流依据表7手动设置。
[5:3]	I_{CP}	电荷泵电流手动选择。参见表7。
2	锁定检测使能	0 = 禁用PLL锁定检测。 1 = 使能PLL锁定检测。
[1:0]	最小LDW	选择相位误差(PFD输入端)必须持续多少REF CLK周期不超范围， 才能通过寄存器0x00的位24回读到PLL锁定条件。 00 = 128 REF CLK周期 01 = 256 REF CLK周期 10 = 512 REF CLK周期 11 = 1024 REF CLK周期

AD9915

控制功能寄存器4 (CFR4)—地址0x03

表20. DAC的位功能描述

位	引脚名称	描述
[31:27] 26	开路 辅助分频器掉电	开路 0 = 使能SYNC OUT电路。 1 = 禁用SYNC OUT电路。
25	DAC校准时钟掉电	0 = 如果寄存器0x03的位26为逻辑0, 则使能DAC校准时钟。 1 = 禁用DAC校准时钟。
24	DAC校准使能	1 = 启动DAC自动校准。 上电时及每次更改内部系统时钟时, 都要进行DAC校准。
[23:0]	(参见描述)	必须将这些位设置为表16中默认值栏所列的默认值。

数字斜坡下限寄存器—地址0x04

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表21. 数字斜坡下限寄存器的位功能描述

位	引脚名称	描述
[31:0]	数字斜坡下限值	32位数字斜坡下限值。

数字斜坡上限寄存器—地址0x05

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表22. 数字斜坡限值寄存器的位功能描述

位	引脚名称	描述
[31:0]	数字斜坡上限值	32位数字斜坡上限值。

上升数字斜坡步长寄存器—地址0x06

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表23. 上升数字斜坡步长寄存器的位功能描述

位	引脚名称	描述
[31:0]	上升数字斜坡 递增步长	32位数字斜坡递增步长值。

下降数字斜坡步长寄存器—地址0x07

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表24. 下降数字斜坡步长寄存器的位功能描述

位	引脚名称	描述
[31:0]	下降数字斜坡 递减步长	32位数字斜坡递减步长值。

数字斜坡速率寄存器—地址0x08

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表25. 数字斜坡速率寄存器的位功能描述

位	引脚名称	描述
[31:16]	数字斜坡负斜率	此16位数字斜坡负斜率值定义两个递减值之间的时间间隔。
[15:0]	数字斜坡正斜率	此16位数字斜坡正斜率值定义两个递增值之间的时间间隔。

跳频下限寄存器—地址0x09

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1且跳频使能位(0x01[14])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表26. 跳频下限寄存器的位功能描述

位	引脚名称	描述
[31:0]	低跳频点	32位跳频下限值。在扫频期间，只要达到跳频下限值，输出频率就会立即跳到频率上限值，并继续以相位连续的方式扫频。

跳频上限寄存器—地址0x0A

此寄存器仅在CFR2寄存器的数字斜坡使能位(0x01[19])等于1且跳频使能位(0x01[14])等于1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表27. 跳频上限寄存器的位功能描述

位	引脚名称	描述
[31:0]	高跳频点	32位跳频上限值。在扫频期间，只要达到跳频上限值，输出频率就会立即跳到频率下限值，并继续以相位连续的方式扫频。

AD9915

Profile寄存器

器件的profile共使用16个串行I/O地址(地址0x0B至地址0x01A)。其中8个Profile存储最多8个单音频率。剩下的8个Profile包含与Profile引脚设置相关的相位偏移和幅度参数。

要启用profile模式, 应将CFR2中的Profile模式使能位(0x01[23])设置为1。有效profile寄存器通过外部PS[2:0]引脚选择。

Profile 0至Profile 7, 单频寄存器—0x0B、0x0D、0x0F、0x11、0x13、0x15、0x17、0x19

每个寄存器分配有4个字节。

表28. Profile 0至Profile 7单频寄存器的位功能描述

位	引脚名称	描述
[31:0]	频率调谐字	此32位数控制DDS频率。

Profile 0至Profile 7, 相位偏移和幅度寄存器—0x0C、0x0E、0x10、0x12、0x14、0x16、0x18、0x1A

每个寄存器分配有4个字节。

表29. Profile 0至Profile 7相位偏移和幅度寄存器的位功能描述

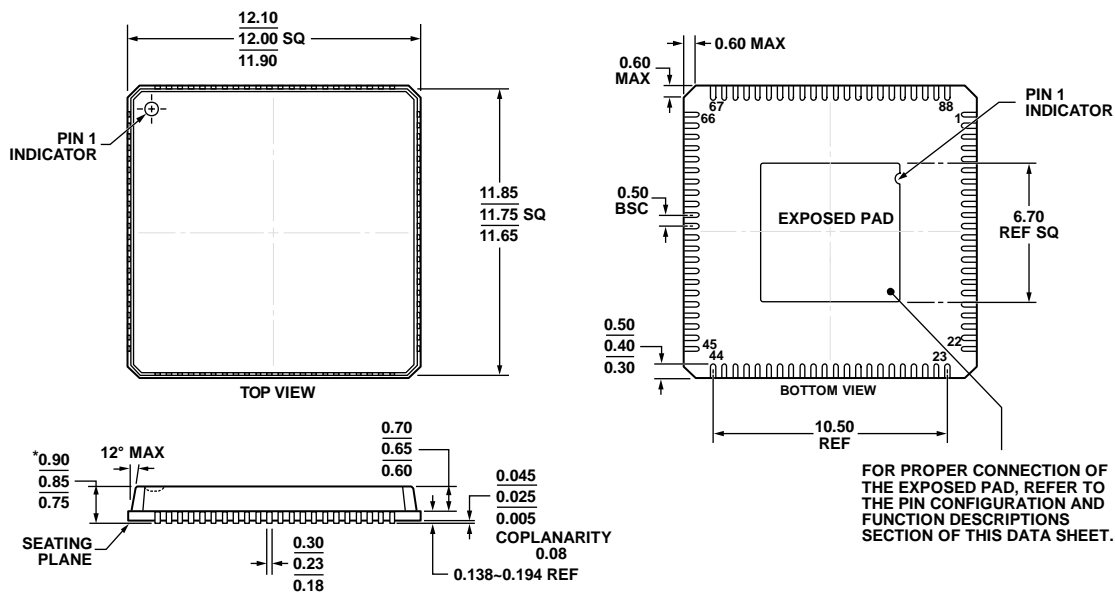
位	引脚名称	描述
[31:28]	开路	开路
[27:16]	幅度比例因子	此12位字控制DDS频率。注意, 要进行幅度调整, OSK使能位(0x00[8])必须设置为逻辑高电平。
[15:0]	相位偏移字	此16位字控制DDS频率。

USR0寄存器—地址0x1B

表30. USR0寄存器的位功能描述

位	引脚名称	描述
[31:25]	开路	
24	PLL锁定	这是一个只读位。读出逻辑1表示PLL已锁定。逻辑0表示未锁定状态。
[23:8]	(参见描述)	必须将这些位设置为表16中默认值栏所列的默认值。
7	保留	必须保持逻辑0(默认)。
6	带同步的校准	0 = 校准DAC时钟不需要SYNC_IN信号。 1 = 校准DAC时钟需要SYNC_IN信号。
[5:3]	SYNC_OUT延迟调整	用于延迟SYNC_OUT信号以便实现多芯片同步。
[2:0]	SYNC_IN延迟调整	用于延迟内部SYNC_IN信号以便实现多芯片同步。

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-VRRD EXCEPT FOR MINIMUM THICKNESS AND LEAD COUNT.

图50. 88引脚引脚架构芯片级封装[LFCSP_VQ]
12 mm × 12 mm, 超薄体
(CP-88-5)
图示尺寸单位: mm

06-20-2012.B

订购指南

参数 ¹	温度范围	封装描述	封装选项
AD9915BCPZ	-40°C至+85°C	88引脚引脚架构芯片级封装[LFCSP_VQ]	CP-88-5
AD9915BCPZ-REEL7	-40°C至+85°C	88引脚引脚架构芯片级封装[LFCSP_VQ]	CP-88-5
AD9915/PCBZ		评估板	

¹ Z = 符合RoHS标准的器件。

AD9915

注释