

产品特性

JESD204B(子类1)编码串行数字输出
 1 GSPS时每通道总功耗: 1.65 W(默认设置)
 SFDR = 85 dBFS (340 MHz), 80 dBFS (1 GHz)
 SNR = 65.3 dBFS(340 MHz, $A_{IN} = -1.0$ dBFS), 61.4 dBFS (1 GHz)
 ENOB = 10.8 位(10 MHz)
 差分非线性(DNL): ± 0.5 LSB
 积分非线性(INL): ± 2.5 LSB
 噪声密度 = -154 dBFS/Hz (1 GSPS)
 直流电源: 1.25 V、2.5 V和3.3 V
 无失码
 ADC内部基准电压源
 灵活的输入范围和端接阻抗
 1.46 V p-p至1.94 V p-p(标称值1.70 V p-p)
 400 Ω 、200 Ω 、100 Ω 和50 Ω 差分
 2 GHz可用模拟输入全功率带宽
 95 dB通道隔离/串扰
 幅度检测位支持实现高效AGC
 每通道集成2个宽带数字处理器
 12位NCO, 多达4个级联半带滤波器

差分时钟输入

整数时钟频率: -1、2、4或8
 灵活的JESD204B通道配置
 小信号扰动

应用

通信

分集多频段、多模数字接收机
 3G/4G、TD-SCDMA、W-CDMA、GSM、LTE

通用软件无线电

超宽带卫星接收机

仪器仪表

雷达

信号情报(SIGINT)

DOCSIS 3.0 CMTS上游接收路径

HFC数字反向路径接收机

功能框图

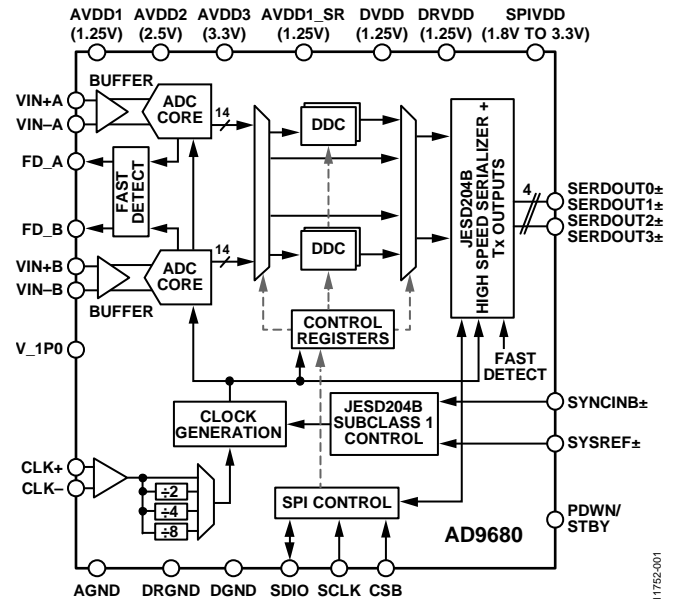


图1.

产品特色

1. 全功率带宽非常宽, 支持高达2 GHz的中频信号采样。
2. 提供可编程输入端接的缓冲输入简化滤波器设计和实现。
3. 四个集成式宽带抽取滤波器和数控振荡器(NCO)模块支持多频段接收机。
4. 灵活的串行端口接口(SPI)控制各种产品特性和功能, 满足特定系统要求。
5. 可编程快速超量程检测。
6. 9 mm x 9 mm 64引脚LFCSP封装。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	概述	30
应用	1	DDC NCO加混频器的损失和SFDR	31
功能框图	1	数控振荡器	31
产品特色	1	FIR滤波器	33
修订历史	2	概述	33
概述	3	半带滤波器	34
技术规格	4	DDC增益级	36
直流规格	4	DDC复数—实数转换	36
交流规格	5	DDC配置示例	37
数字规格	6	数字输出	40
开关规格	7	JESD204B接口简介	40
时序规格	8	JESD204B概述	40
绝对最大额定值	10	功能概述	41
热特性	10	JESD204B链路建立	41
ESD警告	10	物理层(驱动器)输出	44
引脚配置和功能描述	11	JESD204B Tx转换器映射	45
典型性能参数	13	配置JESD204B链路	47
等效电路	16	串行端口接口	50
工作原理	18	使用SPI的配置	50
ADC架构	18	硬件接口	50
模拟输入考虑	18	SPI访问特性	50
基准电压源	20	存储器映射	51
时钟输入考虑	21	读取存储器映射寄存器表	51
ADC超量程与快速检测	23	存储器映射寄存器表	52
ADC超量程	23	应用信息	63
快速阈值检测(FD_A和FD_B)	23	电源建议	63
数字下变频器(DDC)	24	裸露焊盘散热块建议	63
DDC I/Q输入选择	24	AVDD1_SR(引脚57)和AGND(引脚56和引脚60)	63
DDC I/Q输出选择	24	外形尺寸	64
DDC概述	24	订购指南	64
频率转换	30		

修订历史

2014年5月—修订版0：初始版

概述

AD9680是一款双通道、14位、1 GSPS模数转换器(ADC)。该器件内置片内缓冲器和采样保持电路，专门针对低功耗、小尺寸和易用性而设计。该器件设计用于高达2 GHz的宽带模拟信号采样。AD9680针对宽输入带宽、高采样速率、出色的线性度和小封装低功耗而优化。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。

模拟输入和时钟信号均为差分输入信号。每个ADC数据输出均内部连接至两个数字下变频器(DDC)。每个DDC均含有四个级联信号处理级：一个12位频率转换器(NCO)和四个半带抽取滤波器。

除了DDC模块，AD9680还具备其他功能，能够简化通信接收机的自动增益控制(AGC)。利用ADC的快速检测输出

位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC输入端出现超量程现象。

用户能将子类1 JESD204B高速串行输出配置为1、2或4通道，具体取决于DDC配置和接收逻辑器件的可接受通道速率。通过SYSREF±和SYNCINB±输入引脚，可提供多器件同步支持。

AD9680具有灵活的掉电选项，在需要时可以明显降低功耗。这些特性均可通过1.8 V至3.3 V三线式SPI进行编程。

AD9680采用64引脚无铅LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

AD9680

技术规格

直流规格

除非另有说明, AVDD1 = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, AVDD1_SR = 1.25 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 额定最大采样速率(1000 MSPS), 1.7 V p-p满量程差分输入, 1.0 V内部基准电压源, AIN = -1.0 dBFS, 默认SPI设置, $T_A = 25^\circ\text{C}$ 。

表1.

参数	温度	最小值	典型值	最大值	单位
分辨率	全	14			位
精度					
无失码	全		保证		
失调误差	全	-0.31	0	+0.31	% FSR
失调匹配	全		0	+0.23	% FSR
增益误差	全	-5	0	+5	% FSR
增益匹配	全		1	+4.5	% FSR
差分非线性(DNL)	全	-0.7	±0.5	+0.8	LSB
差分非线性(INL)	全	-5.7	±2.5	+6.9	LSB
温度漂移					
失调误差	25°C		-14		ppm/°C
增益误差	25°C		±13.8		ppm/°C
内部基准电压源					
电压	全		1.0		V
折合到输入端噪声					
$V_{REF} = 1.0\text{ V}$	25°C		2.63		LSB rms
模拟输入					
差分输入电压范围(可编程)	全	1.46	1.70	1.94	V p-p
共模电压(V_{CM})	25°C		2.05		V
差分输入电容 ¹	25°C		1.5		pF
模拟输入全功率带宽	25°C		2		GHz
电源					
AVDD1	全	1.22	1.25	1.28	V
AVDD2	全	2.44	2.50	2.56	V
AVDD3	全	3.2	3.3	3.4	V
AVDD1_SR	全	1.22	1.25	1.28	V
DVDD	全	1.22	1.25	1.28	V
DRVDD	全	1.22	1.25	1.28	V
SPIVDD	全	1.7	1.8	3.4	V
I_{AVDD1}	全		685	720	mA
I_{AVDD2}	全		595	680	mA
I_{AVDD3}	全		125	142	mA
I_{AVDD1_SR}	全		16	18	mA
I_{DVDD} ²	全		208	236	mA
I_{DRVDD} ¹	全		200	225	mA
I_{SPIVDD}	全		5	6	mA
功耗					
总功耗(包括输出驱动器) ^{2,3}	全		3.3		W
掉电功耗	全		835		mW
待机 ⁴	全		1.4		W

¹ 所有通道都运行。DRVDD的功耗随通道速率和所用通道数而变化。

² 默认模式。不使用DDC。L = 4, M = 2, F = 1。

³ 默认模式。不使用DDC。

⁴ 可通过SPI进行控制。

交流规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率，1.7 V p-p满量程差分输入，1.0 V内部基准电压源， $A_{IN} = -1.0$ dBFS，默认SPI设置， $T_A = 25^\circ\text{C}$ 。

表2.

参数 ¹	温度	最小值	典型值	最大值	单位
模拟输入满量程	全		1.7		V p-p
噪声密度 ²	全		-154		dBFS/Hz
信噪比(SNR) ³					
$f_{IN} = 10$ MHz	25°C		67.2		dBFS
$f_{IN} = 170$ MHz	全	65.1	66.6		dBFS
$f_{IN} = 340$ MHz	25°C		65.3		dBFS
$f_{IN} = 450$ MHz	25°C		64.0		dBFS
$f_{IN} = 765$ MHz	25°C		62.4		dBFS
$f_{IN} = 985$ MHz	25°C		61.4		dBFS
$f_{IN} = 1950$ MHz	25°C		57.0		dBFS
信纳比(SINAD) ³					
$f_{IN} = 10$ MHz	25°C		67.1		dBFS
$f_{IN} = 170$ MHz	全	65.0	66.4		dBFS
$f_{IN} = 340$ MHz	25°C		65.2		dBFS
$f_{IN} = 450$ MHz	25°C		63.8		dBFS
$f_{IN} = 765$ MHz	25°C		62.1		dBFS
$f_{IN} = 985$ MHz	25°C		61.1		dBFS
$f_{IN} = 1950$ MHz	25°C		56.0		dBFS
有效位数(ENOB)					
$f_{IN} = 10$ MHz	25°C		10.8		位
$f_{IN} = 170$ MHz	全	10.5	10.7		位
$f_{IN} = 340$ MHz	25°C		10.5		位
$f_{IN} = 450$ MHz	25°C		10.3		位
$f_{IN} = 765$ MHz	25°C		10.0		位
$f_{IN} = 985$ MHz	25°C		9.8		位
$f_{IN} = 1950$ MHz	25°C		9.0		位
无杂散动态范围(SFDR) ³					
$f_{IN} = 10$ MHz	25°C		88		dBFS
$f_{IN} = 170$ MHz	全	75	85		dBFS
$f_{IN} = 340$ MHz	25°C		85		dBFS
$f_{IN} = 450$ MHz	25°C		82		dBFS
$f_{IN} = 765$ MHz	25°C		80		dBFS
$f_{IN} = 985$ MHz	25°C		80		dBFS
$f_{IN} = 1950$ MHz	25°C		68		dBFS
最差谐波(二次或三次) ³					
$f_{IN} = 10$ MHz	25°C		-95		dBFS
$f_{IN} = 170$ MHz	全		-94	-75	dBFS
$f_{IN} = 340$ MHz	25°C		-88		dBFS
$f_{IN} = 450$ MHz	25°C		-86		dBFS
$f_{IN} = 765$ MHz	25°C		-80		dBFS
$f_{IN} = 985$ MHz	25°C		-80		dBFS
$f_{IN} = 1950$ MHz	25°C		-80		dBFS
最差其它谐波(二次或三次除外) ³					
$f_{IN} = 10$ MHz	25°C		-95		dBFS
$f_{IN} = 170$ MHz	全		-94	-81	dBFS
$f_{IN} = 340$ MHz	25°C		-88		dBFS
$f_{IN} = 450$ MHz	25°C		-86		dBFS

AD9680

参数 ¹	温度	最小值	典型值	最大值	单位
$f_{IN} = 765 \text{ MHz}$	25°C		-81		dBFS
$f_{IN} = 985 \text{ MHz}$	25°C		-82		dBFS
$f_{IN} = 1950 \text{ MHz}$	25°C		-75		dBFS
双音交调失真(IMD), AIN1 和 AIN2 = -7 dBFS					
$f_{IN1} = 185 \text{ MHz}, f_{IN2} = 188 \text{ MHz}$	25°C		-87		dBFS
$f_{IN1} = 338 \text{ MHz}, f_{IN2} = 341 \text{ MHz}$	25°C		-88		dBFS
串扰 ⁴	25°C		95		dB
全功率带宽 ⁵	25°C		2		GHz

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

² 噪声密度在低模拟输入频率(30 MHz)下测量。

³ 满量程电压和缓冲电流的推荐设置参见表9。

⁴ 串扰的测量条件: 一个通道参数为170 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

⁵ 利用图38所示电路测量。

数字规格

除非另有说明, AVDD1 = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, AVDD1_SR = 1.25 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 额定最大采样速率, 1.7 V p-p满量程差分输入, 1.0 V内部基准电压源, AIN = -1.0 dBFS, 默认SPI设置, $T_A = 25^\circ\text{C}$ 。

表3.

参数	温度	最小值	典型值	最大值	单位
时钟输入(CLK+, CLK-)					
逻辑兼容	全		LVDS/LVPECL		
差分输入电压	全	600	1200	1800	mV p-p
输入共模电压	全		0.85		V
输入电阻(差分)	全		35		kΩ
输入电容	全			2.5	pF
SYSREF输入(SYSREF+/SYSREF-)					
逻辑兼容	全		LVDS/LVPECL		
差分输入电压	全	400	1200	1800	mV p-p
输入共模电压	全	0.6	0.85	2.0	V
输入电阻(差分)	全		35		kΩ
输入电容(差分)	全			2.5	pF
逻辑输入(SDI、SCLK、CSB、PDWN/STBY)					
逻辑兼容	全		CMOS		
逻辑1电压	全		$0.8 \times \text{SPIVDD}$		V
逻辑0电压	全	0	$0.2 \times \text{SPIVDD}$		V
输入电阻	全		30		kΩ
逻辑输出(SDIO)					
逻辑兼容	全		CMOS		
逻辑1电压($I_{OH} = 800 \mu\text{A}$)	全		$0.8 \times \text{SPIVDD}$		V
逻辑0电压($I_{OL} = 50 \mu\text{A}$)	全		$0.2 \times \text{SPIVDD}$		V
SYNCIN输入(SYNCIN+/SYNCIN-)					
逻辑兼容	全		LVDS/LVPECL/CMOS		
差分输入电压	全	400	1200	1800	mV p-p
输入共模电压	全	0.6	0.85	2.0	V
输入电阻(差分)	全		35		kΩ
输入电容	全			2.5	pF
逻辑输出(FD_A、FD_B)					
逻辑兼容	全		CMOS		
逻辑1电压	全	0.8	SPIVDD		V
逻辑0电压	全	0	0		V
输入电阻	全		30		kΩ

参数	温度	最小值	典型值	最大值	单位
数字输出(SERDOUT _{x±} , x = 0至3)					
逻辑兼容	全		CML		
差分输出电压	全	360		770	mV p-p
输出共模电压(V _{CM})					
交流耦合	25°C	0		1.8	V
短路电流(I _{Dshort})	25°C	-100		+100	mA
差分回损(RL _{DIFF}) ¹	25°C	8			dB
共模回损(RL _{CM}) ¹	25°C	6			dB
差分端接阻抗	全	80	100	120	Ω

¹ 差分和共模回损在100 MHz至0.75 MHz x 波特率范围内测量。

开关规格

除非另有说明, AVDD1 = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, AVDD1_SR = 1.25 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 额定最大采样速率, 1.7 V p-p满量程差分输入, 1.0 V内部基准电压源, AIN = -1.0 dBFS, 默认SPI设置, T_A = 25°C。

表4.

参数	温度	最小值	典型值	最大值	单位
时钟					
时钟速率(CLK+/CLK-引脚)	全	0.3		4	GHz
最高采样速率 ¹	全	1000			MSPS
最低采样速率 ²	全	300			MSPS
时钟高电平脉宽	全	500			ps
时钟低电平脉宽	全	500			ps
输出参数					
单位间隔(UI) ³	全	80	100		ps
上升时间(t _r)(20%至80%, 至100 Ω负载)	25°C	24	32		ps
下降时间(t _f)(20%至80%, 至100 Ω负载)	25°C	24	32		ps
PLL锁定时间	25°C		2		ms
每通道的数据速率(NRZ) ⁴	25°C	3.125	10	12.5	Gbps
延迟 ⁵					
流水线延迟	全		55		时钟周期
快速检测延迟	全			28	时钟周期
唤醒时间 ⁶					
待机	25°C		1		Ms
掉电	25°C			4	Ms
孔径					
孔径延迟(t _A)	全		530		Ps
孔径不确定性(抖动, t _j)	全		55		fs rms
超范围恢复时间	全		1		时钟周期

¹ 最高采样速率指分频之后的时钟速率。

² 最低采样速率以300 MSPS工作, L = 2或L = 1。

³ 波特率 = 1/UI。支持此范围的一个子集。

⁴ 默认L = 4。该数值可根据采样速率和抽取比而改变。

⁵ 不使用DDC。L = 4, M = 2, F = 1。

⁶ 唤醒时间指从掉电模式返回正常工作模式所需的时间。

时序规格

表5.

参数	测试条件/注释	最小值 典型值 最大值	单位
CLK+至SYSREF+时序要求	参见图3		
t_{SU_SR}	器件时钟至SYSREF+建立时间	117	ps
t_{H_SR}	器件时钟至SYSREF+保持时间	- 96	ps
SPI时序要求	参见图4		
t_{DS}	数据与SCLK上升沿之间的建立时间	2	ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2	ns
t_{CLK}	SCLK周期	40	ns
t_S	CSB与SCLK之间的建立时间	2	ns
t_H	CSB与SCLK之间的保持时间	2	ns
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间	10	ns
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间	10	ns
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间(图4未显示)	10	ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间(图4未显示)	10	ns

时序图

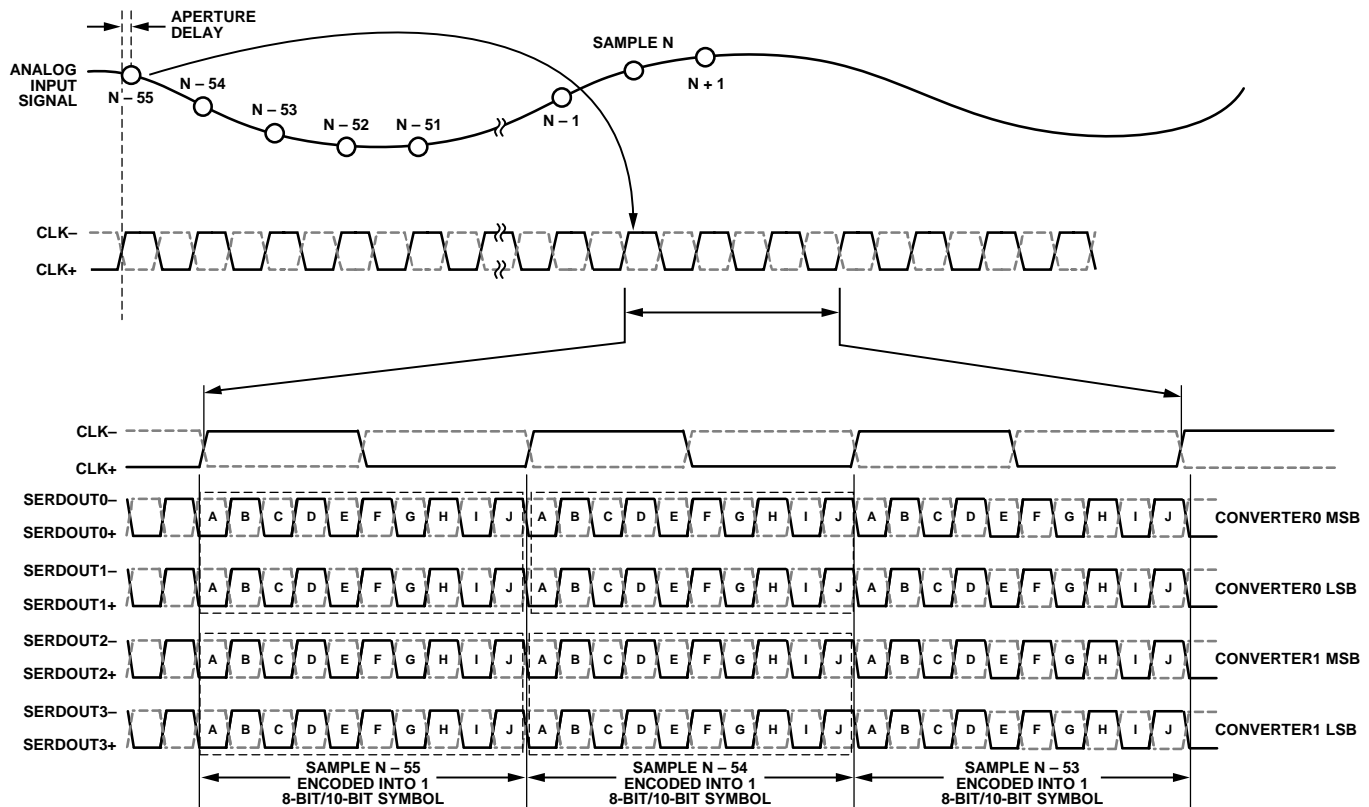


图2. 数据输出时序(全带宽模式; $L = 4$; $M = 2$; $F = 1$)

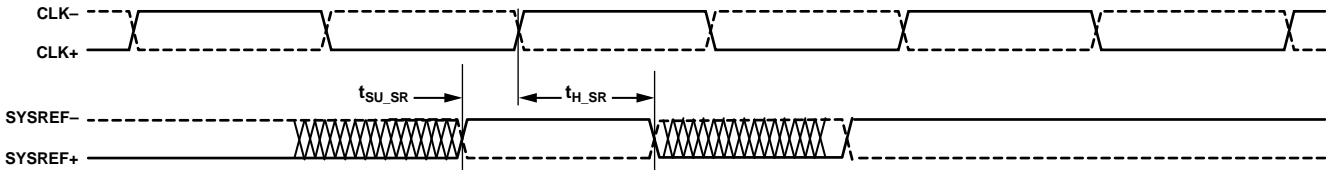


图3. SYSREF±建立和保持时间

11752-003

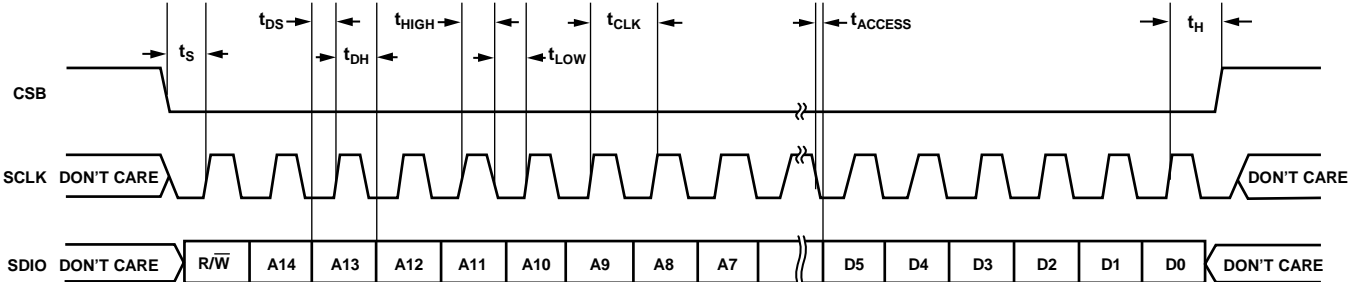


图4. 串行端口接口时序图

11752-004

绝对最大额定值

表6.

参数	额定值
电气	
AVDD1至AGND	1.34 V
AVDD1_SR to AGND	1.34 V
AVDD2至AGND	2.75 V
AVDD3至AGND	3.63 V
DVDD至DGND	1.34 V
DRVDD至DRGND	1.34 V
SPIVDD至AGND	3.63 V
AGND至DRGND	-0.3 V至+0.3 V
VIN±x至AGND	3.2 V
SCLK、SDIO、CSB至AGND	-0.3 V至SPIVDD + 0.3 V
PDWN/STBY至AGND	-0.3 V至 SPIVDD + 0.3 V
环境	
工作温度范围	-40°C至+85°C
最高结温	125°C
存储温度范围(环境)	-65°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热特性

典型 θ_{JA} 、 θ_{JB} 和 θ_{JC} 按照印刷电路板(PCB)层数和不同气流速度(m/s)进行测定。气流可增强散热，从而有效降低 θ_{JA} 和 θ_{JB} 。建议使用适当的热管理技术，确保最高结温不超过表7给出的限值。

表7.

PCB类型	气流速度(m/s)	θ_{JA}	Ψ_{JB}	θ_{JC_TOP}	θ_{JC_BOT}	单位
JEDEC 2s2p板	0.0	17.8 ^{1,2}	6.3 ^{1,3}	4.7 ^{1,5}	1.2 ^{1,5}	°C/W
	1.0	15.6 ^{1,2}	5.9 ^{1,3}	N/A ⁴		°C/W
	2.5	15.0 ^{1,2}	5.7 ^{1,3}	N/A ⁴		°C/W
10层PCB, 裸露焊盘 下方有81 个通孔	0.0	13.8	4.6	4.7	1.2	°C/W
	1.0	12.7	4.6	N/A ⁴		°C/W
	2.5	12.0	4.6	N/A ⁴		°C/W

¹ 按照JEDEC 51-7，加上JEDEC 51-5 2s2p测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照JEDEC JESD51-8(静止空气)。

⁴ N/A表示不适用。

⁵ 按照MIL-STD 883、方法1012.1。

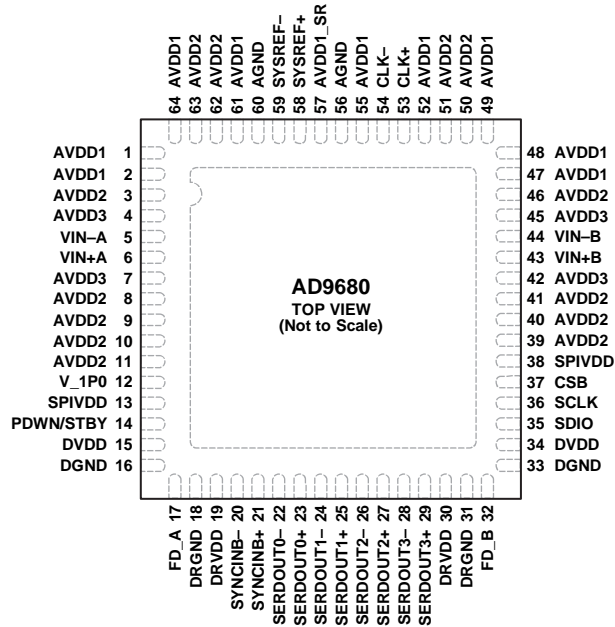
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. EXPOSED PAD. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR AVDDx. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

11752-906

图5 引脚配置(顶视图)

表8. 引脚功能描述

引脚编号	引脚名称	类型	说明
电源			
0	EPAD	地	裸露焊盘。封装底部的裸露热焊盘为AVDDx提供接地基准。该焊盘必须与地相连，才能正常工作。
1, 2, 47, 48, 49, 52, 55, 61, 64	AVDD1	电源	模拟电源(标称值1.25 V)。
3, 8, 9, 10, 11, 39, 40, 41, 46, 50, 51, 62, 63	AVDD2	电源	模拟电源(标称值2.5 V)。
4, 7, 42, 45	AVDD3	电源	模拟电源(标称值3.3 V)。
13, 38	SPIVDD	电源	SPI的数字电源(1.8 V至3.3 V)。
15, 34	DVDD	电源	数字电源(标称值为1.25 V)。
16, 33	DGND	地	DVDD的接地基准。
18, 31	DRGND	地	DRVDD接地基准。
19, 30	DRVDD	电源	数字驱动器电源(标称值为1.25 V)。
56, 60	AGND ¹	地	SYSREF±的接地基准。
57	AVDD1_SR ¹	电源	SYSREF±的模拟电源(标称值为1.25 V)。
模拟			
5, 6	VIN-A, VIN+A	输入	ADC A模拟输入(-/+).
12	V_1P0	输入/DNC	1.0 V基准电压输入/勿连接。此引脚可通过SPI配置为不连接引脚或输入。使用内部基准电压源时，请勿连接此引脚。若使用外部基准电压源，则需要1.0 V基准电压输入。
44, 43	VIN-B, VIN+B	输入	ADC B模拟输入(-/+).
53, 54	CLK+, CLK-	输入	时钟输入(+/-).

AD9680

引脚编号	引脚名称	类型	说明
CMOS输出 17, 32	FD_A, FD_B	输出	通道A和通道B的快速检测输出。
数字输入 20, 21 58, 59	SYNCINB-, SYNCINB+ SYSREF+, SYSREF-	输入 输入	JESD204B LVDS低电平有效同步输入(-/+) JESD204B LVDS低电平有效系统基准电压输入(+/-)。
数据输出 22, 23 24, 25 26, 27 28, 29	SERDOUT0-, SERDOUT0+ SERDOUT1-, SERDOUT1+ SERDOUT2-, SERDOUT2+ SERDOUT3-, SERDOUT3+	输出 输出 输出 输出	数据通路0输出数据(-/+) 数据通路1输出数据(-/+) 数据通路2输出数据(-/+) 数据通路3输出数据(-/+)
待测器件(DUT)控制 14 35 36 37	PDWN/STBY SDIO SCLK CSB	输入 输入/输出 输入 输入	掉电输入(高电平有效)。此引脚的操作取决于SPI模式, 可配置为掉电或待机。 SPI串行数据输入/输出。 SPI串行时钟。 SPI片选(低电平有效)。

¹ 为确保ADC正常工作，应将AVDD1_SR和AGND的连接与AVDD1和EPAD的连接分开。更多信息见“应用信息”部分。

典型性能参数

除非另有说明, AVDD1 = 1.25 V, AVDD1_SR = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 1.7 V p-p满量程差分输入, $A_{IN} = -1.0$ dBFS, 默认SPI设置, 时钟分频器 = 2, $T_A = 25^\circ\text{C}$, 128k FFT采样。

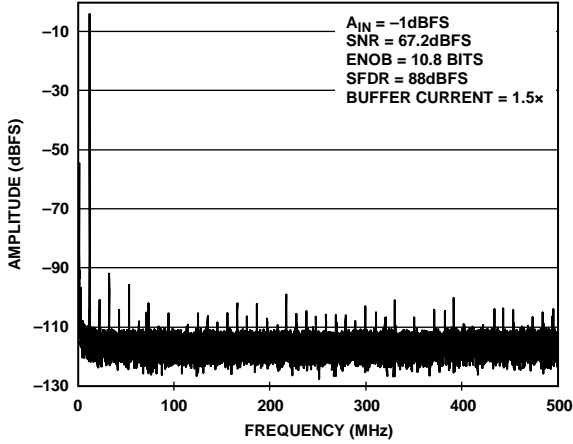


图6. 单音FFT($f_{IN} = 10.3$ MHz)

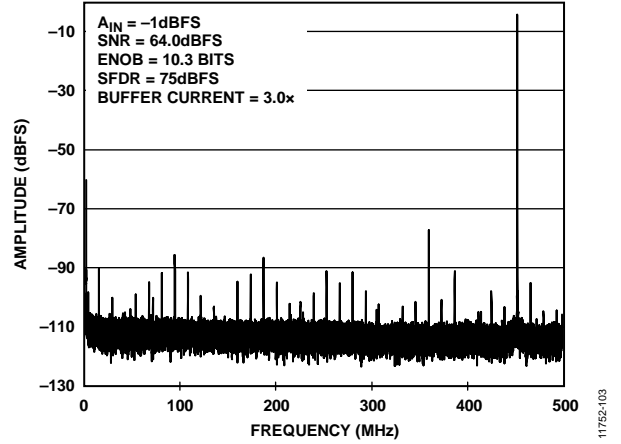


图9. 单音FFT($f_{IN} = 450.3$ MHz)

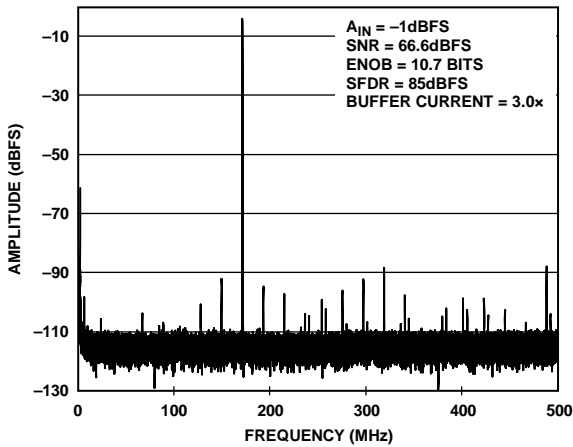


图7. 单音FFT($f_{IN} = 170.3$ MHz)

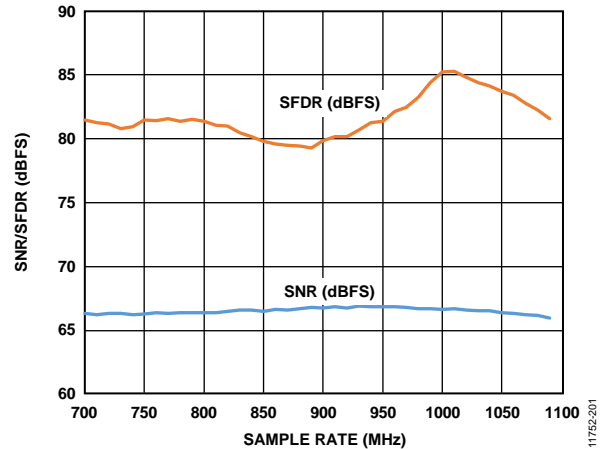


图10. SNR/SFDR与 f_s 的关系($f_{IN} = 170.3$ MHz; 缓冲设置 = 3.0x)

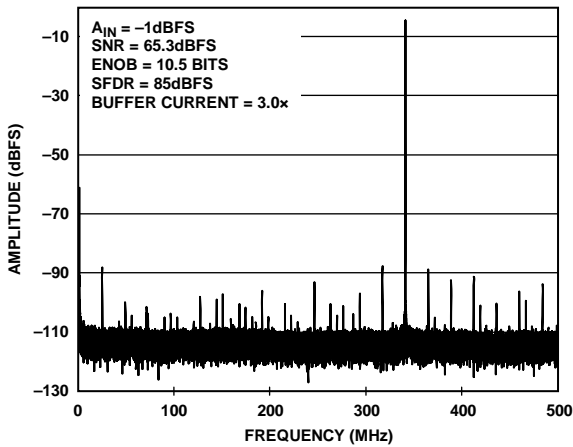


图8. 单音FFT($f_{IN} = 340.3$ MHz)

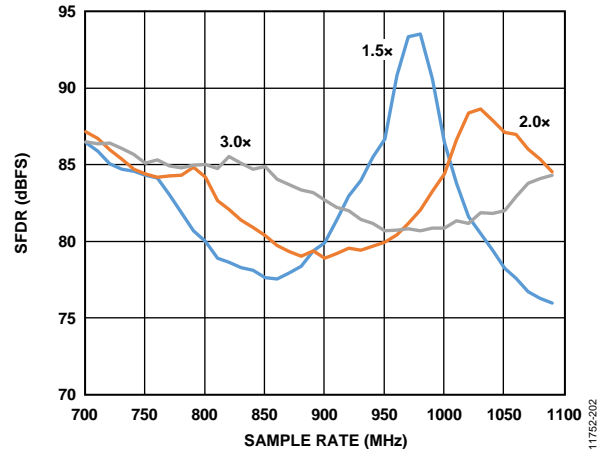


图11. SFDR与 f_s 的关系($f_{IN} = 10.3$ MHz; 缓冲设置 = 1.5x、2.0x或3.0x)

AD9680

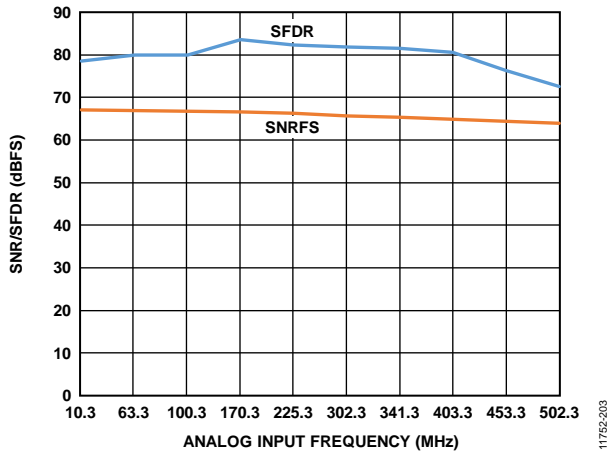


图12. SNR/SFDR与 f_{IN} 的关系($f_{IN} < 500$ MHz; 缓冲设置 = 3.0x)

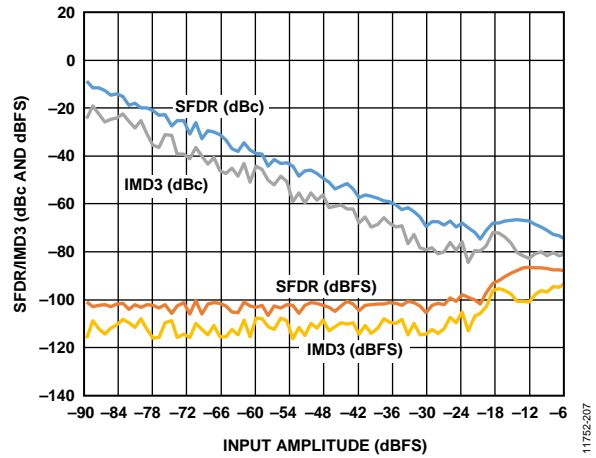


图15. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 184$ MHz, $f_{IN2} = 187$ MHz)

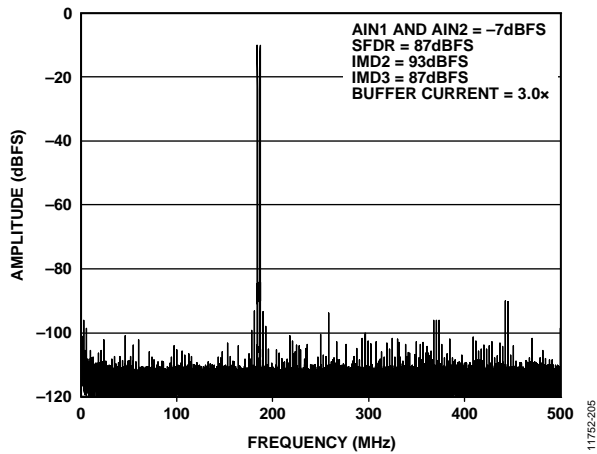


图13. 双音FFT($f_{IN1} = 184$ MHz, $f_{IN2} = 187$ MHz)

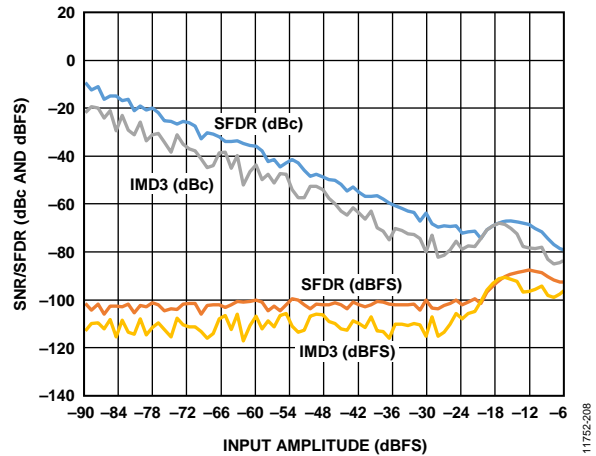


图16. 双音IMD3/SFDR与输入幅度(A_{IN})的关系
($f_{IN1} = 338$ MHz, $f_{IN2} = 341$ MHz)

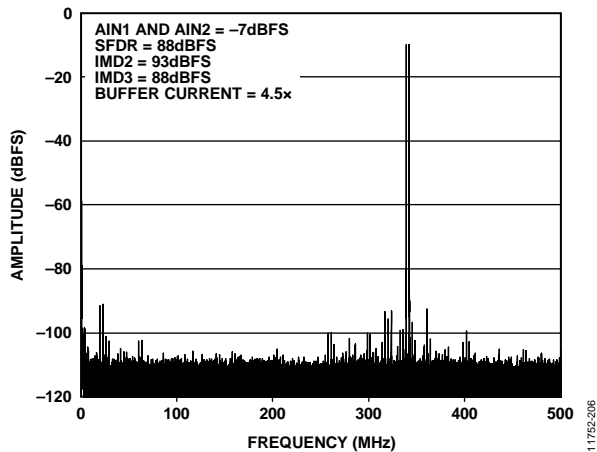


图14. 双音FFT($f_{IN1} = 338$ MHz, $f_{IN2} = 341$ MHz)

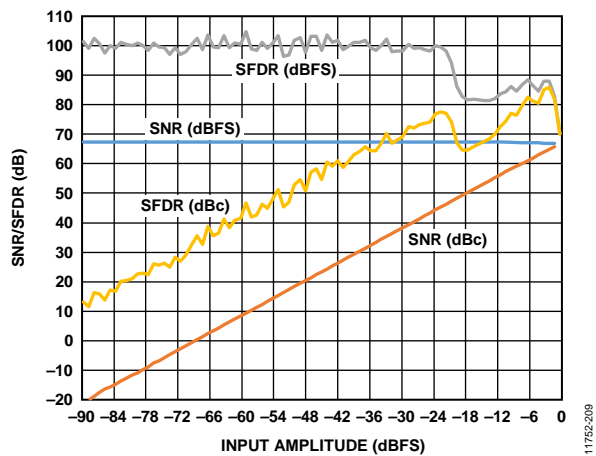


图17. SNR/SFDR与模拟输入电平的关系($f_{IN} = 170.3$ MHz)

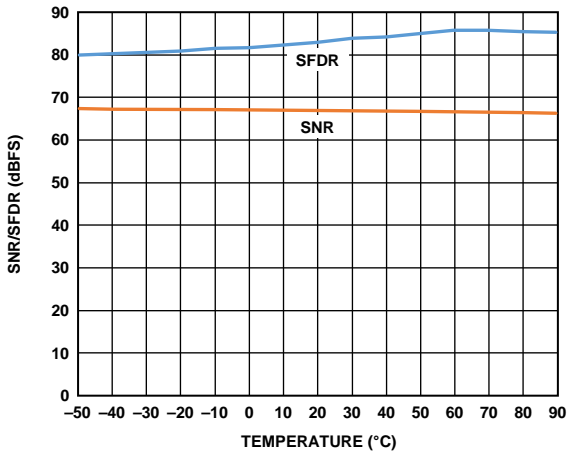


图18. SNR/SFDR与温度的关系($f_{IN} = 170.3$ MHz)

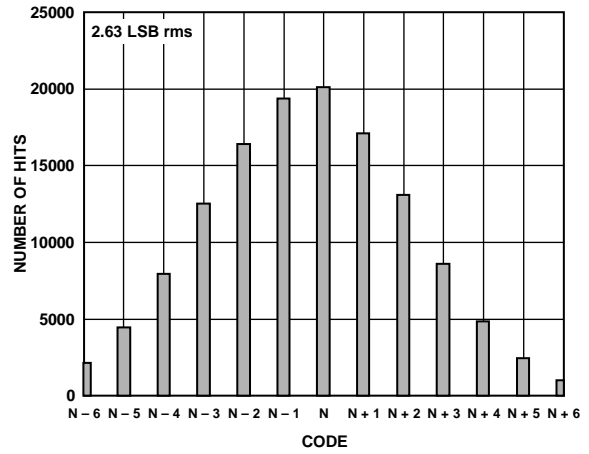


图21. 折合到输入端噪声直方图

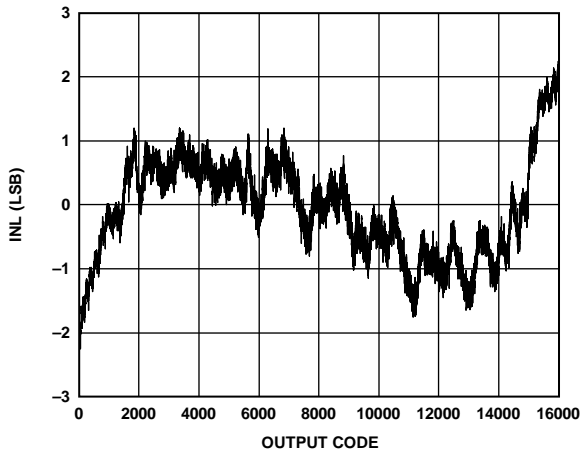


图19. INL误差($f_{IN} = 10.3$ MHz)

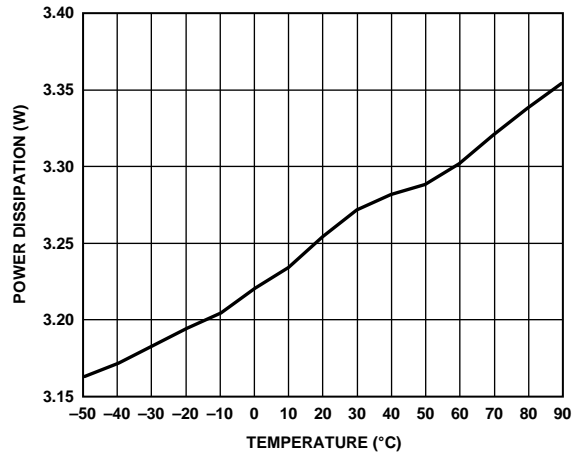


图22. 功耗与温度的关系

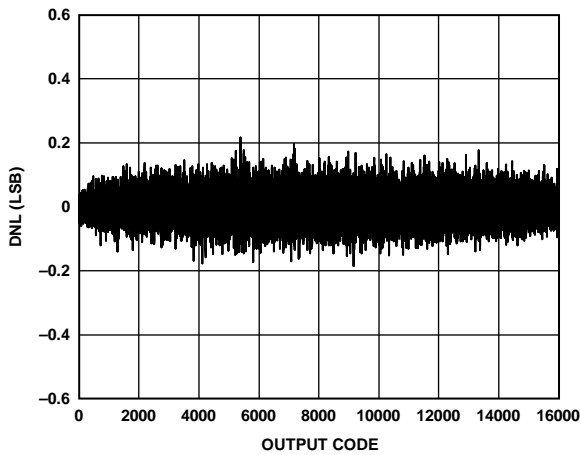


图20. DNL误差($f_{IN} = 15$ MHz)

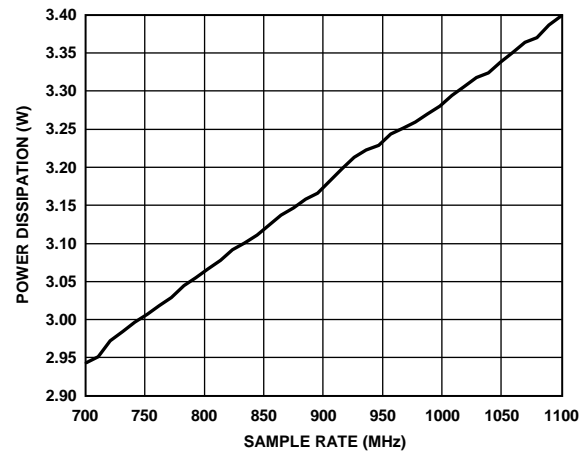


图23. 功耗与 f_s 的关系

等效电路

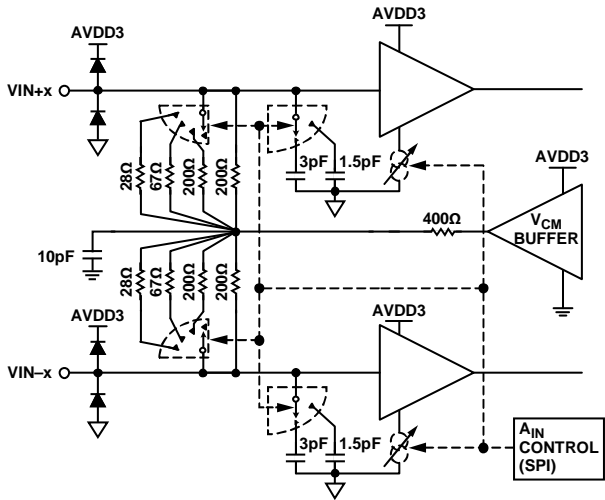


图24. 模拟输入

11752-011

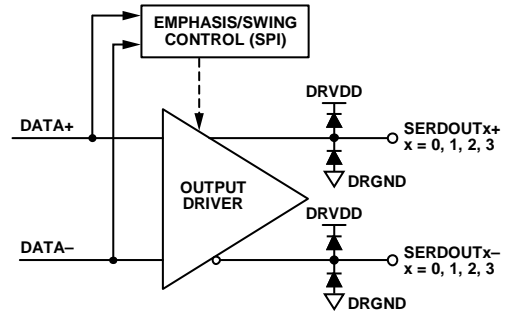


图27. 数字输出

11752-014

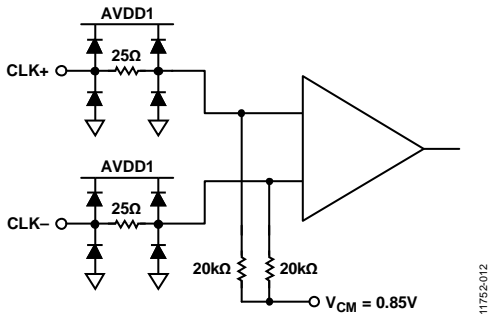


图25. 时钟输入

11752-012

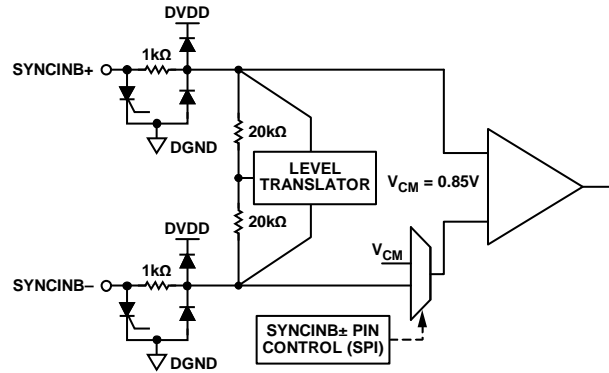


图28. SYNCIN±输入

11752-015

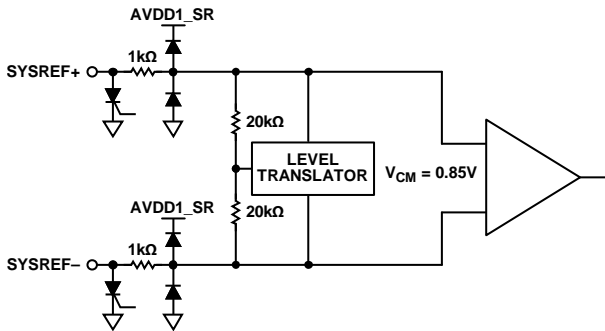


图26. SYSREF±输入

11752-013

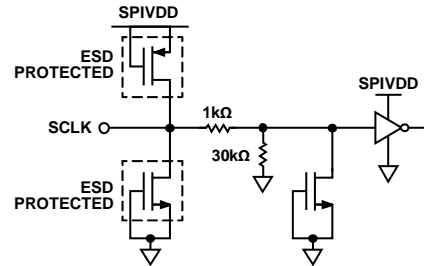
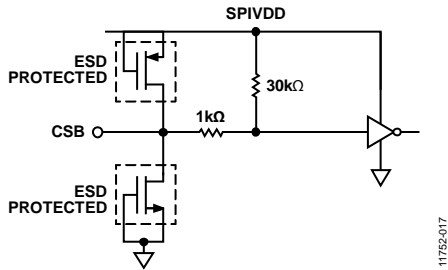


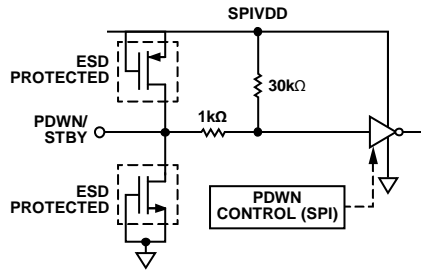
图29. SCLK输入

11752-016



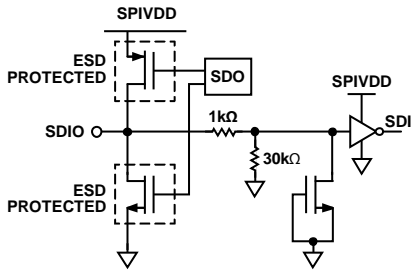
11752-017

图30. CSB输入



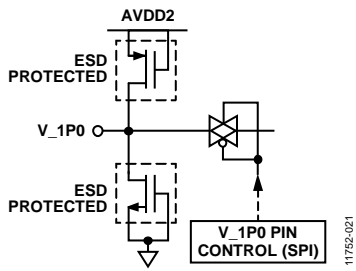
11752-020

图33. PDWN/STBY输入



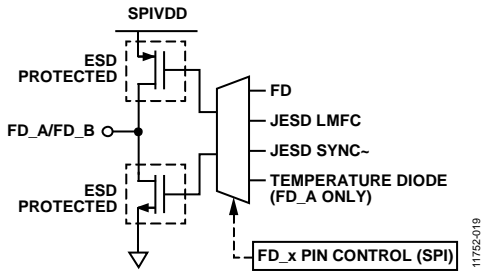
11752-018

图31. SDIO输入



11752-021

图34. V_1P0输入/输出



11752-019

图32. FD_A/FD_B输出

工作原理

AD9680具有两个模拟输入通道和两个JESD204B输出数据通路对。该ADC设计用于高达2 GHz的宽带模拟信号采样。AD9680针对宽输入带宽、高采样速率、出色的线性度和小封装低功耗而优化。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。

AD9680内置多种功能，可以简化通信接收机中的AGC功能。利用ADC的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC输入端出现超量程现象。

根据采样速率和抽取比，子类1 JESD204B高速串行输出数据速率可配置为一通路(L=1)、二通路(L=2)或四通路(L=4)。通过SYSREF±和SYNCINB±输入引脚，可提供多器件同步支持。

ADC架构

AD9680架构由一个输入缓冲流水线ADC组成。输入缓冲器设计用于向模拟输入信号提供端接阻抗。该端接阻抗可通过SPI改变，以满足驱动器/放大器的端接需求。默认端接值设置为400 Ω。模拟输入端接的等效电路图如图24所示。输入缓冲器针对高线性度、低噪声和低功耗而优化。

输入缓冲器提供线性高输入阻抗(以便简化驱动)，并降低ADC的反冲。该缓冲器针对高线性度、低噪声和低功耗而优化。各级的量化输出组合在一起，在数字校正逻辑中最终形成一个14位转换结果。流水线架构允许第一级处理新的输入样本；与此同时，其它级继续处理之前的样本。采样在时钟的上升沿进行。

模拟输入考虑

AD9680的模拟输入端是一个差分缓冲器。缓冲器的内部共模电压为2.05 V。输入电路根据时钟信号在采样模式和保持

模式之间切换。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，精确值取决于应用。

为得到最佳动态性能，必须保证驱动VIN+x的源阻抗与驱动VIN-x的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会被ADC的共模抑制削弱。内部基准电压缓冲器形成差分基准电压，进而决定ADC内核的范围。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD9680，可用范围可通过SPI端口在1.46 V p-p到1.94 V p-p差分之间编程，默认值为1.70 V p-p差分。

差分输入配置

有多种有源或无源方法可以驱动AD9680，不过，通过差分方式驱动模拟输入可实现最佳性能。

在SNR和SFDR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD9680的真正性能，所以输入配置中建议采用差分变压器耦合(见图35和图36)。

对于中低频率，建议使用双巴伦或双变压器网络(见图35)，以便实现AD9680的最佳性能。对于第二或第三奈奎斯特区中的较高频率，最好移除一些前端无源元件，确保其以宽带工作(见图36)。

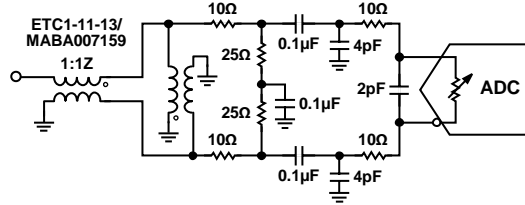


图35. 针对第一和第二奈奎斯特频率的差分变压器耦合配置

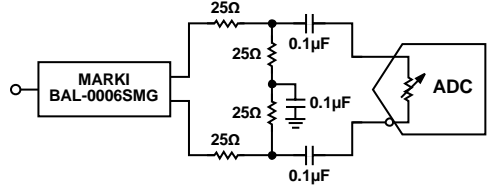


图36. 针对第二和第三奈奎斯特频率的差分变压器耦合配置

输入共模

AD9680的模拟输入内部偏置到共模，如图37所示。共模缓冲器的范围很有限，因为如果共模电压降低100 mV以上，性能会大大降低。所以，在直流耦合应用中，应将共模电压设置为 $2.05\text{ V} \pm 100\text{ mV}$ ，确保ADC正常工作。若在直流耦合应用中运行，满量程电压设置必须是 1.7 V p-p 差分。

模拟输入控制和SFDR优化

AD9680提供灵活的模拟输入控制，如输入端接、缓冲电流和输入满量程调整等。图37显示了所有可用的控制功能。

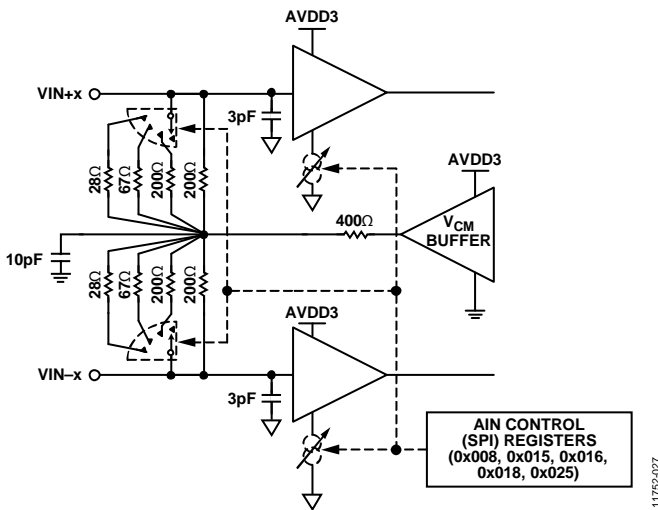


图37. 模拟输入控制

利用寄存器0x018可以调整各通道的缓冲电流，以便针对不同输入频率和目标带宽来优化SFDR。设定输入缓冲电流后，AVDD3电源需要的电流会改变。这种关系如图38所示。缓冲电流设置的完整列表参见表29。

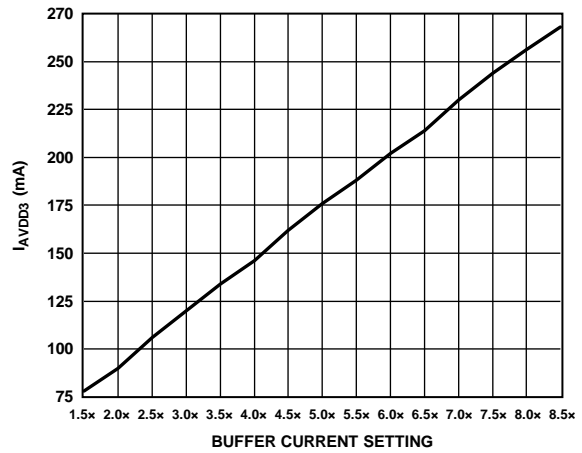


图38. AVDD3功耗与缓冲电流设置的关系

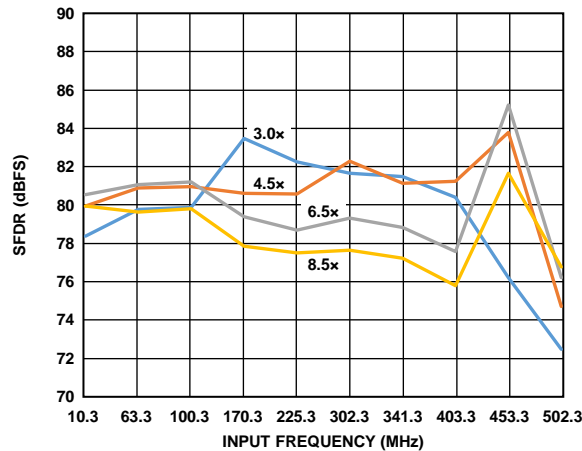


图39. 缓冲电流扫描，AD9680(SFDR与IBUFF的关系), $f_{IN} < 500\text{ MHz}$

在某些高频应用中，降低满量程设置可改善SFDR。

AD9680

表9给出了不同模拟输入频率范围的推荐缓冲电流和满量程电压设置。

表9. 针对输入频率的SFDR优化

输入频率(MHz)	输入满量程范围, 寄存器0x025 (V p-p)	输入缓冲电流控制设置, 寄存器0x018
<500 MHz	1.7/1.82/1.94 差分	3.0x
500 MHz至1 GHz	1.58/1.46 差分	4.5x或6.5x
>1 GHz	1.46差分	6.5x

绝对最大输入摆幅

AD9680输入端支持的绝对最大输入摆幅为4.3 V p-p差分。接近或达到此电平的信号会对ADC造成永久性损坏。

基准电压源

AD9680内置稳定、精确的1.0 V基准电压源。该内部1.0 V基准电压源用于设置ADC的满量程输入范围。满量程输入范围可通过ADC功能寄存器0x025进行调整。有关调整输入摆幅的更多信息，参见表29。图40显示了内部1.0 V基准电压源的控制框图。

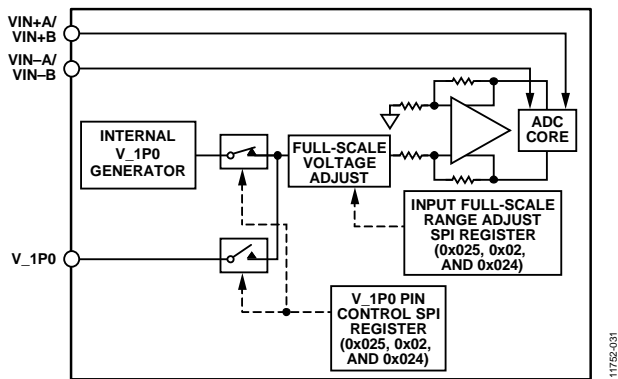


图40. 内部基准电压源配置和控制

通过SPI寄存器0x024，用户可以选择使用该内部1.0 V基准电压源或提供外部1.0 V基准电压源。使用外部基准电压源时，应提供1.0 V基准电压源。满量程调整利用SPI进行，与基准电压无关。有关调整AD9680满量程电平的更多信息，参见“存储器映射寄存器表”部分。

某些应用中可能需要采用外部基准电压以进一步提高ADC增益精度或改善热漂移特性。图41显示内部1.0 V基准电压的典型漂移特性。

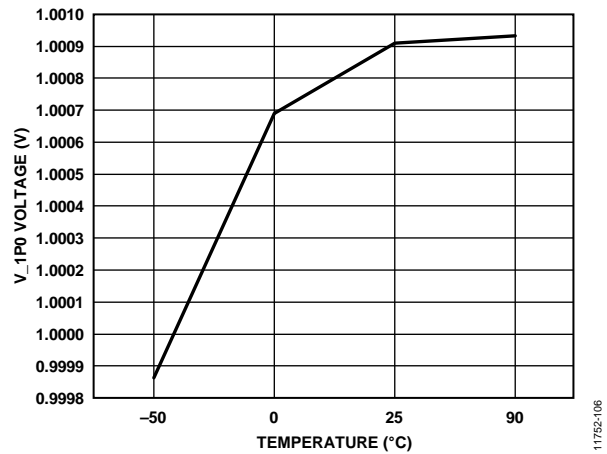


图41. 典型V_1P0漂移

外部基准电压源必须是稳定的1.0 V基准源。ADR130是很好的1.0 V基准源选择。图42显示如何利用ADR130来为AD9680提供外部1.0 V基准电压。灰色区域显示AD9680中因为利用ADR130来提供外部基准电压源而不使用的模块。

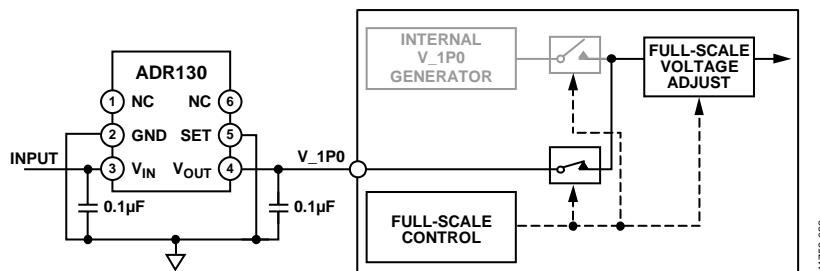


图42. 采用ADR130提供外部基准电压源

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9680采样时钟输入端(CLK+和CLK-)的时钟信号。通常，应使用变压器或时钟驱动器将该信号交流耦合到CLK+引脚和CLK-引脚。CLK+和CLK-引脚有内部偏置，无需其它偏置。

图43显示了一种为AD9680提供时钟信号的首选方法。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

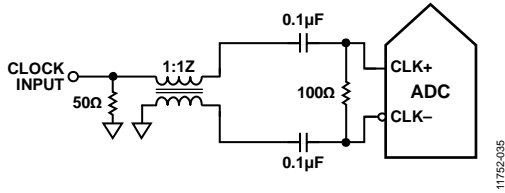


图43. 变压器耦合的差分时钟

另一种方法是将差分CML或LVDS信号交流耦合到采样时钟输入引脚，如图44和图45所示。

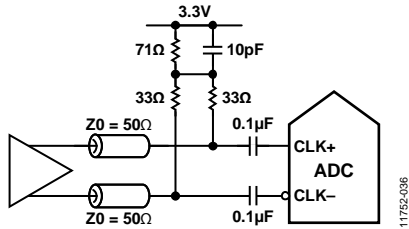
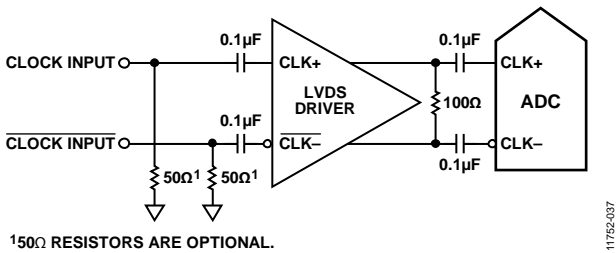


图44. 差分CML采样时钟



150Ω RESISTORS ARE OPTIONAL.

图45. 差分LVDS采样时钟

时钟占空比考虑

典型的高速ADC利用两个时钟沿产生不同的内部定时信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。在无法保证50%时钟占空比的应用中，可以向器件提供更高的多频时钟。内部时钟分频器设为2时，AD9680可以采用2 GHz时钟。分频器输出为内部ADC提供50%占空比、高压摆率(快速边沿)时钟信号。有关使用此功能的更多信息见“存储器映射”部分。

输入时钟分频器

AD9680内置一个输入时钟分频器，可对奈奎斯特输入时钟进行-1、2、4和8倍分频。分频比可通过寄存器0x10B选择，如图46所示。

CLK±输入的最大频率为4 GHz。这是分频器的限值。在时钟输入是采样时钟数倍的应用中，必须小心设置时钟分频器的分频比，然后施加时钟信号，确保器件启动期间的电流瞬态受控。

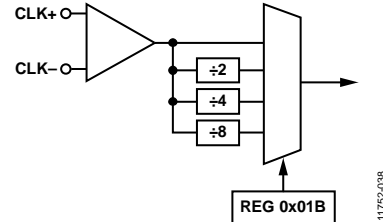


图46. 时钟分频电路

利用外部SYSREF±输入信号，可同步AD9680时钟分频器。有效SYSREF±可使时钟分频器复位至可编程状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，仅由孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR = 20 \times \log_{10} (2 \times \pi \times f_A \times t_j)$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(见图47)。

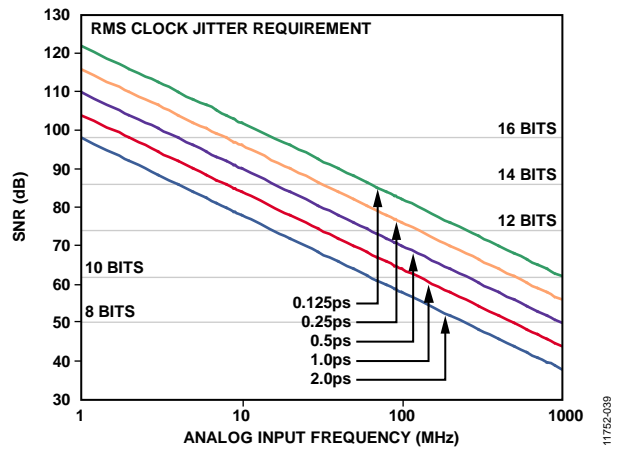


图47. 理想信噪比与输入频率和抖动的关系

AD9680

当孔径抖动可能影响AD9680的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。如果时钟信号来自其它类型的时钟源(通过门控、分频或其他方法)，则需要最后一步中利用原始时钟进行重定时。如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756。

掉电/待机模式

AD9680有一个PDWN/STBY引脚，可用来将器件配置为掉电或待机模式。默认配置是PDWN。PDWN/STBY引脚是一个逻辑高电平引脚。在掉电模式下，JESD204B链路中断。掉电选项也可通过寄存器0x03F和寄存器0x040设置。

在待机模式下，JESD204B链路不中断，对所有转换器样本都传输0。这可以利用寄存器0x571的位7选择/K/字符来改变。

温度二极管

AD9680内置一个基于二极管的温度传感器，用于测量芯片温度。此二极管可输出一个电压，充当普通温度传感器来监控内部芯片温度。

利用SPI，温度二极管电压可输出到FD_A引脚。通过寄存器0x028的位0可使能或禁用该二极管。寄存器0x028是一个本地寄存器。要使能温度二极管读数输出，必须选择器件索引寄存器(0x008)中的通道A。通过设置寄存器0x040[2:0]，配置FD_A引脚输出二极管电压。更多信息参见表29。

温度二极管的电压响应曲线如图48所示。

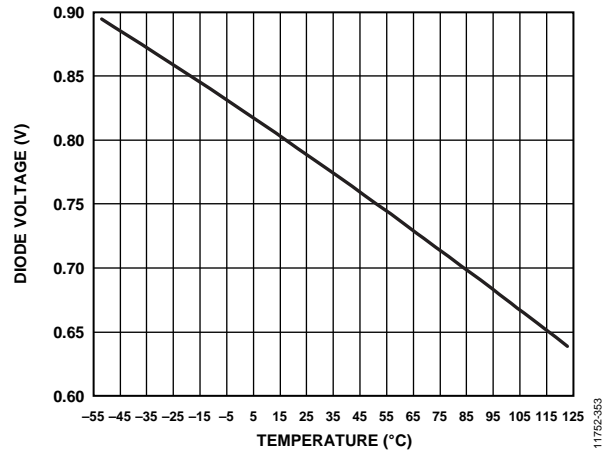


图48. 温度二极管电压与温度的关系

ADC超量程与快速检测

在接收机应用中，需要一种可靠的机制，能够决定转换器何时发生箝位。JESD204B输出中的标准超量程位提供的模拟输入状态信息作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在箝位发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此该功能的延迟时间非常关键。然而，高度流水线转换器有非常大的延迟。AD9680内置检测电路，可供各通道用来监控阈值并置位FD_A和FD_B引脚。

ADC超量程

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程指示器可以作为一个控制位嵌入JESD204B链路中(CSB > 0时)。该超量程指示器的延迟与样本延迟一致。

AD9680还能记录8个虚拟转换器中任一个的超量程状况。有关虚拟转换器的更多信息，请参见图50。各虚拟转换器的超量程状态记录为寄存器0x563中的一个标记位。寄存器0x563的内容可利用寄存器0x562清除，方法是将虚拟转换器对应的位切换到设置和复位位置。

快速阈值检测(FD_A和FD_B)

只要输入信号的绝对值超过可编程阈值上限，FD位就会立即置1。只有当输入信号的绝对值降至阈值下限以下并且持续时间超过可编程驻留时间时，FD位才会清0。该特性提供迟滞，防止FD位过于频繁地切换。

阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图49所示。

当输入信号幅度超过快速检测阈值上限寄存器(寄存器0x247和0x248)的设置值时，FD指示器置位。选定阈值寄存器的值与ADC输出的信号幅度进行比较。快速阈值上限检测具有28个时钟周期的延迟(最大值)。近似阈值上限幅度由下式定义：

$$\text{阈值上限幅度 (dBFS)} = 20 \log (\text{阈值幅度} / 2^{13})$$

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器0x249和0x24A)中进行设置。13位快速检测阈值下限寄存器的值与ADC输出的信号幅度进行比较。该比较受ADC流水线延迟的控制；比较精度取决于转换器分辨率。阈值下限幅度由下式定义：

$$\text{阈值下限幅度 (dBFS)} = 20 \log (\text{阈值幅度} / 2^{13})$$

例如，要设置-6 dBFS的阈值上限，应将0xFFF写入寄存器0x247和寄存器0x248；要设置-10 dBFS的阈值下限，应将0xA1D写入寄存器0x249和寄存器0x24A。

驻留时间可以在1至65, 535个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器0x24B和0x24C)。更多信息参见“存储器映射”部分(表29中的寄存器0x040、寄存器0x245至寄存器0x24C)。

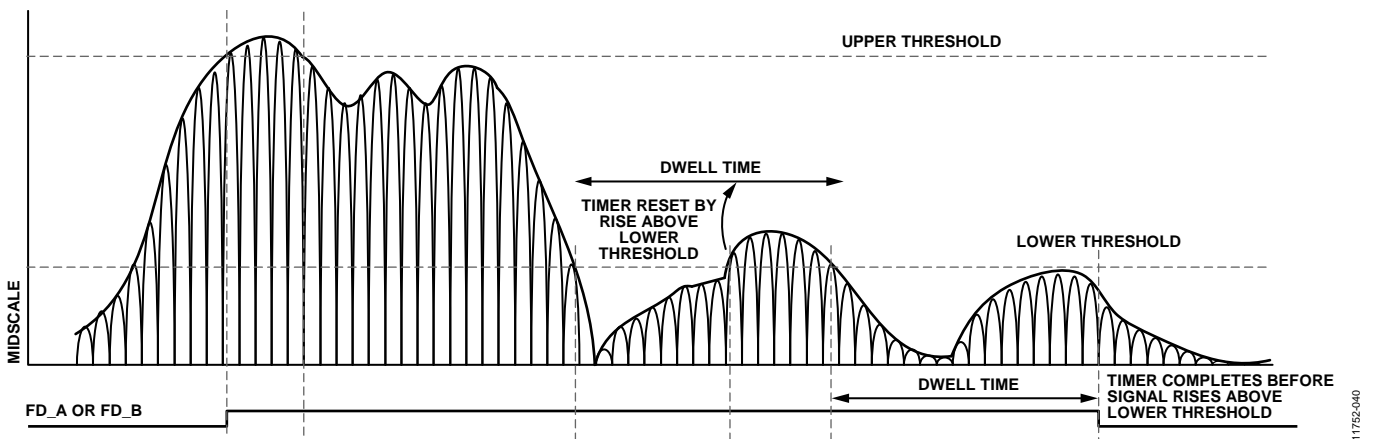


图49. FD_A和FD_B信号的阈值设置

数字下变频器(DDC)

AD9680内置4个数字下变频器(DDC 0至DDC 3)，用于滤波和降低输出数据速率。该数字处理部分包括NCO、半带抽取滤波器、FIR滤波器、增益级和复数-实数转换级。各处理模块都有控制线路，能单独使能或者禁用，以便提供所需的处理功能。通过配置数字下变频器，可以输出实数数据或复数数据。

DDC I/Q输入选择

AD9680有2个ADC通道和4个DDC通道。每个DDC通道有2个输入端口，这些端口可以配对以通过I/Q纵横式多路复用器支持实数或复数输入。对于实数信号，两个DDC输入端口必须选择同一ADC通道，例如：DDC输入端口I = ADC通道A，输入端口Q = ADC通道A。对于复数信号，各DDC输入端口必须选择不同ADC通道，例如：DDC输入端口I = ADC通道A，输入端口Q = ADC通道B。

各DDC的输入由DDC输入选择寄存器(寄存器0x311、寄存器0x331、寄存器0x351和寄存器0x371)控制。有关如何配置DDC的更多信息参见表29。

DDC I/Q输出选择

每个DDC通道有2个输出端口，这些端口可以配对以支持实数或复数输出。对于实数输出信号，仅使用DDC输出端口I(DDC输出端口Q无效)。对于复数I/Q输出信号，DDC输出端口I和DDC输出端口Q均要使用。

各DDC通道的I/Q输出由DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)中的DDC复数转实数使能位(位3)控制。

芯片应用模式寄存器(寄存器0x200)中的芯片Q忽略位(位5)控制所有DDC通道的芯片输出复用。所有DDC通道都使用实数输出时，此位必须设置为高电平以忽略所有DDC Q输出端口。当设置任一DDC通道使用复数I/Q输出时，用户必须清除此位以便同时使用DDC输出端口I和DDC输出端口Q。更多信息参见图58。

DDC概述

四个DDC模块用于提取ADC捕捉的全数字频谱的一部分。它们设计用于需要宽带宽输入信号的中频采样或过采样基带无线电。

各DDC模块包含4个信号处理级：

频率转换级(可选)

频率转换级由12位复数NCO和正交混频器组成，可用于实数或复数输入信号的频率转换。该级将一部分可用数字频谱下移至基带。

滤波级

下移至基带后，滤波级利用最多4个相连的半带低通滤波器抽取频谱进行速率转换。抽取过程会降低输出数据速率，进而降低输出接口速率。

增益级(可选)

实数输入信号下混频至基带会有损失，增益级通过增加0 dB或6 dB的增益予以补偿。

复数至实数转换级(可选)

需要实数输出时，复数至实数转换级执行fs/4混频操作，并通过滤波器滤除信号的复数成分，从而将复数输出转回实数输出。

图50所示为AD9680中实现的DDC详细框图。

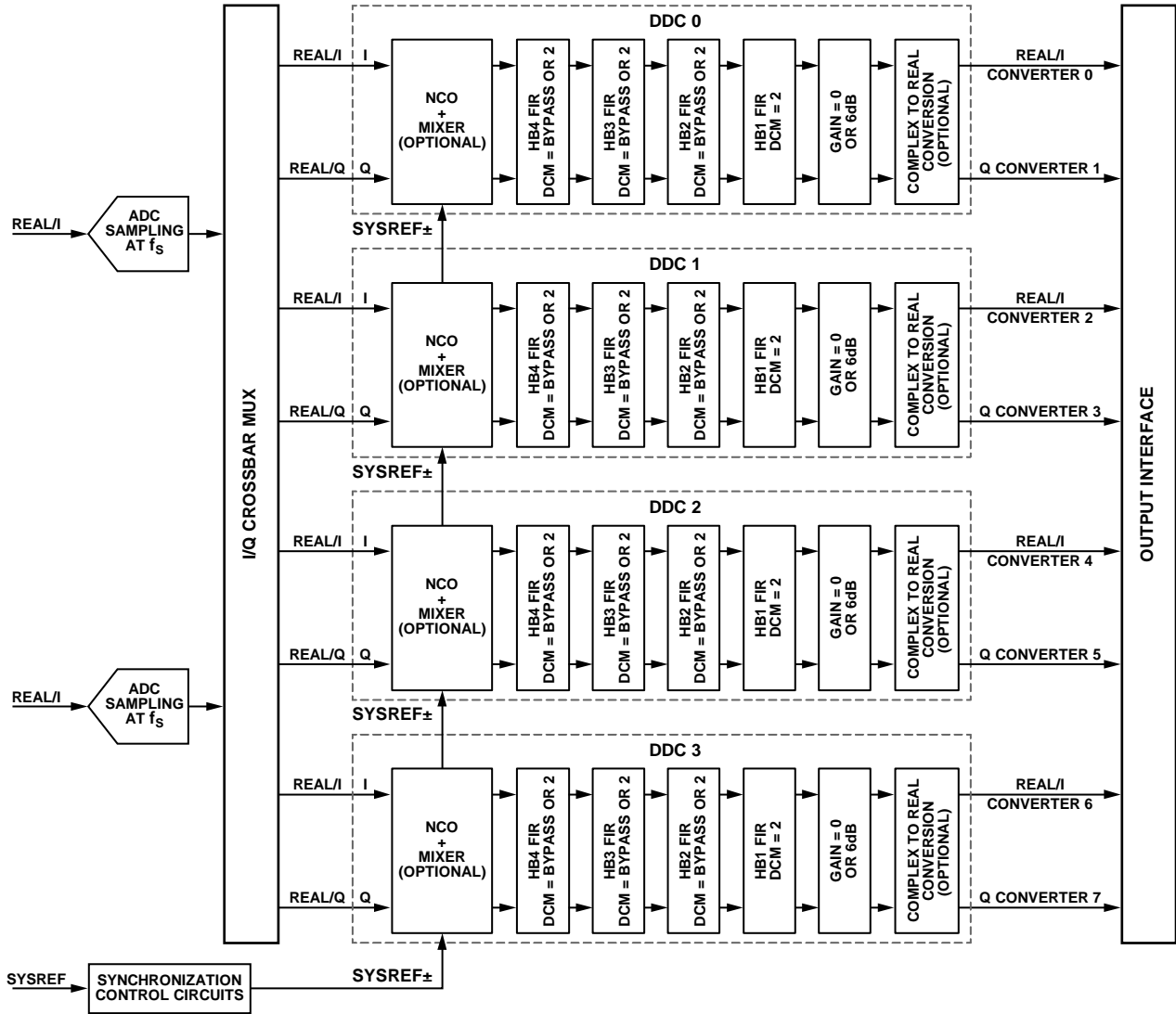


图50. DDC详细框图

图51显示了其中一个DDC模块的使用实例，它采用实数输入信号和四个半带滤波器(HB4、HB3、HB2和HB1)。复数(16倍抽取)和实数(8倍抽取)输出选项均有显示。

当DDC有不同的抽取比时，芯片抽取比(寄存器0x201)必须设置为所有DDC模块中最低的抽取比。这种情况下，较高

抽取比DDC的样本会重复以匹配芯片抽取比样本速率。只要设置或改变NCO频率，就必须执行DDC软复位。如果不执行DDC软复位，输出可能会有幅度偏差。

表10、表11、表12、表13和表14分别显示芯片抽取比设置为1、2、4、8和16倍时的DDC样本。

AD9680

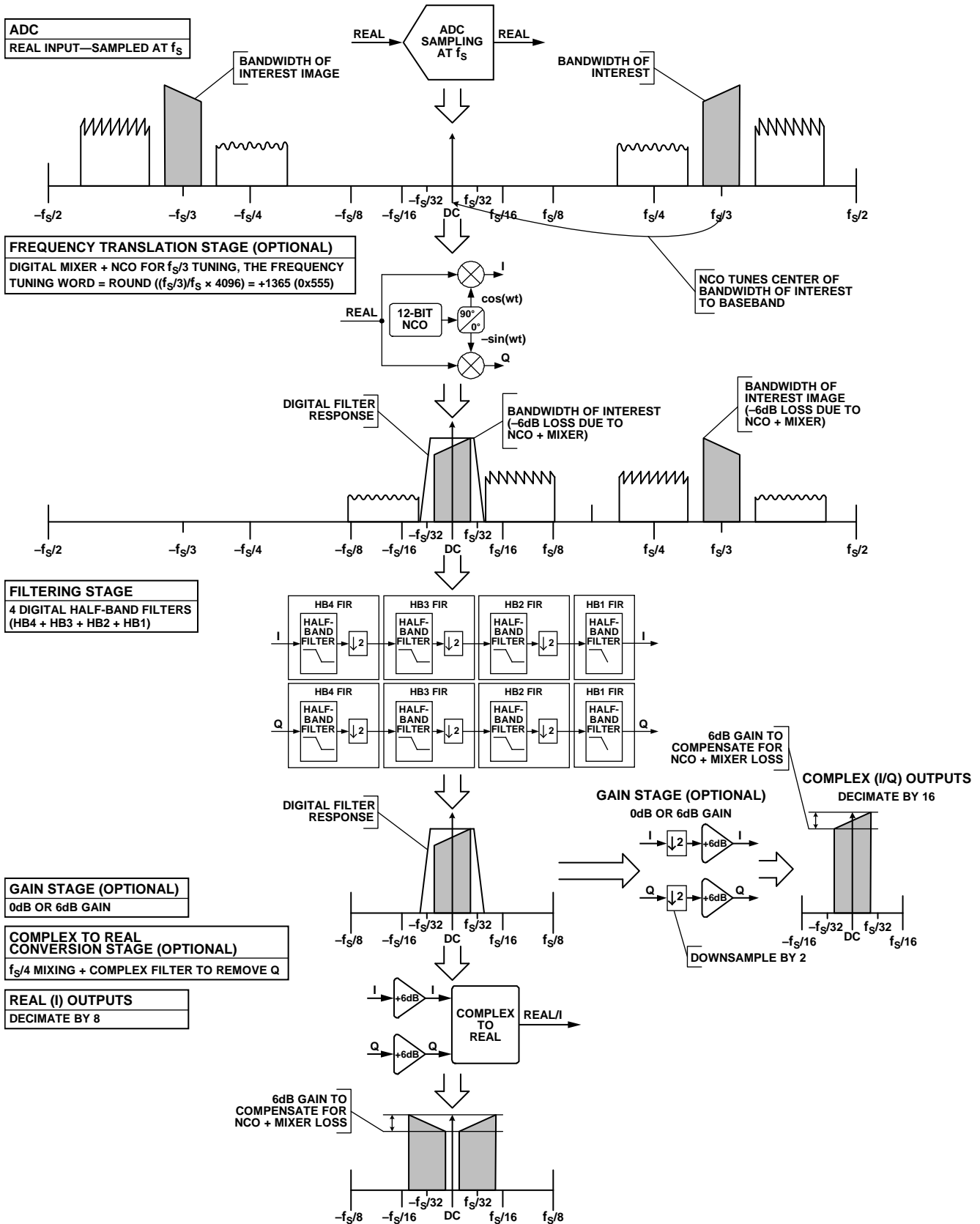


图51. DDC工作原理实例(实数输入、16倍抽取)

表10. DDC样本(芯片抽取比 = 1)

实数(I)输出(使能复数转实数)				复数(I/Q)输出(禁用复数转实数)			
HB1 FIR (DCM ¹ = 1)	HB2 FIR + HB1 FIR (DCM ¹ = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB1 FIR (DCM ¹ = 2)	HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N	N	N	N
N + 1	N	N	N	N	N	N	N
N + 2	N + 1	N	N	N + 1	N	N	N
N + 3	N + 1	N	N	N + 1	N	N	N
N + 4	N + 2	N + 1	N	N + 2	N + 1	N	N
N + 5	N + 2	N + 1	N	N + 2	N + 1	N	N
N + 6	N + 3	N + 1	N	N + 3	N + 1	N	N
N + 7	N + 3	N + 1	N	N + 3	N + 1	N	N
N + 8	N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 9	N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 10	N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 11	N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 12	N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 13	N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 14	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 15	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 16	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 17	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 18	N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 19	N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 20	N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 21	N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 22	N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 23	N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 24	N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 25	N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 26	N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 27	N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 28	N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 29	N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 30	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1
N + 31	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

¹ DCM = 抽取。

AD9680

表11. DDC样本(芯片抽取比 = 2)

实数(I)输出(使能复数转实数)			复数(I/Q)输出(禁用复数转实数)			
HB2 FIR + HB1 FIR (DCM ¹ = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB1 FIR (DCM ¹ = 2)	HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N	N	N
N + 1	N	N	N + 1	N	N	N
N + 2	N + 1	N	N + 2	N + 1	N	N
N + 3	N + 1	N	N + 3	N + 1	N	N
N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

¹ DCM = 抽取。

表12. DDC样本(芯片抽取比 = 4)

实数(I)输出(使能复数转实数)		复数(I/Q)输出(禁用复数转实数)		
HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N
N + 1	N	N + 1	N	N
N + 2	N + 1	N + 2	N + 1	N
N + 3	N + 1	N + 3	N + 1	N
N + 4	N + 2	N + 4	N + 2	N + 1
N + 5	N + 2	N + 5	N + 2	N + 1
N + 6	N + 3	N + 6	N + 3	N + 1
N + 7	N + 3	N + 7	N + 3	N + 1

¹ DCM = 抽取。

表13. DDC样本(芯片抽取比 = 8)

实数(I)输出(使能复数转实数)	复数(I/Q)输出(禁用复数转实数)	
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N
N + 1	N + 1	N
N + 2	N + 2	N + 1
N + 3	N + 3	N + 1
N + 4	N + 4	N + 2
N + 5	N + 5	N + 2
N + 6	N + 6	N + 3
N + 7	N + 7	N + 3

¹ DCM = 抽取。

表14. DDC样本(芯片抽取比 = 16)

实数(I)输出(使能复数转实数)	复数(I/Q)输出(禁用复数转实数)
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM = 16)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
不适用	N
不适用	N + 1
不适用	N + 2
不适用	N + 3

¹ DCM = 抽取。

如果芯片抽取比设置为4倍抽取，DDC 0设置为使用HB2 + HB1滤波器(复数输出4倍抽取)，DDC 1设置为使用HB4 + HB3 + HB2 + HB1滤波器(实数输出8倍抽取)，则对每一个DDC 0输出，DDC 1的输出数据都会重复两次。相应的输出样本如表15所示。

表15. DCM¹ = 4、DDC 0 DCM¹ = 4(复数)且DDC 1 DCM¹ = 8(实数)时的DDC输出样本

DDC输入样本	DDC 0		DDC 1	
	输出端口I	输出端口Q	输出端口I	输出端口Q
N	I0 [N]	Q0 [N]	I1 [N]	不适用
N + 1				
N + 2				
N + 3				
N + 4	I0 [N + 1]	Q0 [N + 1]		
N + 5				
N + 6				
N + 7				
N + 8	I0 [N + 2]	Q0 [N + 2]	I1 [N + 1]	不适用
N + 9				
N + 10				
N + 11				
N + 12	I0 [N + 3]	Q0 [N + 3]		
N + 13				
N + 14				
N + 15				

¹ DCM = 抽取。

频率转换概述

频率转换是利用12位复数NCO和数字正交混频器实现的。频率转换将一个实数或复数输入信号从中频(IF)转换为基带复数数字输出(载波 = 0 Hz)。

各DDC的频率转换级可以单独控制，支持四种不同的IF模式，利用DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)的位[5:4]可以选择具体模式。这些IF模式如下：

- 可变IF模式
- 0 Hz IF (ZIF)模式
- $f_s/4$ Hz IF模式
- 测试模式

可变IF模式

NCO和混频器使能。NCO输出频率可用来对IF频率进行数字调谐。

0 Hz IF (ZIF)模式

混频器旁路，NCO禁用。

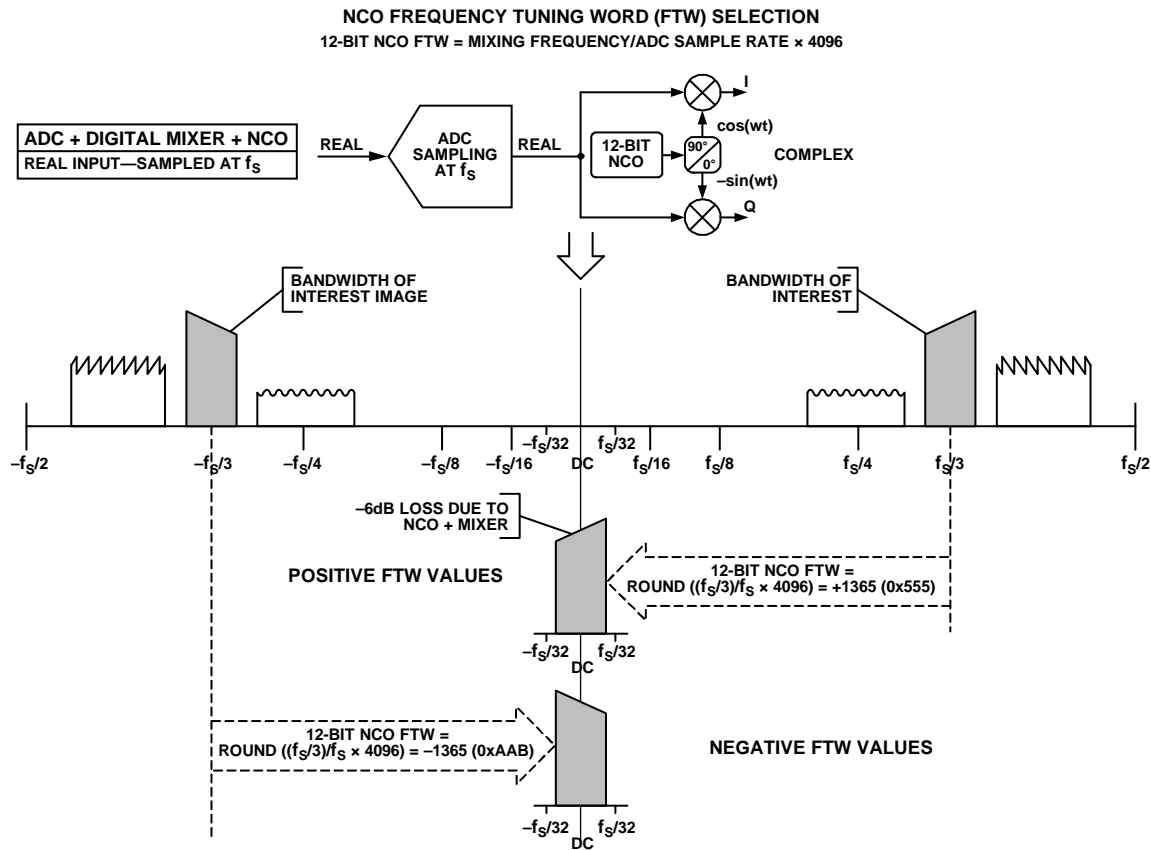
$f_s/4$ Hz IF模式

混频器和NCO在特殊的 $f_s/4$ 下混频模式中使能以节省功耗。

测试模式

迫使输入样本达到0.999至正满量程。NCO使能。该测试模式允许NCO直接驱动抽取滤波器。

图52和图53显示用于实数和复数输入的频率转换级的实例。



11752-0-03

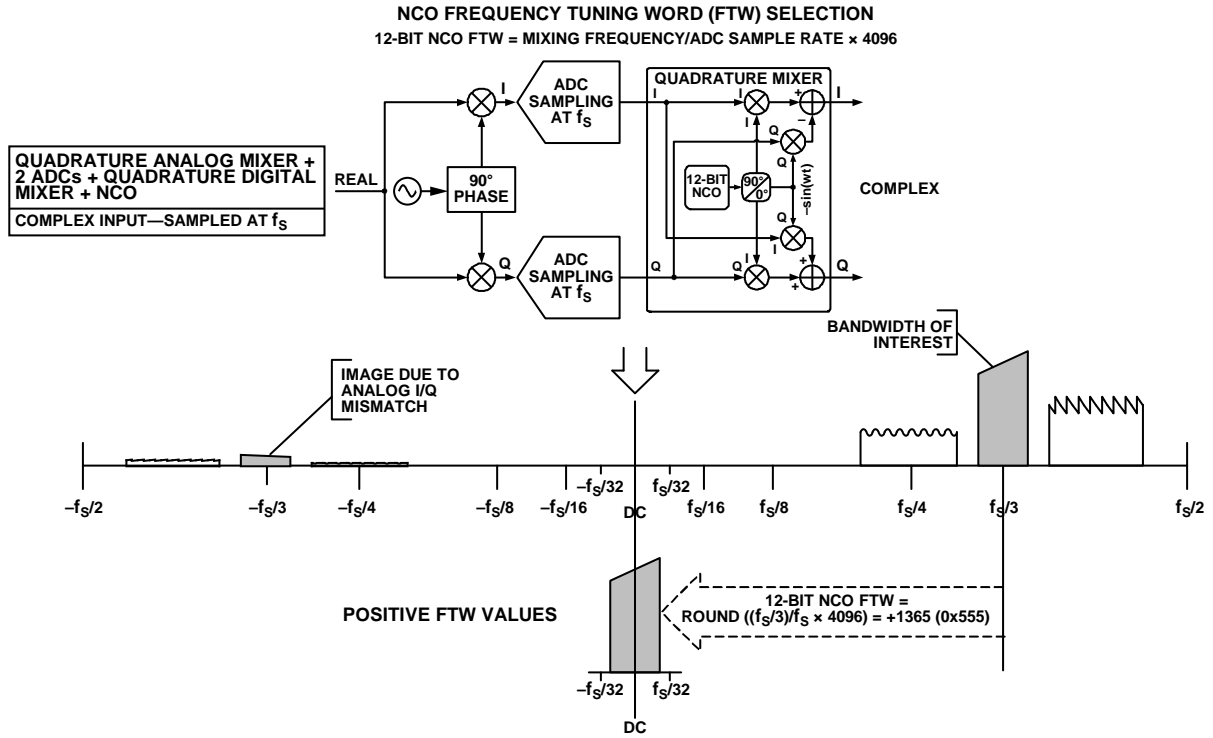


图53. DDC NCO频率调谐字选择—复数输入

11752-044

DDC NCO加混频器的损失和SFDR

将实数输入信号下混频至基带时，由于对负镜像的滤波，信号会有6 dB的损失。另外，NCO也会造成0.05 dB的损失。下混频至基带的实数输入信号的总损失为6.05 dB。因此，建议用户使能DDC增益级中的6 dB附加增益来补偿上述损失，从而将信号的动态范围中心重新定位在输出位的满量程中。

将复数输入信号下混频至基带时，每个I/Q样本经过复数混频器后能达到的最大值是1.414 x 满量程。对于复数信号，为了防止I/Q样本超出量程，以及使数据位宽与实数混频一致，混频器会造成3.06 dB的损失(0.707 x 满量程)。另外，NCO也会造成0.05 dB的损失。下混频至基带的复数输入信号的总损失为-3.11 dB。

对于所有输出频率，NCO输出的最差情况杂散信号的SFDR大于102 dBc。

数控振荡器

AD9680的每个DDC都有一个12位NCO，用以支持频率转换过程。NCO可将输入频谱调整为直流信号，由后面的滤波器对其进行有效滤波，防止信号混叠。NCO可通过频率调谐字(FTW)和相位偏移字(POW)来设置。

设置NCO FTW和POW

NCO频率值由输入NCO FTW的12位二进制补码数决定。下列频率字代表 $-f_s/2$ 和 $f_s/2$ (不包括 $f_s/2$)之间的频率值：

- 0x800代表 $-f_s/2$ 的频率。
- 0x000代表DC(频率为0 Hz)。
- 0x7FF代表 $+f_s/2 - f_s/2^{12}$ 的频率。

NCO频率调谐字可通过下式计算：

$$NCO_FTW = \text{round}\left(2^{12} \frac{\text{Mod}(f_c, f_s)}{f_s}\right)$$

其中：

NCO_FTW是代表NCO FTW的12位二进制补码数值。

f_s 是AD9680采样频率(时钟速率)，单位为Hz。

f_c 是所需的载波频率，单位为Hz。

Mod()是求余函数。例如，Mod(110,100) = 10；对于负数，Mod(-32, 10) = -2。

round()是四舍五入函数。例如，round(3.6) = 4；对于负数，round(-3.4) = -3。

注意，此公式适用于数字域中的信号混叠(即数字化模拟信号时引入的混叠)。

AD9680

例如，如果ADC采样频率(f_s)为1250 MSPS且载波频率(f_c)为416.667 MHz，则

$$NCO_FTW = \text{round}\left(2^{12} \frac{\text{Mod}(416.667, 1250)}{1250}\right) = 1365 \text{MHz}$$

然后将其转换为NCO_FTW的12位二进制补码表示0x555。实际载波频率可根据下式计算：

$$f_c - \text{actual} = \frac{NCO_FTW \times f_s}{2^{12}} = 416.56 \text{MHz}$$

每个NCO利用12位POW来建立多个AD9680芯片之间或一个AD9680内部各DDC通道之间的已知相位关系。

必须按照以下程序来更新FTW和/或POW寄存器，确保NCO正常工作：

- 写入所有DDC的FTW寄存器。
- 写入所有DDC的POW寄存器。
- 通过SPI访问DDC软复位位，或通过置位SYSREF±引脚来同步NCO。

注意，完成对FTW或POW寄存器的所有写操作之后，必须通过SPI或SYSREF±引脚同步NCO。这种同步是确保NCO正常工作所必需。

NCO同步

每个NCO都含有一个单独的相位累加器字(PAW)，用于确定NCO的瞬时相位。各PAW的初始复位值由“设置NCO FTW和POW”部分所述的POW决定。各PAW的相位递增值由FTW决定。

同步芯片内的多个PAW有两种方法：

- 使用SPI。可以利用DDC同步控制寄存器中的DDC NCO软复位位(寄存器0x300的位4)来复位芯片中的所有PAW。这可通过切换DDC NCO软复位位来实现。这种方法只能用来同步同一AD9680芯片内的DDC通道。
- 使用SYSREF±引脚。如果通过SYSREF±控制寄存器(寄存器0x120和寄存器0x121)使能SYSREF±引脚，并且通过DDC同步控制寄存器(寄存器0x300)的位[1:0]使能DDC同步，则随后的任何SYSREF±事件都会复位芯片中的全部PAW。这种方法既可同步同一AD9680芯片内的DDC通道，也可同步不同AD9680芯片内的DDC通道。

混频器

NCO伴随一个混频器，其操作类似于模拟正交混频器。它将NCO频率用作本振，对输入信号(实数或复数)进行下变频。对于实数输入信号，此混频器执行实数混频器操作(利用两个乘法器)。对于复数输入信号，此混频器执行复数混频器操作(利用四个乘法器和两个加法器)。混频器根据提供给各通道的输入信号(实数或复数)调整其操作。利用DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)的位7，可以控制各DDC模块的实数或复数输入选择。

FIR滤波器

概述

有四组2倍抽取、低通、半带、有限脉冲响应(FIR)滤波器：HB1 FIR、HB2 FIR、HB3 FIR和HB4 FIR，如图50所示。这些滤波器位于频率转换级之后。目标载波降至DC(载波频率 = 0 Hz)之后，这些滤波器高效率地降低采样速率，同时提供充分的混叠抑制，防止目标带宽周围的无用邻近载波影响信号。

HB1 FIR始终使能，无法旁路。HB2、HB3和HB4 FIR滤波器是可选的，可以旁路以提高输出采样速率。

表16显示了包括不同半带滤波器之后的不同带宽选项。所有情况下，AD9680的DDC滤波级提供的通带纹波小于-0.001 dB，阻带混叠抑制大于100 dB。

表17显示了多个通带纹波/截止点的阻带混叠抑制量。各DDC的滤波级抽取比可通过DDC控制寄存器(0x310、0x330、0x350和0x370)的位[1:0]分别加以控制。

表16. DDC滤波器特性

ADC采样速率(MSPS)	DDC抽取比	实数输出采样速率(MSPS)	复数(I/Q)输出采样速率(MSPS)	混叠保护带宽(MHz)	理想SNR改善 ¹ (dB)	通带纹波(dB)	混叠抑制(dB)
1000	2 (HB1)	1000	500 (I) + 500 (Q)	385.0	1	<-0.001	>100
	4 (HB1 + HB2)	500	250 (I) + 250 (Q)	192.5	4		
	8 (HB1 + HB2 + HB3)	250	125 (I) + 125 (Q)	96.3	7		
	16 (HB1 + HB2 + HB3 + HB4)	125	62.5 (I) + 62.5 (Q)	48.1	10		

¹ 过采样和滤波导致的理想SNR改善 = $10\log(\text{带宽}/(f_s/2))$ 。

表17. DDC滤波器混叠抑制

混叠抑制(dB)	通带纹波/截止点(dB)	实数(I)输出的混叠保护带宽 ¹	复数(I/Q)输出的混叠保护带宽 ¹
>100	<-0.001	<38.5% × f_{OUT}	<77% × f_{OUT}
90	<-0.001	<38.7% × f_{OUT}	<77.4% × f_{OUT}
85	<-0.001	<38.9% × f_{OUT}	<77.8% × f_{OUT}
63.3	<-0.006	<40% × f_{OUT}	<80% × f_{OUT}
25	-0.5	44.4% × f_{OUT}	88.8% × f_{OUT}
19.3	-1.0	45.6% × f_{OUT}	91.2% × f_{OUT}
10.7	-3.0	48% × f_{OUT}	96% × f_{OUT}

¹ f_{OUT} = ADC输入采样速率/DDC抽取比。

AD9680

半带滤波器

AD9680提供4个半带滤波器来支持对ADC转换的数据进行数字信号处理。可以旁路或独立选择这些半带滤波器。

HB4滤波器

第一个2倍抽取、半带、低通FIR滤波器(HB4)采用11抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB4滤波器仅在复数输出(16倍抽取)或实数输出(8倍抽取)使能时使用，其他情况下旁路该滤波器。表18和图54显示了HB4滤波器的系数和响应。

表19. HB3滤波器系数

HB3系数编号	十进制系数(18位)
C1, C11	99
C2, C10	0
C3, C9	-808
C4, C8	0
C5, C7	4805
C6	8192

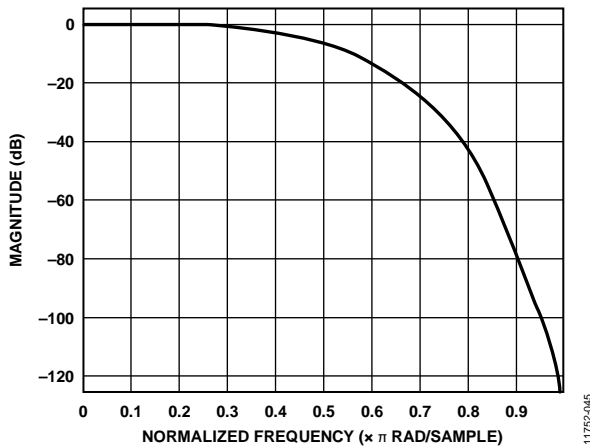


图54. HB4滤波器响应

HB3滤波器

第二个2倍抽取、半带、低通FIR滤波器(HB3)采用11抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB3滤波器仅在复数输出(8倍或16倍抽取)或实数输出(4倍或8倍抽取)使能时使用，其他情况下旁路该滤波器。表19和图55显示了HB3滤波器的系数和响应。

表19. HB3滤波器系数

HB3系数编号	十进制系数(18位)
C1, C11	859
C2, C10	0
C3, C9	-6661
C4, C8	0
C5, C7	38570
C6	65536

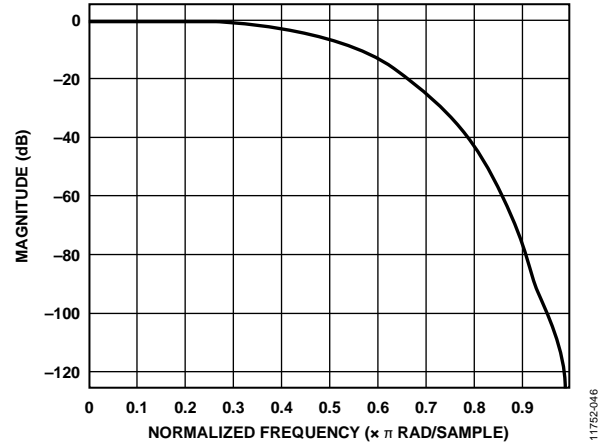


图55. HB3滤波器响应

HB2滤波器

第三个2倍抽取、半带、低通FIR滤波器(HB2)采用19抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB2滤波器仅在复数输出(4倍、8倍或16倍抽取)或实数输出(2倍、4倍或8倍抽取)使能时使用，其他情况下旁路该滤波器。

表20和图56显示了HB2滤波器的系数和响应。

表20. HB2滤波器系数

HB2系数编号	十进制系数(19位)
C1, C19	161
C2, C18	0
C3, C17	-1328
C4, C16	0
C5, C15	5814
C6, C14	0
C7, C13	-19272
C8, C12	0
C9, C11	80,160
C10	131,072

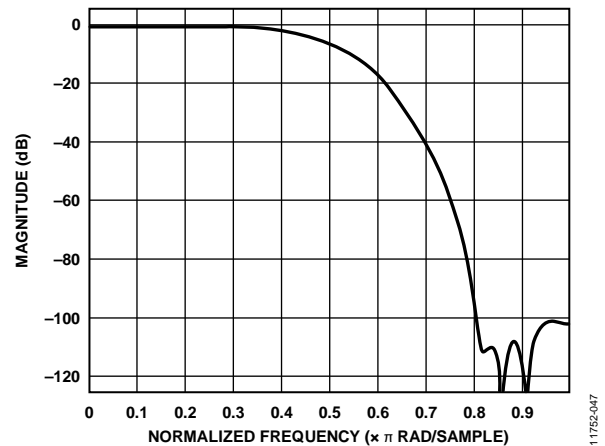


图56. HB2滤波器响应

表21. HB1滤波器系数

HB1系数编号	十进制系数(21位)
C1, C55	-24
C2, C54	0
C3, C53	102
C4, C52	0
C5, C51	-302
C6, C50	0
C7, C49	730
C8, C48	0
C9, C47	-1544
C10, C46	0
C11, C45	2964
C12, C44	0
C13, C43	-5284
C14, C42	0
C15, C41	8903
C16, C40	0
C17, C39	-14,383
C18, C38	0
C19, C37	22,640
C20, C36	0
C21, C35	-35,476
C22, C34	0
C23, C33	57,468
C24, C32	0
C25, C31	-105,442
C26, C30	0
C27, C29	331,792
C28	524,288

HB1滤波器

第四个(最后一个)2倍抽取、半带、低通FIR滤波器(HB1)采用55抽头、对称、固定系数滤波器方案,针对低功耗而优化。HB1滤波器始终使能,无法旁路。表21和图57显示了HB1滤波器的系数和响应。

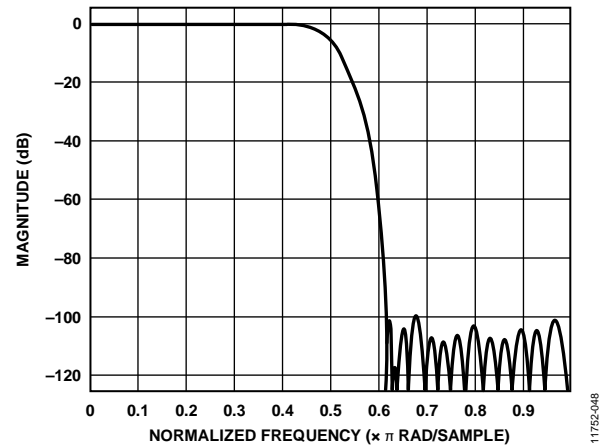


图57. HB1滤波器响应

DDC增益级

各DDC包含一个独立控制的增益级。可以选择0 dB或6 dB的增益。实数输入信号下混频至基带时，建议用户使能6 dB增益以将信号的动态范围中心重新定位在输出位的满量程内。

复数输入信号下混频至基带时，混频器已将信号的动态范围中心重新定位在输出位的满量程内，无需定位的增益。然而，可选的6 dB增益可用于补偿强度较低的信号。使用复数至实数转换级时，旁路HB1 FIR滤波器的2倍降采样部分(参见图58)。

DDC复数—实数转换

各DDC包含一个独立控制的复数至实数转换模块。复数至实数转换模块重利用滤波级的最后一个滤波器(HB1 FIR)，与一个 $f_s/4$ 复数混频器一起对信号进行上变频处理。

信号上变频之后，复数混频器的Q部分不再需要，因而被丢弃。

图58给出了复数转实数的示意框图。

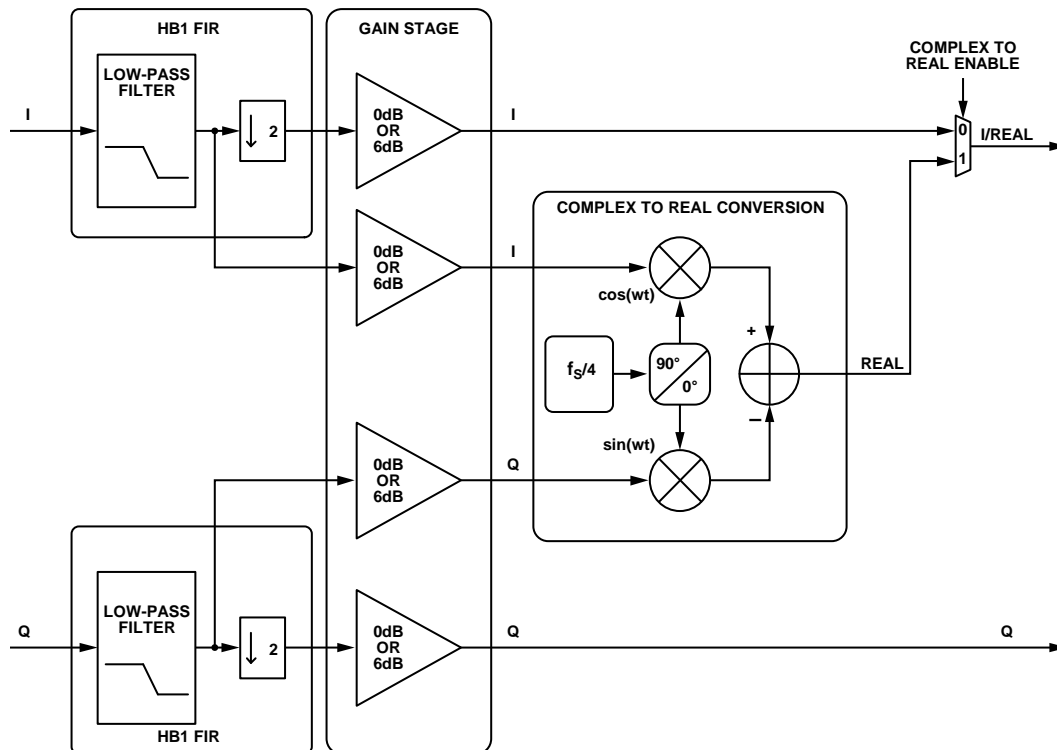


图58. 复数至实数转换模块

11752-048

DDC配置示例

表22列出了多个DDC配置示例的寄存器设置。

表22. DDC配置示例

芯片应用层	芯片抽取比	DDC输入类型	DDC输出类型	每个DDC的带宽 ¹	所需的虚拟转换器数(M)	寄存器设置 ²
1个DDC	2	复数	复数	$77\% \times f_s$	2	寄存器0x200 = 0x01(一个DDC; 选择I/Q) 寄存器0x201 = 0x01(芯片2倍抽取) 寄存器0x310 = 0x83(复数混频器; 0 dB增益; 可变IF; 复数输出; HB1滤波器) 寄存器0x311 = 0x04(DDC I输入 = ADC通道A; DDC Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置
2个DDC	4	复数	复数	$38.5\% \times f_s$	4	寄存器0x200 = 0x02(两个DDC; 选择I/Q) 寄存器0x201 = 0x02(芯片4倍抽取) 寄存器0x310、寄存器0x330 = 0x80(复数混频器; 0 dB增益; 可变IF; 复数输出; HB2+HB1滤波器) 寄存器0x311、寄存器0x331 = 0x04(DDC I输入 = ADC通道A; DDC Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置 寄存器0x334、寄存器0x335、寄存器0x340、寄存器0x341 = FTW和POW按照应用对DDC 1的要求而设置
2个DDC	4	复数	实数	$19.25\% \times f_s$	2	寄存器0x200 = 0x22(两个DDC; 选择忽略Q) 寄存器0x201 = 0x02(芯片4倍抽取) 寄存器0x310、寄存器0x330 = 0x89(复数混频器; 0 dB增益; 可变IF; 实数输出; HB3 + HB2 + HB1滤波器) 寄存器0x311、寄存器0x331 = 0x04(DDC I输入 = ADC通道A; DDC Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置 寄存器0x334、寄存器0x335、寄存器0x340、寄存器0x341 = FTW和POW按照应用对DDC 1的要求而设置

AD9680

芯片应用层	芯片抽取比	DDC输入类型	DDC输出类型	每个DDC的带宽 ¹	所需的虚拟转换器数(M)	寄存器设置 ²
2个DDC	4	实数	实数	$19.25\% \times f_s$	2	寄存器0x200 = 0x22(两个DDC; 选择忽略Q) 寄存器0x201 = 0x02(芯片4倍抽取) 寄存器0x310、寄存器0x330 = 0x49(实数混频器; 6 dB增益; 可变IF; 实数输出; HB3+HB2+HB1滤波器) 寄存器0x311 = 0x00(DDC0 I输入 = ADC通道A; DDC0 Q输入 = ADC通道A) 寄存器0x331 = 0x05(DDC1 I输入 = ADC通道B; DDC1 Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置 寄存器0x334、寄存器0x335、寄存器0x340、寄存器0x341 = FTW和POW按照应用对DDC1的要求而设置
2个DDC	4	实数	复数	$38.5\% \times f_s$	4	寄存器0x200 = 0x02(两个DDC; 选择I/Q) 寄存器0x201 = 0x02(芯片4倍抽取) 寄存器0x310、寄存器0x330 = 0x40(实数混频器; 6 dB增益; 可变IF; 复数输出; HB2 + HB1滤波器) 寄存器0x311 = 0x00(DDC0 I输入 = ADC通道A; DDC0 Q输入 = ADC通道A) 寄存器0x331 = 0x05(DDC1 I输入 = ADC通道B; DDC1 Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置 寄存器0x334、寄存器0x335、寄存器0x340、寄存器0x341 = FTW和POW按照应用对DDC 1的要求而设置
4个DDC	8	实数	复数	$19.25\% \times f_s$	8	寄存器0x200 = 0x03(四个DDC; 选择I/Q) 寄存器0x201 = 0x03(芯片8倍抽取) 寄存器0x310、寄存器0x330、寄存器0x350、寄存器0x370 = 0x41(实数混频器; 6 dB增益; 可变IF; 复数输出; HB3 + HB2 + HB1滤波器) 寄存器0x311 = 0x00(DDC0 I输入 = ADC通道A; DDC0 Q输入 = ADC通道A) 寄存器0x311 = 0x00(DDC1 I输入 = ADC通道A; DDC1 Q输入 = ADC通道A) 寄存器0x351 = 0x05(DDC2 I输入 = ADC通道B; DDC2 Q输入 = ADC通道B)

芯片应用层	芯片抽取比	DDC输入类型	DDC输出类型	每个DDC的带宽 ¹	所需的虚拟转换器数(M)	寄存器设置 ²
						寄存器0x371 = 0x05(DDC 3 I输入 = ADC通道B; DDC 3 Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置 寄存器0x334、寄存器0x335、寄存器0x340、寄存器0x341 = FTW和POW按照应用对DDC 1的要求而设置 寄存器0x354、寄存器0x355、寄存器0x360、寄存器0x361 = FTW和POW按照应用对DDC 2的要求而设置 寄存器0x374、寄存器0x375、寄存器0x380、寄存器0x381 = FTW和POW按照应用对DDC 3的要求而设置
4个DDC	16	实数	复数	$9.625\% \times f_s$	8	寄存器0x200 = 0x03(四个DDC; 选择I/Q) 寄存器0x201 = 0x04(芯片16倍抽取) 寄存器0x310、寄存器0x330、寄存器0x350、寄存器0x370 = 0x42(实数混频器; 6 dB增益; 可变IF; 复数输出; HB4 + HB3 + HB2 + HB1滤波器) 寄存器0x311 = 0x00(DDC 0 I输入 = ADC通道A; DDC 0 Q输入 = ADC通道A) 寄存器0x311 = 0x00(DDC 1 I输入 = ADC通道A; DDC 1 Q输入 = ADC通道A) 寄存器0x351 = 0x05(DDC 2 I输入 = ADC通道B; DDC 2 Q输入 = ADC通道B) 寄存器0x371 = 0x05(DDC 3 I输入 = ADC通道B; DDC 3 Q输入 = ADC通道B) 寄存器0x314、寄存器0x315、寄存器0x320、寄存器0x321 = FTW和POW按照应用对DDC 0的要求而设置 寄存器0x334、寄存器0x335、寄存器0x340、寄存器0x341 = FTW和POW按照应用对DDC 1的要求而设置 寄存器0x354、寄存器0x355、寄存器0x360、寄存器0x361 = FTW和POW按照应用对DDC 2的要求而设置 寄存器0x374、寄存器0x375、寄存器0x380、寄存器0x381 = FTW和POW按照应用对DDC 3的要求而设置

¹ f_s = ADC采样速率。所列带宽为<-0.001 dB的通带纹波和>100 dB的阻带混叠抑制。

² 完成对FTW或POW寄存器的所有写操作之后, 必须通过SPI或SYSREF±引脚同步NCO。这是确保NCO正常工作所必需的。更多信息参见“NCO同步”部分。

数字输出

JESD204B接口简介

AD9680数字输出根据JEDEC标准JESD204B(“数据转换器串行接口”)进行设计。JESD204B是AD9680通过串行接口(通道速率高达12.5 Gbps)连接数字处理设备的协议。JESD204B接口相对于LVDS的优势包括：数据接口布线所需电路板空间更少，以及转换器和逻辑器件的封装更小。

JESD204B概述

JESD204B数据发送模块可将来自ADC的并行数据组合成数据帧，并使用8B/10B编码以及可选数据加扰技术，输出串行数据。在链路初始建立过程中，使用特殊控制字符来支持通道同步；此后的同步靠数据流中嵌入的附加控制字符来维持。完成串行链路需要JESD204B接收机。有关JESD204B接口的详细信息，请参见JESD204B标准。

AD9680 JESD204B数据发送模块通过链路最多可映射2个实际ADC或8个虚拟转换器(DDC使能时)。可以配置链路以使用1个、2个或4个JESD204B通道。JESD204B规范引用多个参数来定义链路，JESD204B发射机(AD9680输出)和JESD204B接收机(逻辑器件输入)的这些参数必须匹配。

JESD204B链路可通过下列参数描述：

- L = 数据通路数/转换器(数据通路数/链路)(AD9680的值为1、2或4)
- M = 转换器数/转换器(虚拟转换器数/链路)(AD9680的值为1、2、4或8)
- F = 8位字数/帧(AD9680的值为1、2、4、8或16)
- N' = 每个样本的位数(JESD204B字大小)(AD9680的值为8或16)
- N = 转换器分辨率(AD9680的值为7至16)

- CS = 控制位数/样本(AD9680的值为0、1、2或3)
- K = 每个多帧的帧数(AD9680的值为4、8、12、16、20、24、28或32)
- S = 传送的样本数/单个转换器/帧周期(AD9680的值根据L、M、F和N'自动设置)
- HD = 高密度模式(AD9680根据L、M、F和N'自动设置)
- CF = 控制字数/帧时钟周期/转换器(AD9680的值为0)

图59显示AD9680 JESD204B链路的简化框图。AD9680默认配置为使用两个转换器和四个数据通路。转换器A的数据输出至SERDOUT0±和/或SERDOUT1±，转换器B的数据输出至SERDOUT2±和/或SERDOUT3±。AD9680支持其它配置，如将两个转换器的输出组合成单通道，或改变A和B数字输出路径的映射。这些模式可通过SPI寄存器映射中的快速配置寄存器进行设置，并且提供额外的自定义选项。

默认情况下，每个AD9680转换器的14位转换器字都被分为两个8位字(数据位为8位)。第一个8位字包括位13 (MSB)到位6。第二个8位字包括位5至位0以及2个结束位。结束位可以配置为0或伪随机数序列，还可以用指示超量程、SYSREF±或快速检测输出的控制位来取代结束位。

可对生成的两个8位字进行加扰。加扰为可选项，但建议利用它在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法，由方程 $1 + x^{14} + x^{15}$ 定义。接收机中的解扰器是加扰器多项式的自同步版本。

之后，这两个8位字通过8B/10B编码器进行编码。8B/10B编码器将8个数据位(1个8位字)编码为一个10位的符号。图60显示14位的数据是如何从ADC中取出、结束位如何添加、两个8位字如何加扰，以及8位字如何被编码为两个10位符号。图60显示了默认的数据格式。

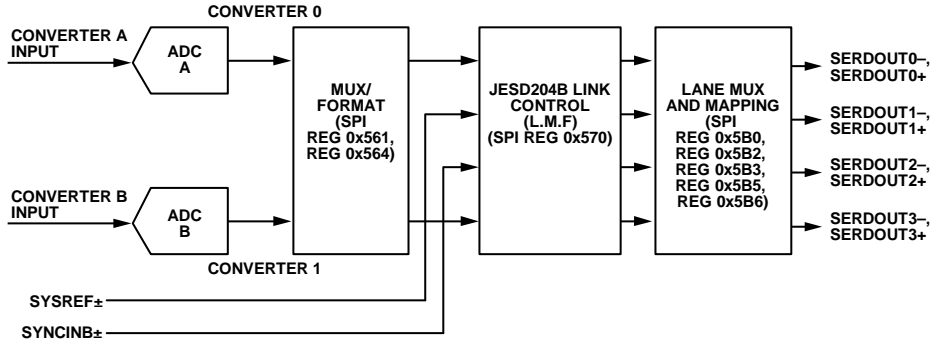


图59. 显示全带宽模式(寄存器0x200 = 0x00)的发送链路简化框图

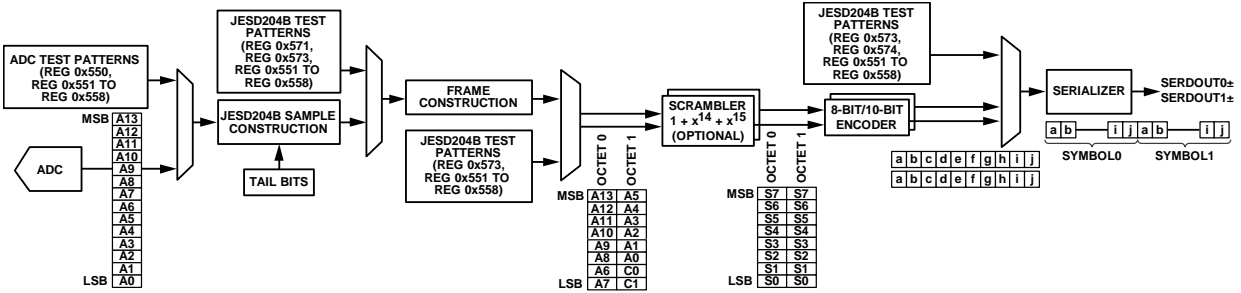


图60. 显示数据帧传输的ADC输出数据路径

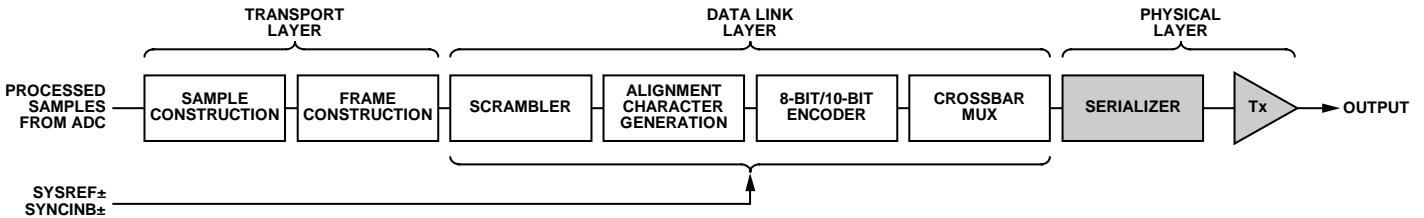


图61. 数据流

功能概述

图61中的框图显示了从样本输入到物理输出的JESD204B硬件数据流。依据广泛用于描述通信系统抽象层的OSI(开放源码促进会)模型, 该处理可以分为多层: 传输层、数据链路层和物理层(串行器和输出驱动器)。

传输层

传输层负责将数据(包括样本和可选的控制位)包装为JESD204B帧以便映射为8位字。这些8位字被发送到数据链路层。传输层匹配由链路参数所产生的规则控制。根据需要添加结束位以填补空隙。可以利用下式来确定样本(JESD204B字)中的结束位数:

$$T = N' - N - CS$$

数据链路层

数据链路层负责通过链路传送数据的低层功能, 包括加扰数据(可选)、插入控制字符以支持多芯片同步/通道对齐/监控, 以及将8位字编码为10位符号。数据链路层还负责发送初始通道对齐序列(ILAS), 其中包含链路配置数据, 接收机利用这些数据验证传输层的设置。

物理层

物理层由时钟频率为串行时钟速率的高速电路组成。在该层中, 并行数据转换为1、2或4通道的高速差分串行数据。

JESD204B链路建立

AD9680 JESD204B发射机(Tx)接口按照JEDEC标准204B(2011年7月规范)的规定, 以子类1工作。链路建立过程分为以下几步: 代码组同步和SYNCINB±、初始通道对齐序列(ILAS)以及用户数据和错误校正。

代码组同步(CGS)和SYNCINB±

CGS是JESD204B接收机找到数据流中10位符号间界限的过程。在CGS阶段，JESD204B传送模块传送/K28.5/字符。接收机必须使用时钟和数据恢复(CDR)技术，在输入数据流中定位/K28.5/字符。

接收机将AD9680的SYNCINB±引脚置位低电平，发出一个同步请求。然后，JESD204B Tx开始发送/K/字符。一旦接收机已同步，它便等待接收机至少正确接收4个连续的/K/字符，然后解除置位SYNCINB±。AD9680接着在下一本地多帧时钟(LMFC)边界发送一个ILAS。

有关代码组同步阶段的更多信息，参见JEDEC标准JESD204B(2011年7月)第5.3.3.1节。

SYNCINB±引脚操作也可以由SPI控制。默认情况下，SYNCINB±信号是一个差分LVDS模式信号，但也可以单端驱动。有关配置SYNCINB±引脚操作的更多信息，参见寄存器0x572。

初始通道对齐序列(ILAS)

CGS阶段之后是ILAS阶段，它在下一LMFC边界开始。ILAS由4个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS从发送/R/字符开始，然后发送一个多帧的0至255斜坡数据。在第二个多帧发送链路配置数据，从第三个字符开始。第二个字符是/Q/字符，用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS序列从不加扰。

ILAS序列结构如图62所示。4个多帧包括：

- 多帧1，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。
- 多帧2，以/R/字符开始，接着是/Q/ (/K28.4/)字符，然后是14个配置8位字的链路配置参数(见表23)，最后以/A/字符结束。许多参数值用-1表示。
- 多帧3，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。
- 多帧4，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。

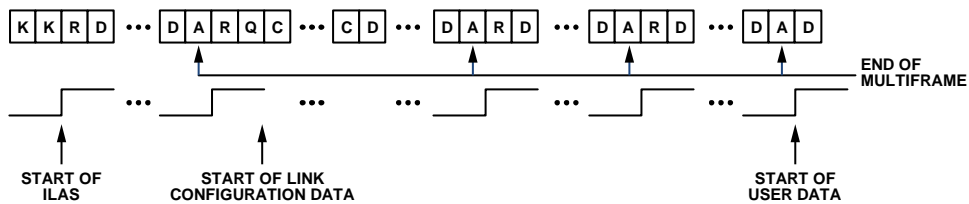


图62. 初始通道对齐序列

用户数据和错误检测

完成初始通道对齐序列之后便发送用户数据。一般而言，在一帧以内，所有数据都被视为用户数据。然而，为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据，这些条件是不同的。默认使能加扰操作，但可以通过SPI禁用。

对于加扰的数据，帧末尾的任何0xFC字符都用/F/替换，多帧末尾的任何0xFD字符都用/A/替换。JESD204B接收机(Rx)检查接收数据流中是否有/F/和/A/字符，验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符，接收机将利用动态对齐处理这种情况，或置位SYNCINB±信号四帧以上以启动重新同步。对于未加扰的数据，如果两个连续帧的最后字符相同，则第二个字符将被替换为/F/(若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

对齐字符的插入可通过SPI修改。帧对齐字符插入(FACI)默认使能。有关链路控制的更多信息，参见“存储器映射”部分的寄存器0x571。

8B/10B编码器

8B/10B编码器将8位字转换为10位符号，并在需要时将控制字符插入流中。JESD204B使用的控制字符如表23所示。8B/10B编码通过在多个符号上使用相同数量的1和0来确保信号达到直流平衡。

8B/10B接口的选项可通过SPI控制，包括旁路和反转。这些选项用作数字前端(DFE)验证的故障排除工具。有关配置8B/10B编码器的信息，参见“存储器映射”部分的寄存器0x572[2:1]。

表23. JESD204B使用的AD9680控制字符

缩写	控制符号	8位值	10位值, RD ¹ = -1	10位值, RD ¹ = +1	说明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	链路配置数据开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

¹ RD = 运行差异。

AD9680

物理层(驱动器)输出 数字输出、时序和控制

AD9680物理层由JEDEC标准204B(2011年7月)所规定的驱动器组成。差分数字输出默认上电。每个驱动器利用100 Ω的动态内部端接电阻来降低反射干扰。

在每个接收机的输入端放置一个100 Ω差分端接电阻,可实现标称300 mV p-p的接收机摆幅(见图63)。也可使用单端50 Ω端接电阻。使用单端端接电阻时,端接电压为 $DRVDD/2$;此外,还可使用0.1 μF交流耦合电容以便端接至任意单端电压。

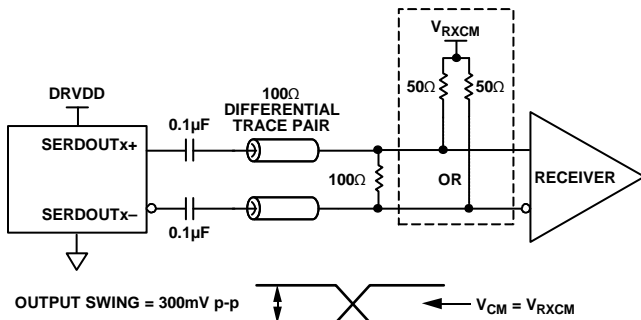


图63. 交流耦合数字输出端接示例

AD9680数字输出可与定制的ASIC和FPGA接收机接口,从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构,并将单个100 Ω差分端接电阻尽可能靠近接收机输入端放置。数字输出的共模电压自动偏置到1.2 V $DRVDD$ 电源的一半($V_{CM} = 0.6 V$)。图64显示输出直流耦合到接收机逻辑。

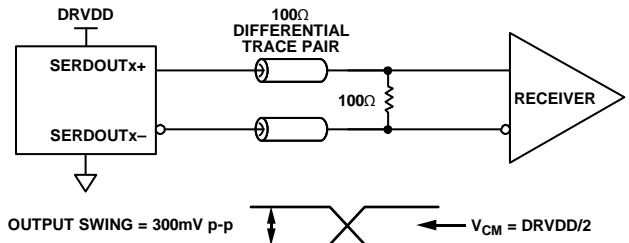


图64. 直流耦合数字输出端接示例

如果没有远端接收机端接电阻,或者差分走线布线不佳,可能会导致时序错误。为避免产生时序错误,建议走线长度不要超过6英寸,差分输出走线应尽可能彼此靠近且长度相等。

图65和图66分别显示一个AD9680通道工作在10 Gbps和6 Gbps时的数字输出数据眼图、时间间隔误差(TIE)抖动直方图,以及浴盆曲线的示例。输出数据格式默认为二进制补码。若要更改输出数据格式,请参阅“存储器映射”部分(表29中的寄存器0x561)。

去加重

当互连插入损耗不符合JESD204B规范时,利用去加重可以符合接收机眼图眼罩。只能在接收机因为插入损耗过大而无法恢复时钟时使用去加重特性。一般情况下,该特性禁用以节省功耗。此外,对一个短链路使能并设置过高的去加重值,可能导致接收机眼图失效。去加重设置应慎重使用,因为它会增加电磁干扰(EMI)。更多信息参见“存储器映射”部分(表29中的寄存器0x5C1至寄存器0x5C5)。

锁相环

锁相环(PLL)用于产生串行器时钟,它以JESD204B通道速率工作。PLL锁定的状态可通过PLL锁定状态位(寄存器0x56F的位7)来检查。此只读位告知用户特定设置是否实现了PLL锁定。JESD204B通道速率控制(寄存器0x56E的位4)的设置必须与通道速率对应。

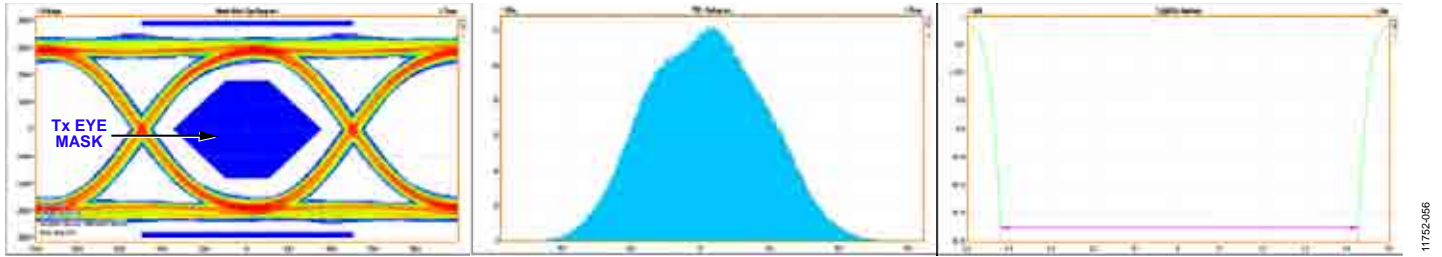


图65. AD9680数字输出数据眼图、直方图和浴盆曲线(10 Gbps时外部端接电阻为100 Ω)

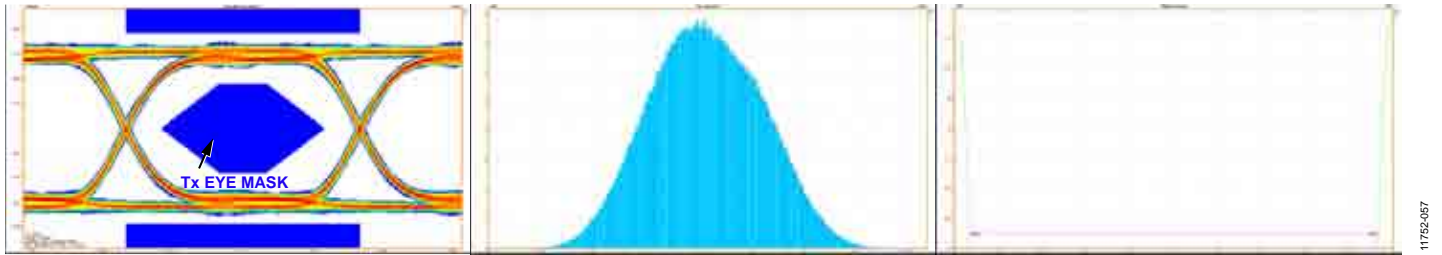


图66. 数字输出数据眼图、直方图和浴盆曲线(6 Gbps时外部端接电阻为100 Ω)

ESD204B Tx转换器映射

为了支持不同的芯片工作模式，AD9680设计将每个样本流(实数或I/Q)视为来自不同的虚拟转换器。I/Q样本始终成对映射，I样本映射到第一个虚拟转换器，Q样本映射到第二个虚拟转换器。采用这种传输层映射，以下各种情况下的虚拟转换器数量相同：

- 使用单个实数转换器和一个数字下变频器模块来产生I/Q输出；
- 或使用一个模拟下变频器和两个实数转换器来产生I/Q输出。

图67显示了上述两种情况下I/Q传输层映射的框图。

AD9680的JESD204B Tx模块最多支持4个DDC模块。每个DDC模块要么输出复数数据分量(实部+虚部)的两个样本流(I/Q)，要么输出实数(I)数据的一个样本流。根据DDC配置，JESD204B接口最多可以使用8个虚拟转换器。图68显示了虚拟转换器及使用复数输出时其与DDC输出的关系。表24给出了通道映射禁用时各种芯片工作模式的虚拟转换器映射。

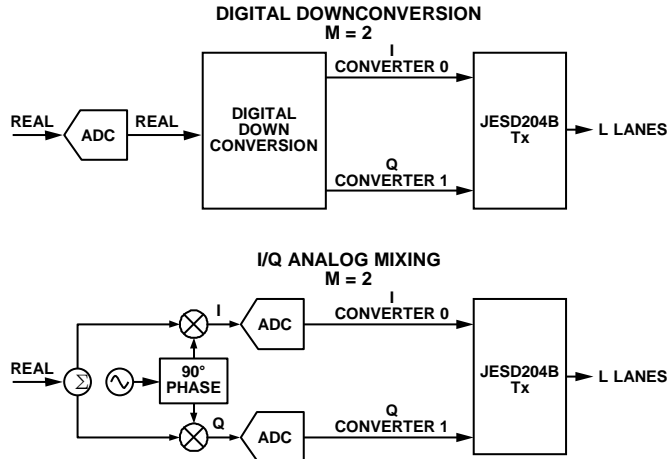


图67. I/Q传输层映射

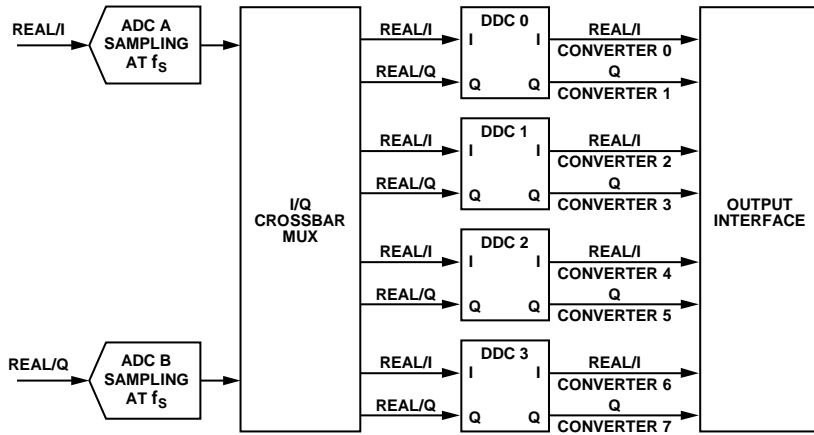


图68. DDC与虚拟转换器映射

表24. 虚拟转换器映射

支持的虚拟转换器数	芯片工作模式(0x200 [1:0])	芯片Q忽略(0x200, Bit 5)	虚拟转换器映射							
			0	1	2	3	4	5	6	7
1至2	全带宽模式(0x0)	实数或复数(0x0)	ADC A 样本	ADC B 样本	未用	未用	未用	未用	未用	未用
1	1个DDC模式(0x1)	实数 (仅I)(0x1)	DDC 0 I 样本	未用	未用	未用	未用	未用	未用	未用
2	1个DDC模式(0x1)	复数(I/Q)(0x0)	DDC 0 I 样本	DDC 0 Q 样本	未用	未用	未用	未用	未用	未用
2	2个DDC模式(0x2)	实数 (仅I)(0x1)	DDC 0 I 样本	DDC 1 I 样本	未用	未用	未用	未用	未用	未用
4	2个DDC模式(0x2)	复数(I/Q)(0x0)	DDC 0 I 样本	DDC 0 Q 样本	DDC 1 I 样本	DDC 1 Q 样本	未用	未用	未用	未用
4	4个DDC模式(0x3)	实数 (仅I)(0x1)	DDC 0 I 样本	DDC 1 I 样本	DDC 2 I 样本	DDC 3 I 样本	未用	未用	未用	未用
8	4个DDC模式(0x3)	复数(I/Q)(0x0)	DDC 0 I 样本	DDC 0 Q 样本	DDC 1 I 样本	DDC 1 Q 样本	DDC 2 I 样本	DDC 2 Q 样本	DDC 3 I 样本	DDC 3 Q 样本

配置JESD204B链路

AD9680有一个JESD204B链路。通过JESD04B快速配置寄存器(寄存器0x570)很容易设置JESD204B链路。串行输出(SERDOUT0±至SERDOUT3±)是一个JESD204B链路的一部分。决定链路设置的基本参数包括:

- 每链路的数据通路数(L)
- 每链路的转换器数(M)
- 每帧的8位字数(F)

如果内部DDC用于片内数字处理,则M代表虚拟转换器的数量。虚拟转换器映射设置如图68所示。

JESD204B规范支持的最大通道速率为12.5 Gbps。通路线速率与JESD204B参数有如下关系:

$$\text{LaneLineRate} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

其中:

$$f_{OUT} = \frac{f_{ADC_CLOCK}}{\text{DecimationRatio}}$$

抽取比(DCM)是写入寄存器0x201的参数。

可以使用下面的步骤来配置输出:

1. 关断链路。
2. 选择快速配置选项。
3. 配置详细选项。
4. 设置输出通道映射(可选)。
5. 设置其他驱动器配置选项(可选)。
6. 链路上电。

如果计算的通道线速率低于6.25 Gbps,应选择低线速率选项,也就是将值0x10写入寄存器0x56E。

表25和表26显示了给定虚拟转换器数量时N' = 16和N' = 8支持的JESD204B输出配置。必须确保给定配置的串行线速率在支持的范围3.125 Gbps至12.5 Gbps以内。

表25. N'=16对应的JESD204B输出配置

支持的虚拟转换器数(同M值)	JESD204B快速配置(0x570)	JESD204B串行线速率 ¹	JESD204B传输层设置 ²								K ³
			L	M	F	S	HD	N	N'	CS	
1	0x01	20 × f _{OUT}	1	1	2	1	0	8至16	16	0至3	仅支持能被4整除的有效K值
	0x40	10 × f _{OUT}	2	1	1	1	1	8至16	16	0至3	
	0x41	10 × f _{OUT}	2	1	2	2	0	8至16	16	0至3	
	0x80	5 × f _{OUT}	4	1	1	2	1	8至16	16	0至3	
	0x81	5 × f _{OUT}	4	1	2	4	0	8至16	16	0至3	
2	0x0A	40 × f _{OUT}	1	2	4	1	0	8至16	16	0至3	
	0x49	20 × f _{OUT}	2	2	2	1	0	8至16	16	0至3	
	0x88	10 × f _{OUT}	4	2	1	1	1	8至16	16	0至3	
	0x89	10 × f _{OUT}	4	2	2	2	0	8至16	16	0至3	
4	0x13	80 × f _{OUT}	1	4	8	1	0	8至16	16	0至3	
	0x52	40 × f _{OUT}	2	4	4	1	0	8至16	16	0至3	
	0x91	20 × f _{OUT}	4	4	2	1	0	8至16	16	0至3	
8	0x1C	160 × f _{OUT}	1	8	16	1	0	8至16	16	0至3	
	0x5B	80 × f _{OUT}	2	8	8	1	0	8至16	16	0至3	
	0x9A	40 × f _{OUT}	4	8	4	1	0	8至16	16	0至3	

¹ f_{OUT} = 输出采样速率 = ADC采样速率/芯片抽取比。JESD204B串行线速率必须≥3125 Mbps且小于≤12,500 Mbps;当串行线速率≤12.5 Gbps且≥6.25 Gbps时,必须禁用低线速率模式(将0x56E的位4设为0x0)。当串行线速率<6.25 Gbps且≥3.125 Gbps,必须使能低线速率模式(将0x56E的位4设为0x1)。

² JESD204B传输层说明参见“JESD204B概述”部分。

³ 对于F = 1, K = 20、24、28和32。对于F = 2, K = 12、16、20、24、28和32。对于F = 4, K = 8、12、16、20、24、28和32。对于F = 8和F = 16, K = 4、8、12、16、20、24、28和32。

表26. N'=8对应的JESD204B输出配置

支持的虚拟转换器数 (同M值)	JESD204B 快速配置(0x570)	串行线速率 ¹	JESD204B传输层设置 ²								K ³
			L	M	F	S	HD	N	N'	CS	
1	0x00	10 × f _{OUT}	1	1	1	1	0	7至8	8	0至1	仅支持能被4 整除的有效 K值
	0x01	10 × f _{OUT}	1	1	2	2	0	7至8	8	0至1	
	0x40	5 × f _{OUT}	2	1	1	2	0	7至8	8	0至1	
	0x41	5 × f _{OUT}	2	1	2	4	0	7至8	8	0至1	
	0x42	5 × f _{OUT}	2	1	4	8	0	7至8	8	0至1	
	0x80	2.5 × f _{OUT}	4	1	1	4	0	7至8	8	0至1	
	0x81	2.5 × f _{OUT}	4	1	2	8	0	7至8	8	0至1	
2	0x09	20 × f _{OUT}	1	2	2	1	0	7至8	8	0至1	
	0x48	10 × f _{OUT}	2	2	1	1	0	7至8	8	0至1	
	0x49	10 × f _{OUT}	2	2	2	2	0	7至8	8	0至1	
	0x88	5 × f _{OUT}	4	2	1	2	0	7至8	8	0至1	
	0x89	5 × f _{OUT}	4	2	2	4	0	7至8	8	0至1	
	0x8A	5 × f _{OUT}	4	2	4	8	0	7至8	8	0至1	

¹ f_{OUT} = 输出采样速率 = ADC采样速率/芯片抽取比。JESD204B串行线速率必须≥3125 Mbps且小于≤12,500 Mbps；当串行线速率≤12.5 Gbps且≥6.25 Gbps时，必须禁用低线速率模式(将寄存器0x56E的位4设为0x0)。当串行线速率<6.25 Gbps且≥3.125 Gbps，必须使能低线速率模式(将寄存器0x56E的位4设为0x1)。

² JESD204B传输层说明参见“JESD204B概述”部分。

³ 对于F=1, K=20、24、28和32。对于F=2, K=12、16、20、24、28和32。对于F=4, K=8、12、16、20、24、28和32。对于F=8和F=16, K=4、8、12、16、20、24、28和32。

关于哪些JESD204B传输层设置对给定的芯片模式有效，请参见以下两个例子：“示例1：全带宽模式”和“示例2：带DDC选项的ADC(2个ADC加4个DDC)”。

示例1：全带宽模式

芯片应用模式 = 全带宽模式(参见图69)。

- 2个14位转换器以1000 MSPS速率工作
- 全带宽应用层模式
- 无抽取

JESD204B输出配置：

- 需要2个虚拟转换器(参见表25)
- 输出采样速率(f_{OUT}) = 1000/1 = 1000 MSPS

JESD204B支持的输出配置(参见表25)包括：

- N' = 16位
- N = 14位
- L = 4、M = 2、F = 1，或L = 4、M = 2、F = 2(快速配置 = 0x80或0x81)
- CS = 0至2
- K = 32
- 输出串行线速率 = 每通道10 Gbps，禁用低线速率模式

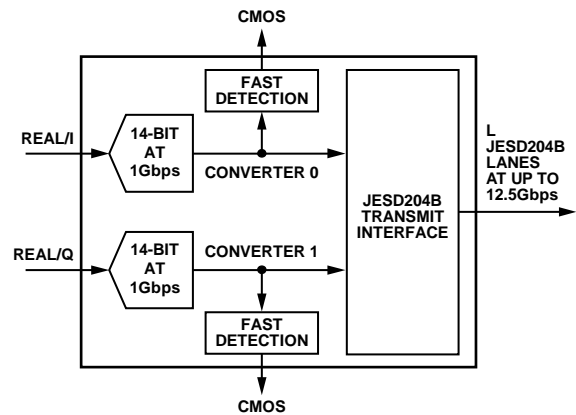


图69. 全带宽模式

示例2：带DDC选项的ADC(2个ADC加4个DDC)
芯片应用模式 = 4 DDC模式。(参见图70)。

- 2个14位转换器以1 MSPS速率工作
- 4个DDC应用层模式，复数输出(I/Q)
- 芯片抽取比 = 16
- DDC抽取比 = 16(参见表14)。

JESD204B输出配置：

- 需要8个虚拟转换器(参见表25)
- 输出采样速率(f_{OUT}) = 1000/16 = 62.5 MSPS

JESD204B支持的输出配置(参见表25):

- $N' = 16$ 位
- $N = 14$ 位
- $L = 1$ 、 $M = 8$ 、 $F = 16$ ，或 $L = 2$ 、 $M = 8$ 、 $F = 8$ (快速配置 = 0x1C或0x5B)
- $CS = 0$ 至1
- $K = 32$

- 输出串行线速率 = 每通道10 Gbps ($L = 1$)或每通道5 Gbps ($L = 2$)

对于 $L = 1$ ，禁用低线速率模式。对于 $L = 2$ ，使能低线速率模式。

示例2显示了AD9680数字和通道配置的灵活性。采样速率为1 GSPS，但根据接收器件的I/O速度能力，输出都合并到一个或两个通道中。

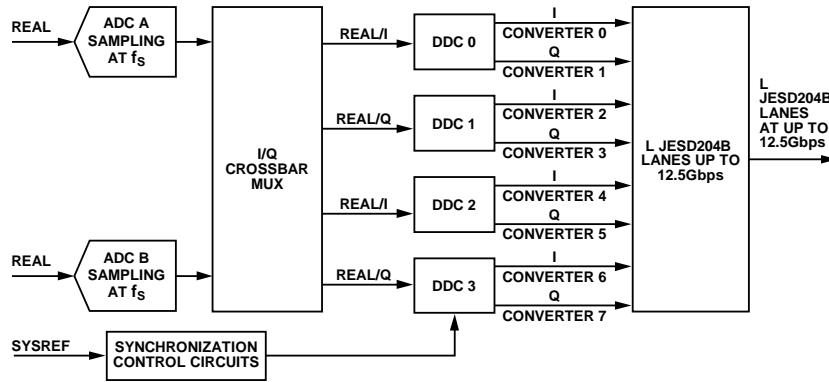


图70. 2个ADC加4个DDC模式

串行端口接口

AD9680 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。关于详细工作信息，参见[串行控制接口标准\(1.0版\)](#)。

使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK引脚、SDIO引脚和CSB引脚(见表27)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表27. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制引脚，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图4为串行时序图示例，相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流化。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将SDIO引脚的数据传输方向从输入改为输出。

表28. 可通过SPI访问的特性

特性名称	说明
模式	允许用户设置掉电模式或待机模式。
时钟	允许用户通过SPI访问时钟分频器。
DDC	允许用户设置不同应用的抽取滤波器。
测试输入/输出	允许用户设置测试模式，以便在输出位上获得已知数据。
输出模式	允许用户设置输出。
SERDES输出设置	允许用户改变SERDES设置，如摆幅和加重等。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO引脚在串行帧的适当位置由输入变为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。有关该特性及其他特性的更多信息，参见[串行控制接口标准\(1.0版\)](#)。

硬件接口

表27中所描述的引脚包括用户编程器件与AD9680的串行端口之间的物理接口。使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9680之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

SPI访问特性

表28简要说明了可通过SPI访问的一般特性。关于这些特性的详细信息，参见[串行控制接口标准\(1.0版\)](#)。AD9680特定器件特性详见“存储器映射”部分。

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射分为四个部分：ADI公司SPI寄存器(寄存器0x000至寄存器0x00D)、ADC功能寄存器(寄存器0x015至寄存器0x24C)、DDC功能寄存器(寄存器0x300至寄存器0x387)以及数字输出和测试模式寄存器(寄存器0x550至寄存器0x5C5)。

表29(参见“存储器映射”部分)记录了所示每个十六进制地址的默认十六进制值。位7 (MSB) 栏为给定十六进制默认值的起始位。例如，地址0x561(输出模式寄存器)的十六进制默认值为0x01。这表明，位0 = 1，其余位均为0。此设置是默认输出格式值(二进制补码)。有关该功能及其他功能的更多信息，参见表29。

禁用位置和保留位置

此器件目前不支持表29中未包括的所有地址和位。有效地址位置的不使用位应写入0，除非默认值是其其他设置。仅当一个地址位置有一部分未分配时，才需要写入这些位置(例如地址0x561)。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD9680复位后，关键寄存器将载入默认值。表29(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“将某位设置为逻辑1”或“向某位写入逻辑1”。
- “清除位”指“将某位设置为逻辑0”或“向某位写入逻辑0”。
- X表示无关位。

特定通道寄存器

对于某些通道设置功能，例如输入端接(寄存器0x016)，各通道可以使用不同的值。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表29中被称为局部寄存器。通过设置寄存器0x008的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许设置一个通道(通道A或通道B)来读取两个寄存器中的一个。如果在一个SPI读周期内置位所有位，则器件返回通道A的值。表29给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器0x005中的设置不影响全局寄存器及相应位的值。

SPI软复位

向寄存器0x000写入0x81以执行软复位时，AD9680需要5 ms时间来恢复。对AD9680进行应用设置编程时，确保在置位软复位之后到启动器件设置之前，固件中写入了足够的延迟时间。

AD9680

存储器映射寄存器表

此器件目前不支持表29中未包括的所有地址位置，不应写入这些位置。

表29. 存储器映射寄存器

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
ADI公司SPI寄存器											
0x000	INTERFACE_CONFIG_A	软复位 (自清零)	LSB优先 0 = MSB 1 = LSB	地址上升	0	0	地址上升	LSB优先 0 = MSB 1 = LSB	软复位 (自清零)	0x00	
0x001	INTERFACE_CONFIG_B	单指令	0	0	0	0	0	数据路径软复位 (自清零)	0	0x00	
0x002	DEVICE_CONFIG (局部)	0	0	0	0	0	0	00 = 正常工作 10 = 待机 11 = 掉电		0x00	
0x003	CHIP_TYPE						011 = 高速ADC			0x03	只读
0x004	CHIP_ID (低字节)	1	1	0	0	0	1	0	1	0xC5	只读
0x005	CHIP_ID (高字节)	0	0	0	0	0	0	0	0	0x00	只读
0x006	CHIP_GRADE	1	0	1	0	X	X	X	X	0xAx	只读
0x008	Device index	0	0	0	0	0	0	通道B	通道A	0x03	
0x00A	Scratch pad	0	0	0	0	0	0	0	0	0x00	
0x00B	SPI revision	0	0	0	0	0	0	0	1	0x01	
0x00C	Vendor ID (低字节)	0	1	0	1	0	1	1	0	0x56	只读
0x00D	Vendor ID (高字节)	0	0	0	0	0	1	0	0	0x04	只读
ADC功能寄存器											
0x015	Analog Input (局部)	0	0	0	0	0	0	0	输入禁用 0 = 正常工作 1 = 输入禁用	0x00	
0x016	Input termination (局部)	模拟输入差分端接 0000 = 400 Ω 0001 = 200 Ω 0010 = 100 Ω 0110 = 50 Ω				1	1	0	0	0x0C	
0x018	Input buffer current control (局部)	0000 = 1.0x缓冲电流(默认) 0001 = 1.5x缓冲电流 0010 = 2.0x缓冲电流 0011 = 2.5x缓冲电流 0100 = 3.0x缓冲电流 0101 = 3.5x缓冲电流 1111 = 8.5x缓冲电流				0	0	0	0	0x04	
0x024	V_1P0 control	0	0	0	0	0	0	0	1.0 V基准电压源选择 0 = 内部 1 = 外部	0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x025	Input full-scale range (局部)	0	0	0	0	满量程调整 0000 = 1.94 V 1000 = 1.46 V 1001 = 1.58 V 1010 = 1.70 V(默认) 1011 = 1.82 V				0x0A	V _{p-p} 差分; 与0x030一起使用
0x028	Temperature diode	0	0	0	0	0	0	0	二极管选择 0 = 未选择二极管 1 = 选择温度二极管	0x00	与0x040一起使用
0x030	Input full-scale control (局部)	0	0	0	满量程控制 10 = 1.82至1.94 V 11 = 1.46至1.70 V		0	0	0	0x18	与0x025一起使用
0x03F	PDWN/STBY pin control (局部)	0 = PDWN/STBY使能 1 = 禁用	0	0	0	0	0	0	0	0x00	与0x040一起使用
0x040	Chip pin control	PDWN/STBY功能 00 = 掉电 01 = 待机 10 = 禁用		快速检测B (FD_B) 000 = 快速检测B输出 001 = JESD204B LMFC输出 010 = JESD204B内部SYNC~输出 111 = 禁用			快速检测A (FD_A) 000 = 快速检测A输出 001 = JESD204B LMFC输出 010 = JESD204B内部SYNC~输出 011 = 温度二极管 111 = 禁用			0x3F	
0x10B	Clock divider	0	0	0	0	0	000 = -1分频 001 = 2分频 011 = 4分频 111 = 8分频			0x00	
0x10C	Clock divider phase (局部)	0	0	0	0	独立控制通道A和通道B时钟分频器相位偏移 0000 = 0输入时钟周期延迟 0001 = 1/2输入时钟周期延迟 0010 = 1输入时钟周期延迟 0011 = 1 1/2输入时钟周期延迟 0100 = 2输入时钟周期延迟 0101 = 2 1/2输入时钟周期延迟 ... 1111 = 7 1/2输入时钟周期延迟				0x00	
0x11C	Clock status	0	0	0	0	0	0	0	0 = 未检测到输入时钟 1 = 检测到输入时钟	只读	

AD9680

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释	
0x120	SYSREF± Control 1	0	SYSREF±标志复位 0=正常工作 1=标志保持复位状态	0	SYSREF±跃迁选择 0=低至高 1=高至低	CLK±边沿选择 0=上升 1=下降	SYSREF±模式选择 00=禁用 01=连续 10=N次		0	0x00		
0x121	SYSREF± Control 2	0	0	0	0	SYSREF N-次忽略计数器选择 0000=仅下一SYSREF± 0001=忽略第一次SYSREF±跃迁 0010=忽略前两次SYSREF±跃迁 ... 1111=忽略前16次SYSREF±跃迁			0x00	模式选择(寄存器0x120的位[2:1])必须是N次		
0x129	SYSREF± and clock divider status	0	0	0	0	捕捉到SYSREF±时的时钟分频器相位 0000=同相 0001=SYSREF±相对于时钟延迟½周期 0010=SYSREF±相对于时钟延迟1周期 0011=1½输入时钟周期延迟 0100=2输入时钟周期延迟 0101=2½输入时钟周期延迟 ... 1111=7½输入时钟周期延迟			只读			
0x12A	SYSREF± counter	SYSREF计数器, 捕捉到SYSREF±时位[7:0]递增								只读		
0x200	Chip application mode	0	0	芯片Q忽略 0=正常(I/Q) 1=忽略(仅I)	0	0	0	芯片工作模式 00=全带宽模式 01=DDC 0开启 10=DDC 0和DDC 1开启 11=DDC 0、DDC 1、DDC 2和DDC 3开启		0x00		
0x201	Chip decimation ratio	0	0	0	0	0	芯片抽取比选择 000=全采样速率(抽取比=1) 001=2倍抽取 010=4倍抽取 011=8倍抽取 100=16倍抽取			0x00		
0x228	Customer offset	失调调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00		
0x245	Fast detect (FD) control (局部)	0	0	0	0	强制FD_A / FD_B引脚; 0=正常工作; 1=强制为某值	强制FD_A / FD_B引脚数值; 若强制引脚为真值, 则FD引脚输出该数值	0	使能快速检测输出	0x00		
0x247	FD upper threshold LSB (局部)	快速检测阈值上限, 位[7:0]								0x00		
0x248	FD upper threshold MSB (局部)	0	0	0	快速检测阈值上限, 位[12:8]						0x00	
0x249	FD lower threshold LSB (局部)	快速检测阈值下限, 位[7:0]								0x00		

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x24A	FD lower threshold MSB (局部)	0	0	0	快速检测阈值下限, 位[12:8]					0x00	
0x24B	FD dwell time LSB (局部)	快速检测驻留时间, 位[7:0]								0x00	
0x24C	FD dwell time MSB (局部)	快速检测驻留时间, 位[15:8]								0x00	
DDC功能寄存器(参见“数字下变频器”部分)											
0x300	DDC synch control	0	0	0	DDC NCO 软复位 0 = 正常工作 1 = 复位	0	0	同步模式 (由SYSREF±触发) 00 = 禁用 01 = 连续 11 = 1次			
0x310	DDC 0 control	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB 增益 1 = 6 dB 增益	IF(中频)模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路, NCO禁用) 10 = fADC/4 Hz IF模式 (fADC/4下混频模式) 11 = 测试模式 (混频器输入强制为+FS, NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数转实数使能) 11 = 2倍抽取 00 = 4倍抽取 01 = 8倍抽取 10 = 16倍抽取 (复数转实数禁用) 11 = 1倍抽取 00 = 2倍抽取 01 = 4倍抽取 10 = 8倍抽取		0x00	
0x311	DDC 0 input selection	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	参见 DDC 部分
0x314	DDC 0 frequency LSB	DDC 0 NCO频率值, 位[7:0](二进制补码)								0x00	
0x315	DDC 0 frequency MSB	X	X	X	X	DDC 0 NCO频率值, 位[11:8](二进制补码)				0x00	
0x0320	DDC 0 phase LSB	DDC 0 NCO相位值, 位[7:0](二进制补码)								0x00	
0x321	DDC 0 phase MSB	X	X	X	X	DDC 0 NCO相位值, 位[11:8](二进制补码)				0x00	
0x327	DDC 0 output test mode selection	0	0	0	0	0	Q输出测试模式 0 = 禁用 1 = 使能 通道B	0	I输出测试模式 0 = 禁用 1 = 使能 通道A	0x00	参见 DDC 部分
0x330	DDC 1 control	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB 增益 1 = 6 dB 增益	IF(中频)模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路, NCO禁用) 10 = fADC/4 Hz IF模式 (fADC/4下混频模式) 11 = 测试模式 (混频器输入强制为+FS, NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数转实数使能) 11 = 2倍抽取 00 = 4倍抽取 01 = 8倍抽取 10 = 16倍抽取 (复数转实数禁用) 11 = 1倍抽取 00 = 2倍抽取 01 = 4倍抽取 10 = 8倍抽取		0x00	

AD9680

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x331	DDC 1 input selection	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	参见 DDC 部分
0x334	DDC 1 frequency LSB	DDC 1 NCO频率值, 位[7:0](二进制补码)								0x00	
0x335	DDC 1 frequency MSB	X	X	X	X	DDC 1 NCO频率值, 位[11:8](二进制补码)				0x00	
0x340	DDC 1 phase LSB	DDC 1 NCO相位值, 位[7:0](二进制补码)								0x00	
0x341	DDC 1 phase MSB	X	X	X	X	DDC 1 NCO相位值, 位[11:8](二进制补码)				0x00	
0x347	DDC 1 output test mode selection	0	0	0	0	0	Q输出测试模式 0 = 禁用 1 = 使能 通道B	0	I输出测试模式 0 = 禁用 1 = 使能 通道A	0x00	参见 DDC 部分
0x350	DDC 2 control	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB 增益 1 = 6 dB 增益	IF(中频)模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路, NCO禁用) 10 = $f_{ADC}/4$ Hz IF模式 ($f_{ADC}/4$ 下混频模式) 11 = 测试模式 (混频器输入强制为+FS, NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数转实数使能) 11 = 2倍抽取 00 = 4倍抽取 01 = 8倍抽取 10 = 16倍抽取 (复数转实数禁用) 11 = 1倍抽取 00 = 2倍抽取 01 = 4倍抽取 10 = 8倍抽取		0x00	
0x351	DDC 2 input selection	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	参见 DDC 部分
0x354	DDC 2 frequency LSB	DDC 2 NCO频率值, 位[7:0](二进制补码)								0x00	
0x355	DDC2 frequency MSB	X	X	X	X	DDC 2 NCO频率值, 位[11:8](二进制补码)				0x00	
0x360	DDC 2 phase LSB	DDC 2 NCO相位值, 位[7:0](二进制补码)								0x00	
0x361	DDC 2 phase MSB	X	X	X	X	DDC 2 NCO相位值, 位[11:8](二进制补码)				0x00	
0x367	DDC 2 output test mode selection	0	0	0	0	0	Q输出测试模式 0 = 禁用 1 = 使能 通道B	0	I输出测试模式 0 = 禁用 1 = 使能 通道A	0x00	参见 DDC 部分

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x370	DDC 3 control	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB 增益 1 = 6 dB 增益	IF(中频)模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路, NCO禁用) 10 = $f_{ADC}/4$ Hz IF模式 ($f_{ADC}/4$ 下混频模式) 11 = 测试模式 (混频器输入强制为+FS, NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数转实数使能) 11 = 2倍抽取 00 = 4倍抽取 01 = 8倍抽取 10 = 16倍抽取 (复数转实数禁用) 11 = 1倍抽取 00 = 2倍抽取 01 = 4倍抽取 10 = 8倍抽取		0x00	
0x371	DDC 3 input selection	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	参见DDC部分
0x374	DDC 3 frequency LSB	DDC 3 NCO频率值, 位[7:0](二进制补码)								0x00	
0x375	DDC 3 frequency MSB	X	X	X	X	DDC 3 NCO频率值, 位[11:8](二进制补码)				0x00	
0x380	DDC3 phase LSB	DDC 3 NCO相位值, 位[7:0](二进制补码)								0x00	
0x381	DDC 3 phase MSB	X	X	X	X	DDC 3 NCO相位值, 位[11:8](二进制补码)				0x00	
0x387	DDC 3 output test mode selection	0	0	0	0	0	Q输出测试模式 0 = 禁用 1 = 使能 通道B	0	I输出测试模式 0 = 禁用 1 = 使能 通道A	0x00	参见DDC部分
数字输出和测试模式											
0x550	ADC test modes (局部)	用户模式选择 0 = 连续重复 1 = 单一模式	0	产生复位PN长序列 0 = PN 长序列使能 1 = PN 长序列复位	产生复位PN短序列 0 = PN短序列使能 1 = PN短序列复位	测试模式选择 0000 = 关, 正常模式 0001 = 中间电平短码 0010 = 正满量程 0011 = 负满量程 0100 = 交替棋盘形式 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字交替 1000 = 用户测试模式(使用寄存器0x0550的位[7]和用户模式1、2、3、4寄存器) 1111 = 斜坡输出				0x00	
0x551	User Pattern 1 LSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用
0x552	User Pattern 1 MSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用
0x553	User Pattern 2 LSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用

AD9680

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释	
0x554	User Pattern 2 MSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用	
0x555	User Pattern 3 LSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用	
0x556	User Pattern 3 MSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用	
0x557	User Pattern 4 LSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用	
0x558	User Pattern 4 MSB	0	0	0	0	0	0	0	0	0x00	与0x550和0x573一起使用	
0x559	Output Mode Control 1	0	转换器控制位1选择 000 = 接低电平(1'b0) 001 = 超量程位 011 = 快速检测(FD)位 101 = SYSREF± 仅当CS(寄存器0x58F)= 2或3时使用				0	转换器控制位0选择 000 = 接低电平(1'b0) 001 = 超量程位 011 = 快速检测(FD)位 101 = SYSREF± 仅当CS(寄存器0x58F)= 3时使用			0x00	
0x55A	Output Mode Control 2	0	0	0	0	0	转换器控制位2选择 000 = 接低电平(1'b0) 001 = 超量程位 011 = 快速检测(FD)位 101 = SYSREF 当CS(寄存器0x58F)= 1、2或3时使用			0x00		
0x561	Output mode	0	0	0	0	0	样本反转 0 = 正常 1 = 样本反转	数据格式选择 00 = 偏移二进制 01 = 二进制补码		0x01		
0x562	Output overrange (OR) clear	虚拟转换器7 OR 0 = OR位使能 1 = OR位清零	虚拟转换器6 OR 0 = OR位使能 1 = OR位清零	虚拟转换器5 OR 0 = OR位使能 1 = OR位清零	虚拟转换器4 OR 0 = OR位使能 1 = OR位清零	虚拟转换器3 OR 0 = OR位使能 1 = OR位清零	虚拟转换器3 OR 0 = OR位使能 1 = OR位清零	虚拟转换器1 OR 0 = OR位使能 1 = OR位清零	虚拟转换器0 OR 0 = OR位使能 1 = OR位清零	0x00		
0x563	Output OR status	虚拟转换器7 OR 0 = 无OR 1 = OR出现	虚拟转换器6 OR 0 = 无OR 1 = OR出现	虚拟转换器5 OR 0 = 无OR 1 = OR出现	虚拟转换器4 OR 0 = 无OR 1 = OR出现	虚拟转换器3 OR 0 = 无OR 1 = OR出现	虚拟转换器2 OR 0 = 无OR 1 = OR出现	虚拟转换器1 OR 0 = 无OR 1 = OR出现	虚拟转换器0 OR 0 = 无OR 1 = OR出现	0x00	只读	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x564	Output channel select	0	0	0	0	0	0	0	转换器通道交换 0 = 正常通道顺序 1 = 通道交换使能	0x00	
0x56E	JESD204B lane rate control	0	0	0	0 = 串行通道速率 ≥ 6.25 Gbps 且 ≤ 12.5 Gbps 1 = 串行通道速率必须大于 ≥ 3.125 Gbps 且 ≤ 6.25 Gbps	0	0	0	0	0x00	
0x56F	JESD204B PLL lock status	PLL锁定 0 = 未锁定 1 = 已锁定	0	0	0	0	0	0	0	0x00	只读
0x570	JESD204B quick configuration	JESD204B快速配置 L = 通道数 = 2 ^{寄存器0x570的位[7:6]} M = 转换器数 = 2 ^{寄存器0x570的位[5:3]} F = 8位字数/帧 = 2 ^{寄存器0x570的位[2:0]}								0x88	参见表25和表26
0x571	JESD204B Link Mode Control 1	待机模式 0 = 所有转换器输出 1 = CGS (/K28.5/)	结束位(t) PN 0 = 禁用 1 = 使能 T = N' - N - CS	长传输层测试 0 = 禁用 1 = 使能	通道同步 0 = 禁用FACI使用/K28.7/ 1 = 使能FACI使用/K28.3/和/K28.7/	ILAS序列模式 00 = ILAS禁用 01 = ILAS使能 11 = ILAS始终开启, 测试模式		FACI 0 = 使能 1 = 禁用	链路控制 0 = 有效 1 = 掉电	0x14	
0x572	JESD204B Link Mode Control 2	SYNCINB \pm 引脚控制 00 = 正常 10 = 忽略SYNCINB \pm (强制CGS) 11 = 忽略SYNCINB \pm (强制ILAS/用户数据)		SYNCINB \pm 引脚反转 0 = 低电平有效 1 = 高电平有效	SYNCINB \pm 引脚类型 0 = 差分 1 = CMOS	0	8B/10B旁路 0 = 正常 1 = 旁路	8B/10B位反转 0 = 正常 1 = 反转 abcdefghij 符号	0	0x00	
0x573	JESD204B Link Mode Control 3	CHKSUM模式 00 = 所有8位链路配置寄存器之和 01 = 各链路配置域之和 10 = 校验和设为0		测试注入点 00 = N' 样本输入 01 = 8B/10B输出时的10位数据(用于PHY测试) 10 = 加扰输入时的8位数据		JESD204B测试模式 0000 = 正常工作(测试模式禁用) 0001 = 交替棋盘形式 0010 = 1/0字交替 0011 = 31位PN序列— $X^{31} + X^{28} + 1$ 0100 = 23位PN序列— $X^{23} + X^{18} + 1$ 0101 = 15位PN序列— $X^{15} + X^{14} + 1$ 0110 = 9位PN序列— $X^9 + X^5 + 1$ 0111 = 7位PN序列— $X^7 + X^6 + 1$ 1000 = 斜坡输出 1110 = 连续/重复用户测试 1111 = 单用户测试				0x00	

AD9680

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x574	JESD204B Link Mode Control 4	ILAS延迟 0000 = SYNCINB±解除置位后的第一个LMFC时发送ILAS 0001 = SYNCINB±解除置位后的第二个LMFC时发送ILAS ... 1111 = SYNCINB±解除置位后的第16个LMFC时发送ILAS				0	链路层测试模式 000 = 正常工作 (链路层测试模式禁用) 001 = /D21.5/字符的连续序列 100 = 修改的RPAT测试序列 101 = JSPAT测试序列 110 = JTSPAT测试序列			0x00	
0x578	JESD204B LMFC offset	0	0	0	LMFC相位偏移值[4:0]					0x00	
0x580	JESD204B DID config	JESD204B Tx DID值[7:0]								0x00	
0x581	JESD204B BID config	0	0	0	0	JESD204B Tx BID值, 位[7:0]				0x00	
0x583	JESD204B LID Config 1	0	0	0	通道0 LID值, 位[4:0]					0x00	
0x585	JESD204B LID Config 2	0	0	0	通道1 LID值, 位[4:0]					0x02	
0x587	JESD204B LID Config 3	0	0	0	通道2 LID值, 位[4:0]					0x04	
0x589	JESD204B LID Config 4	0	0	0	通道3 LID值, 位[4:0]					0x06	
0x58B	JESD204B parameters SCR/L	JESD204B 加扰(SCR) 0 = 禁用 1 = 使能	0	0	0	0	0	JESD204B通道数(L) 00 = 1通道 01 = 2通道 11 = 4通道 只读, 参见寄存器0x570		0x8X	
0x58C	JESD204B F config	每帧的8位字数, F = 寄存器0x58C[7:0] + 1								0x88	只读, 参见0x570
0x58D	JESD204B K config	0	0	0	每个多帧的帧数, K = 寄存器0x58D[4:0] + 1。 仅支持(F × K) mod 4 = 0的值					0x1F	参见0x570
0x58E	JESD204B M config	每链路的转换器数[7:0] 0x00 = 链路连接到1个虚拟转换器(M = 1) 0x01 = 链路连接到2个虚拟转换器(M = 2) 0x03 = 链路连接到4个虚拟转换器(M = 4) 0x07 = 链路连接到8个虚拟转换器(M = 8)									参见
0x58F	JESD204B CS/N config	每帧的控制位数(CS) 00 = 无控制位(CS = 0) 01 = 1控制位(CS = 1), 仅控制位2 10 = 2控制位(CS = 2), 仅控制位2和1 11 = 3控制位(CS = 3), 所有控制位(2、1、0)	0	ADC转换器分辨率(N) 0x0D = 14位分辨率 0x0F = 16位分辨率							
0x0590	JESD204B N' config	子类支持(子类V) 000 = 子类0 (无确定性延迟) 001 = 子类1	ADC每样本的位数(N') 0x7 = 8位 0xF = 16位						0x2F		
0x591	JESD204B S config	0	0	1	每个转换器帧的样本数(S) S值 = 寄存器0x591[4:0] + 1						只读

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释	
0x592	JESD204B HD and CF config	HD值 0 = 禁用 1 = 使能	0	0	每链路上每个帧时钟周期的控制字(CF) CF值 = 寄存器0x592的位[4:0]					0x80	只读	
0x5A0	JESD204B CHKSUM 0	SERDOUT0±的CHKSUM值, 位[7:0]								0xC3	只读	
0x5A2	JESD204B CHKSUM 1	SERDOUT1±的CHKSUM值, 位[7:0]								0xC5	只读	
0x5A4	JESD204B CHKSUM 2	SERDOUT2±的CHKSUM值, 位[7:0]								0xC7	只读	
0x5A6	JESD204B CHKSUM 3	SERDOUT3±的CHKSUM值, 位[7:0]								0xC9	只读	
0x5B0	JESD204B lane power-down	1	SERD-OUT3± 0 = 开 1 = 关	1	SERD-OUT2± 0 = 开 1 = 关	1	SERD-OUT1± 0 = 开 1 = 关	1	SERD-OUT0 0± = on 1 = 关	0xAA		
0x5B2	JESD204B lane SERD-OUT0± assign	X	X	X	X	0	SERDOUT0±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x00		
0x5B3	JESD204B lane SERD-OUT1± assign	X	X	X	X	0	SERDOUT1±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x11		
0x5B5	JESD204B lane SERD-OUT2± assign	X	X	X	X	0	SERDOUT2±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x22		
0x5B6	JESD204B lane SERD-OUT3± assign	X	X	X	X	0	SERDOUT3±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x33		
0x5BF	JESD serializer drive adjust	0	0	0	0	摆幅 0000 = 237.5 mV 0001 = 250 mV 0010 = 262.5 mV 0011 = 275 mV 0100 = 287.5 mV 0101 = 300 mV 0110 = 312.5 mV 0111 = 325 mV 1000 = 337.5 mV 1001 = 350 mV 1010 = 362.5 mV 1011 = 375 mV 1100 = 387.5 mV 1101 = 400 mV 1110 = 412.5 mV 1111 = 425 mV						
0x5C1	Deemphasis select	0	SERD-OUT3± 0 = 禁用 1 = 使能	0	SERD-OUT2± 0 = 禁用 1 = 使能	0	SERDOUT1± 0 = 禁用 1 = 使能	0	SERDOUT0± 0 = 禁用 1 = 使能	0x00		

AD9680

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x5C2	Deemphasis setting for SERD-OUT0±	0	0	0	0		SERDOUT0±去加重设置: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB			0x00	
0x5C3	Deemphasis setting for SERD-OUT1±	0	0	0	0		SERDOUT1±去加重设置: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB			0x00	
0x5C4	Deemphasis setting for SERD-OUT2±	0	0	0	0		SERDOUT2±去加重设置: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB			0x00	
0x5C5	Deemphasis setting for SERD-OUT3±	0	0	0	0		SERDOUT3±去加重设置: 0000 = 0 dB, 0001 = 0.3 dB, 0010 = 0.8 dB, 0011 = 1.4 dB, 0100 = 2.2 dB, 0101 = 3.0 dB, 0110 = 4.0 dB, 0111 = 5.0 dB			0x00	

应用信息

电源建议

AD9680必须由以下7个电源供电：AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.25 V。对于要求高电源效率和低噪声性能的应用，建议使用开关稳压器ADP2164和ADP2370来将3.3 V、5.0 V或12 V输入轨转换为中间电压轨(1.8 V和3.8 V)，然后用超低噪声、低压差(LDO)稳压器(ADP1741、ADM7160、ADP170和ADP125)再调节这些中间电压轨。图71显示了AD9680的推荐电源方案。

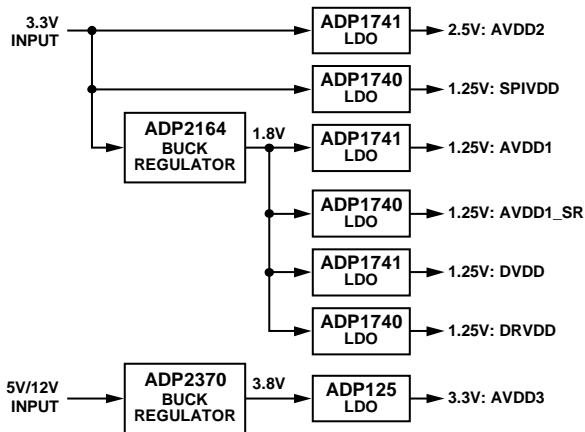


图71. AD9680的高效率、低噪声电源解决方案

无需在任何情况下都将所有电源域分离。图71所示的推荐解决方案可为AD9680提供最低噪声、最高效率的电源输送系统。如果仅有一个1.25 V电源可用，应先连接到AVDD1，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再按顺序连接到AVDD1_SR、SPIVDD、DVDD和DRVDD。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容必须放置在接近PCB入口点和接近器件的位置，尽可能地缩短走线长度。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至AGND。PCB上裸露的连续铜层应与AD9680的

裸露焊盘(引脚0)连接。铜层上必须有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔必须填满或插入焊料。过孔数量和填料决定电路板上测得的 θ_{JA} ，如表7所示。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考图72所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”。

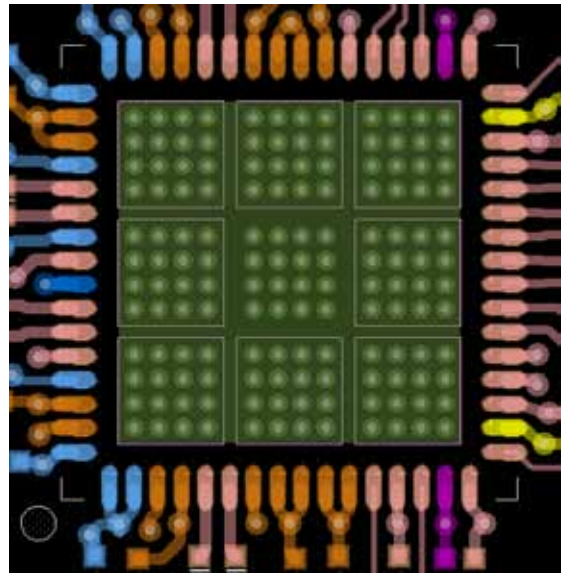


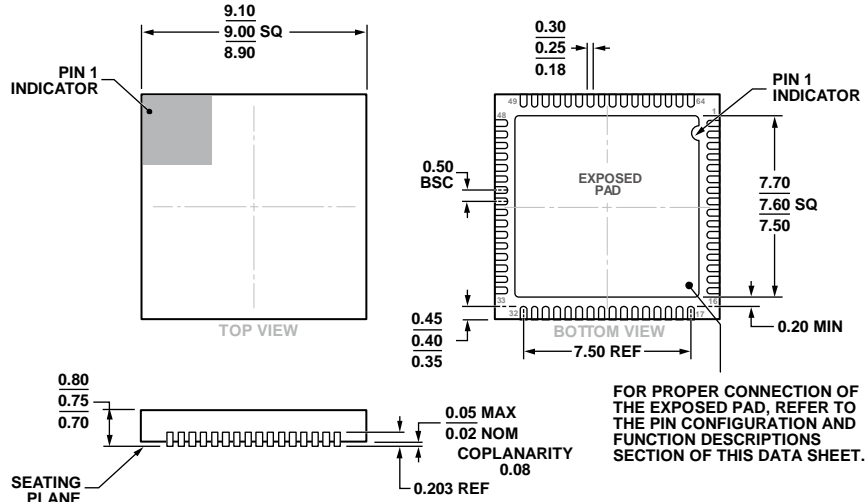
图72. AD9680裸露焊盘的推荐PCB布局

AVDD1_SR(引脚57)和AGND(引脚56和引脚60)

AVDD1_SR(引脚57)和AGND(引脚56和引脚60)可用来为AD9680的SYSREF±电路提供单独的电源节点。若以子类1运行，AD9680可支持周期性单次或带隙信号。为了最大程度地降低此电源与AVDD1电源节点的耦合，必须提供充分的电源旁路。

AD9680

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WMMD

图73. 64引脚引线框芯片级封装[LFCSP_WQ]
9 mm × 9 mm, 超薄四方体
(CP-64-15)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9680BCPZ-1000	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD9680BCPZRL7-1000	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD9680-1000EBZ		AD9680-1000评估板	

¹ Z = 符合RoHS标准的器件。