

产品特性

- 1.65 GHz差分时钟输入/输出
- 10位可编程分频器，1至1024整数分频比
- 高达4个差分输出或8个CMOS输出
- 用于上电时进行硬连线编程的引脚绑定功能
- 宽带随机抖动：<115 fs rms(见图25)
- 附加的输出抖动：41 fs rms(典型值，12 kHz至20 MHz)
- 出色的输出间隔
- 所有输出自动同步
- 单电源：2.5 V/3.3 V
- 集成内部LDO(低压差)稳压器，具有更佳电源抑制性能
- 用于输出至输出延迟粗调的相位失调选择
- 3种可编程逻辑电平输出：LVDS、HSTL和CMOS
- 串行控制端口(SPI/I²C)或引脚可编程模式
- 节省空间的24引脚LFCSP封装

应用

- 低抖动、低相位噪声时钟分配
- 为高速ADC、DAC、DDS、DDC、DUC、MxFE提供时钟
- 高性能无线收发器
- 高性能仪器仪表
- 宽带基础设施

概述

AD9508提供时钟扇出能力，针对能使系统性能达到最佳的低抖动进行设计。这款器件能满足数据转换器时钟等应用所需的相位噪声和低抖动要求，可优化这些应用的性能。

它集成4个独立的差分时钟输出，每一个输出都支持多种逻辑电平类型，包括LVDS (1.65 GHz)、HSTL (1.65 GHz)和1.8 V CMOS (250 MHz)。在1.8 V CMOS输出模式下，差分输出转换为两个CMOS单端信号。无论电源电压如何改变，CMOS输出始终为1.8 V逻辑电平。每路输出都有一个

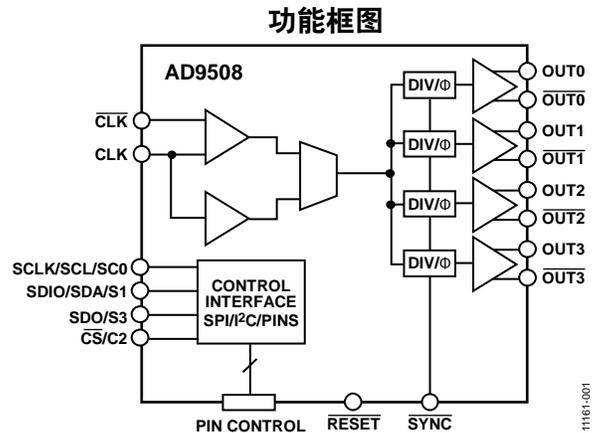


图1.

可编程分频器，可以旁路该分频器或者设置最高1024的整数分频比。此外，AD9508还支持输出相位在输出之间进行粗调。

上电时，还可对器件进行各种固定配置的引脚编程，从而无需进行SPI或I²C编程。

AD9508提供24引脚LFCSP封装，可以采用2.5 V或3.3 V单电源供电。温度范围为-40°C至+85°C。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	时钟输入	21
应用	1	时钟分频器	23
功能框图	1	相位延迟控制	23
概述	1	复位模式	23
修订历史	2	省电模式	23
技术规格	3	输出时钟同步	24
电气特性	3	电源	24
电源电流和温度条件	3	散热增强型封装安装指南	24
时钟输入和输出直流规格	4	引脚绑定至上电编程	25
输出驱动器时序特性	5	串行控制端口	26
逻辑输入	6	SPI/I ² C端口选择	26
串行端口规格—SPI模式	6	SPI串行端口操作	26
串行端口规格—I ² C模式	7	I ² C串行端口操作	29
引脚绑定模式的外部电阻值	8	寄存器映射	32
时钟输出附加的相位噪声	8	寄存器映射位功能描述	33
时钟输出附加的时间抖动	9	串行端口配置(寄存器0x00)	33
绝对最大额定值	10	芯片版本(寄存器0x0A至寄存器0x0D)	33
热特性	10	芯片级功能(寄存器0x12至寄存器0x14)	33
ESD警告	10	OUT0功能(寄存器0x15至寄存器0x1A)	34
引脚配置和功能描述	11	OUT1功能(寄存器0x1B至寄存器0x20)	35
典型工作特性	13	OUT2功能(寄存器0x21至寄存器0x26)	36
测试电路	19	OUT3功能(寄存器0x27至寄存器0x2C)	37
输入/输出端接建议	19	封装和订购信息	39
术语	20	外形尺寸	39
工作原理	21	订购指南	39
详细框图	21		
编程模式选择	21		

修订历史

2013年10月—修订版A至修订版B

更改图5标题	13
更改图13标题	14
更改图19标题	15
更改“各时钟通道独立关断”部分	23
更改“写入”部分	27
更改表27	34
更改表29	35
更改表31	36
更改表33	37

2013年4月—修订版0至修订版A

更改表9	9
更改图10	14
更改图15	15
更改图24和图26	16
更改图27、图29至图32	17
更改图33	18

2013年1月—修订版0：初始版

技术规格

电气特性

典型值条件： $V_S = 3.3\text{ V}$ 和 2.5 V ， $T_A = 25^\circ\text{C}$ ；最小值和最大值条件：完整 V_{DD} 范围 = $3.3\text{ V} + 5\%$ 至 $2.5\text{ V} - 5\%$ ， $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ ；除非另有说明，输入压摆率 $> 1\text{ V/ns}$ 。

电源电流和温度条件

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压	2.375	2.5	3.465	V	使用电源电压设置(2.5 V或3.3 V)和适当的电流消耗配置(参见表1中的电流消耗参数)来计算总功耗
功耗					
LVDS配置		152	168	mA	输入时钟：1500 MHz(差分模式)，所有LVDS输出驱动器均为1500 MHz
		122	134	mA	输入时钟：800 MHz(差分模式)，所有LVDS输出驱动器均为200 MHz
HSTL配置		182	200	mA	输入时钟：1500 MHz(差分模式)，所有HSTL输出驱动器均为1500 MHz
		118	131	mA	输入时钟：491.52 MHz(差分模式)，所有输出驱动器均为491.52 MHz
		92	101	mA	输入时钟：122.88 MHz(差分模式)，所有输出驱动器均为122.88 MHz
CMOS配置		141	185	mA	输入时钟：1500 MHz(差分模式)，所有CMOS输出驱动器均为250 MHz，10 pF负载
		122	134	mA	输入时钟：800 MHz(差分模式)，所有CMOS输出驱动器均为200 MHz，10 pF负载
		85	94	mA	输入时钟：100 MHz(差分模式)，所有CMOS输出驱动器均为100 MHz，10 pF负载
完全关断		6	10	mA	
温度					
环境温度范围(T_A)	-40	+25	+85	$^\circ\text{C}$	
结温(T_J)			115	$^\circ\text{C}$	结温高于 115°C 会降低性能，但只要不超过绝对温度，器件就不会受损。

AD9508

时钟输入和输出直流规格

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
时钟输入						
差分模式						
输入频率		0		1650	MHz	差分输入
输入灵敏度		360		2200	mV p-p	用差分探头测量, 提高压摆率(更大电压摆幅)可改善抖动性能
输入共模电压	V_{ICM}	0.95	1.05	1.15	V	输入引脚内部自偏置, 以便支持交流耦合
输入电压失调			30		mV	
直流耦合输入共模范围	V_{CMR}	0.58		1.67	V	这是直流耦合时允许的共模电压范围
脉冲宽度						
低电平		303			ps	
低电平		303			ps	
输入电阻(差分)		5.0	7	9	k Ω	
输入电容	C_{IN}		2		pF	
输入偏置电流(各引脚)		100		400	μ A	输入满摆幅
CMOS时钟模式(单端)						
输入频率				250	MHz	
输入电压						
高电平	V_{IH}	$V_{DD}/2 - 0.15$			V	
低电平	V_{IL}			$V_{DD}/2 + 0.15$	V	
输入电流						
高电平	I_{INH}		1		μ A	
低电平	I_{INL}		-142		μ A	
输入电容	C_{IN}		2		pF	
LVDS时钟输出						端接电阻为100 Ω 差分(OUTx, OUTx)
输出频率				1650	MHz	
差分输出电压	V_{OD}	247	375	454	mV	$V_{OH} - V_{OL}$ 在一个差分对上测量, 默认幅度设置, 输出驱动器不切换; 随频率的变化参见图6
V_{OD} 变化	ΔV_{OD}			50	mV	这是正常输出为高电平时的 V_{OD} 与互补输出为高电平时的 V_{OD} 之差的绝对值
失调电压	V_{OS}	1.125	1.18	1.375	V	一个差分对上的 $(V_{OH} + V_{OL})/2$
V_{OS} 变化	ΔV_{OS}			50	mV	这是正常输出为高电平时的 V_{OS} 与互补输出为高电平时的 V_{OS} 之差的绝对值
短路电流	I_{SA}, I_{SB}		13.6	24	mA	各引脚(输出短接至GND)
LVDS占空比		45		55	%	最高750 MHz输入
		39		61	%	750 MHz至1500 MHz输入
			50.1		%	1650 MHz输入
HSTL时钟输出						差分对上有100 Ω 电阻; 默认幅度设置
HSTL时钟输出				1650	MHz	
差分输出电压	V_O	859	925	978	mV	$V_{OH} - V_{OL}$, 输出驱动器为静态
共模输出电压	V_{OCM}	905	940	971	mV	$(V_{OH} + V_{OL})/2$, 输出驱动器为静态
HSTL占空比		45		55	%	最高750 MHz输入
		40		60	%	750 MHz至1500 MHz输入
			50.9		%	1650 MHz输入

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
CMOS时钟输出						单端, 终端 = 开路; OUTx和 $\overline{\text{OUTx}}$ 同相
输出频率				250	MHz	各输出端负载为10 pF; 摆幅与频率的关系见图14
输出电压						
1 mA负载						
高电平	V_{OH}	1.7			V	
低电平	V_{OL}			0.1	V	
10 mA负载						
高电平	V_{OH}	1.2			V	
低电平	V_{OL}			0.6	V	
10 mA负载(2 × CMOS模式)						
高电平	V_{OH}	1.45			V	
低电平	V_{OL}			0.35	V	
CMOS占空比		45		55	%	最高250 MHz

输出驱动器时序特性

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
LVDS输出						端接电阻为100Ω差分, 1×LVDS
输出上升/下降时间	t_R, t_F		152	177	ps	20%至80%差分测量
传播延迟(CLK至LVDS输出)	t_{PD}	1.56	2.01	2.43	ns	
温度系数			2.8		ps/°C	
输出偏斜 ¹						
所有LVDS输出						
同一器件上				48	ps	
多个器件上				781	ps	假设温度和电源相同; 考虑最差工艺偏差引起的最差传播延迟变化
HSTL输出						端接电阻为100Ω差分, 1×HSTL
输出上升/下降时间	t_R, t_F		118	143	ps	20%至80%差分测量
传播延迟(CLK至HSTL输出)	t_{PD}	1.59	2.05	2.5	ns	
温度系数			2.9		ps/°C	
输出偏斜 ¹						
所有HSTL输出						
同一器件上				59	ps	
多个器件上				825	ps	假设温度和电源相同; 考虑最差工艺偏差引起的最差传播延迟变化
CMOS输出						
输出上升/下降时间	t_R, t_F		1.18	1.45	ns	20%至80%; $C_{LOAD} = 10 \text{ pF}$
传播延迟(CLK至CMOS输出)	t_{PD}	2.04	2.56	3.07	ns	10 pF负载
温度系数			3.3		ps/°C	
输出偏斜 ¹						
所有CMOS输出						
同一器件上				112	ps	
多个器件上				965	ps	假设温度和电源相同; 考虑最差工艺偏差引起的最差传播延迟变化

AD9508

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
输出逻辑偏斜 ¹						CMOS负载 = 10 pF, LVDS负载 = 100 Ω
LVDS输出和HSTL输出			77	119	ps	同一器件的输出; 假设最差输出组合
LVDS输出和CMOS输出			497	700	ps	同一器件的输出; 假设最差输出组合
HSTL输出和CMOS输出			424	622	ps	同一器件的输出; 假设最差输出组合

¹ 同一器件的输出; 假设最差输出组合

逻辑输入

表4.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入RESET、SYNC、IN_SEL						
输入电压						
高电平	V_{IH}	1.7			V	2.5 V电源电压
低电平	V_{IL}	2.0		0.7	V	3.3 V电源电压
低电平				0.8	V	2.5 V电源电压
低电平					V	3.3 V电源电压
输入电流	I_{INH}, I_{INL}	-300		+100	μA	
输入电容	C_{IN}		2		pF	

串行端口规格—SPI模式

表5.

参数	最小值	典型值	最大值	单位	测试条件/注释
CS					SCLK内置一个200 kΩ下拉电阻
输入电压					
逻辑1	$V_{DD} - 0.4$			V	
逻辑0			0.4	V	
输入电流					
逻辑1		-4		μA	
逻辑0		-85		μA	
输入电容		2		μA	
SCLK					
输入电压					
逻辑1	$V_{DD} - 0.4$			V	
逻辑0			0.4	V	
输入电流					
逻辑1		70		μA	
逻辑0		13		μA	
输入电容		2		pF	
SDIO					
用作输入					
输入电压					
逻辑1	$V_{DD} - 0.4$			V	
逻辑0			0.4	V	
输入电流					
逻辑1		-1		μA	
逻辑0		-1		μA	
输入电容		2		pF	

参数	最小值	典型值	典型值	单位	测试条件/注释
用作输出					
输出电压					
逻辑1	VDD - 0.4			V	1 mA负载电流
逻辑0		0.4		V	1 mA负载电流
SDO					
输出电压					
逻辑1	VDD - 0.4			V	1 mA负载电流
逻辑0		0.4		V	1 mA负载电流
时序					
SCLK					
时钟速率, $1/t_{CLK}$			30	MHz	
高电平脉冲宽度, t_{HIGH}	4.6			ns	
低电平脉冲宽度, t_{LOW}	3.5			ns	
SDIO至SCLK建立时间, t_{DS}	2.9			ns	
SCLK至SDIO保持时间, t_{DH}	0			ns	
CLK至有效SDIO和SDO时间, t_{DV}			15	ns	
\overline{CS} 至SCLK建立时间, t_S	3.4			ns	
\overline{CS} 至SCLK保持时间, t_C	0			ns	
\overline{CS} 高电平最小脉冲宽度	3.4			ns	

串行端口规格—I²C模式

表6.

参数	最小值	典型值	最大值	单位	测试条件/注释
SDA、SCL(用作输入)					
输入电压					
逻辑1	VDD - 0.4			V	
逻辑1			0.4	V	
输入电流	-40		0	μA	$V_{IN} = 10\% \text{至} 90\% \text{ DVDD3}$
施密特触发器输入的迟滞	150			mV	
SDA(用作输出)					
输出逻辑0电压			0.4	V	$I_o = 3 \text{ mA}$
输出下降时间($V_{IH(MIN)}$ 至 $V_{IL(MAX)}$)			250	ns	$10 \text{ pF} \leq C_b \leq 400 \text{ pF}$
时序					
SCL时钟速率			400	kHz	
停止条件和起始条件之间的总线空闲时间, t_{BUF}	1.3			μs	
重复起始条件建立时间, $t_{SU, STA}$			0.6	μs	
重复起始条件保持时间, $t_{HD, STA}$	0.6			μs	此周期结束后, 产生第一个时钟脉冲
停止条件建立时间, $t_{SU, STO}$	0.6			μs	
SCL时钟的低电平周期, t_{LOW}	1.3			μs	
SCL时钟的高电平周期, t_{HIGH}	0.6			μs	
数据建立时间, $t_{SU, DAT}$	100			ns	
数据保持时间, $t_{HD, DAT}$	0		0.9	μs	

AD9508

时钟输出附加的相位噪声

表7.

参数	电阻极性	最小值	典型值	最大值	单位	测试条件/注释
外部电阻						使用10%容差电阻
电压电平0	下拉至地		820		Ω	
电压电平1	下拉至地		1.8		k Ω	
电压电平2	下拉至地		3.9		k Ω	
电压电平3	下拉至地		8.2		k Ω	
电压电平4	上拉至VDD		820		Ω	
电压电平5	上拉至VDD		1.8		k Ω	
电压电平6	上拉至VDD		3.9		k Ω	
电压电平7	上拉至VDD		8.2		k Ω	

时钟输出附加的相位噪声

表8.

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK至HSTL或LVDS附加的相位噪声 CLK = 1474.56 MHz, OUTx = 1474.56 MHz 分频比 = 1					输入压摆率 > 1 V/ns
@ 10 Hz偏移		-88		dBc/Hz	
@ 100 Hz偏移		-100		dBc/Hz	
@ 1 kHz偏移		-109		dBc/Hz	
@ 1 kHz偏移		-116		dBc/Hz	
@ 100 kHz偏移		-135		dBc/Hz	
@ 1 MHz偏移		-144		dBc/Hz	
@ 10 MHz偏移		-148		dBc/Hz	
@ 10 MHz偏移		-149		dBc/Hz	
CLK至HSTL或LVDS或CMOS附加的相位噪声 CLK = 625 MHz, OUTx = 125 MHz 分频比 = 5					输入压摆率 > 1 V/ns
@ 10 Hz偏移		-114		dBc/Hz	
@ 100 Hz偏移		-125		dBc/Hz	
@ 1 kHz偏移		-133		dBc/Hz	
@ 10 kHz偏移		-141		dBc/Hz	
@ 100 kHz偏移		-159		dBc/Hz	
@ 1 MHz偏移		-162		dBc/Hz	
@ 10 MHz偏移		-163		dBc/Hz	
@ 20 MHz偏移		-163		dBc/Hz	
CLK至HSTL或LVDS附加的相位噪声 CLK = 491.52 MHz, OUTx = 491.52 MHz 分频比 = 1					输入压摆率 > 1 V/ns
@ 10 Hz偏移		-100		dBc/Hz	
@ 100 Hz偏移		-111		dBc/Hz	
@ 1 kHz偏移		-120		dBc/Hz	
@ 10 kHz偏移		-127		dBc/Hz	
@ 100 kHz偏移		-146		dBc/Hz	
@ 1 MHz偏移		-153		dBc/Hz	
@ 10 MHz偏移		-153		dBc/Hz	
@ 20 MHz偏移		-153		dBc/Hz	

时钟输出附加的时间抖动

表9.

参数	最小值	典型值	最大值	单位	测试条件/注释	
LVDS输出附加的时间抖动 CLK = 622.08 MHz, 输出 = 622.08 MHz	41			fs rms	BW = 12 kHz至 20 MHz	
	70			fs rms	BW = 20 kHz至 80 MHz	
	69			fs rms	BW = 50 kHz至 80 MHz	
	CLK = 622.08 MHz, 输出 = 155.52 MHz	93			fs rms	BW = 12 kHz至 20 MHz
		144			fs rms	BW = 20 kHz至 80 MHz
		142			fs rms	BW = 50 kHz至 80 MHz
	CLK = 125 MHz, 输出 = 125 MHz	105			fs rms	BW = 12 kHz至 20 MHz
		209			fs rms	BW = 20 kHz至 80 MHz
		206			fs rms	BW = 50 kHz至 80 MHz
		184			fs rms	BW = 12 kHz至 20 MHz
	HSTL输出附加的时间抖动 CLK = 622.08 MHz 输出 = 622.08 MHz	41			fs rms	BW = 12 kHz至 20 MHz
		56			fs rms	BW = 100 Hz至 20 MHz
72				fs rms	BW = 20 kHz至 80 MHz	
70				fs rms	BW = 50 kHz至 80 MHz	
CLK = 622.08 MHz, 输出 = 155.52 MHz		76			fs rms	BW = 12 kHz至 20 MHz
		87			fs rms	BW = 100 Hz至 20 MHz
		158			fs rms	BW = 20 kHz至 80 MHz
156				fs rms	BW = 50 kHz至 80 MHz	
CMOS输出附加的时间抖动 CLK = 100 MHz, 输出 = 100 MHz		91			fs rms	BW = 12 kHz至 20 MHz

绝对最大额定值

表10.

参数	额定值
电源电压(VDD)	3.6 V
最大数字输入电压 CLK和 $\overline{\text{CLK}}$	-0.5 V至VDD + 0.5 V
最大数字输出电压	-0.5 V至VDD + 0.5 V
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
引脚温度(焊接10秒)	300°C
结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

通过下式可确定应用PCB上的结温：

$$T_j = T_{\text{CASE}} + (\Psi_{JT} \times P_D)$$

其中：

T_j 为结温(°C)。

T_{CASE} 为壳温(°C)，由客户在封装的顶部中央测得。

Ψ_{JT} 的值见表11。

P_D 为功耗。

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_j 的一阶近似值，计算公式如下：

$$T_j = T_A + (\theta_{JA} \times P_D)$$

其中， T_A 为环境温度(°C)。

θ_{JC} 值是在需要外部散热器时，供封装比较和PCB设计考虑时使用。

θ_{JB} 值供封装比较和PCB设计考虑时使用。

热特性

热特性使用JEDEC51-7和JEDEC51-5 2S2P测试板测得。

表11. 24引脚LFCSP的热特性

符号	热特性 (JEDEC51-7和JEDEC51-5 2S2P测试板 ¹)	值 ²	单位
θ_{JA}	结至环境热阻，依据JEDEC JESD51-2 (静止空气)	43.5	°C/W
θ_{JMA}	结至环境热阻，1.0 m/s气流，依据 JEDEC JESD51-6(运动空气)	40	°C/W
θ_{JMA}	结至环境热阻，2.5 m/s气流，依据 JEDEC JESD51-6(运动空气)	38.5	°C/W
θ_{JB}	结至板热阻，依据JEDEC JESD51-8 (静止空气)	16.2	°C/W
θ_{JC}	结至壳热阻(芯片至散热器)，依 据MIL-STD-883的方法1012.1	7.1	°C/W
Ψ_{JT}	结至封装顶部特征参数，依据JEDEC JESD51-2(静止空气)	0.33	°C/W

¹要实现额定热性能，必须将封装底部的裸露焊盘焊接到地(VSS)。

²结果源于仿真。采用JEDEC多层PCB。在确定实际应用的热性能时，要求仔细检查应用的条件，以确定这些条件是否与计算的假设条件相符。

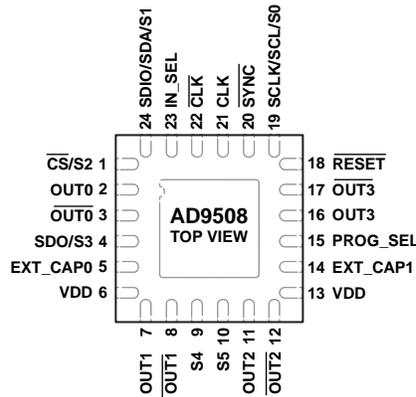
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED DIE PAD MUST BE CONNECTED TO GROUND (VSS).

1161-002

图2. 引脚配置

表12. 引脚功能描述

引脚编号	引脚编号	说明
1	CS/S2	片选/引脚编程。多用途引脚。此引脚由PROG_SEL引脚控制。片选(CS)是逻辑低电平有效CMOS输入，用于SPI工作模式。通过SPI模式对器件进行编程时，CS必须保持低电平。在含有多个AD9508的系统中，利用此引脚可以对各AD9508进行编程。在引脚编程模式下，此引脚变为S2。这种模式下，S2通过一个电阻硬连线至VDD或地。电阻值和电阻偏置决定引脚11和引脚12上的输出的通道分频器值。详情参见“引脚绑定至上电编程”部分。
2	OUT0	LVDS/HSTL差分输出或单端CMOS输出。
3	OUT0	互补LVDS/HSTL差分输出或单端CMOS输出。
4	SDO/S3	串行数据输出/引脚编程。多用途引脚。此引脚由PROG_SEL引脚控制。SDO配置为输出，可在SPI工作模式下回读内部寄存器设置。在引脚编程模式下，此引脚变为S3，通过一个电阻硬连线至VDD或地。电阻值和电阻偏置决定引脚16和引脚17上的输出的通道分频器值。详情参见“引脚绑定至上电编程”部分。
5	EXT_CAP0	LDO的外部去耦电容节点。通过一个0.47 μF电容将该引脚连接至地。
6	VDD	电源(2.5 V或3.3 V)。
7	OUT1	LVDS/HSTL差分输出或单端CMOS输出。
8	OUT1	互补LVDS/HSTL差分输出或单端CMOS输出。
9	S4	引脚编程。只能在引脚编程模式下使用此引脚。PROG_SEL引脚决定使用何种编程模式。在引脚编程模式下，S4通过一个电阻硬连线至VDD或地。电阻值和电阻偏置决定引脚2、引脚3、引脚7和引脚8上的输出所用的输出逻辑电平。详情参见“引脚绑定至上电编程”部分。
10	S5	引脚编程。只能在引脚编程模式下使用此引脚。PROG_SEL引脚决定使用何种编程模式。在引脚编程模式下，S5通过一个电阻硬连线至VDD或地。电阻值和电阻偏置决定引脚11、引脚12、引脚16和引脚17上的输出所用的输出逻辑电平。详情参见“引脚绑定至上电编程”部分。
11	OUT2	LVDS/HSTL差分输出或单端CMOS输出。
12	OUT2	互补LVDS/HSTL差分输出或单端CMOS输出。
13	VDD	电源(2.5 V或3.3 V)。
14	EXT_CAP1	LDO的外部去耦电容节点。通过一个0.47 μF电容将该引脚连接至地。
15	PROG_SEL	态CMOS输入。引脚15选择要使用的器件编程接口的类型(SPI、I ² C或引脚编程)。
16	OUT3	LVDS/HSTL差分输出或单端CMOS输出。
17	OUT3	互补LVDS/HSTL差分输出或单端CMOS输出。

AD9508

引脚编号	引脚名称	说明
18	RESET	CMOS输入。器件复位。此低电平有效引脚置位时，内部寄存器设置在RESET释放后进入默认状态。注意，对RESET施加一个低电平有效信号时，该引脚也用作器件的关断引脚。RESET引脚内置一个24 kΩ上拉电阻。
19	SCLK/SCL/S0	串行编程时钟/数据时钟/编程引脚。多功能引脚，由PROG_SEL引脚控制，在SPI模式下用于串行编程时钟(SCLK)，在I ² C模式下用于串行编程的数据时钟(SCL)。PROG_SEL引脚决定使用何种编程模式。在引脚编程模式下，此引脚变为S0。这种模式下，S0通过一个电阻硬连线至VDD或地。电阻值和电阻偏置决定引脚2和引脚3上的输出的通道分频器值。详情参见“引脚绑定至上电编程”部分。
20	SYNC	时钟同步。此引脚为低电平有效时，输出驱动器保持静态，然后在此引脚发生低电平到高电平转换时同步。SYNC引脚内置一个24 kΩ上拉电阻。
21	CLK	差分时钟输入或单端CMOS输入。此引脚用作差分时钟输入还是单端CMOS输入，取决于IN_SEL引脚的逻辑状态。
22	$\overline{\text{CLK}}$	互补差分时钟输入。
23	IN_SEL	CMOS输入。逻辑高电平配置差分输入信号的CLK和 $\overline{\text{CLK}}$ 输入。逻辑低电平配置施加于CLK引脚的单端CMOS输入。应通过一个0.1 μF电容将不使用的CLK交流耦合至地。
24	SDIO/SDA/S1	串行数据输入和输出(SPI)/串行数据(I ² C)/引脚编程。Pin 24是一个多功能输入，由PROG_SEL引脚控制，用于SPI(SDIO)、I ² C(SDA)和引脚绑定模式(S1)。4线SPI模式下，数据通过SDIO写入。3线模式下，数据读取和写入均通过此引脚进行。此引脚没有内置上拉/下拉电阻。I ² C模式下，SDA用作串行数据引脚。PROG_SEL引脚决定使用何种编程模式。在引脚编程模式下，此引脚变为S1。这种模式下，S1通过一个电阻硬连线至VDD或地。电阻值和电阻偏置决定引脚7和引脚8上的输出的通道分频器值。详情参见“引脚绑定至上电编程”部分。
	EP	裸露焊盘。裸露焊盘必须连接到地(VSS)。

典型工作特性

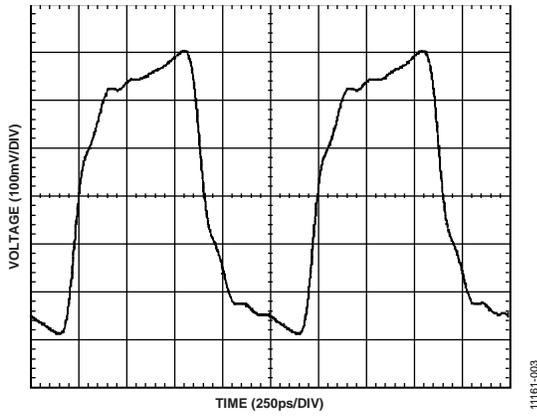


图3. 800 MHz时的LVDS差分输出波形

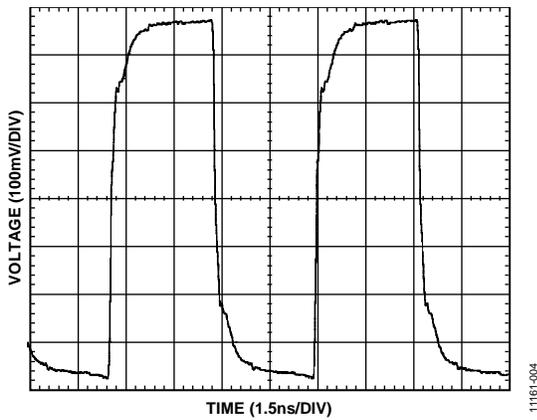


图4. 156.25 MHz时的LVDS差分输出波形

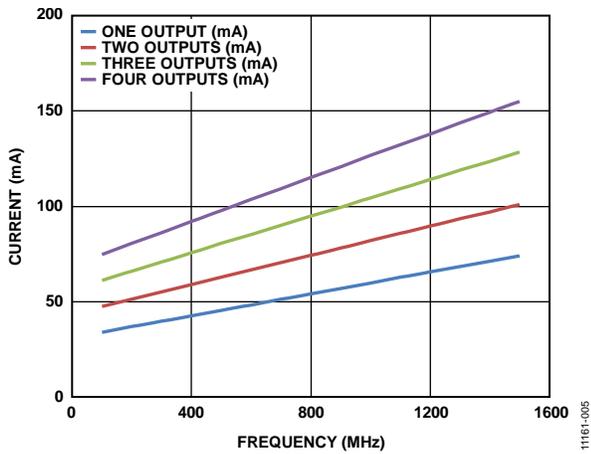


图5. 电源电流与输入频率和所用输出数量的关系, LVDS

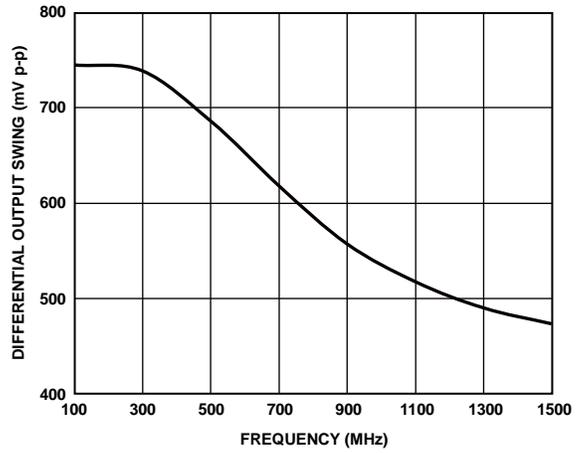


图6. LVDS差分输出摆幅与频率的关系

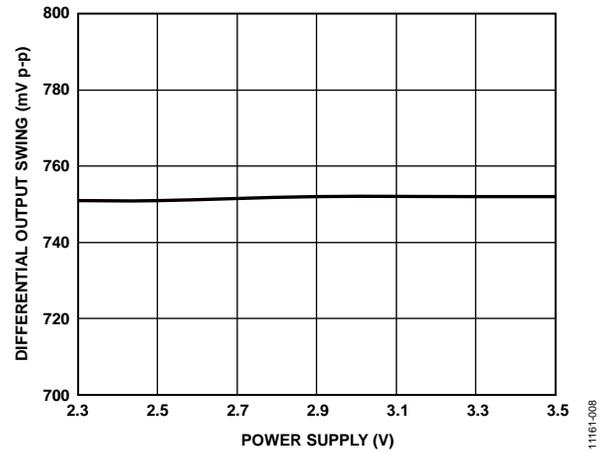


图7. LVDS差分输出摆幅与电源电压的关系

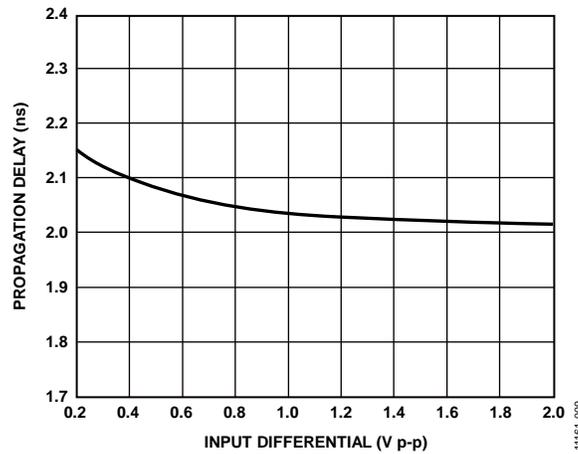


图8. LVDS传播延迟与输入差分电压的关系

AD9508

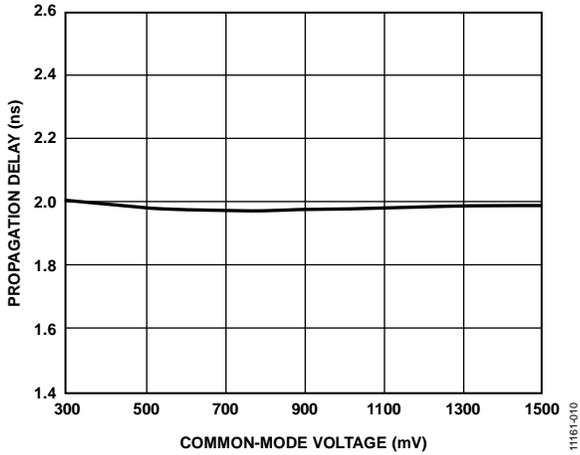


图9. LVDS传播延迟与输入共模电压的关系

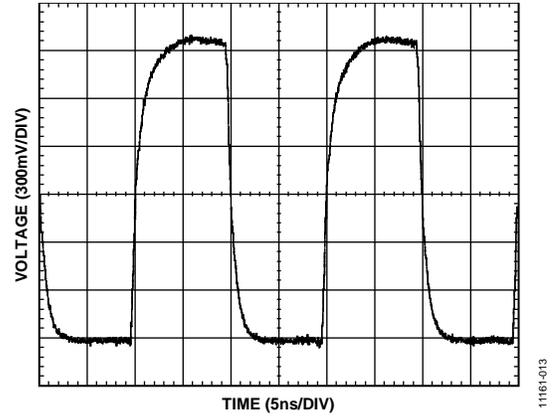


图12. 工作频率为50 MHz、负载为10 pF时的CMOS输出波形

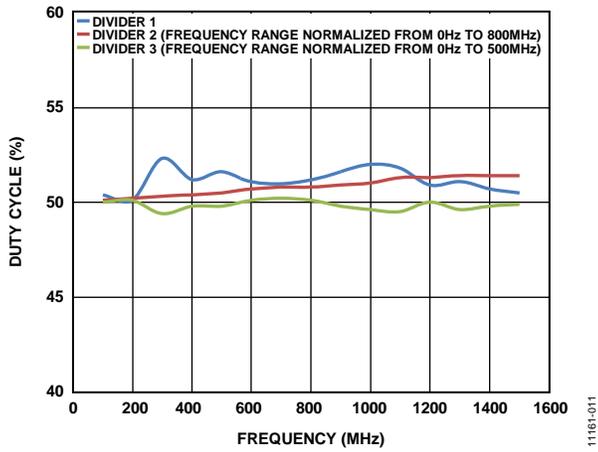


图10. LVDS输出占空比与输出频率的关系

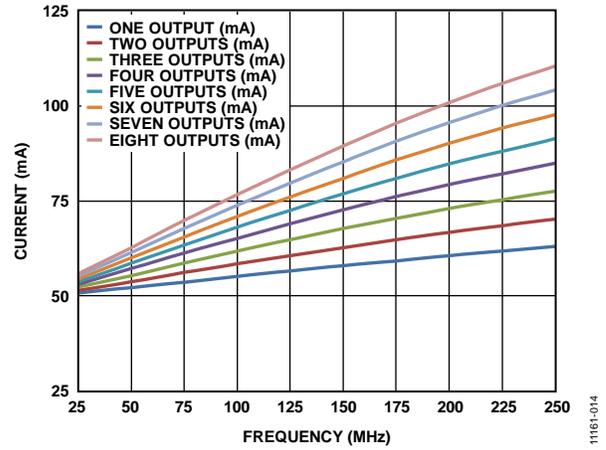


图13. 电源电流与输入频率和所用输出数量的关系, CMOS

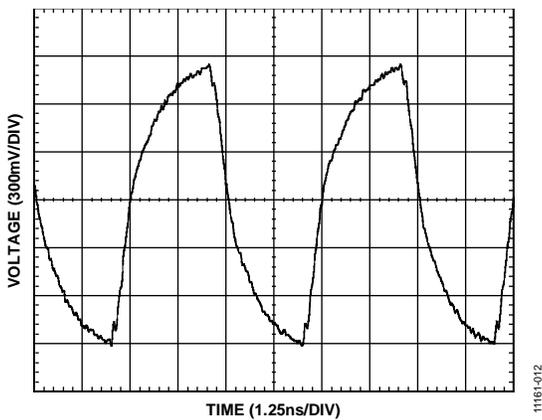


图11. 工作频率为200 MHz、负载为10 pF时的CMOS输出波形

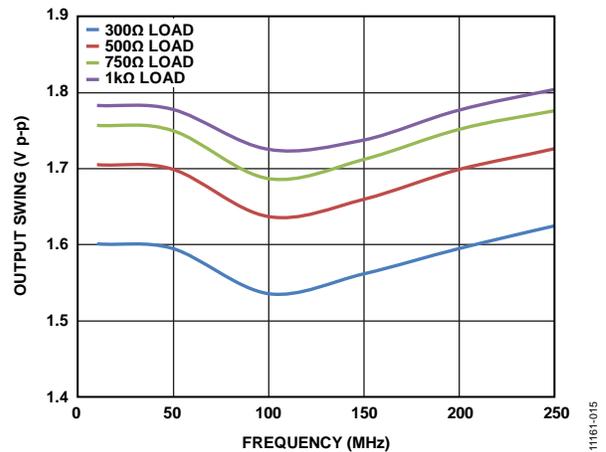


图14. CMOS输出摆幅与频率和阻性负载的关系

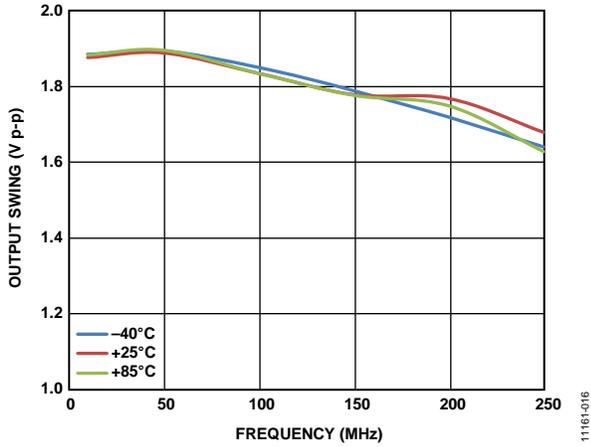


图15. CMOS输出摆幅与频率和温度的关系(负载为10 pF)

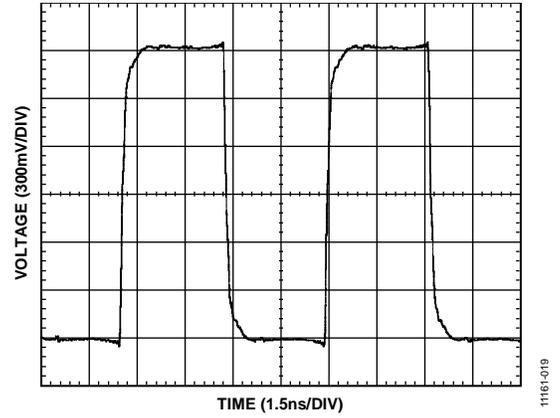


图18. 156.25 MHz时的HSTL差分输出波形

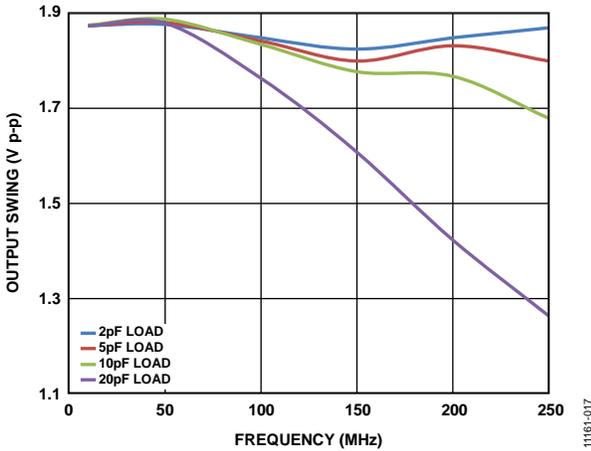


图16. CMOS输出摆幅与频率和容性负载的关系 (2 pF、5pF、10 pF、20 pF)

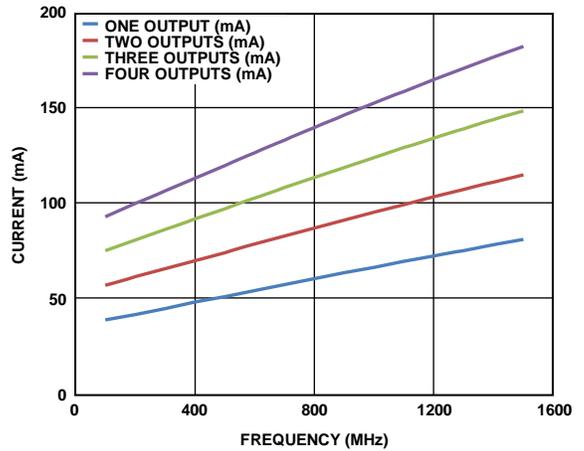


图19. 电源电流与输入频率和所用输出数量的关系, HSTL

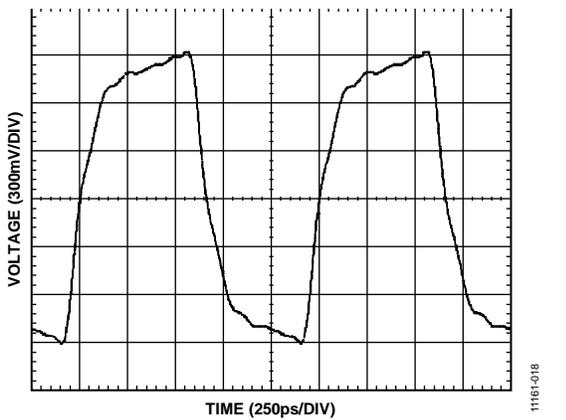


图17. 800 MHz时的HSTL差分输出波形

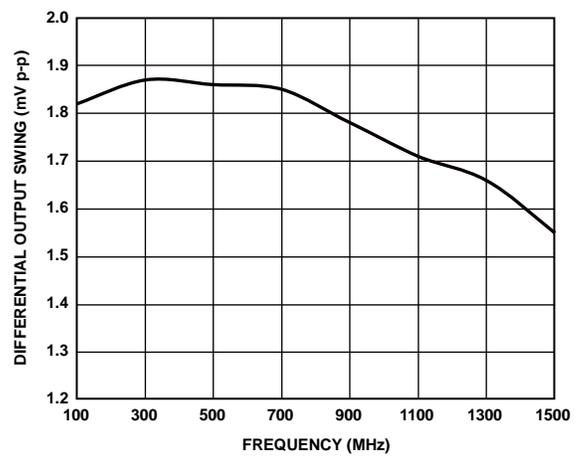


图20. HSTL差分输出摆幅与频率的关系

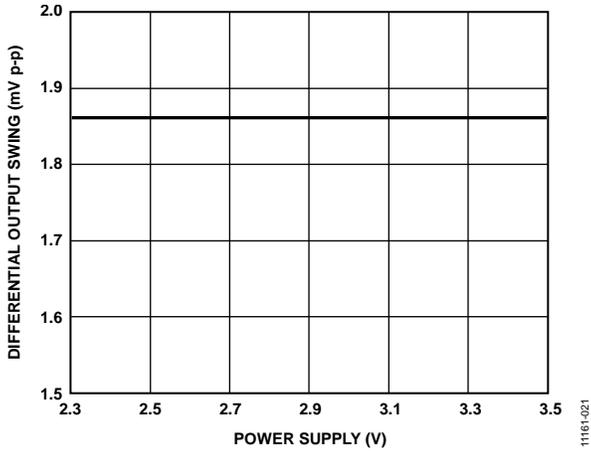


图21. HSTL差分输出摆幅与电源电压的关系

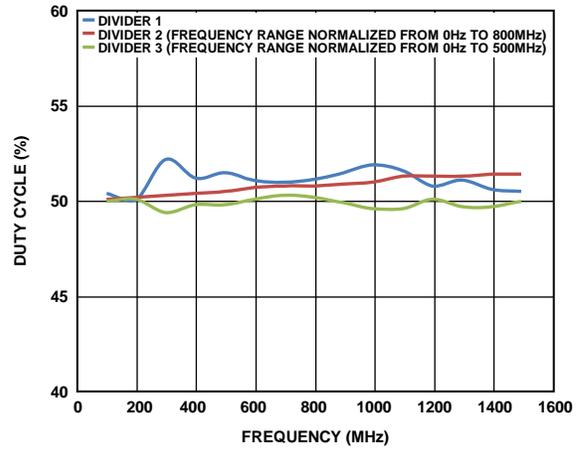


图24. HSTL输出占空比与输出频率的关系

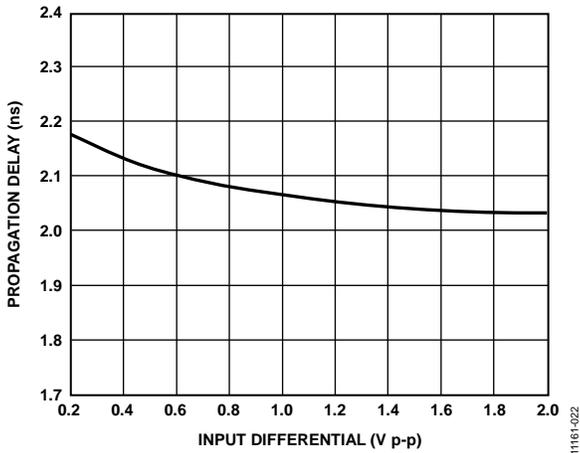


图22. HSTL传播延迟与输入差分电压的关系

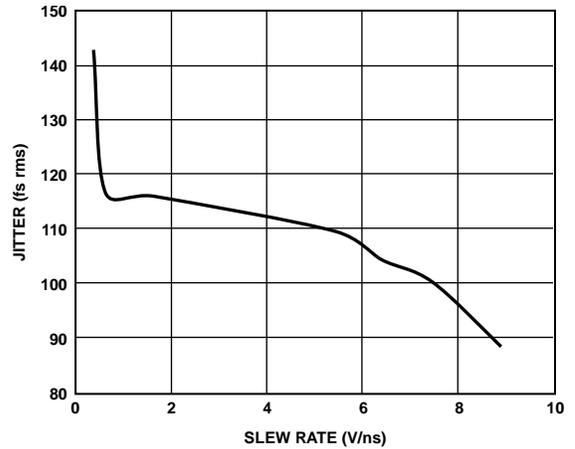


图25. 附加的宽带抖动与输入摆率的关系 (LVDS、HSTL, 利用ADC的SNR方法计算)

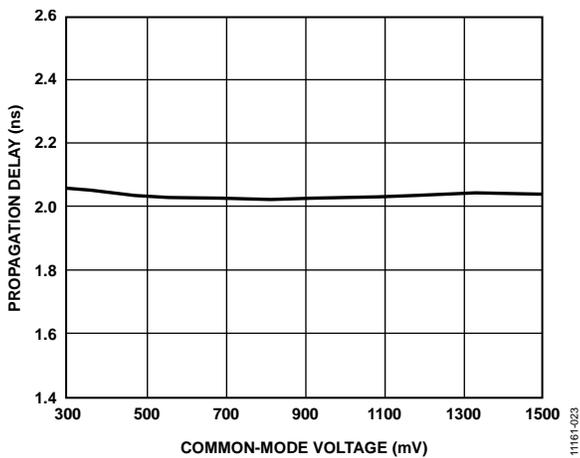


图23. HSTL传播延迟与输入共模电压的关系

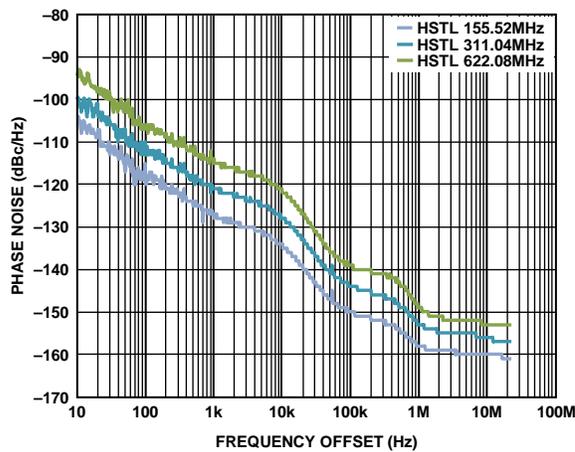


图26. 绝对相位噪声(HSTL模式, 时钟输入为622.08 MHz, 输出 = 622.08 MHz、311.04 MHz、155.52 MHz)

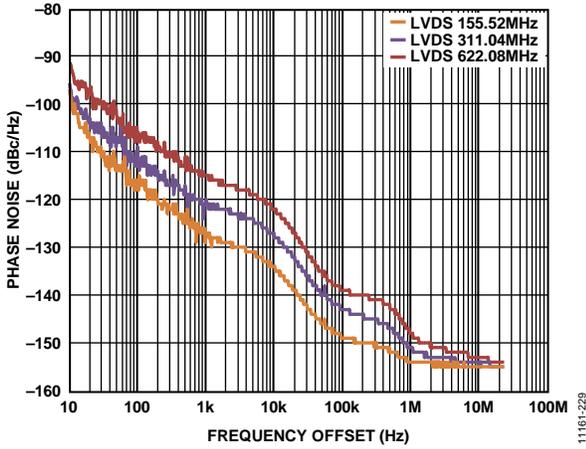


图27. 绝对相位噪声(LVDS模式, 时钟输入为622.08 MHz, 输出 = 622.08 MHz、311.04 MHz、155.52 MHz)

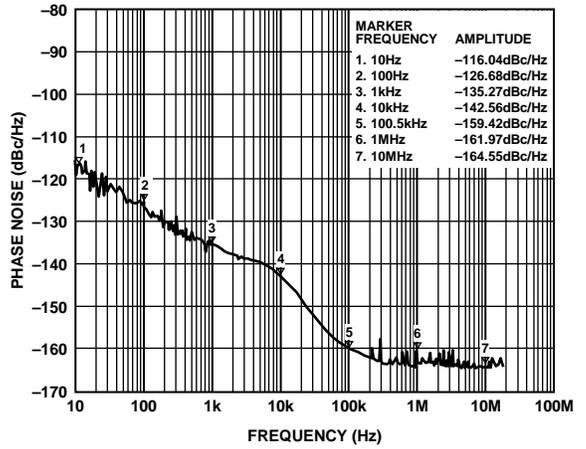


图30. 附加的相位噪声(时钟输入 = 1500 MHz, HSTL输出 = 100 MHz)

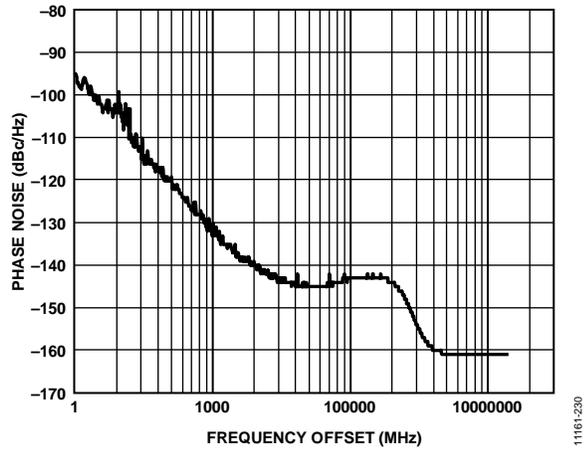


图28. 622.08 MHz时钟源的绝对相位噪声

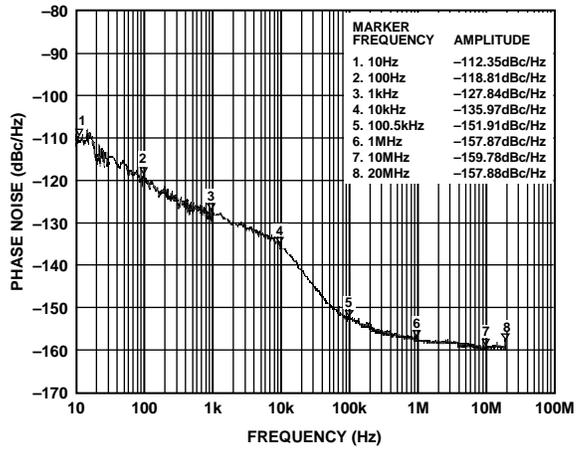


图31. 附加的相位噪声(时钟输入 = 622.08 MHz, HSTL输出 = 155.52 MHz)

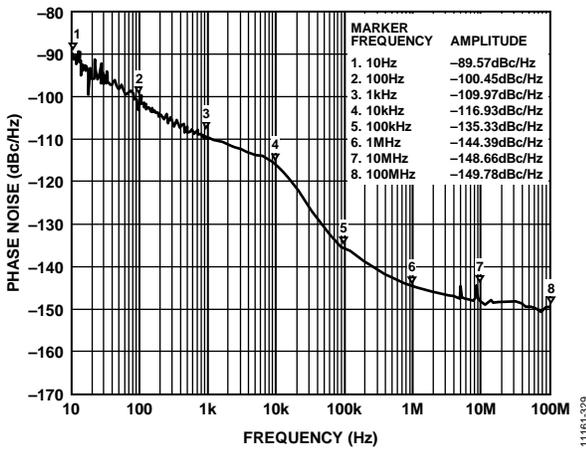


图29. 附加的相位噪声(时钟输入 = 1474.56 MHz, HSTL输出 = 1474.76 MHz)

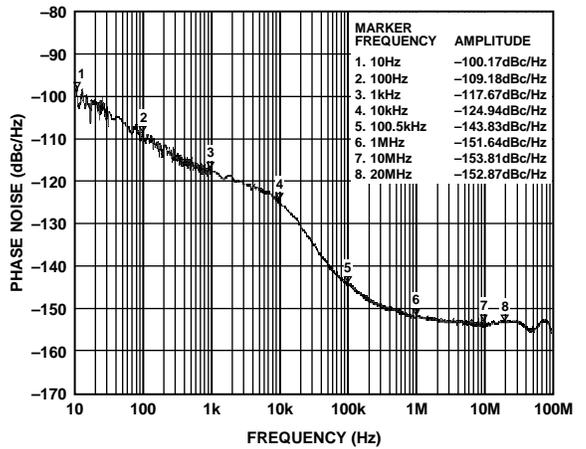


图32. 附加的相位噪声(时钟输入 = 622.08 MHz, LVDS输出 = 622.08 MHz)

AD9508

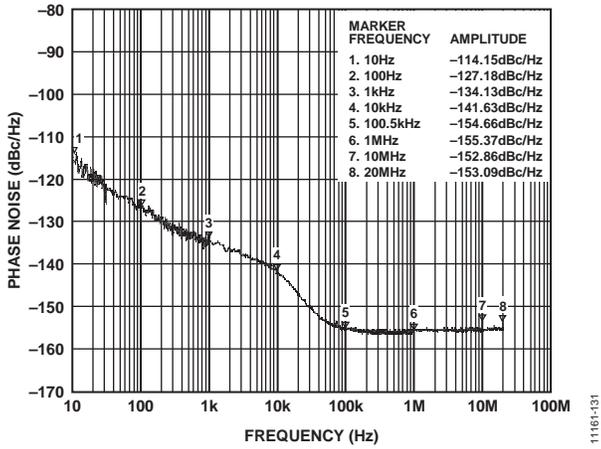


图33. 附加的相位噪声(时钟输入 = 100 MHz,
CMOS输出 = 100 MHz)

11161-131

测试电路

输入/输出端接建议

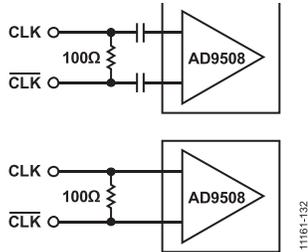


图34. 典型的交流耦合或直流耦合LVDS或HSTL配置

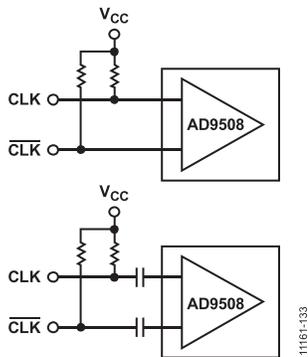


图35. 典型的交流耦合或直流耦合CML配置

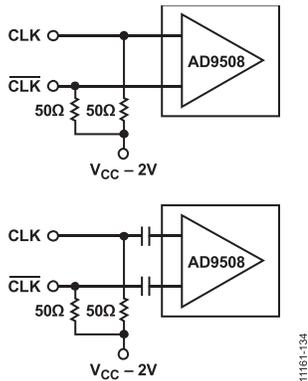


图36. 典型的交流耦合或直流耦合LVPECL配置

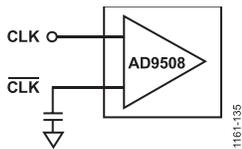


图37. 用于短走线的典型1.8 V CMOS配置

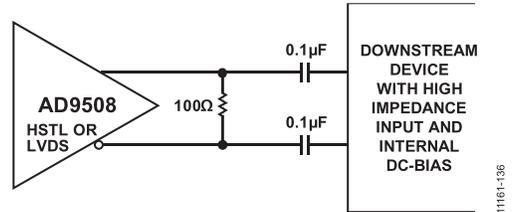


图38. 交流耦合LVDS或HSTL输出驱动器(100 Ω电阻可以位于去耦电容的任一端, 应尽可能靠近目标接收器)

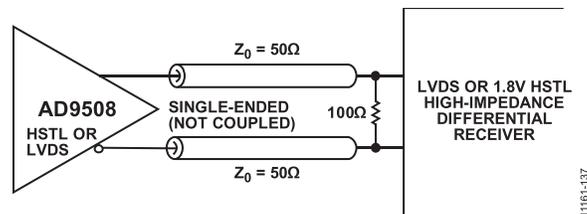


图39. 直流耦合LVDS或HSTL输出驱动器

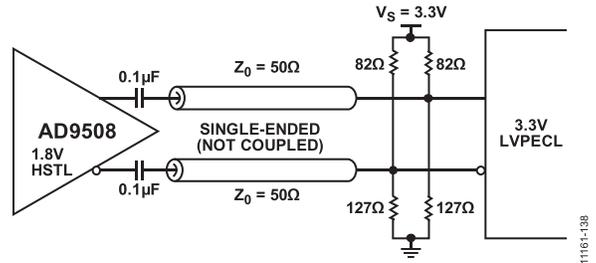


图40. HSTL驱动器与3.3 V LVPECL输入的接口(这种方法整合了针对双极性LVPECL接收器的阻抗匹配和直流偏置。如果接收器为自偏置, 建议使用图38所示的端接方案。)

术语

相位抖动和相位噪声

理想情况下，在正弦波的每个周期，相位都会随着时间从0度连续均匀地变化到360度。不过，实际信号的相位随着时间的变化与理想情况会有一些的偏差，这种现象就是相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯(正态)分布。

相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱报告为相对于正弦波(载波)的给定频率偏移下的一系列值，其单位为dBc/Hz。该值是1 Hz带宽内包含的功率与载波频率时的功率之比(用dB表示)。对于每次测量，还会给出相对于载波频率的偏移。

对一定偏移频率区间(例如10 kHz到10 MHz)内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对ADC、DAC和RF混频器的性能有不利影响。虽然影响方式不同，但它会降低转换器和混频器可实现的动态范围。

时间抖动

相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。

这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)秒或高斯分布的 1σ 来规定时间抖动。

出现在DAC或ADC采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

附加的相位噪声

附加的相位噪声指仅能归因于被测设备或子系统的相位噪声量。残余相位噪声系统用到两个完全正交的器件。两个器件共有的任何外部器件(如时钟源)的相关噪声不存在。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占居系统总相位噪声的主要部分。

附加的时间抖动

附加的时间抖动指可归因于被测设备或子系统的时间抖动量。计算方法是特定范围内的附加的相位噪声进行积分。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占居系统时间抖动的主要部分。

工作原理

详细框图

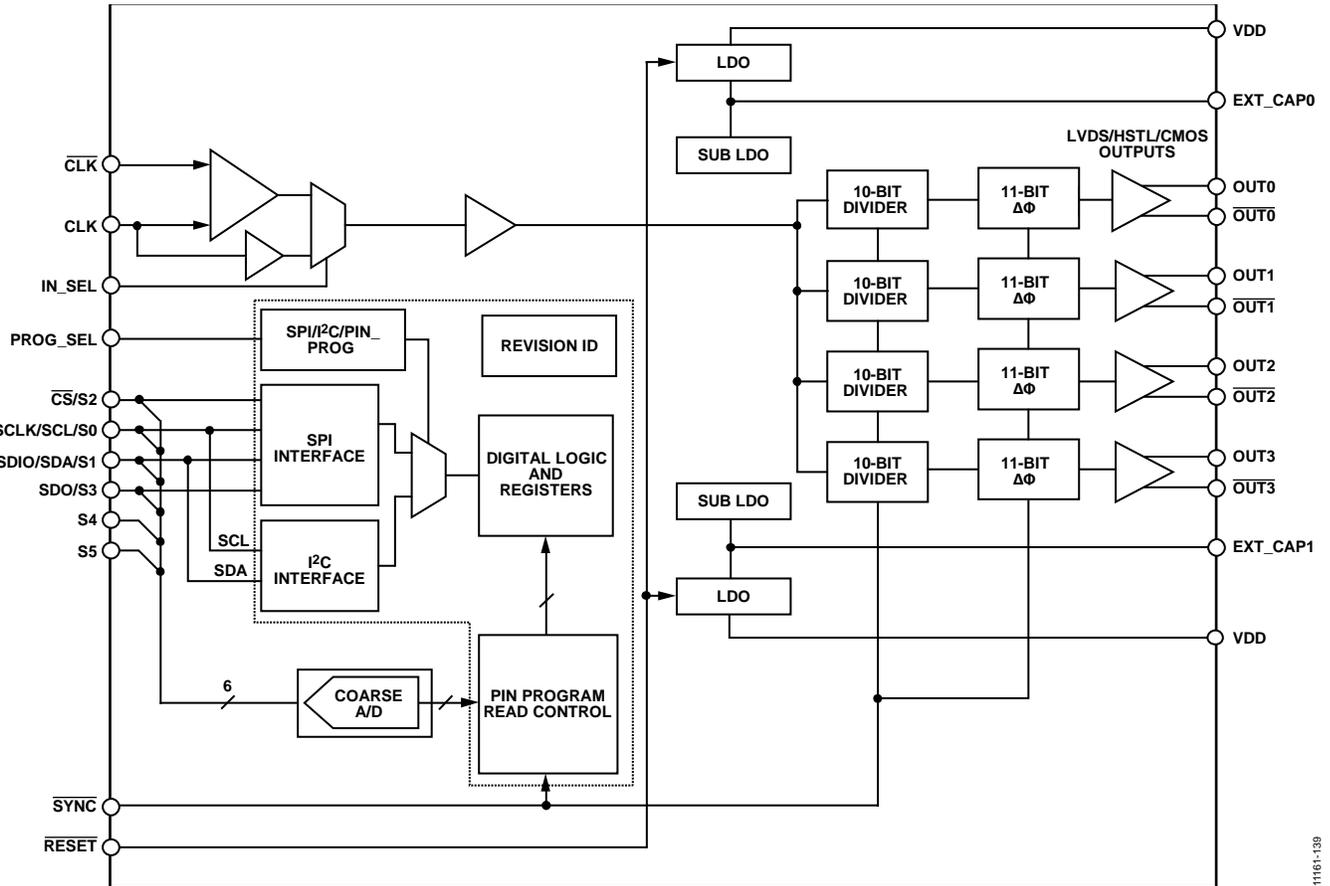


图41. 详细框图

AD9508既可接受施加于CLK和 $\overline{\text{CLK}}$ 引脚的差分输入时钟，也可接受施加于CLK引脚的1.8 V CMOS时钟。输入时钟信号送至时钟分配部分，后者具有可编程分频器和相位偏移调整功能。时钟分配部分的工作速率最高可达1650 MHz。

SPI或I²C控制下的分频范围是1到1024分频，相位偏移调整功能具有11位分辨率。然而，在引脚编程模式下，分频范围以16分频为限，无法使用相位偏移调整。

输出最多可以配置为4路LVDS/HSTL差分输出或8路1.8 V CMOS单端输出。此外，不同输出的输出电流可以调整以提供不同的输出驱动强度。

该器件可以采用3.3 V或2.5 V外部电源供电，但片上内部电源采用内部1.8 V LDO供电，以最低的功耗实现高性能。

编程模式选择

AD9508支持SPI和I²C两种协议，并可通过引脚绑定选择对器件进行编程。何种接口有效取决于PROG_SEL引脚的逻辑状态。编程模式选择参见表13。详情参见“串行控制端口”和“引脚绑定至上电编程”部分。

表13. SPI/I²C/引脚串行端口设置

PROG_SEL	SPI/I ² C/引脚
悬空	SPI
逻辑0	I ² C
逻辑1	引脚编程控制

时钟输入

IN_SEL引脚控制所需的输入时钟配置。IN_SEL引脚设置为单端操作时，器件CLK输入引脚提供1.8 V、2.5 V或3.3 V CMOS兼容逻辑电平。不使用的 $\overline{\text{CLK}}$ 引脚应通过一个0.1 μF 电容旁路至地。

IN_SEL引脚设置为差分输入时钟模式时，AD9508的输入内部自偏置。

AD9508

内部输入带有电阻分压器，用于设置共模电平。互补输入经过偏置，比真实输入低大约30 mV；当止输入信号停止时，可避免振荡。等效差分输入电路见图42。

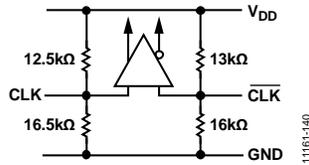


图42. AD9508差分输入级

在差分模式下，输入可以交流耦合或直流耦合。输入逻辑兼容性参见表14。在差分输入模式下，用户可以提供单端输入，方法是交流或直流耦合到差分输入的一端，而将另一输入通过一个电容旁路至地。

注意，输入压摆率较低时，抖动性能会降低，如图25所示。不同输入时钟端接方案参见图34至图37。

时钟输出

各通道输出驱动器可以配置为一路差分LVDS/HSTL输出或两路单端CMOS输出。使能LVDS/HSTL驱动器后，相应的CMOS驱动器变为三态。使能CMOS驱动器后，相应的LVDS/HSTL驱动器关断并变为三态。等效输出级见图43和图44。

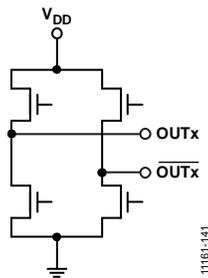


图43. 简化的LVDS/HSTL输出等效电路

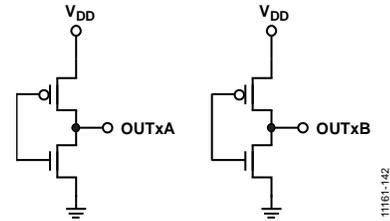


图44. CMOS等效输出电路

LVDS或HSTL模式下存在控制输出逻辑类型和电流驱动强度的寄存器设置。LVDS输出电流可以设置为标称值3.5 mA，附加设置包括0.5、0.75、1.0(默认)和1.25乘以3.5 mA。HSTL输出电流可以设置为8 mA(标称值)或16 mA(双倍幅度)。关于引脚编程模式的详情和器件的局限，参见“引脚绑定至上电编程”部分。在引脚编程模式下，标称电流为默认设置且不可调整。

路由单端CMOS信号时，避免用一路输出驱动多个输入接收器。通常需要源端的串联端接电阻提供传输线匹配和/或降低驱动器的瞬态电流。串联电阻值由电路板设计及时序要求决定，典型值为10 Ω至100 Ω。另外，CMOS输出还会受能驱动的容性负载或走线长度的限制。通常，建议将走线长度控制在3英寸以内，以保持信号上升/下降时间和信号完整性。

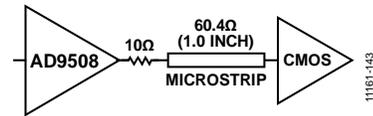


图45. CMOS输出的串行端接

表14. CLK和CLK差分输入逻辑兼容性

电源电压(V)	逻辑	共模(V)	输出摆幅(V)	交流耦合	直流耦合
3.3	CML	2.9	0.8	是	不允许
2.5	CML	2.1	0.8	是	不允许
1.8	CML	1.4	0.8	是	是
3.3 ¹	CMOS	1.65	3.3	不允许	是
2.5 ¹	CMOS	1.25	2.5	不允许	是
1.8 ¹	CMOS	0.9	1.8	不允许	是
1.5	HSTL	0.75	0.75	是	是
N/A ²	LVDS	1.25	0.4	是	是
3.3	LVPECL	2.0	0.8	是	不允许
2.5	LVPECL	1.2	0.8	是	是
1.8	LVPECL	0.5	0.8	是	是

¹ IN_SEL设置为单端CMOS模式。

² N/A表示不适用。

时钟分频器

4个独立通道分频器为10位整数分频器，SPI和I²C模式下的分频范围为1至1024。通道分频器模块包含占空比校正功能，可保证偶数和奇数分频比下器件均能实现50%的占空比。在引脚编程模式下，支持的分频值是1到8和16。

相位延迟控制

AD9508提供输出间的输出相位延迟粗调，但该粗调的延迟范围很宽，对某些应用有利。最小延迟步进等于输入时钟速率周期的一半。此最小延迟步进可以乘以1到2047倍，从而提供非常宽的延迟范围。每个通道输出均可通过相应的内部编程寄存器实现最小延迟步进的倍乘。引脚编程模式不支持相位延迟。

注意，相位延迟调整需要使用SYNC功能引脚。相位调整和输出同步发生在SYNC引脚的上升沿。因此，必须拉低并释放SYNC引脚，以便产生所需的输出间相位关系。如果SYNC未在相位延迟改变之前变为低电平有效，则不保证会发生所需的输出间相位延迟，相反，输出间的相位延迟可能是随机的。然而，未来的SYNC脉冲(如有)会校正到所需的相位关系。在低电平有效SYNC期间，输出强制变为静态。

图46显示了三路独立输出，各输出的分频系数DIV均设置为4。通过将编程寄存器中的相位偏移值从0提高到2，各输出从初始边沿偏移 $\frac{1}{2}t_{CLK}$ 的倍数。注意，此时序图中未显示SYNC信号。

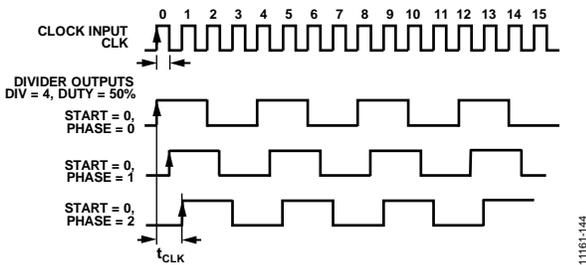


图46. 相位偏移(所有分频器的DIV = 4，相位设置从0提高到2)

复位模式

AD9508可以通过上电复位(POR)和其它方式使芯片复位。

上电复位

芯片上电期间，当VDD达到约1.15 V时，会发出一个内部上电复位脉冲，芯片恢复到默认片内设置。内部产生上电复位脉冲信号后，大约需要20 ms输出才会开始切换。

在SPI或I²C模式下，AD9508的默认上电状态配置为缓冲器，分频器设置为1分频。在引脚编程模式下，器件根据S0至S5引脚的硬连线配置。

通过RESET引脚进行硬件复位

短暂拉低RESET可执行硬同步复位，芯片恢复到片内默认寄存器设置。释放RESET后，大约需要20 ms输出才会开始切换。

通过串行端口进行软复位

将寄存器0x000的位2和位5置1，可启动软复位。当位5和位2置1时，芯片进入软复位模式，恢复到片内设置，寄存器0x000除外。这些位自动清0。然而，自清零操作直到再出现一个串行端口SCLK周期后才完成，在此之前，AD9508保持复位状态。

省电模式

各时钟通道独立关断

在SPI或I²C编程模式下，通过写入相应的寄存器，可以关断时钟分配通道。关断一个时钟通道与关断一个驱动器相似，但前者更省电，因为有其它电路也被关断。寄存器映射详细说明了各输出通道的关断设置，各独立通道的关断位为寄存器0x19的位7、寄存器0x1F的位7、寄存器0x25的位7和寄存器0x2B的位7。

注意，在所有三种编程模式下，RESET引脚上的逻辑低电平可用来关断器件。

输出时钟同步

上电时，如果使用SPI和I²C编程模式，则默认输出通道分频器值为1分频。因此，对上电后同步没有实际要求，除非希望改变分频器值或相位偏移值。短暂拉低 $\overline{\text{SYNC}}$ 可执行硬同步输出同步。 $\overline{\text{SYNC}}$ 引脚释放后，输出被迫边沿对齐，无论其分频比是多少。

如果任何输出通道的同步屏蔽位设为逻辑1，则该通道将继续工作而不中断，其它通道执行同步操作。当 $\overline{\text{SYNC}}$ 为低电平时，未被同步屏蔽位屏蔽的输出也是低电平。其适用条件是：输出工作在正常模式下，逻辑电平设置为11或切换模式。

电源

AD9508设计采用3.3 V + 5%至2.5 V - 5%电源供电。为充分发挥器件的性能，建议用户利用一个电容值足够大(>10 μF)的电容将PCB上的电源旁路，再用一个电容值足够大(0.1 μF)的电容将所有电源引脚旁路；电容应尽可能地靠近器件。AD9508评估板(AD9508/PCBZ)的布局(请访问www.analog.com)为此器件提供了一个很好的布局示例。

散热增强型封装安装指南

裸露金属焊盘

AD9508封装上的裸露金属焊盘不仅是一个散热器，而且是一个电气连接。为使器件正常工作，该焊盘必须妥善接地(VSS)。AD9508通过其裸露焊盘散热。PCB充当AD9508的散热器。PCB连接必须提供良好的散热路径以通往更大的散热区域，如PCB上的接地层。这要求从顶层到接地层有一个过孔网络。示例参见图47。

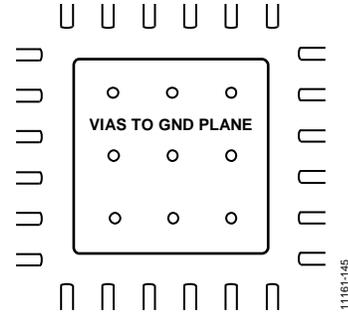


图47. 连接裸露焊盘的PCB焊盘示例

欲了解有关安装带裸露焊盘器件的更多信息，请参阅应用笔记AN-772：“引脚架构芯片级封装(LFCSP)设计与制造指南”。

上电时引脚绑定编程

PROG_SEL输入设置为逻辑1时，AD9508进入引脚绑定控制模式，无需SPI或I²C。这种模式下，引脚S0至S5设置各输出的期望内部分频器值和输出逻辑类型，或将输出设置为高阻态。

最大分频值为16分频，这种模式不支持相位偏移延迟控制。此模式支持LVDS和HSTL逻辑类型。然而，如果设置HSTL模式且移除100 Ω输出端接电阻，则输出摆动至1.8 V CMOS逻辑电平。这种配置下，所选通道的差分输出便为两个CMOS单端信号。这些输出保持180°相位关系，并且使用同一通道分频值。

将特定电阻值硬连线到S0至S5各引脚，可以设置各输出和输出逻辑类型。电阻的另一端偏置到地或VDD，具体取决

于所需的设置。内部ADC扫描S0至S5各引脚后，应用实际设置。ADC扫描可通过两种方式启动：一是器件上电时的内部上电复位，一是切换 $\overline{\text{SYNC}}$ 引脚。如果内部上电复位后发生变化，必须切换 $\overline{\text{SYNC}}$ 引脚才能接受新变化。

表15列出了各输出通道分频值和逻辑类型可用的所有引脚绑定选择。表15中给出的电阻必须具有10%或更好的容差。

注意：如果所有输出使用的输出分频器值为1，并且使用HSTL输出或1.8 V CMOS输出电平，则S0至S5引脚可以接地以实现特定配置，而不必使用820 Ω电阻。

表15. 引脚绑定控制选择表

编程引脚	ADC电压电平(0至7)、电阻值、分频值和逻辑类型的关系								说明
	0 = 820 Ω 拉至GND	1 = 1.8 kΩ 拉至GND	2 = 3.9 kΩ 拉至GND	3 = 8.2 kΩ 拉至GND	4 = 820 Ω 拉至VDD	5 = 1.8 kΩ 拉至VDD	6 = 3.9 kΩ 拉至VDD	7 = 8.2 kΩ 拉至VDD	
S0	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S0仅分配给通道0分频比
S1	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S1仅分配给通道1分频比
S2	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S2仅分配给通道2分频比
S3	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S3仅分配给通道3分频比
S4	HSTL/ HSTL	HSTL/ LVDS	HSTL/ high-Z	LVDS/ HSTL	LVDS/ LVDS	LVDS/ high-Z	High-Z/ HSTL	High-Z/ high-Z	S4分配给通道0和通道1以选择其输出逻辑类型
S5	HSTL/ HSTL	HSTL/ LVDS	HSTL/ high-Z	LVDS/ HSTL	LVDS/ LVDS	LVDS/ high-Z	High-Z/ HSTL	High-Z/ high-Z	S5分配给通道2和通道3以选择其输出逻辑类型

串行控制端口

AD9508串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括I²C、Motorola SPI和Intel SSR协议。通过此串行控制端口，可以对AD9508的寄存器映射进行读/写操作。

SPI模式支持单字节和多字节传输。SPI端口配置可通过寄存器0x00进行编程，此寄存器集成于SPI控制逻辑中，而不是寄存器映射中，不同于I²C寄存器0x00。

SPI/I²C端口选择

AD9508有两个串行接口：SPI和I²C。根据PROG_SEL引脚的状态，用户可以选择SPI或I²C。在I²C工作模式下，有4个不同的I²C从机地址(7位宽)设置可用，如表16所示。从机地址的5个MSB是硬件编码11011，2个LSB由S4和S5引脚编程。

表16. 串行端口模式选择

S4	S5	地址
低电平	低电平	I ² C, 1101100
低电平	高电平	I ² C, 1101101
高电平	低电平	I ² C, 1101110
高电平	高电平	I ² C, 1101111

SPI串行端口操作

引脚描述

SCLK(串行时钟)引脚用作串行移位时钟，此引脚为输入。SCLK同步串行控制端口的读写操作。上升沿SCLK寄存器写入数据位，下降沿寄存器读取数据位。SCLK引脚支持最高40 MHz的时钟速率。

SDIO(串行数据输入/输出)是一个两用引脚，既可以仅用作输入(单向模式)，也可以同时用作输入和输出(双向模式)。AD9508默认SPI模式为双向。

SDO(串行数据输出)引脚仅在单向I/O模式下有用，它用作读操作的数据输出引脚。

\overline{CS} (片选)引脚是低电平有效控制，用来选通读写操作。此引脚内部连接一个30 k Ω 上拉电阻。当 \overline{CS} 为高电平时，SDO和SDIO引脚处于高阻态。

SPI工作模式

SPI端口支持3线(双向)和4线(单向)两种硬件配置以及MSB优先和LSB优先两种数据格式。硬件配置和数据格式均可编程。AD9508默认采用双向MSB优先模式。之所以将双向模式确定为默认模式，是因为在这种模式下，如果器件连线为单向操作，用户可以继续写入器件以切换到单向模式。

\overline{CS} 引脚置位(低电平有效)启动对AD9508 SPI端口的读或写操作。对于三字节或更少的数据传输(不包括指令字)，器件支持 \overline{CS} 空闲高电平模式。在此模式中， \overline{CS} 引脚可以在任何字节边界上暂时解除置位，使系统控制器有时间处理下一个字节。然而， \overline{CS} 只能在字节边界上解除置位，传输的指令部分和数据部分均适用这一规则。

在空闲高电平期间，串行控制端口状态机进入等待状态，直到所有数据发送完毕。如果系统控制器中途决定停止传输，必须完成剩余传输，或者将 \overline{CS} 引脚置位并至少保持一个完整的SCLK周期(但少于8个SCLK周期)，使状态机复位。在非字节边界上解除 \overline{CS} 引脚置位将终止串行传输并刷新缓冲器。

在流模式中(见表17)，可以连续流形式传输任意数量的数据字节，寄存器地址自动递增或递减。在最后一个字节传输完毕时， \overline{CS} 必须解除置位，从而结束流模式。

表17. 字节传输计数

W1	W0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

通信周期—指令加数据

SPI协议由一个可分为两部分的通信周期组成。第一部分是一个16位指令字，它与前16个SCLK上升沿重合；第二部分是有效载荷。指令字向AD9508串行控制端口提供有关有效载荷的信息。指令字包括R/ \overline{W} 位，用以表示有效载荷传输的方向(即是读操作还是写操作)。指令字还会指示有效载荷的字节数，以及有效载荷第一个字节的起始寄存器地址。

写入

如果指令字指示一个写操作，则有效载荷将被写入AD9508的串行控制端口缓冲器。数据位在SCLK的上升沿记录。传输长度(1/2/3字节或流模式)取决于指令字节中的W0和W1两位。当不是流模式时，在每个8位序列之后可以解除CS置位，以使总线空闲，但最后一个字节之后除外，此时会结束通信周期。当总线空闲时，如果CS置位，就会恢复串行传输。在非字节边界上解除CS引脚置位将复位串行控制端口。写序列期间不会自动跳过保留或空白寄存器；因此，用户必须知道要向保留寄存器写入何种位模式，以确保器件正常工作。对于空白寄存器，写入何种数据一般无关紧要，但通常上写入0。

读取

AD9508仅支持长指令模式。如果指令字指示一个读操作，在接下来的N x 8个SCLK周期，数据从指令字所规定的地址逐个输出。N为要读取的数据字节数，由指令字的W0和W1位确定。回读数据在SCLK的下降沿有效。回读期间不会跳过空白寄存器。

回读操作从串行控制端口缓冲寄存器或有效寄存器获得数据。

SPI指令字(16位)

16位指令字的MSB为R/W，表示该指令是读操作还是写操作。接下来的两位(W1和W0)表示传输字节数。最后13位是寄存器地址(A12至A0)，表示读或写操作的起始寄存器地址(见表19)。

SPI MSB优先和LSB优先传输

AD9508指令字和有效载荷可以是MSB优先或LSB优先，默认MSB优先。将1写入寄存器0x00的位6可以设置LSB优先模式。LSB优先位置1后，后续串行控制端口操作立即变为LSB优先。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括有效载荷最高有效字节的寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减1。

当寄存器0x00的位6 = 1(LSB优先)时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括有效载荷最低有效字节的寄存器地址的指令字节开始，其后是多个数据字节。多字节传输周期每传输一个字节，串行控制端口的内部字节地址产生器便递增1。

对于多字节MSB优先(默认)I/O操作，串行控制端口寄存器地址从指定的起始地址向地址0x00递减。对于多字节LSB优先I/O操作，串行控制端口寄存器地址从起始地址向地址0x2C递增。多字节I/O操作期间不会跳过保留的地址；因此，用户应向保留寄存器写入默认值，向未映射的寄存器写入0。注意，发出新的写命令比向两个以上的连续保留(或未映射)寄存器写入默认值更有效率。

表18. 流模式(不跳过任何地址)

写入模式	地址方向	停止序列
LSB优先	递增	0x00 ... 0x2C
MSB优先	递减	0x2C ... 0x00

表19. 串行控制端口，16位指令字，MSB优先位映射

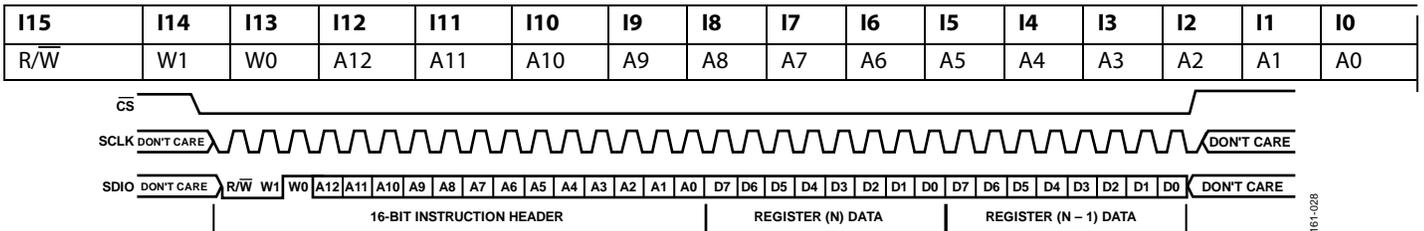


图48. 串行控制端口写入：MSB优先，16位指令，双字节数据

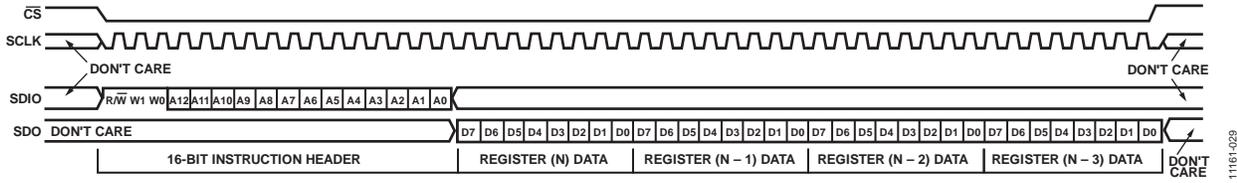


图49. 串行控制端口读取：MSB优先，16位指令，4字节数据

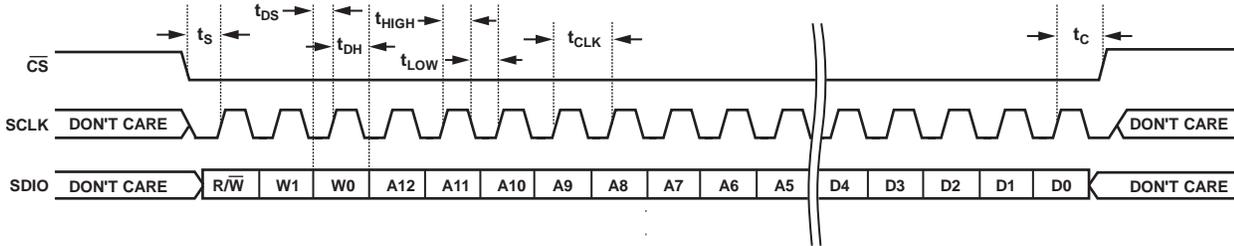


图50. 串行控制端口写入：MSB优先，16位指令，时序测量

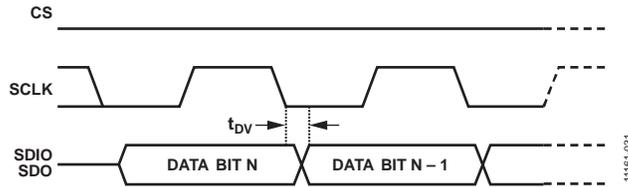


图51. 串行控制端口寄存器读取时序图

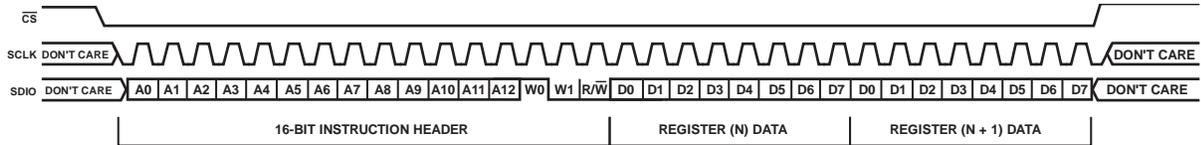


图51. 串行控制端口寄存器读取时序图

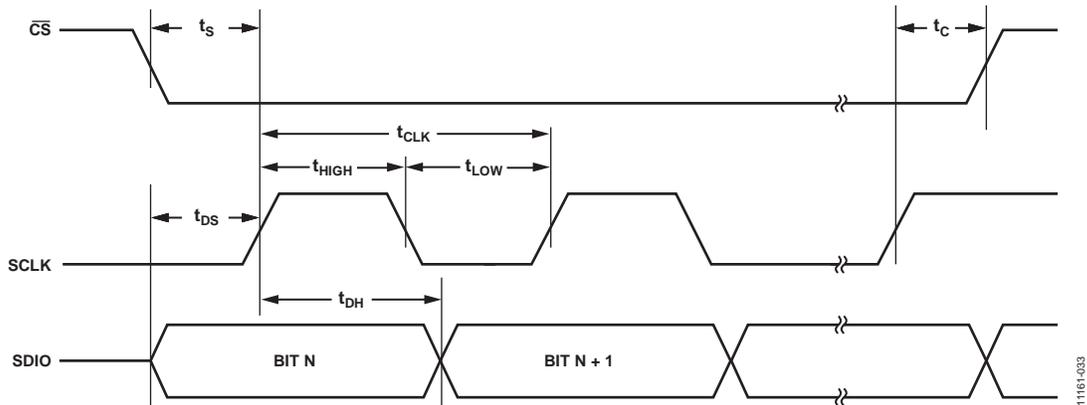


图53. 串行控制端口写操作时序

表20. 串行控制端口时序

参数	说明
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	\overline{CS} 下降沿与SCLK上升沿之间的建立时间(通信周期开始)
t_c	SCLK上升沿与 \overline{CS} 上升沿之间的建立时间(通信周期结束)
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间
t_{DV}	SCLK至有效SDIO和SDO(见图51)

I²C串行端口操作

I²C接口的优势是仅需要两个控制引脚，而且是整个I²C行业事实上的标准。不过，缺点是编程速度有限，最高为400 kbps。AD9508 I²C端口设计基于I²C快速模式标准，因此支持100 kHz标准模式和400 kHz快速模式。快速模式对控制信号有毛刺容差要求，也就是说，输入接收器会忽略持续时间短于50 ns的脉冲。

AD9508 I²C端口由一条串行数据线(SDA)和一条串行时钟线(SCL)构成。在I²C总线系统中，AD9508作为从机连接到串行总线(数据总线SDA和时钟总线SCL)，这意味着AD9508不产生时钟。AD9508采用16位直接存储器寻址，而不是传统的8位存储器寻址。

AD9508最多支持4个不同的从机占用I²C总线，这些从机可以通过一个7位从机地址(作为I²C数据包的一部分传输)访问，只有从机地址匹配的器件才会响应随后的I²C命令。表16列出了支持的器件从机地址。

I²C总线特性

表21总结了该协议使用的各种I²C缩略语。

表21. I²C总线缩略语定义

缩写	定义
S	起始
Sr	重复起始
P	停止
ACK	应答
NACK	不应答
\overline{W}	写入
R	读取

数据传输如图54所示。对于所传输的每个数据位，都会产生一个时钟脉冲。SDA线上的数据在时钟的高电平期间必须保持不变。只有当SCL线上的时钟信号为低电平时，数据线的高低电平状态才能改变。

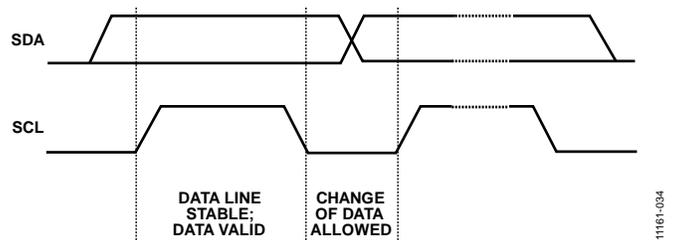


图54. 有效位传输

起始/停止功能如图55所示。起始条件是SCL处于高电平时，SDA线上发生从高电平至低电平转换。起始条件始终由主机产生，用于启动数据传输。停止条件是SCL处于高电平时，SDA线上发生低-高跃迁。停止条件始终由主机产生，用于终止数据传输。SDA线上的每个字节必须为8位长。每个字节之后必须跟随一个应答位。字节以MSB优先方式发送。

应答位(ACK)是附加到任何8位数据字节的第九个位。应答位始终由接收器件(接收方)产生，用于通知发送方已收到该字节。应答位的传送方法是在每8位数据字节后的第9个时钟脉冲期间拉低SDA线(见图56)。

不应答位是附加到任何8位数据字节的第九个位(NACK)。不应答位始终由接收器件(接收方)产生，用于通知发送方未收到该字节。不应答位的传送方法是在每8位数据字节后的第9个时钟脉冲期间保持SDA线为高电平状态不变。

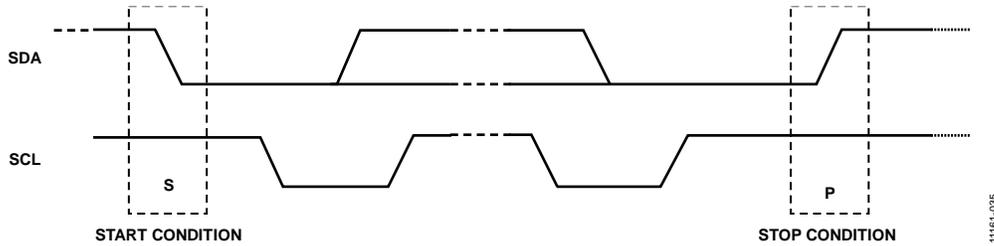


图55. 起始条件和停止条件

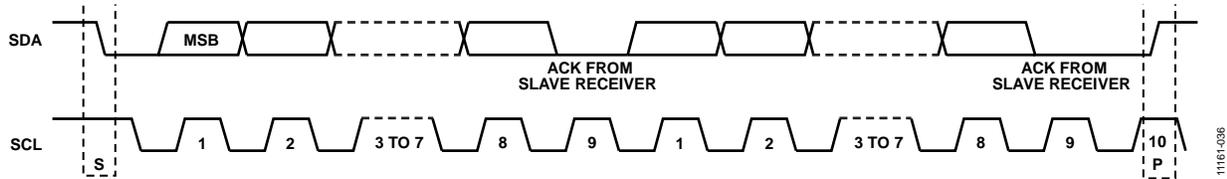


图56. 应答位

数据传输过程

主机通过置位起始条件来发起数据传输，指示随后将有数据流。连接到串行总线的所有I²C从机都会响应起始条件。

然后，主机通过SDA线发送一个8位地址字节，该字节由7位从机地址(MSB优先)和一个读写(R/ \overline{W})位组成。读写位决定数据传输的方向，即数据写入还是读取从机(0 = 写，1 = 读)。

地址与所发送地址对应的外设以一个应答位响应。在选定器件等待读写数据期间，总线上的所有其它器件保持空闲状态。如果R/ \overline{W} 位为0，则主机(发送方)写入从机(接收方)。如果R/ \overline{W} 位为1，则主机(接收方)读取从机(发送方)。这些命令的格式如“数据传输格式”部分所述。

然后，主机(写入模式)或从机(读取模式)以9个时钟脉冲(8位数据字节后跟1个来自接收器件的应答位)的格式通过串行总线发送数据。每次传输能够发送的字节数不受限制。在写入模式下，紧随从机地址字节之后的前两个数据字节

用作内部存储器(控制寄存器)地址字节，高位地址字节优先。这种寻址方案的存储器地址数量最多为 $2^{16} - 1 = 65,535$ 。两个存储器地址字节之后的数据字节是写入或读出控制寄存器的寄存器数据。在读取模式下，从机地址字节之后的数据字节是写入或读出控制寄存器的寄存器数据。

读取或写入所有数据字节之后，停止条件随即建立。在写入模式下，主机(发送方)在从机(接收方)最后一个数据字节的应答位之后的第10个时钟脉冲期间置位停止条件以结束数据传输。在读取模式下，主机(接收方)接收从机(发送方)最后一个数据字节，但在第9个时钟脉冲期间不拉低SDA，这称为不应答位。接收到不应答位时，从机得知数据传输已结束，因而进入空闲模式。主机随后在第10个时钟脉冲前的低电平期间拉低数据线，然后在第10个时钟脉冲期间拉高数据线，以置位停止条件。

起始条件可以代替停止条件。此外，起始或停止条件可以随时发生，未完整传输的字节会被丢弃。

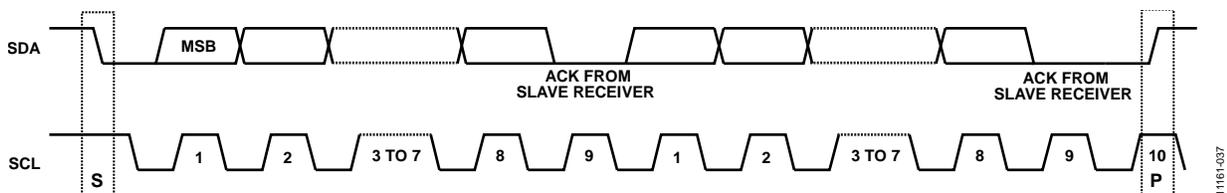


图57. 数据传输过程(主机写模式，2字节传输)

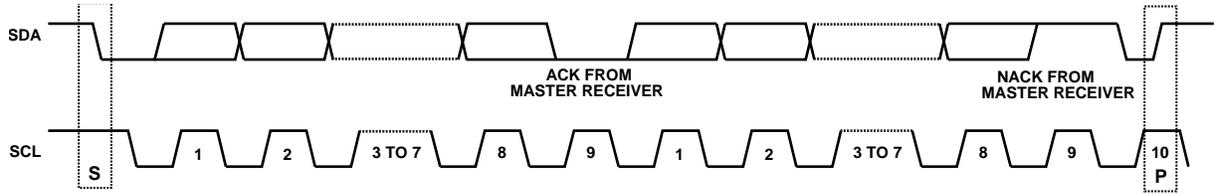


图58. 数据传输过程 (主机读模式, 2字节传输)

11161-039

数据传输格式

写入字节格式: 写入字节协议将寄存器地址写入RAM, 从指定RAM地址开始。

S	从机地址	\overline{W}	A	RAM地址高位字节	A	RAM地址低位字节	A	RAM数据0	A	RAM数据1	A	RAM数据2	A	P
---	------	----------------	---	-----------	---	-----------	---	--------	---	--------	---	--------	---	---

发送字节格式: 发送字节协议设置后续读操作的寄存器地址。

S	从机地址	\overline{W}	A	RAM地址高位字节	A	RAM地址低位字节	A	P
---	------	----------------	---	-----------	---	-----------	---	---

接收字节格式: 接收字节协议从RAM读取数据字节, 从当前地址开始。

S	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\overline{A}	P
---	------	---	---	--------	---	--------	---	--------	----------------	---

读取字节格式: 这是发送字节和接收字节的合并格式。

S	从机地址	\overline{W}	A	RAM地址高位字节	A	RAM地址低位字节	A	Sr	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\overline{A}	P
---	------	----------------	---	-----------	---	-----------	---	----	------	---	---	--------	---	--------	---	--------	----------------	---

I²C串行端口时序

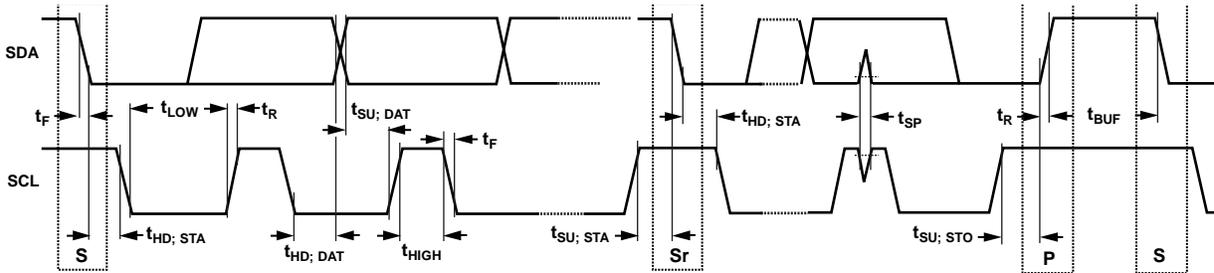


图59. I²C串行端口时序

11161-038

I²C串行端口时序

参数	说明
f _{SCL}	串行时钟
t _{BUF}	停止与起始条件之间的总线空闲时间
t _{HD; STA}	重复起始条件的保持时间
t _{SU; STA}	重复起始条件的建立时间
t _{SU; STO}	停止条件的建立时间
t _{HD; DAT}	数据保持时间
t _{SU; DAT}	数据建立时间
t _{LOW}	SCL时钟低电平周期
t _{HIGH}	SCL时钟高电平周期
t _R	最短/最长接收SCL和SDA上升时间
t _F	最短/最长接收SCL和SDA下降时间
t _{SP}	输入滤波器必须抑制的电压尖峰脉冲宽度

寄存器映射

不能使用表23中未列出的寄存器地址，写入这些寄存器不起作用。对于标示为“保留”的寄存器，用户应写入默认值。

表23选项栏中的缩写R表示只读，NS表示值在软复位期间不改变。注意，默认值栏用“定义”代表。

表23. 寄存器存储区分配

寄存器地址(十六进制)	选项	名称	D7	D6	D5	D4	D3	D2	D1	D0	默认值	
串行控制端口配置和器件标识												
0x00	NS	SPI控制	SDO使能	LSB优先/地址递增	软复位	保留		软复位	LSB优先/地址递增	SDO使能	00	
0x00	NS	I ² C控制	保留		软复位	保留		软复位	保留		00	
0x0A	R,NS	芯片版本	芯片版本[7:0]									00
0x0B	R,NS	保留	保留									00
0x0C	R,NS	器件ID	时钟器件系列ID[7:0]									05
0x0D	R,NS	器件ID	时钟器件系列ID[15:8]									00
芯片级功能												
0x12		保留	保留									02
0x13		休眠	保留			休眠	保留					00
0x14	NS	SYNC_BAR	保留								SYNC_BAR	01
OUT0功能												
0x15		OUT0分频比[7:0]	OUT0分频比[7:0]									00
0x16		OUT0分频比[9:0]	保留						OUT0分频比[9:8]			00
0x17		OUT0相位[7:0]	OUT0相位[7:0]									00
0x18		OUT0相位[9:0]	保留					OUT0相位[10:8]				00
0x19		OUT0驱动器	PD_0	SYNCMASK0	OUT0驱动器相位[1:0]		OUT0驱动器相位[1:0]			保留	14	
0x1A		OUT0 CMOS	EN_CMOS_0P	CMOS_0P_PHASE[1:0]		EN_CMOS_0N	CMOS_0N_PHASE[1:0]		保留		00	
OUT1功能												
0x1B		OUT1分频比[7:0]	OUT1分频比[7:0]									00
0x1C		OUT1分频比[9:0]	保留						OUT1分频比[9:8]			00
0x1D		OUT1相位[7:0]	OUT1相位[7:0]									00
0x1E		OUT1相位[9:0]	保留					OUT1相位[10:8]				00
0x1F		OUT1驱动器	PD_1	SYNCMASK1	OUT1驱动器相位[1:0]		OUT1模式[2:0]			保留	14	
0x20		OUT1 CMOS	EN_CMOS_1P	CMOS_1P_PHASE[1:0]		EN_CMOS_1N	CMOS_1N_PHASE[1:0]		保留		00	
OUT2功能												
0x21		OUT2分频比[7:0]	OUT2分频比[7:0]									00
0x22		OUT2分频比[9:0]	保留						OUT2分频比[9:8]			00
0x23		OUT2相位[7:0]	OUT2相位[7:0]									00
0x24		OUT2相位[9:0]	保留					OUT2相位[10:8]				00
0x25		OUT2驱动器	PD_2	SYNCMASK2	OUT2驱动器相位[1:0]		OUT2模式[2:0]			保留	14	
0x26		OUT2 CMOS	EN_CMOS_2P	CMOS_2P_PHASE[1:0]		EN_CMOS_2N	CMOS_2N_PHASE[1:0]		保留		00	
OUT3功能												
0x27		OUT3分频比[7:0]	OUT3分频比[7:0]									00
0x28		OUT3分频比[9:0]	保留						OUT3分频比[9:8]			00
0x29		OUT3相位[7:0]	OUT3相位[7:0]									00
0x2A		OUT3相位[9:0]	保留					UT3相位[10:8]				00
0x2B		OUT3驱动器	PD_3	SYNCMASK3	OUT3驱动器相位[1:0]		OUT3模式[2:0]			保留	14	
0x2C		OUT3 CMOS	EN_CMOS_3P	CMOS_3P_PHASE[1:0]		EN_CMOS_3N	CMOS_3N_PHASE[1:0]		保留		00	

寄存器映射位功能描述

串行端口配置(寄存器0x00)

表24. 串行配置

地址	位	位的名称	说明
0x00	7	SDO使能	使能SPI端口SDO引脚。I ² C模式下此位无作用。 1 = 4线(SDO引脚使能)。 0 = 3线(默认)。
	6	LSB优先/地址递增	SPI端口的位序。I ² C模式下此位无作用。 1 = LSB和字节优先。多字节传输中, 寄存器地址自动递增。 0 = MSB和字节优先(默认)。多字节传输中, 寄存器地址自动递减。
	5	软复位	器件复位。
	[4:3]	保留	保留。
	2	软复位	功能与此寄存器的位5相同, 位2和位5设置为相同的值。
	1	LSB优先/地址递增	功能与此寄存器的位6相同, 位1和位6设置为相同的值。
	0	SDO使能	功能与此寄存器的位7相同, 位7和位0设置为相同的值。

功能与此寄存器的位7相同, 位7和位0设置为相同的值。

表25. 芯片版本

地址	位	位的名称	说明
0x0A	[7:0]	芯片版本[7:0]	只读寄存器。识别AD9508的版本。
0x0B	[7:0]	保留	0x00 = 默认值。
0x0C	[7:0]	时钟器件系列ID[7:0]	只读寄存器。此寄存器与寄存器0x000D一起唯一地识别AD9508。ADI AD95xx系列中任何其它器件的这两个寄存器中的值均非0x0005。 0x05 = 默认值。
0x0D	[7:0]	时钟器件系列ID[15:8]	此寄存器是寄存器0x000C的接续。 0x00 = 默认值。

芯片级功能(寄存器0x12至寄存器0x14)

表26. 休眠和同步

地址	位	位的名称	说明
0x12	[7:0]	保留	0x00000010 = 默认值
0x13	[7:5]	保留	0x000 = 默认值
	4	休眠	0 = 禁用休眠模式(默认) 1 = 使能休眠模式
	[3:0]	保留	0x0000 = 默认值
0x14	[7:1]	保留	0x00000000 = 默认值
	0	SYNC_BAR	0 = 使能软件输出同步程序 1 = 禁用软件输出同步(默认)。

OUT0功能(寄存器0x15至寄存器0x1A)

表27. 分频比和相位

地址	位	位的名称	说明
0x15	[7:0]	OUT0分频比[7:0]	通道0 10位分频器值, 位[7:0] (LSB)。位[9:8] (MSB)位于如下寄存器0x16。 分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x16	[7:2]	保留	0x00 = 默认值
	[1:0]	OUT0分频比[9:8]	通道0 10位分频器值, 位[9:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x15中。 分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x17	[7:0]	OUT0相位[7:0]	通道0 11位相位失调值, 位[7:0] (LSB)。位[10:8] (MSB)位于如下寄存器0x18。 相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。
0x18	[7:3]	保留	0x00 = 默认值
	[2:0]	OUT0相位[10:8]	通道0 11位相位失调值, 位[10:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x17中。 相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。

表28. 输出驱动器、关断和同步

地址	位	位的名称	说明
0x19	7	PD_0	通道0关断
	6	SYNCMASK0	此位置1时, 通道0被排除在输出同步功能之外 0 = 通道0在输出同步期间同步(默认) 1 = 通道0被排除在输出同步之外
	[5:4]	OUT0驱动器相位[1:0]	这些位决定OUT0驱动器的相位。 00 = 强制高电平 01 = 同相(默认) 10 = 反相 11 = 强制低电平
	[3:1]	OUT0模式[2:0]	这些位决定OUT0驱动器模式。 000 = LVDS 0.5 x 3.5 mA(1/2幅度) 001 = LVDS 0.75 x 3.5 mA(3/4幅度) 010 = LVDS 1 x 3.5 mA(默认) 011 = LVDS 1.25 x 3.5 mA(1.25幅度) 100 = HSTL 1 x 3.5 mA(正常幅度) 101 = HSTL 2 x 3.5 mA(双倍幅度) 110 = 高阻态/CMOS 111 = 高阻态/CMOS
	0	保留	0b = 默认值
0x1A	7	EN_CMOS_0P	此位设为1将使能OUT0P CMOS驱动器。 0 = 禁用OUT0P CMOS驱动器(默认) 1 = 使能OUT0P CMOS驱动器
	[6:5]	CMOS_0P_PHASE[1:0]	这些位决定OUT0P CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	4	EN_CMOS_0N	此位设为1将使能OUT0N CMOS驱动器。 0 = 禁用OUT0N CMOS驱动器(默认) 1 = 使能OUT0N CMOS驱动器

地址	位	位的名称	说明
	[3:2]	CMOS_ON_PHASE[1:0]	这些位决定OUT0N CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	[1:0]	保留	00b = 默认值

OUT1功能(寄存器0x1B至寄存器0x20)

表29. 分频比和相位

地址	位	位的名称	说明
0x1B	[7:0]	OUT1分频比[7:0]	通道1 10位分频器值, 位[7:0] (LSB)。位[9:8] (MSB)位于如下寄存器0x1C。 分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x1C	[7:2]	保留	0x00 = 默认值
	[1:0]	OUT1分频比[9:8]	通道1 10位分频器值, 位[9:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x1B中。 分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x1D	[7:0]	OUT1分频比[7:0]	通道1 11位相位失调值, 位[7:0] (LSB)。位[10:8] (MSB)位于如下寄存器0x1E。 相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。
0x1E	[7:3]	保留	0x00 = 默认值
	[2:0]	OUT1相位[10:8]	通道1 11位相位失调值, 位[10:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x1D中。 相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。

表30. 输出驱动器、关断和同步

地址	位	位的名称	说明
0x1F	7	PD_1	通道1关断
	6	SYNCMASK1	此位置1时, 通道1被排除在输出同步功能之外 0 = 通道1在输出同步期间同步(默认) 1 = 通道1被排除在输出同步之外
	[5:4]	OUT1驱动器相位[1:0]	这些位决定OUT1驱动器的相位。 00 = 强制高电平 01 = 同相(默认) 10 = 反相 11 = 强制低电平
	[3:1]	OUT1模式[2:0]	这些位决定OUT1驱动器模式。 000 = LVDS 0.5 x 3.5 mA(1/2幅度) 001 = LVDS 0.75 x 3.5 mA(3/4幅度) 010 = LVDS 1 x 3.5 mA(默认) 011 = LVDS 1.25 x 3.5 mA(1.25幅度) 100 = HSTL 1 x 3.5 mA(正常幅度) 101 = HSTL 2 x 3.5 mA(双倍幅度) 110 = 高阻态/CMOS 111 = 高阻态/CMOS
	0	保留	0b = 默认值

AD9508

地址	位	位的名称	说明
0x20	7	EN_CMOS_1P	此位设为1将使能OUT1P CMOS驱动器。 0 = 禁用OUT1P CMOS驱动器(默认) 1 = 使能OUT1P CMOS驱动器
	[6:5]	CMOS_1P_PHASE[1:0]	这些位决定OUT1P CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	[4]	EN_CMOS_1N	此位设为1将使能OUT1N CMOS驱动器。 0 = 禁用OUT1N CMOS驱动器(默认) 1 = 使能OUT1N CMOS驱动器
	[3:2]	CMOS_1N_PHASE[1:0]	这些位决定OUT1N CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	[1:0]	保留	00b = 默认值

OUT2功能(寄存器0x21至寄存器0x26)

表31. 分频比和相位

地址	位	位的名称	说明
0x21	[7:0]	OUT2分频比[7:0]	通道2 10位分频器值, 位[7:0] (LSB)。位[9:8] (MSB)位于如下寄存器0x22。分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x22	[7:2]	保留	0x00 = 默认值
	[1:0]	OUT2分频比[9:8]	通道2 10位分频器值, 位[9:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x21中。分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x23	[7:0]	OUT2相位[7:0]	通道2 11位相位失调值, 位[7:0] (LSB)。位[10:8] (MSB)位于如下寄存器0x24。相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。
0x24	[7:3]	保留	0x00 = 默认值
	[2:0]	OUT2相位[10:8]	通道2 11位相位失调值, 位[10:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x23中。相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。

表32. 输出驱动器、关断和同步

地址	位	位的名称	说明
0x25	7	PD_2	通道2关断
	6	SYNCMASK2	此位置1时, OUT2被排除在输出同步功能之外 0 = 通道2在输出同步期间同步(默认) 1 = 通道2被排除在输出同步之外
	[5:4]	OUT2驱动器相位[1:0]	这些位决定OUT2驱动器的相位。 00 = 强制高电平 01 = 同相(默认) 10 = 反相 11 = 强制低电平

地址	位	位的名称	说明
	[3:1]	OUT2模式[2:0]	这些位决定OUT2驱动器模式。 000 = LVDS 0.5 x 3.5 mA(1/2幅度) 001 = LVDS 0.75 x 3.5 mA(3/4幅度) 010 = LVDS 1 x 3.5 mA(默认) 011 = LVDS 1.25 x 3.5 mA(1.25幅度) 100 = HSTL 1 x 3.5 mA(正常幅度) 101 = HSTL 2 x 3.5 mA(双倍幅度) 110 = 高阻态/CMOS 111 = 高阻态/CMOS
	0	保留	0b = 默认值
0x26	7	EN_CMOS_2P	此位设为1将使能OUT2P CMOS驱动器。 0 = 禁用OUT2P CMOS驱动器(默认) 1 = 使能OUT2P CMOS驱动器
	[6:5]	CMOS_2P_PHASE[1:0]	这些位决定OUT2P CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	4	EN_CMOS_2N	此位设为1将使能OUT2N CMOS驱动器。 0 = 禁用OUT2N CMOS驱动器(默认) 1 = 使能OUT2N CMOS驱动器
	[3:2]	CMOS_2N_PHASE[1:0]	这些位决定OUT2N CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	[1:0]	保留	00b = 默认值

OUT3功能(寄存器0x27至寄存器0x2C)

表33. 分频比和相位

地址	位	位的名称	说明
0x27	[7:0]	OUT3分频比[7:0]	通道3 10位分频器值, 位[7:0] (LSB)。位[9:8] (MSB)位于如下寄存器0x28。分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x28	[7:2]	保留	0x00 = 默认值
	[1:0]	OUT3分频比[9:8]	通道3 10位分频器值, 位[9:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x27中。分频 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。
0x29	[7:0]	OUT3相位[7:0]	通道3 11位相位失调值, 位[7:0] (LSB)。位[10:8] (MSB)位于如下寄存器0x2A。相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。
0x2A	[7:3]	保留	0x00 = 默认值
	[2:0]	OUT3相位[10:8]	通道3 11位相位失调值, 位[10:8] (MSB)。位[7:0] (LSB)位于以上寄存器0x29中。相位失调 = 通道相位失调位[10:0]。例如, [10:0] = 1是1/2输入时钟周期的最小相位失调, [10:0] = 2是一个输入时钟周期的相位失调... [10:0] = 2047是2047乘以1/2输入时钟周期的相位失调。

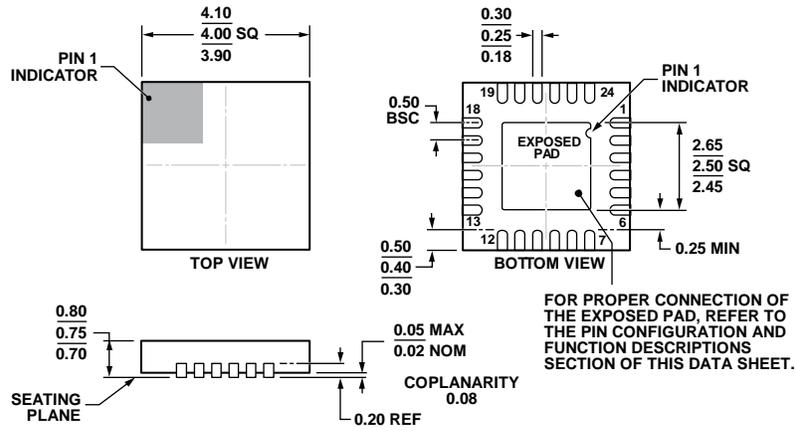
AD9508

表34. 输出驱动器、关断和同步

地址	位	位的名称	说明
0x2B	7	PD_3	通道3关断
	6	SYNCMASK3	此位置1时，OUT3被排除在输出同步功能之外 0 = 通道3在输出同步期间同步(默认) 1 = 通道3被排除在输出同步之外
	[5:4]	OUT3驱动器相位[1:0]	这些位决定OUT3驱动器的相位。 00 = 强制高电平 01 = 同相 10 = 反相 11 = 强制低电平
	[3:1]	OUT3模式[2:0]	这些位决定OUT3驱动器模式。 000 = LVDS 0.5 x 3.5 mA(1/2幅度) 001 = LVDS 0.75 x 3.5 mA(3/4幅度) 010 = LVDS 1 x 3.5 mA(默认) 011 = LVDS 1.25 x 3.5 mA(1.25幅度) 100 = HSTL 1 x 3.5 mA(正常幅度) 101 = HSTL 2 x 3.5 mA(双倍幅度) 110 = 高阻态/CMOS 111 = 高阻态/CMOS
	0	保留	0b = 默认值
0x2C	7	EN_CMOS_3P	此位设为1将使能OUT3P CMOS驱动器。 0 = 禁用OUT3P CMOS驱动器(默认) 1 = 使能OUT3P CMOS驱动器
	[6:5]	CMOS_3P_PHASE[1:0]	这些位决定OUT3P CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	4	EN_CMOS_3N	此位设为1将使能OUT3N CMOS驱动器。 0 = 禁用OUT3N CMOS驱动器(默认) 1 = 使能OUT3N CMOS驱动器
	[3:2]	CMOS_3N_PHASE[1:0]	这些位决定OUT3N CMOS驱动器的相位。 00 = 强制高电平(默认) 01 = 同相 10 = 反相 11 = 强制低电平
	[1:0]	保留	00b = 默认值

封装和订购信息

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

图60. 24引脚引脚架构芯片级封装[LFCSP_WQ]
4 mm x 4 mm, 超薄体
(CP-24-7)
尺寸单位: mm

04-12-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9508BCPZ	-40°C至+85°C	24引脚引脚架构芯片级封装(LFCSP_WQ)	CP-24-7
AD9508BCPZ-REEL7	-40°C至+85°C	24引脚引脚架构芯片级封装(LFCSP_WQ)	CP-24-7
AD9508/PCBZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。