



特性

18位分辨率、无失码

吞吐速率：1 MSPS

低功耗

4 mW(1 MSPS, 仅VDD)

7 mW(1 MSPS, 总功耗)

70 μ W at 10 kSPS

积分非线性(INL): 典型值 ± 1 LSB, 最大值 ± 2 LSB

动态范围: 99 dB

真差分模拟输入范围: $\pm V_{REF}$

0 V至 V_{REF} (V_{REF} 在2.5 V至5.0 V之间)

可使用任一输入范围

可采用ADA4941轻松驱动

无流水线延迟

采用2.5 V单电源供电, 提供1.8 V/2.5 V/3 V/5 V逻辑接口

兼容专利串行接口: SPI[®]/QSPI[™]/MICROWIRE[™]/DSP

以菊花链形式连接多个ADC, 并能提供繁忙指示

10引脚封装: MSOP(MSOP-8尺寸)和3 mm \times 3 mm QFN

(LFCSP)(SOT-23尺寸)

应用

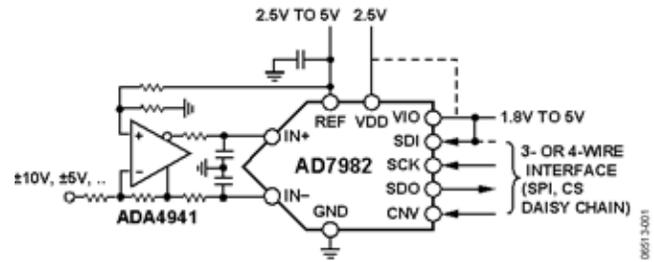
电池供电设备

数据采集系统

医疗仪器

地震数据采集系统

功能框图



概述

AD7982是一款18位、逐次逼近型模数转换器(ADC), 采用单电源(VDD)供电。它内置一个低功耗、高速、18位采样ADC和一个多功能串行接口端口。在CNV上升沿, AD7982对IN+与IN-引脚之间的电压差进行采样, 这两个引脚上的电压摆幅通常在0 V至 V_{REF} 之间、相位相反。基准电压(REF)由外部提供, 并且可以独立于电源电压(VDD)。其功耗和吞吐量呈线性变化关系。

SPI兼容串行接口还能够利用SDI输入, 将几个ADC以菊花链形式连结到一个三线式总线上, 并提供一个可选的繁忙指示。通过独立电源VIO, 该器件可与1.8 V、2.5 V、3 V和5 V逻辑兼容。

AD7982采用10引脚MSOP封装或10引脚QFN(LFCSP)封装, 工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 。

表1. MSOP、QFN(LFCSP)14/16/18位PuLSAR[®] ADC

Type	100 kSPS	250 kSPS	400 kSPS至500 kSPS	≥ 1000 kSPS	ADC驱动器
18位真差分		AD7691	AD7690	AD7982 AD7984	ADA4941 ADA4841
16位真差分	AD7684	AD7687	AD7688 AD7693		ADA4941 ADA4841
16位伪差分	AD7680 AD7683	AD7685 AD7694	AD7686	AD7980	ADA4841
14位伪差分	AD7940	AD7942	AD7946		ADA4841

¹ Protected by U.S. Patent 6,703,961.

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2007–2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	驱动放大器选择.....	14
应用.....	1	单端至差分驱动器.....	15
应用框图示例.....	1	基准电压输入.....	15
概述.....	1	电源.....	15
修订历史.....	2	数字接口.....	16
技术规格.....	3	\overline{CS} 模式(三线式且无繁忙指示).....	17
时序规格.....	5	\overline{CS} 模式(三线式且有繁忙指示).....	18
绝对最大额定值.....	6	\overline{CS} 模式(四线式且无繁忙指示).....	19
ESD警告.....	6	\overline{CS} 模式(四线式且有繁忙指示).....	20
引脚配置和功能描述.....	7	链模式(无繁忙指示).....	21
术语.....	8	链模式(有繁忙指示).....	22
典型工作特性.....	9	应用须知.....	23
工作原理.....	12	布局布线.....	23
电路信息.....	12	评估AD7982性能.....	23
转换器操作.....	12	外形尺寸.....	24
典型连接图.....	13	订购指南.....	24
模拟输入.....	14		

修订历史

2014年6月—修订版B至修订版C

增加专利尾注.....	1
-------------	---

2013年7月—修订版A至修订版B

“特性”部分增加4 mW低功耗(1 MSPS, 仅VDD).....	1
更改表3中的功耗.....	4
图5和表6增加“EPAD注释”.....	7
更新“外形尺寸”.....	24
更改“订购指南”.....	24

2007年10月—修订版0至修订版A

更改表1和布局.....	1
更改表2.....	3
更改布局.....	5
更改布局.....	6
更改图5.....	7
更改图18和图20.....	11
更改图23.....	13
更改图26.....	15
更改“数字接口”部分.....	16
更改图38.....	21
更改图40.....	22
更新“外形尺寸”.....	24
更改“订购指南”.....	24

2007年3月—修订版0: 初始版

技术规格

除非另有说明，VDD = 2.5 V，VIO = 2.3 V至5.5 V，REF = 5 V，T_A = -40°C至+85°C。

表2.

参数	条件	最小值	典型值	最大值	单位
分辨率		18			位
模拟输入					
电压范围	IN+ – IN–	–V _{REF}		+V _{REF}	V
绝对输入电压	IN+, IN–	–0.1		V _{REF} + 0.1	V
共模输入范围	IN+, IN–	V _{REF} × 0.475	V _{REF} × 0.5	V _{REF} × 0.525	V
模拟输入CMRR	f _{IN} = 450 kHz		67		dB
25°C时漏电流	采集阶段		200		nA
输入阻抗			参见“模拟输入”部分		
精度					
无失码		18			位
差分线性误差	REF = 5 V	–0.85	±0.5	+1.5	LSB ¹
积分线性误差		–2	±1	+2	LSB ¹
跃迁噪声			1.05		LSB ¹
增益误差(T _{MIN} 至T _{MAX}) ²		–0.023	+0.004	+0.023	% of FS
增益误差温漂			±1		ppm/°C
零误差(T _{MIN} 至T _{MAX}) ²			±100	+700	μV
零温漂			0.5		ppm/°C
电源抑制比	VDD = 2.5 V ± 5%		90		dB
吞吐速率					
转换速率		0		1	MSPS
瞬态响应	满量程阶跃			290	ns
交流精度					
动态范围	V _{REF} = 5 V	97	99		dB ³
	V _{REF} = 2.5 V		93		dB ³
过采样动态范围 ⁴	F _O = 1 kSPS		129		dB ³
信噪比	f _{IN} = 1 kHz, V _{REF} = 5 V, T _A = 25°C	95.5	98		dB ³
	f _{IN} = 1 kHz, V _{REF} = 2.5 V, T _A = 25°C		92.5		dB ³
无杂散动态范围	f _{IN} = 10 kHz		–115		dB ³
总谐波失真 ⁵	f _{IN} = 10 kHz		–120		dB ³
信纳比	f _{IN} = 1 kHz, V _{REF} = 5 V, T _A = 25°C		97		dB ³

¹ LSB表示最低有效位。±5 V输入范围时，1 LSB = 38.15 μV。

² 参见“术语”部分。这些规格包括整个温度范围内的波动，但不包括外部基准电压源的误差贡献。

³ 除非另有说明，所有用分贝(dB)表示的规格均参考满量程输入FSR，并用低于满量程0.5 dB的输入信号进行测试。

⁴ 动态范围的获得方式是ADC以吞吐速率F_S为1 MSPS执行过采样，然后使用F_O的输出字速率执行数字后滤波。

⁵ 生产时在f_{IN} = 1 kHz下执行全面测试。

AD7982

除非另有说明，VDD = 2.5 V，VIO = 2.3 V至5.5 V，REF = 5 V，T_A = -40°C至+85°C。

表3.

参数	条件	最小值	典型值	最大值	单位
基准电压					
电压范围		2.4		5.1	V
负载电流	1 MSPS, REF = 5 V		350		μA
采样动态性能					
-3 dB输入带宽			10		MHz
孔径延迟	VDD = 2.5 V		2		ns
数字输入					
逻辑电平					
V _{IL}	VIO > 3 V	-0.3		+0.3 × VIO	V
V _{IH}	VIO > 3 V	0.7 × VIO		VIO + 0.3	V
V _{IL}	VIO ≤ 3 V	-0.3		+0.1 × VIO	V
V _{IH}	VIO ≤ 3 V	0.9 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
数字输出					
数据格式		串行18位二进制补码			
流水线延迟		转换完成后转换结果立即可用			
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
电源					
VDD		2.375	2.5	2.625	V
VIO	额定性能	2.3		5.5	V
		1.8		5.5	V
待机电流 ^{1,2}	VDD和VIO = 2.5 V, 25°C		0.35		μA
功耗	VDD = 2.625 V, V _{REF} = 5 V, VIO = 3 V				
总计	10 kSPS吞吐速率		70	86	μW
	1 MSPS吞吐速率		7	8.6	mW
仅VDD			4		mW
仅REF			1.7		mW
仅VIO			1.3		mW
每次转换的能量			7.0		nJ/采样
温度范围 ³					
额定性能	T _{MIN} to T _{MAX}	-40		+85	°C

¹ 根据需要，所有数字输入强制接VIO或GND。

² 在采集阶段。

³ 欲了解温度范围，请联系ADI公司销售代表。

时序规格

除非另有说明, $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$, $V_{DD} = 2.37\text{ V}$ 至 2.63 V , $V_{IO} = 2.3\text{ V}$ 至 5.5 V 。¹

表4.

参数	符号	最小值	典型值	最大值	单位
转换时间: CNV上升沿至数据可用	t_{CONV}	500		710	ns
采集时间	t_{ACQ}	290			ns
转换间隔时间	t_{CYC}	1000			ns
CNV脉冲宽度(\overline{CS} 模式)	t_{CNVH}	10			ns
SCK周期(\overline{CS} 模式)	t_{SCK}				
VIO高于4.5 V		10.5			ns
VIO高于3 V		12			ns
VIO高于2.7 V		13			ns
VIO高于2.3 V		15			ns
SCK周期(链模式)	t_{SCK}				
VIO高于4.5 V		11.5			ns
VIO高于3 V		13			ns
VIO高于2.7 V		14			ns
VIO高于2.3 V		16			ns
SCK低电平时间	t_{SCKL}	4.5			ns
SCK高电平时间	t_{SCKH}	4.5			ns
SCK下降沿至数据仍然有效	t_{HSDO}	3			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO高于4.5 V				9.5	ns
VIO高于3 V				11	ns
VIO高于2.7 V				12	ns
VIO高于2.3 V				14	ns
CNV或SDI低电平至SDO D15 MSB有效(\overline{CS} 模式)	t_{EN}				
VIO高于3 V				10	ns
VIO高于2.3 V				15	ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态(\overline{CS} 模式)	t_{DIS}			20	ns
CNV上升沿至SDI有效建立时间	$t_{SSDICNV}$	5			ns
CNV上升沿至SDI有效保持时间(\overline{CS} 模式)	$t_{HSDICNV}$	2			ns
CNV上升沿至SDI有效保持时间(链模式)	$t_{HSDICNV}$	0			ns
CNV上升沿至SCK有效建立时间(链模式)	$t_{SSCKCNV}$	5			ns
CNV上升沿至SCK有效保持时间(链模式)	$t_{HSCKCNV}$	5			ns
SCK下降沿至SDI有效建立时间(链模式)	$t_{SSDISCK}$	2			ns
SCK下降沿至SDI有效保持时间(链模式)	$t_{HSDISCK}$	3			ns
SDI高电平至SDO高电平(链模式且有繁忙指示)	$t_{DSDOSDI}$			15	ns

¹ 负载条件参见图2和图3。

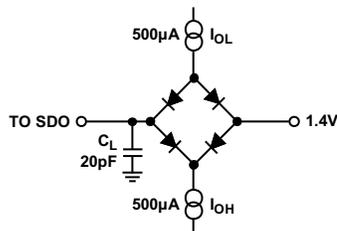
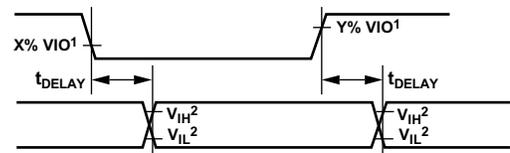


图2. 数字接口时序的负载电路



¹FOR $V_{IO} \leq 3.0\text{ V}$, $X = 90$, AND $Y = 10$; FOR $V_{IO} > 3.0\text{ V}$, $X = 70$, AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

图3. 时序的电平

绝对最大额定值

表5.

参数	额定值
模拟输入 IN+、IN-至GND ¹	-0.3 V至VREF + 0.3 V 或±130 mA
电源电压 REF、VIO至GND	-0.3 V至+6.0 V
VDD至GND	-0.3 V至+6.0 V
VDD至VIO	+3 V至-6 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
θ_{JA} 热阻	
10引脚 MSOP	200°C/W
10引脚 QFN (LFCSP_WD)	48.7°C/W
θ_{JC} 热阻	
10引脚 MSOP	44°C/W
10引脚 QFN (LFCSP_WD)	2.96°C/W
引脚温度	
气相(60秒)	215°C
红外(15秒)	220°C

¹ 有关IN+和IN-的解释，请参见“模拟输入”部分。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告

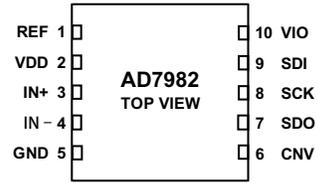
**ESD(静电放电)敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



图4. 10引脚MSOP引脚配置



NOTES
1. THE EXPOSED PAD SHOULD BE CONNECTED TO GND. THIS CONNECTION IS NOT REQUIRED TO MEET THE ELECTRICAL PERFORMANCES.

图5. 10引脚QFN (LFCSP)引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	REF	AI	基准输入电压。REF范围为2.4 V至5.1 V。此引脚参考GND引脚，应靠近使用10 μF电容去耦至GND引脚。
2	VDD	P	电源。
3	IN+	AI	正向差分模拟输入。
4	IN-	AI	负向差分模拟输入。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。在上升沿可启动转换并选择器件的接口模式：链模式或 \overline{CS} 模式。 \overline{CS} 模式下，CNV为低电平时SDO引脚使能。链模式下，数据应在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出，与SCK同步。
8	SCK	DI	串行数据输出。转换结果通过此引脚输出，与SCK同步。
9	SDI	DI	串行数据输入。此输入提供多个功能。如下选择ADC接口模式：如果SDI在CNV上升沿期间为低电平，则选择链模式。此模式下，SDI用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出，延迟18个SCK周期。 如果SDI在CNV上升沿期间为高电平，则选择 \overline{CS} 模式。此模式下，SDI或CNV在低电平时均可使能串行输出信号。当转换完成时，如果SDI或CNV为低电平，繁忙指示功能被使能。
10	VIO EPAD	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同(1.8 V、2.5 V、3 V或5 V)。裸露焊盘。对于引脚架构芯片级封装(LFSCP)，裸露焊盘应连接GND。此连接无需满足电气性能。

¹ AI = 模拟输入，DI = 数字输入，DO = 数字输出，而P = 电源。

术语

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图22)。

微分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零误差

理想中间电平电压(即0 V)与产生中间电平输出码(即0 LSB)的实际电压之差称为零电平误差。

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 5 V范围来说，应在 -4.999981 V)，发生第一个码跃迁(从100 ... 00跃迁至100 ... 01)。当模拟电压低于标称正满量程 $1\frac{1}{2}$ LSB时(对于 ± 5 V范围来说，应在 $+4.999943$ V)，发生最后一个码跃迁(从011 ... 10跃迁至011 ... 11)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。与SINAD的关系如下：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

它用位表示。

无噪声代码分辨率

无噪声代码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个代码，其计算公式为：

$$\text{无噪声代码分辨率} = \log_2(2^N/\text{峰峰值噪声})$$

它用位表示。

有效分辨率

有效分辨率的计算公式如下：

$$\text{有效分辨率} = \log_2(2^N/\text{均方根输入噪声})$$

它用位表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝(dB)表示。它使用 -60 dBF下的信号测得，因此包括所有噪声源和DNL伪像。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

孔径延迟

孔径延迟用于衡量采集性能，指从CNV输入的上升沿到输入信号被保持以用于转换的时间。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

典型工作特性

VDD = 2.5 V, REF = 5.0 V, VIO = 3.3 V.

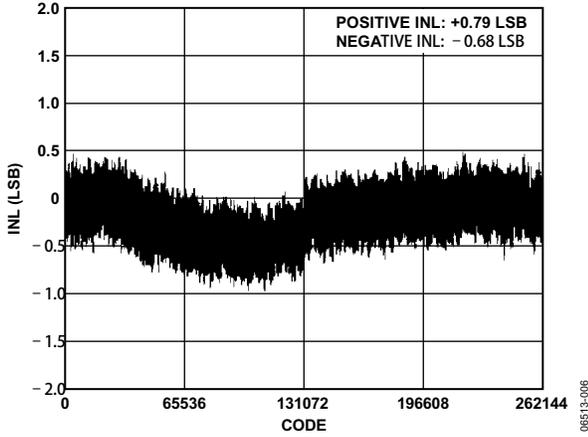


图6. 积分非线性与代码的关系

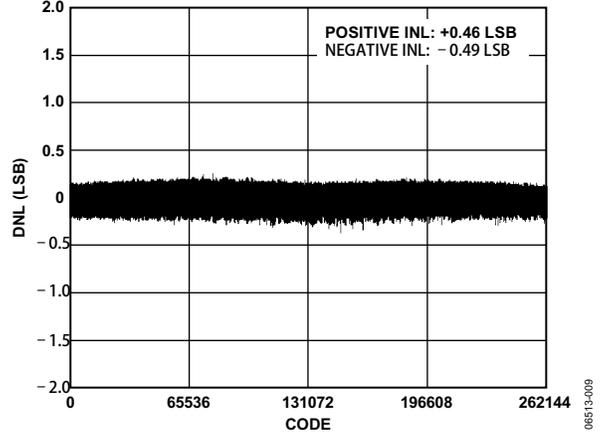


图9. 微分非线性与代码的关系

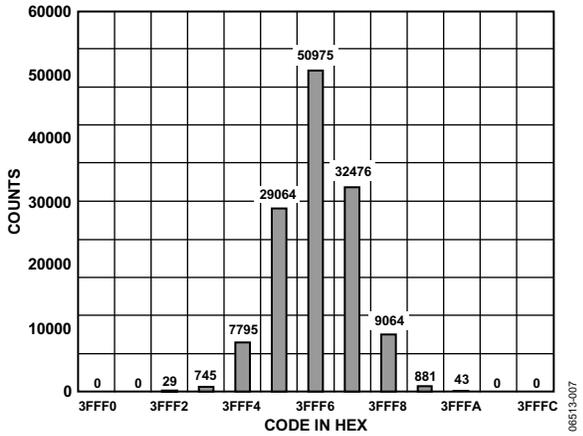


图7. 一个直流输入的直方图(码中心)

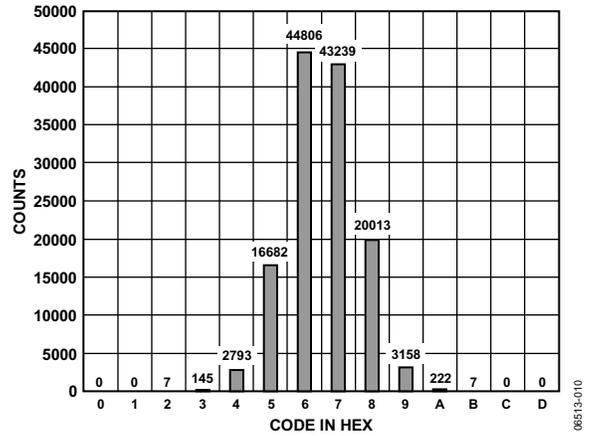


图10. 一个直流输入的直方图(码跃迁)

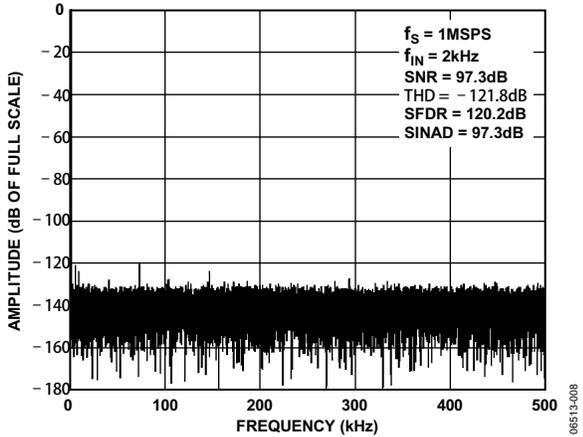


图8. FFT曲线图

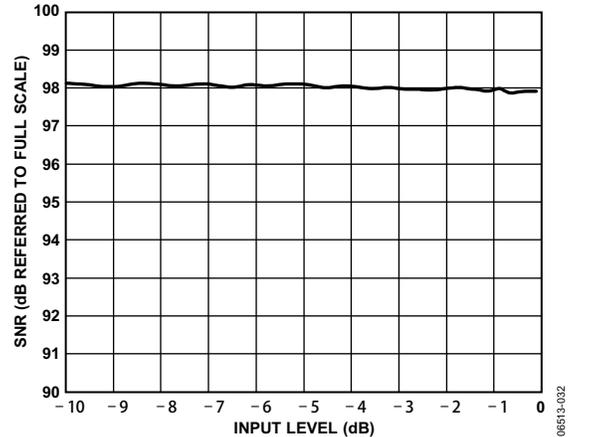


图11. SNR与输入电平的关系

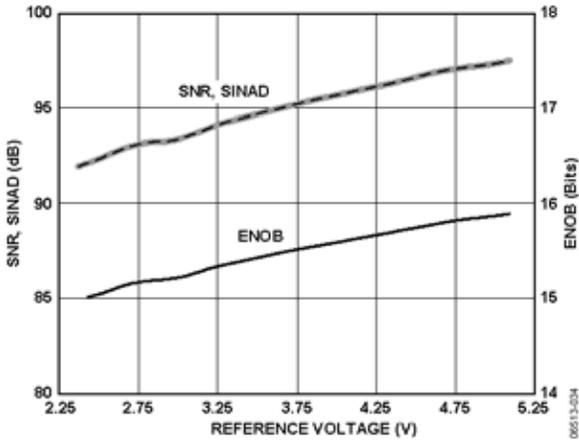


图12. SNR、SINAD和ENOB与基准电压的关系

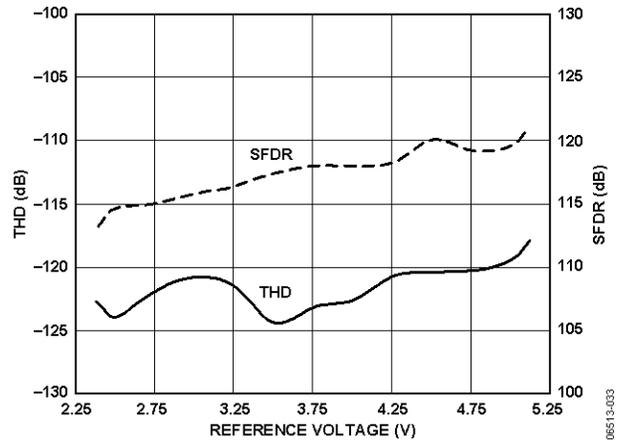


图15. THD、SFDR与基准电压的关系

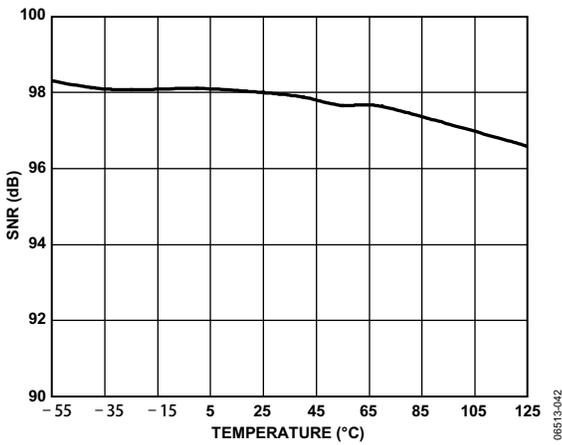


图13. SNR与温度的关系

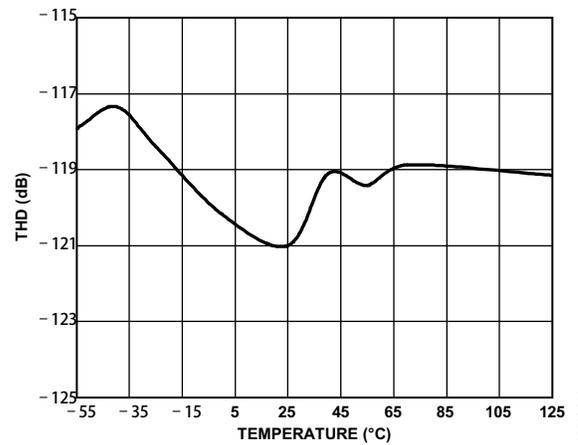


图16. THD与温度的关系

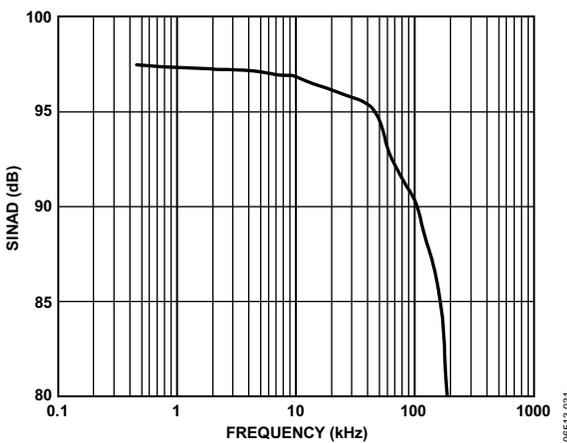


图14. SINAD与频率的关系

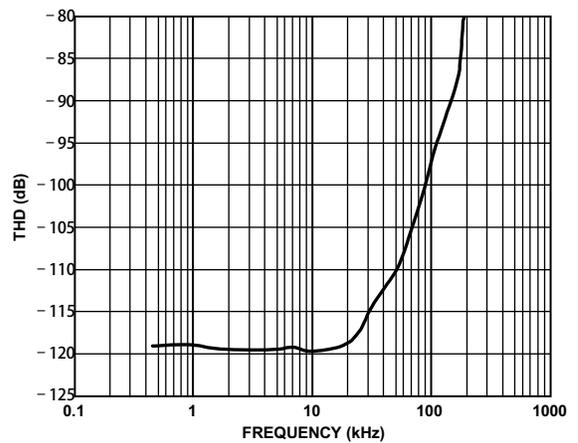


图17. THD与频率的关系

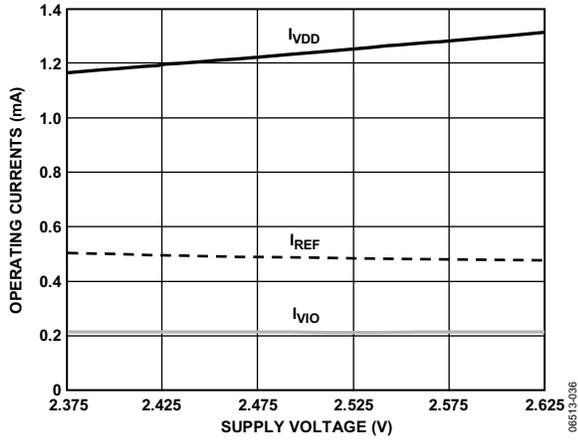


图18. 工作电流与电源电压的关系

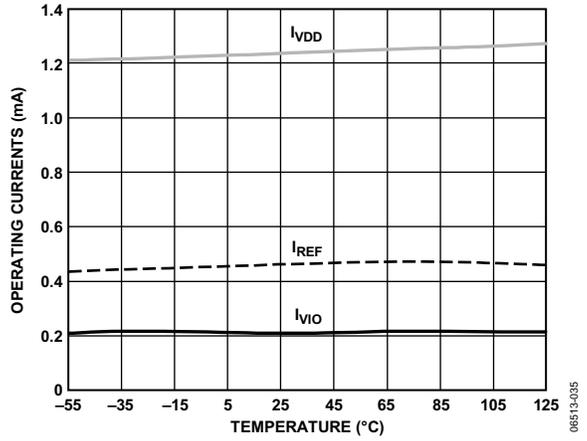


图20. 工作电流与温度的关系

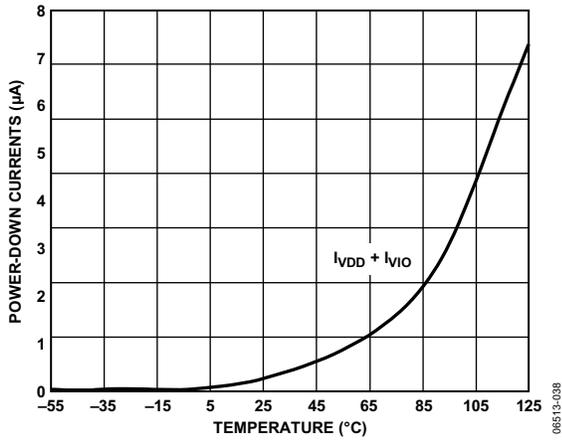


图19. 关断电流与温度的关系

工作原理

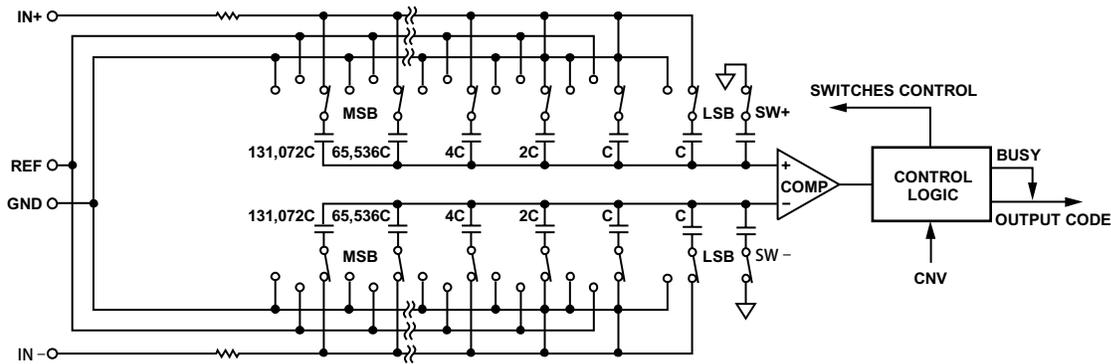


图21. ADC简化电路图

06513-011

电路信息

AD7982是一款快速、低功耗、单电源、精密18位ADC，使用逐次逼近型架构。

AD7982每秒能够转换1,000,000个样本(1 MSPS)，两次转换之间器件关断。以10 kSPS速率工作时，典型功耗为70 μ W，非常适合电池供电的应用。

AD7982为用户提供片内采样保持，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

AD7982可与任何1.8 V至5 V数字逻辑系列接口，提供10引脚MSOP封装或小型10引脚QFN (LFCSP)封装，节省空间，配置灵活。

它与16位AD7980引脚兼容。

转换器操作

AD7982是一款基于电荷再分配DAC的逐次逼近型ADC。图21显示了该ADC的简化电路图。容性DAC包含两个完全相同的18位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的输入(IN+和IN-)之间的差分电压施加于比较器输入端，导致比较器不平衡。通过在GND与REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/262,144$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码和繁忙信号指示。

AD7982具有一个片上转换时钟，因此转换过程不需要串行时钟SCK。

传递函数

AD7982的理想传递特性如图22和表7所示。

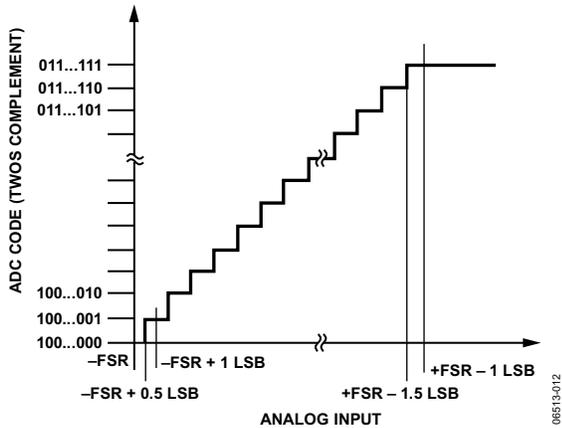


图22. ADC理想传递函数

表7. 输出码和理想输入电压

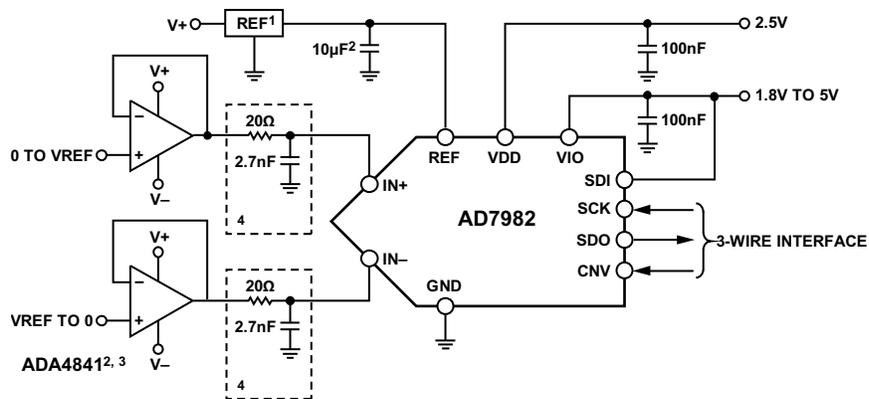
描述	模拟输入 $V_{REF} = 5V$	数字输出码 (十六进制)
FSR - 1 LSB	+4.999962 V	0x1FFFF ¹
中间电平 + 1 LSB	+38.15 μ V	0x00001
中间电平	0 V	0x00000
中间电平 - 1 LSB	-38.15 μ V	0x3FFFF
-FSR + 1 LSB	-4.999962 V	0x20001
-FSR	-5 V	0x20000 ²

¹ 这也是超量程模拟输入($V_{IN+} - V_{IN-}$ 高于 $V_{REF} - V_{GND}$)对应的代码。

² 这也是欠量程模拟输入($V_{IN+} - V_{IN-}$ 低于 V_{GND})对应的代码。

典型连接图

图23所示的例子为采用多个电源时AD7982的建议连接图。



NOTES

¹SEE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.

² C_{REF} IS USUALLY A 10 μ F CERAMIC CAPACITOR (X5R).

SEE RECOMMENDED LAYOUT FIGURE 41 AND FIGURE 42.

³SEE DRIVER AMPLIFIER CHOICE SECTION.

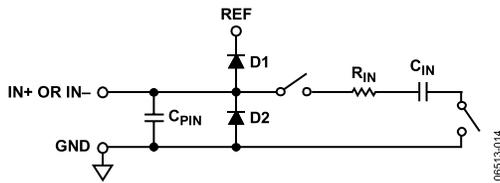
⁴OPTIONAL FILTER. SEE ANALOG INPUT SECTION.

图23. 采用多个电源的典型应用电路

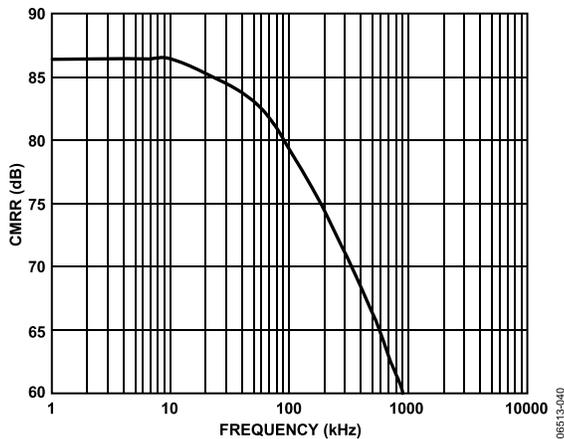
AD7982

图24显示了AD7982输入结构的等效电路。

两个二极管D1和D2为模拟输入IN+和IN-提供ESD保护。需要注意，模拟输入信号的电压值不能比基准输入电压(REF)高0.3 V以上。如果模拟输入信号的电压超过这一水平，二极管将呈正偏并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。然而，如果输入缓冲器的供电电压(例如：图23所示的ADA4841的供电电压)与REF不同，则模拟输入信号的电压可能比电源电压高超过0.3 V。此时，(例如输入缓冲器短路)电流限制可以保护器件。



模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。



在采集阶段，模拟输入(IN+或IN-)的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为400 Ω ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为30 pF，主要包括ADC采样电容。

在采样阶段，开关闭合时，输入阻抗受限于 C_{PIN} 。 R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时，可以直接驱动AD7982。高源阻抗会显著影响交流特性，特别是THD。

入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

虽然AD7982很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须足够低，以保持AD7982的SNR和转换噪声性能。来自驱动器的噪声由 R_{IN} 和 C_{IN} 所构成的AD7982模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7982的典型噪声为40 $\mu\text{V rms}$ ，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{40}{\sqrt{40^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 为AD7982的输入带宽(10 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。

N 为放大器的噪声增益(例如，缓冲器配置时为1)。

e_N 为运算放大器的等效输入噪声电压，单位为 $nV/\sqrt{\text{Hz}}$ 。

- 对于交流应用，驱动器的THD性能应与AD7982相当。
- 对于多通道、多路复用应用，驱动放大器和AD7982模拟输入电路必须使电容阵列以18位水平(0.0004%，4 ppm)建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与18位水平的建立时间显著不同，因此选择之前应进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4941	极低噪声、低功耗、单端至差分
ADA4841	极低噪声、小尺寸、低功耗
AD8021	极低噪声、高频
AD8022	低噪声、高频
OP184	低功耗、低噪声、低频
AD8655	5 V单电源、低噪声
AD8605, AD8615	5 V单电源、低功耗

单端至差分驱动器

对于使用单端模拟信号(双极性或单极性)的应用, 单端至差分驱动器ADA4941可以为该器件提供差分输入, 原理图见图26。

R1和R2设置输入范围与ADC范围(V_{REF})之间的衰减比。R1、R2和CF根据所需的输入电阻、信号带宽、抗混叠和噪声贡献进行选择。例如, 对于 $\pm 10\text{ V}$ 范围和 $4\text{ k}\Omega$ 阻抗, $R2 = 1\text{ k}\Omega$, $R1 = 4\text{ k}\Omega$ 。

R3和R4设置ADC的IN-输入的共模电压, R5和R6设置ADC的IN+输入的共模电压。共模电压应靠近 $V_{REF}/2$ 。例如, 对于使用单电源的 $\pm 10\text{ V}$ 范围, $R3 = 8.45\text{ k}\Omega$, $R4 = 11.8\text{ k}\Omega$, $R5 = 10.5\text{ k}\Omega$ 且 $R6 = 9.76\text{ k}\Omega$ 。

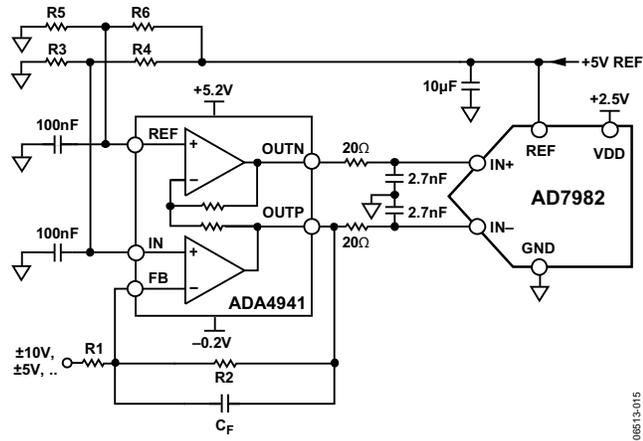


图26. 单端至差分驱动器电路

基准电压输入

AD7982基准电压输入REF具有动态输入阻抗, 因此应利用低阻抗源驱动, REF与GND引脚之间应有效去耦, 如“布局布线”部分所述。

利用极低阻抗源(例如使用AD8031或AD8605的基准电压缓冲器)驱动REF时, $10\ \mu\text{F}$ (X5R, 0805尺寸)陶瓷芯片电容可实现最佳性能。

如果使用无缓冲基准电压, 去耦值取决于所使用的基准电压源。例如, 使用低温漂基准电压源ADR43x时, $22\ \mu\text{F}$ (X5R, 1206尺寸)陶瓷芯片电容可实现最佳性能。

如果需要, 可以使用低至 $2.2\ \mu\text{F}$ 的基准电压去耦电容, 它对性能(特别是DNL)的影响极小。

无论如何, REF与GND引脚之间不需要额外的低值陶瓷去耦电容(如 100 nF)。

电源

AD7982使用两个电源引脚: 内核电源(VDD)以及数字输入/输出接口电源(VIO)。VIO可以与 1.8 V 至 5.5 V 的任何逻辑直接接口。为减少所需的电源数, VIO和VDD引脚可以连在一起。AD7982中VIO和VDD的电源时序无关。此外, 该器件在很宽的频率范围内对电源变化非常不敏感, 如图27所示。

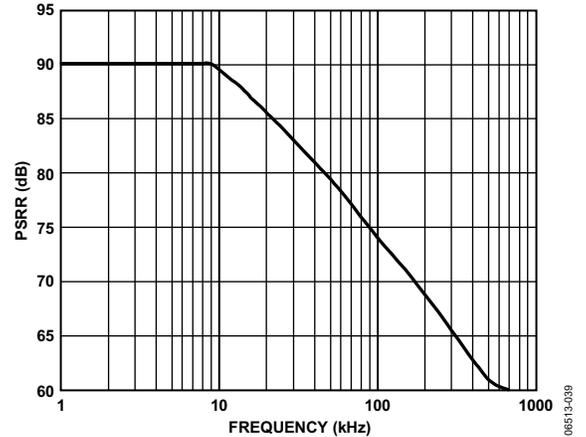


图27. PSRR与频率的关系

为确保最佳性能, VDD应大致为基准输入电压REF的一半。例如, 如果REF为 5.0 V , VDD应设置为 2.5 V ($\pm 5\%$)。

AD7982在每个转换阶段结束时自动关断, 因此功耗与采样速率成线性比例关系。这使得该器件非常适合低采样速率(甚至几赫兹)和电池供电的应用。

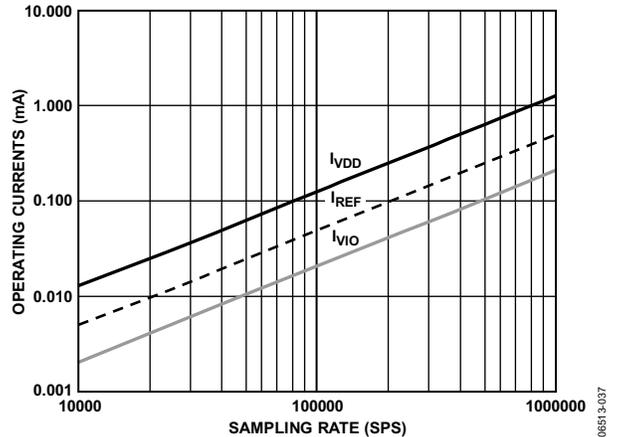


图28. 工作电流与采样速率的关系

数字接口

尽管引脚数很少，AD7982在串行接口模式上仍具有灵活性。

$\overline{\text{CS}}$ 模式下，AD7982与SPI、QSPI、数字主机和DSP兼容。此模式下，AD7982可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号，可将线路连接减至最少，在隔离应用中非常有用。四线式接口使用SDI、CNV、SCK和SDO信号，用于启动转换的CNV与回读时序(SDI)独立，这在低抖动采样或同步采样应用中很有用。

链模式下，AD7982提供菊花链特性，利用SDI输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。

器件工作模式取决于CNV上升沿出现时的SDI电平。如果SDI为高电平，选择 $\overline{\text{CS}}$ 模式，而如果SDI为低电平，则选择链模式。SDI保持时间是当SDI和CNV连接在一起时，始终选择链模式。

任一模式下，AD7982均提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。若无繁忙指示，用户必须在回读前等待最大转换时间。

繁忙指示功能在下列情况下使能：

- $\overline{\text{CS}}$ 模式下，如果ADC转换结束时CNV或SDI为低电平(参见图32和图36)。
- 链模式下，如果CNV上升沿期间SCK为高电平(参见图40)。

CS模式(三线式且无繁忙指示)

在将单个AD7982连接到SPI兼容数字主机时，通常会使用此模式。连接图如图29所示，相应的时序如图30所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。这点非常有用，例如可用于拉低CNV来选择其它SPI器件，如模拟多路复用器；不过，在最小转换时间逝去前，

接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，AD7982进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当CNV变为高电平时(以最先出现者为准)，SDO返回高阻态。

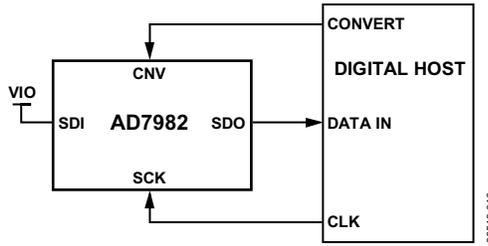


图29. CS模式(三线式且无繁忙指示)连接图(SDI高电平)

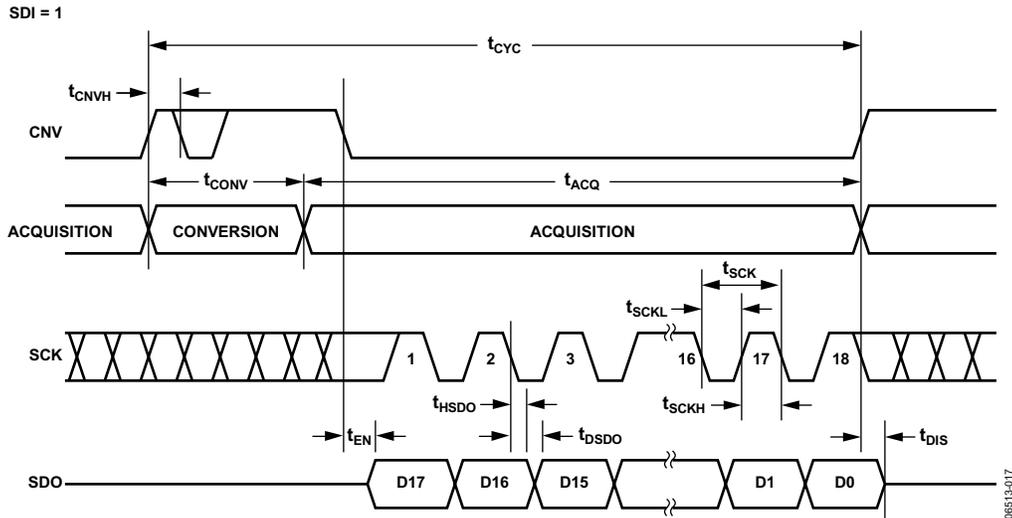


图30. CS模式(三线式且无繁忙指示)串行接口时序(SDI高电平)

CS模式(三线式且有繁忙指示)

在将单个AD7982连接到具有中断输入的SPI兼容数字主机时，通常会使用此模式。

连接图如图31所示，相应的时序如图32所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可用于选择其它SPI器件，如模拟多路复用器，但CNV必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据读取。AD7982接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第19个SCK下降沿之后，或者当CNV变为高电平时(以最先发生者为准)，SDO返回高阻态。

如果同时选择多个AD7982，SDO输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议此竞争尽可能短暂，以限制额外功耗。

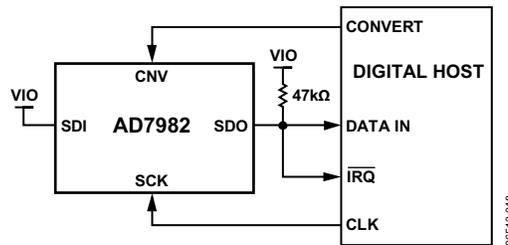


图31. CS模式(三线式且有繁忙指示)连接图(SDI高电平)

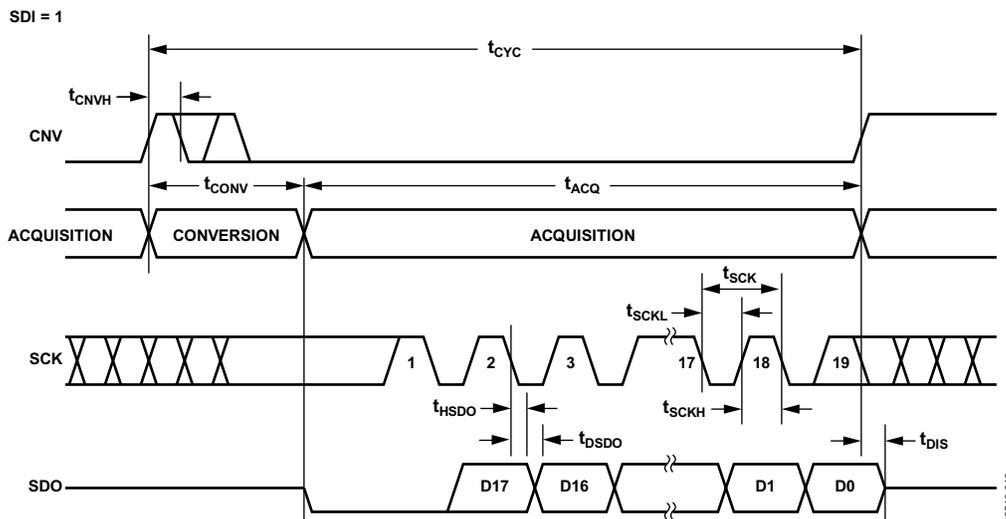


图32. CS模式(三线式且有繁忙指示)串行接口时序(SDI高电平)

CS模式(四线式且无繁忙指示)

在将多个AD7982连接到SPI兼容数字主机时，通常会使用此模式。

使用两个AD7982的连接图示例如图33所示，相应的时序如图34所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间必须保持高电平。(如果SDI和CNV为低电平，SDO变为低电平。)

最小转换时间之前，SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小转换时间逝去前返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，AD7982进入采集阶段并关断。每个ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当SDI变为高电平时(以最先出现者为准)，SDO返回高阻态，可读取另一个AD7982。

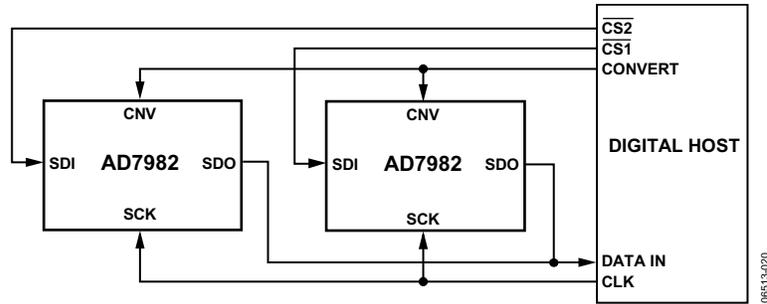


图33. CS模式(四线式且无繁忙指示)连接图

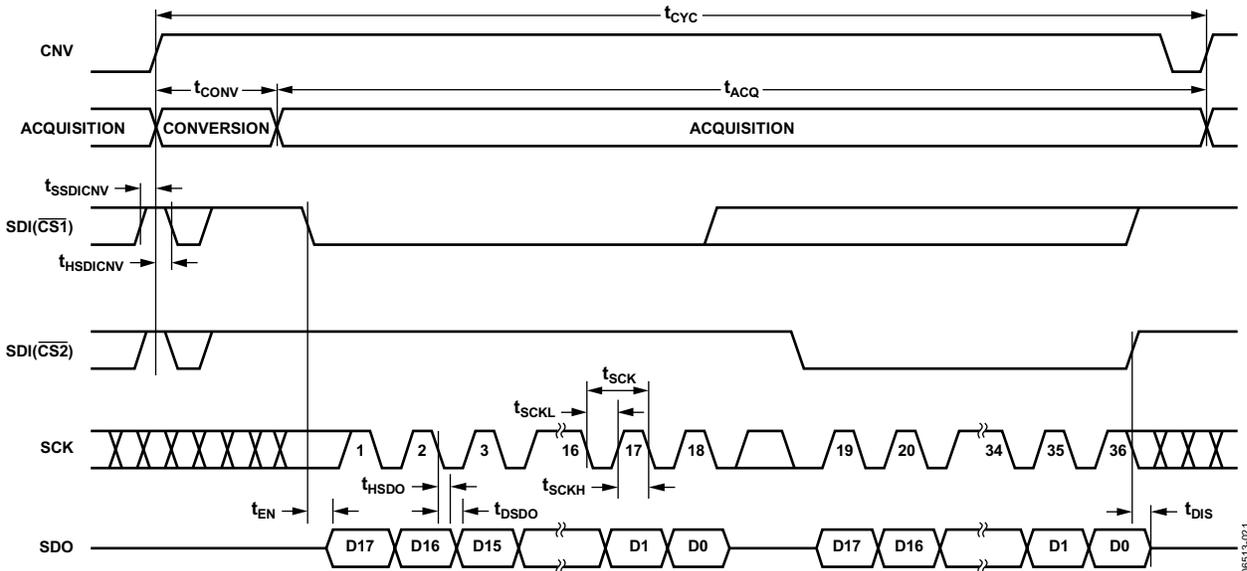


图34. CS模式(四线式且无繁忙指示)串行接口时序

AD7982

CS模式(四线式且有繁忙指示)

在将单个AD7982连接到具有中断输入的SPI兼容数字主机时，以及用于采样模拟输入的CNV与用于选择数据读取的信号需要相互保持独立时，通常会使用此模式。该独立性在需要CNV低抖动的应用中尤其重要。

连接图如图35所示，相应的时序如图36所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间必须保持高电平。(如果SDI和CNV为低电平，SDO变为低电平。)最小转换时间之前，

SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD7982接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在可选的第19个SCK下降沿或者SDI变为高电平之后(以最先出现者为准)，SDO返回高阻态。

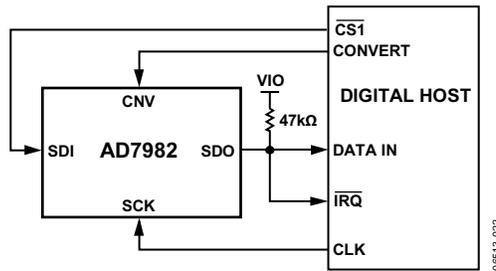


图35. CS模式(四线式且有繁忙指示)连接图

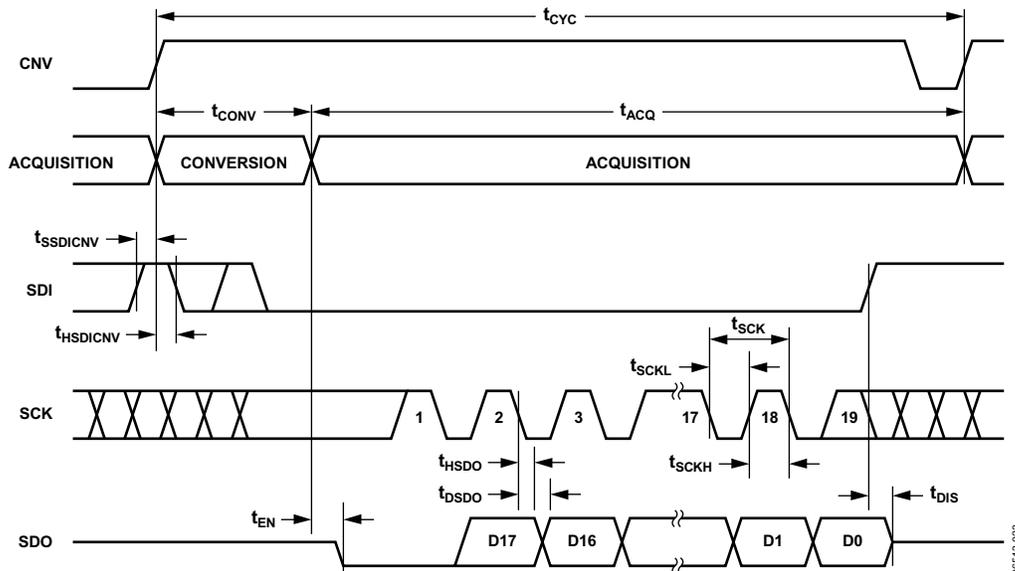


图36. CS模式(四线式且有繁忙指示)串行接口时序

链模式(无繁忙指示)

此模式可用于在三线式串行接口上以菊花链形式连接多个AD7982。这一特性有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD7982的连接图示例如图37所示，相应的时序如图38所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，选择链模式，并禁用繁忙指示。

此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。转换完成后，MSB输出至SDO，而AD7982进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $18 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能够实现更快的读取速率，从而在链中容纳更多AD7982，只要数字主机具有合理的保持时间。最大转换速率可因总回读时间而降低。

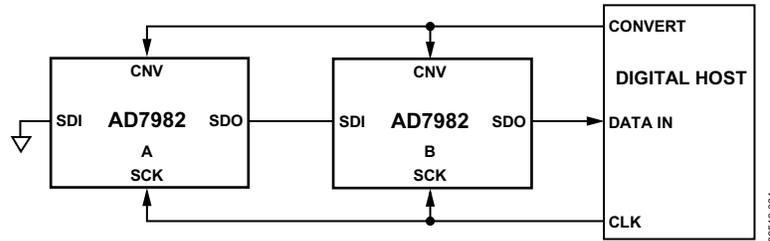


图37. 链模式(无繁忙指示)连接图

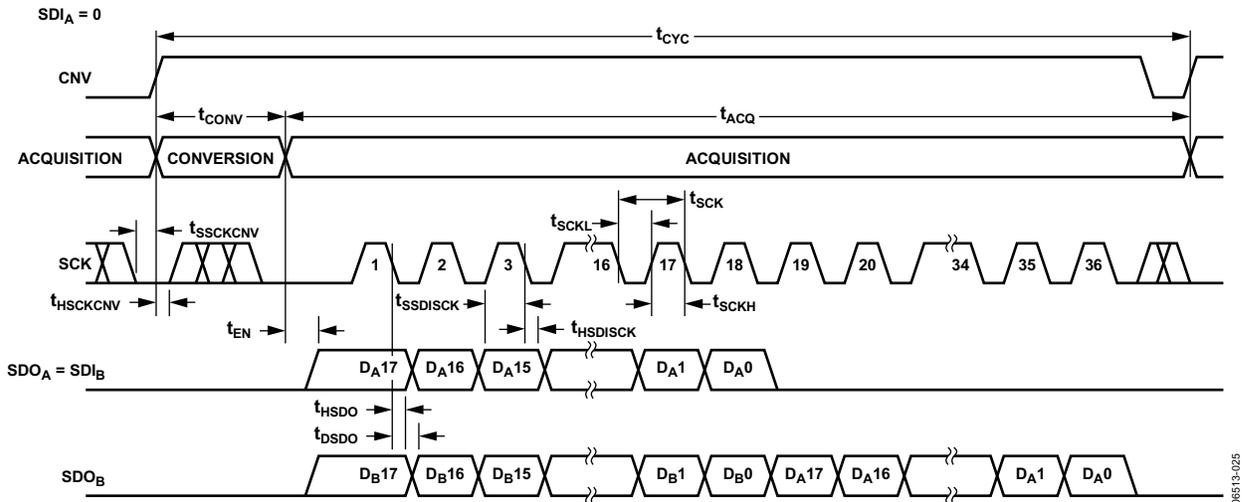


图38. 链模式(无繁忙指示)串行接口时序

AD7982

链模式(有繁忙指示)

此模式也可用于在三线式串行接口上以菊花链形式连接多个AD7982,同时提供繁忙指示。这一特性有助于减少器件数量和线路连接;例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用三个AD7982的连接图示例如图39所示,相应的时序如图40所示。

SDI和CNV为低电平时,SDO变为低电平。将SCK置为高电平时,CNV上的上升沿启动转换,选择链模式,并启用繁忙指示功能。此模式下,CNV在转换阶段和随后的

数据回读期间保持高电平。链内所有ADC完成转换后,将最靠近数字主机的ADC的SDO引脚(参见图39中标示为C的ADC AD7982)驱动为高电平。SDO上的这一转换可用作繁忙指示,以触发由数字主机控制的数据回读。AD7982接着进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿以MSB优先方式逐个输出。对于每个ADC,SDI馈入内部移位寄存器的输入,并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB,回读N个ADC需要 $18 \times N + 1$ 个时钟。虽然上升沿可以用于捕捉数据,但使用SCK下降沿的数字主机能实现更快的读取速率,从而在链中容纳更多AD7982,只要数字主机具有合理的保持时间。

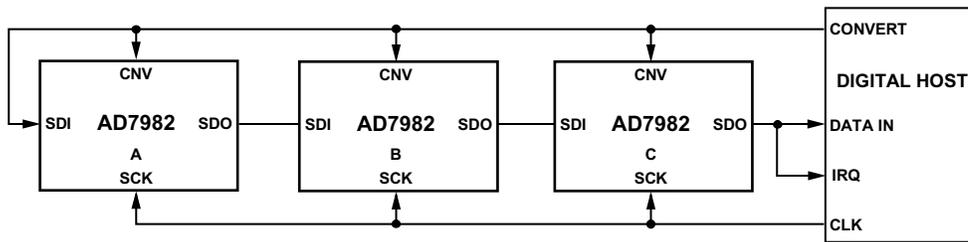


图39. 链模式(有繁忙指示)连接图

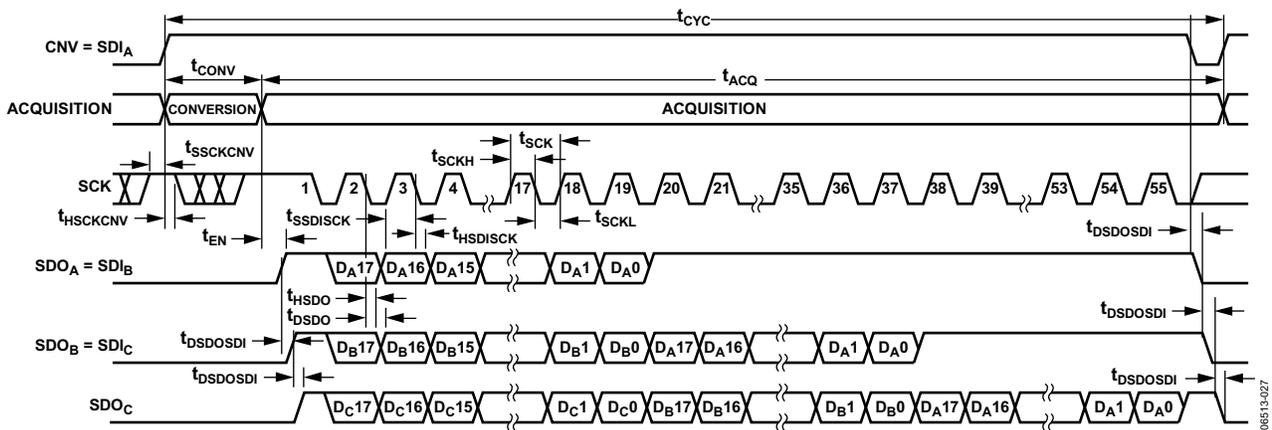


图40. 链模式(有繁忙指示)串行接口时序

应用须知

布局布线

AD7982所在的印刷电路板应采用模拟部分与数字部分分离设计，并各自限制在电路板的一定区域内。AD7982的模拟信号位于左侧，数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片管芯，除非在AD7982下方铺一个接地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不应靠近模拟信号路径。应避免数字信号与模拟信号交叠。

至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况，接地层应在AD7982下方连接。

AD7982的基准电压输入REF具有动态输入阻抗，应进行去耦，并使寄生电感最小。实现方法是将基准电压源的去耦陶瓷电容靠近(理想情况是正对)REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD7982的电源VDD和VIO应通过陶瓷电容去耦，其值通常为100 nF，靠近AD7982放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图41和图42是遵循这些规则的布局布线示例。

评估AD7982性能

AD7982评估板(EVAL-AD7982SDZ)的文档中给出了AD7982的其它推荐布局布线。评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过EVAL-SDP-CB1Z 控制评估板的软件。

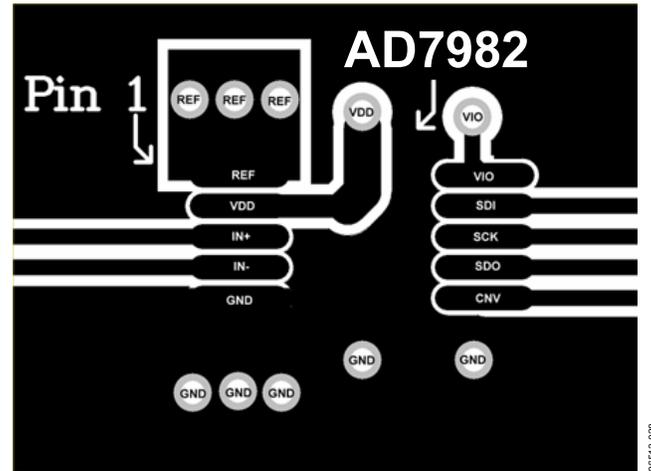


图41. AD7982的示例布局布线(顶层)

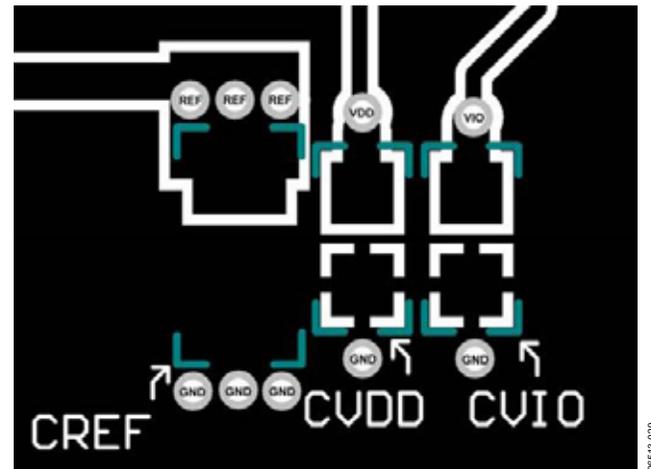
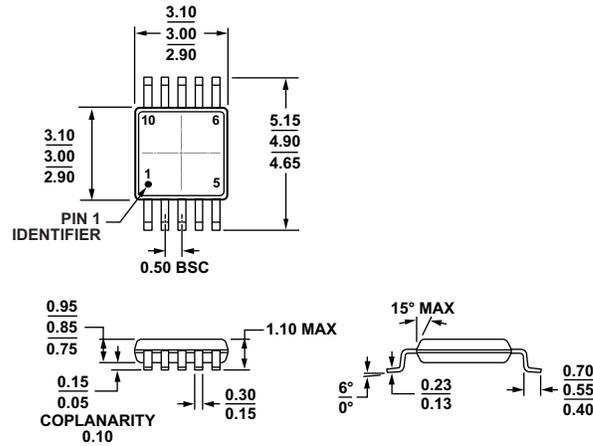


图42. AD7982的示例布局布线(底层)

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图43. 10引脚超小型封装[MSOP] (RM-10)

图示尺寸单位: mm

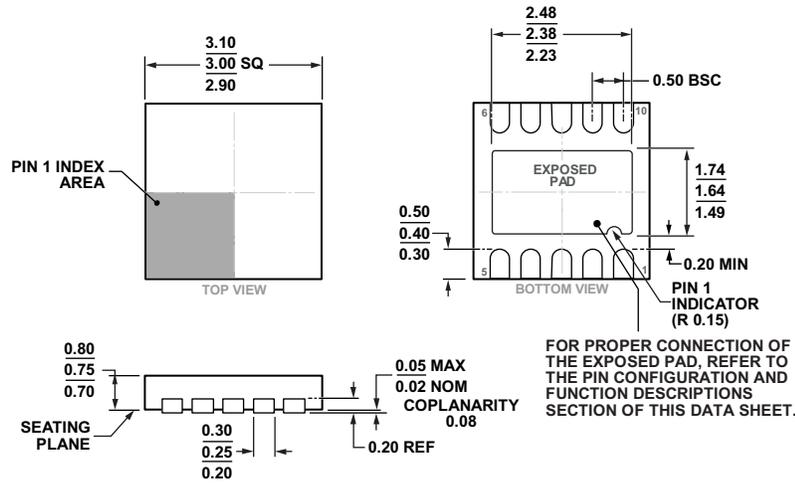


图44. 10引脚脚架构芯片级封装[QFN (LFCSP_WD)]

3 mm × 3 mm, 超薄体, 双列引脚

(CP-10-9)

图示尺寸单位: mm

订购指南

型号 ¹	注释	温度范围	封装描述	封装选项	订购数量	标识
AD7982BRMZ		-40°C至+85°C	10引脚 MSOP	RM-10	卷带, 50	C5F
AD7982BRMZRL7		-40°C至+85°C	10引脚 MSOP	RM-10	卷盘, 1000	C5F
AD7982BCPZ-RL7		-40°C至+85°C	10引脚 QFN (LFCSP_WD)	CP-10-9	卷盘, 1500	C5F
AD7982BCPZ-RL		-40°C至+85°C	10引脚 QFN (LFCSP_WD)	CP-10-9	卷盘, 5000	C5F
EVAL-AD7982SDZ	²		评估板			
EVAL-SDP-CB1Z	³		控制板			

¹ Z = 符合RoHS标准的器件。

² 此板可单独用作评估板, 或与EVAL-SDP-CB1Z配合用于评估/演示。

³ 此板允许PC对所有带SDZ标志后缀的ADI评估板进行控制并与之通信。