

产品特性

吞吐速率: 10 MSPS

信噪比(SNR): 91.5 dB

16位无失码

积分非线性(INL): ± 0.45 LSB

差分非线性(DNL): ± 0.35 LSB

功耗: 136mW

32引脚LFCSP封装(5 mm \times 5 mm)

SAR架构

无延迟/无流水线延迟

16位分辨率、无失码

零点误差: ± 1 LSB

差分输入范围: ± 4.096 V

串行LVDS接口

自时钟模式

回波时钟模式

转换控制(CNV信号)的LVDS或CMOS选择

基准电压选项

内部: 4.096 V

外部(1.2 V)缓冲至4.096 V

外部: 4.096 V

应用

数字成像系统

数字X射线

数字MRI

CCD和红外摄像头

高速数据采集

高动态范围通信接收机

频谱分析

测试设备

表1. 快速PulsAR[®] ADC选择

输入类型	分辨率(Bits)	1 MSPS 至 <2 MSPS	2 MSPS 至 3 MSPS	6 MSPS	10 MSPS
差分(接地感应)	16	AD7653 AD7667 AD7980 AD7983			
真双极性	16	AD7671			
差分(反相)	16	AD7677 AD7623	AD7621 AD7622 AD7641	AD7625	AD7626
差分(反相)	18	AD7643 AD7982 AD7984			

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

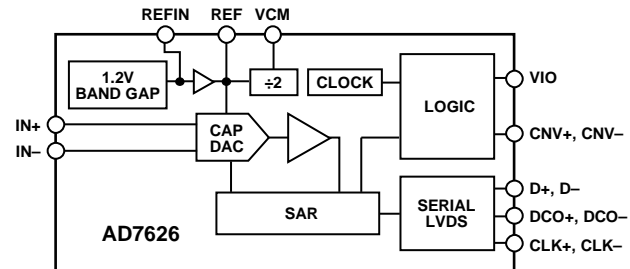
One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

www.analog.com

Fax: 781.461.3113 ©2009–2012 Analog Devices, Inc. All rights reserved.

功能框图



概述

AD7626是一款16位、10 MSPS的电荷再分配逐次逼近型(SAR)模数转换器(ADC)。SAR架构提供无与伦比的噪音性能(91.5 dB SNR)和线性度(± 0.45 LSB INL)。AD7626集成了一个高速16位采样ADC、一个内部转换时钟和一个内部缓冲基准源。在CNV上升沿，AD7626对IN+与IN-引脚之间的电压差进行采样。这些引脚的电压在0 V ~ REF的反相范围内摆动。基准电压(REF)为4.096 V；它既可以由内部产生，也可以由外部提供。

所有转换结果通过一个LVDS自时钟串行接口或回波时钟串行接口即可获得，从而减少了外部硬件连接。

AD7626采用32引脚5mm \times 5 mm LFCSP 封装，工作温度范围为-40°C 至+85°C。

目录

特性.....	1	工作原理.....	15
应用.....	1	电路信息.....	15
功能框图.....	1	转换器信息.....	15
概述.....	1	传递函数.....	16
修订历史.....	2	模拟输入.....	16
技术规格.....	3	典型连接图.....	17
时序规格.....	5	驱动AD7626.....	18
时序图.....	6	基准电压选项.....	20
绝对最大额定值.....	7	电源.....	21
热阻.....	7	数字接口.....	22
ESD警告.....	7	应用信息.....	24
引脚配置和功能描述.....	8	布局、去耦和接地.....	24
典型性能参数.....	10	外形尺寸.....	25
术语.....	14	订购指南.....	25

修订历史

2012年7月—修订版A至修订版B

CP-32-2封装更改为CP-32-7封装.....	通篇
更改图4.....	8
更新“外形尺寸”.....	25
更改“订购指南”.....	25

2010年1月—修订版0至修订版A

更改引脚5、引脚6的描述和表6.....	8
更改上电部分.....	21

2009年9月-版本0：初始版

技术规格

除非另有说明，VDD1 = 5 V；VDD2 = 2.5 V；VIO = 2.5 V；REF = 4.096 V；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			Bits
模拟输入					
电压范围	V_{IN+} 至 V_{IN-}	$-V_{REF}$		$+V_{REF}$	V
工作输入电压	V_{IN+} 、 V_{IN-} 至AGND	-0.1		$V_{REF} + 0.1$	V
共模输入范围		$V_{REF}/2 - 0.05$	$V_{REF}/2$	$V_{REF}/2 + 0.05$	V
共模抑制比(CMRR)	$f_{IN} = 1$ MHz		68		dB
输入电流	中间电平输入		168		μ A
吞吐速率					
完整周期				100	ns
吞吐速率		0.1		10	MSPS
直流精度					
积分线性误差		-1.5	± 0.45	+1.5	LSB
无失码		16			Bits
微分线性误差		-0.5	± 0.35	+0.5	LSB
跃迁噪声			0.6		LSB
零电平误差(T_{MIN} 至 T_{MAX})		-6	± 1	+6	LSB
零电平误差漂移			0.5		ppm/ $^{\circ}$ C
增益误差(T_{MIN} 至 T_{MAX})			8	20	LSB
增益误差漂移			0.7		ppm/ $^{\circ}$ C
电源灵敏度 ¹	VDD1 = 5 V \pm 5% VDD2 = 2.5 V \pm 5%		0.4 0.2		LSB LSB
交流精度					
$f_{IN} = 20$ kHz, -0.5 dBFS					
动态范围		90.5	91.5		dB
信噪比		90	91		dB
无杂散动态范围			105		dB
总谐波失真			-105.5		dB
信纳比		89.5	91		dB
$f_{IN} = 100$ kHz, -0.5 dBFS					
信噪比			91.3		dB
无杂散动态范围			104.5		dB
总谐波失真			-102.5		dB
信纳比			91		dB
$f_{IN} = 2.4$ MHz, -1 dBFS					
信噪比			88.5		dBFS
无杂散动态范围			84		dB
总谐波失真			-86		dB
信纳比			85		dB
$f_{IN} = 2.4$ MHz, -6 dBFS					
信噪比			89		dBFS
无杂散动态范围			84		dB
总谐波失真			-93		dB
信纳比			88		dB
-3 dB输入带宽			95		MHz
孔径抖动			0.25		ps rms
内部基准电压源					
输出电压	当温度为25 $^{\circ}$ C时的REFIN	1.18	1.19	1.2	V
温度漂移	-40 $^{\circ}$ C至+85 $^{\circ}$ C		± 15		ppm/ $^{\circ}$ C

AD7626

参数	测试条件/注释	最小值	典型值	最大值	单位
基准电压缓冲器					
REFIN输入电压范围		1.18	1.2	1.22	V
REF输出电压范围	当温度为25°C、 EN0 = EN1 = 1时的REF	4.076	4.096	4.116	V
线性调整率	VDD1 ± 5%, VDD2 ± 5%		5		mV
外部基准电压源					
电压范围	REF		4.096		V
VCM引脚					
VCM输出			REF/2		
VCM误差		-0.015		+0.015	V
输出阻抗			5		kΩ
LVDS I/O (ANSI-644)					
数据格式			串行LVDS(2的补码)		
差分输出电压(V _{OD})	R _L = 100 Ω	245	290	454	mV
共模输出电压(V _{OCM})	R _L = 100 Ω	980 ²	1130	1375	mV
差分输入电压(V _{ID})		100		650	mV
共模输入电压(V _{ICM})		800		1575	mV
电源					
额定性能					
VDD1		4.75	5	5.25	V
VDD2		2.37	2.5	2.63	V
VIO		2.37	2.5	2.63	V
工作电流					
静态—非转换					
VDD1			3.5	4.5	mA
VDD2			16.7	21.2	mA
VIO			11.6	13.5	mA
带有内部基准源	10 MSPS吞吐速率量				
VDD1			10.4	11.2	mA
VDD2			23.5	27.8	mA
VIO	回波时钟模式		15.8	17.8	mA
带有外部基准源	10 MSPS吞吐速率量				
VDD1			7.5	8.8	mA
VDD2			23	28	mA
VIO	回波时钟模式		16.4	18.5	mA
关断	EN0 = 0, EN1 = 0				
VDD1			0.6	4	μA
VDD2			0.8	10	μA
VIO			1	5	μA
功耗 ³					
静态—非转换			88	107	mW
带有内部基准源	10 MSPS吞吐速率量		150	170	mW
带有外部基准源	10 MSPS吞吐速率量		136	160	mW
关断			8	58	μW
每次转换的能量	10 MSPS吞吐速率量		13.6		nJ/采样
温度范围					
额定性能	T _{MIN} 至T _{MAX}	-40		+85	°C

¹ 采用外部基准源。

² ANSI-644 LVDS的输出共模电压(V_{OCM})的最小值为1125 mV。

³ 功耗仅针对器件AD7626。在自时钟接口模式下，100 Ω端子的功耗为0.9 mW。在回波时钟接口模式下，两个100 Ω端子的功耗为1.8 mW。

时序规格

除非另有说明，VDD1 = 5 V；VDD2 = 2.5 V；VIO = 2.37 V至2.63 V；REF = 4.096 V；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	符号	最小值	典型值	最大值	单位
转换间隔 ¹	t_{CYC}	100		10,000	ns
CNV高电平时间	t_{CNVH}	10		40	ns
CNV至D(MSB)就绪	t_{MSB}			100	ns
CNV至最后CLK(LSB)延迟	t_{CLKL}			72	ns
CLK周期 ²	t_{CLK}	3.33	4	$(t_{CYC} - t_{MSB} + t_{CLKL})/n$	ns
CLK频率	f_{CLK}		250	300	MHz
CLK至DCO延迟(回波时钟模式)	t_{DCO}	0	4	7	ns
DCO至D延迟(回波时钟模式)	t_D		0	1	ns
CLK至D延迟	t_{CLKD}	0	4	7	ns

¹最大转换间隔为10,000 ns。如CNV±维持在空闲状态的时间超过规定的最大值 t_{CYC} ，后续的转换结果无效。

²在最大CLK周期中，可用的数据读取时间窗为 $t_{CYC} - t_{MSB} + t_{CLKL}$ 。当可用于给定转换CNV频率的最大CLK±频率出现时，将该时间除以需要读取的位数(n)。在回波时钟接口模式下，n = 16；而在自时钟模式下，n = 18。

时序图

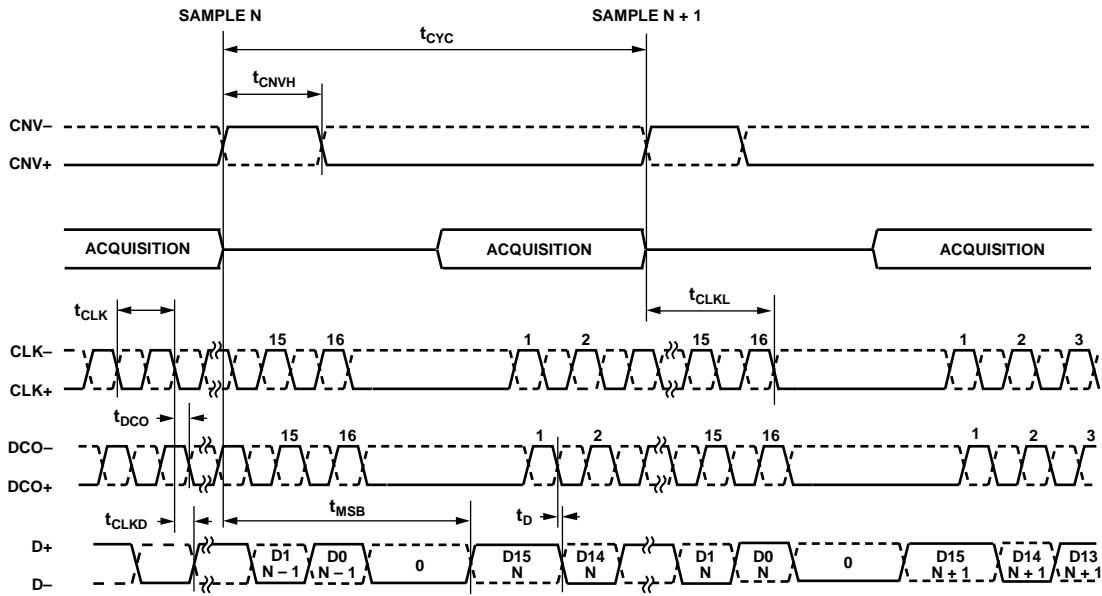


图2. 回波时钟接口模式时序图

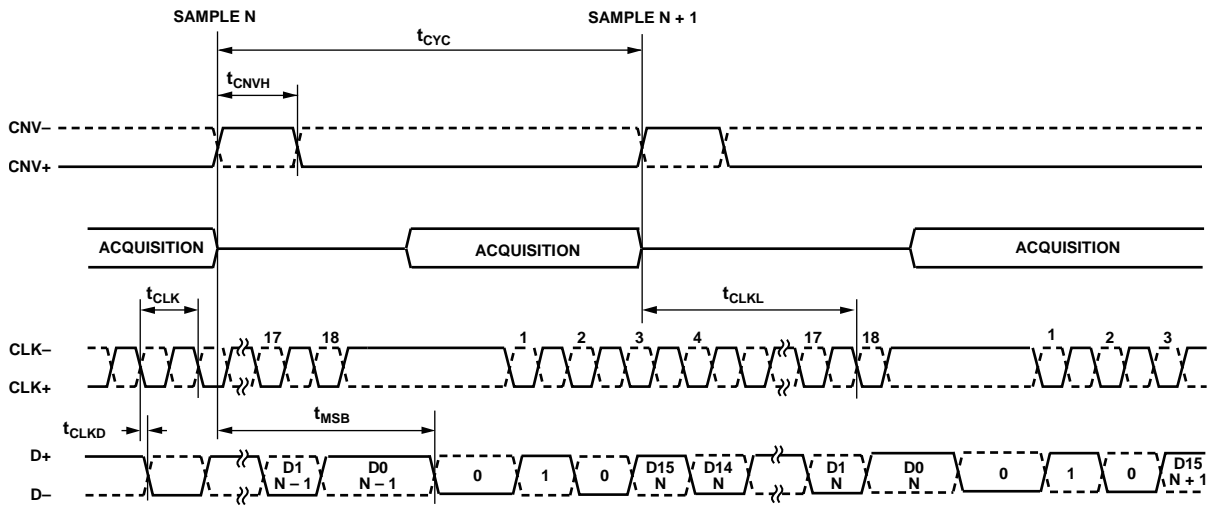


图3. 自时钟接口模式时序图

绝对最大额定值

表4.

参数	额定值
模拟输入/输出 IN+, IN- to GND ¹	-0.3 V至REF + 0.3 V或 ±130 mA
REF ² 至GND	-0.3 V至+6 V
VCM、CAP2至GND	-0.3 V至+6 V
CAP1、REFIN至GND	-0.3 V至+2.7 V
电源电压	
VDD1	-0.3 V至+6 V
VDD2和VIO	-0.3 V至+3 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
除电源引脚外的任何引脚的输入 电流 ³	±10 mA
工作温度范围 (商用)	-40°C至+85°C
存储温度范围	-65°C至+150°C
结温	150°C
ESD	1 kV

¹ 参见模拟输入部分。

² 当施加于REF引脚的外部REF电压高于4.3 V时，CNV±保持为低电平状态。

³ 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件；即器件焊接在电路板上以实现表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
32引脚 LFCSP_VQ	40	4	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

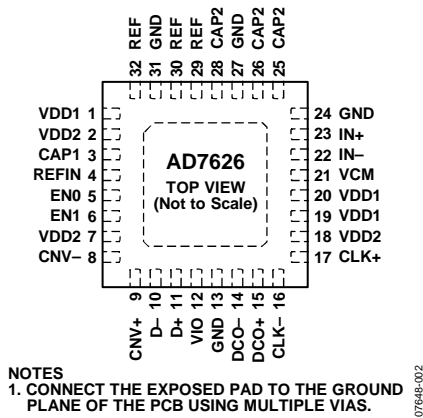


图4. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	VDD1	P	5 V模拟电源。利用一个100 nF电容，对5 V电源进行去耦。
2	VDD2	P	2.5 V模拟电源。利用一个100 nF电容对此引脚进行去耦。2.5 V电源应首先为此引脚供电，再为其余的VDD2引脚(引脚7和引脚18)供电。
3	CAP1	AO	将此引脚与一个10 nF电容相连。
4	REFIN	AI/O	前置缓冲基准电压。采用内部基准源时，该引脚输出带隙电压，标称值为1.2 V。也可使用外部基准电压源(如ADR280)。在内部、外部基准源模式下，该引脚均需要连接一个10 μF电容。采用4.096 V外部基准源(连接至REF)时，该引脚处于非连接状态，且不需要使用电容。
5, 6	EN0, EN1	DI	使能。在2.5 V逻辑电平条件下工作。这些引脚的逻辑电平可让器件在如下模式工作： EN1 = 0, EN0 = 0: 掉电模式。 EN1 = 0, EN0 = 1: 需要1.2 V外部基准电压，施加于REFIN引脚。 EN1 = 1, EN0 = 0: 需要4.096 V外部基准电压，施加于REFIN引脚。 EN1 = 1, EN0 = 1: 采用内部基准源和内部基准缓冲器。
7	VDD2	P	2.5 V数字电源。利用一个100 nF电容对此引脚进行去耦。
8, 9	CNV-, CNV+	DI	转换输入。这些引脚用作转换控制引脚。在这些引脚的上升沿，对模拟输入信号进行采样并启动一个转换周期。当CNV-接地时，CNV+用作CMOS输入引脚；否则，CNV+和CNV-用作差分LVDS输入。
10, 11	D-, D+	DO	LVDS数据输出。转换数据以串行方式从这些引脚输出。
12	VIO	P	输入/输出接口电源。采用2.5 V电源；利用一个100 nF电容，可对此引脚进行去耦。
13	GND	P	地。与引脚12相连的100 nF电容的返回路径。
14, 15	DCO-, DCO+	DO	LVDS缓冲时钟输出。当DCO+接地时，选择自时钟接口模式。在这种模式下，D端的16位结果数据以0为开头(在前一次转换结束时输出)，后面紧跟2位标头(10)，以便利用带有外部逻辑的数字主机实现信号同步。该标头中的1为准确采集随后转换结果提供基准。当DCO+未接地时，选择回波时钟接口模式。在这种模式下，DCO±是CLK±的副本。在DCO+的下降沿输出转换结果；数字主机在DCO+的下一上升沿捕捉转换结果。
16, 17	CLK-, CLK+	DI	LVDS时钟输入。该时钟用于在CLK+下降沿移出转换结果。
18	VDD2	P	2.5 V模拟电源。利用一个100 nF电容对此引脚进行去耦。
19, 20	VDD1	P	5 V模拟电源。利用一个氧化铁磁珠将这些引脚与引脚1隔离开，并利用一个100 nF电容对这些引脚进行去耦。
21	VCM	AO	共模输出。采用任何基准电压方案时，该引脚处的电压为REF引脚处电压的一半，可用于驱动输入放大器共模。
22	IN-	AI	负向差分模拟输入。必须驱动为与IN+呈180°反相。
23	IN+	AI	正向差分模拟输入。必须驱动为与IN-呈180°反相。

引脚编号	引脚名称	类型 ¹	描述
24	GND	P	地。
25, 26, 28	CAP2	AO	将三个CAP2引脚连接在一起，利用尽可能短的走线连接至单个10 μF、低ESR、低ESL电容，以进行去耦。电容的另一端必须靠近引脚27(GND)。
27	GND	P	地。与引脚25、引脚26和引脚28相连的10 μF电容的返回路径。
29, 30, 32	REF	AI/O	缓冲基准电压。当采用内部基准源或1.2 V外部基准源(REFIN输入)时，在该引脚处产生4.096 V系统基准电压。当采用外部基准源(如ADR434或ADR444)，必须屏蔽内部基准缓冲器。无论哪种情况，均需将三个REF引脚连接在一起，并用尽可能短的走线连接至单个10 μF、低ESR、低ESL电容，以进行去耦。电容的另一端必须靠近引脚31(GND)。
31	GND	P	地。与引脚29、引脚30和引脚32相连的10 μF电容的返回路径。
EP	裸露焊盘		裸露焊盘位于封装的底部。利用多个过孔，可将裸露焊盘连接至PCB的接地层。如需了解更多信息，请参阅“裸露焊盘”部分。

¹ AI = 模拟输入；AI/O = 双向模拟；AO = 模拟输出；DI = 数字输入；DO = 数字输出；P = 电源。

典型性能参数

除非另有说明，VDD1 = 5 V；VDD2 = 2.5 V；VIO = 2.5 V；REF = 4.096 V；所有曲线图均为10 MSPS。2 MHz、3 MHz和5 MHz输入音的FFT图均采用带通滤波器(通带带宽围绕基频±400 kHz)。

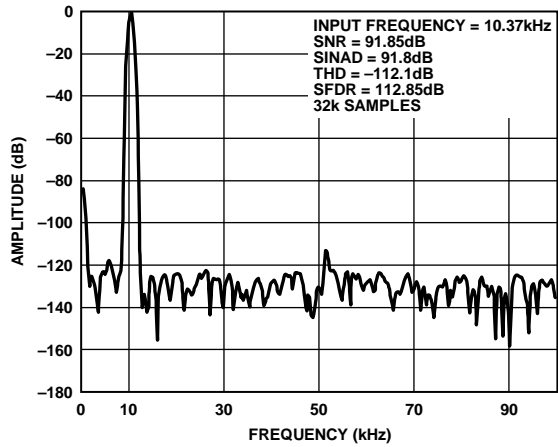


图5. 10 kHz -0.5 dB输入音缩放视图

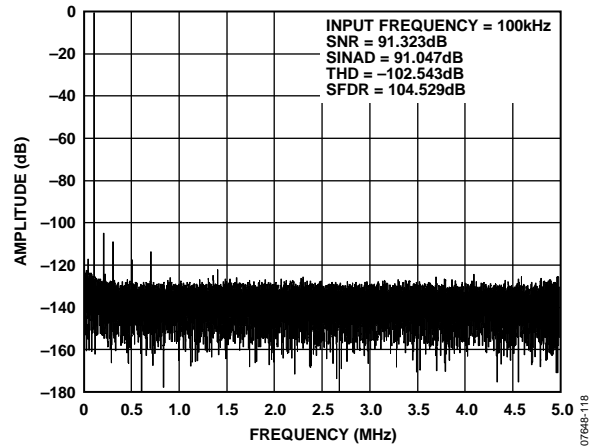


图8. 100 kHz -0.5 dB输入音FFT全频率视图

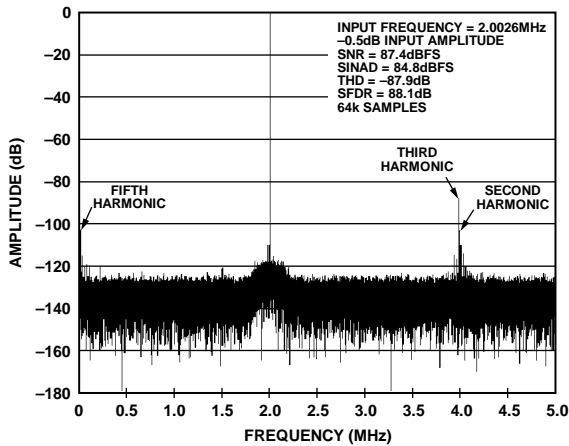


图6. FFT 2 MHz -0.5 dB输入音宽视图

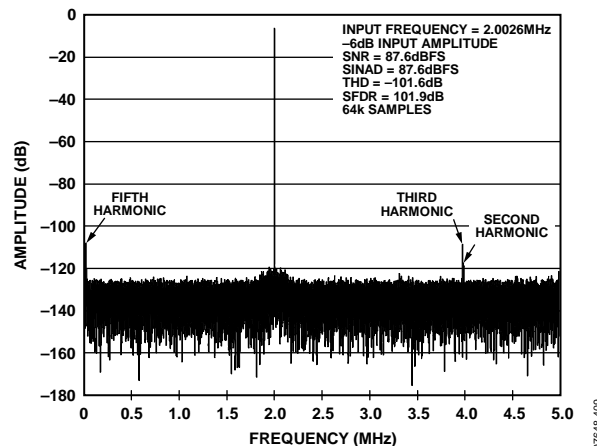


图9. FFT 2 MHz -6 dB输入音宽视图

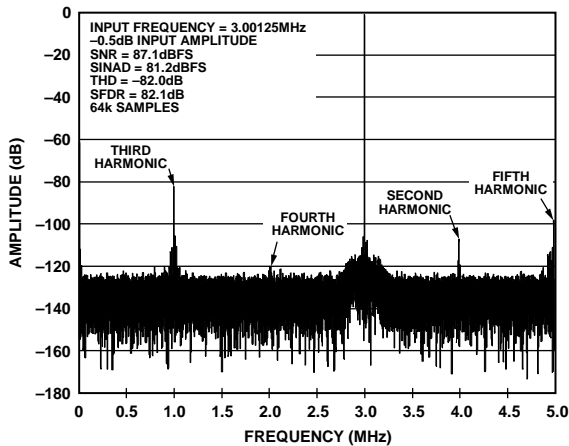


图7. FFT 3 MHz -0.5 dB输入音宽视图

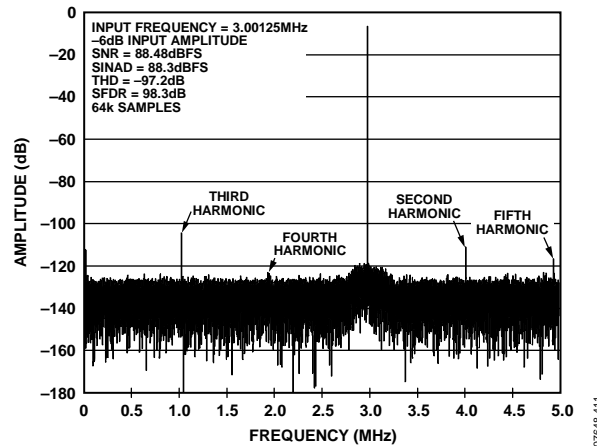


图10. FFT 3 MHz -6 dB输入音宽视图

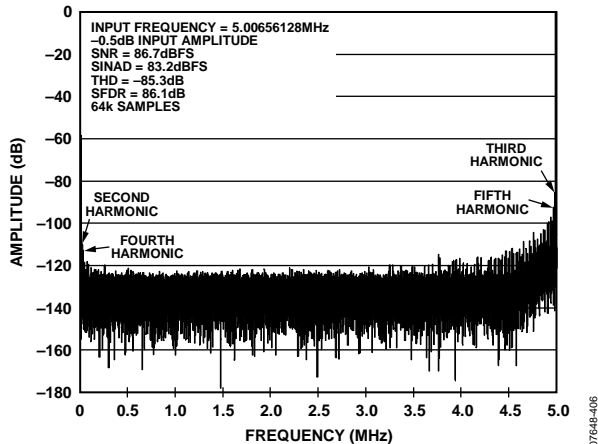


图11. FFT 5 MHz -0.5 dB输入音宽视图

07648-406

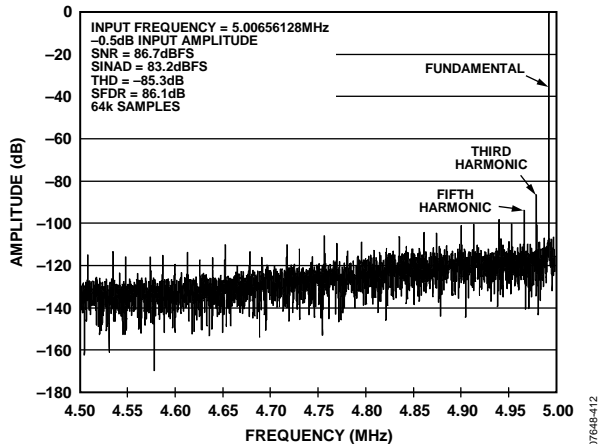


图14. FFT 5 MHz -0.5 dB输入音缩放视图

07648-412

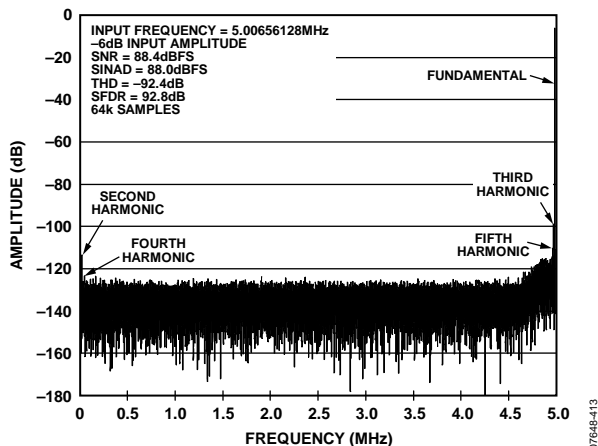


图12. FFT 5 MHz -6 dB输入音宽视图

07648-413

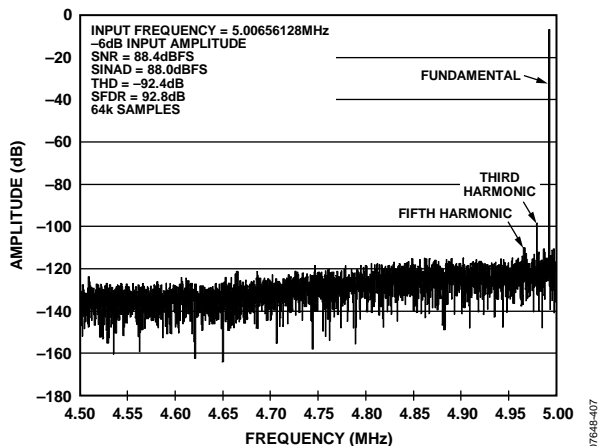


图15. FFT 5 MHz -6 dB输入音缩放视图

07648-407

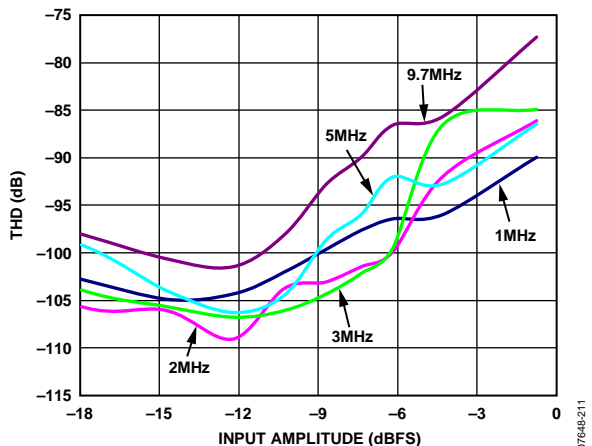


图13. THD与输入信号振幅的关系(输入频率为10 kHz至9.7 MHz)

07648-211

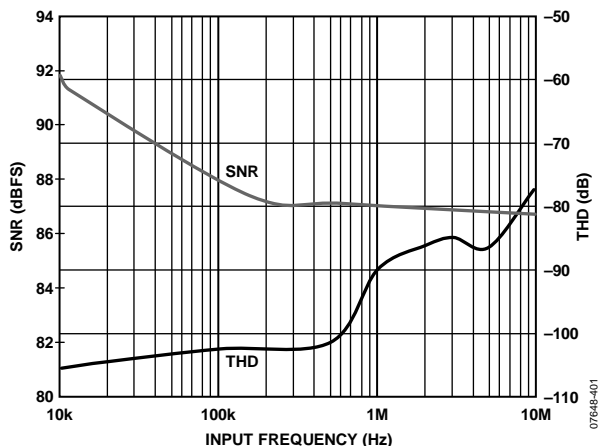


图16. THD和SNR与输入频率的关系(-0.5 dB输入音)

07648-401

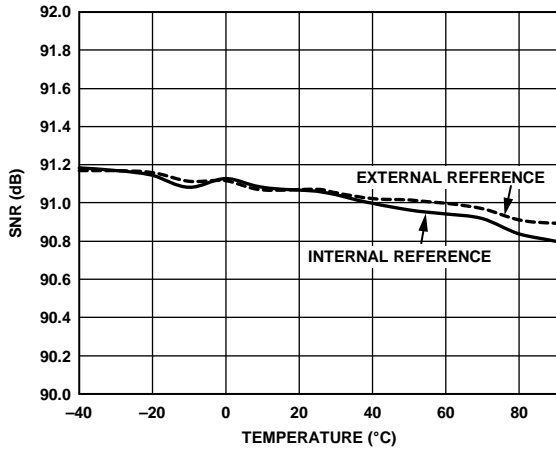


图17. SNR与温度的关系(-0.5 dB、20 kHz输入音)

07648-212

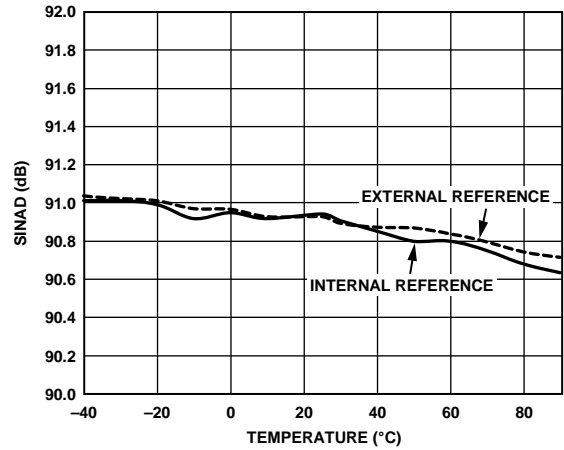


图20. SINAD与温度的关系(-0.5 dB、20 kHz输入音)

07648-215

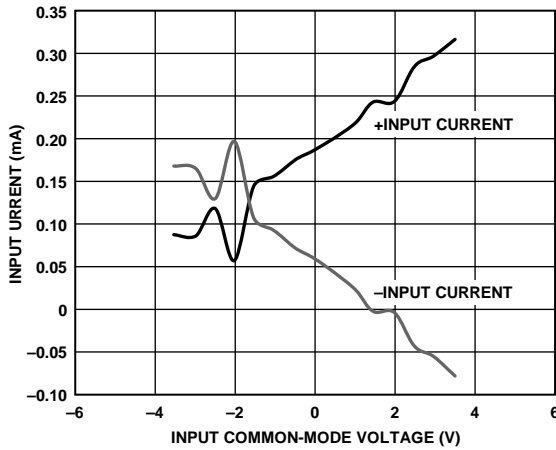


图18. 输入电流(IN+和IN-)与差分输入电压的关系(10 MSPS)

07648-121

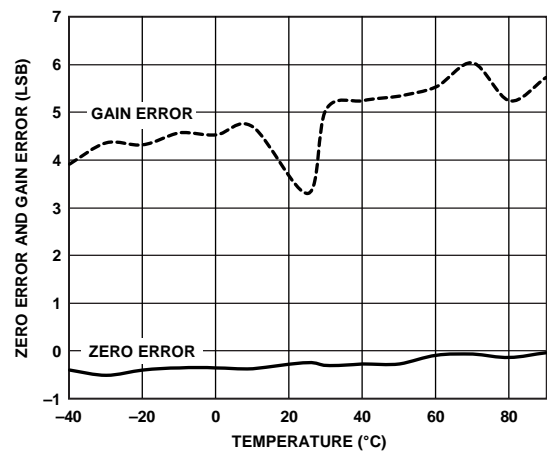


图21. 零电平误差和增益误差与温度的关系

07648-301

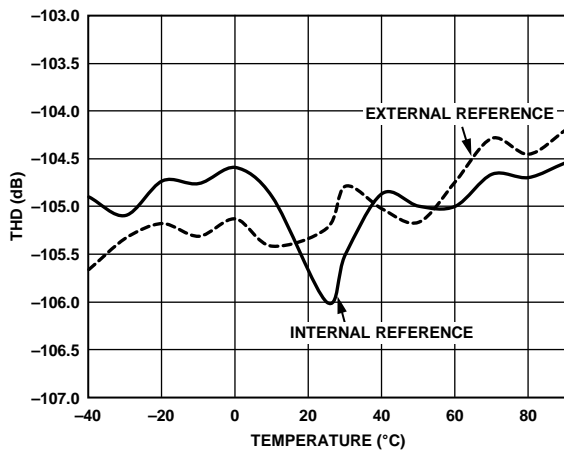


图19. THD与温度的关系(-0.5 dB、20 kHz输入音)

07648-214

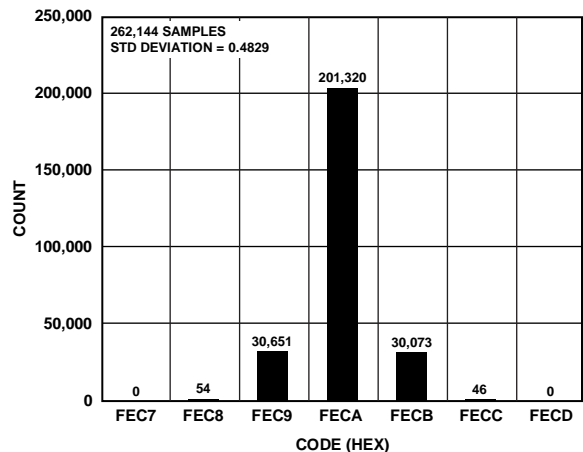


图22. 一个直流输入的262,144次转换的直方图(码中心、内部基准源)

07648-302

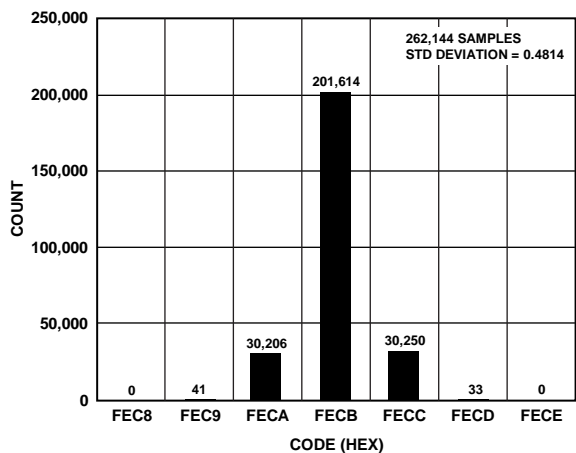


图 23. 一个直流输入的262,144次转换的直方图 (码中心、外部基准源)

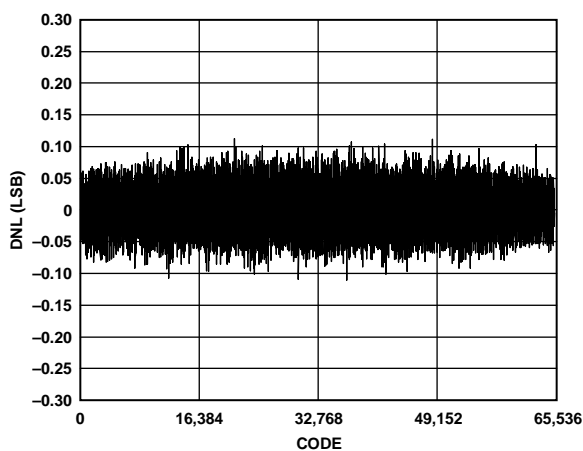


图25. 差分非线性与代码的关系(温度为25°C)

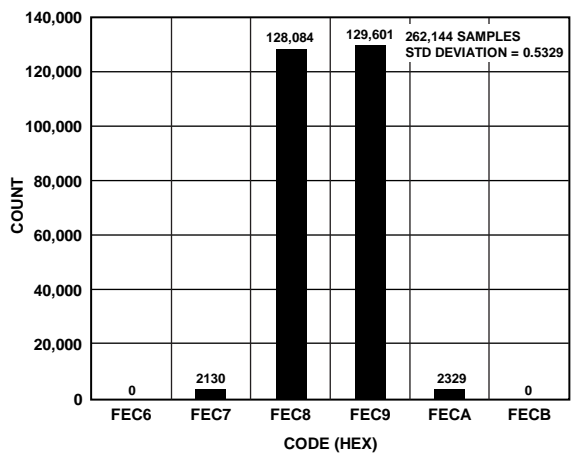


图 24. 一个直流输入的262,144次转换的直方图 (码跃迁)

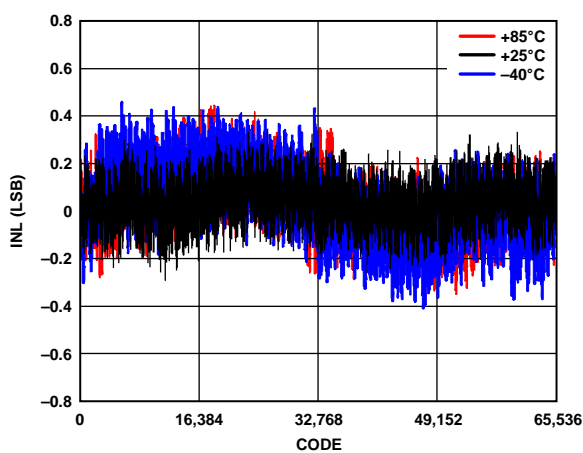


图26. 积分非线性、代码、温度三者之间的关系

术语

共模抑制比(CMRR)

共模抑制比定义为满量程频率 f 下的ADC输出功率与频率 f_s 下施加于共模电压 V_{IN+} 和 V_{IN-} 的100 mV峰峰值正弦波功率的比值。

$$CMRR \text{ (dB)} = 10 \log(Pf/Pf_s)$$

其中：

Pf 为频率 f 下ADC的输出功率。

Pf_s 是频率 f_s 下ADC的输出功率。

微分非线性(DNL)误差

在一个理想ADC中，码跃迁相距1 LSB。差分非线性是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

积分非线性(INL)误差

线性误差是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中点到该直线的距离即为偏差。

动态范围

动态范围指满量程的均方根值与 -60 dB典型输入条件下测得的均方根噪声之比，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD相关，计算公式如下：

$$ENOB = [(SINAD_{dB} - 1.76)/6.02]$$

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 4.096 V范围为 -4.0959375 V)，产生第一个码跃迁(从100...000跃迁至100...001)。当模拟电压低于标称正满量程 $1\frac{1}{2}$ LSB时(对于 ± 4.096 V范围来说，应在 $+4.0959370$ V)，发生最后一个码跃迁(从011 ... 110跃迁至011 ... 111)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

增益误差漂移

1°C 温度变化所产生的增益误差变化量与满量程范围(2^N)的比率，采用百万分率表示。

最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于 N 位分辨率的全差分输入ADC，LSB(单位：伏特)的计算公式如下：

$$LSB \text{ (V)} = \frac{V_{INP-P}}{2^N}$$

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制比指由于电源电压偏离标称值所引起的满量程转换点的最大变化。

基准电压温度系数

基准电压温度系数是在 T_{MIN} 、 $T=25^\circ\text{C}$ 和 T_{MAX} 时测量的最大和最小基准输出电压(V_{REF})与在 25°C 时的输出电压的典型偏移。它用ppm/ $^\circ\text{C}$ 表示，计算公式为：

$$TCV_{REF} \text{ (ppm}/^\circ\text{C}) = \frac{V_{REF} \text{ (Max)} - V_{REF} \text{ (Min)}}{V_{REF} \text{ (25}^\circ\text{C)} \times (T_{MAX} - T_{MIN})} \times 10^6$$

其中：

$V_{REF} \text{ (Max)}$ 为 T_{MIN} 、 $T(25^\circ\text{C})$ 或 T_{MAX} 时的最大 V_{REF} 。

$V_{REF} \text{ (Min)}$ 为 T_{MIN} 、 $T(25^\circ\text{C})$ 或 T_{MAX} 时的最小 V_{REF} 。

$V_{REF} \text{ (25}^\circ\text{C)}$ 为 25°C 时的 V_{REF} 。

$T_{MAX} = +85^\circ\text{C}$ 。

$T_{MIN} = -40^\circ\text{C}$ 。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号(包括谐波)的均方根幅值之差，用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

零误差

理想中间电平输入电压(0 V)与产生中间电平输出码的实际电压之差称为零电平误差。

零电平误差漂移

1°C 温度变化所产生的零电平误差与满量程代码范围(2^N)的比率，采用百万分率表示。

工作原理

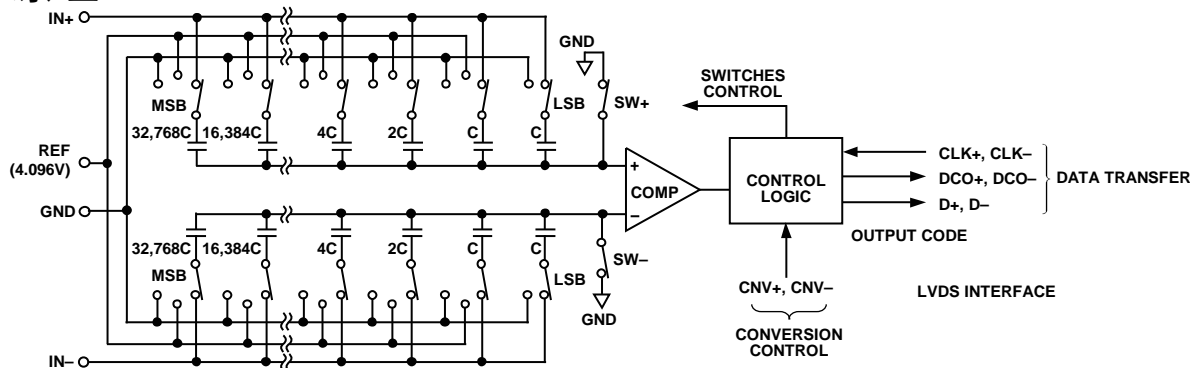


图27. ADC原理示意图

07648-030

电路信息

AD7626是一款10 MSPS、高精度、高效率的16位ADC，它采用逐次逼近型架构，可提供91.5 dB SNR、 ± 0.45 LSB INL和 ± 0.35 LSB DNL。

AD7626每秒能够转换10,000,000次(10 MSPS)。器件的典型功耗为136 mW。AD7626提供额外的高性能片上基准源和片上基准缓冲器。

AD7626采用5 V和2.5 V电源(VDD1和VDD2)供电。数字主机与AD7626之间的接口仅支持2.5 V逻辑电平。AD7626利用LVDS接口来传输转换数据。输入至器件的信号CNV+和CNV-可激活模拟输入转换。可以使用CMOS或LVDS源激活引脚CNV+和CNV-。

AD7626采用节省空间的32引脚5 mm × 5 mm LFCSP封装。

转换器信息

AD7626是一款10 MSPS ADC，采用逐次逼近型架构以内置电荷再分配DAC。图27显示了一个简化的ADC原理图。容性DAC包含两个相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容和采集IN+、IN-输入端的模拟信号。一旦采集阶段结束且CNV输入变为高电平，即启动转换阶段。注意：AD7626可接收CMOS或LVDS格式的CNV信号。

当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的输入(IN+ 和 IN-)之间差分电压施加于比较器输入端，导致比较器不平衡。通过在GND与4.096 V (基准电压)之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4 \dots V_{REF}/65,536$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。该过程结束后，控制逻辑将产生ADC输出代码

AD7626数字接口使用低电压差分信号(LVDS)实现高数据传输率。

经过 t_{MSB} (从转换开始到MSB可用的时间)后，可以读取AD7626的转换结果。用户必须对AD7626应用突发LVDS CLK±信号，才能向数字主机传输数据。

CLK±信号将ADC转换结果输出至数据输出D±。CLK±信号如图41和图42所示，其特性如下：

- 在 t_{CLKL} 和 t_{MSB} 之间的时间段，CLK±上的差分电压应维持在稳定状态。
- AD7626具有两种数据读取模式。如需了解更多关于回波时钟和自时钟接口模式的信息，请参阅“数字接口”部分。

AD7626

传递函数

AD7626采用4.096 V基准源。AD7626可将反相模拟输入信号(IN+和IN-)的差分电压转换为数字输出信号。模拟输入(IN+和IN-)需要2.048 V共模电压(REF/2)。

16位转换结果以MSB优先、二进制补码格式提供。

AD7626的理想传递函数如图28和表7所示。

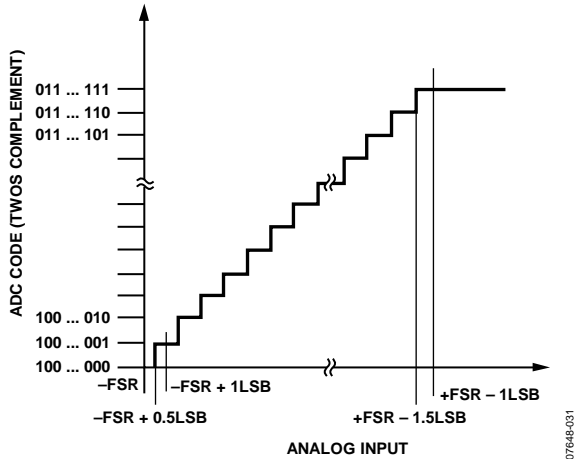


图28. AD理想传输函数(FSR表示满量程范围)

表7. 输出码和理想输入电压

描述	模拟输入 (IN+ - IN-) REF = 4.096 V	以二进制补码形式表示的 数字输出代码 (十六进制数)
FSR - 1 LSB	+4.095875V	0x7FFF
中间电平 + 1 LSB	+125 μV	0x0001
中间电平	0 V	0x0000
中间电平 - 1 LSB	-125 μV	0xFFFF
-FSR + 1 LSB	-4.095875 V	0x8001
-FSR	-4.096 V	0x8000

模拟输入

施加于AD7626的模拟输入(IN+和IN-)必须保持180°反相。图29显示了AD7626输入结构的等效电路。

两个二极管为模拟输入IN+和IN-提供ESD保护。模拟输入信号的电压值不能比基准电压高0.3 V以上。如果模拟输入信号的电压超过这一水平,二极管将呈正偏并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。然而,如果输入缓冲器的供电电压(例如:图33所示的ADA4899-1的供电电压)与基准电压不同,则模拟输入信号的电压可能比电源电压高0.3 V以上。在这种情况下(例如输入缓冲短路),电流限制可以保护器件。

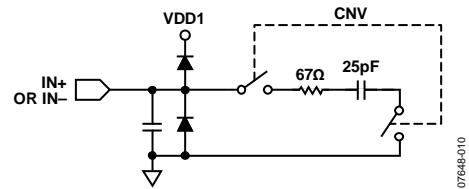


图29. 等效模拟输入电路

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入,可以抑制两个输入端的共模信号。模拟输入频率较高时,AD7626会显示THD的降低。

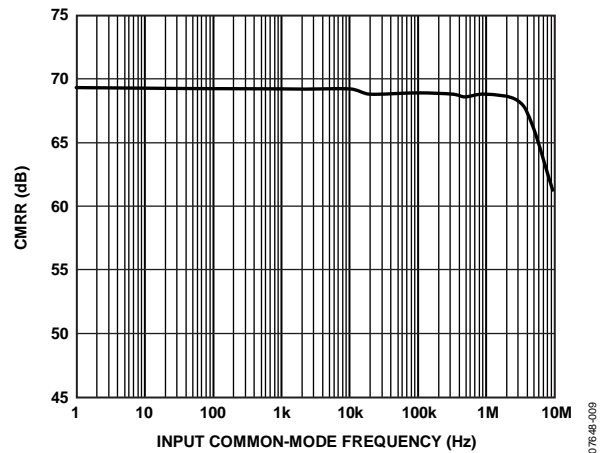
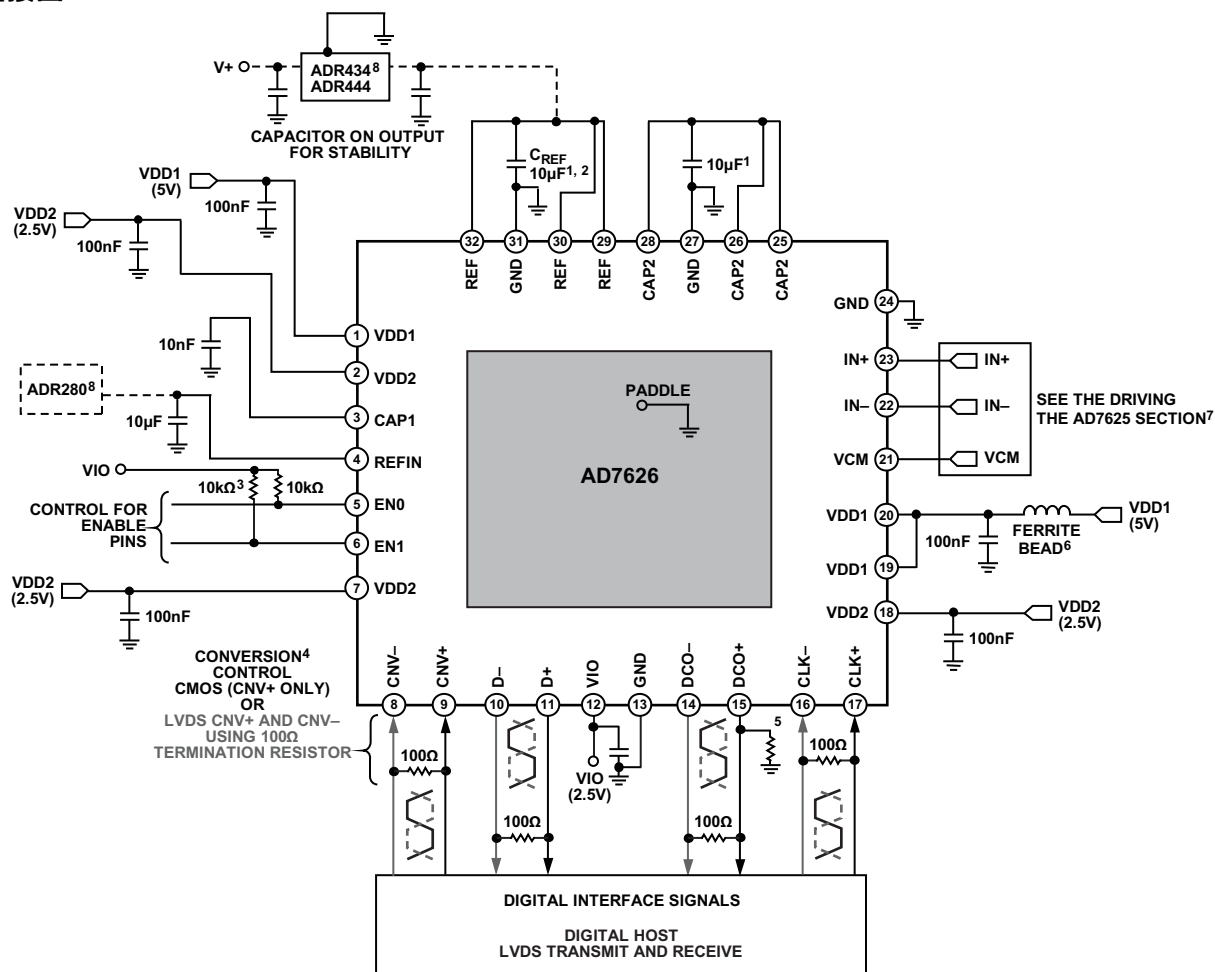


图30. 模拟输入CMRR与频率的关系

典型连接图



- ¹ SEE THE LAYOUT, DECOUPLING, AND GROUNDING SECTION.
- ² C_{REF} IS USUALLY A 10µF CERAMIC CAPACITOR WITH LOW ESR AND ESL.
- ³ USE PULL-UP OR PULL-DOWN RESISTORS TO CONTROL EN0 AND EN1 DURING POWER-UP. EN0 AND EN1 INPUTS CAN BE FIXED IN HARDWARE OR CONTROLLED USING A DIGITAL HOST (EN0 = 0 AND EN1 = 0 PUTS THE ADC IN POWER-DOWN).
- ⁴ OPTION TO USE A CMOS (CNV+) OR LVDS (CNV±) INPUT TO CONTROL CONVERSIONS.
- ⁵ TO ENABLE SELF-CLOCKED MODE, TIE DCO+ TO GND.
- ⁶ CONNECT PIN 19 AND PIN 20 TO VDD1 SUPPLY; ISOLATE THE TRACE TO PIN 19 AND PIN 20 FROM THE TRACE TO PIN 1 USING A FERRITE BEAD SIMILAR TO WURTH 74279266.
- ⁷ SEE THE DRIVING THE AD7626 SECTION FOR DETAILS ON AMPLIFIER CONFIGURATIONS.
- ⁸ SEE THE VOLTAGE REFERENCE OPTIONS SECTION FOR DETAILS.

图31. 典型应用图

07648-027

AD7626

驱动AD7626

差分模拟输入源

图33为ADA4899-1驱动每个差分输入至AD7626的示意图。

单端至差分驱动器

在采用单级模拟信号的应用场合，单端至差分驱动器(如图32)可为器件提供差分输入。当输入信号的电压为0V至4.096V时，这一配置可产生±4.096V差分电压(中间电压水平为2.048V)。R = 20Ω、C = 56pF的单极滤波器可提供140MHz角频率。AD7626的VCM输出可被暂时保存并用于为器件提供2.048V共模电压。

单端或全差分高频驱动器

在需要较高输入频率的音频应用中，ADA4932-1可驱动输入信号至AD7626。ADA4932-1是差分驱动器，它也允许用户选择单端至差分转换。

图34为50Ω源阻抗的典型电路图(此例采用交流耦合)。ADA4932-1的输入信号配置为与源阻抗平衡(在本例中，阻抗为50Ω)。如需了解更多关于输入阻抗匹配源阻抗的信息，请阅读ADA4932-1数据手册。考虑到输入端接，图34显示的电路采用~0.5的总增益。

或者，ADA4932-1可用于全差分源，形成反相差分驱动器。

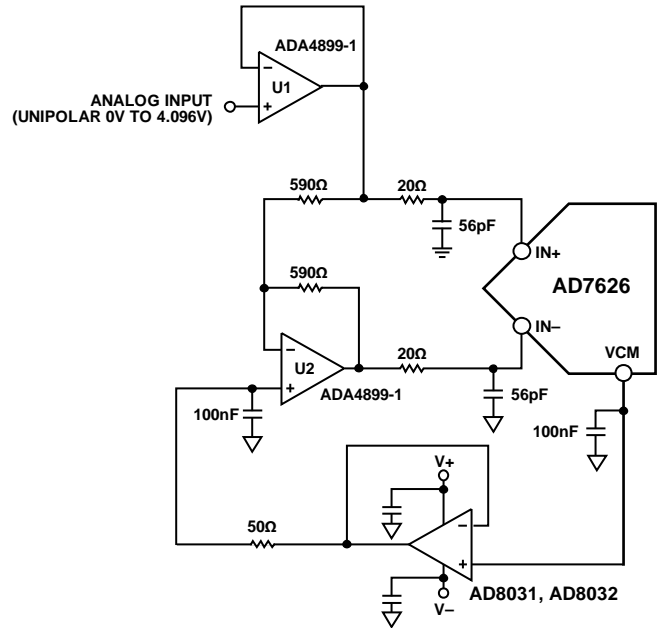
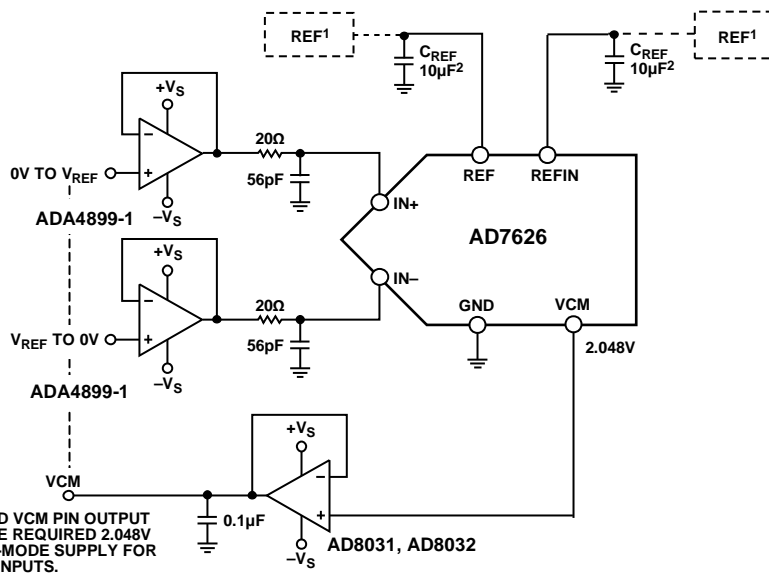


图32. 使用ADA4899-1的单端至差分驱动器电路



¹SEE THE VOLTAGE REFERENCE OPTIONS SECTION. CONNECTION TO EXTERNAL REFERENCE SIGNALS IS DEPENDENT ON THE EN1 AND EN0 SETTINGS.

²C_{REF} IS USUALLY A 10μF CERAMIC CAPACITOR WITH LOW ESL AND ESR.

DECOUPLE REF AND REFIN PINS AS PER THE EN1 AND EN0 RECOMMENDATIONS

图33. 采用ADA4899-1，以差分模拟源驱动AD7626

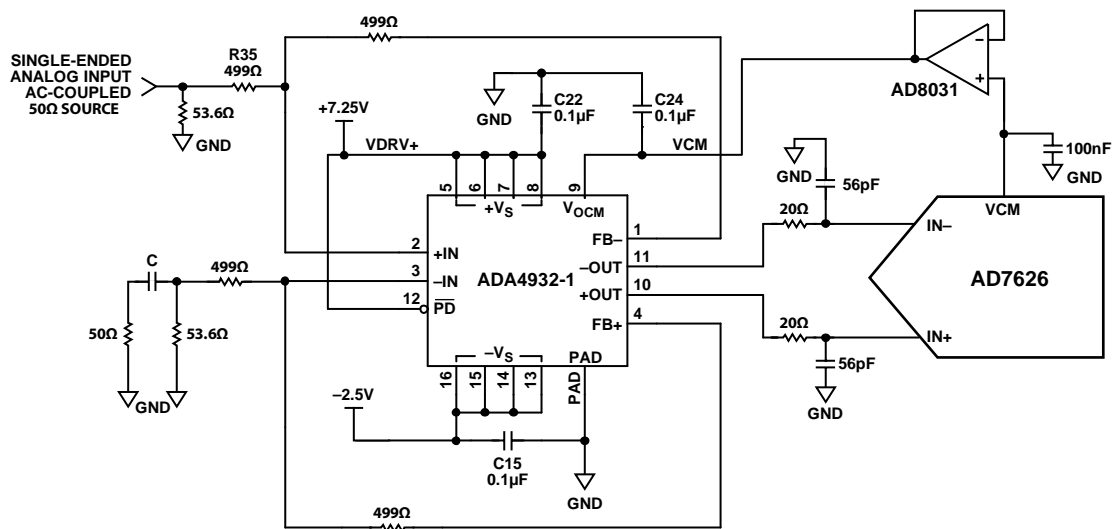


图34. 使用ADA4932-1的高频输入驱动电路(单端至差分配置)

07648-130

AD7626

基准电压选项

AD7626提供了灵活的选择，以生成和缓冲基准电压。
AD7626转换仅采用4.096 V基准电压。通过对EN1引脚和EN0引脚进行设置，可以形成该4.096 V基准电压(见表8)。

表8. 基准电压选项

方案	EN1	EN0	基准模式
A	1	1	上电 采用内部基准源和 内部基准缓冲器
B	0	1	需要1.2 V外部基准源， 施加于REFIN引脚
C	1	0	需要4.096 V外部基准源， 施加于REF引脚
	0	0	省电模式

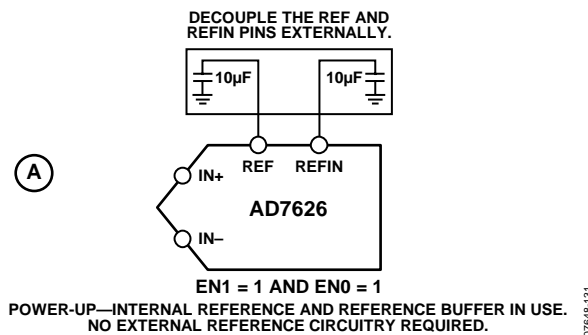


图35. 上电、内部基准源及内部基准缓冲器

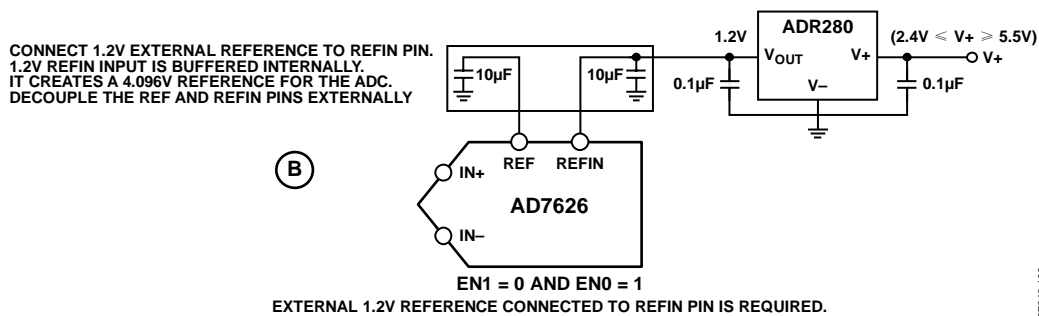


图36. 使用内部基准缓冲器的1.2 V外部基准源

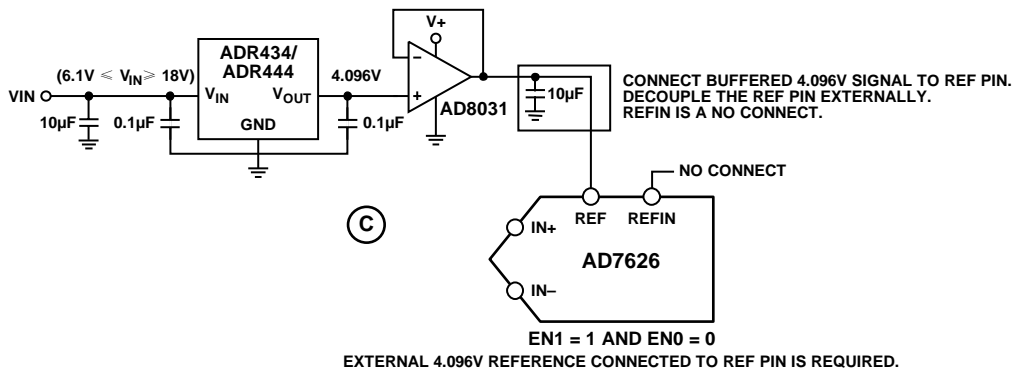


图37. 施加于REF引脚的4.096 V外部基准源

唤醒时间(EN1=0、EN0=0)

将EN1、EN0置0时，AD7626关断。用户将EN1和EN0设置为所需的值(见表8)，已选择掉电模式下的基准源。用户可以立即应用CNV脉冲来接收数据转换结果。所选基准设置的典型唤醒时间见表9。每个时间代表从EN1、EN0逻辑转换至ADC输出精度达到0.5 LSB的时间。

表9. 唤醒时间 (EN1=0、EN0=0)

	基准模式	EN1	EN0	唤醒时间 (精度为 0.5 LSB)
A	上电 采用内部基准源和 内部基准缓冲器	1	1	9.5秒
B	施加于REFIN引脚的1.2 V 外部基准源	0	1	25 ms
C	施加于REF引脚的4.096 V 外部基准源	1	0	65 μ s

电源

AD7626既可由5 V(VDD1)和2.5 V(VDD2)电源供电，又可由数字输入/输出接口电源(VIO)供电。VIO只能与2.5 V逻辑直接接口。VIO和VDD2可来自同一2.5 V电源；但最好使用独立走线将VIO与VDD2引脚隔开，且将每个引脚独立去耦。

AD7626所需5 V电源和2.5 V电源可使用ADI公司的LDO(如ADP3330-2.5、ADP3330-5、ADP3334和ADP1708)产生。

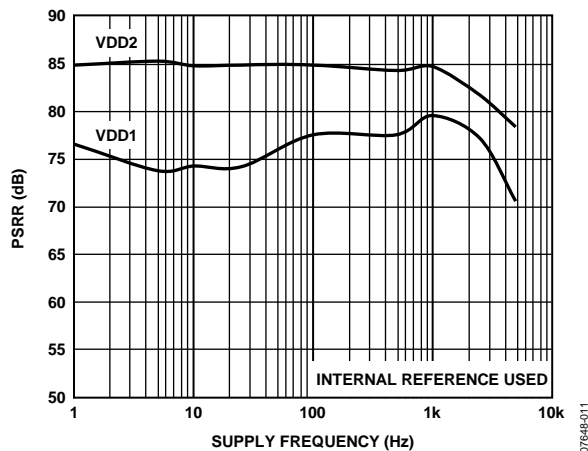


图38. PSRR与供电频率的关系(VDD2的350 mV pp纹波及VDD1的600 mV纹波)

上电 -Up

对AD7626执行上电操作时，首先需要器件施加2.5 V VDD2电源及VIO电压。形成VIO及2.5 V VDD2后，施加5 V VDD1电源。如采用外部电源为AD7626供电，需确保EN0引脚和EN1引脚已连接至正确的逻辑值(与基准选项选择有关)，且应用外部基准电压。最后，将模拟信号输入ADC。

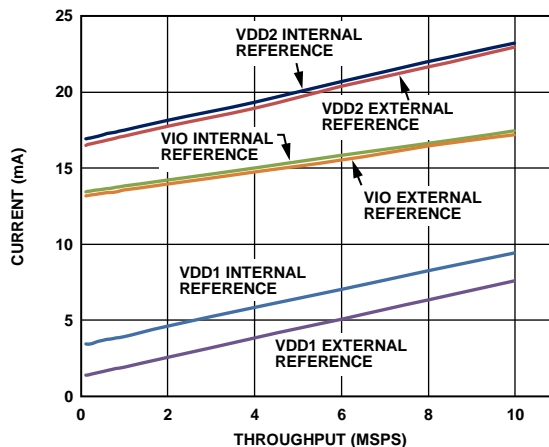


图39. 电流消耗与采样速率的关系

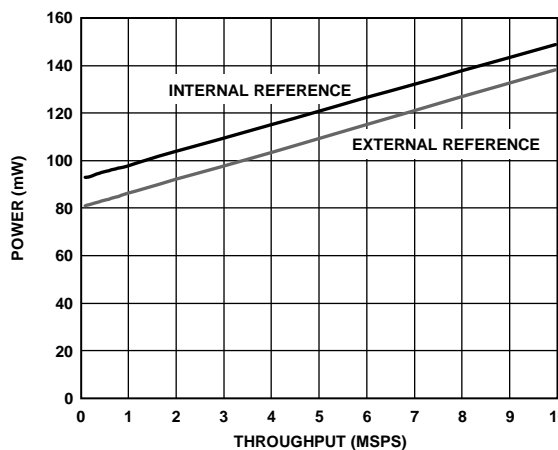


图40. 功率消耗与采样速率的关系

数字接口

转换控制

模数转换均由CNV±信号控制。该信号既可以CNV+/CNV-LVDS信号的形式应用，又可以输入CNV+引脚的2.5V CMOS逻辑信号的形式应用。在CNV±信号的上升沿启动转换。

AD7626上电后产生的第一个转换结果是无效的。如果两次转换的时间间隔不超过 t_{cyc} 的最高规格，则随后转换结果有效。

下面的章节将介绍通过LVDS接口采集AD7626数字输出的两种方法。

回波时钟接口模式

AD7626在回波时钟接口模式下的数字操作如图41所示。该接口模式支持多个数字主机(例如：FPGA、移位寄存器和微控制器)，仅需要在数字主机端使用一个移位寄存器。在每个AD7626与数字主机之间，需要三个LVDS引脚(D±、CLK±和DCO±)。

时钟DCO±是时钟CLK±的缓冲副本，与数据时钟D±同步；D±在DCO+的上升沿(t_D)更新。通过电路板和数字主机在D±与DCO±之间维持良好的传输延迟，DCO可用于为移位寄存器的定时余量锁存D±。

在CNV±脉冲的上升沿启动转换。为保证器件正常工作，CNV±脉冲必须返回低电平($\leq t_{CNVH}$ 最大值)。转换开始后便会执行到完成为止。转换过程中忽略其他CNV±脉冲。经过时间 t_{MSB} 后，主机应开始产生CLK±脉冲信号。注意： t_{MSB} 是新转换结果MSB的最大时间，应作为CLK±的选通器件。在DCO+的下降沿更新D±后，驱动回波时钟(DCO±)和数据D；主机应在DCO+的上升沿捕捉D±。唯一要求是，必须在下一转换阶段或数据丢失后的 t_{CLKL} 时间内产生16个CLK±脉冲。从 t_{CLKL} 到 t_{MSB} 的过程中，将D±和DCO±驱动至0。在CLK±突发脉冲之间，将CLK±置为空闲低电平状态。

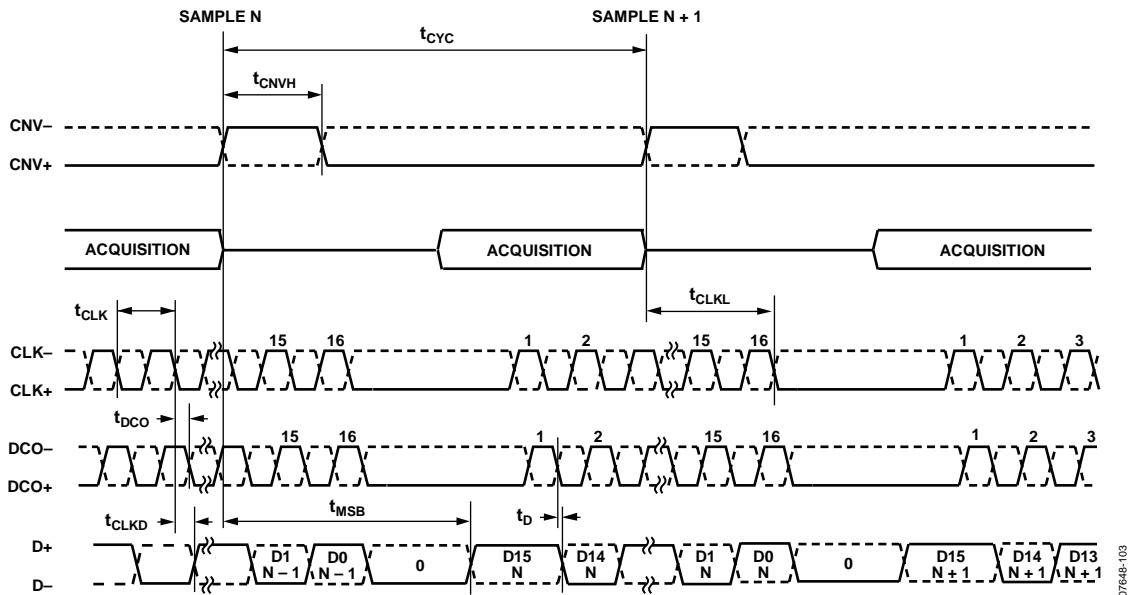


图41. 回波时钟接口模式时序图

自时钟模式

AD7626在回波时钟接口模式下的数字运算如图42所示。该接口模式减少了ADC和数字主机与两对或一对(共享CLK±时)LVDS(CLK±和D±)相连时的走线数。多个AD7626器件可共享同一个CLK±信号。这样,可以减少数字主机上的LVDS连接数。

在自时钟接口模式下,每个ADC数据字前面都有一个010序列。经过时间 t_{MSB} 之后,第一个0自动出现在D±上。接着在前两个CLK±下降沿逐个输出2位标头。该标头用于同步数据主机每次转换的D±信号,在该模式下,没有数据时钟输出同步至数据(D±),因此数字主机可采集数据输出。

对于每个AD7626器件,使用一个状态机完成D±数据与数字主机采集时钟的同步。例如,使用运行速度与CLK±相同的状态机可集成该时钟频率的三个相位(间隔为120°)。每个相位采集ADC输出的数据D±。

接下来,对在状态机时钟各相位捕捉的AD7626数据进行比较。在所采集的每组数组中,标头中1的位置允许用户选择D±数据有效窗口期间的状态机时钟相位。

自时钟模式数据捕捉方法允许数字主机调适其结果捕捉时序,以适应AD7626产生的传播延迟变化。例如,从共享同一输入时钟的多个AD7626器件中捕捉数据。

在CNV±脉冲的上升沿启动转换。为保证器件正常工作,CNV±脉冲必须返回低电平状态(t_{CNVH} 最大值)。转换开始后便会执行到完成为止。转换过程中忽略其他CNV±脉冲。经过时间 t_{MSB} 之后,主机开始向AD7626发出CLK±脉冲信号。所有18个CLK±脉冲将应用于由 t_{MSB} 和随后的 t_{CLKL} 使能的时间窗内。所需的18个CLK±脉冲必须在 t_{CLKL} 前(参考下一转换相位)产生。否则,数据会被新的转换结果覆盖而丢失。

在18个CLK±突发脉冲期间,将CLK±置为高电平空闲状态。在CLK±信号的下一次脉冲期间,在CLK±的随后下降沿输出标头位和下一ADC结果的转换数据。

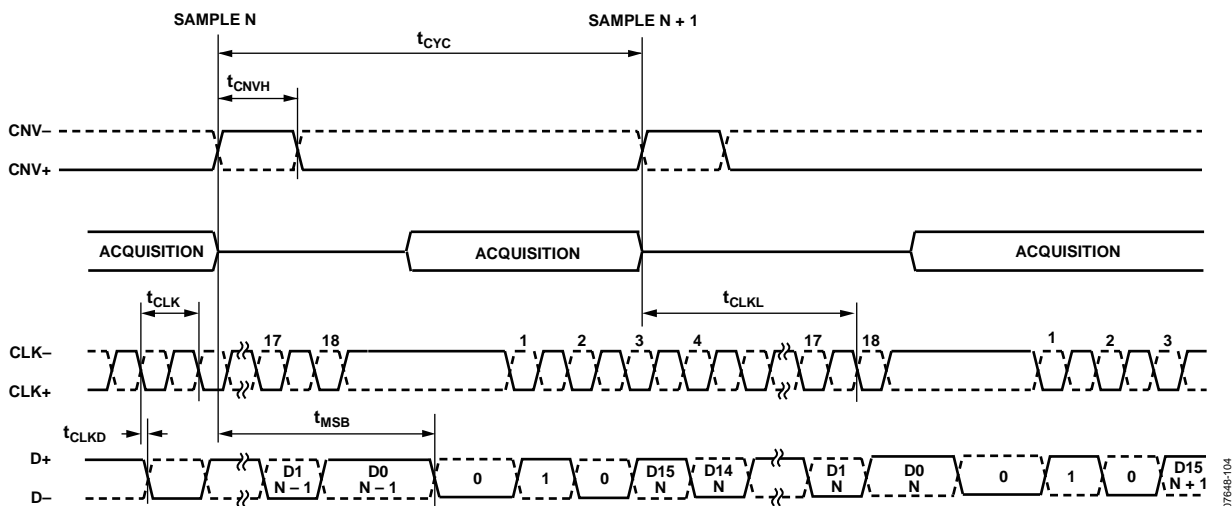


图42. 自时钟接口模式时序图

07648-104

应用信息

布局、去耦与接地

请按照本节中所述的做法对AD7626的印刷电路板(PCB)进行布局，以便于发挥转换器的最大性能。

裸露焊盘

AD7626封装底部有一个裸露焊盘。

- 将焊盘直接焊接在PCB上。
- 通过多个过孔，将焊盘连接至电路板的接地层，如图43所示。
- 直接将引脚12(VIO)以外的所有电源引脚去耦至焊盘，以便缩短电流回路。
- 引脚13和引脚24直接与焊盘相连。在这些引脚与焊盘相连的位置使用接地过孔。

VDD1电源路由与去耦

VDD1供电电源与引脚1、引脚19和引脚20相连。在引脚1处连接一个100 nF电容，可对电源进行去耦。用户可通过导线将该电源走线连接至引脚19和引脚20。使用串联氧化铁磁珠，将VDD1电源从引脚1连接至引脚19和引脚20。氧化铁磁珠可以隔离高频噪声或在VDD1电源处产生振铃。利用在裸露焊盘处对地去耦的100 nF电容对引脚19至引脚20的VDD1电源进行去耦。

VIO电源去耦

在引脚13处，将施加于引脚12的VIO电源去耦至地。

引脚25至引脚32的布局与去耦

将引脚25、引脚26和引脚28的输出端连接在一起，并利用低ESR、低ESL的10 μ F电容去耦至引脚27。

加宽连接这些引脚的PCB走线，可降低连接引脚25、引脚26和引脚28的路径的电感。

在连接AD7626基准引脚时，采用相同的办法。利用加宽的PCB走线将引脚29、引脚30和引脚32连接在一起，以降低电感。在内部、外部基准模式下，引脚29、引脚30和引脚32可输出4.096 V基准电压。利用低ESR、低ESL的10 μ F电容，可将这些引脚去耦至引脚31。

推荐的AD7626器件底部布局如图43所示。请注意扩展信号走线连接和对施加于REF引脚(引脚29、引脚30和引脚32)和CAP2引脚(引脚25、引脚26和引脚28)的信号进行去耦的电容的大小。

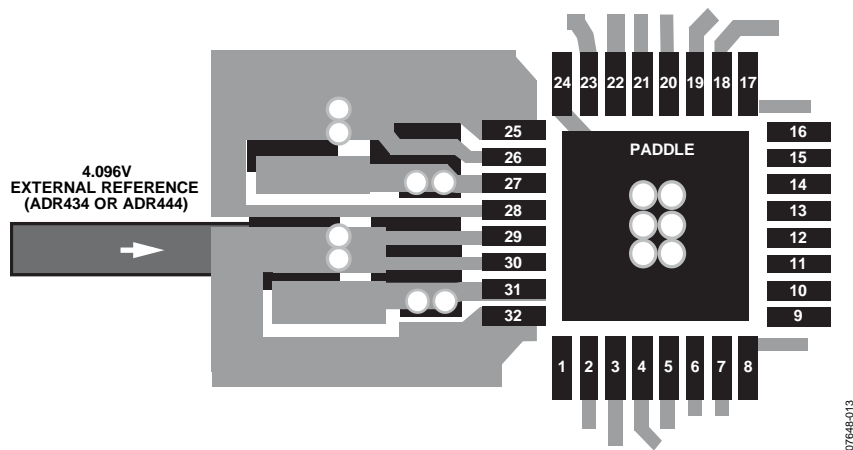
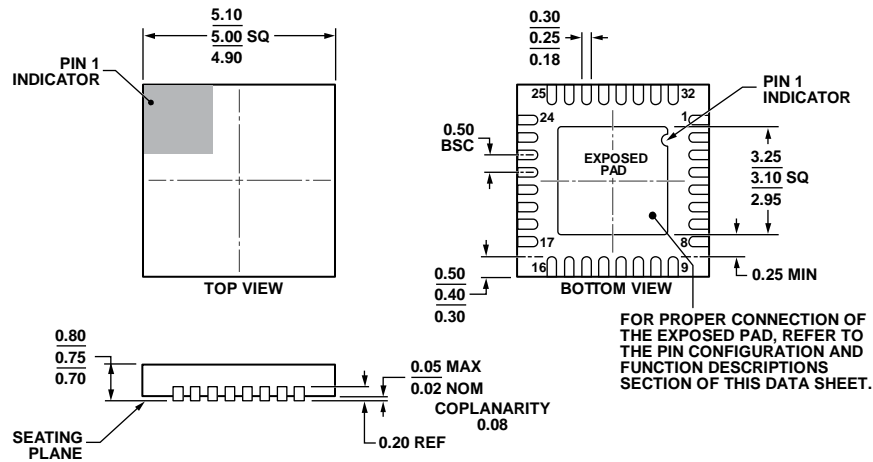


图43. 引脚24至引脚32的PCB布局与去耦建议

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

图44. 32引脚引脚架构芯片级封装[LFCSP_WQ]
5 mm x 5 mm超薄体
(CP-32-7)
尺寸单位: mm

112408-A

订购指南

型号 ¹	注释	温度范围	封装描述	封装选项 ²
AD7626BCPZ		-40°C 至+85°C	32引脚引脚架构芯片级封装[LFCSP_WQ]	CP-32-7
AD7626BCPZ-RL7		-40°C 至+85°C	32引脚引脚架构芯片级封装[LFCSP_WQ]	CP-32-7
EVAL-AD7626EDZ	³		评估板	
EVAL-CED1Z	⁴		转换器评估与开发板	

¹ Z = 符合RoHS标准的器件。

² 以前是CP-32-2封装。

³ 此板可单独用作评估板，或与EVAL-CEDIZ配合用于评估/演示。

⁴ 此板允许PC对所有带ED标志后级的ADI公司评估板进行控制并与之通信。

AD7626

注释

注释

AD7626

注释