

产品特性

外部时钟输入速率: 5 MHz至20 MHz
 16位无失码
 信噪比(SNR): 88 dB(典型值)
 有效位数(ENOB): 14.2位(典型值)
 典型失调温漂: 1.6 μ V/ $^{\circ}$ C
 低压差分信号(LVDS)接口
 片上数字隔离器
 片内基准电压源
 满量程模拟输入电压范围: \pm 320 mV
 工作温度范围: -40° C至 $+125^{\circ}$ C
 高共模瞬变抗扰度: >25 kV/ μ s
 16引脚宽体SOIC_IC封装, 增加爬电距离

安全和法规认证

UL认证

依据UL 1577, 1分钟5,000 V rms

CSA元件验收通知5A

符合VDE认证

DIN V VDE V 0884-10 (VDE V 0884-10):2006-12

最大工作绝缘电压(V_{IORM}): 1250 V_{PEAK}

应用

分路电流监控
 交流电机控制
 功率和太阳能逆变器
 风轮机逆变器
 数据采集系统
 模数及光隔离器的方案替代

概述

AD7405¹是一款高性能二阶 Σ - Δ 调制器, 片上的数字隔离采用ADI公司的*iCoupler*®技术, 能将模拟输入信号转换为高速单个位LVDS数据流。AD7405采用4.5 V至5.5 V(V_{DD1})电源供电, 可输入 \pm 250 mV差分信号(满量程 \pm 320 mV)。该差分输入信号非常适合用于在要求电流隔离的高电压应用中监控分流电压。

模拟输入由高性能模拟调制器连续采样, 并转换为数据率最高为20 MHz的疏密波数字输出流。通过适当的数字滤波

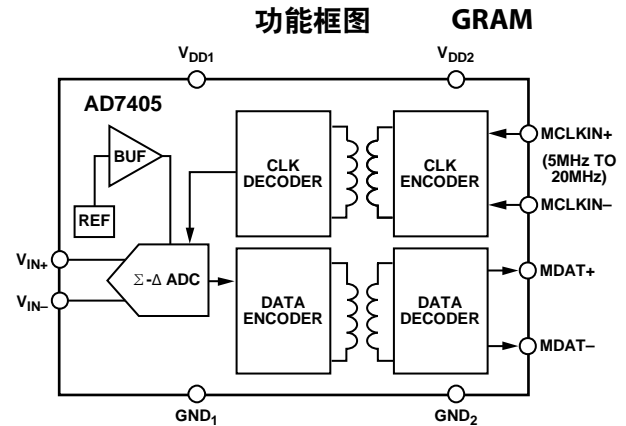


图1.

器可重构原始信息, 以在78.1 kSPS时实现88 dB的信噪比(SNR)。LVDS输入/输出可采用3 V至5.5 V电源供电(V_{DD2})。

LVDS接口采用数字式隔离。通过将LVDS接口技术和单片变压器技术结合在一起, 较之传统光耦合器等其它元件来说, 片内隔离能提供更加优异的工作特性。AD7405采用16引脚宽体SOIC_IC封装, 工作温度范围为 -40° C至 $+125^{\circ}$ C。

¹ 受美国专利5,952,849号、6,873,065号和7,075,329号保护。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

目录

产品特性	1	术语	12
应用	1	工作原理	13
功能框图	1	电路信息	13
概述	1	模拟输入	13
修订历史	2	差分输入	14
规格	3	低压差分信号(LVDS)接口	14
时序规格	4	应用信息	15
封装特性	5	电流检测应用	15
隔离和安全相关特性	5	电压检测应用	15
法规信息	5	输入滤波器	16
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12		数字滤波器	16
隔离特性	6	接地和布局布线	19
绝对最大额定值	7	隔离寿命	19
ESD警告	7	外形尺寸	20
引脚配置和功能描述	8	订购指南	20
典型性能参数	9		

修订历史

2014年11月 — 修订版0至修订版A

更改图	11
更改表	77
更改“订购指南”部分	20

2014年9月 — 修订版0: 初始版

规格

除非另有说明， $V_{DD1} = 4.5\text{ V至}5.5\text{ V}$ ， $V_{DD2} = 3\text{ V至}5.5\text{ V}$ ， $V_{IN+} = -250\text{ mV至}+250\text{ mV}$ ， $V_{IN-} = 0\text{ V}$ ， $T_A = -40^\circ\text{C至}+125^\circ\text{C}$ ， $f_{MCLKIN}^1 = 5\text{ MHz至}20\text{ MHz}$ ，测试使用Verilog代码所定义的sinc3滤波器，抽取率为256。所有电压均参照其各自的地。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
静态性能						
分辨率		16			位	滤波器输出截断至16位
积分非线性 ²	INL		±2	±12	LSB	
差分非线性 ²	DNL			±0.99	LSB	保证16位无失码
失调误差 ²			±0.2	±0.75	mV	
失调漂移与温度			1.6	3.8	μV/°C	
			1.3	3.1	μV/°C	0°C至85°C
失调漂移与 V_{DD1} 的关系			50		μV/V	
增益误差 ²			±0.2	±0.8	% FSR	$f_{MCLKIN} = 16\text{ MHz}$
			±0.2	±0.8	% FSR	$f_{MCLKIN} = 20\text{ MHz}$, $T_A = -40^\circ\text{C至}+85^\circ\text{C}$
			±0.2	±1.2	% FSR	$f_{MCLKIN} = 20\text{ MHz}$
增益误差漂移与温度的关系			65	95	ppm/°C	
			40	60	μV/°C	
增益误差漂移与 V_{DD1} 的关系			±0.6		mV/V	
模拟输入						
输入电压范围		-320		+320	mV	满量程范围
		-250		+250	mV	额定性能
输入共模电压范围			-200至+300		mV	
动态输入电流			±45	±50	μA	$V_{IN+} = \pm 250\text{ mV}$, $V_{IN-} = 0\text{ V}$
			0.05		μA	$V_{IN+} = 0\text{ V}$, $V_{IN-} = 0\text{ V}$
直流漏电流			±0.01	±0.6	μA	
输入电容			14		pF	
动态特性						$V_{IN+} = 1\text{ kHz}$
信纳比 ²	SINAD	81	87		dB	
		83	87		dB	-40°C至+85°C
信噪比 ²	SNR	86	88		dB	
总谐波失真 ²	THD		-96		dB	
峰值谐波或杂散噪声 ²	SFDR		-97		dB	
有效位数 ²	ENOB	13.1	14.2		位	
		13.4	14.2		位	-40°C至+85°C
无噪声代码分辨率 ²		14			位	
隔离瞬变抗扰度 ²		25	30		kV/μs	
LVDS I/O (ANSI-644)						
差分输出电压	V_{OD}	247	360	454	mV	$R_L = 100\ \Omega$
共模输出电压	V_{OCM}	1125	1260	1375	mV	$R_L = 100\ \Omega$
差分输入电压	V_{ID}	150		650	mV	
共模输入电压	V_{ICM}	800		1575	mV	
电源要求						
V_{DD1}		4.5		5.5	V	
V_{DD2}		3		5.5	V	
I_{DD1}			30	36	mA	$V_{DD1} = 5.5\text{ V}$
I_{DD2}			18	22	mA	$V_{DD2} = 5.5\text{ V}$
			13	15	mA	$V_{DD2} = 3.3\text{ V}$
功耗			264	319	mW	$V_{DD1} = V_{DD2} = 5.5\text{ V}$
			208	248	mW	$V_{DD1} = 5.5\text{ V}$, $V_{DD2} = 3.3\text{ V}$

¹ 当 $f_{MCLKIN} > 16\text{ MHz}$ 时，传号空号比为48/52至52/48，而 $V_{DD1} = 5\text{ V} \pm 5\%$ 。

² 参见术语部分。

AD7405

规格

除非另有说明, $V_{DD1} = 4.5\text{ V至}5.5\text{ V}$, $V_{DD2} = 3\text{ V至}5.5\text{ V}$, $T_A = -40\text{ °C至}+125\text{ °C}$ 。样片在初次发布期间经过测试, 以确保符合标准要求。建议在MCLKIN+上升沿读取MDAT信号。

表2.

参数 ¹	T_{MIN} 、 T_{MAX} 的限值	单位	说明
f_{MCLKIN}	5 20	MHz(最小值) MHz(最大值)	主机时钟输入频率
t_1	30 40	ns(最大值) ns(最大值)	MCLKIN+上升沿后的数据访问时间 $V_{DD2} = 4.5\text{ V至}5.5\text{ V}$ $V_{DD2} = 3\text{ V至}3.6\text{ V}$
t_2	10 10	ns(最小值) ns(最小值)	MCLKIN+上升沿后的数据保持时间 $V_{DD2} = 4.5\text{ V至}5.5\text{ V}$ $V_{DD2} = 3\text{ V至}3.6\text{ V}$
t_3	$0.45 \times t_{MCLKIN}$ $0.48 \times t_{MCLKIN}$	ns(最小值) ns(最小值)	主机时钟信号保持低电平状态的时间 $f_{MCLKIN} \leq 16\text{ MHz}$ $16\text{ MHz} < f_{MCLKIN} \leq 20\text{ MHz}$
t_4	$0.45 \times t_{MCLKIN}$ $0.48 \times t_{MCLKIN}$	ns(最小值) ns(最小值)	主机时钟信号保持高电平状态的时间 $f_{MCLKIN} \leq 16\text{ MHz}$ $16\text{ MHz} < f_{MCLKIN} \leq 20\text{ MHz}$

¹样片在初次发布期间经过测试, 以确保符合标准要求。

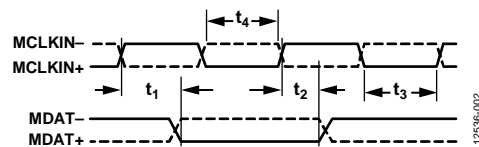


图2. 数据时序

封装特性

表3.

参数	符号	最小值典型值最大值	单位	测试条件/注释
电阻(输入至输出) ¹	R _{I-O}	10 ¹²	Ω	
电容(输入至输出) ¹	C _{I-O}	2.2	pF	f = 1 MHz
IC结至环境热阻	θ _{JA}	45	°C/W	热电偶位于封装底部中心，利用细走线的4层电路板进行测试

¹ 假设器件为双端器件：引脚1与引脚8短路，引脚9与引脚16短路。

隔离和安全相关特性

表4.

参数	符号	数值	单位	测试条件/注释
输入至输出瞬时耐受电压	V _{ISO}	5000 min	V	持续1分钟
最小外部气隙(间隙)	L(I01)	8.3分钟 ^{1,2}	mm	测量输入端至输出端，隔空最短距离
最小外部爬电距离	L(I02)	8.3分钟 ¹	mm	测量输入端至输出端，沿壳体最短距离
最小内部间隙		0.034分钟	mm	隔离距离
漏电阻抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303第1部分 ³
隔离组	II			材料组(DIN VDE 0110, 1/89, 表I) ³

¹ 根据IEC 60950-1指南，应在2级污染度以及≤2000米海拔情况下测量爬电距离和电气间隙。

² 焊盘布局时应仔细，确保达到最低电气间隙要求。

³ AD7405的CSA CTI额定值>600 V，材料组II隔离组。

法规信息

表5.

UL ¹	CSA	VDE ²
1577 器件认可程序认可 ¹	CSA 元件验收通知5A批准	DIN V VDE V 0884-10 (VDE V 0884-10) 认证：2006-12 ²
5000 V rms 隔离电压 单一保护	基本绝缘符合CSA 60950-1-07和IEC 60950-1标准， 830 V rms (1173 V _{PEAK})最大工作电压 ³ 强化绝缘符合CSA 60950-1-07和IEC 60950-1标准， 415 V rms (586 V _{PEAK})最大工作电压 ³ 加强绝缘符合IEC 60601-1标准， 250 V均方根值(353 V _{PEAK})最大工作电压	强化绝缘符合DIN V VDE V 0884-10 (VDE V 0884-10)；2006-12, 1250 V _{PEAK}
文件E214100	文件205078	文件2471900-4880-0001

¹ 依据UL 1577，每个AD7405都经过1秒钟绝缘测试电压≥6000 V rms的验证测试(漏电流检测限值为15 μA)。

² 依据DIN V VDE V 0884-10，每个AD7405器件都经过1秒钟绝缘测试电压≥2344 V_{PEAK}的验证测试(局部放电检测限值为5 pC)。

³ 额定值计算条件为污染等级2和材料组III。AD7405 RI-16-2封装材料的额定值依据CSA且CTI >600 V，因此为材料组I。

AD7405

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12隔离特性

此隔离器适合安全限制数据范围内的增强电隔离。通过保护电路保持安全数据。

表6.

说明	符号	特性	单位
DIN VDE 0110安装分类 额定市电电压≤300 V rms 额定市电电压≤450 V rms 额定市电电压≤600 V rms 额定市电电压≤1,000 V rms		I至IV I至IV I至IV I至IV	
气候分类		40/105/21	
污染度(DIN VDE 0110, 表1)		2	
最大工作绝缘电压	V_{IORM}	1250	V_{PEAK}
输入至输出测试电压, 方法B1 $V_{IORM} \times 1.875 = V_{PR}$, 100%生产测试, $t_m = 1$ 秒, 局部放电 < 5 pC	$V_{PD(M)}$	2344	V_{PEAK}
输入至输出测试电压, 方法A 跟随环境测试子类1 $V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ 秒, 局部放电 < 5 pC 跟随输入和/或安全测试子类2/安全测试子类3 $V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ 秒, 局部放电 < 5 pC	$V_{PR(M)}$	2000 1500	V_{PEAK} V_{PEAK}
可支持的最高过压(瞬变过压 $t_{TR} = 10$ 秒)	V_{IOTM}	8000	V_{PEAK}
浪涌隔离电压 1.2 μ s上升时间, 50 μ s, 50%下降时间	V_{IOSM}	12000	V_{PEAK} V_{PEAK}
安全限定值(出现故障时允许的最大值, 见图3) 壳温 第1侧(P_{VDD1})和第2侧(P_{VDD2})功耗	T_S P_{SO}	150 2.78	$^{\circ}C$ W
T_S 时的绝缘电阻, $V_{IO} = 500$ V	R_{IO}	>10 ⁹	Ω

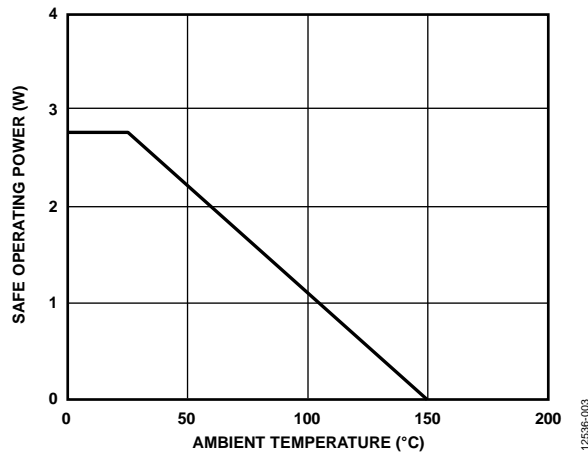


图3. 热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关系

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。所有电压均参照其各自的地。

表7.

参数	额定值
V_{DD1} 至 GND_1	-0.3 V 至 +6.5 V
V_{DD2} 至 GND_2	-0.3 V 至 +6.5 V
模拟输入电压至 GND_1	-1 V 至 $V_{DD1} + 0.3$ V
数字输入电压至 GND_2	-0.3 V 至 $V_{DD2} + 0.5$ V
输出电压至 GND_2	-0.3 V 至 $V_{DD2} + 0.3$ V
输入电流至除电源外的任何引脚 ¹	± 10 mA
工作温度范围	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
结温	150°C
无铅回流焊	
温度	260°C
ESD	2 kV
FICDM ²	± 1250 V
HBM ³	± 4000 V

¹ 100 mA 以下的瞬态电流不会造成硅控整流器(SCR)门锁。

² JESD22-C101；RC网络：1 Ω 、Cpkg；等级：IV。

³ ESDA/JEDEC JS-001-2011；RC网络：1.5 k Ω 、100 pF；等级：3A。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

表8. 最大连续工作电压¹

参数	最大值(V_{PEAK})	约束条件
交流电压		
双极性波形	1250	最少20年寿命 (VDE认证工作电压)
单极性波形	1250	最少20年寿命
直流电压	1250	最少20年寿命

¹ 指隔离栅上的连续电压幅度。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD7405

引脚配置和功能描述

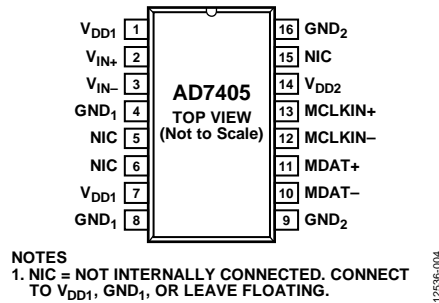


图4. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	说明
1, 7	V _{DD1}	电源电压(4.5 V至5.5 V)。这是AD7405隔离端的电源电压，参照GND ₁ 。器件工作时，将电源电压连接至引脚1和引脚7。将10 μF电容与1 nF电容并联，对每一个电源引脚去耦至GND ₁ 。
2	V _{IN+}	正向模拟输入。
3	V _{IN-}	负向模拟输入。一般情况下，与GND ₁ 相连。
4, 8	GND ₁	接地1。此引脚是隔离端一侧所有电路的接地基准点。
5, 6, 15	NIC	内部不连接。与V _{DD1} 、GND ₁ 相连，或保持浮空。
9, 16	GND ₂	接地2。此引脚是非隔离端一侧所有电路的接地基准点。
10, 11	MDAT ₋ , MDAT ₊	LVDS数据输出。转换数据以串行方式从这些引脚输出。
12, 13	MCLKIN ₋ , MCLKIN ₊	LVDS时钟输入。转换结果在MCLKIN ₊ 的上升沿移出。
14	V _{DD2}	电源电压：3 V至5.5 V。该引脚用来为非隔离端提供电源电压，并且相对于GND ₂ 。采用100 nF电容将此电源去耦至GND ₂ 。

典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $V_{DD1} = 5\text{V}$, $V_{DD2} = 5\text{V}$, $V_{IN+} = -250\text{mV}$ 至 $+250\text{mV}$, $V_{IN-} = 0\text{V}$, $f_{MCLKIN} = 20\text{MHz}$, 使用256过采样率(OSR)的sinc3滤波器。

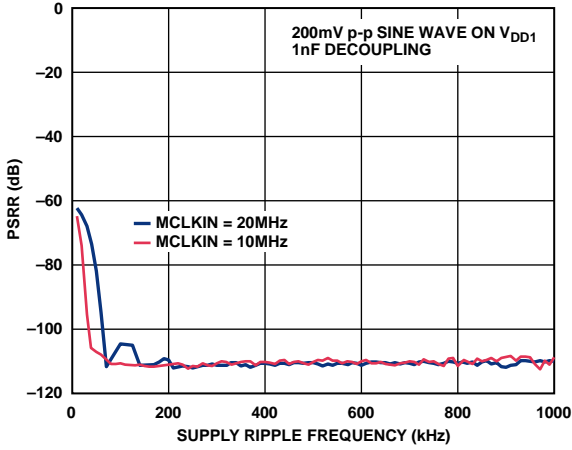


图5. PSRR与电源纹波频率的关系

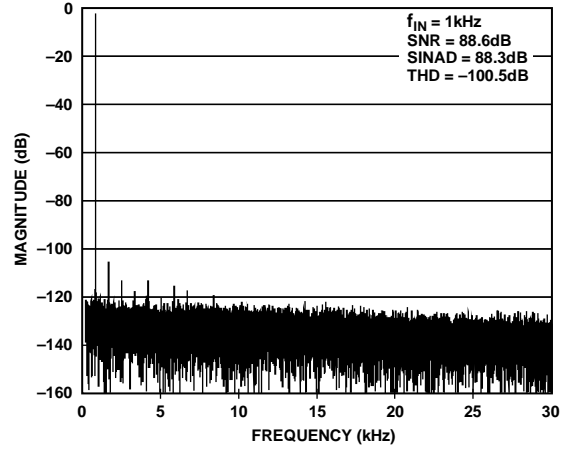


图8. 典型快速傅里叶变换(FFT)

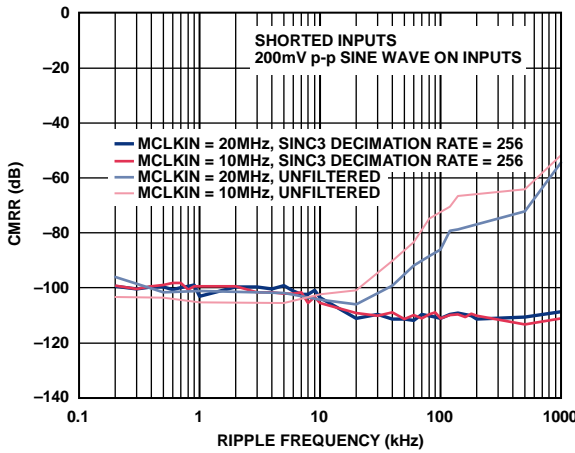


图6. 共模抑制比(CMRR)与共模纹波频率的关系

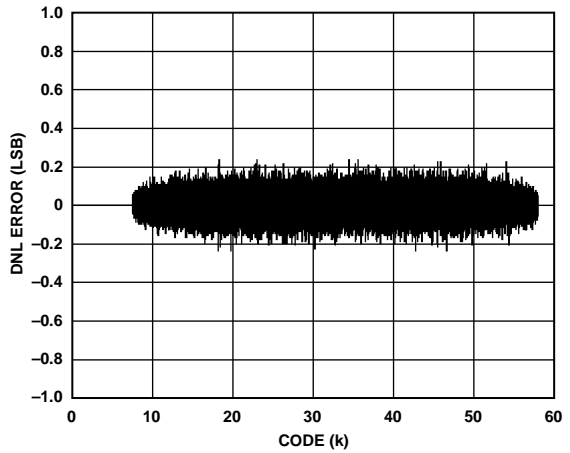


图9. 典型DNL误差

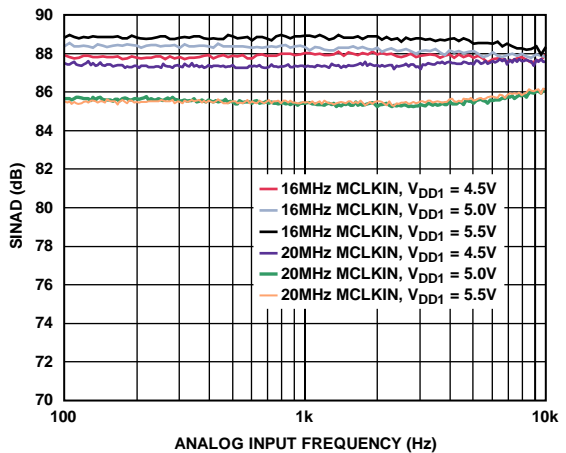


图7. SINAD与模拟输入频率的关系

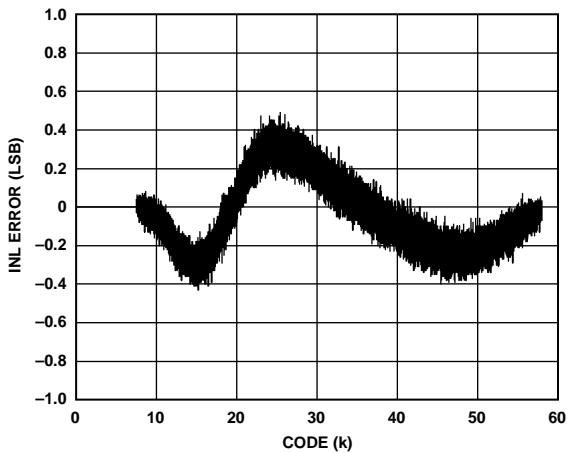


图10. 典型INL误差

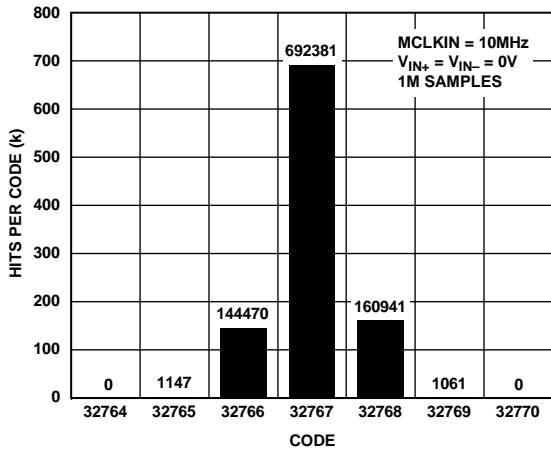


图11. 码中心处的码直方图

12536-011

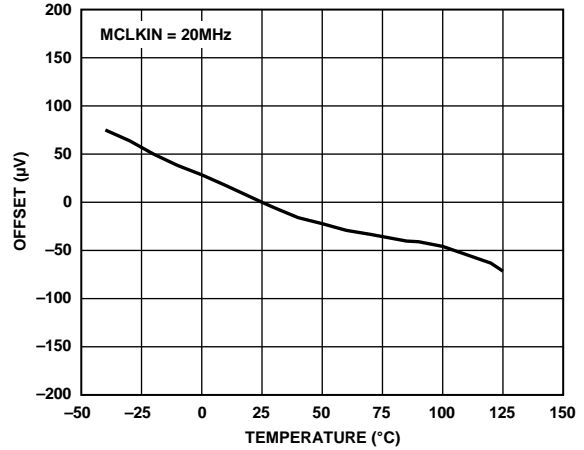


图14. 失调与温度的关系

12536-014

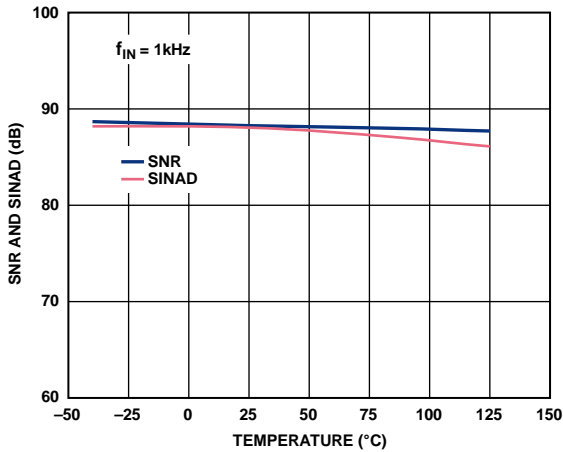


图12. SNR和SINAD与温度的关系

12536-012

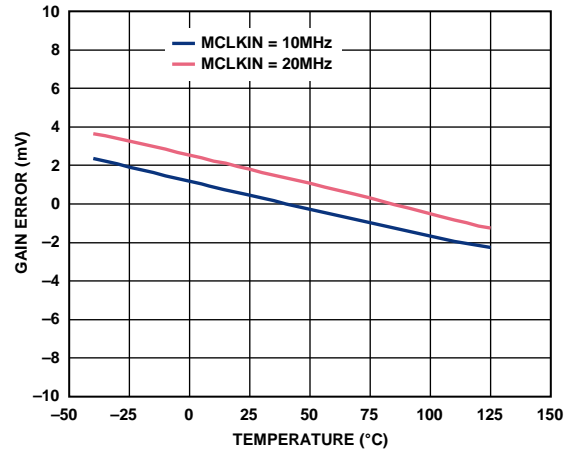


图15. 增益误差与温度的关系

12536-015

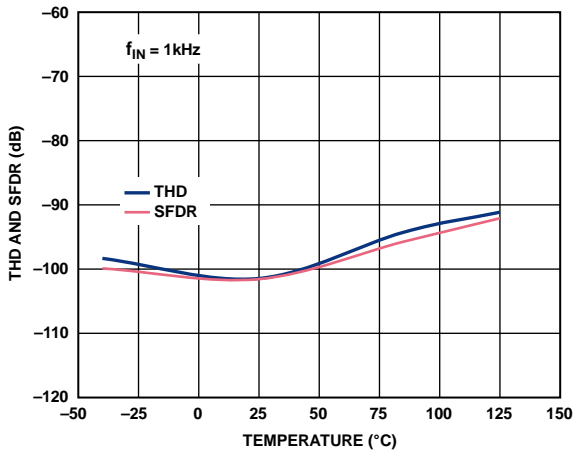


图13. THD和SFDR与温度的关系

12536-013

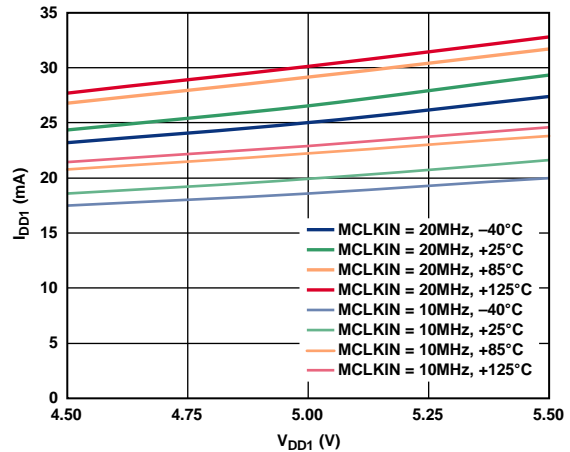


图16. 不同温度和时钟速率下, I_{DD1} 与 V_{DD1} 的关系

12536-016

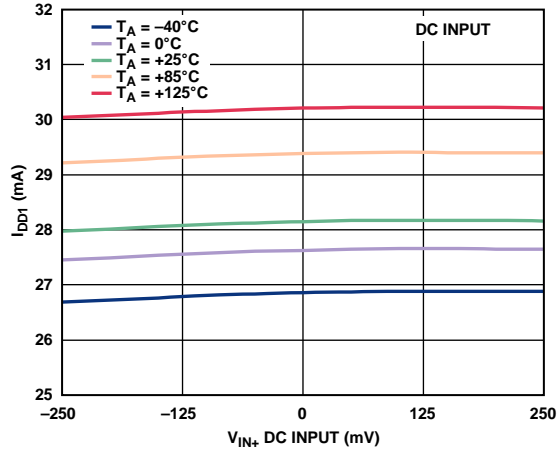


图17. 不同温度下, I_{DD1} 与 V_{IN+} 直流输入的关系

12536-017

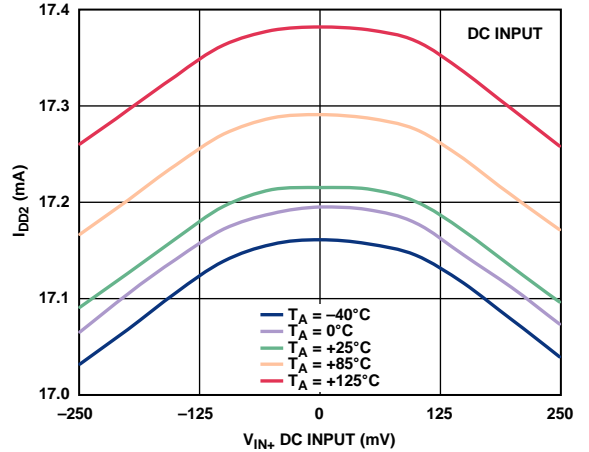


图19. 不同温度下, I_{DD2} 与 V_{IN+} 直流输入的关系

12536-019

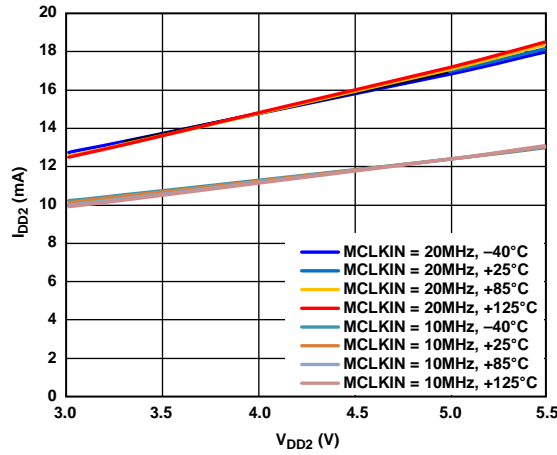


图18. 不同温度和时钟速率下, I_{DD2} 与 V_{DD2} 的关系

12536-018

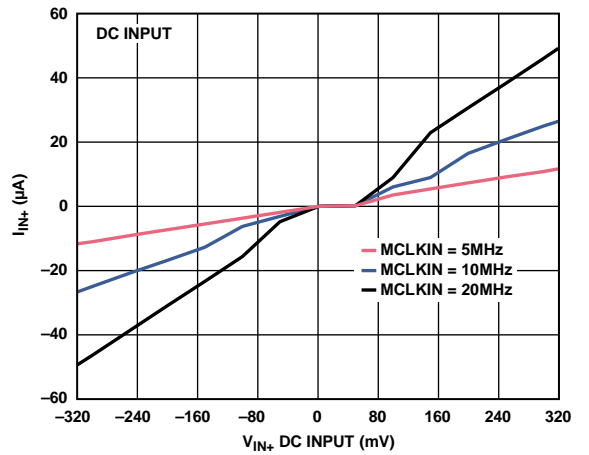


图20. 不同时钟速率下, I_{IN+} 与 V_{IN+} 直流输入的关系

12536-020

术语

差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。对16位代码7168来说，传递函数的端点是指定的负满量程-250 mV ($V_{IN+} - V_{IN-}$)；而对16位代码58,368来说，端点为指定的正满量程+250 mV ($V_{IN+} - V_{IN-}$)。

失调误差

失调误差衡量中间代码(16位对应的是32,768)与理想值 $V_{IN+} - V_{IN-}$ (即0 V)之间的差值。

增益误差

增益误差包括正满量程增益误差和负满量程增益误差。正满量程增益误差表示在修正失调误差之后，指定的正满量程代码(在16位数据中的对应值为58,368)与理想值 $V_{IN+} - V_{IN-}$ (250 mV)之间的差值。负满量程增益误差表示在修正失调误差之后，指定的正满量程代码(在16位数据中的对应值为7168)与理想值 $V_{IN+} - V_{IN-}$ (-250 mV)之间的差值。

信纳比(SINAD)

信纳比(SINAD)是指在ADC输出端测得的信号对噪声及失真比。信号为正弦波的均方根值；噪声为一直到半采样频率($f_s/2$)的所有非基波信号的均方根和，包括谐波，但直流信号除外。

信噪比(SNR)

SNR是指在ADC输出端测得的信号对噪声比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数：量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，SNR理论值计算公式为：

$$\text{信噪比} = (6.02N + 1.76) \text{ dB}$$

因此，12位转换器的SNR理论值为74 dB。

绝缘瞬变抗扰度

绝缘瞬变抗扰度规定了应用在绝缘临界状态下的绝缘瞬变脉冲上升和下降的速率。如果超过绝缘临界值，可能导致对数据或时钟的损坏。AD7405的测试是施加一频率为100 kHz的瞬变脉冲。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7405，其定义为：

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波幅度的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅度的均方根值。

峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，它为噪声峰值。

有效位数(ENOB)

ENOB的计算公式为：

$$\text{ENOB} = (\text{SINAD} - 1.76)/6.02 \text{ 位}$$

无噪声码分辨率

无噪声码分辨率表示无码闪烁情况下的分辨率，单位为位。N位转换器的无噪声码分辨率定义为：

$$\text{无噪声码分辨率(位)} = \log_2(2^N / \text{峰峰值噪声})$$

LSB峰峰值噪声在 $V_{IN+} = V_{IN-} = 0 \text{ V}$ 下测得。

共模抑制比(CMRR)

共模抑制比定义为 $\pm 250 \text{ mV}$ 频率 f 下ADC输出功率与频率 f_s 下施加于共模电压 V_{IN+} 和 V_{IN-} 的+250 mV峰峰值正弦波功率的比值。

$$\text{CMRR (dB)} = 10 \log(P_f / P_{f_s})$$

其中：

P_f 为频率 f 下ADC的输出功率。

P_{f_s} 是频率 f_s 下ADC的输出功率。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制比指由于电源电压偏离标称值所引起的满量程($\pm 250 \text{ mV}$)转换点的最大变化。

工作原理

电路信息

AD7405 隔离式 Σ - Δ 型调制器可将模拟输入信号转换为高速 (最高频率为 20 MHz)、单个位数据流; 调制器输出每个位数据的平均时间与输入信号直接成正比。图 21 显示使用 AD7405 在模拟输入、电流检测电阻或分流器和数字输出之间提供隔离的典型应用电路; 数字滤波器将对数字输出进行处理, 以提供 N 位字。

模拟输入

AD7405 的差分模拟输入功能通过开关电容电路来实现。该电路实现一个二阶调制器级, 能够将输入信号转换为 1 位输出流。采样时钟 (MCLKIN) 提供转换过程时钟信号以及输出数据帧时钟。这个时钟源与 AD7405 外部相连。调制器连续对模拟输入信号进行采样, 并将其与内部电压基准进行比较。精确表示模拟输入随时间变化的数据流出现在转换器的输出端 (见图 22)。

在理想状态下, 0 V 差分输入信号可以使 MDAT \pm 输出引脚完成 0-1 差分转换。该输出处于高、低电平状态的时间相等。250 mV 差分输入也可生成由 0、1 组成的数据流; 信号处于高电平状态的时间占 89.06%。-250 mV 差分输入也可生成由 0、1 组成的数据流; 信号处于高电平状态的时间占 10.94%。

在理想状态下, 320 mV 差分输入可生成一个全 1 数据流。在理想状态下, -320 mV 差分输入可生成一个全 0 数据流。绝对满量程范围为 ± 320 mV, 而额定满量程性能范围为 ± 250 mV, 如表 10 所示。

表 10. 模拟输入范围

模拟输入	电压输入 (mV)
正满量程数值	+320
额定正输入性能	+250
零	0
额定负输入性能	-250
负满量程数值	-320

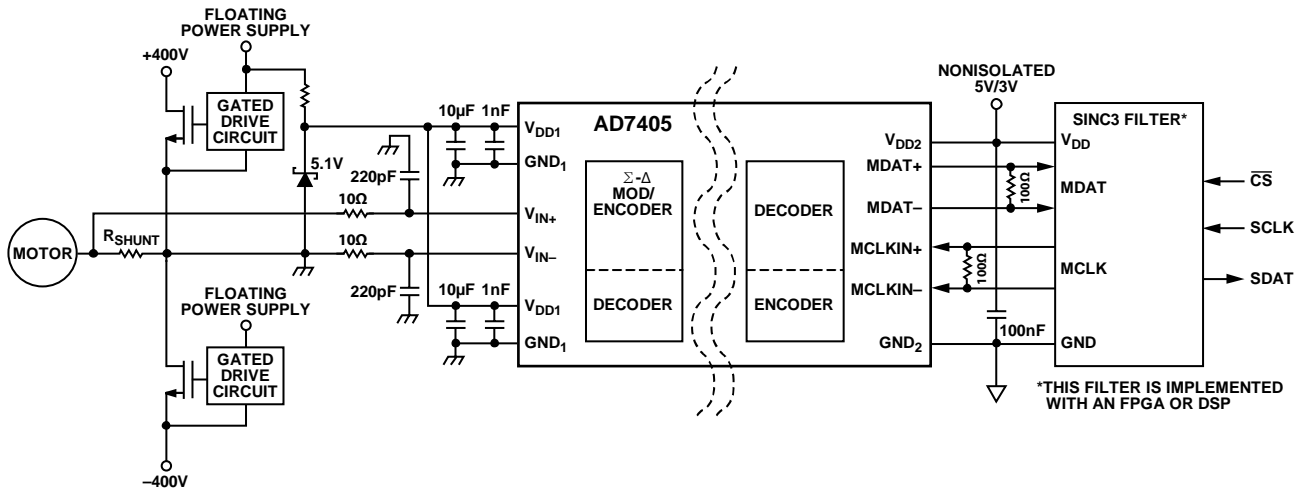


图 21. 典型应用电路

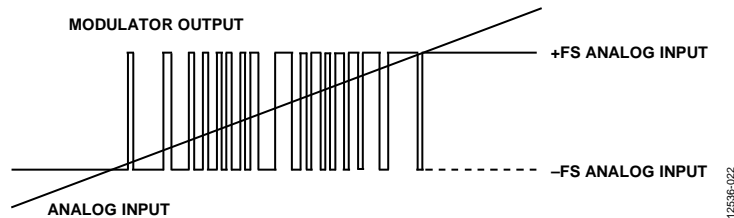


图 22. 模拟输入与调制器输出的关系

AD7405

为重构原始信息，这一输入必须经过数字滤波和抽取处理。推荐使用sinc3滤波器；它比AD7405调制器高一阶，后者是二阶调制器。假设采用频率为20 MHz的外部时钟频率，如果抽取率为256，则生成的16位字速率为78.1 kSPS。有关sinc滤波器部署的更多信息，请参阅“数字滤波器”部分。16位输出模式下，AD7405的传递函数如图23所示。

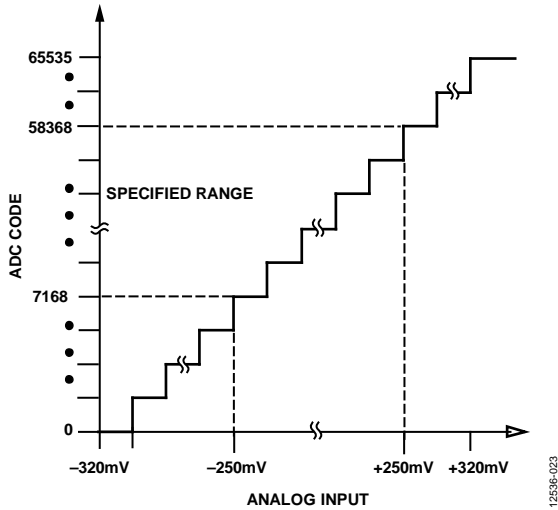


图23. 经滤波和抽取后的16位传递函数

差分输入

调制器的模拟输入电路采用开关电路原理。高线性采样电容将模拟信号转换为电荷。模拟输入的简化等效电路如图24所示。用于驱动模拟输入的信号源必须能够在每半个MCLKIN周期内为采样电容充电，并在接下来的半个周期内建立至所需精度。

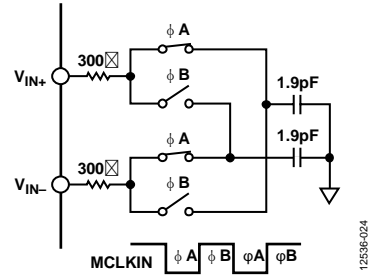


图24. 等效模拟输入电路

由于AD7405对其各个模拟输入上的差分电压信号进行采样，因此，在每个输入端连接一个可提供低共模噪声的输入电路，可以获得低噪声性能。

低压差分信号(LVDS)接口

AD7405的LVDS接口可用于时钟输入和调制器输出。在这种情况下，使用LVDS的好处是有助于使调制器和控制器之间的接口更为可靠，并且不容易受周围的电磁辐射(EMI)干扰。LVDS还可帮助减少与高速数字信号有关的EMI辐射。LVDS信号作为传输线路信号处理，且必须以阻性方式端接。差分端接电阻典型值为100 Ω。端接电阻应尽可能靠近接收器放置。

应用信息

电流检测应用

AD7405是电流检测应用的理想器件，电流检测需要监控分流电阻(R_{SHUNT})上的电压。流经外部分流电阻的负载电流在AD7405的输入端产生电压。AD7405可将流经电流检测电阻的模拟输入与数字输出隔离开。通过选择具有不同阻值的分流电阻，可以检测不同的电流。

选择 R_{SHUNT}

与AD7405结合使用的分流电阻(R_{SHUNT})值，由特定应用要求的电压、电流和功率决定。小电阻可降低功耗，而低电感电阻可防止感应产生电压尖峰，良好的容差器件则可减小电流波动。最终选择的电阻值是低功耗与精度这两个要求折中的结果。数值较高的电阻采用ADC的全性能输入范围，从而具有最大的SNR性能。低数值电阻功耗较低，但无法利用全性能输入范围。而AD7405哪怕在较低的输入信号水平下都能提供出色的性能，从而允许使用低数值分流电阻，并保持系统性能。

若要选择合适的分流电阻，首先应确定流过分流电阻的电流。用于三相感应电机的分流电阻电流可表述如下：

$$I_{RMS} = \frac{P_W}{1.73 \times V \times EF \times PF}$$

其中：

I_{RMS} 是电机相位电流(A rms)

P_W 是电机功率(Watts)

V 是电机电源电压(V ac)

EF 是电机效率(%)

PF 是电源效率(%)

为了确定分流电阻峰值检测电流 I_{SENSE} ，应考虑电机相位电流以及系统中可能出现的全部过载。当检测电流已知时，将AD7405的电压范围(± 250 mV)除以峰值检测电流，以获得最大分流值。

如果分流电阻的功耗过大，可以减小分流电阻，此时所用的ADC输入范围较小。图25显示不同输入信号幅度下的SINAD性能特性以及AD7405的ENOB分辨率。图26显示直流输入信号幅度的均方根噪声性能。AD7405在较低输入信号范围内的性能允许使用较小的分流值，同时依旧保持高性能水平和整体系统效率。

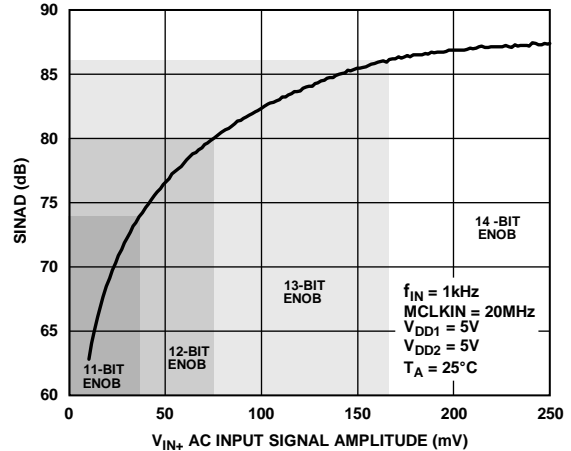


图25. SINAD与 V_{IN+} 交流输入信号幅度的关系

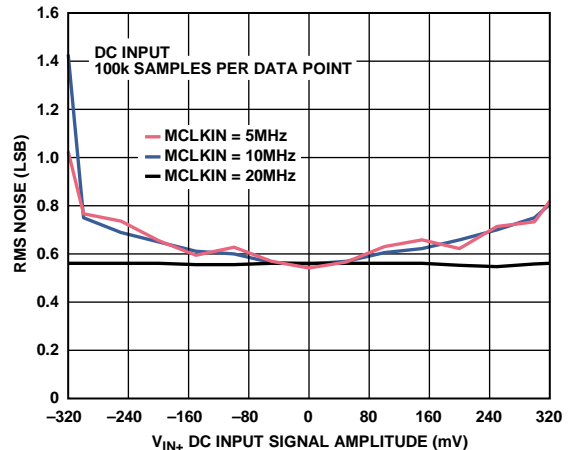


图26. RMS噪声与 V_{IN+} 直流输入信号幅度的关系

R_{SHUNT} 必须能够承受大小为 I^2R 的功耗。如果超过该电阻的功耗额定值，则其值可能会漂移，或者电阻受损而造成开路。该开路可能会导致AD7405引脚上的差分电压超过绝对最大额定值。如果 I_{SENSE} 的高频成分较大，请选择电感较低的电阻。

电压检测应用

AD7405还可用于监控隔离电压。例如，在电动机控制应用中，该器件可以用来检测总线电压。在某些应用中，需要被检测的电压可能超出AD7405的额定模拟输入电压范围，这时，可以利用一个分压器网络将监控电压降至所需的范围内。

AD7405

输入滤波器

在测量分流电阻两端电压的典型应用中，可在每个输入端使用一个简单的RC低通滤波器，并将AD7405直接连接在分流电阻的两端。

驱动差分输入以实现最佳性能的推荐电路配置如图27所示。两个模拟输入引脚各连接一个RC低通滤波器。推荐电阻值为10 Ω，电容值为220 pF。如果可能，应保证各个模拟输入引脚的源阻抗相等，以降低失调误差。

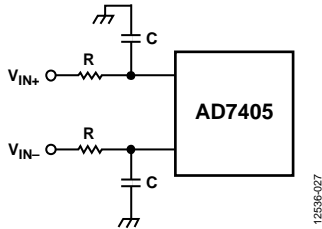


图27. RC低通滤波器输入网络

AD7405的输入滤波器配置不限于图27中的低通结构。图28中的差分RC滤波器配置同样可提供出色的性能。推荐电阻值为22 Ω，电容值为47 pF。

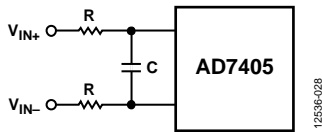


图28. 差分RC滤波器输入网络

图29比较了不同电阻和电容值时，图27和图28中输入滤波器结构的典型性能。

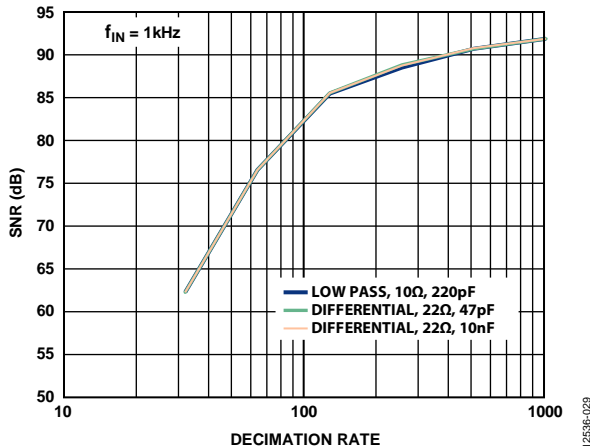


图29. 不同电阻和电容值时，不同滤波器结构的SNR与抽取速率的关系

数字滤波器

AD7405的输出为连续LVDS数字位流。为重构原始输入信号信息，这一输出位流需要经过数字滤波和抽取处理。建议使用sinc滤波器，因为其结构简单。推荐使用sinc3滤波器；它比AD7405调制器高一阶，后者是二阶调制器。滤波器选择、抽取速率以及所用的调制器时钟确定总系统分辨率和吞吐速率。如图30所示，抽取率越高，系统的精度越高。但精度与吞吐率之间存在一定程度的折衷，因此，较高的抽取率产生吞吐率较低的解决方案。注意：针对特定的带宽要求，MCLKIN频率越高，允许使用的抽取率越高，从而使SNR性能提高。

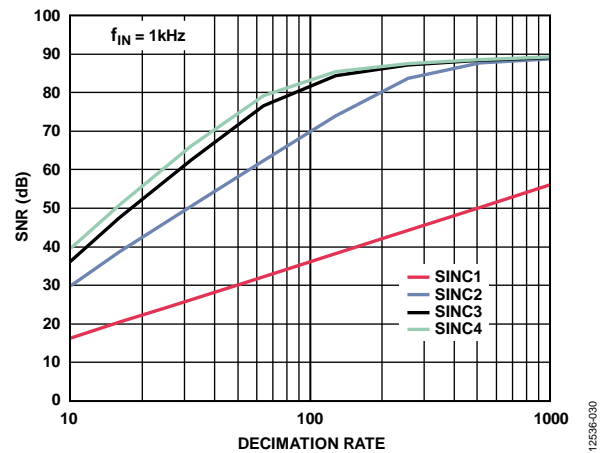


图30. 不同Sinc滤波器阶数时，SNR与抽取速率的关系

建议将AD7405与一个sinc3滤波器搭配使用。该滤波器可在现场可编程门阵列(FPGA)或数字信号处理器(DSP)上实现。

等式1描述sinc滤波器的传递函数。

$$H(z) = \left(\frac{1}{DR} \frac{(1 - Z^{-DR})}{(1 - Z^{-1})} \right)^N \quad (1)$$

其中，DR是抽取速率，N是sinc滤波器阶数。

sinc滤波器的吞吐速率由所选调制器时钟和抽取速率决定。

$$\text{吞吐速率} = \frac{MCLK}{DR} \quad (2)$$

其中，MCLK是调制器时钟频率

随着抽取速率上升，sinc滤波器的数据输出大小也会增加。等式3表示输出数据大小。16个最高有效位用来返回16位结果。

$$\text{数据大小} = N \times \log_2 DR \quad (3)$$

对于sinc3滤波器而言，可由滤波器传递函数(等式1)得到-3 dB滤波器响应点，该值为吞吐速率的0.262倍。三阶sinc3滤波器的特性总结见表11。

表11. Sinc3滤波器特性(20 MHz MCLKIN)

抽取率(DR)	吞吐速率(kHz)	输出数据大小(位)	滤波器响应(kHz)
32	625	15	163.7
64	312.5	18	81.8
128	156.2	21	40.9
256	78.1	24	20.4
512	39.1	27	10.2

下列Verilog代码提供在Xilinx® Spartan®-6 FPGA上实现sinc3滤波器的示例。注意，数据在正时钟边沿读取。建议在正时钟边沿上读取数据。可对代码进行配置，以适应从32到4096的抽取速率。

```

module dec256sinc24b
(
input mclk1, /* used to clk filter */
input reset, /* used to reset filter */
input mdata1, /* input data to be filtered */
output reg [15:0] DATA, /* filtered output */
output reg data_en,
input [15:0] dec_rate
);

/* Data is read on positive clk edge */

reg [36:0] ip_data1;
reg [36:0] acc1;
reg [36:0] acc2;
reg [36:0] acc3;
reg [36:0] acc3_d2;
reg [36:0] diff1;
reg [36:0] diff2;
reg [36:0] diff3;
reg [36:0] diff1_d;
reg [36:0] diff2_d;

reg [15:0] word_count;

reg word_clk;
reg enable;

/*Perform the Sinc action*/
always @ (mdata1)
if(mdata1==0)
    ip_data1 <= 37'd0;
    /* change 0 to a -1 for twos complement */
else
    ip_data1 <= 37'd1;

/*Accumulator (Integrator)
Perform the accumulation (IIR) at the speed
of the modulator.

```

Z = one sample delay MCLKOUT = modulators conversion bit rate */

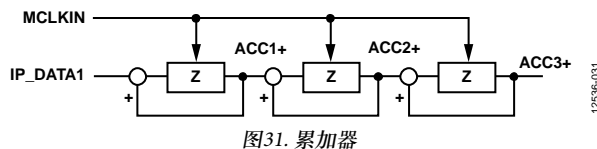


图31. 累加器

```

always @ (negedge mclk1, posedge reset)
begin
    if (reset)
    begin
        /* initialize acc registers on reset */
        acc1 <= 37'd0;
        acc2 <= 37'd0;
        acc3 <= 37'd0;
    end
    else
    begin
        /*perform accumulation process */
        acc1 <= acc1 + ip_data1;
        acc2 <= acc2 + acc1;
        acc3 <= acc3 + acc2;
    end
end

/*decimation stage (MCLKOUT/WORD_CLK) */
always @ (posedge mclk1, posedge reset)
begin
    if (reset)
        word_count <= 16'd0;

    else
    begin
        if ( word_count == dec_rate -
1 )
            word_count <= 16'd0;
        else
            word_count <= word_count
+ 16'b1;
    end
end

always @ ( posedge mclk1, posedge reset )
begin
    if ( reset )
        word_clk <= 1'b0;
    else
    begin
        if ( word_count == dec_rate/2 -
1 )
            word_clk <= 1'b1;
        else if ( word_count ==
dec_rate - 1 )
            word_clk <= 1'b0;
    end
end

/*Differentiator (including decimation
stage)
Perform the differentiation stage (FIR) at a
lower speed.

```

AD7405

Z = one sample delay WORD_CLK = output word rate */

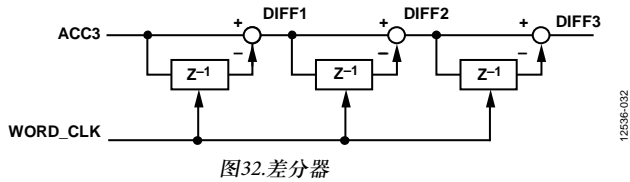


图32.差分器

```
always @ (posedge word_clk, posedge reset)
begin
```

```
  if(reset)
  begin
    acc3_d2 <= 37'd0;
    diff1_d <= 37'd0;
    diff2_d <= 37'd0;
    diff1 <= 37'd0;
    diff2 <= 37'd0;
    diff3 <= 37'd0;
```

```
  end
  else
  begin
```

```
    diff1 <= acc3 - acc3_d2;
    diff2 <= diff1 - diff1_d;
    diff3 <= diff2 - diff2_d;
    acc3_d2 <= acc3;
    diff1_d <= diff1;
    diff2_d <= diff2;
```

```
  end
```

```
end
```

```
/* Clock the Sinc output into an output
register
WORD_CLK = output word rate */
```

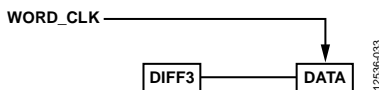


图33. Sinc3 输出时钟输入输出寄存器

```
always @ ( posedge word_clk )
begin
```

```
  case ( dec_rate )
    16'd32:begin
      DATA <= (diff3[15:0] ==
16'h8000) ? 16'hFFFF : {diff3[14:0], 1'b0};
    end
    16'd64:begin
      DATA <= (diff3[18:2] ==
17'h10000) ? 16'hFFFF : diff3[17:2];
    end
    16'd128:begin
      DATA <= (diff3[21:5] ==
17'h10000) ? 16'hFFFF : diff3[20:5];
    end
```

```
    16'd256:begin
      DATA <= (diff3[24:8] ==
17'h10000) ? 16'hFFFF : diff3[23:8];
    end
    16'd512:begin
      DATA <= (diff3[27:11] ==
17'h10000) ? 16'hFFFF : diff3[26:11];
    end
    16'd1024:begin
      DATA <= (diff3[30:14] ==
17'h10000) ? 16'hFFFF : diff3[29:14];
    end
    16'd2048:begin
      DATA <= (diff3[33:17] ==
17'h10000) ? 16'hFFFF : diff3[32:17];
    end
    16'd4096:begin
      DATA <= (diff3[36:20] ==
17'h10000) ? 16'hFFFF : diff3[35:20];
    end
    default:begin
      DATA <= (diff3[24:8] ==
17'h10000) ? 16'hFFFF : diff3[23:8];
    end
  endcase
```

```
end
```

```
/* Synchronize Data Output*/
always@ ( posedge mclk1, posedge reset )
begin
```

```
  if ( reset )
  begin
    data_en <= 1'b0;
    enable <= 1'b1;
```

```
  end
  else
  begin
```

```
    if ( (word_count == dec_rate/2
- 1) && enable )
    begin
```

```
      data_en <= 1'b1;
      enable <= 1'b0;
```

```
    end
    else if ( (word_count ==
dec_rate - 1) && ~enable )
    begin
```

```
      data_en <= 1'b0;
      enable <= 1'b1;
```

```
    end
    else
      data_en <= 1'b0;
```

```
  end
```

```
end
```

```
endmodule
```

接地和布局布线

建议 V_{DD1} 通过10 μF 电容与1 nF电容的并联去耦至 GND_1 。分别去耦引脚1和引脚7。采用100 nF电容将 V_{DD2} 电源去耦至 GND_2 。在具有高共模瞬变的应用中，必须确保隔离栅两端的电路板耦合最小。此外，如此设计电路板布局，任何耦合都不会出现并影响器件侧所有的引脚。如果不满足等量去耦要求，将会使引脚间的电压差异超过器件的绝对最大额定值，造成器件闩锁或者永久损坏。所有去耦电容都应尽量靠近电源引脚。

应尽量降低模拟输入端的串连电阻，以避免产生信号失真(尤其在高温条件下)。如果可能，应保证各个模拟输入引脚的源阻抗相等，以降低失调误差。注意失配和热电偶对模拟输入印刷电路板(PCB)走线的影响，以降低失调漂移。

隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。隔离衰减率由施加在隔离层上的电压波形特性决定。除了监管机构所执行的测试外，ADI公司还进行一系列广泛的评估来确定AD7405内部隔离结构的寿命。

ADI公司使用超过额定连续工作电压的电压执行加速寿命测试。确定多种工作条件下的加速系数，利用这些系数可以计算实际工作电压下的失效时间。表8中显示的值总结了双极性交流工作条件下20年工作寿命的峰值电压以及VDE认可的最大工作电压。

在这些测试中，AD7405将承受连续的交叉绝缘电压。

为了加速错误的发生，测试电压都超过正常电压值。这些单元的故障时间值被记录下来并用于计算加速系数。加速系数接着用于计算正常工作条件下的故障时间。表8中列出的是以下两个值中的较低者：

- 确保器件至少可使用20年的数值。
- VDE最大认证工作电压。

注意，AD7405的使用寿命随施加于隔离栅的波形类型而异。*iCoupler*隔离结构以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图34、图35和图36显示了不同隔离电压波形。

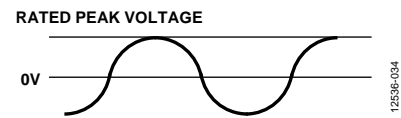


图34. 双极性交流波形，50 Hz或60 Hz

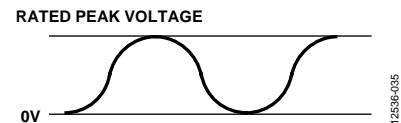


图35. 单极性交流波形，50 Hz或60 Hz

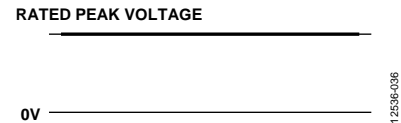
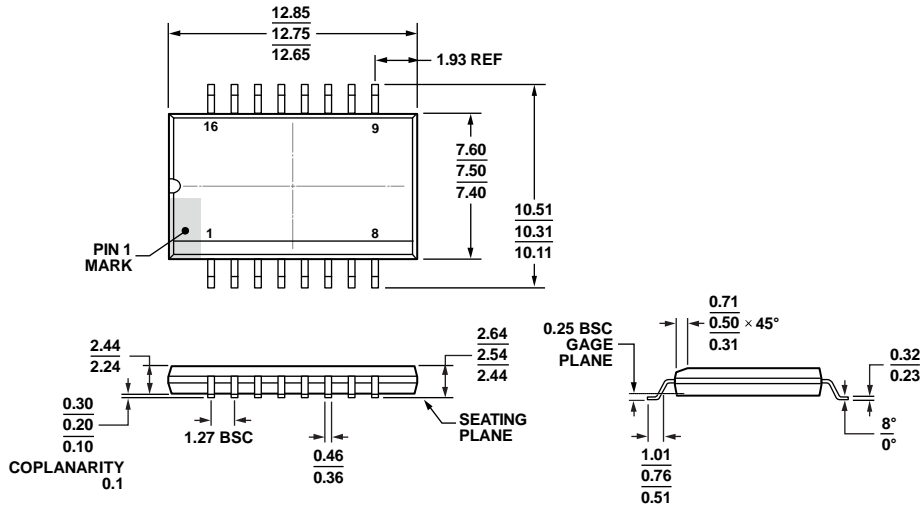


图36. 直流波形

AD7405

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-013-AC
 图37. 16引脚标准小型封装，具有增强的爬电性能[SOIC_IC]
 宽体
 (RI-16-2)
 图示尺寸单位: mm

11-15-2011-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7405BRIZ	-40°C至+125°C	16引脚标准小型封装，增加爬电距离[SOIC_IC]	RI-16-2
AD7405BRIZ-RL	-40°C至+125°C	16引脚标准小型封装，增加爬电距离[SOIC_IC]	RI-16-2
AD7405BRIZ-RL7	-40°C至+125°C	16引脚标准小型封装，增加爬电距离[SOIC_IC]	RI-16-2
EVAL-AD7405FMCZ		评估板	
EVAL-SDP-CH1Z		系统演示平台	

¹Z = 符合RoHS标准的器件。