

产品特性

快速滤波器建立选项
4个差分/8个伪差分输入通道
均方根(RMS)噪声: 11 nV @ 4.7 Hz (G = 128)
15.5位无噪声分辨率(2.4 kHz, G = 128)
无噪声分辨率高达22位(G = 1)
失调漂移: ± 5 nV/ $^{\circ}$ C
增益漂移: ± 1 ppm/ $^{\circ}$ C
稳定的时间漂移特性
自动通道序列发生器
可编程增益(1至128)
输出数据速率: 4.7 Hz至4.8 kHz
内部或外部时钟
50 Hz/60 Hz同时抑制
4路通用数字输出
电源
AV_{DD}: 3 V至5.25 V
DV_{DD}: 2.7 V至5.25 V
电流: 4.65 mA
温度范围: -40 $^{\circ}$ C至+105 $^{\circ}$ C
28引脚TSSOP和32引脚LFCSP封装
接口
三线式串行接口
SPI、QSPI™、MICROWIRE™和DSP兼容
SCLK引脚内的施密特触发

应用

PLC/DCS模拟输入模块
数据采集
应变栅传感器

压力测量
温度测量
流量测量
电子秤
色谱仪
医疗与科学仪器

概述

AD7193是一款适合高精度测量应用的低噪声完整模拟前端。它集成一个低噪声、24位 Σ - Δ 型模数转换器(ADC)。片内低噪声增益级意味着可直接输入小信号。

这款器件可配置为四路差分输入或八路伪差分输入。片内通道序列器可以同时使能多个通道，AD7193按顺序在各使能通道上执行转换，简化了与器件的通信。片内4.92 MHz时钟可以用作ADC的时钟源；或者，也可以使用外部时钟或晶振。该器件的输出数据速率可在4.7 Hz至4.8 kHz的范围内变化。

这款器件具有非常灵活的数字滤波器，包括一个快速建立选项。输出数据速率和建立时间等变量取决于所选的选项。AD7193同时包括零延迟选项。

这款器件的工作电源电压为3 V至5.25 V，功耗为4.65 mA，采用28引脚TSSOP封装和32引脚LFCSP封装。

功能框图

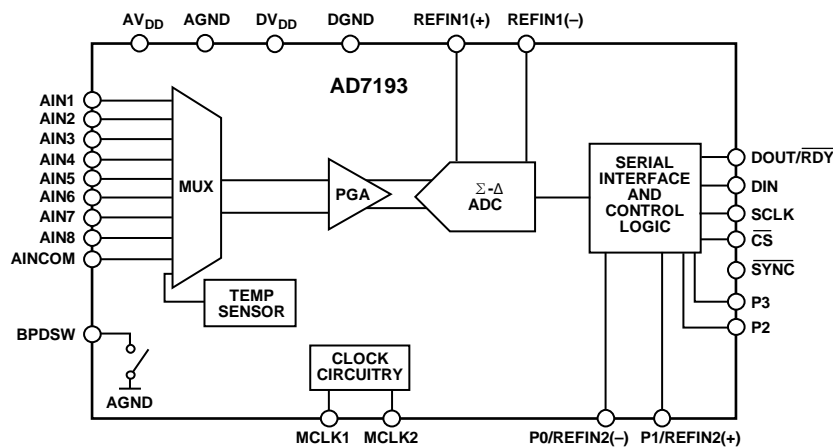


图1.

Rev. D

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2009–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	基准电压源	32
应用.....	1	基准电压检测	33
概述.....	1	双极性/单极性配置.....	33
功能框图	1	数据输出编码	33
修订历史.....	3	激励电流.....	33
技术规格	4	通道序列器	33
时序特性.....	8	数字接口	34
绝对最大额定值.....	10	复位	38
热阻	10	系统同步.....	38
ESD警告.....	10	使能奇偶检验.....	38
引脚配置和功能描述.....	11	时钟	38
典型性能参数.....	15	电桥关断开关.....	38
均方根噪声与分辨率.....	18	温度传感器	39
Sinc ⁴ 斩波禁用.....	18	逻辑输出.....	39
Sinc ³ 斩波禁用.....	19	校准	39
快速建立.....	20	数字滤波器.....	41
片上寄存器.....	21	Sinc ⁴ 滤波器(斩波禁用).....	41
通信寄存器	22	Sinc ³ 滤波器(斩波禁用).....	43
状态寄存器	23	斩波禁用(Sinc ⁴ 滤波器).....	45
模式寄存器	24	斩波禁用(Sinc ³ 滤波器).....	47
配置寄存器	27	快速建立模式(Sinc ⁴ 滤波器).....	48
数据寄存器	29	快速建立模式(Sinc ³ 滤波器).....	50
ID寄存器	29	快速建立模式(斩波使能).....	51
GPOCON寄存器.....	29	滤波器选项小结.....	52
失调寄存器	30	接地和布局.....	53
满量程寄存器.....	30	应用信息	54
ADC电路信息.....	31	流量计	54
概述	31	外形尺寸	55
模拟输入通道.....	32	订购指南.....	55
可编程增益阵列(PGA).....	32		

修订历史**2013年3月—修订版C至修订版D**

更改表22的CON2至CON0描述	28
更改“数据输出编码”部分中的公式	33

2011年12月—修订版B至修订版C

移动修订历史部分	3
更改表6	13

2010年4月—修订版A至修订版B

增加32引脚LFCSP	通篇
更改表7	17
更改表16中的通信寄存器	20
更新“外形尺寸”	54
更改“订购指南”	54

2009年9月—修订版0至修订版A

更改表1的内部/外部时钟、内部时钟频率参数	5
更改图7和图8	14
更改表6	17
更改表9	18
更改表12、表13和表14	19
更改表19	24
更改表22和表23	27
更改失调寄存器和满量程寄存器部分	29
更改基准电压部分	31
更改数据输出编码部分	32
更改Sinc ⁴ 50 Hz/60 Hz抑制部分	41
更改Sinc ³ 50 Hz/60 Hz抑制部分	43
更改50 Hz/60 Hz抑制、Sinc ⁴ 滤波器部分	47
更改滤波器选项小结部分和表35	52

2009年7月-版本0：初始版

AD7193

技术规格

除非另有说明, $AV_{DD} = 3\text{ V}$ 至 5.25 V , $DV_{DD} = 2.7\text{ V}$ 至 5.25 V , $AGND = DGND = 0\text{ V}$; $REFINx(+)$ = 2.5 V 或 AV_{DD} , $REFINx(-)$ = $AGND$, $MCLK = 4.92\text{ MHz}$, $T_A = T_{MIN}$ 至 T_{MAX} °

表1.

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
ADC					
输出数据速率	4.7		4800	Hz	斩波禁用
	1.17		1200	Hz	斩波使能, Sinc ⁴ 滤波器
	1.56		1600	Hz	斩波使能, Sinc ³ 滤波器
无失码 ²	24			Bits	FS[9:0] ³ > 1, sinc ⁴ 滤波器
	24			Bits	FS[9:0] ³ > 4, sinc ³ 滤波器
分辨率					参见均方根噪声与分辨率部分
均方根噪声与输出数据速率					参见均方根噪声与分辨率部分
积分非线性增益 = 1 ²		±2	±10	FSR的ppm	$AV_{DD} = 5\text{ V}$
		±2	±15	FSR的ppm	$AV_{DD} = 3\text{ V}$
增益 > 1		±5	±30	FSR的ppm	$AV_{DD} = 5\text{ V}$
		±15	±30	FSR的ppm	$AV_{DD} = 3\text{ V}$
失调误差 ^{4,5}		±150/增益		μV	斩波禁用
		±1		μV	斩波使能, $AV_{DD} = 5\text{ V}$
		±0.5		μV	斩波使能, $AV_{DD} = 3\text{ V}$
失调误差温漂		±150/增益		nV/°C	增益 = 1至16; 斩波禁用
		±5		nV/°C	增益 = 32至128; 斩波禁用
		±5		nV/°C	斩波使能
失调误差漂移与时间增益误差 ⁴		25		nV/1000小时	增益 > 32
		±0.001		%	$AV_{DD} = 5\text{ V}$, 增益 = 1, $T_A = 25^\circ\text{C}$ (工厂校准条件)
		-0.39		%	增益 = 128, 满量程校准之前 (见表27)
		±0.003		%	增益 > 1, 内部满量程校准之后, $AV_{DD} \geq 4.75\text{ V}$
		±0.005		%	增益 > 1, 内部满量程校准之后, $AV_{DD} < 4.75\text{ V}$
增益温漂		±1		ppm/°C	
增益漂移与时间		10		ppm/1000小时	增益 = 1
电源抑制	95	90		dB	增益 = 1, $V_{IN} = 1\text{ V}$
		110		dB	增益 > 1, $V_{IN} = 1\text{ V}/\text{增益}$
共模抑制					
在直流条件下		110		dB	增益 = 1, $V_{IN} = 1\text{ V}$
在直流条件下	105			dB	增益 > 1, $V_{IN} = 1\text{ V}/\text{增益}$
在50 Hz、60 Hz条件下 ²	120			dB	10 Hz输出数据速率, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
在50 Hz条件下 ²	120			dB	50 Hz输出数据速率, 50 Hz ± 1 Hz
在60 Hz条件下 ²	120			dB	60 Hz输出数据速率, 60 Hz ± 1 Hz
在50 Hz条件下 ²	115			dB	快速建立, FS[9:0] ³ = 6, 平均16, 50 Hz ± 1 Hz
在60 Hz条件下 ²	115			dB	快速建立, FS[9:0] ³ = 5, 平均16, 60 Hz ± 1 Hz

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
串模干扰抑制 ²					
Sinc ⁴ 滤波器					
内部时钟					
在50 Hz、60 Hz条件下	100			dB	10 Hz输出数据速率, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	74			dB	50 Hz 输出数据速率, REJ606 = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
在50 Hz条件下	96			dB	50 Hz输出数据速率, 50 Hz ± 1 Hz
在60 Hz条件下	97			dB	60 Hz输出数据速率, 60 Hz ± 1 Hz
外部时钟					
在50 Hz、60 Hz条件下	120			dB	10 Hz输出数据速率, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	82			dB	50 Hz 输出数据速率, REJ606 = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
在50 Hz条件下	120			dB	50 Hz输出数据速率, 50 Hz ± 1 Hz
在60 Hz条件下	120			dB	60 Hz输出数据速率, 60 Hz ± 1 Hz
Sinc ³ 滤波器					
内部时钟					
在50 Hz、60 Hz条件下	75			dB	10 Hz输出数据速率, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
	60			dB	50 Hz 输出数据速率, REJ606 = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
在50 Hz条件下	70			dB	50 Hz输出数据速率, 50 Hz ± 1 Hz
在60 Hz条件下	70			dB	60 Hz输出数据速率, 60 Hz ± 1 Hz
外部时钟					
在50 Hz、60 Hz条件下	100			dB	10 Hz输出数据速率, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
在50 Hz条件下	67			dB	50 Hz 输出数据速率, REJ606 = 1, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz
在50 Hz条件下	95			dB	50 Hz输出数据速率, 50 Hz ± 1 Hz
在60 Hz条件下	95			dB	60 Hz输出数据速率, 60 Hz ± 1 Hz
快速建立					
内部时钟					
在50 Hz条件下	26			dB	FS[9:0] ³ = 6, 平均16, 50 Hz ± 0.5 Hz
在60 Hz条件下	26			dB	FS[9:0] ³ = 5, 平均16, 60 Hz ± 0.5 Hz
外部时钟					
在50 Hz条件下	40			dB	FS[9:0] ³ = 6, 平均16, 50 Hz ± 0.5 Hz
在60 Hz条件下	40			dB	FS[9:0] ³ = 5, 平均16, 60 Hz ± 0.5 Hz
模拟输入					
差分输入电压范围		$\pm V_{REF}/\text{增益}$		V	$V_{REF} = \text{REFINx}(+) - \text{REFINx}(-)$, 增益 = 1至128 增益 > 1
	$-(AV_{DD} - 1.25 \text{ V})/\text{增益}$		$+(AV_{DD} - 1.25 \text{ V})/\text{增益}$	V	
绝对AIN电压限值 ²					
无缓冲模式	AGND - 0.05		$AV_{DD} + 0.05$	V	
缓冲模式	AGND + 0.25		$AV_{DD} - 0.25$	V	
模拟输入电流					
缓冲模式					
输入电流 ²	-2		+2	nA	增益 = 1
	-3		+3	nA	增益 > 1
输入电流漂移		±5		pA/°C	
无缓冲模式					
输入电流		±3.5		μA/V	增益=1, 输入电流随输入电压而变化
		±1		μA/V	增益 > 1
输入电流漂移		±0.05		nA/V/°C	外部时钟
		±1.6		nA/V/°C	内部时钟

AD7193

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
基准输入					
REFIN电压	1		AV_{DD}	V	REFIN = REFINx(+) - REFINx(-), 当增益>1时, 差分输入必须限制为 $\pm(AV_{DD} - 1.25\text{ V})/\text{增益}$
绝对REFIN电压限值 ²	AGND - 0.05		$AV_{DD} + 0.05$	V	
平均基准输入电流		4.5		$\mu\text{A/V}$	外部时钟
平均基准输入电流漂移		± 0.03		$\text{nA/V}/^\circ\text{C}$	内部时钟
串模干扰抑制 ²		± 1.3		$\text{nA/V}/^\circ\text{C}$	
共模抑制		与模拟输入相同			
基准电压检测电平	0.3	100	0.6	dB V	
温度传感器					
精度		± 2		$^\circ\text{C}$	25 $^\circ\text{C}$ 时用户校准后应用
灵敏度		2815		代码/ $^\circ\text{C}$	双极性模式
电桥断开开关					
R_{ON}			10	Ω	
容许电流 ²			30	mA	连续电流
激励电流					
AIN电流		500		nA	模拟输入必须进行缓冲, 并禁用斩波
数字输出(P0至P3)					
输出高电压 V_{OH}	$AV_{DD} - 0.6$			V	$AV_{DD} = 3\text{ V}, I_{SOURCE} = 100\ \mu\text{A}$
	4			V	$AV_{DD} = 5\text{ V}, I_{SOURCE} = 200\ \mu\text{A}$
输出低电压 V_{OL}			0.4	V	$AV_{DD} = 3\text{ V}, I_{SINK} = 100\ \mu\text{A}$
			0.4	V	$AV_{DD} = 5\text{ V}, I_{SINK} = 800\ \mu\text{A}$
浮空态漏电流 ²	-100		+100	nA	
浮空态输出电容		10		pF	
内部/外部时钟					
内部时钟					
频率	4.72	4.92	5.12	MHz	
占空比		50:50		%	
外部时钟/晶振					
频率	2.4576	4.9152	5.12	MHz	
输入低电压VINL			0.8	V	$DV_{DD} = 5\text{ V}$
			0.4	V	$DV_{DD} = 3\text{ V}$
输入高电压VINH	2.5			V	$DV_{DD} = 3\text{ V}$
	3.5			V	$DV_{DD} = 5\text{ V}$
输入电流	-10		+10	μA	
逻辑输入					
输入高电压 V_{INH} ²	2			V	
输入低电压 V_{INL} ²			0.8	V	
迟滞 ²	0.1		0.25	V	
输入电流	-10		+10	μA	
逻辑输出(DOUT/RDY)					
输出高电压 V_{OH} ²	$DV_{DD} - 0.6$			V	$DV_{DD} = 3\text{ V}, I_{SOURCE} = 100\ \mu\text{A}$
	4			V	$DV_{DD} = 5\text{ V}, I_{SOURCE} = 200\ \mu\text{A}$
输出低电压 V_{OL} ²			0.4	V	$DV_{DD} = 3\text{ V}, I_{SINK} = 100\ \mu\text{A}$
			0.4	V	$DV_{DD} = 5\text{ V}, I_{SINK} = 1.6\ \text{mA}$
浮空态泄漏电流	-10		+10	μA	
浮空态输出电容		10		pF	

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
数据输出编码	偏移二进制				
系统校准 ²					
满量程校准限值			1.05 × FS	V	
零电平校准限值	-1.05 × FS			V	
输入范围	0.8 × FS		2.1 × FS	V	
电源要求 ⁷					
电源电压					
AV _{DD} - AGND	3		5.25	V	
DV _{DD} - DGND	2.7		5.25	V	
电源电流					
AI _{DD} 电流		0.85	1	mA	增益 = 1, 缓冲关
		1	1.25	mA	增益 = 1, 缓冲开
		2.8	3.6	mA	增益 = 8, 缓冲关
		3.2	3.9	mA	增益 = 8, 缓冲开
		3.8	4.7	mA	增益 = 16至128, 缓冲关
		4.3	5.3	mA	增益 = 16至128, 缓冲开
DI _{DD} 电流		0.35	0.4	mA	DV _{DD} = 3 V
		0.5	0.6	mA	DV _{DD} = 5 V
I _{DD}		1.5	3	μA	使用外部晶振 掉电模式

¹ 温度范围: -40°C至+105°C。

² 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

³ FS[9:0]为模式寄存器FS9位至FS0位的十进制等效值。

⁴ 经系统或内部零电平校准, 此失调误差与选定的编程增益和输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与选定的编程增益和输出数据速率噪声相当的水平。

⁵ 模拟输入配置为差分模式。

⁶ REJ60指模式寄存器中的一位。当sinc滤波器的第一个陷波频率处于50 Hz时, 若REJ60设为1, 则陷波频率处于60 Hz。这样可以同时抑制50 Hz/60 Hz噪声。

⁷ 数字输入等于DV_{DD}或DGND。

AD7193

时序特性

除非另有说明, $AV_{DD} = 3\text{ V至}5.25\text{ V}$, $DV_{DD} = 2.7\text{ V至}5.25\text{ V}$, $AGND = DGND = 0\text{ V}$, 输入逻辑0 = 0 V, 输入逻辑1 = DV_{DD} 。

表2.

参数	在 T_{MIN} 和 T_{MAX} 条件下的限值(B级)	单位	条件/注释 ^{1,2}
读写操作			
t_3	100	ns(最小值)	SCLK高电平脉宽
t_4	100	ns(最小值)	SCLK低电平脉宽
读操作			
t_1	0	ns(最小值)	\overline{CS} 下降沿到 $\overline{DOUT}/\overline{RDY}$ 有效时间
	60	ns(最大值)	$DV_{DD} = 4.75\text{ V至}5.25\text{ V}$
	80	ns(最大值)	$DV_{DD} = 2.7\text{ V至}3.6\text{ V}$
t_2^3	0	ns(最小值)	SCLK有效沿到数据有效延迟 ⁴
	60	ns(最大值)	$DV_{DD} = 4.75\text{ V至}5.25\text{ V}$
	80	ns(最大值)	$DV_{DD} = 2.7\text{ V至}3.6\text{ V}$
$t_5^{5,6}$	10	ns(最小值)	\overline{CS} 无效沿后的总线释放时间
	80	ns(最大值)	
t_6	0	ns(最小值)	SCLK无效沿到 \overline{CS} 无效沿
t_7	10	ns(最小值)	SCLK无效沿到 $\overline{DOUT}/\overline{RDY}$ 高电平
写操作			
t_8	0	ns(最小值)	\overline{CS} 下降沿到SCLK有效沿建立时间 ⁴
t_9	30	ns(最小值)	数据有效到SCLK沿建立时间
t_{10}	25	ns(最小值)	数据有效到SCLK沿保持时间
t_{11}	0	ns(最小值)	\overline{CS} 上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试, 以确保符合标准要求。所有输入信号均指定 $t_R = t_F = 5\text{ ns}$ (DV_{DD} 的10%到90%), 并从1.6 V电平起开始计时。

² 参见图3和图4

³ 这些数值是采用图2所示负载电路的测量结果, 定义为输出跨越 V_{OL} 或 V_{OH} 限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ 这些数值来源于测量时间, 该时间为采用图2所示负载电路时数据输出到改变0.5 V所需的时间。接下来, 通过对测量结果进行反向推断, 可以消除对50 pF电容充、放电的影响。这意味着, 时序特性所给出的时间是该器件真正的总线释放时间, 因而与外部总线负载电容无关。

⁶ RDY在读取数据寄存器之后返回高电平。在单次转换模式和连续转换模式下, 当RDY为高电平时, 如果需要, 可以再次读取同一数据, 但应确保后续读取操作的发生时间不能接近下一次输出更新时间。如果使能连续读取功能, 数字字只能被读取一次。

电路图和时序图

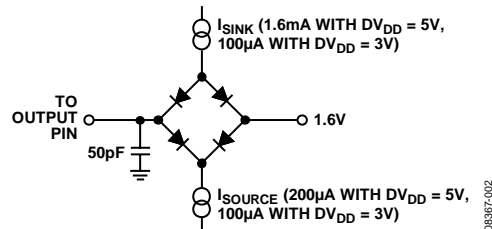


图2. 时序特性的负载电路

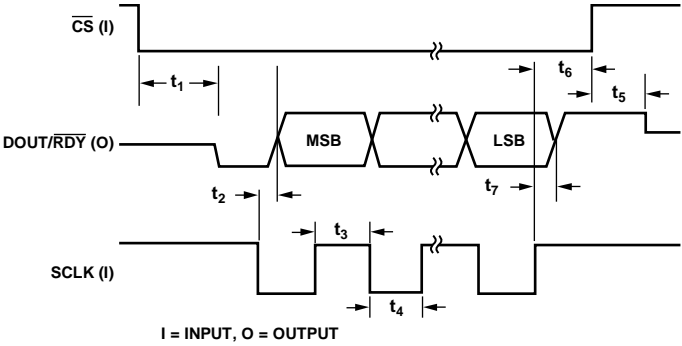


图3. 读取周期时序图

08387-003

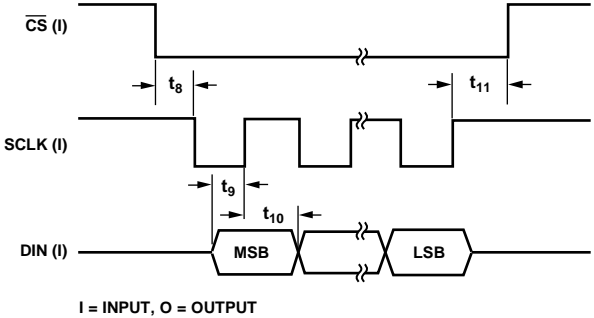


图4. 写入周期时序图

08387-004

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AV_{DD} 至AGND	-0.3 V至+6.5 V
DV_{DD} 至AGND	-0.3 V至+6.5 V
AGND至DGND	-0.3 V至+0.3 V
模拟输入电压至AGND	-0.3 V至 $AV_{DD} + 0.3$ V
基准输入电压至AGND	-0.3 V至 $AV_{DD} + 0.3$ V
数字输入电压至DGND	-0.3 V至 $DV_{DD} + 0.3$ V
数字输出电压至DGND	-0.3 V至 $DV_{DD} + 0.3$ V
AINx/数字输入电流	10 mA
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
最高结温	150°C
引脚温度，回流焊	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
28引脚 TSSOP	97.9	14	°C/W
32引脚 LFCSOP	32.5	32.71	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

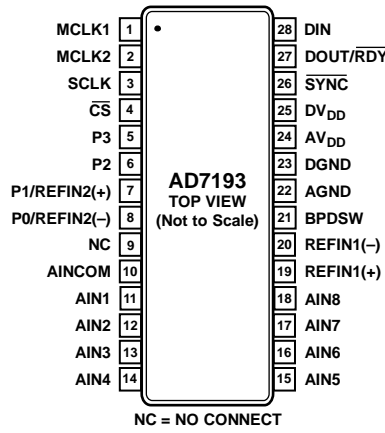


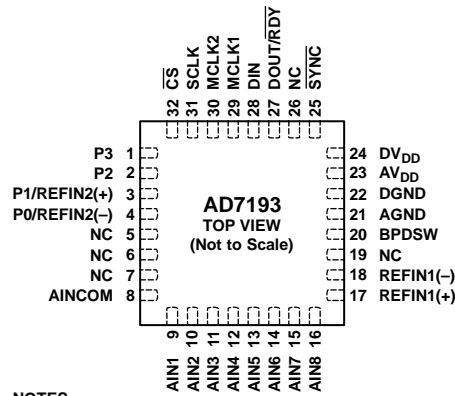
图5. 28引脚TSSOP引脚配置

图5. 28引脚TSSOP引脚功能描述

引脚编号	引脚名称	描述
1	MCLK1	当器件的主时钟由外部晶振提供时，该晶振连接于MCLK1和MCLK2之间。
2	MCLK2	器件的主时钟信号。AD7193拥有4.92 MHz内部时钟。该内部时钟可通过MCLK2引脚提供。AD7193的时钟也可通过外部晶振或外部时钟的方式提供。晶振可以连接于MCLK1和与MCLK2引脚之间。或者，可用一个CMOS型时钟来驱动MCLK2引脚，并使MCLK1引脚保持非连接状态。
3	SCLK	串行时钟输入。用于与ADC进行数据传输。SCLK具有施密特触发式输入，因而该接口适合光隔离应用。该串行时钟可以是连续式时钟，所有数据均在连续的脉冲串中传输。或者，它也可以是非连续式时钟，来往ADC的信息以较小的数据包形式传输。
4	\overline{CS}	片选输入引脚。这是一个低电平有效逻辑输入，用于选择ADC。 \overline{CS} 可以用来在串行总线上具有多个器件的系统中选择ADC，或者用作帧同步信号与器件通信。 \overline{CS} 可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT与器件接口。
5	P3	数字输出引脚。此引脚可以用作通用输出位，以 AV_{DD} 与AGND之间的电压为基准。
6	P2	数字输出引脚。此引脚可以用作通用输出位，以 AV_{DD} 与AGND之间的电压为基准。
7	P1/REFIN2(+)	数字输出引脚/正基准电压输入。此引脚用作通用输出位，以 AV_{DD} 与AGND之间的电压为基准。当REFSEL位处于配置寄存器 = 1时，此引脚用作REFIN2(+). 可以在REFIN2(+)-REFIN2(-)之间施加一个外部基准电压。REFIN2(+)-可位于 AV_{DD} 和AGND + 1V之间。标称基准电压(REFIN2(+)-REFIN2(-))为 AV_{DD} ，但该器件可以采用1V至 AV_{DD} 范围内的基准电压工作。
8	P0/REFIN2(-)	数字输出引脚/负基准电压输入。此引脚用作通用输出位，以 AV_{DD} 与AGND之间的电压为基准。当REFSEL位处于配置寄存器 = 1时，此引脚用作REFIN2(-). 该基准电压输入可以是AGND与 AV_{DD} - 1V之间的任意值。
9	NC	不连接。将此引脚连接至AGND。
10	AINCOM	当配置为伪差分工作模式时，模拟输入AIN1至模拟输入AIN8以此输入引脚为基准。
11	AIN1	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN2配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
12	AIN2	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN1配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
13	AIN3	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN4配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。

AD7193

引脚编号	引脚名称	描述
14	AIN4	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN3配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
15	AIN5	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN6配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
16	AIN6	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN5配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
17	AIN7	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN8配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
18	AIN8	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN7配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
19	REFIN1(+)	正基准电压输入。可以在REFIN1(+与REFIN1(-)之间施加一个外部基准电压。REFIN1(+可位于AV _{DD} 和AGND + 1 V之间。标称基准电压(REFIN1(+)-REFIN1(-))为AV _{DD} ，但该器件可以采用1 V至AV _{DD} 范围内的基准电压工作。
20	REFIN1(-)	负基准电压输入。该基准电压输入可以是AGND与AV _{DD} -1 V之间的任意值。
21	BPDSW	AGND的电桥关断开关。
22	AGND	模拟参考点。
23	DGND	数字地参考点。
24	AV _{DD}	模拟电源电压，3 V至5.25 V。AV _{DD} 独立于DV _{DD} 。因此，DV _{DD} 可采用3 V工作，AV _{DD} 则为5 V，反之亦然。
25	DV _{DD}	数字电源电压，2.7 V至5.25 V。DV _{DD} 独立于AV _{DD} 。因此，AV _{DD} 可采用3 V工作，DV _{DD} 则为5 V，反之亦然。
26	SYNC	逻辑输入，允许在使用多个AD7193器件时，对数字滤波器和模拟调制器进行同步。当SYNC为低电平时，数字滤波器、滤波器控制逻辑和校准控制逻辑的节点均复位，同时，模拟调制器也保持其复位状态。SYNC不会影响数字接口，但会将低电平RDY复位为高电平状态。SYNC具有一个内部连接到DV _{DD} 的上拉电阻。
27	DOUT/ $\overline{\text{RDY}}$	串行数据输出/数据就绪输出引脚。DOUT/ $\overline{\text{RDY}}$ 具有双重作用。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。此外，DOUT/ $\overline{\text{RDY}}$ 可以用作数据就绪引脚。当该引脚变为低电平时，表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/ $\overline{\text{RDY}}$ 下降沿可以用作处理器的中断，表示存在可用数据。采用外部串行时钟时，可以利用DOUT/ $\overline{\text{RDY}}$ 引脚读取数据。CS为低电平时，数据/控制字信息在SCLK下降沿置于DOUT/ $\overline{\text{RDY}}$ 引脚上，且在SCLK上升沿有效。
28	DIN	ADC输入移位寄存器的串行数据输入。该移位寄存器中的数据传输至ADC内的控制寄存器，通信寄存器的寄存器选择位确定适当的寄存器。



- NOTES
 1. NC = NO CONNECT.
 2. CONNECT EXPOSED PAD TO AGND.

图6. 32引脚LFCSP的引脚配置

表6. 32引脚LFCSP引脚功能描述

引脚编号	引脚名称	描述
1	P3	数字输出引脚。此引脚可以用作通用输出位，以AV _{DD} 与AGND之间的电压为基准。
2	P2	数字输出引脚。此引脚可以用作通用输出位，以AV _{DD} 与AGND之间的电压为基准。
3	P1/REFIN2(+)	数字输出引脚/正基准电压输入。此引脚用作通用输出位，以AV _{DD} 与AGND之间的电压为基准。当REFSEL位处于配置寄存器=1时，此引脚用作REFIN2(+).可以在REFIN2(+与REFIN2(-)之间施加一个外部基准电压。REFIN2(+可位于AV _{DD} 和AGND + 1 V之间。标称基准电压(REFIN2(+)-REFIN2(-))为AV _{DD} ，但该器件可以采用1 V至AV _{DD} 范围内的基准电压工作。
4	P0/REFIN2(-)	数字输出引脚/负基准电压输入。此引脚用作通用输出位，以AV _{DD} 与AGND之间的电压为基准。当REFSEL位处于配置寄存器=1时，此引脚用作REFIN2(-).该基准电压输入可以是AGND与AV _{DD} -1 V之间的任意值。
5, 6, 7, 19, 26	NC	不连接。将这些引脚连接至AGND。
8	AINCOM	当配置为伪差分工作模式时，模拟输入AIN1至模拟输入AIN8以此输入引脚为基准。
9	AIN1	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN2配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
10	AIN2	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN1配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
11	AIN3	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN4配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
12	AIN4	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN3配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
13	AIN5	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN6配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
14	AIN6	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN5配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
15	AIN7	模拟输入。此引脚可以配置为全差分输入对的正输入(与AIN8配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
16	AIN8	模拟输入。此引脚可以配置为全差分输入对的负输入(与AIN7配合使用时)，也可配置为伪差分输入(与AINCOM配合使用时)。
17	REFIN1(+)	正基准电压输入。可以在REFIN1(+与REFIN1(-)之间施加一个外部基准电压。REFIN1(+可位于AV _{DD} 和AGND + 1 V之间。标称基准电压(REFIN1(+)-REFIN1(-))为AV _{DD} ，但该器件可以采用1 V至AV _{DD} 范围内的基准电压工作。
18	REFIN1(-)	负基准电压输入。该基准电压输入可以是AGND与AV _{DD} -1 V之间的任意值。
20	BPDSW	AGND的电桥关断开关。

AD7193

引脚编号	引脚名称	描述
21	AGND	模拟参考点。
22	DGND	数字地参考点。
23	AV _{DD}	模拟电源电压，3 V至5.25 V。AV _{DD} 独立于DV _{DD} 。因此，DV _{DD} 可采用3 V工作，AV _{DD} 则为5 V，反之亦然。
24	DV _{DD}	数字电源电压，2.7 V至5.25 V。DV _{DD} 独立于AV _{DD} 。因此，AV _{DD} 可采用3 V工作，DV _{DD} 则为5 V，反之亦然。
25	$\overline{\text{SYNC}}$	逻辑输入，允许在使用多个AD7193器件时，对数字滤波器和模拟调制器进行同步。当 $\overline{\text{SYNC}}$ 为低电平时，数字滤波器、滤波器控制逻辑和校准控制逻辑的节点均复位，同时，模拟调制器也保持其复位状态。 $\overline{\text{SYNC}}$ 不会影响数字接口，但会将低电平RDY复位为高电平状态。 $\overline{\text{SYNC}}$ 具有一个内部连接到DV _{DD} 的上拉电阻。
27	DOUT/ $\overline{\text{RDY}}$	串行数据输出/数据就绪输出引脚。DOUT/ $\overline{\text{RDY}}$ 具有双重作用。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。此外，DOUT/ $\overline{\text{RDY}}$ 可以用作数据就绪引脚。当该引脚变为低电平时，表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/ $\overline{\text{RDY}}$ 下降沿可以用作处理器的中断，表示存在可用数据。采用外部串行时钟时，可以利用DOUT/ $\overline{\text{RDY}}$ 引脚读取数据。 $\overline{\text{CS}}$ 为低电平时，数据/控制字信息在SCLK下降沿置于DOUT/ $\overline{\text{RDY}}$ 引脚上，且在SCLK上升沿有效。
28	DIN	ADC输入移位寄存器的串行数据输入。该移位寄存器中的数据传输至ADC内的控制寄存器，通信寄存器的寄存器选择位确定适当的寄存器。
29	MCLK1	当器件的主时钟由外部晶振提供时，该晶振连接于MCLK1和MCLK2之间。
30	MCLK2	器件的主时钟信号。AD7193拥有4.92 MHz内部时钟。该内部时钟可通过MCLK2引脚提供。AD7193的时钟也可通过外部晶振或外部时钟的方式提供。晶振可以连接于MCLK1和与MCLK2引脚之间。或者，可用一个CMOS兼容型时钟来驱动MCLK2引脚，并使MCLK1引脚保持非连接状态。
31	SCLK	串行时钟输入。用于与ADC进行数据传输。SCLK具有施密特触发式输入，因而该接口适合光隔离应用。该串行时钟可以是连续式时钟，所有数据均在连续的脉冲串中传输。或者，它也可以是非连续式时钟，来往ADC的信息以较小的数据包形式传输。
32	$\overline{\text{CS}}$	片选输入引脚。这是一个低电平有效逻辑输入，用于选择ADC。 $\overline{\text{CS}}$ 可以用来在串行总线上具有多个器件的系统中选择ADC，或者用作帧同步信号与器件通信。 $\overline{\text{CS}}$ 可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT与器件接口。
	EPAD	裸露焊盘必须连接到AGND。

典型性能参数

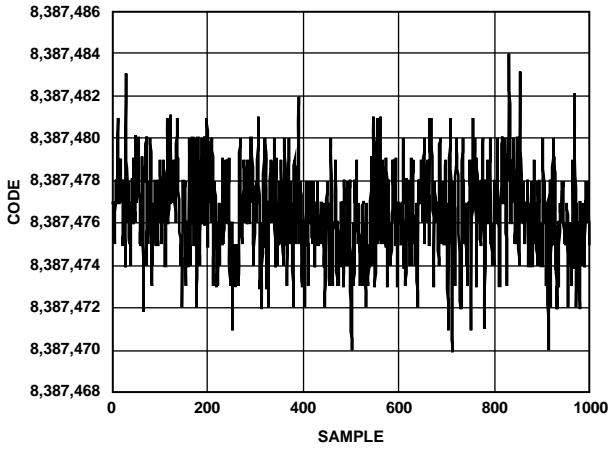


图7. 噪声($V_{REF} = AV_{DD} = 5\text{ V}$, 输出数据速率 = 4.7 Hz, 增益 = 128, 斩波禁用, Sinc⁴滤波器)

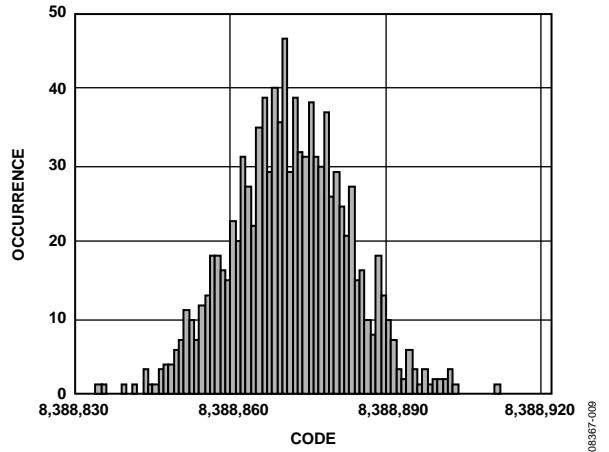


图10. 噪声分布直方图($V_{REF} = AV_{DD} = 5\text{ V}$, 输出数据速率 = 2,400 Hz, 增益 = 1, 斩波禁用, Sinc⁴滤波器)

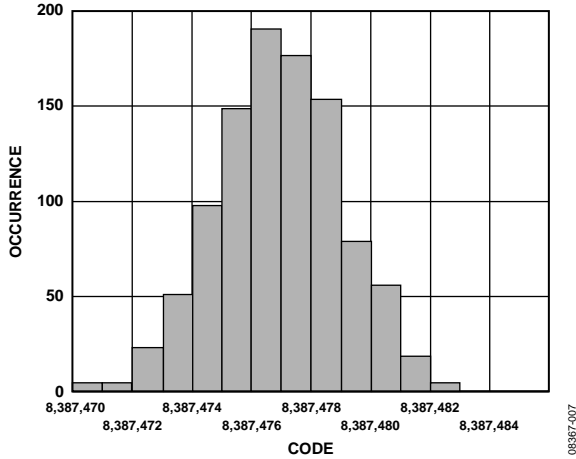


图8. 噪声分布直方图($V_{REF} = AV_{DD} = 5\text{ V}$, 输出数据速率 = 4.7 Hz, 增益 = 128, 斩波禁用, Sinc⁴滤波器)

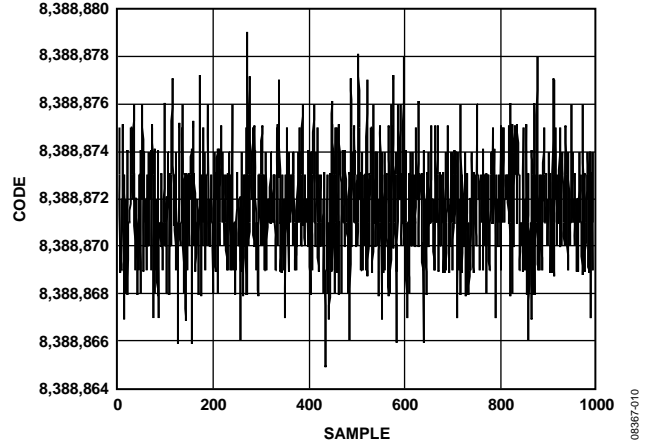


图11. 噪声($V_{REF} = AV_{DD} = 5\text{ V}$, 输出数据速率 = 42.1 Hz (FS[9:0] = 6, 平均16), 增益 = 1, 斩波禁用, Sinc⁴滤波器)

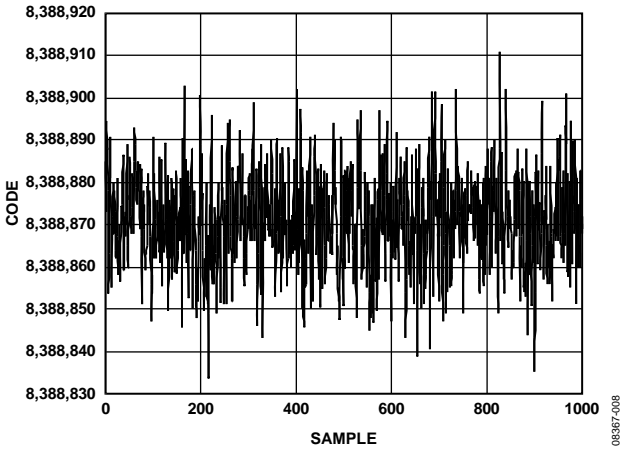


图9. 噪声($V_{REF} = AV_{DD} = 5\text{ V}$, 输出数据速率 = 2400 Hz, 增益 = 1, 斩波禁用, Sinc⁴滤波器)

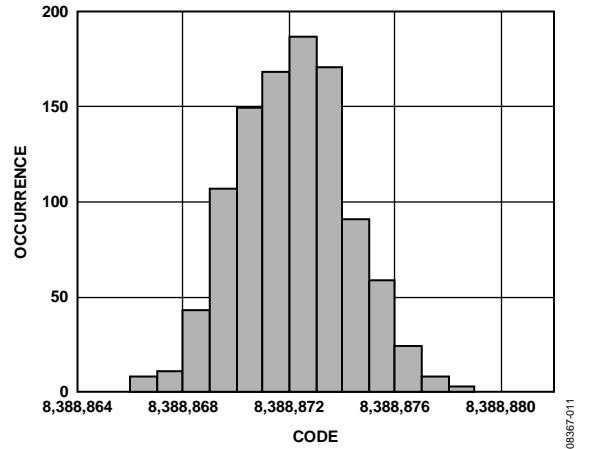


图12. 噪声分布直方图($V_{REF} = AV_{DD} = 5\text{ V}$, 输出数据速率 = 42.1 Hz (FS[9:0] = 6, 平均16), 增益 = 1, 斩波禁用, Sinc⁴滤波器)

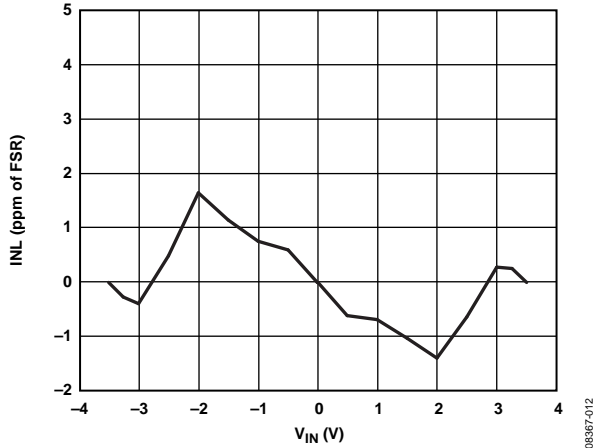


图13. INL(增益 = 1)

08367-012

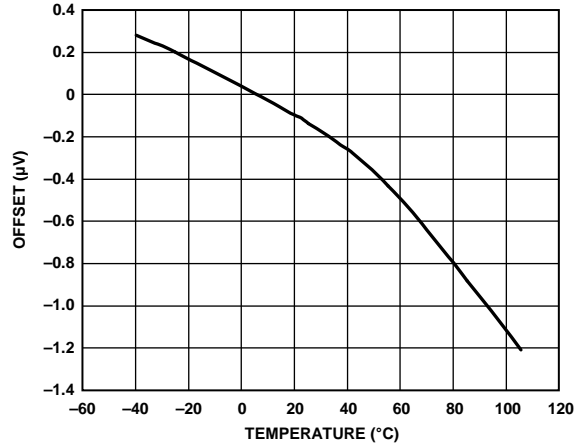


图16. 失调电压与温度的关系(增益=128, 斩波禁用)

08367-015

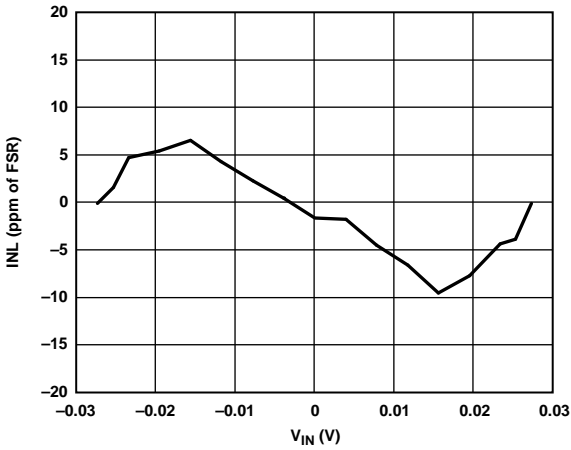


图14. INL(增益 = 128)

08367-013

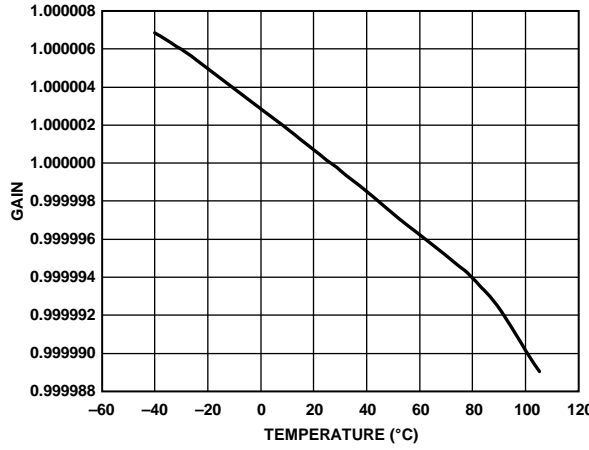


图17. 增益与温度的关系(增益=1)

08367-016

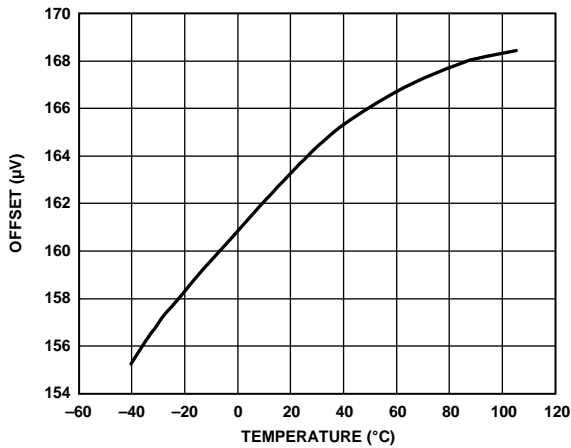


图15. 失调电压与温度的关系(增益=1, 斩波禁用)

08367-014

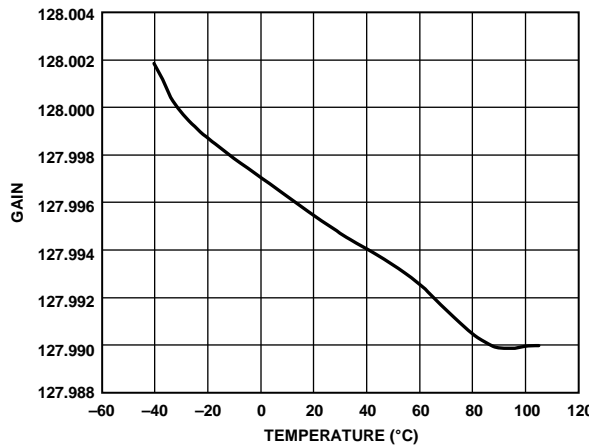


图18. 增益与温度的关系(增益=128)

08367-017

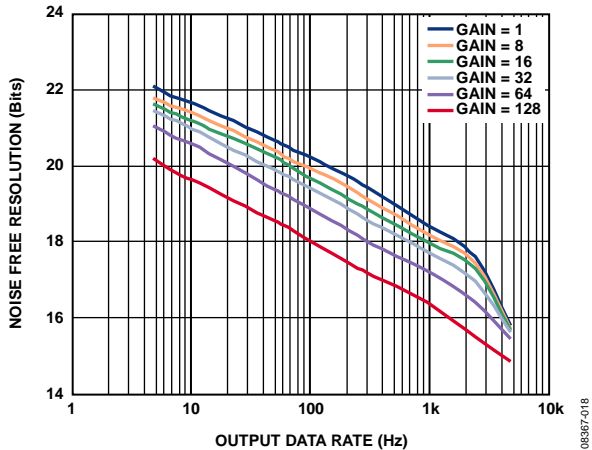


图19. 无噪声分辨率(Sinc⁴滤波器, 斩波禁用, V_{REF} = 5 V)

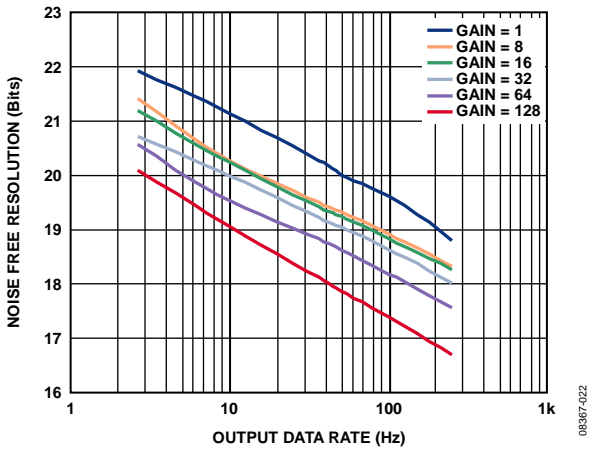


图21. 快速建立模式下的无噪声分辨率 (V_{REF} = 5 V, 平均16, Sinc⁴滤波器, 斩波禁用)

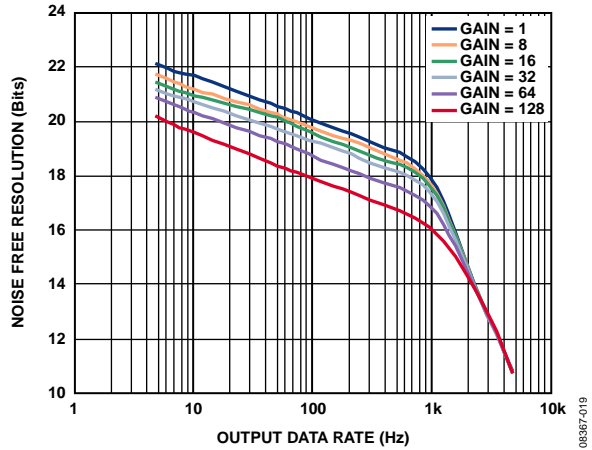


图20. 无噪声分辨率(Sinc³滤波器, 斩波禁用, V_{REF} = 5 V)

AD7193

均方根噪声与分辨率

下表显示AD7193在不同输出数据速率和增益设置下的均方根噪声、峰峰值噪声、有效分辨率和无噪声(峰峰值)分辨率, sinc⁴和sinc³滤波器以及快速建立模式下均禁用斩波。所提供的数据是针对双极性输入范围以及采用5 V外部基准电压而言。这些数据是在单个通道上连续转换ADC时,

差分输入电压为0 V产生的典型值。必须注意, 有效分辨率根据均方根噪声计算得出, 而峰峰值分辨率则是根据峰峰值噪声计算得出。峰峰值分辨率表示无闪烁码的分辨率。斩波使能时, 分辨率提高0.5位。

Sinc⁴斩波禁用

表7. 均方根噪声(nV)与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率(Hz)	建立时间 (ms)	增益					
			1	8	16	32	64	128
1023	4.7	852.5	340	53	34	18	12	11
640	7.5	533	410	67	40	24	14	13
480	10	400	460	76	45	28	16	15
96	50	80	950	150	80	50	37	31
80	60	66.7	1000	160	90	54	40	35
32	150	26.7	1600	250	140	83	63	55
16	300	13.3	2300	340	190	120	90	79
5	960	4.17	4200	610	350	210	160	140
2	2400	1.67	7100	1000	570	350	260	230
1	4800	0.83	26,000	3400	1700	910	530	380

表8. 峰峰值噪声(nV)与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率(Hz)	建立时间 (ms)	增益					
			1	8	16	32	64	128
1023	4.7	852.5	2200	340	190	110	70	65
640	7.5	533	2700	410	230	130	90	85
480	10	400	3000	450	260	150	100	95
96	50	80	6000	890	500	320	230	200
80	60	66.7	6600	1000	560	350	250	220
32	150	26.7	10,000	1500	920	540	400	370
16	300	13.3	14,000	2200	1300	800	600	530
5	960	4.17	28,000	4100	2400	1400	1000	900
2	2400	1.67	49,000	7000	3800	2400	1800	1700
1	4800	0.83	175,000	23,000	12,000	6100	3500	2600

表9. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率(Hz)	建立时间 (ms)	增益 ¹					
			1	8	16	32	64	128
1023	4.7	852.5	24 (22.1)	24 (21.8)	24 (21.6)	24 (21.4)	23.6 (21.1)	22.8 (20.2)
640	7.5	533	24 (21.8)	24 (21.5)	23.9 (21.4)	23.6 (21.2)	23.4 (20.7)	22.5 (19.8)
480	10	400	24 (21.7)	24 (21.4)	23.7 (21.2)	23.4 (21)	23.2 (20.6)	22.3 (19.6)
96	50	80	23.3 (20.7)	23 (20.4)	22.9 (20.3)	22.6 (19.9)	22 (19.4)	21.3 (18.6)
80	60	66.7	23.3 (20.5)	22.9 (20.3)	22.8 (20.1)	22.5 (19.8)	21.9 (19.3)	21.1 (18.4)
32	150	26.7	22.6 (19.9)	22.3 (19.7)	22.1 (19.4)	21.8 (19.1)	21.2 (18.6)	20.4 (17.7)
16	300	13.3	22.1 (19.4)	21.8 (19.1)	21.6 (18.9)	21.3 (18.6)	20.7 (18)	19.9 (17.2)
5	960	4.17	21.2 (18.4)	21 (18.2)	20.8 (18)	20.5 (17.8)	19.9 (17.3)	19.1 (16.4)
2	2400	1.67	20.4 (17.6)	20.3 (17.4)	20.1 (17.3)	19.8 (17)	19.2 (16.4)	18.4 (15.5)
1	4800	0.83	18.6 (15.8)	18.5 (15.7)	18.5 (15.7)	18.4 (15.6)	18.2 (15.4)	17.6 (14.9)

¹ 括号中是输出峰峰值(p-p)分辨率。

Sinc³斩波禁用

表10. 均方根噪声(nV)与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率(Hz)	建立时间 (ms)	增益					
			1	8	16	32	64	128
1023	4.7	639.4	340	58	35	20	13	11
640	7.5	400	410	72	41	25	16	14
480	10	300	490	90	45	28	18	16
96	50	60	1000	160	85	54	38	34
80	60	50	1100	170	95	59	41	37
32	150	20	1700	260	150	88	66	59
16	300	10	2400	350	200	130	94	85
5	960	3.13	6400	870	470	270	190	160
2	2400	1.25	115,000	14,000	7000	3600	1800	950
1	4800	0.625	860,000	110,000	54,000	27,000	14,000	7000

表11. 峰峰值噪声(nV)与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率(Hz)	建立时间 (ms)	增益					
			1	8	16	32	64	128
1023	4.7	639.4	2200	350	220	130	80	65
640	7.5	400	2700	450	270	160	100	88
480	10	300	3000	520	310	180	120	100
96	50	60	6400	990	540	370	250	230
80	60	50	7000	1100	610	390	270	250
32	150	20	11,000	1700	980	580	440	390
16	300	10	16,000	2300	1400	860	630	560
5	960	3.13	40,000	5700	3100	1800	1300	1100
2	2400	1.25	730,000	93,000	47,000	24,000	12,000	6100
1	4800	0.625	5,700,000	730,000	360,000	180,000	93,000	45,000

表12. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率(Hz)	建立时间 (ms)	增益 ¹					
			1	8	16	32	64	128
1023	4.7	639.4	24 (22.1)	24 (21.8)	24 (21.4)	23.9 (21.2)	23.5 (20.9)	22.8 (20.2)
640	7.5	400	24 (21.8)	24 (21.4)	23.9 (21.1)	23.6 (20.9)	23.2 (20.6)	22.4 (19.8)
480	10	300	24 (21.7)	23.8 (21.2)	23.7 (20.9)	23.4 (20.7)	23 (20.3)	22.2 (19.6)
96	50	60	23.3 (20.6)	22.9 (20.3)	22.9 (20.1)	22.5 (19.7)	22 (19.3)	21.1 (18.4)
80	60	50	23.1 (20.4)	22.8 (20.1)	22.7 (20)	22.3 (19.6)	21.9 (19.1)	21 (18.3)
32	150	20	22.5 (19.8)	22.2 (19.5)	22 (19.3)	21.8 (19)	21.2 (18.4)	20.3 (17.6)
16	300	10	22 (19.3)	21.8 (19.1)	21.6 (18.8)	21.2 (18.5)	20.7 (17.9)	19.8 (17.1)
5	960	3.13	20.6 (17.9)	20.5 (17.7)	20.3 (17.6)	20.1 (17.4)	19.6 (16.9)	18.9 (16.1)
2	2400	1.25	16.5 (13.7)	16.4 (13.7)	16.4 (13.7)	16.4 (13.7)	16.4 (13.7)	16.4 (13.6)
1	4800	0.625	13.5 (10.8)	13.5 (10.7)	13.5 (10.7)	13.5 (10.7)	13.5 (10.7)	13.5 (10.7)

¹ 括号中是输出峰峰值(p-p)分辨率。

AD7193

快速建立

表13. 均方根噪声(nV)与增益和输出数据速率的关系

滤波器字 (十进制)	均值	输出数据 速率(Hz)	建立时间 (ms)	增益					
				1	8	16	32	64	128
96	16	2.63	380	380	87	52	33	15	11
30	16	8.4	118.75	620	140	71	43	30	21
6	16	42.10	23.75	1300	270	150	82	56	47
5	16	50.53	19.79	1500	280	160	88	61	50
2	16	126.32	7.92	2300	380	210	130	88	77
1	16	252.63	3.96	3400	520	290	180	130	110

表14. 峰峰值噪声(nV)与增益和输出数据速率的关系

滤波器字 (十进制)	均值	输出数据 速率(Hz)	建立时间 (ms)	增益					
				1	8	16	32	64	128
96	16	2.63	380	2500	450	260	180	100	70
30	16	8.4	118.75	4000	900	470	280	190	130
6	16	42.10	23.75	8500	1800	950	540	360	300
5	16	50.53	19.79	9500	1900	1000	580	390	330
2	16	126.32	7.92	14,000	2800	1500	850	580	510
1	16	252.63	3.96	22,000	3800	2000	1200	820	740

表15. 有效分辨率(峰峰值分辨率)与增益和输出数据速率的关系

滤波器字 (十进制)	均值	输出数据 速率(Hz)	建立时间 (ms)	增益 ¹					
				1	8	16	32	64	128
96	16	2.63	380	24 (21.9)	23.8 (21.4)	23.5 (21.2)	23.2 (20.7)	23.2 (20.6)	22.8 (20.1)
30	16	8.4	118.75	23.9 (21.3)	23.6 (20.4)	23.1 (20.3)	22.8 (20.1)	22.3 (19.6)	21.8 (19.2)
6	16	42.10	23.75	22.9 (20.2)	22.1 (19.4)	22 (19.3)	21.9 (19.1)	21.4 (18.7)	20.7 (18)
5	16	50.53	19.79	22.7 (20)	22.1 (19.3)	21.9 (19.3)	21.8 (19)	21.3 (18.6)	20.6 (17.9)
2	16	126.32	7.92	22.1 (19.4)	21.6 (18.8)	21.5 (18.7)	21.2 (18.5)	20.8 (18)	20 (17.2)
1	16	252.63	3.96	21.5 (18.8)	21.2 (18.3)	21 (18.3)	20.7 (18)	20.2 (17.5)	19.4 (16.7)

¹ 括号中是输出峰峰值(p-p)分辨率。

片内寄存器

ADC由许多片内寄存器进行控制和配置，下面的章节将对这些寄存器进行详细的说明，其中，除非另外说明，术语“设置”(set)表示逻辑1状态，术语“清零”(cleared)表示逻辑0状态。

表16. 寄存器小结

寄存器	地址	Dir.	默认值	位7	位6	位5	位4	位3	位2	位1	位0
通信	00	W	00	WEN	R/W	寄存器地址			CREAD	0	0
状态	00	R	80	RDY	ERR	NOREF	奇偶校验	CHD3	CHD2	CHD1	CHD0
模式	01	R/W	080060	模式选择			DAT_STA	CLK1	CLK0	AVG1	AVG0
				SINC3	0	ENPAR	CLK_DIV	单通道	REJ60	FS9	FS8
				FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0 (LSB)
配置	02	R/W	000117	斩波(MSB)	0	0	REFSEL	0	伪	短路	温度
				CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
				激励	REFDET	0	BUF	U/B	G2	G1	G0 (LSB)
数据	03	R	000000	D23 (MSB)	D22	D21	D20	D19	D18	D17	D16
				D15	D14	D13	D12	D11	D10	D9	D8
				D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
ID	04	R	X2	X	X	X	X	0	0	1	0
GPOCON	05	R/W	00	0	BPDSW	GP32EN	GP10EN	P3DAT	P2DAT	P1DAT	PODAT
失调	06	R/W	800000	OF23 (MSB)	OF22	OF21	OF20	OF19	OF18	OF17	OF16
				OF15	OF14	OF13	OF12	OF11	OF10	OF9	OF8
				OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0 (LSB)
满量程	07	R/W	5XXXX0	FS23 (MSB)	FS22	FS21	FS20	FS19	FS18	FS17	FS16
				FS15	FS14	FS13	FS12	FS11	FS10	FS9	FS8
				FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0 (LSB)

AD7193

通信寄存器

RS2, RS1, RS0 = 000

通信寄存器是一个8位只写寄存器。与ADC器件之间的所有通信均必须以对通信寄存器的写操作开始。写入通信寄存器的数据决定了下一个操作是读操作还是写操作，以及此操作的操作对象是哪一个寄存器。对于读/写操作，当对选定寄存器的读/写操作完成后，接口返回到对通信寄存器执行写操作的状态。这是接口的默认状态，在上电或复位

后，ADC将处于此默认状态，等待对通信寄存器的写操作。当接口时序丢失之后，执行一个占用至少40个串行时钟周期的写操作，并使DIN处于高电平状态，将可以复位整个器件，从而让ADC返回此默认状态。表17列出了通信寄存器位功能描述。CR0至CR7表示位的位置，CR说明这些位属于通信寄存器。CR7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
WEN(0)	R/W(0)	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表17. 通信寄存器(CR)位功能描述

位位置	位的名称	描述
CR7	WEN	写入使能位。若要向通信寄存器进行写操作，必须向此位写入0。如果第一位写入1，则器件不会将后续位载入寄存器；而是停留在此位的位置，直到此位写入0。将0写入WEN位后，器件便会将后续7位载入通信寄存器。在两次数据传输之间将DIN引脚置为高电平，可以最大程度地降低杂散SCLK脉冲对串行接口的影响。
CR6	R/W	如果此位为0，则表示下一个操作是对指定寄存器执行写操作。 如果此位为1，则表示下一个操作是对指定寄存器执行读操作。
CR5至CR3	RS2至RS0	寄存器地址位。这些地址位决定串行接口通信期间选择ADC的哪些寄存器(见表18)。
CR2	CREAD	连续读取数据寄存器。当此位为1(并且已选择数据寄存器)时，串行接口可以连续读取数据寄存器；即在RDY引脚变为低电平(表示转换已完成)后施加SCLK脉冲时，数据寄存器的内容将自动置于DOUT引脚上。对于后续数据读取，不必对通信寄存器执行写操作。要使能连续读取模式，必须将指令01011100写入通信寄存器。要禁用连续读取模式，必须在RDY引脚为低电平时将指令01011000写入通信寄存器。使能连续读取后，ADC将监控DIN线路上的活动，以便能接收指令，从而禁用连续读取。另外，如果DIN上连续出现40个1，ADC将复位；因此，DIN应保持低电平，直到有指令写入器件为止。
CR1至CR0	0	必须将这些位编程为逻辑0才能正常工作。

表18. 寄存器选择

RS2	RS1	RS0	寄存器	寄存器大小
0	0	0	写操作期间为通信寄存器	8位
0	0	0	读操作期间为状态寄存器	8位
0	0	1	模式寄存器	24位
0	1	0	配置寄存器	24位
0	1	1	数据寄存器/数据寄存器加状态信息	24位/32位
1	0	0	ID寄存器	8位
1	0	1	GPOCON寄存器	8位
1	1	0	失调寄存器	24位
1	1	1	满量程寄存器	24位

状态寄存器**RS2, RS1, RS0 = 000; 上电/复位 = 0x80**

状态寄存器是一个8位只读寄存器。要访问ADC状态寄存器，用户必须对通信寄存器进行写操作，选择下一个操作

为读操作，并将0载入位RS2、位RS1和位RS0，表19列出了状态寄存器位功能描述。SR0至SR7表示位的位置，SR说明这些位属于状态寄存器。SR7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	NOREF(0)	奇偶检验位(0)	CHD3(0)	CHD2(0)	CHD1(0)	CHD0(0)

表19. 状态寄存器(SR)位功能描述

位位置	位的名称	描述
SR7	RDY	ADC就绪位。数据写入ADC数据寄存器后此位清0。读取ADC数据寄存器之后，或者在用新转换结果更新数据寄存器之前的一定时间内，RDY位自动置1，以告知用户不应读取转换数据。将器件置于关断模式或空闲模式时，或者当SYNC变为低电平时，此位也会置1。DOUT/RDY引脚也会指示转换何时结束。该引脚可以代替状态寄存器来监视ADC有无转换数据。
SR6	ERR	ADC错误位。此位与RDY位同时写入。如果此位置1，则说明写入ADC数据寄存器的结果箝位为全0或全1。错误原因包括超量程、欠量程或缺少基准电压。如果写入数据寄存器的结果回到容许的模拟输入范围内，则此位清0。如果在系统校准期间，基准电压源无效，或者施加的模拟输入电压超过了范围，则ERR位同样置1。
SR5	NOREF	无外部基准电压位。如果此位置1，则说明选定的基准电压(REFIN1或REFIN2)低于规定的阈值。置1后，转换结果箝位为全1。如果此位清0，则说明对选定的基准电压引脚施加了有效基准电压。将配置寄存器中的REFDET位置1可使能NOREF位。
SR4	Parity	数据寄存器的奇偶校验位。如果模式寄存器中的ENPAR位置1，并且数据寄存器中有奇数个1，则奇偶检验位置1。如果数据寄存器中有偶数个1，则此位清0。使用奇偶校验时，模式寄存器中的DAT_STA位置1。DAT_STA位置1后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。
SR3至SR0	CHD3至CHD0	这些位指示哪一通道对应数据寄存器的内容。这些位不是指示目前正在转换哪一通道，而是指示产生数据寄存器所含转换结果时选定了哪一通道。

AD7193

模式寄存器

RS2, RS1, RS0 = 001; 上电/复位= 0x080060

模式寄存器是一个24位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用来选择工作模式、输出数据速率和时钟源。表20列出了模式寄存器位功能描述。

MR0至MR23表示位的位置，MR说明这些位属于模式寄存器。MR23表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。只要对模式寄存器执行写操作，就会复位调制器和滤波器，并将RDY位置1。

MR23	MR22	MR21	MR20	MR19	MR18	MR17	MR16
MD2(0)	MD1(0)	MD0(0)	DAT_STA(0)	CLK1(1)	CLK0(0)	AVG1(0)	AVG0(0)
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
SINC3(0)	0	ENPAR(0)	CLK_DIV(0)	单通道(0)	REJ60(0)	FS9(0)	FS8(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
FS7(0)	FS6(1)	FS5(1)	FS4(0)	FS3(0)	FS2(0)	FS1(0)	FS0(0)

表20. 模式寄存器(MR)位功能描述

位位置	位的名称	描述		
MR23至MR21	MD2至MD0	模式选择位。这些位选择AD7193的工作模式(参见表21)。		
MR20	DAT_STA	每次数据寄存器读操作之后，状态寄存器内容传输的使能位。DAT_STA置1后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。此功能在选定多个通道的情况下很有用，因为状态寄存器可确定哪一通道与数据寄存器值对应。		
MR19, MR18	CLK1, CLK0	这些位选择AD7193的时钟源。可以使用片内4.92 MHz时钟或外部时钟。使用外部时钟时，多个AD7193器件可以同步。此外，当采用精确的外部时钟驱动AD7193时，可以改善50 Hz/60 Hz抑制性能。		
		CLK1	CLK0	ADC时钟源
		0	0	外部晶振。外部晶振是从MCLK1连至MCLK2。
		0	1	外部时钟。外部时钟施加于MCLK2引脚。
		1	0	4.92 MHz内部时钟。MCLK2引脚为三态。
1	1	4.92 MHz内部时钟。内部时钟可从MCLK2获得。		
MR17, MR16	AVG1, AVG0	快速建立滤波器。选中该选项时，建立时间等于一次转换时间。在快速建立模式下，一阶平均和抽取模块位于sinc滤波器之后。来自sinc滤波器的数据以2、8或16为基数求出平均值。该均值运算会降低给定FS字的输出数据速率，但可以改善均方根噪声性能。AVG1和AVG0位选择平均基数。快速建立模式只可用于小于512的FS字。当sinc ³ 滤波器被选中且平均基数为16时，FS字必须小于256。		
		AVG1	AVG0	均值
		0	0	无均值计算(快速建立模式禁用)
		0	1	以2为基数计算均值
		1	0	以8为基数计算均值
1	1	以16为基数计算均值		
MR15	SINC3	Sinc ³ 滤波器选择位。当此位清0时，使用sinc ⁴ 滤波器(默认值)。当此位置1时，使用sinc ³ 滤波器。与sinc ⁴ 滤波器相比，sinc ³ 滤波器的优势是建立时间更短。对于给定输出数据速率 f_{ADC} ，当斩波禁用时，sinc ³ 滤波器的建立时间为 $3/f_{ADC}$ ，而sinc ⁴ 滤波器的建立时间为 $4/f_{ADC}$ 。由于陷波更深，sinc ⁴ 滤波器的50 Hz/60 Hz抑制性能更佳。当输出数据速率较低时，对于给定输出数据速率，两种滤波器具有相似的均方根噪声和无失码特性。当输出数据速率较高时(FS值小于5)，sinc ⁴ 滤波器的均方根噪声和无失码性能优于sinc ³ 滤波器。		
MR14	0	必须将此位编程为逻辑0才能正常工作。		
MR13	ENPAR	奇偶校验使能位。ENPAR置1时，使能对数据寄存器的奇偶校验。使用奇偶校验时，模式寄存器中的DAT_STA位位置1。DAT_STA位置1后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。		

位位置	位的名称	描述
MR12	CLK_DIV	时钟-2分频。CLK_DIV置1时，主时钟2分频。正常转换时，此位置0。执行内部满量程校准时，如果AVDD小于4.75 V，此位必须置1。执行校准时，使能斩波并使用较低的输出数据速率可以优化校准精度。如果AV _{DD} 大于或等于4.75 V，执行内部满量程校准时不要求将CLK_DIV位置1。
MR11	单通道	单周期转换使能位。此位置1时，AD7193在一个转换周期内建立，以使用作零延迟ADC。如果使能多个模拟输入通道，或者选择单次转换模式，则此位无作用。如果使能均值+抽取滤波器，除非同时使能斩波，否则此位(单周期转换)不会影响转换。
MR10	REJ60	当sinc滤波器的第一陷波频率为50 Hz时，此位可使能一个60 Hz的陷波频率。当sinc滤波器的第一陷波频率为50 Hz时，REJ60置1将使滤波器获得一个60 Hz的陷波频率，从而实现50 Hz/60 Hz同时抑制。
MR9至MR0	FS9至FS0	<p>滤波器输出数据速率选择位。这10位数据决定滤波器截止频率、滤波器第一陷波频率的位置以及器件的输出数据速率，若配合增益选择，还能决定器件的输出噪声，因而也能决定有效分辨率(参见表7至表15)。</p> <p>禁用斩波、禁用快速建立模式并选择连续转换模式时， $\text{输出数据速率} = (\text{MCLK}/1024)/\text{FS}$ 其中，FS为FS0至FS9位代码的十进制等效值，其范围是1至1023；MCLK为主时钟频率。对于4.92 MHz标称MCLK，由上式可得知输出数据速率范围是4.69 Hz至4.8 kHz。禁用斩波、禁用快速建立模式并且在单一通道上转换时，滤波器第一陷波频率等于输出数据速率。</p> <p>使能斩波(禁用快速建立模式)时 $\text{输出数据速率} = (\text{MCLK}/1024)/(N \times \text{FS})$ 其中，FS为FS0至FS9位代码的十进制等效值，其范围是1至1023；MCLK为主时钟频率。对于4.92 MHz标称MCLK，由上式可得知转换速率范围是4.69/N Hz至4.8/N kHz，其中N为sinc滤波器的阶数。Sinc滤波器的第一陷波频率等于 $N \times \text{输出数据速率}$ 斩波引入的陷波频率为以下值的奇数倍： $\text{输出数据速率}/2$</p>

表21. 工作模式(MD)

MD2	MD1	MD0	模式
0	0	0	连续转换模式(默认)。在连续转换模式下，ADC连续执行转换，并将结果置于数据寄存器中。当一次转换结束时，DOUT/RDY引脚和状态寄存器中的RDY位变为低电平。将通信寄存器中的CREAD位设置为1(使能连续读取)，用户就可以读取这些转换结果。当使能连续读取时，若施加SCLK脉冲，转换结果将自动置于DOUT线路上。另一方面，用户可以通过写入通信寄存器，指示ADC输出每一转换结果。ADC上电、复位或重新配置之后，产生第一个有效转换结果所需的时间为滤波器完全建立的时间。后续转换结果将以选定的输出数据速率(取决于滤波器选择)提供。
0	0	1	单次转换模式。选择单次转换模式时，ADC上电并在选定通道上执行单次转换。内部时钟上电和建立所需时间最多为1 ms。然后，ADC执行转换，所需时间为滤波器完全建立的时间。转换结果置于数据寄存器中，RDY变为低电平，然后ADC返回关断模式。在执行另一次转换之前，转换结果将一直保存在数据寄存器中。在读取数据或执行另一次转换之前，RDY保持有效(低电平)。
0	1	0	空闲模式。在空闲模式下，ADC滤波器和调制器保持复位状态，但会继续提供调制器时钟。
0	1	1	掉电模式。在关断模式下，除电桥关断开关外，AD7193其余电路均关断。电桥关断开关保持有效是出于建立时间考虑，用户可能需要在AD7193上电之前，先使传感器上电。如果选择了外部晶振，则它也会保持有效。

AD7193

MD2	MD1	MD0	模式
1	0	0	内部零电平校准。内部短路自动与输入相连。启动校准时， \overline{RDY} 变为高电平；完成校准后，返回低电平。校准操作完成后，ADC处于空闲模式。测得的失调系数保存在所选通道的失调寄存器中。
1	0	1	内部满量程校准。满量程输入电压自动与本校准所用输入相连。启动校准时， \overline{RDY} 变为高电平；完成校准后，返回低电平。校准操作完成后，ADC处于空闲模式。测得的满量程系数保存在所选通道的满量程寄存器中。每次更改一个通道的增益时，均建议执行满量程校准，从而使满量程误差最小。如果 AV_{DD} 小于4.75V，则执行内部满量程校准时必须将CLK_DIV位置1。
1	1	0	系统零电平校准。用户应将系统零电平输入连接到通过配置寄存器中CH7至CH0位选择的通道输入引脚。启动校准时， \overline{RDY} 变为高电平；完成校准后，返回低电平。校准操作完成后，ADC处于空闲模式。测得的失调系数保存在所选通道的失调寄存器中。每次更改一个通道的增益时，均建议执行系统零电平校准。
1	1	1	系统满量程校准。用户应将系统满量程输入连接到通过配置寄存器中CH7至CH0位选择的通道输入引脚。启动校准时， \overline{RDY} 变为高电平；完成校准后，返回低电平。校准操作完成后，ADC处于空闲模式。测得的满量程系数保存在所选通道的满量程寄存器中。每次更改一个通道的增益时，均建议执行满量程校准。

配置寄存器

RS2, RS1, RS0 = 010; 上电/复位 = 0x000117

配置寄存器是一个24位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用来配置ADC的单极性或双极性模式，使能或禁用缓冲器，使能或禁用激励电流，选择增益，以及选择模拟输入通道。

表22列出了配置寄存器位功能描述。CON0至CON23表示位的位置，CON说明这些位属于配置寄存器。CON23表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

CON23	CON22	CON21	CON20	CON19	CON18	CON17	CON16
Chop(0)	0(0)	0(0)	REFSEL(0)	0(0)	Pseudo(0)	Short(0)	TEMP(0)
CON15	CON14	CON13	CON12	CON11	CON10	CON9	CON8
CH7(0)	CH6(0)	CH5(0)	CH4(0)	CH3(0)	CH2(0)	CH1(0)	CH0(1)
CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
Burn(0)	REFDET(0)	0(0)	BUF(1)	U/B(0)	G2(1)	G1(1)	G0(1)

表22. 配置寄存器(CON)位功能描述

位位置	位的名称	描述	
CON23	斩波	斩波使能位。 斩波位清0时，禁用斩波。禁用斩波时，可以实现更高的转换速率。当FS字为96(十进制)且选择sinc ⁴ 滤波器时，转换时间为20ms，建立时间为80ms。然而，在低增益时，可能需要定期执行校准，以消除失调和失调漂移。 斩波位置1时，使能斩波。使能斩波时，可连续消除ADC的失调和失调漂移，但ADC的转换时间和建立时间会延长。例如，当FS = 96(十进制)且选择sinc ⁴ 滤波器时，斩波使能情况下的转换时间为80ms，建立时间为160ms。	
CON22, CON21	0	必须将这些位编程为逻辑0才能正常工作。	
CON20	REFSEL	基准电压选择位。这些位用来选择ADC的基准电压源。	
		REFSEL	基准电压
		0	在REFIN1(+)与REFIN1(-)之间施加的外部基准电压。
1	在P1/REFIN2(+)与P0/REFIN2(-)引脚之间施加的外部基准电压。		
CON19	0	必须将此位编程为逻辑0才能正常工作。	
CON18	伪	伪差分模拟输入。模拟输入可以配置为差分输入或伪差分模拟输入。伪位置1时，AD7193配置为八路伪差分模拟输入。伪位置0时，AD7193配置为四路伪差分模拟输入。	
CON17 to CON8	短路、TEMP、CH7至CH0	通道选择位。这些位选择在AD7193上使能哪些通道(见表23和表24)。可以选择多个通道，AD7193自动给这些通道排序。各通道所需转换为完全建立时间。执行校准或访问校准寄存器时，只能选择一个通道。	
CON7	激励	此位置1将使能信号路径中的500 nA电流源。熔断位 = 0将禁用激励电流。仅缓冲器处于有效状态且斩波禁用时，才能使能激励电流。	
CON6	REFDET	使能基准电压检测功能。置1时，如果ADC所用的外部基准电压开路或小于0.6V(最大值)，状态寄存器中的NOREF位将给出提示。基准电压检测电路仅在ADC有效时工作。	
CON5	0	必须将此位编程为逻辑0才能正常工作。	

AD7193

位位置	位的名称	描述																																													
CON4	BUF	使能模拟输入端的缓冲器。 BUF置1时，模拟输入进行缓冲，用户可以将源阻抗置于前端，而不会给系统带来增益误差。缓冲器使能时，它需要一些裕量；因此，任何输入引脚上的电压必须在电源轨的250 mV范围内。 清0时，模拟输入不进行缓冲，可降低器件的功耗。缓冲器禁用时，模拟输入引脚上的电压可以为AGND以下50 mV至AVDD以上50 mV。																																													
CON3	U/B	极性选择位。 此位置1时，选择单极性工作模式。 此位置清0时，选择双极性工作模式。																																													
CON2 to CON0	G2至G0	增益选择位。这些位由用户写入，以便选择下列ADC输入范围之一：																																													
		<table border="1"> <thead> <tr> <th>G2</th> <th>G1</th> <th>G0</th> <th>增益</th> <th>ADC输入范围(2.5 V基准电压)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>±2.5 V</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>保留</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>保留</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8</td> <td>±312.5 mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16</td> <td>±156.2 mV</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>32</td> <td>±78.125 mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>64</td> <td>±39.06 mV</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>128</td> <td>±19.53 mV</td> </tr> </tbody> </table>	G2	G1	G0	增益	ADC输入范围(2.5 V基准电压)	0	0	0	1	±2.5 V	0	0	1	保留		0	1	0	保留		0	1	1	8	±312.5 mV	1	0	0	16	±156.2 mV	1	0	1	32	±78.125 mV	1	1	0	64	±39.06 mV	1	1	1	128	±19.53 mV
G2	G1	G0	增益	ADC输入范围(2.5 V基准电压)																																											
0	0	0	1	±2.5 V																																											
0	0	1	保留																																												
0	1	0	保留																																												
0	1	1	8	±312.5 mV																																											
1	0	0	16	±156.2 mV																																											
1	0	1	32	±78.125 mV																																											
1	1	0	64	±39.06 mV																																											
1	1	1	128	±19.53 mV																																											

表23. 通道选择(伪位 = 0)

配置寄存器中的通道使能位										使能的通道		状态寄存器位 CHD[3:0]	校准寄存器对
短路	温度	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	正输入AIN(+)	负输入AIN(-)		
1	1	1	1	1	1	1	1	1	1	AIN1	AIN2	0000	0
										AIN3	AIN4	0001	1
							1			AIN5	AIN6	0010	2
										AIN7	AIN8	0011	3
				1						AIN1	AIN2	0100	0
			1							AIN3	AIN4	0101	1
		1								AIN5	AIN6	0110	2
										AIN7	AIN8	0111	3
										温度传感器		1000	
										AIN2	AIN2	1001	0

表24. 通道选择(伪位 = 1)

配置寄存器中的通道使能位										使能的通道		状态寄存器位 CHD[3:0]	校准寄存器对
短路	温度	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	正输入AIN(+)	负输入AIN(-)		
1	1	1	1	1	1	1	1	1	1	AIN1	AINCOM	0000	0
										AIN2	AINCOM	0001	1
							1			AIN3	AINCOM	0010	2
										AIN4	AINCOM	0011	3
				1						AIN5	AINCOM	0100	4
			1							AIN6	AINCOM	0101	4
		1								AIN7	AINCOM	0110	4
										AIN8	AINCOM	0111	4
										温度传感器		1000	
										AINCOM	AINCOM	1001	0

数据寄存器

RS2, RS1, RS0 = 011; 上电/复位= 0x000000

此数据寄存器存储ADC的转换结果。它是一个24位只读寄存器。完成对此寄存器的读操作后，RDY引脚/位置1。当模式寄存器的DAT_STA位置1时，状态寄存器的值会添加到各24位转换结果。建议在多个模拟输入通道使能时采用这种做法，因为状态寄存器的四个LSB(CHD3至CHD0)可确定转换结果的来源通道。

ID寄存器

RS2, RS1, RS0 = 100; 上电/复位= 0xX2

ID寄存器存储AD7193的识别号。这是一个只读寄存器。

GPOCON寄存器

RS2, RS1, RS0 = 101; 上电/复位= 0x00

GPOCON寄存器是一个8位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用来使能通用数字输出。

表25列出了GPOCON寄存器位功能描述。GP0至GP7表示位的位置，GP说明这些位属于GPOCON寄存器。GP7表示数据流的第一位。括号中的数值表示该位的上电/复位默认状态。

GP7	GP6	GP5	GP4	GP3	GP2	GP1	GP0
0(0)	BPDSW(0)	GP32EN(0)	GP10EN(0)	P3DAT(0)	P2DAT(0)	P1DAT(0)	PODAT(0)

表25. GPOCON寄存器(GP)位功能描述

位位置	位的名称	描述
GP7	0	必须将此位编程为逻辑0才能正常工作。
GP6	BPDSW	电桥关断开关控制位。 此位由用户置1，以闭合电桥关断开关BPDSW(与AGND相连)。该开关可提供30 mA的吸电流。 此位由用户清0，以断开电桥关断开关。当ADC处于关断模式时，电桥关断开关仍然有效。
GP5	GP32EN	数字输出P3和数字输出P2使能。 GP32EN置1时，数字输出P3和P2为有效状态。 GP32EN清0时，P3和P2引脚为三态，并且忽略P3DAT和P2DAT位。
GP4	GP10EN	数字输出P1和数字输出P0使能。 GP10EN置1时，数字输出P1和P0为有效状态。当配置寄存器中的REFSEL位设置为1时，P1和P0引脚可以用作REFIN2的基准输入。 GP10EN清0时，P1和P0输出为三态，并且忽略P1DAT和PODAT位。
GP3	P3DAT	数字输出P3。 GP32EN置1时，P3DAT位设置通用输出引脚P3的值。P3DAT为高电平时，输出引脚P3为高电平。 P3DAT为低电平时，输出引脚P3为低电平。读取GPOCON寄存器时，如果GP32EN置1，P3DAT位将反映P3引脚的状态。
GP2	P2DAT	数字输出P2。 GP32EN置1时，P2DAT位设置通用输出引脚P2的值。P2DAT为高电平时，输出引脚P2为高电平。 P2DAT为低电平时，输出引脚P2为低电平。读取GPOCON寄存器时，如果GP32EN置1，P2DAT位将反映P2引脚的状态。
GP1	P1DAT	数字输出P1。 GP10EN置1时，P1DAT位设置通用输出引脚P1的值。P1DAT为高电平时，输出引脚P1为高电平。 P1DAT为低电平时，输出引脚P1为低电平。读取GPOCON寄存器时，如果GP10EN置1，P1DAT位将反映P1引脚的状态。
GP0	PODAT	数字输出P0。 GP10EN置1时，PODAT位设置通用输出引脚P0的值。PODAT为高电平时，输出引脚P0为高电平。 PODAT为低电平时，输出引脚P0为低电平。读取GPOCON寄存器时，如果GP10EN置1，PODAT位将反映P0引脚的状态。

失调寄存器

RS2, RS1, RS0 = 110; 上电/复位= 0x800000)

失调寄存器保存ADC的失调校准系数。失调寄存器的上电复位值为0x800000。AD7193有五个失调寄存器。在差分模式下，各个通道有专用失调寄存器。在伪差分模式下，通道AIN1、AIN2、AIN3和AIN4有专用寄存器，而剩余的通道则共用一个失调寄存器(见表23和24)。

各寄存器均为24位读写寄存器。该寄存器与相关的满量程寄存器一同使用，以构成寄存器对。如果用户启动内部或系统零电平校准，上电复位值将被自动覆盖。写入失调寄存器时，AD7193必须处于关断模式或空闲模式。

满量程寄存器

RS2, RS1, RS0 = 111; 上电/复位= 0x5XXXX0

满量程寄存器是一个24位寄存器，用来保存ADC的满量程校准系数。AD7193有五个满量程寄存器。在差分模式下，各个通道有专用满量程寄存器。在伪差分模式下，通道AIN1、AIN2、AIN3和AIN4有专用寄存器，而剩余的通道则共用一个满量程寄存器(见表23和24)。

满量程寄存器为读写寄存器。不过，写入满量程寄存器时，ADC必须处于关断模式或空闲模式。这些寄存器在上电时使用工厂校准的满量程校准系数进行配置(执行校准时的增益为1)；因此，各器件具有不同的默认系数。如果用户启动内部或系统满量程校准，或者写入满量程寄存器，该默认值将被自动覆盖。

ADC电路信息

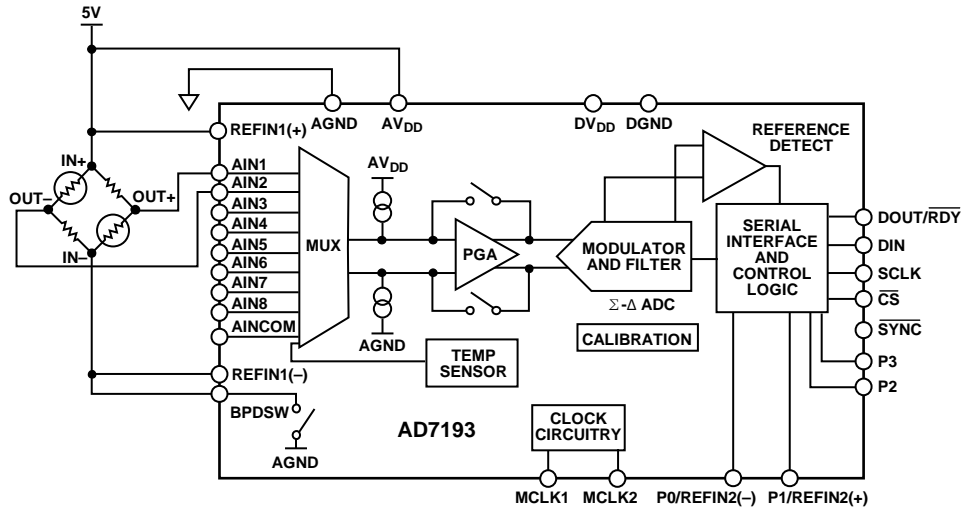


图22. 基本连接图

概述

AD7193是一款超低噪声ADC，内置 Σ - Δ 调制器、缓冲器、PGA和片内数字滤波，主要用于测量压力传感器、电子秤和应变计等应用中的宽动态范围信号。图22显示了该器件工作所需的基本连接。

模拟输入

这款器件可配置为四路差分或八路伪差分模拟输入。模拟输入可以配置为缓冲或无缓冲。

多路复用器

片内多路复用器可增加器件的通道数。由于片内集成多路复用器，因此，通道的任何变化都与转换过程同步。

PGA

模拟输入信号可以用PGA放大。PGA支持的增益值为1、8、16、32、64和128。

基准电压检测

AD7193能监控外部基准电压源。如果基准电压不存在，则器件状态寄存器中的一个标志置1。

激励电流

片内提供两个500 nA激励电流，用于检测是否存在外部传感器。

Σ - Δ 型ADC和滤波器

AD7193内置四阶 Σ - Δ 调制器，其后接数字滤波器。该器件具有多个滤波器选项

- Sinc⁴
- Sinc³
- 斩波使能/禁用
- 快速建立
- 零延迟

串行接口

AD7193配有一个4线SPI接口。片内寄存器通过串行接口访问。

时钟

AD7193拥有4.92 MHz内部时钟。可以使用此时钟或外部时钟作为AD7193的时钟源。如果外部电路需要时钟源，则也可通过一个引脚提供内部时钟。

电桥关断开关

应变计、电桥等外部电路可以利用电桥关断开关上电/关断。

温度传感器

片内温度传感器对芯片温度进行监控。

数字输出

AD7193有四个通用数字输出。这些输出可以用于驱动外部电路。例如，可以通过这些输出来控制外部多路复用器。

校准

片内同时集成内部校准和系统校准；因此，用户可以选择只消除AD7193内部的失调/增益误差，或者消除整个终端系统的失调/增益误差。

AD7193

模拟输入通道

AD7193具有四个差分/八个伪差分模拟输入通道，可以配置为缓冲或无缓冲模式。在缓冲模式下(配置寄存器中的BUF位设置为1)，输入通道馈入缓冲放大器的高阻抗输入级。因此，输入端能够耐受较大的源阻抗，适合与外部阻性传感器直接相连，例如应变计或电阻式温度检测器(RTD)等。

当BUF = 0时，器件以无缓冲模式工作。这将导致较高的模拟输入电流。请注意，该无缓冲输入路径向驱动源提供一个动态负载。因此，输入引脚上的电阻与电容组合可能会引起增益误差，具体取决于驱动ADC输入的信号源输出阻抗。表26显示了为防止在20位分辨率水平时产生增益误差，无缓冲模式下、增益为1时外部电阻/电容的容许值。

表26. 20位分辨率条件下，无增益误差的外部RC组合

C (pF)	R (Ω)
50	1.4 k
100	850
500	300
1000	230
5000	30

缓冲模式下，绝对输入电压范围限于AGND + 250 mV至 $AV_{DD} - 250$ mV之间。设置共模电压时必须小心，确保不要超过这些限值；否则，线性度和噪声性能将下降。

无缓冲模式下，绝对输入电压包含AGND - 50 mV至 $AV_{DD} + 50$ mV之间的电压。负绝对输入电压限值为监控相对于AGND的真双极性小信号提供了条件。

可编程增益阵列(PGA)

如果使能增益级，缓冲器输出将施加于PGA的输入端。PGA的存在意味着小幅度信号可以在AD7193内放大，同时仍然保持出色的低噪声性能。例如，当增益设置为128时，均方根噪声典型值为11 nV；在输出数据速率为4.7 Hz时，这相当于22.7位有效分辨率或20位无噪声分辨率。

利用配置寄存器中的G2位至G0位，可以将AD7193的增益设置为1、8、16、32、64或128。因此，采用2.5 V外部基准电压源时，单极性范围为0 mV - 19.53 mV至0 V - 2.5 V，双极性范围则为 ± 19.53 mV至 ± 2.5 V。

模拟输入范围必须限制在 $\pm(AV_{DD} - 1.25 \text{ V})/\text{增益}$ 以内，因为PGA需要一定的裕量。因此，如果 $V_{REF} = AV_{DD} = 5 \text{ V}$ ，则可施加于AD7193的最大模拟输入为0 - 3.75 V/增益(单极性模式)或 ± 3.75 V/增益(双极性模式)。

基准电压

对于基准电压通道，该ADC具有完全差分输入能力。此外，用户可以从两种外部基准电压选项中选择其一(REFIN1(\pm)或REFIN2(\pm))。使用配置寄存器中的REFSEL位可以选择AD7193的基准电压源。REFIN2(\pm)引脚具有双重作用：既可以用作两个通用输出引脚，也可以用作基准电压引脚。当REFSEL位设置为1时，这些引脚自动用作基准电压引脚。

这些差分输入的共模电压范围为AGND至 AV_{DD} 。标称基准电压REFIN(REFINx(+)-REFINx(-))为 AV_{DD} ，但AD7193可以采用1 V至 AV_{DD} 范围内的基准电压工作。如果应用中模拟输入端的传感器的激励电压或激励电流也为器件提供基准电压，则可以消除激励源中低频噪声的影响，其原因是应用是比率式的。如果在非比率式应用中使用AD7193，应使用低噪声基准电压源。

基准电压输入是无缓冲式；因此，过大的RC源阻抗会导致增益误差。建议基准电压输入使用与表26中类似的RC值。如果从外部电阻获取基准输入电压，则意味着基准电压输入端具有很大的外部源阻抗。对于这种电路配置，不推荐在REFINx引脚上进行外部去耦。相反，如果基准电压输入端使用大去耦电容，则不能与基准电压输入端串联电阻。

对于AD7193，建议使用的2.5 V基准电压源包括ADR421和ADR431，二者均为低噪声基准电压源。这些基准电压源允许REFINx(+)上使用去耦电容，而且不会给系统带来增益误差。图23所示为ADR421与AD7193之间的建议连接。

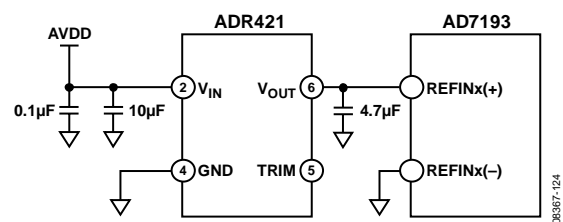


图23. ADR421与AD7193的连接

基准电压检测

AD7193含有片内检测电路，可以检测器件是否存在用于转换或校准的有效基准电压。将配置寄存器中的REFDET位设置为1，可以使能此特性。如果选定的REFIN_x(+)与REFIN_x(-)引脚之间的电压低于0.3 V，则AD7193判断它不再存在有效的基准电压。此时，状态寄存器中的NOREF位设置为1。当选定的REFIN_x(+)与REFIN_x(-)引脚之间的电压高于0.6 V，则AD7193检测存在有效的基准电压，因此NOREF位设置为0。当选定的REFIN_x(+)与REFIN_x(-)引脚之间的电压在0.3 V至0.6 V之间时，NOREF位的操作不定。

如果AD7193正在执行正常转换，而NOREF位变为有效，则转换结果将为全1。因此，并无必要在执行转换时持续监视NOREF位的状态，只需在从ADC数据寄存器读取的转换结果为全1时验证其状态。

如果AD7193正在执行失调或满量程校准，而NOREF位变为有效，则将禁止相应校准寄存器更新，以免这些寄存器载入错误的系数，同时状态寄存器的ERR位会置1。如果用户不愿意每次执行校准时都要验证是否存在有效的基准电压源，则应在校准周期结束时检查ERR位的状态。

双极性/单极性配置

AD7193的模拟输入端可以接受单极性或双极性输入电压范围。双极性输入范围并不表示该器件可以耐受相对于系统AGND的负电压。在伪差分模式下，信号以AINCOM为基准，而在差分模式下，信号以差分对的负输入为基准。例如，如果AINCOM为2.5 V，AD7193 AIN1模拟输入端配置为单极性模式，并且增益为2，则采用2.5 V基准电压源时，AIN1引脚的输入电压范围为2.5 V至3.75 V。

如果AINCOM为2.5 V，AD7193 AIN1模拟输入端配置为双极性模式，并且增益为2，则AIN1引脚的模拟输入范围为1.25 V至3.75 V。双极性/单极性选项可通过对配置寄存器中的U/B位进行编程来选择。

数据输出编码

当ADC配置为单极性工作模式时，输出码为自然(直接)二进制码；零差分输入电压对应的码为000...000，中间电平电压对应的码为100...000，满量程输入电压对应的码为111...111。任意模拟输入电压的输出码可以表示为：

$$\text{输出码} = (2^N \times \text{AIN} \times \text{增益}) / V_{REF}$$

当ADC配置为双极性工作模式时，输出码为偏移二进制码；负满量程电压对应的码为000...000，零差分输入电压对应的码为100...000，正满量程输入电压对应的码为111...111。任意模拟输入电压的输出码可以表示为：

$$\text{输出码} = 2^{N-1} \times [(AIN \times \text{增益} / V_{REF}) + 1]$$

其中：

AIN为模拟输入电压。

增益为PGA设置(1至128)。

$N = 24$ 。

激励电流

AD7193内置两个500 nA恒流发生器，一个提供从AV_{DD}到AIN(+)的源电流，一个提供从AIN(-)到AGND的吸电流。这些电流切换至选定的模拟输入对。两种电流或开或关，取决于配置寄存器中的激励电流使能(激励)位。

在模拟输入通道上执行测量操作之前，可以利用这些电流来确认外部传感器是否正常工作。接通激励电流后，电流流入外部传感器电路，然后便可在模拟输入通道上测量输入电压。因为这些电流必须给所有外部电容充电，所以使用激励电流检测开路状况需要一定的时间。

检测到故障状况有以下几种原因：可能前端传感器开路或者过载，或者缺少基准电压，以及状态寄存器中的NOREF位置1，导致数据钳位在全1。做出判断之前，用户必须检查以上三种情况。

如果测得的电压为0 V，则可能是传感器短路。如果缓冲模拟输入并禁用斩波，则电流源可以在正常绝对输入电压范围内工作。

通道序列器

AD7193内置一个通道序列器，它可在多通道应用中简化与器件的通信。该序列器还能优化器件的通道吞吐量，因为它会以最佳速率切换通道，而不是等待通过SPI接口传来的指令。

利用配置寄存器中的CH0位至CH7位可以使能所需模拟输入通道。模拟输入必须利用配置寄存器中的伪位，针对差分模式或伪差分模式进行配置。温度传感器通过配置中的TEMP位使能。还可利用配置寄存器中的短路位选择内部短路。

在连续转换模式下，ADC按顺序选择各使能通道，然后在该通道上执行转换。当各通道可提供有效转换结果时，DOUT/RDY引脚会给出提示。使能多个通道时，状态寄存器的内容应附加到该24位字上，以使用户识别各转换对应的通道。状态寄存器的四个LSB表示对应的转换通道。表23和表24显示差分模式和伪差分模式下的通道选项，以及状态寄存器中对应的通道ID值。为了将状态寄存器值附加于转换结果，应将模式寄存器中的DAT_STA位设置为1。

如果使能多个通道，则每次切换通道时，ADC会给滤波器留出完整的建立时间，以便产生有效转换结果。AD7193将通过以下序列自动处理这种状况：

1. 选择某个通道时，调制器和滤波器将复位。
2. AD7193允许完整的建立时间以产生有效转换结果。
3. DOUT/RDY会在有效转换结果可用时给出提示。
4. AD7193选择下一个使能通道，并在该通道上执行转换。
5. 当ADC在下一个通道上执行转换时，用户可以读取数据寄存器。

从所有使能通道读取有效转换结果所需的时间等于：

$$t_{SETTLE} \times \text{使能通道数}$$

例如，如果选择sinc⁴滤波器、禁用斩波且禁用零延迟，则每个通道的建立时间等于：

$$t_{SETTLE} = 4/f_{ADC}$$

其中， f_{ADC} 为连续转换单一通道时的输出数据速率。

因此，读取所有使能通道所需时间为：

$$(4 \times \text{使能通道数})/f_{ADC}$$

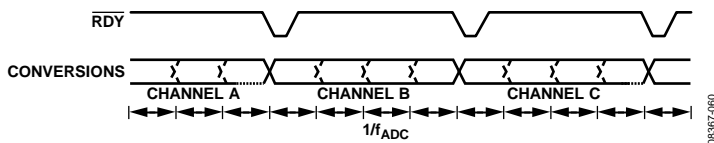


图24. 通道序列器

数字接口

如“片内寄存器”部分所述，AD7193的可编程功能由一系列片内寄存器控制。数据通过器件的串行接口写入这些寄存器。此接口还提供对这些片内寄存器的读取访问。

与该器件的所有通信都必须以对通信寄存器的写操作开始。上电或复位之后，器件期待对其通信寄存器执行写操作。写入此寄存器的数据决定下一个操作是读操作还是写操作，以及此读操作或写操作发生在哪一个寄存器上。因此，要对器件的其它任何寄存器写入数据，需先对通信寄存器执行写操作，然后对选定的寄存器执行写操作；对其它寄存器的读操作(选择连续读取模式除外)是以对通信寄存器的写操作开始，然后是对选定的寄存器执行读操作。

AD7193的串行接口包含四个信号： \overline{CS} 、DIN、SCLK和DOUT/RDY。DIN线路用于将数据传输至片内寄存器中，DOUT/RDY则用于从片内寄存器中获取数据。SCLK是器件的串行时钟输入，所有数据传输(无论是DIN上还是DOUT/RDY上)均与SCLK信号相关。

DOUT/RDY引脚也可用作数据就绪信号；当输出寄存器中有新数据字可用时，该线路变为低电平。对数据寄存器的读操作完成时，该线路复位为高电平。数据寄存器更新之前，该线路也会变为高电平，以提示此时不应读取器件，确保寄存器正在更新时不会发生数据读取操作。 \overline{CS} 用于选择器件，在多个器件与串行总线相连的系统中，它可以用于对AD7193进行解码。

图3和图4显示了与AD7193进行接口的时序图，其中 \overline{CS} 用于解码该器件。图3显示对AD7193的输出移位寄存器执行读操作的时序，图4显示对输入移位寄存器执行写操作的时序。即使在第一次读操作之后DOUT/RDY线路返回到高电平，也可以多次从数据寄存器中读取同一个字。不过，必须确保在下一输出更新发生之前，这些读操作已完成。连续读取模式下，只能从数据寄存器读取一次。

将 \overline{CS} 与低电平相连时，串行接口可以在三线模式下工作。这种情况下，SCLK、DIN和DOUT/RDY线路用于与AD7193通信。可以用RDY位或引脚监控转换是否结束。这种方案适合与微控制器进行接口。如果 \overline{CS} 需要用作解码信号，可以从端口引脚中产生该信号。在微控制器接口应用中，建议在每两次数据传输之间将SCLK置为高电平。

\overline{CS} 也可以用作帧同步信号，这种方案适用于DSP接口。此时，由于在DSP中， \overline{CS} 一般出现在SCLK的下降沿之后，因此第一位(MSB)会被 \overline{CS} 有效地送出。只要遵守时序数要求，SCLK便可在数据转换之间继续运行。

对DIN输入写入一连串的1，可以复位串行接口。如果在至少40个串行时钟内持续向AD7193 DIN线路写入逻辑1，该串行接口便会复位。当产生软件错误或系统故障，继而导致接口时序错误时，这种方法可确保将接口复位到已知状态。复位使接口返回到期待对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。复位后，用户应等待500 μ s再访问串行接口。

AD7193可以配置为连续转换模式或单次转换模式(参见图25至图27)。

单次转换模式

单次转换模式下，AD7193在完成转换后处于关断模式。将模式寄存器中的MD2、MD1和MD0分别设置为0、0、1，便可启动单次转换，此时AD7193将上电，执行单次转换，然后返回关断模式。片内振荡器上电需要大约1 ms。

DOUT/ \overline{RDY} 变为低电平表示转换完成。从数据寄存器中读取数据字后，DOUT/ \overline{RDY} 变为高电平。如果 \overline{CS} 为低电平，DOUT/ \overline{RDY} 将保持高电平，直到又一次启动并完成转换为止。如果需要，即使DOUT/ \overline{RDY} 已变为高电平，也可以多次读取数据寄存器。

如果使能了多个通道，ADC将依次选择各使能通道，并在该通道上执行转换。开始转换后，DOUT/ \overline{RDY} 变为高电平并保持该状态，直到获得有效转换结果为止。一旦获得转换结果，DOUT/ \overline{RDY} 便会变为低电平。然后，ADC选择下一个通道并开始转换。在执行下一转换过程中，用户可以读取当前的转换结果。下一转换完成后，数据寄存器便会更新；因此，用户读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后，便会返回关断模式。

如果模式寄存器中的DAT_STA位设置为1，则每次执行数据读取时，状态寄存器的内容将与转换结果一同输出。状态寄存器的四个LSB表示对应的转换通道。

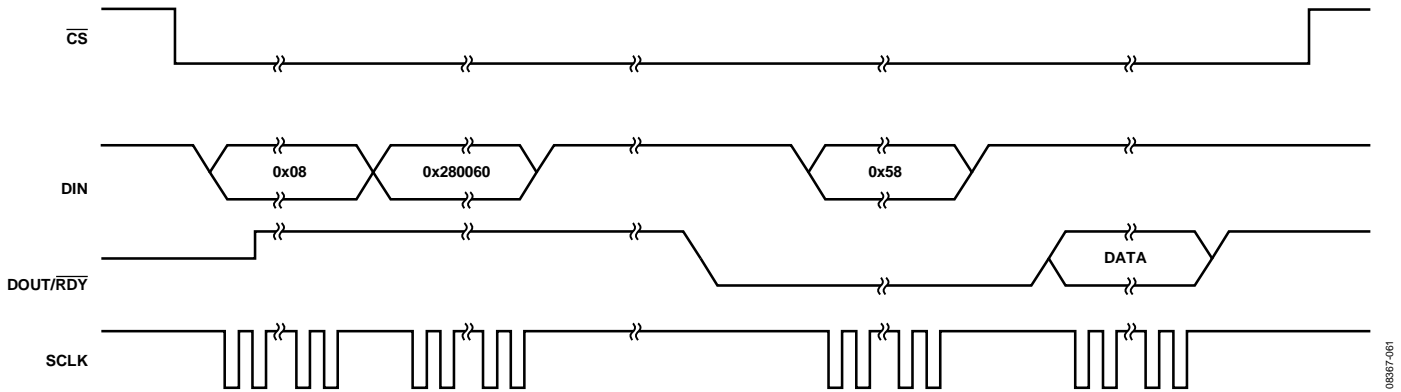


图25. 单次转换

08367-061

AD7193

连续转换模式

连续转换模式是上电后的默认转换模式。AD7193连续进行转换，每次完成转换后，状态寄存器中的RDY位变为低电平。如果CS为低电平，则完成一次转换时，DOUT/RDY线路也会变为低电平。若要读取转换结果，用户需要写入通信寄存器，指示下一操作为读取数据寄存器。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如需要，用户可以多次读取该寄存器。但是，用户必须确保在下一转换完成时，不要对数据寄存器进行访问，否则，新的转换结果将丢失。

如果使能了多个通道，ADC将连续循环选择各使能通道，每次循环均会在每个通道上执行一次转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时，DOUT/RDY引脚均会变为低电平。然后，用户可以读取转换结果，同时ADC在下一个使能通道上执行转换。

如果模式寄存器中的DAT_STA位设置为1，则每次执行数据读取时，状态寄存器的内容将与转换结果一同输出。状态寄存器指示对应的转换通道。

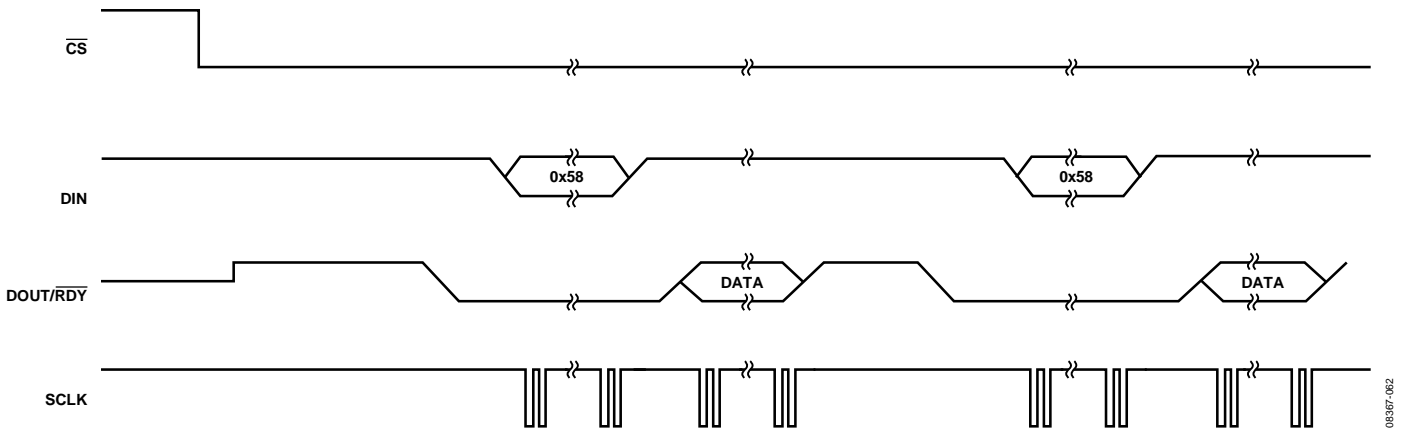


图26. 连续转换

连续读取

可以对AD7193进行配置，使得每次转换完成后，转换结果自动置于DOUT/RDY线路上，而无需每次写入通信寄存器以访问数据。将01011100写入通信寄存器后，用户只需为ADC提供适当的SCLK周期数，这样当转换完成时，转换字便会自动置于DOUT/RDY线路上。ADC应配置为连续转换模式。

当DOUT/RDY变为低电平，提示转换已结束，必须为ADC提供足够的SCLK周期数。然后，数据转换结果便会置于DOUT/RDY线路上。读取转换结果后，DOUT/RDY返回到高电平，直到获得下一转换结果为止。这种模式下，数据只能被读取一次，而且用户必须确保在下一转换完成前读取数据字。如果在下一转换完成之前，用户尚未读取转换结果，或者为AD7193提供的串行时钟数不足以完成对转换字的读取，则当下一转换完成时，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。

若要退出连续读取模式，必须在RDY引脚为低电平时将指令01011000写入通信寄存器。在连续读取模式下，ADC会监视DIN线路上的活动，以便接收退出连续读取模式的指令。此外，如果DIN上连续出现40个1，ADC将复位。因此，在连续读取模式下，DIN应保持低电平，直到有指令将要写入该器件。

如果使能了多个通道，ADC将连续依次选择各使能通道，并在所选通道上执行一次转换。当获得转换结果时，DOUT/RDY便会变为低电平。当用户施加足够多的SCLK脉冲时，数据便会自动置于DOUT/RDY引脚上。如果模式寄存器中的DAT_STA位设置为1，状态寄存器的内容将与转换结果一同输出。状态寄存器指示对应的转换通道。

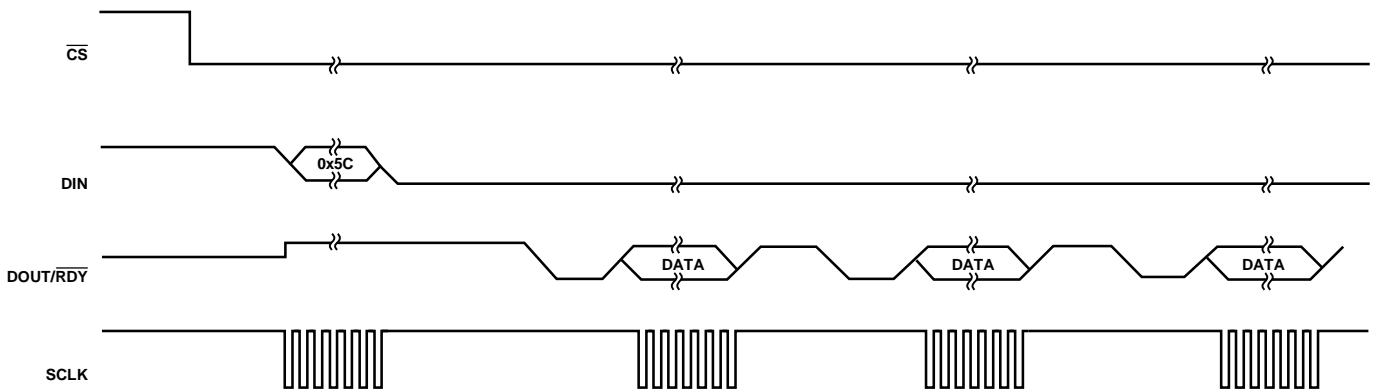


图27. 连续读取

01867-483

复位

对AD7193连续写入1，可以使该器件的电路和串行接口复位。执行复位需要40个连续1，这将复位逻辑、数字滤波器和模拟调制器，从而所有片内寄存器复位为默认值。上电时会自动执行复位操作。启动复位操作后，用户必须等待500 μs 才能访问片内寄存器。如果SCLK线路上的噪声导致串行接口失去同步，则需要执行复位以恢复同步功能。

系统同步

利用SYNC输入，用户可以复位调制器和数字滤波器，而不会影响器件的任何设置条件。因此，用户可以从已知时间点，即 $\overline{\text{SYNC}}$ 上升沿开始采集模拟输入的样本。为实现同步功能， $\overline{\text{SYNC}}$ 需要变为低电平并至少保持四个主时钟周期。

如果多个AD7193器件利用一个公共主时钟工作，则可以让这些器件同步，使其数据寄存器同时更新。 $\overline{\text{SYNC}}$ 引脚上的下降沿使数字滤波器和模拟调制器复位，并将AD7193置于一一致的已知状态。在 $\overline{\text{SYNC}}$ 引脚为低电平期间，AD7193保持该状态。在 $\overline{\text{SYNC}}$ 上升沿，调制器和滤波器离开复位状态；在下一时钟沿，器件再次开始采集输入样本。在使用多个AD7193器件的系统中，向 $\overline{\text{SYNC}}$ 引脚施加一个公共信号会使这些器件的操作同步。这一般在各AD7193已执行自身的校准或已将校准系数载入其校准寄存器之后完成。这样，所有AD7193的转换结果将同步。

该器件在 $\overline{\text{SYNC}}$ 由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时， $\overline{\text{SYNC}}$ 引脚应在主时钟上升沿变为高电平，确保所有器件均在主时钟下降沿开始采样。如果 $\overline{\text{SYNC}}$ 引脚没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

$\overline{\text{SYNC}}$ 引脚也可以用作启动转换命令。这种模式下， $\overline{\text{SYNC}}$ 的上升沿启动转换， $\overline{\text{RDY}}$ 的下降沿指示转换已完成。每次数据寄存器更新时，必须预留滤波器的建立时间。例如，如果ADC配置为使用 sinc^4 滤波器，禁用零延迟且禁用斩波，则建立时间等于 $4/f_{\text{ADC}}$ ，其中 f_{ADC} 为单个通道上连续转换时的输出数据速率。

使能奇偶校验

将模式寄存器中的ENPAR位设置为1，可以使能奇偶校验。使能奇偶校验功能时，状态寄存器的内容必须与各24位转换结果一同传输。要将状态寄存器的内容附加到各转换结果读取数据上，应将模式寄存器中的DAT_STA位设置为1。对于各转换结果读取数据，状态寄存器中的奇偶校验位可进行编程设置，使得24位数据字中传输的1的总数为偶数。因此，若24位转换结果含有11个1(二进制)，则奇偶校验位将设置为1，使得串行传输中1的总数为偶数。如果微处理器接收到奇数个1，则说明所接收的数据已受损。

奇偶检验功能并不确保能检测出所有错误。例如，如果有两位数据受损，则微处理器仍可能会收到偶数个1，此时便无法检测出错误状况。

时钟

AD7193内置一个4.92 MHz片内时钟，其容差为 $\pm 4\%$ 。可以使用该内部时钟或某一外部晶振/时钟作为AD7193的时钟源。时钟源通过模式寄存器中的CLK1和CLK0位选择。使用外部晶振时，必须将其连接在MCLK1和MCLK2引脚上。晶振制造商会提供晶振所需负载电容的建议值。AD7193的MCLK1和MCLK2引脚的电容典型值为15 pF。使用外部时钟源时，必须将其与MCLK2引脚相连，MCLK1引脚可保持悬空。

该内部时钟也可以通过MCLK2引脚提供。当应用中使用多个ADC，并且这些器件必须同步时，这种方法很有用。一个器件的内部时钟可以用作系统中所有ADC的时钟源。使用公共时钟时，对所有器件施加公共复位信号，或者用脉冲驱动 $\overline{\text{SYNC}}$ 引脚，便可使所有器件同步。

电桥关断开关

在应变计和称重传感器等电桥应用中，电桥本身会消耗系统中的大部分电流。例如，采用5 V电源激励时，350 Ω 称重传感器需要15 mA电流。为降低系统功耗，可以利用电桥关断开关来断开电桥(当它不用时)。图22显示了电桥关断开关的使用方法。该开关可以承受30 mA的连续电流，导通电阻最大值为10 Ω 。

温度传感器

AD7193内置一个温度传感器。可以利用配置寄存器中的TEMP位来选择温度传感器。如果TEMP位设置为1，就会使能温度传感器。理论上，使用温度传感器并选择双极性模式时，如果温度为0 K(开尔文)，器件应返回0x800000码。为使传感器发挥最佳性能，需要执行单点校准。因此，应记录25°C时的转换结果并计算灵敏度。灵敏度约为2815码/°C。温度传感器的计算公式为：

$$\text{温度(K)} = (\text{转换结果} - 0x800000) / 2815 \text{ K}$$

$$\text{温度(°C)} = \text{温度(K)} - 273$$

单点校准之后，内部温度传感器的精度典型值为±2°C。

逻辑输出

AD7193有四个通用数字输出：P0、P1、P2和P3。这些输出通过GPOCON寄存器中的GP32EN和GP10EN位使能。这些引脚可以通过GPOCON寄存器中的P0DAT至P3DAT位拉高或拉低，即引脚的值由P0DAT至P3DAT位的设置决定。这些引脚的逻辑电平由 AV_{DD} 而不是 DV_{DD} 决定。读取GPOCON寄存器时，P0DAT至P3DAT位反映引脚的实际值，可用于短路检测。

可以用这些引脚驱动外部电路，如外部多路复用器等。当使用外部多路复用器来提高通道数时，多路复用器逻辑引脚可以通过AD7193通用输出引脚进行控制。通用输出引脚可以用来选择有效的多路复用器引脚。由于多路复用器的操作独立于AD7193，因此每次切换多路复用器通道时，均应利用SYNC引脚或写入模式/配置寄存器来复位AD7193的调制器和滤波器。

校准

AD7193提供四种校准模式。用户可通过对模式寄存器内的模式位进行编程来选择校准模式。这些模式是内部零电平校准、内部满量程校准、系统零电平校准和系统满量程校准。只要正确设置模式寄存器中的MD2至MD0位，便可随时执行校准。增益改变时，应执行校准。每次转换完成后，ADC转换结果需利用ADC校准寄存器进行调整，然后写入数据寄存器。转换结果先减去失调校准系数，然后乘以满量程系数。

为启动校准，必须将适当的值写入MD2至MD0位。启动校准后，DOUT/RDY引脚和状态寄存器中的RDY位变为高电平。校准完成时，相应校准寄存器的内容会更新，状态寄存器中的RDY位复位，DOUT/RDY引脚返回到低电平(如果为CS低电平)，并且AD7193返回空闲模式。

内部零电平或满量程校准期间，各零输入和满量程输入自动与ADC输入引脚内部相连。然而，系统校准则要求在启动校准模式之前，将系统零电平电压和系统满量程电压施加于ADC引脚，这样可以消除ADC的外部误差。

从操作上来看，校准就像另一次ADC转换。如果需要，零电平校准必须总是在满量程校准之前执行。对系统软件进行设置，以监视状态寄存器中的RDY位或DOUT/RDY引脚，进而通过一个轮询序列或中断驱动的例行程序确定校准何时结束。

斩波禁用时，内部零电平校准和系统零电平校准所需的时间均等于建立时间 t_{SETTLE} (sinc⁴滤波器为 $4/f_{ADC}$ ，sinc³滤波器为 $3/f_{ADC}$)。

斩波使能时，无需执行内部零电平校准，因为ADC本身会持续使失调保持最低。不过，如果执行内部零电平校准，则所需时间为建立时间 $t_{SETTLE}(2/f_{ADC})$ 。同样，完成系统零电平校准也需要 t_{SETTLE} 的时间。

为执行内部满量程校准，满量程输入电压会自动与此校准选定的模拟输入端相连。增益为1时，内部满量程校准所需的时间等于 t_{SETTLE} 。对于更高增益，内部满量程校准需要 $2 \times t_{SETTLE}$ 的时间。每次更改一个通道的增益时，均建议执行满量程校准，从而使满量程误差最小。

系统满量程校准需要 t_{SETTLE} 的时间。斩波禁用时，零电平校准(内部或系统零电平)应在系统满量程校准启动之前执行。

内部零电平校准、系统零电平校准和系统满量程校准可以在任何输出数据速率下执行。内部满量程校准可以在滤波器字FS[9:0]能被16整除的任何输出数据速率下执行，FS[9:0]指写入模式寄存器FS9位至FS0位的10位字的十进制等效值。因此，斩波禁用时，内部满量程校准可以在10 Hz或50 Hz等输出数据速率下执行。使用这些较低的输出数据速率可以获得更高的校准精度。

AD7193

失调误差典型值为 $\pm 150 \mu\text{V}/\text{增益}$ 。如果更改增益，建议执行校准。零电平校准(内部或系统零电平校准)可将失调误差降至与噪声相当。

AD7193的增益误差经过工厂校准，校准条件如下：增益为1，采用5 V电源，温度为室温。校准之后，5 V时的增益误差典型值为 $\pm 0.001\%$ 。表27显示了不同增益设置的典型未校准增益误差。

表27. 典型预校准增益误差与增益的关系

增益	预校准增益误差(%)
8	-0.11
16	-0.20
32	-0.23
64	-0.29
128	-0.39

增益为1时，内部满量程校准可将增益误差典型值降至 $\pm 0.001\%$ 。对于更高增益，当 AV_{DD} 等于或高于4.75 V时，经过内部满量程校准之后的增益误差典型值为 $\pm 0.003\%$ 。当 AV_{DD} 小于4.75 V时，经过内部满量程校准之后的增益误差典型值为 $\pm 0.005\%$ 。

如果 AV_{DD} 小于4.75 V，则执行内部满量程校准时必须将CLK_DIV位置1。结果使校准时间增加2倍。执行内部满量程校准时，使能斩波并使用较低的输出数据速率，可以进一步提高校准精度。

无论模拟电源电压为何值，系统满量程校准均可将增益误差降至与噪声相当。

用户可以访问AD7193的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己在EEPROM中预先存储的校准系数。可以随时读取这些寄存器。不过，写入寄存器时，ADC必须处于关断模式或空闲模式。校准寄存器中的值为24位。也可以使用这些寄存器操控器件的范围和失调。

数字滤波器

AD7193在数字滤波器方面拥有很大的灵活性。该器件具有五个滤波器选项。器件可以采用 sinc^3 或 sinc^4 滤波器工作，可以使能或禁用斩波，也可使能零延迟。最后，可在 sinc 滤波器之后放置一个均值模块，从而实现快速建立模式。所选的滤波器会影响输出数据速率、建立时间和50 Hz/60 Hz抑制性能。下面详细介绍每种滤波器，同时指出每个滤波器选项可用的输出数据速率。同时还会讨论滤波器响应、建立时间及50 Hz/60 Hz抑制性能。

SINC⁴滤波器(禁用斩波)

AD7193上电时，会默认选择 sinc^4 滤波器，并禁用斩波。该滤波器在整个输出数据速率范围内具有出色的噪声性能。同时还提供最佳50 Hz/60 Hz抑制性能，但建立时间较长。

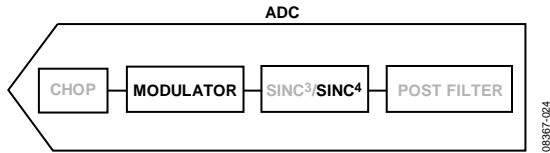


图28. Sinc⁴滤波器(斩波禁用)

Sinc⁴输出数据速率/建立时间

输出数据速率(ADC连续转换时，单一通道上提供转换结果的速率)等于：

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

$FS[9:0]$ 为模式寄存器中FS9位至FS0位的十进制等效值。

输出数据速率的编程范围为4.7 Hz至4800 Hz，即 $FS[9:0]$ 的值为1至1023。

sinc^4 滤波器的建立时间等于：

$$t_{SETTLE} = 4/f_{ADC}$$

通道切换时，调制器和滤波器将复位。切换通道后，需要为第一次转换留出足够的建立时间。接下来在这个通道上的转换会以 $1/f_{ADC}$ 的速率进行。

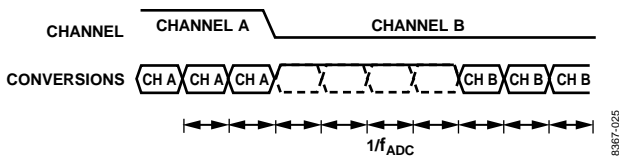


图29. Sinc⁴通道切换

在单个通道上进行转换且发生阶跃变化时，ADC不会检测出模拟输入的变化。因此它会以设定的输出数据速率继续输出转换结果。然而，在输出数据精确反映模拟输入之前，至少要经过四次转换。如果在ADC处理转换过程中发生阶跃变化，则ADC将在阶跃变化之后执行五次转换，以产生完全建立的结果。

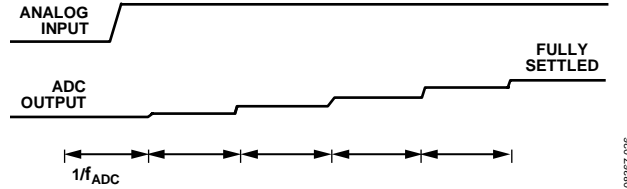


图30. 模拟输入的异步阶跃变化

sinc^4 滤波器的3 dB频率等于：

$$f_{3dB} = 0.23 \times f_{ADC}$$

表28以部分示例，展示了 $FS[9:0]$ 值与相应的输出数据速率和建立时间之间的关系。

表28. 输出数据速率与相应的建立时间示例

FS[9:0]	输出数据速率(Hz)	建立时间(ms)
480	10	400
96	50	80
80	60	66.6

Sinc⁴零延迟

将模式寄存器中的单通道位设置为1(11位)可使能零延迟。在零延迟模式下，每次转换均有完整建立时间。因此，在单个通道上进行转换或者在多个通道上进行转换的转换时间是恒定的。用户不需要考虑通道切换对输出数据速率的影响。在使能通道序列器时，AD7193会自动在零延迟模式下工作。

输出数据速率等于

$$f_{ADC} = 1/t_{SETTLE} = f_{CLK} / (4 \times 1024 \times FS[9:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

$FS[9:0]$ 为模式寄存器中FS9位至FS0位的十进制等效值。

AD7193

当模拟输入不变或者通道发生变化时，将以恒定的输出数据速率提供有效的转换结果。在单通道上进行转换且模拟输入发生阶跃变化时，如果阶跃变化与转换过程同步，则ADC会继续输出完全建立的转换结果。如果阶跃变化不同步，则ADC会输出一个未完全建立的转换结果(见图31)。

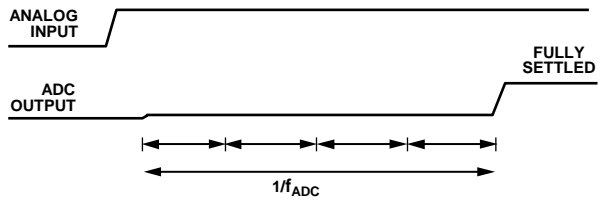


图31. Sinc⁴零延迟操作

表29所示为输出数据速率与相应的FS值示例。

表29. 输出数据速率与相应的建立时间示例(零延迟)

FS[9:0]	输出数据速率(Hz)	建立时间(ms)
480	2.5	400
96	12.5	80
80	15	66.6

Sinc⁴ 50 Hz/60 Hz抑制

图32所示为sinc⁴滤波器在FS[9:0]设为96、主时钟为4.92 MHz时的频率响应。在禁用零延迟的情况下，输出数据速率等于50 Hz。在使能零延迟的情况下，输出数据速率等于12.5 Hz。假设主时钟保持稳定，则sinc⁴滤波器可提供120 dB(最小值)以上的50 Hz(±1 Hz)抑制性能。

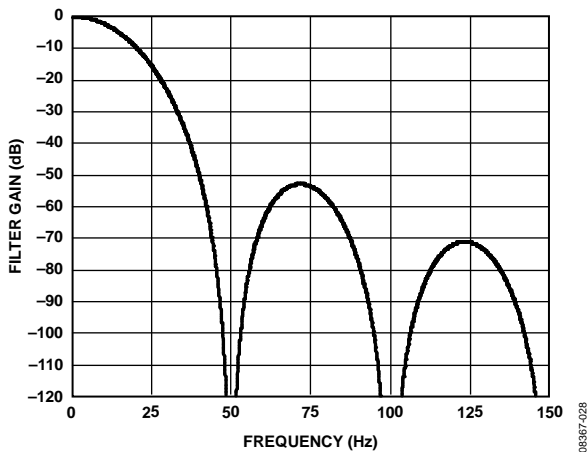


图32. Sinc⁴滤波器响应(FS[9:0] = 96)

图33所示为FS[9:0]设为80、主时钟为4.92 MHz时的频率响应。禁用零延迟时，输出数据速率为60 Hz，使能零延迟时为15 Hz。假设主时钟保持稳定，则sinc⁴滤波器可提供120 dB(最小值)的60 Hz(±1 Hz)抑制性能。

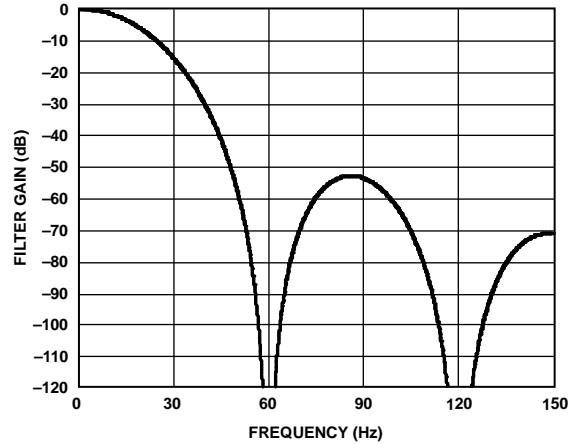


图33. Sinc⁴滤波器响应(FS[9:0] = 80)

当FS[9:0]设为480、主时钟为4.92 MHz时，可同时获得50 Hz和60 Hz的抑制性能。禁用零延迟时，输出数据速率为10 Hz，使能零延迟时为2.5 Hz。假设主时钟保持稳定，则sinc⁴滤波器可提供120 dB(最小值)的50 Hz(±1 Hz)及60 Hz(±1 Hz)抑制性能。

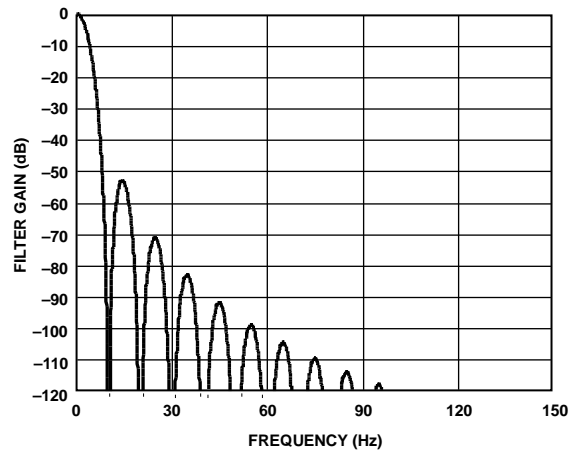


图34. Sinc⁴滤波器响应(FS[9:0] = 480)

也可以利用模式寄存器中的REJ60位，实现50 Hz/60 Hz同时抑制。当FS[9:0]设为96且REJ60设为1时，陷波频率为50 Hz和60 Hz。

禁用零延迟时，输出数据速率为50 Hz，使能零延迟时为12.5 Hz。图35所示为sinc⁴滤波器的频率响应。假设4.92 MHz主时钟保持稳定，则该滤波器可提供82 dB(最小值)的50 Hz ±1 Hz及60 Hz ±1 Hz抑制性能。

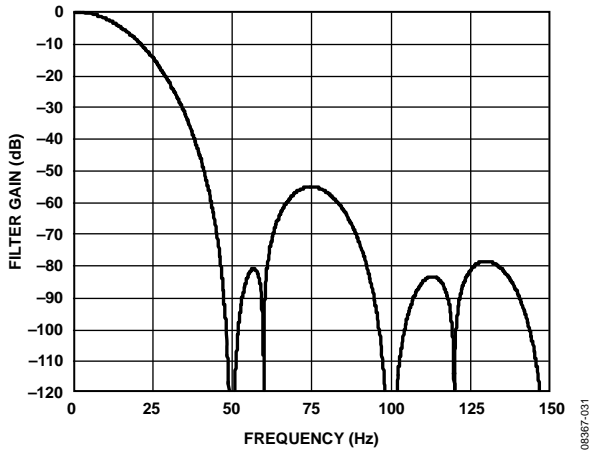


图35. Sinc⁴滤波器响应(FS[9:0] = 96, REJ60 = 1)

SINC³滤波器(禁用斩波)

可以用sinc³滤波器代替sinc⁴滤波器。滤波器通过模式寄存器中的SINC³位来选择。当SINC³位设置为1时，选择sinc³滤波器。

该滤波器采用最高1 kHz的输出数据速率时，具有良好的噪声性能。其建立时间和50 Hz/60 Hz(±1 Hz)抑制性能属于中等水平。

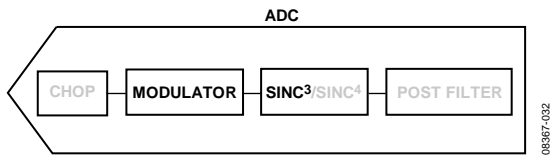


图36. Sinc³滤波器(斩波禁用)

Sinc³输出数据速率和建立时间

输出数据速率(ADC连续转换时，单一通道上提供转换结果的速率)等于：

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

FS[9:0]为模式寄存器中FS9位至FS0位的十进制等效值。

输出数据速率的编程范围为4.7 Hz至4800 Hz，即FS[9:0]的值范围为1至1023。

建立时间等于

$$t_{SETTLE} = 3 / f_{ADC}$$

3 dB频率等于

$$f_{3dB} = 0.272 \times f_{ADC}$$

表30给出了部分FS设置以及相应的输出数据速率和建立时间示例。

表30. 输出数据速率与相应的建立时间示例

FS[9:0]	输出数据速率(Hz)	建立时间(ms)
480	10	300
96	50	60
80	60	50

通道切换时，调制器和滤波器将复位。通道发生变化后，需要为第一次转换留出完整的建立时间(见图37)。接下来在这个通道上的转换会以1/f_{ADC}的速率进行。

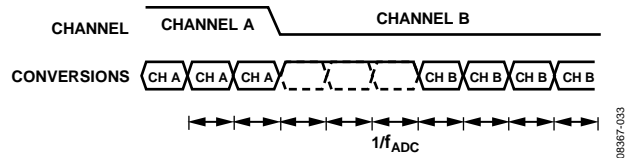


图37. Sinc³通道切换

在单个通道上进行转换且发生阶跃变化时，ADC不会检测出模拟输入的变化。因此它会以设定的输出数据速率继续输出转换结果。然而，在输出数据精确反映模拟输入之前，至少要经过三次转换。如果在ADC处理转换过程中发生阶跃变化，则ADC将在阶跃变化之后执行四次转换，以产生完全建立的结果。

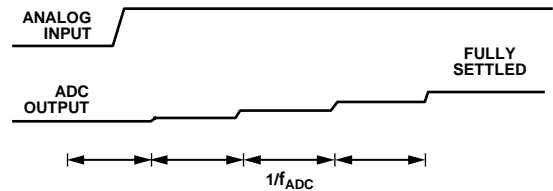


图38. 模拟输入的异步阶跃变化

AD7193

Sinc³零延迟

将模式寄存器中的单通道位设置为1(11位)可使能零延迟。在零延迟模式下，每次转换均有完整建立时间。因此，在单个通道上进行转换或者在多个通道上进行转换的转换时间是恒定的。用户不需要考虑通道切换对输出数据速率的影响。在使能通道序列器时，AD7193会自动在零延迟模式下工作。

输出数据速率等于

$$f_{ADC} = 1 / t_{SETTLE} = f_{CLK} / (3 \times 1024 \times FS[9:0])$$

其中：

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

$FS[9:0]$ 为模式寄存器中FS9位至FS0位的十进制等效值。

当模拟输入不变或者通道发生变化时，将以恒定的输出数据速率提供有效的转换结果。在单通道上进行转换且模拟输入发生阶跃变化时，如果阶跃变化与转换过程同步，则ADC会继续输出完全建立的转换结果。如果阶跃变化不同步，则ADC会输出一个未完全建立的转换结果(见图39)。

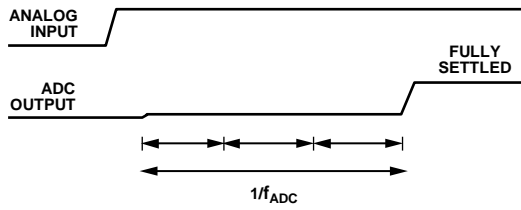


图39. Sinc³零延迟操作

表31给出了输出数据速率与相应的FS值示例。

表31. 输出数据速率与相应的建立时间示例(零延迟)

FS[9:0]	输出数据速率(Hz)	建立时间(ms)
480	3.3	300
96	16.7	60
80	20	50

Sinc³ 50 Hz/60 Hz抑制

图40所示为sinc³滤波器在FS[9:0]设为96、主时钟等于4.92 MHz时的频率响应。禁用零延迟时，输出数据速率等于50 Hz，使能零延迟时为16.7 Hz。假设主时钟保持稳定，则sinc³滤波器可提供95 dB(最小值)的50 Hz ± 1 Hz抑制性能。

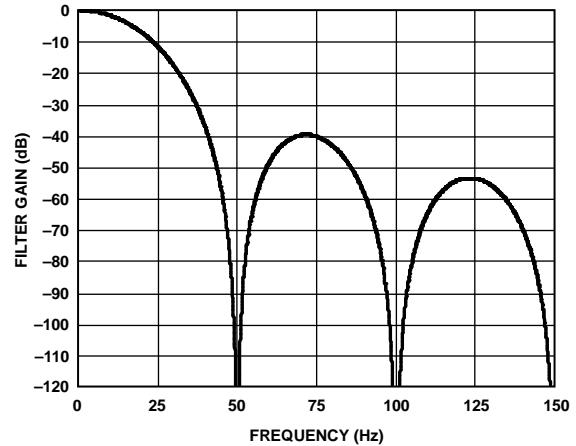


图40. Sinc³滤波器响应(FS[9:0] = 96)

当FS[9:0]设为80且主时钟等于4.92 MHz时，可实现60 Hz的抑制性能(见图41)。禁用零延迟时，输出数据速率等于60 Hz，使能零延迟时为20 Hz。假设主时钟保持稳定，则sinc³滤波器可提供95 dB(最小值)的60 Hz ± 1 Hz抑制性能。

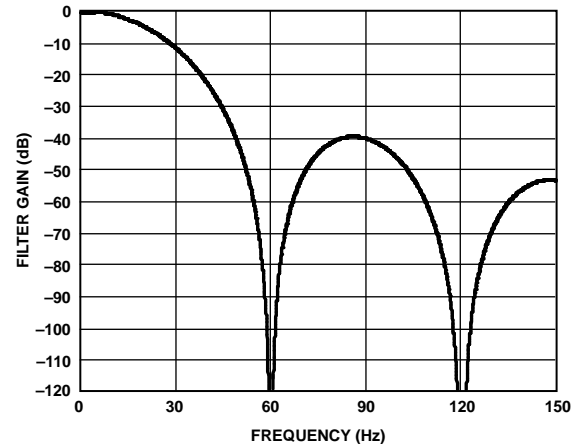


图41. Sinc³滤波器响应(FS[9:0] = 80)

当FS[9:0]设为480(主时钟= 4.92 MHz)时, 可同时获得50 Hz和60 Hz的抑制性能, 如图42所示。禁用零延迟时, 输出数据速率为10 Hz, 使能零延迟时为3.3 Hz。sinc³滤波器可提供100 dB(最小值)的50 Hz ± 1 Hz和60 Hz ± 1 Hz抑制性能。

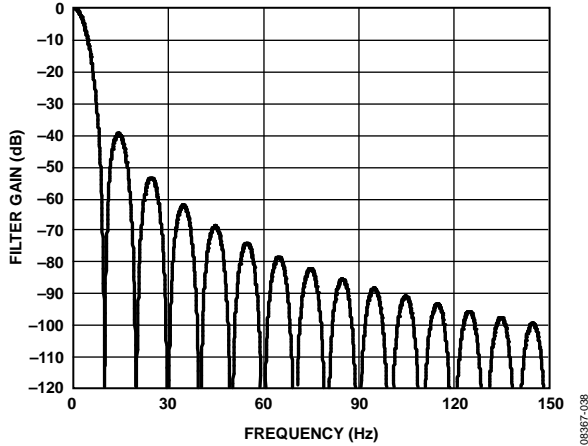


图42. Sinc³滤波器响应(FS[9:0] = 480)

也可以利用模式寄存器中的REJ60位, 实现50 Hz/60 Hz同时抑制。对于4.92 MHz的稳定主时钟, 当FS[9:0]设为96且REJ60位设为1时, 陷波频率为50 Hz和60 Hz。图43所示为sinc³滤波器在这种配置下的频率响应。假设主时钟保持稳定, 50 Hz/60 Hz(±1 Hz)下的抑制性能超过67 dB(最小值)。

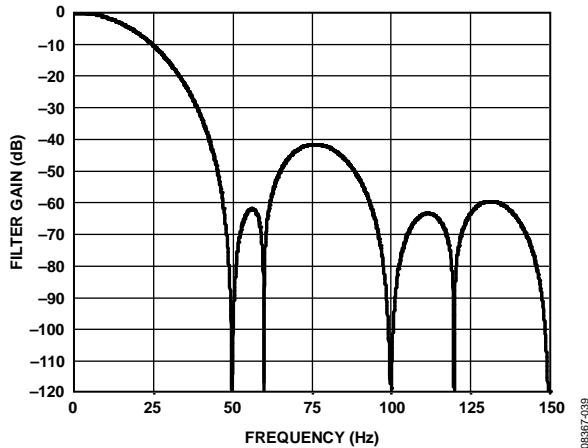


图43. Sinc³滤波器响应(FS[9:0] = 96, REJ60 = 1)

斩波使能(Sinc⁴滤波器)

使能斩波时, ADC失调和失调漂移可降至最低。模拟输入引脚连续换向。在模拟输入引脚沿一个方向连接的情况下, 将为sinc滤波器提供足够的建立时间并记录转换结果。然后, 模拟输入引脚反向, 并获得另一个建立的转换结果。对后续转换结果求平均值, 使失调降至最低。这种模拟输入引脚连续换向以及对后续转换结果求均值, 使失调漂移也可以降至最低。使能斩波时, 分辨率提高0.5位。

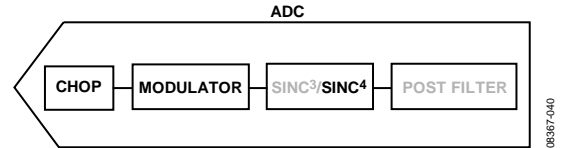


图44. 使能斩波

输出数据速率和建立时间(Sinc⁴斩波使能)

对于sinc⁴滤波器, 输出数据速率等于:

$$f_{ADC} = f_{CLK} / (4 \times 1024 \times FS[9:0])$$

其中:

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

FS[9:0]为模式寄存器中FS9位至FS0位的十进制等效值。

FS[9:0]值的变化范围是1至1023; 结果实现1.17 Hz至1200 Hz的输出数据速率。建立时间等于

$$t_{SETTLE} = 2/f_{ADC}$$

表32给出了部分FS[9:0]值以及相应的输出数据速率和建立时间示例。

表32. 输出数据速率与相应的建立时间示例

FS[9:0]	输出数据速率(Hz)	建立时间(ms)
96	12.5	160
80	15	133

通道切换时，调制器和滤波器将复位。切换通道后，将需要完整的建立时间以产生第一个转换结果。接下来在这个通道上的转换会以 $1/f_{ADC}$ 的速率进行。

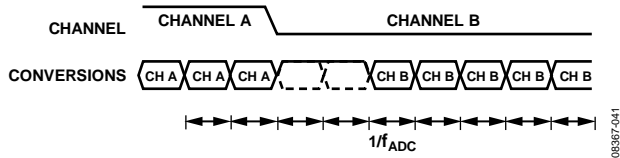


图45. 通道切换(Sinc⁴使能斩波)

当在单个通道上进行转换且发生阶跃变化时，ADC不会检测模拟输入的变化；因此，它会以设定的输出数据速率继续输出转换结果。然而，在输出数据精确反映模拟输入之前，至少要经过两次转换。如果在ADC处理转换过程中发生阶跃变化，则ADC将在阶跃变化之后执行三次转换，以产生完全建立的结果。

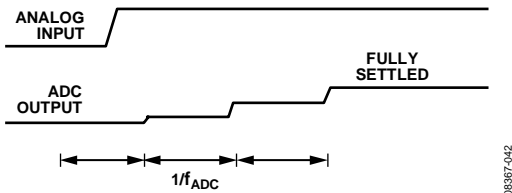


图46. 模拟输入中的异步变化(Sinc⁴斩波使能)

f_{3dB} 的截止频率等于

$$f_{3dB} = 0.24 \times f_{ADC}$$

50 Hz/60 Hz抑制(Sinc⁴斩波使能)

当FS[9:0]设为96且斩波使能时，输出数据速率等于12.5 Hz(主时钟为4.92 MHz)。结果得到如图47所示的频率响应。斩波引入的陷波频率为 $f_{ADC}/2$ 的奇数倍。sinc滤波器带来的陷波以及斩波导致的陷波意味着，在数据速率为12.5 Hz时，可同时实现50 Hz和60 Hz抑制性能。假设主时钟保持稳定，则50 Hz/60 Hz ± 1 Hz下的典型抑制性能为63 dB。

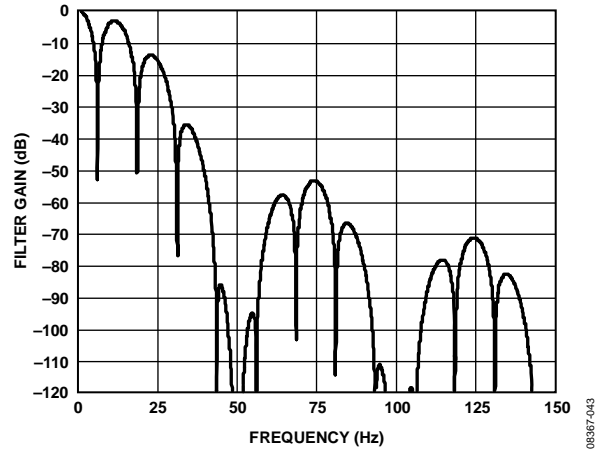


图47. Sinc⁴滤波器响应(FS[9:0] = 96, 斩波使能)

把模式寄存器中的REJ60位设为1，可以改善50 Hz/60 Hz抑制性能。当FS[9:0]设为96且REJ60设为1时，可实现如图48所示的滤波器响应。输出数据速率不变，但50 Hz/60 Hz (± 1 Hz)抑制性能会提高至83 dB(典型值)。

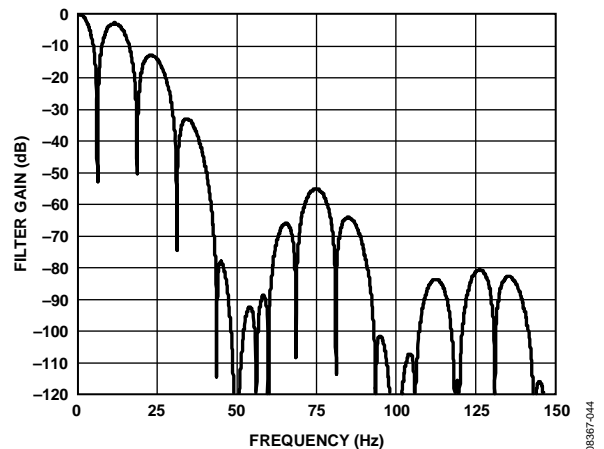


图48. Sinc⁴滤波器响应(FS[9:0] = 96, 斩波使能, REJ60 = 1)

斩波使能(Sinc³滤波器)

使能斩波时, ADC失调和失调漂移可降至最低。模拟输入引脚连续换向。在模拟输入引脚沿一个方向连接的情况下, 将为sinc滤波器提供足够的建立时间并记录转换结果。模拟输入引脚反向, 并且获得另一个建立的转换结果。对后续转换结果求平均值, 使失调降至最低。这种模拟输入引脚连续换向以及对后续转换结果求均值, 使失调漂移也可以降至最低。使能斩波时, 分辨率提高0.5位。在斩波使能情况下, sinc³滤波器适用于处理最高320 Hz的输出数据速率。

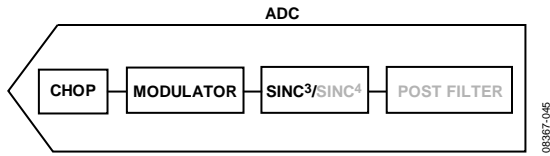


图49. 斩波使能(Sinc³使能斩波)

输出数据速率和建立时间(Sinc³斩波使能)
对于sinc³滤波器, 输出数据速率等于:

$$f_{ADC} = f_{CLK} / (3 \times 1024 \times FS[9:0])$$

其中:

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

$FS[9:0]$ 为模式寄存器中FS9位至FS0位的十进制等效值。

$FS[9:0]$ 值的变化范围是1至1023; 结果实现1.56 Hz至1600 Hz的输出数据速率。建立时间等于

$$t_{SETTLE} = 2 / f_{ADC}$$

表33. 输出数据速率与相应的建立时间示例 (斩波使能, Sinc³滤波器)

FS[9:0]	输出数据速率(Hz)	建立时间(ms)
96	16.7	120
80	20	100

通道切换时, 调制器和滤波器将复位。切换通道后, 将需要完整的建立时间以产生第一个转换结果。接下来在这个通道上的转换会以 $1/f_{ADC}$ 的速率进行。

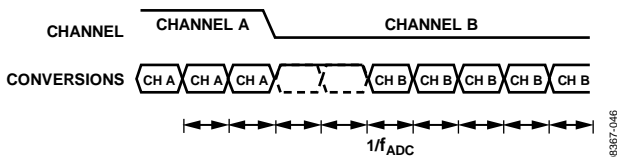


图50. 通道切换(Sinc³斩波使能)

如果在单个通道上进行转换且发生阶跃变化, ADC不会检测出模拟输入的变化; 因此, 它会以设定的输出数据速率继续输出转换结果。然而, 在输出数据精确反映模拟输入之前, 至少要经过两次转换。如果在ADC处理转换过程中发生阶跃变化, 则ADC将在阶跃变化之后执行三次转换, 以产生完全建立的结果。

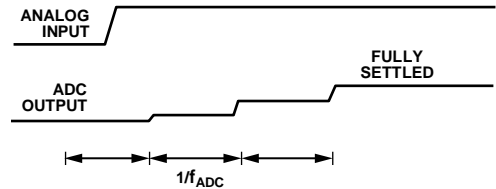


图51. 模拟输入的异步阶跃变化(Sinc³斩波使能)

f_{3dB} 的截止频率等于

$$f_{3dB} = 0.24 \times f_{ADC}$$

50 Hz/60 Hz抑制(Sinc³斩波使能)

当FS[9:0]设为96且斩波使能时, 可实现如图52所示的滤波器响应。对于4.92 MHz的主时钟, 输出数据速率等于16.7 Hz。斩波引入的陷波频率为 $f_{ADC}/2$ 的奇数倍。sinc滤波器带来的陷波以及斩波导致的陷波意味着, 在数据速率为16.7 Hz时, 可同时实现50 Hz和60 Hz抑制性能。假设主时钟保持稳定, 则50 Hz/60 Hz ± 1 Hz下的典型抑制性能为53 dB。

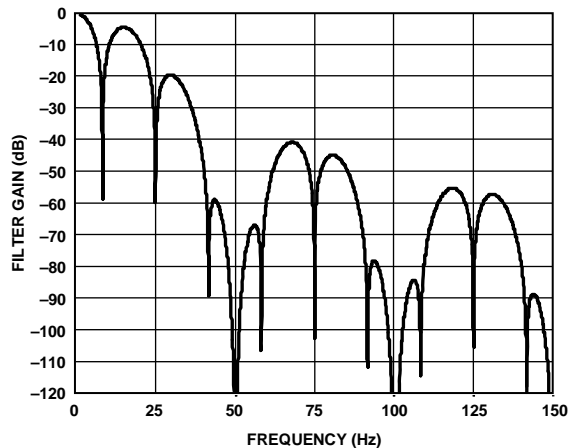


图52. Sinc³滤波器响应($FS[9:0] = 96$, 斩波使能)

把模式寄存器中的REJ60位设为1, 可以改善50 Hz/60 Hz抑制性能。当FS[9:0]设为96且REJ60设为1时, 可实现如图53所示的滤波器响应。输出数据速率不变, 但50 Hz/ 60 Hz ±1 Hz抑制性能会提高至73 dB(典型值)。

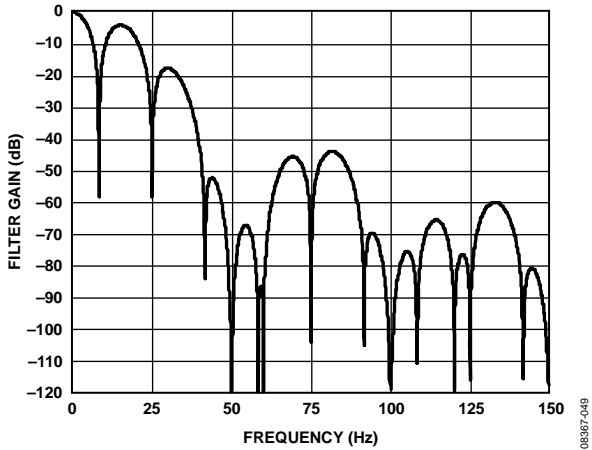


图53. Sinc³滤波器响应(FS[9:0] = 96, 斩波使能, REJ60 = 1)

快速建立模式(Sinc⁴滤波器)

在快速建立模式下, 建立时间接近第一个滤波器陷波频率的倒数; 因此, 在接近1/50 Hz或1/60 Hz的输出数据速率下, 用户可以实现50 Hz和/或60 Hz抑制性能。建立时间等于1/输出数据速率。因此, 在单个通道上进行转换或者在多个通道上进行转换的转换时间是恒定的。切换通道不会增加延迟。

通过模式寄存器中的AVG1位和AVG0位使能快速建立模式。在快速建立模式下, 在sinc⁴滤波器之后有一个后置滤波器。该后置滤波器以2、8或16为基数求均值, 具体取决于AVG1和AVG0位的设置。

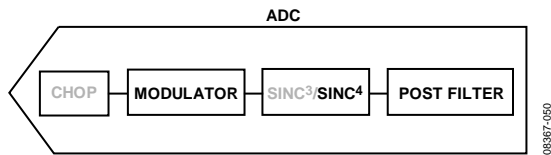


图54. 快速建立模式(Sinc⁴滤波器)

输出数据速率和建立时间(Sinc⁴滤波器)

斩波禁用时, 输出数据速率为

$$f_{ADC} = f_{CLK} / ((4 + Avg - 1) \times 1024 \times FS[9:0]) \quad (1)$$

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

Avg 为均值。

FS[9:0]为模式寄存器中FS9位至FS0位的十进制等效值。

如果AVG1 = AVG0 = 0, 则快速建立模式未使能。此时, 方程1不相关。

建立时间等于

$$t_{SETTLE} = 1/f_{ADC}$$

表34给出了FS字以及相应的输出数据速率和建立时间示例。

表34. 输出数据速率与相应的建立时间示例(快速建立模式, Sinc⁴)

FS[9:0]	均值	输出数据速率(Hz)	建立时间(ms)
96	16	2.63	380
30	16	8.4	118.75
6	16	42.1	23.75
5	16	50.53	19.79

切换模拟输入通道时, 产生有效转换结果不会增加额外的延迟——器件充当零延迟ADC。

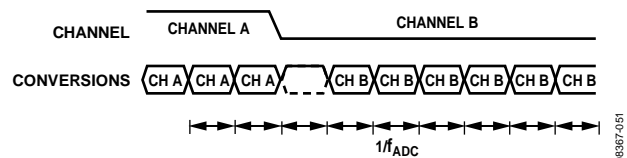


图55. 快速建立(Sinc⁴滤波器)

当器件在单个通道上进行转换且模拟输入发生阶跃变化时, ADC不会检测出变化, 并继续输出转换结果。如果阶跃变化与转换同步, 则ADC只会输出完全建立的结果。然而, 如果阶跃变化与转换过程不同步, 则会立即产生结果, 即未完全建立的转换结果(见图56)。

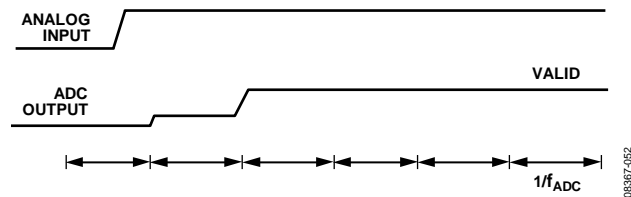


图56. 模拟输入的阶跃变化(Sinc⁴滤波器)

在快速建立模式下, 斩波使能和斩波禁用的输出数据速率是相同的。然而, 当斩波使能时, 建立时间等于

$$t_{SETTLE} = 2/f_{ADC}$$

因此, 如果斩波使能, 则选择sinc⁴滤波器, FS[9:0]设为6, 同时使能以16为基数的均值运算。当主时钟等于4.92 MHz时, 输出数据速率等于42.1 Hz。因此, 转换时间等于1/42.10 Hz或23.75 ms, 建立时间等于47.5 ms。

50 Hz/60 Hz抑制(Sinc⁴滤波器)

图57所示为FS[9:0]设为6且后置滤波器以16为均值基数时的频率响应。当主时钟等于4.92 MHz时，输出数据速率为42.10 Hz。Sinc滤波器使第一个陷波频率为

$$f_{NOTCH} = f_{CLK} / (1024 \times FS[9:0])$$

后置滤波器使陷波频率为 f_{NOTCH} / Avg (Avg为均值基数)以及该频率的倍数；因此，当FS[9:0]设为6且后置滤波器均值基数为16时，sinc滤波器使陷波频率为800 Hz，后置滤波器则导致陷波频率为50 Hz及其倍数。50 Hz的陷波为一阶陷波，因此，该陷波并不宽。假设4.92 MHz主时钟保持稳定，这就意味着50 Hz处可以取得良好的抑制性能。然而，在50 Hz ± 1 Hz频段，抑制性能会显著下降。假设时钟保持稳定，50 Hz ± 0.5 Hz时的抑制性能为40 dB(最小值)；因此，使用快速建立模式时，建议采用优质的主时钟源。

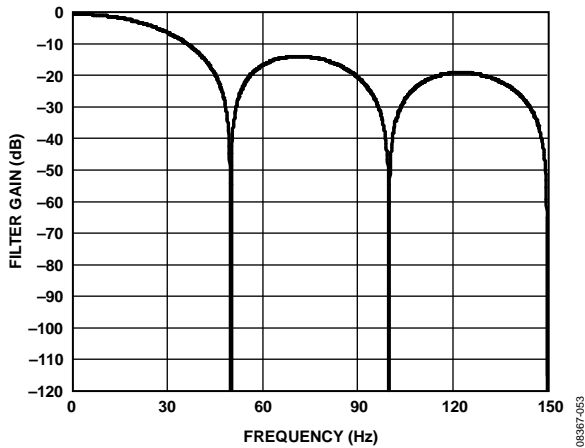


图57. 均值+抽取滤波器的滤波器响应
(Sinc⁴滤波器, FS[9:0] = 6, 均值基数=16)

图58所示为FS[9:0]设为5且后置滤波器以16为均值基数时的滤波器响应。这种情况下，输出数据速率等于50.53 Hz(主时钟为4.92 MHz)，此时第一滤波器的陷波频率为60 Hz。60 Hz ± 0.5 Hz时的抑制性能等于40 dB(最小值)。

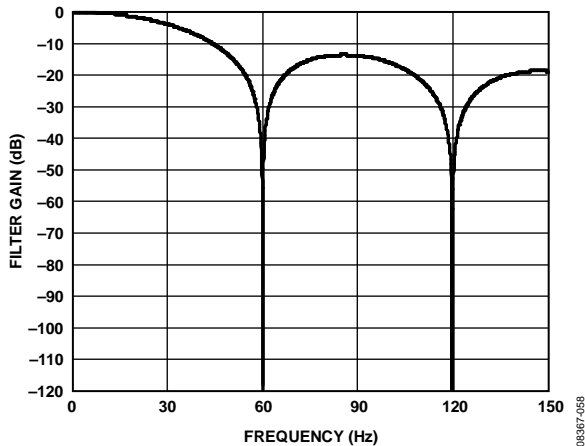


图58. 均值+抽取滤波器的滤波器响应
(Sinc⁴滤波器, FS[9:0] = 5, 均值基数=16)

当FS[9:0]设为30且后置滤波器均值基数为16时，可同时实现50 Hz/60 Hz抑制。输出数据速率等于8.4Hz，而50 Hz ± 0.5 Hz和60 Hz ± 0.5 Hz下的抑制性能为44 dB(典型值)。

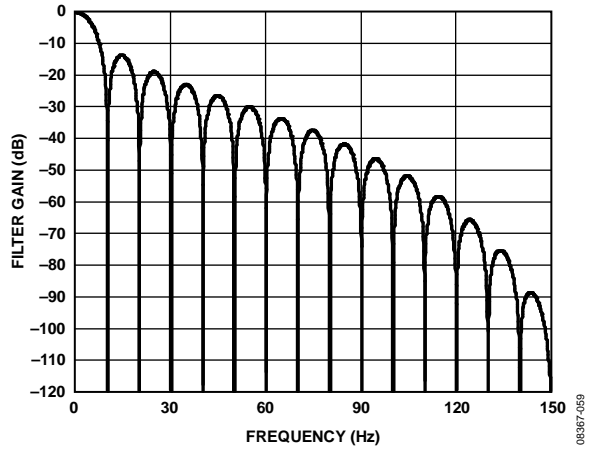


图59. 均值+抽取滤波器的滤波器响应
(Sinc⁴滤波器, FS[9:0] = 30, 均值基数=16)

FS字=96且均值基数=16时，也可同时实现50 Hz和60 Hz抑制；陷波频率为50 Hz。将REJ60位设为1，陷波频率为60 Hz(见图60)。这种配置下，输出数据速率会降至2.63 Hz，但50 Hz ± 1 Hz和60 Hz ± 1 Hz下的抑制性能会提高至100 dB(典型值)。

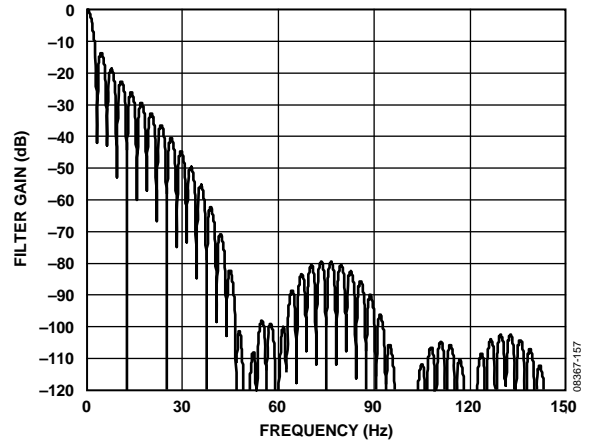


图60. 均值+抽取滤波器的滤波器响应
(Sinc⁴滤波器, FS[9:0] = 96, 均值基数=16)

快速建立模式(Sinc³滤波器)

快速建立模式下，建立时间接近第一个滤波器陷波的倒数。因此，在接近1/50 Hz或1/60 Hz的输出数据速率下，用户可以实现50 Hz和/或60 Hz抑制性能。建立时间等于1/输出数据速率。因此，在单个通道上进行转换或者在多个通道上进行转换的转换时间是恒定的。切换通道不会增加延迟。

通过模式寄存器中的AVG1位和AVG0位可以使能快速建立模式。在sinc⁴滤波器之后有一个后置滤波器。该后置滤波器以2、8或16为基数求均值，具体取决于AVG1和AVG0位的设置。

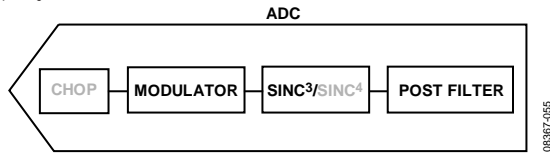


图61. 快速建立模式(Sinc³滤波器)

输出数据速率和建立时间(Sinc³滤波器)

斩波禁用时，输出数据速率为

$$f_{ADC} = f_{CLK} / ((3 + Avg - 1) \times 1024 \times FS[9:0])$$

f_{ADC} 为输出数据速率。

f_{CLK} 为主时钟频率(标称值4.92 MHz)。

Avg为均值。

FS[9:0]为模式寄存器中FS9位至FS0位的十进制等效值。

如果AVG1 = AVG0 = 0，则快速建立模式未使能。此时，以上方程不相关。

建立时间等于

$$t_{SETTLE} = 1/f_{ADC}$$

表35给出了部分FS字以及相应的输出数据速率和建立时间示例。

表35. 输出数据速率与相应的建立时间示例 (快速建立模式, Sinc³)

FS[9:0]	均值	输出数据速率(Hz)	建立时间(ms)
96	16	2.78	360
30	16	8.9	112.5
6	16	44.44	22.5
5	16	53.3	18.75

如果切换模拟输入通道，产生有效转换结果不会增加额外的延迟，器件将充当零延迟ADC。

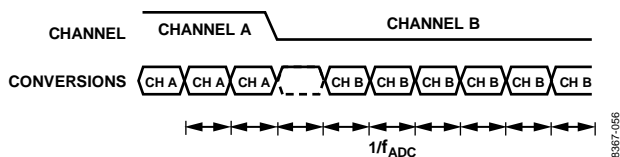


图62. 快速建立(Sinc³滤波器)

当器件在单个通道上进行转换且模拟输入发生阶跃变化时，ADC不会检测出变化，并继续输出转换结果。当阶跃变化与转换同步时，ADC只会输出完全建立的结果。然而，如果阶跃变化与转换过程不同步，则会立即产生未完全建立的转换结果(见图63)。

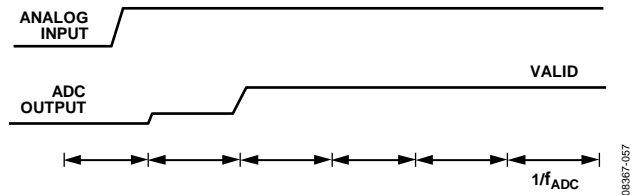


图63. 模拟输入的阶跃变化(Sinc³滤波器)

50 Hz/60 Hz抑制(Sinc³滤波器)

图64所示为FS[9:0]设为6且后置滤波器以16为均值基数时的频率响应。当主时钟为4.92 MHz时，输出数据速率为44.44 Hz。Sinc滤波器使第一个陷波频率为

$$f_{NOTCH} = f_{CLK} / (1024 \times FS[9:0])$$

后置滤波器则使陷波频率为 f_{NOTCH} / Avg (Avg为均值基数)及该频率的倍数。因此，当FS[9:0]设为6且后置滤波器均值基数为16时，sinc滤波器导致的陷波频率为800 Hz，后置滤波器导致的陷波频率为50 Hz及其倍数。

50 Hz的陷波为一阶陷波，因此，该陷波并不宽。假设4.92 MHz主时钟保持稳定，这就意味着50 Hz处可以取得良好的抑制性能。然而，在50 Hz ± 1 Hz频段，抑制性能会显著下降。假设时钟保持稳定，50 Hz ± 0.5 Hz时的抑制性能为40 dB(最小值)；因此，使用快速建立模式时，建议采用优质主时钟源。

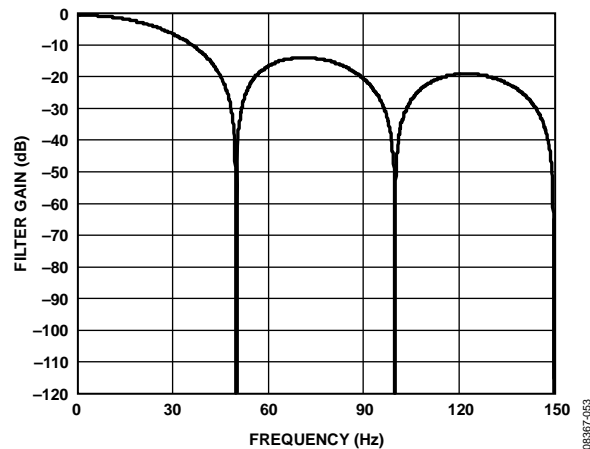


图64. 均值+抽取滤波器的滤波器响应 (Sinc³滤波器, FS[9:0] = 6, 均值基数=16)

图65所示为FS[9:0]设为5且后置滤波器以16为均值基数时的滤波器响应。这种情况下，输出数据速率等于53.33 Hz，此时第一滤波器的陷波频率为60 Hz。60 Hz \pm 0.5 Hz时的抑制性能等于40 dB(最小值)。

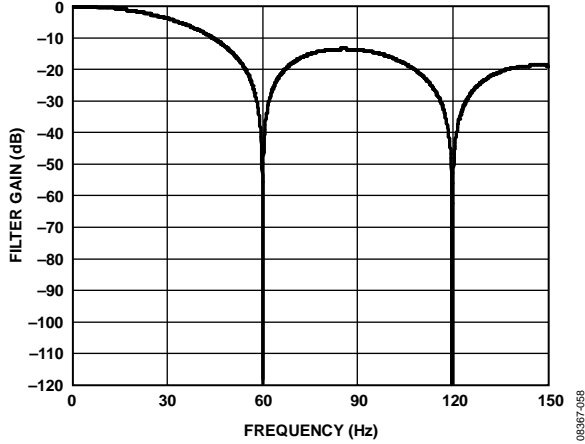


图65. 均值+抽取滤波器的滤波器响应
(Sinc³滤波器, FS[9:0] = 5, 均值基数=16)

当FS[9:0]设为30且后置滤波器均值基数为16时，可同时实现50 Hz/60 Hz抑制。输出数据速率等于8.9 Hz，而50 Hz \pm 0.5 Hz和60 Hz \pm 0.5 Hz下的抑制性能为42 dB(典型值)。

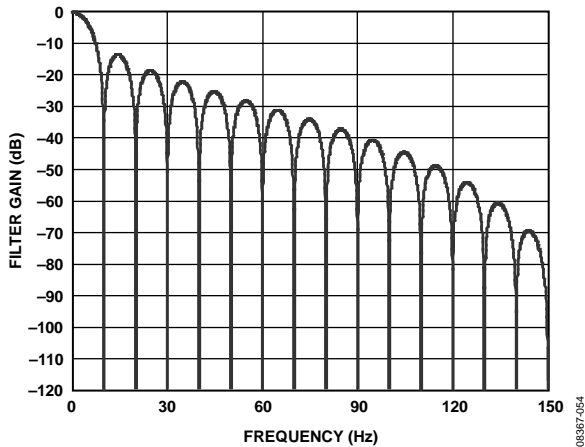


图66. 均值+抽取滤波器的滤波器响应
(Sinc³滤波器, FS[9:0] = 30, 均值基数=16)

FS字=96且均值基数=16时，也可同时实现50 Hz和60 Hz抑制，陷波频率为50 Hz。将REJ60位设为1，陷波频率为60 Hz(见图67)。这种配置下，输出数据速率会降至2.78 Hz，但50 Hz \pm 1 Hz和60 Hz \pm 1 Hz下的抑制性能会提高至94 dB(典型值)。

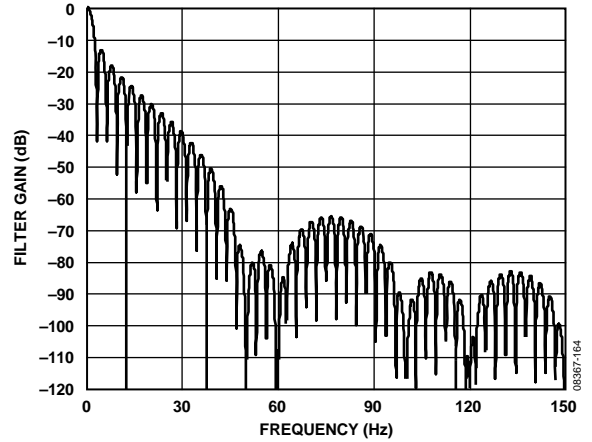


图67. 均值+抽取滤波器的滤波器响应
(Sinc³滤波器, FS[9:0] = 96, 均值基数=16)

快速建立模式(斩波使能)

快速建立模式下可以使能斩波。使能斩波时，ADC失调和失调漂移可降至最低。模拟输入引脚连续换向。在模拟输入引脚沿一个方向连接的情况下，将为sinc滤波器提供足够的建立时间并记录转换结果。然后，模拟输入引脚反向，并获得另一个建立的转换结果。对后续转换结果求平均值，便可将失调降至最低。这种模拟输入引脚连续换向以及对后续转换结果求均值，使失调漂移也可以降至最低。

斩波不会改变输出数据速率。但建立时间等于

$$t_{SETTLE} = 2/f_{ADC}$$

这样，如果斩波使能，则选择sinc⁴滤波器，FS[9:0]设为6，使能以16为基数的均值运算，并且输出数据速率等于42.1 Hz。因此，转换时间等于1/42.10 Hz或23.75 ms，建立时间等于47.5 ms。

AD7193

滤波器选项小结

AD7193具有多个滤波器选项。不同的选项会影响输出数据速率、建立时间、均方根噪声和50 Hz/60 Hz抑制性能。

表36所示为部分示例配置以有相应的性能参数，包括吞吐量、建立时间和50 Hz/ 60 Hz抑制性能。

表36. 滤波器小结¹

滤波器	FS[9:0]	输出数据速率 (Hz)	建立时间 (ms)	吞吐量 ² (Hz)	REJ60	50 Hz抑制(dB) ³
Sinc ⁴ ,斩波禁用 ⁴	1	4800	0.83	1200	0	无50 Hz或60 Hz抑制
Sinc ⁴ ,斩波禁用	5	960	4.17	240	0	无50 Hz或60 Hz抑制
Sinc ³ ,斩波禁用	5	960	3.125	320	0	无50 Hz或60 Hz抑制
Sinc ⁴ ,斩波禁用	480	10	400	2.5	0	120 dB(50 Hz和60 Hz)
Sinc ³ ,斩波禁用	480	10	300	3.33	0	100 dB(50 Hz和60 Hz)
Sinc ⁴ ,斩波禁用	96	50	80	12.5	0	120 dB(仅50 Hz)
Sinc ⁴ ,斩波禁用	96	50	80	12.5	1	82 dB(50 Hz和60 Hz)
Sinc ³ ,斩波禁用	96	50	60	16.7	0	95 dB(仅50 Hz)
Sinc ³ ,斩波禁用	96	50	60	16.7	1	67 dB(50 Hz和60 Hz)
Sinc ⁴ ,斩波禁用	80	60	66.67	15	0	120 dB(仅60 Hz)
Sinc ³ ,斩波禁用	80	60	50	20	0	95 dB(仅60 Hz)
Sinc ⁴ ,斩波禁用,零延迟	96	12.5	80	12.5	0	120 dB(仅50 Hz)
Sinc ⁴ ,斩波禁用,零延迟	96	12.5	80	12.5	1	82 dB(50 Hz和60 Hz)
Sinc ⁴ ,斩波禁用,零延迟	80	15	66.67	15	0	120 dB(仅60 Hz)
Sinc ⁴ ,斩波使能	96	12.5	160	6.25	1	80 dB(50 Hz和60 Hz)
Sinc ³ ,斩波使能	96	16.7	120	8.33	1	67 dB(50 Hz和60 Hz)
快速建立(Sinc ⁴ , 斩波禁用, 均值基数= 16)	96	2.63	380	2.63	1	100 dB(50 Hz和60 Hz)
快速建立(Sinc ⁴ , 斩波禁用, 均值基数= 16)	96	2.78	360	2.78	1	94 dB(50 Hz和60 Hz)
快速建立(Sinc ⁴ , 斩波禁用, 均值基数= 16)	5	50.53	19.79	50.53	0	40 dB(仅60 Hz)
快速建立(Sinc ³ , 斩波禁用, 均值基数= 16)	5	53.33	18.75	53.33	0	40 dB(仅60 Hz)
快速建立(Sinc ⁴ , 斩波禁用, 均值基数= 16)	6	42.10	23.75	42.1	0	40 dB(仅50 Hz)
快速建立(Sinc ³ , 斩波禁用, 均值基数= 16)	6	44.44	22.5	44.44	0	40 dB(仅50 Hz)

¹ 这些计算均假设采用4.92 MHz的稳定主时钟。

² 吞吐量指在使能多个通道时获得转换结果的速率。在零延迟模式下，输出数据速率和吞吐量相等。

³ 对于快速建立模式，50 Hz/60 Hz抑制在50 Hz和/或60 Hz左右±0.5 Hz的频段内测量得出。对于所有其他模式，则采用50 Hz和/或60 Hz±1 Hz的频段范围。

⁴ 对于大于1 kHz的输出数据速率，建议使用sinc⁴滤波器。

接地和布局布线

由于模拟输入和基准输入均为差分输入，因此模拟调制器中的多数电压均为共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低，AD7193的模拟电源和数字电源彼此独立，各有单独的引脚排列。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为调制器采样频率的整数倍的噪声。

将一个RC滤波器与各模拟输入引脚相连，可以在调制器采样频率提供抑制。建议将一个100 Ω 电阻与各模拟输入端串联，在模拟输入引脚之间连接一个0.1 μF 电容，同时在各模拟输入端与AGND之间连接一个0.01 μF 电容。

数字滤波器也可以消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7193具有更强的抗噪能力。不过，由于AD7193的分辨率极高，而转换器的噪声电平极低，因此必须谨慎对待接地和布局布线。

ADC所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于被分割。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

虽然AD7193有单独的模拟地引脚与数字地引脚，但AGND与DGND引脚却在内部通过基板相连。因此，用户不得将这两个引脚连接到分离的接地层，除非这些接地层在AD7193附近连在一起。

如果AGND与DGND在系统的其它地方相连(即系统电源)，则不应在AD7193上再次将它们相连，否则将形成接地环路。这种情况下，建议将AD7193的接地引脚与AGND层相连。

无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。切勿强制数字电流流过AGND。

避免在该器件下方布设数字线路，否则会将噪声耦合至芯片；将模拟接地层放在AD7193下方可以防止噪声耦合。AD7193的电源线路必须采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。应利用数字地屏蔽时钟等快速切换信号，以免向电路板的其它部分辐射噪声，并且绝不应将时钟信号走线布设在模拟输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率ADC时，良好的去耦十分重要。应将10 μF 钽电容与0.1 μF 陶瓷电容并联，将所有模拟电源去耦到AGND。为使这些去耦元件实现最佳效果，必须使其尽可能靠近器件，最好是紧贴器件。应利用0.1 μF 陶瓷电容将所有逻辑芯片去耦到DGND。在使用公共电源电压驱动AD7193的 AV_{DD} 和 DV_{DD} 的系统中，建议使用系统 AV_{DD} 电源。对于这种电源，应将建议的模拟电源去耦电容置于AD7193的 AV_{DD} 引脚与AGND之间，并将建议的数字电源去耦电容置于AD7193的 DV_{DD} 引脚与DGND之间。

应用信息

AD7193为低成本、高分辨率模数转换器。模数转换功能由 Σ - Δ 结构提供，因此器件的抗噪能力很强，非常适合传感器测量、工业和过程控制应用。

流量计

图68显示AD7193在流量计中的应用，该流量计由两个压力传感器组成，流量等于压力差。压力传感器位于电桥网络中，在其OUT+与OUT-引脚之间提供差分输出电压。对于传感器的额定满量程压力(本例中为300 mmHg)，差分输出电压为输入电压(即IN+端与IN-端之间的电压)的3 mV/V。假设激励电压为5 V，则传感器的满量程输出电压为15 mV。电桥的激励电压可以直接用来提供ADC的基准电压，因为基准电压输入范围包括电源电压。

在基于传感器的应用中使用AD7193的第二个好处，是低功耗应用可以充分利用电桥关断开关。电桥关断开关与电桥的冷端串联。正常工作时，该开关闭合，以便执行测量。在要求低功耗的应用中，AD7193可以处于关断模式，从而

显著降低应用的功耗。此外，AD7193在关断模式下，电桥关断开关可以断开，以免前端传感器不必要地耗费功率。当器件退出关断模式且电桥关断开关闭合时，用户应确保前端电路完全建立，然后才能尝试读取AD7193。

图68中，温度补偿是通过热敏电阻来执行。此外，温度测量的基准电压是从一个与该热敏电阻串联的精密电阻获得。由此可实现比率式测量，在此情况下，激励电压的波动不会对测量产生影响(测量结果是精密参考电阻值与热敏电阻值的比值)。

简单起见，图68中并未显示外部滤波器；然而，必须在各个模拟输入端使用一个RC抗混叠滤波器。原因是在调制器采样频率或该频率的整数倍时，片内数字滤波器不能提供任何抑制。建议将一个100 Ω 电阻与各模拟输入端串联，在模拟输入引脚之间连接一个0.1 μ F电容，同时在各模拟输入引脚与AGND之间连接一个0.01 μ F电容。

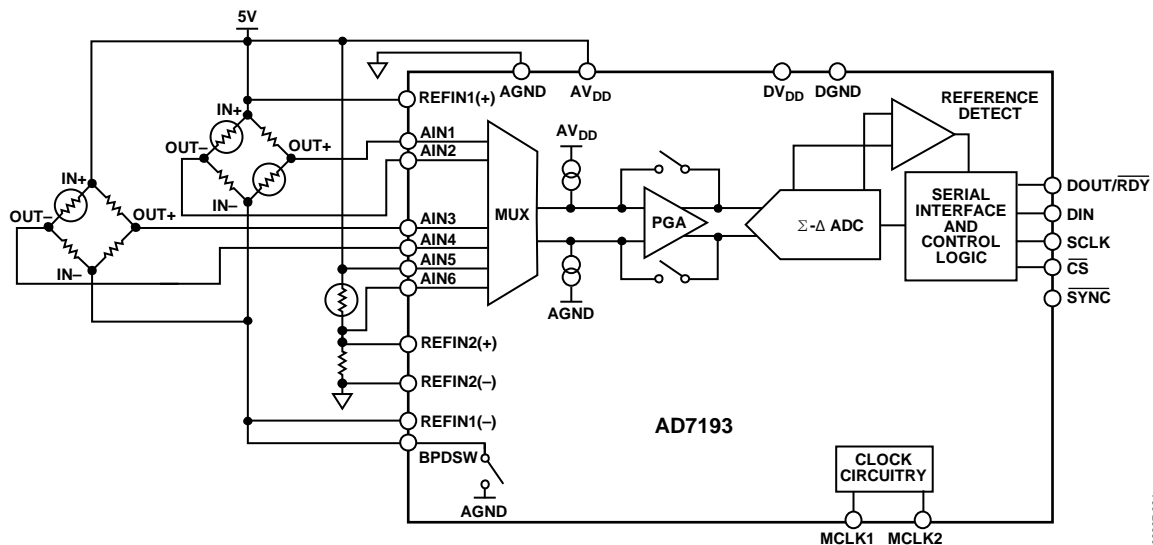
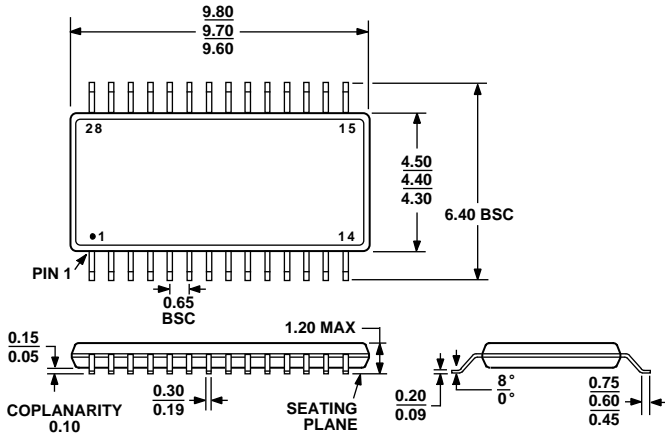


图68. 典型应用(流量计)

08387-064

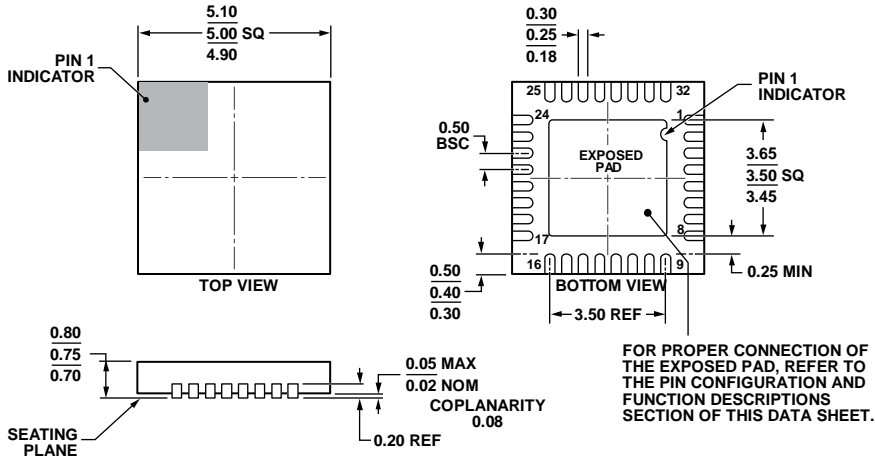
外形尺寸



COMPLIANT至JEDEC STANDARDS MO-153-AE

图69. 28引脚超薄紧缩小型封装[TSSOP] (RU-28)

尺寸单位: mm



COMPLIANT至JEDEC STANDARDS MO-220-WHHD.

图70. 32引脚引脚架构芯片级封装[LFCSP_WQ] 5 mm × 5 mm, 超薄体 (CP-32-11)

图示尺寸单位: mm

04-02-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7193BRUZ	-40°C至+105°C	28引脚 TSSOP	RU-28
AD7193BRUZ-REEL	-40°C至+105°C	28引脚 TSSOP	RU-28
AD7193BCPZ	-40°C至+105°C	32引脚 LFCSP_WQ	CP-32-11
AD7193BCPZ-RL	-40°C至+105°C	32引脚 LFCSP_WQ	CP-32-11
AD7193BCPZ-RL7	-40°C至+105°C	32引脚 LFCSP_WQ	CP-32-11
EVAL-AD7193EBZ	评估板		

¹ Z = 符合RoHS标准的器件。

AD7193

注释