

### 特性

高相对精度 (INL)：16位时最大±2 LSB  
 低漂移2.5 V基准电压源：2 ppm/°C (典型值)  
 小型封装：3 mm × 3 mm、16引脚LFCSP封装  
 总非调整误差 (TUE)：±0.1% FSR (最大值)  
 失调误差：±1.5 mV (最大值)  
 增益误差：±0.1% FSR (最大值)  
 高驱动能力：20 mA, 0.5 V (供电轨)  
 用户可选增益：1或2 (GAIN引脚)  
 复位至零电平或中间电平 (RSTSEL引脚)  
 1.8 V逻辑兼容性  
 低毛刺：0.5 nV-sec  
 400 kHz I<sup>2</sup>C兼容串行接口  
 低功耗：3.3 mW (3 V)  
 电源电压：2.7 V至5.5 V  
 温度范围：-40°C至+105°C

### 应用

光收发器  
 基站功率放大器  
 过程控制 (PLC I/O卡)  
 工业自动化  
 数据采集系统

### 概述

AD5696R/AD5695R/AD5694R系列是低功耗、四通道、16/14/12位缓冲电压输出DAC，内置2.5 V、2 ppm/°C内部基准电压源（默认使能）和增益选择引脚，满量程输出为2.5 V（增益=1）或5 V（增益=2）。这些器件均采用2.7 V至5.5 V单电源供电，通过设计保证单调性，并具有小于0.1% FSR的增益误差和1.5 mV的失调误差性能。提供3 mm × 3 mm LFCSP和TSSOP封装。

AD5696R/AD5695R/AD5694R还内置一个上电复位电路和一个RSTSEL引脚，确保DAC输出上电至零电平或中间电平，直到执行一次有效的写操作为止。此外所有器件均具有各通道独立关断特性，在掉电模式下，器件在3 V时的功耗降至4 μA。

AD5696R/AD5695R/AD5694R采用多功能双线式串行接口，时钟速率最高达400 kHz，包含一个为1.8 V/3 V/5 V逻辑电平准备的V<sub>LOGIC</sub>引脚。

Rev. D

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

功能框图

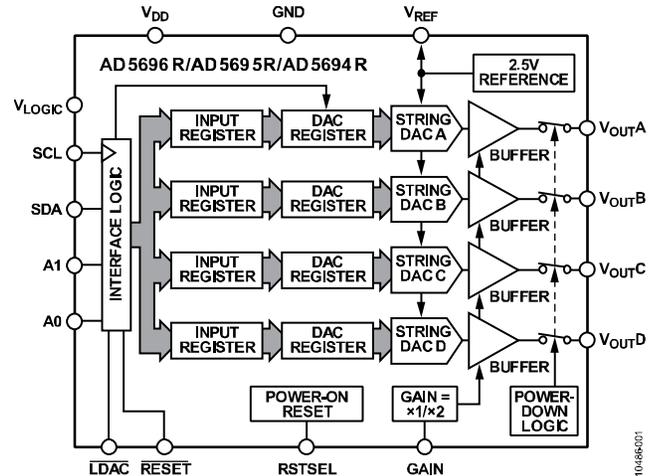


图1.

表1. 四通道nanoDAC+器件

接口	基准电压源	16位	14位	12位
SPI	内部	AD5686R	AD5685R	AD5684R
	外部	AD5686		AD5684
I <sup>2</sup> C	内部	AD5696R	AD5695R	AD5694R
	外部	AD5696		AD5694

### 产品聚焦

- 高相对精度 (INL)。
  - AD5696R (16位)：±2 LSB (最大值)。
  - AD5695R (14位)：±1 LSB (最大值)。
  - AD5694R (12位)：±1 LSB (最大值)。
- 低漂移2.5 V片内基准电压源。
  - 温度系数：2 ppm/°C (典型值)。
  - 温度系数：5 ppm/°C (最大值)。
- 两种封装选择。
  - 3 mm x 3 mm、16引脚LFCSP。
  - 16引脚TSSOP。

## 目录

特性.....	1	串行操作.....	21
应用.....	1	写操作.....	21
功能框图.....	1	读操作.....	22
概述.....	1	多DAC回读序列.....	22
产品聚焦.....	1	掉电工作模式.....	23
修订历史.....	2	加载DAC（硬件LDAC引脚）.....	24
技术规格.....	3	LDAC屏蔽寄存器.....	24
交流特性.....	5	硬件复位（RESET）.....	25
时序特性.....	6	复位选择引脚（RSTSEL）.....	25
绝对最大额定值.....	7	内部基准电压源设置.....	25
ESD警告.....	7	回流焊.....	25
引脚配置和功能描述.....	8	长期温度漂移.....	25
典型性能参数.....	9	热滞.....	26
术语.....	16	应用信息.....	27
工作原理.....	18	微处理器接口.....	27
数模转换器.....	18	AD5696R/AD5695R/AD5694R与ADSP-BF531的接口.....	27
传递函数.....	18	布局布线指南.....	27
DAC架构.....	18	电流隔离接口.....	27
串行接口.....	19	外形尺寸.....	28
写命令和更新命令.....	20	订购指南.....	29

## 修订历史

### 2017年4月—修订版C至修订版D

更改“产品特性”部分.....	1
更改“技术规格”部分.....	3
更改表1的 $V_{\text{LOGIC}}$ 参数.....	4
更改表3的“交流特性”部分和“输出噪声谱密度”参数.....	5
更改“时序特性”部分.....	6
更改表5.....	7
更改表6的 $V_{\text{LOGIC}}$ 引脚描述和RESET引脚描述.....	8
更改图18至图22.....	11
更改图23至图26和图28.....	12
更改图29、图32和图34.....	13
更改图39和图40.....	14
更改图50.....	21
更改图51.....	22
更改“硬件复位（RESET）”部分.....	25
增加“长期温度漂移”部分及图55；重新排序.....	25
更改“订购指南”部分.....	29

### 2014年5月—修订版B至修订版C

删除表1中的长期稳定性漂移参数.....	4
删除图8；重新排序.....	9
更改“读操作”部分和图51.....	22
删除“长期温度漂移”部分.....	25

### 2013年6月—修订版A至修订版B

更改表6中引脚GAIN和引脚RSTSEL的描述.....	8
------------------------------	---

### 2012年11月—修订版0至修订版A

更改表1.....	1
更改表4.....	6
更改图10.....	9
更改图33.....	13
更改“串行接口”部分.....	19
更改图52.....	22

### 2012年4月—修订版0：初始版

## 技术规格

$V_{DD} = 2.7\text{ V至}5.5\text{ V}$ ;  $1.62\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ; 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ , 除非另有说明。 $R_L = 2\text{ k}\Omega$ ;  $C_L = 200\text{ pF}$ 。

表2.

参数	A级 <sup>1</sup>			B级 <sup>1</sup>			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能 <sup>2</sup>								
AD5696R								
分辨率	16			16			位	
相对精度		±2	±8		±1	±2	LSB	增益 = 2
差分非线性		±2	±8		±1	±3	LSB	增益 = 1
AD5695R								
分辨率	14			14			位	
相对精度		±0.5	±4		±0.5	±1	LSB	通过设计保证单调性
差分非线性			±1			±1	LSB	通过设计保证单调性
AD5694R								
分辨率	12			12			位	
相对精度		±0.12	±2		±0.12	±1	LSB	
差分非线性			±1			±1	LSB	通过设计保证单调性
零点误差		0.4	4		0.4	1.5	mV	DAC寄存器载入全0
失调误差		+0.1	±4		+0.1	±1.5	mV	
满量程误差		+0.01	±0.2		+0.01	±0.1	% FSR	DAC寄存器载入全1
增益误差		±0.02	±0.2		±0.02	±0.1	% FSR	
总非调整误差		±0.01	±0.25		±0.01	±0.1	% FSR	外部基准电压源; 增益 = 2; TSSOP
失调误差漂移 <sup>3</sup>		±1			±1		μV/°C	内部基准电压源; 增益 = 1; TSSOP
增益温度系数 <sup>3</sup>		±1			±1		ppm	用FSR/°C表示
直流电源抑制比 <sup>3</sup>		0.15			0.15		mV/V	DAC编码 = 中间量程; $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰 <sup>3</sup>								
		±2			±2		μV	单通道、满量程输出变化引起
		±3			±3		μV/mA	负载电流变化引起
		±2			±2		μV	(各通道) 掉电引起
输出特性 <sup>3</sup>								
输出电压范围	0		$V_{REF}$	0		$V_{REF}$	V	增益 = 1
	0		$2 \times V_{REF}$	0		$2 \times V_{REF}$	V	增益 = 2; 参见图30
容性负载稳定性		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
阻性负载 <sup>4</sup>	1			1			kΩ	
负载调整率		80			80		μV/mA	$5\text{ V} \pm 10\%$ , DAC代码 = 中间电平; $-30\text{ mA} \leq I_{OUT} \leq 30\text{ mA}$
		80			80		μV/mA	$3\text{ V} \pm 10\%$ , DAC代码 = 中间电平; $-20\text{ mA} \leq I_{OUT} \leq 20\text{ mA}$
短路电流 <sup>5</sup>		40			40		mA	
供电轨处负载阻抗 <sup>6</sup>		25			25		Ω	参见图30
上电时间		2.5			2.5		μs	退出掉电模式; $V_{DD} = 5\text{ V}$

参数	A级 <sup>1</sup>			B级 <sup>1</sup>			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
基准输出								
输出电压 <sup>7</sup>	2.4975		2.5025	2.4975		2.5025	V	环境温度
基准电压源TC <sup>8,9</sup>		5	20		2	5	ppm/°C	参见“术语”部分
输出阻抗 <sup>3</sup>		0.04			0.04		Ω	
输出电压噪声 <sup>3</sup>		12			12		μV p-p	0.1 Hz至10 Hz
输出电压噪声密度 <sup>3</sup>		240			240		μV/√Hz	环境温度; f = 10 kHz, C <sub>L</sub> = 10 nF
负载调整率(源) <sup>3</sup>		20			20		μV/mA	环境温度
负载调整率(吸) <sup>3</sup>		40			40		μV/mA	环境温度
输出电流负载能力 <sup>3</sup>		±5			±5		mA	V <sub>DD</sub> ≥ 3 V
电压调整率 <sup>3</sup>		100			100		μV/V	环境温度
热滞 <sup>3</sup>		125			125		ppm	第一周期
		25			25		ppm	其它周期
逻辑输入 <sup>3</sup>								
输入电流			±2			±2	μA	每引脚
输入低电压V <sub>INL</sub>			0.3 × V <sub>LOGIC</sub>			0.3 × V <sub>LOGIC</sub>	V	
输入高电压V <sub>INH</sub>	0.7 × V <sub>LOGIC</sub>			0.7 × V <sub>LOGIC</sub>			V	
引脚电容		2			2		pF	
逻辑输出 (SDA) <sup>3</sup>								
输出低电压, V <sub>OL</sub>			0.4			0.4	V	I <sub>SINK</sub> = 3 mA
浮空态输出电容		4			4		pF	
电源要求								
V <sub>LOGIC</sub>	1.62		5.5	1.62		5.5	V	
I <sub>LOGIC</sub>			3			3	μA	
V <sub>DD</sub>	2.7		5.5	2.7		5.5	V	增益 = 1
V <sub>DD</sub>	V <sub>REF</sub> + 1.5		5.5	V <sub>REF</sub> + 1.5		5.5	V	增益 = 2
I <sub>DD</sub>								V <sub>IH</sub> = V <sub>DD</sub> , V <sub>IL</sub> = GND, V <sub>DD</sub> = 2.7 V至5.5 V
正常模式 <sup>10</sup>		0.59	0.7		0.59	0.7	mA	内部基准电压源关闭
		1.1	1.3		1.1	1.3	mA	内部基准电压源开启, 满量程
全掉电模式 <sup>11</sup>		1	4		1	4	μA	-40°C至+85°C
			6			6	μA	-40°C至+105°C

<sup>1</sup> 温度范围: A和B级: -40°C至+105°C。

<sup>2</sup> 除非另有说明, 直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV, 仅当V<sub>REF</sub> = V<sub>DD</sub>且增益 = 1或V<sub>REF</sub>/2 = V<sub>DD</sub>且增益 = 2时存在。线性度计算使用缩减的代码范围: 256至65,280 (AD5696R)、64至16,320 (AD5695R)、12至4080 (AD5694R)。

<sup>3</sup> 通过设计和特性保证; 未经生产测试。

<sup>4</sup> 通道A和通道B的合并输出电流最高达30 mA。类似地, 在结温高达110°C下, 通道C和通道D的合并输出电流最高达30 mA。

<sup>5</sup> V<sub>DD</sub> = 5 V。器件包含限流功能, 旨在保护器件免受暂时性过载条件影响。限流期间可能会超过结温。在规定的最大结温以上工作可能会影响器件的可靠性。

<sup>6</sup> 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的25 Ω典型通道电阻限制。例如, 当吸电流为1 mA时, 最小输出电压 = 25 Ω × 1 mA = 25 mV (见图30)。

<sup>7</sup> 初始精度预焊回流为±750 μV; 输出电压包括预调理漂移的影响。参见“内部基准电压源设置”部分。

<sup>8</sup> 基准电压源在两个温度上进行调整和测试, 且表征温度范围为-40°C至+105°C。

<sup>9</sup> 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

<sup>10</sup> 接口未启用。所有DAC启用。DAC输出端无负载。

<sup>11</sup> 所有DAC关断。

## 交流特性

$V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ； $R_L = 2\text{ k}\Omega$ 接GND； $C_L = 200\text{ pF}$ 接GND； $1.62\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ；所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ ，除非另有说明<sup>1</sup>。

表3.

参数 <sup>2</sup>	最小值	典型值	最大值	单位	测试条件/注释 <sup>3</sup>
输出电压建立时间					
AD5696R		5	8	$\mu\text{s}$	1/4到3/4量程建立到 $\pm 2\text{ LSB}$
AD5695R		5	8	$\mu\text{s}$	1/4到3/4量程建立到 $\pm 2\text{ LSB}$
AD5694R		5	7	$\mu\text{s}$	1/4到3/4量程建立到 $\pm 2\text{ LSB}$
压摆率		0.8		$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲		0.5		$\text{nV}\cdot\text{sec}$	主进位1 LSB变化
数字馈通		0.13		$\text{nV}\cdot\text{sec}$	
数字串扰		0.1		$\text{nV}\cdot\text{sec}$	
模拟串扰		0.2		$\text{nV}\cdot\text{sec}$	
DAC间串扰		0.3		$\text{nV}\cdot\text{sec}$	
总谐波失真 <sup>4</sup>		-80		dB	环境温度下， $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
输出噪声谱密度		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC编码 = 中间量程， $10\text{ kHz}$ ；增益 = 2，内部基准电压源
输出噪声		6		$\mu\text{V p-p}$	0.1 Hz至10 Hz
SNR		90		dB	环境温度下， $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
SFDR		83		dB	环境温度下， $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$
SINAD		80		dB	环境温度下， $\text{BW} = 20\text{ kHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{OUT} = 1\text{ kHz}$

<sup>1</sup> 通过设计和特性保证；未经生产测试。

<sup>2</sup> 参见“术语”部分。

<sup>3</sup> 温度范围： $-40^\circ\text{C}$ 至 $+105^\circ\text{C}$ ，典型值 $25^\circ\text{C}$ 。

<sup>4</sup> 以数字方式生成频率为1 kHz的正弦波。

## 时序特性

$V_{DD} = 2.5\text{ V}$ 至 $5.5\text{ V}$ ； $1.62\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ；所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ ，除非另有说明。<sup>1</sup>

表4.

参数 <sup>2</sup>	最小值	最大值	单位	条件/注释
$t_1$	2.5		$\mu\text{s}$	SCL周期时间
$t_2$	0.6		$\mu\text{s}$	$t_{HIGH}$ ，SCL高电平时间
$t_3$	1.3		$\mu\text{s}$	$t_{LOW}$ ，SCL低电平时间
$t_4$	0.6		$\mu\text{s}$	$t_{HD,STA}$ ，起始/重复起始条件保持时间
$t_5$	100		ns	$t_{SU,DAT}$ ，数据建立时间
$t_6$ <sup>3</sup>	0	0.9	$\mu\text{s}$	$t_{HD,DAT}$ ，数据保持时间
$t_7$	0.6		$\mu\text{s}$	$t_{SU,STA}$ ，重复起始建立时间
$t_8$	0.6		$\mu\text{s}$	$t_{SU,STO}$ ，停止条件建立时间
$t_9$	1.3		$\mu\text{s}$	$t_{BUF}$ ，一个停止条件与一个起始条件之间的总线空闲时间
$t_{10}$	0	300	ns	$t_R$ ，接收时SCL和SDA的上升时间
$t_{11}$	$20 + 0.1C_B^4$	300	ns	$t_F$ ，发送/接收时SDA和SCL的下降时间
$t_{12}$	20		ns	$\overline{LDAC}$ 脉冲宽度
$t_{13}$	400		ns	SCL上升沿到 $\overline{LDAC}$ 上升沿
$t_{SP}$ <sup>5</sup>	0	50	ns	抑制尖峰的脉冲宽度
$C_B^4$		400	pF	各条总线的容性负载

<sup>1</sup> 参见图2。

<sup>2</sup> 通过设计和特性保证；未经生产测试。

<sup>3</sup> 主器件必须为SDA信号（参考SCL信号的 $V_{IH}$ 最小值）提供至少300 ns的保持时间，以便桥接SCL下降沿的未定义区域。

<sup>4</sup>  $C_B$ 是一条总线的总电容（单位为pF）。 $t_R$ 和 $t_F$ 是在 $0.3 V_{DD}$ 和 $0.7 V_{DD}$ 范围内测得。

<sup>5</sup> SCL和SDA输入的输入滤波可抑制小于50 ns的噪声尖峰。

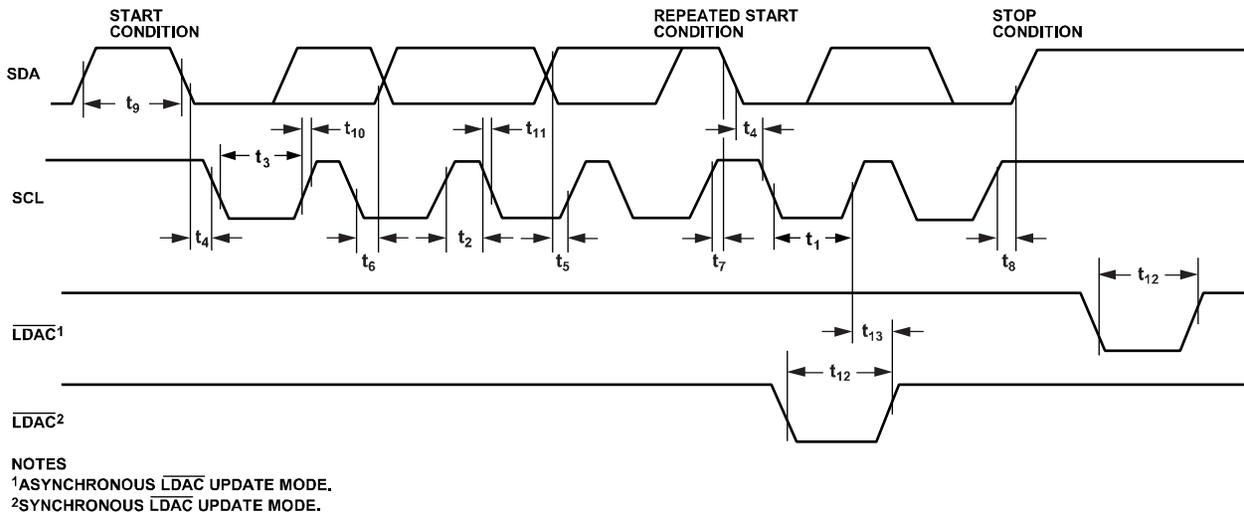


图2. 双线式串行接口时序图

10488-002

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
$V_{DD}$ 至GND	-0.3 V至+7 V
$V_{LOGIC}$ 至GND	-0.3 V至+7 V
$V_{OUT}$ 至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
$V_{REF}$ 至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
数字输入电压至GND <sup>1</sup>	-0.3 V至 $V_{LOGIC} + 0.3\text{ V}$
SDA和SCL至GND	-0.3 V至+7 V
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温	125°C
16引脚TSSOP, $\theta_{JA}$ 热阻, 0气流 (4层板)	112.6°C/W
16引脚LFCSP, $\theta_{JA}$ 热阻, 0气流 (4层板)	70°C/W
回流焊峰值温度, 无铅 (J-STD-020)	260°C

<sup>1</sup> 不含SDA和SCL。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

### ESD警告

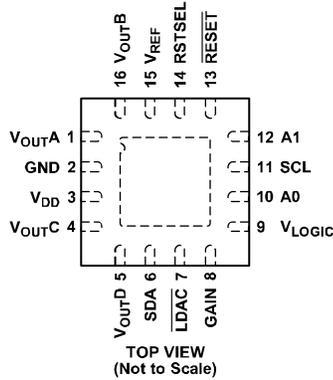


#### ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

AD5696R/AD5695R/AD5694R



NOTES  
1. THE EXPOSED PAD MUST BE TIED TO GND.

图3.16 引脚LFCSP引脚配置

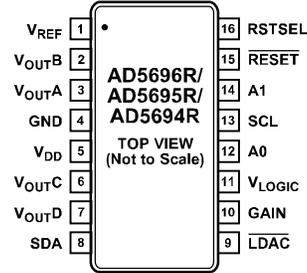


图4.16 引脚TSSOP引脚配置

表6. 引脚功能描述

引脚编号		引脚名称	描述
LFCSP	TSSOP		
1	3	$V_{OUTA}$	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
2	4	GND	器件上所有电路的接地基准点。
3	5	$V_{DD}$	电源输入引脚。这些器件可以采用2.7V至5.5V电源供电，电源应通过并联的10 pF电容和0.1 pF电容去耦至GND。
4	6	$V_{OUTC}$	DAC C的模拟输出电压。输出放大器能以轨到轨方式工作。
5	7	$V_{OUTD}$	DAC D的模拟输出电压。输出放大器能以轨到轨方式工作。
6	8	SDA	串行数据输入。该引脚与SCL线配合使用，将数据输入或输出24位输入移位寄存器。SDA是一种双向开漏数据线，应通过一个外部上拉电阻上拉至电源。
7	9	LDAC	LDAC支持两种工作模式：异步和同步。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器。因此，所有DAC输出可以同时更新。也可以将该引脚永久接为低电平。
8	10	GAIN	范围设置引脚。当该引脚与GND相连时，所有四个DAC的输出范围均为0V至 $V_{REF}$ 。如果该引脚与 $V_{LOGIC}$ 相连，则所有四个DAC的输出范围为0V至 $2 \times V_{REF}$ 。
9	11	$V_{LOGIC}$	数字电源。电压范围为1.62V至5.5V。
10	12	A0	地址输入。设置7位从机地址的第一个LSB。
11	13	SCL	串行时钟线。该引脚与SDA线配合使用，将数据输入或输出24位输入寄存器。
12	14	A1	地址输入。设置7位从机地址的第二个LSB。
13	15	RESET	异步复位输入。RESET输入对下降沿敏感。当RESET为低电平时，所有LDAC脉冲都被忽略。当RESET有效时，输入寄存器和DAC寄存器更新为零电平或中间电平，具体取决于RSTSEL引脚的状态。如果该引脚在上电时被驱动到低电平，则POR电路不会正确初始化，直至释放该引脚为止。
14	16	RSTSEL	上电复位引脚。将该引脚连接至GND时，可将所有四个DAC上电至零电平。将该引脚连接至 $V_{LOGIC}$ 时，可将所有四个DAC上电至中间电平。
15	1	$V_{REF}$	基准电压。AD5696R/AD5695R/AD5694R有一个公用基准引脚。使用内部基准电压源时，此引脚为基准输出。使用外部基准电压源时，此引脚为基准输入。此引脚默认用作基准输出。
16	2	$V_{OUTB}$	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
17	N/A	EPAD	裸露焊盘。裸露焊盘必须连接到GND。

典型性能参数

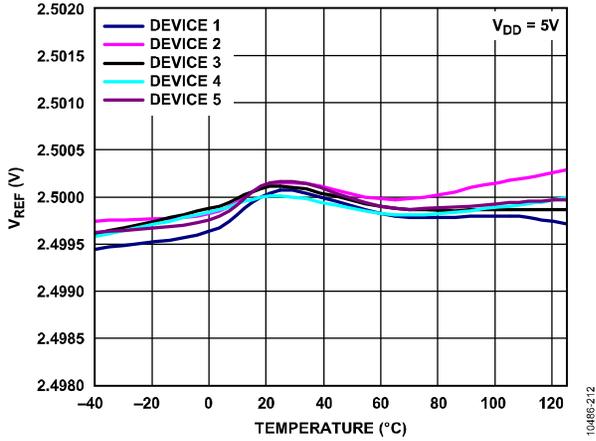


图5. 内部基准电压与温度的关系 (B级)

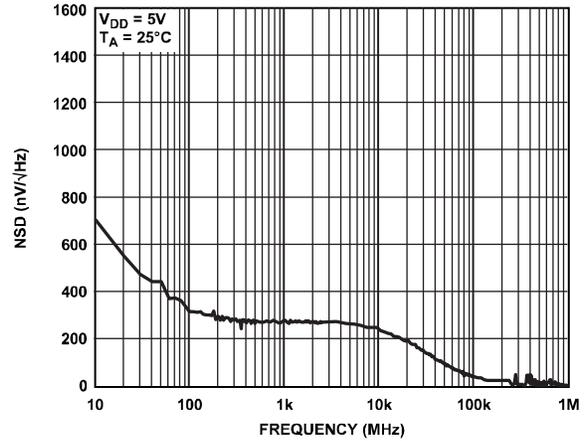


图8. 内部基准电压源噪声谱密度与频率的关系

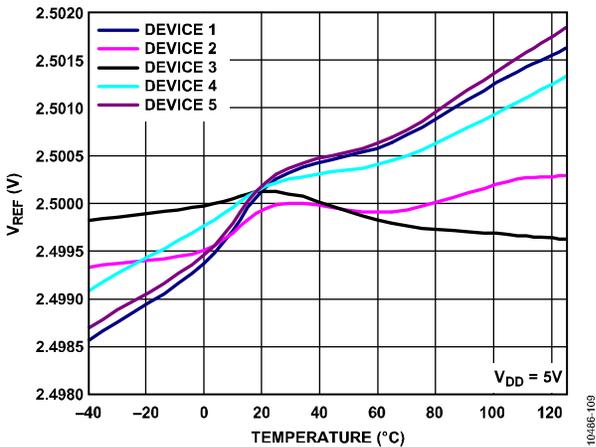


图6. 内部基准电压与温度的关系 (A级)

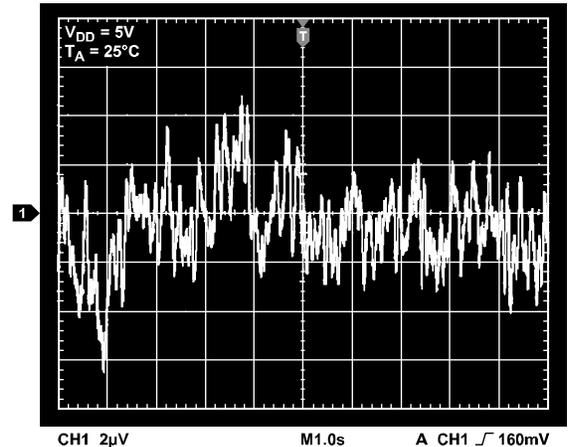


图9. 内部基准电压源噪声 (0.1 Hz至10 Hz)

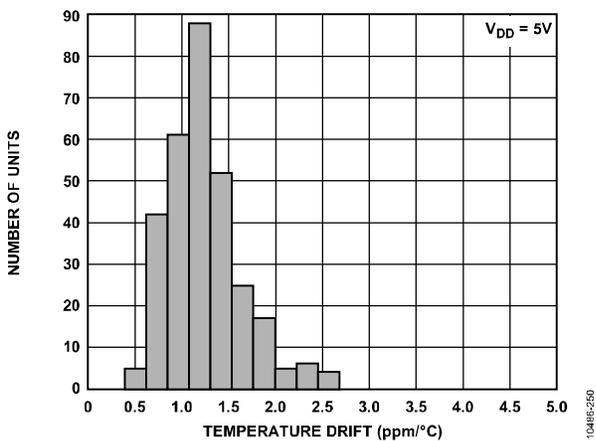


图7. 基准电压输出温度漂移直方图

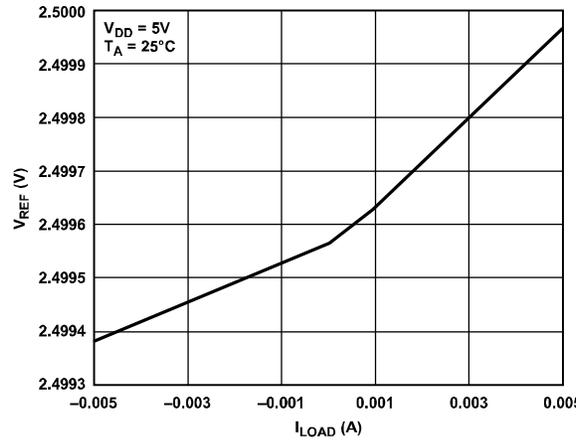


图10. 内部基准电压与负载电流的关系

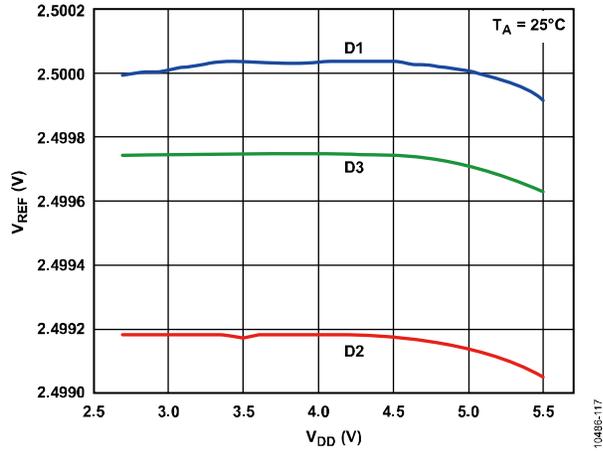


图11. 内部基准电压与电源电压的关系

10486-117

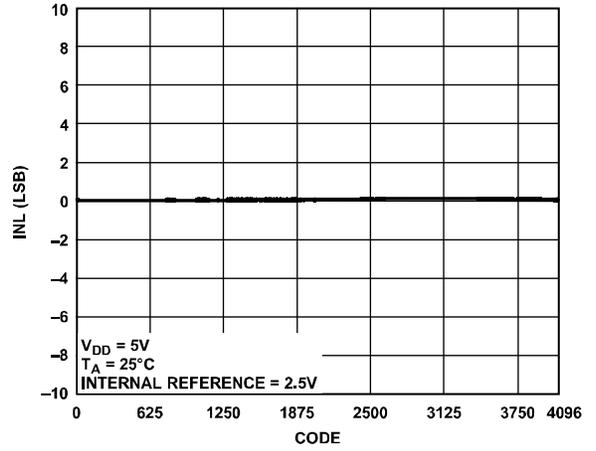


图14. AD5694R INL

10486-120

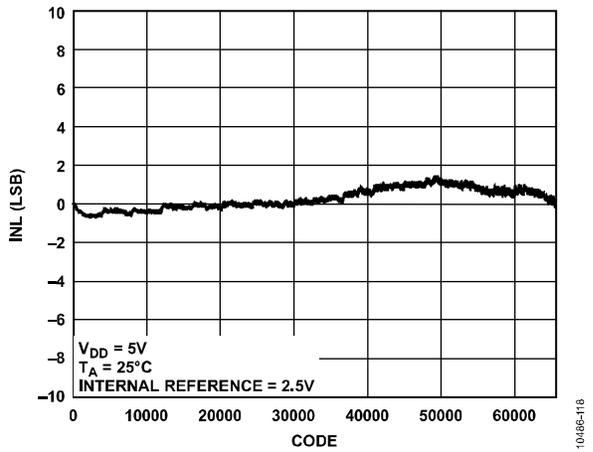


图12. AD5696R INL

10486-118

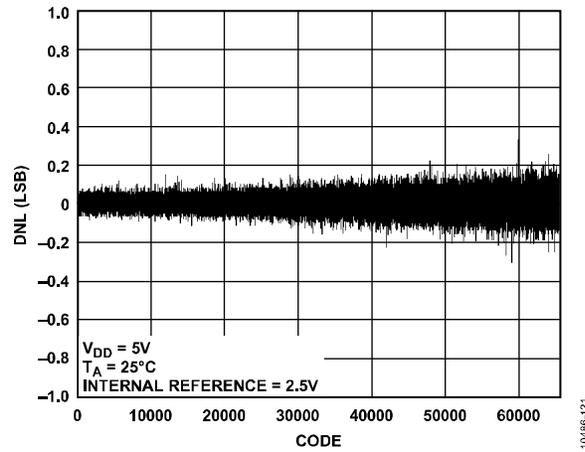


图15. AD5696R DNL

10486-121

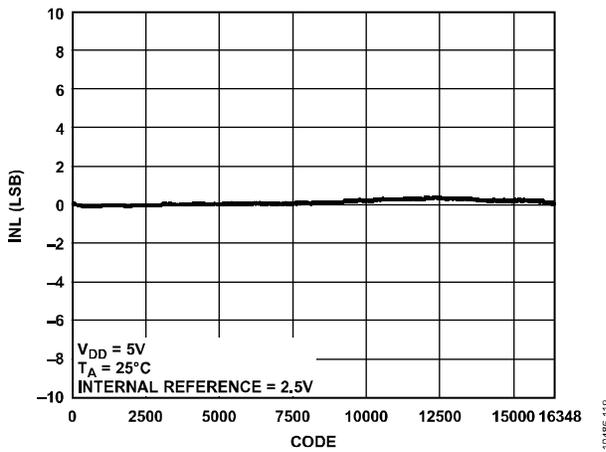


图13. AD5695R INL

10486-119

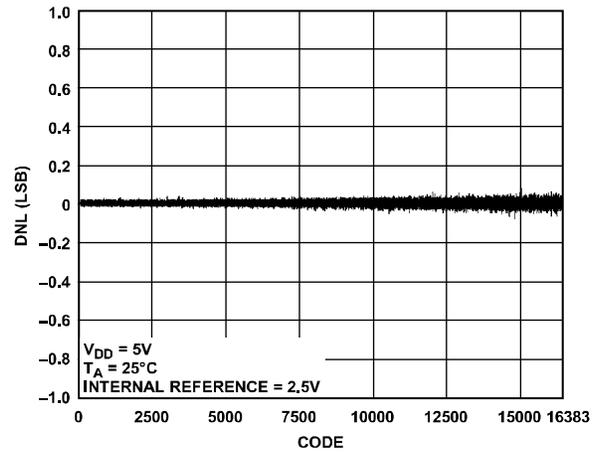


图16. AD5695R DNL

10486-122

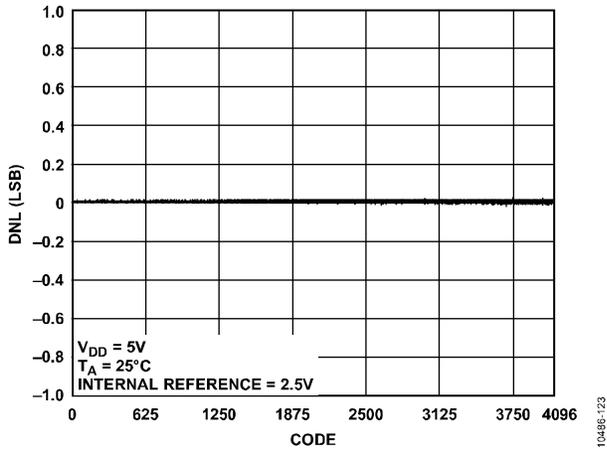


图17. AD5694R DNL

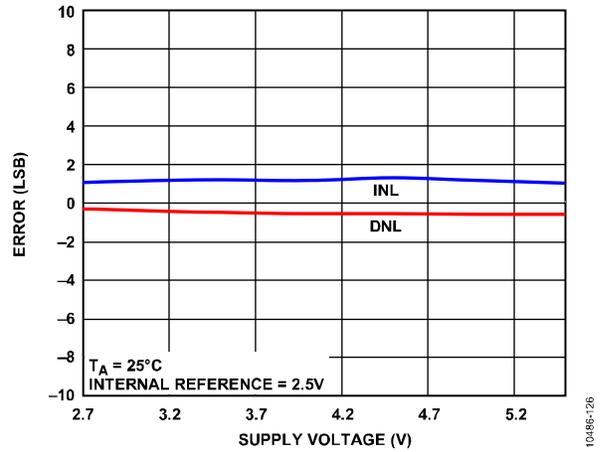


图20. INL误差和DNL误差与电源电压的关系

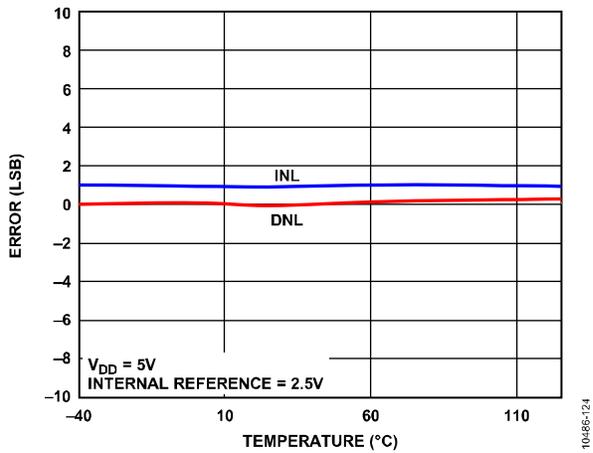


图18. INL误差和DNL误差与温度的关系

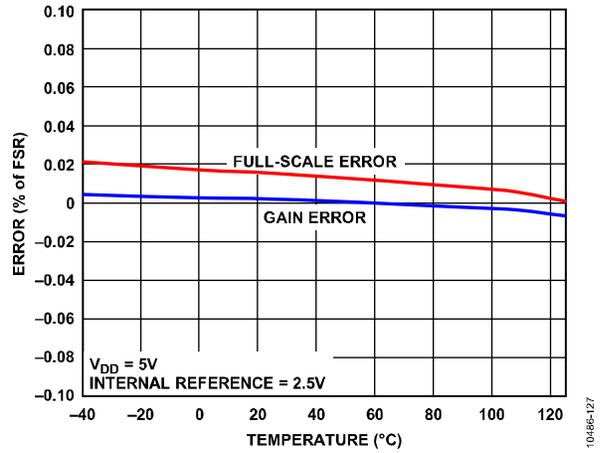


图21. 增益误差和满量程误差与温度的关系

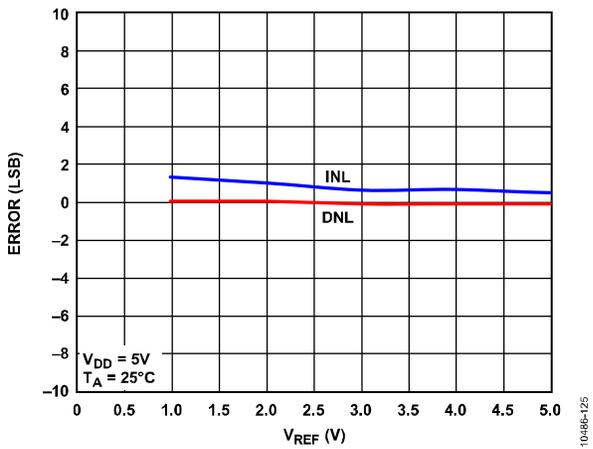


图19. INL误差和DNL误差与VREF的关系

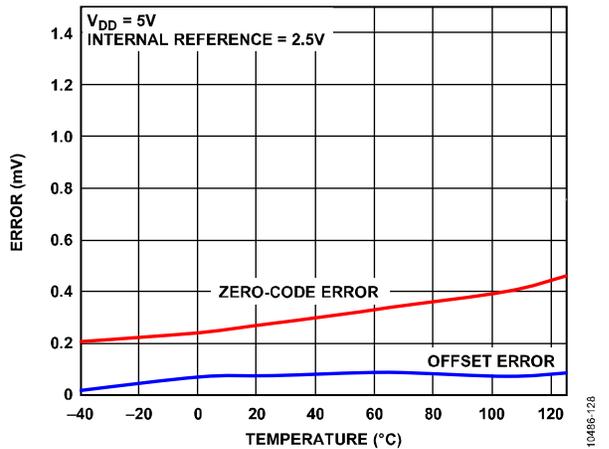


图22. 零点误差和偏置误差与温度的关系

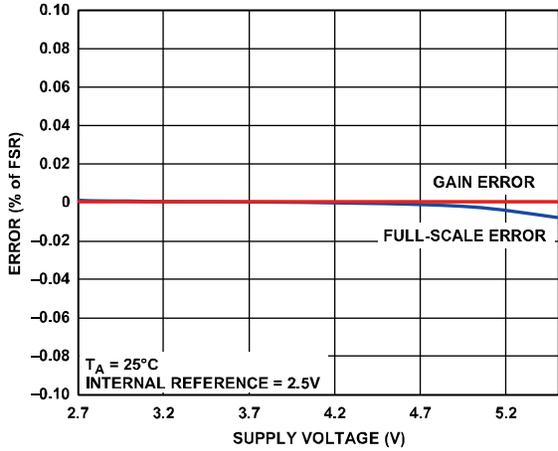


图23. 增益误差和满量程误差与电源的关系

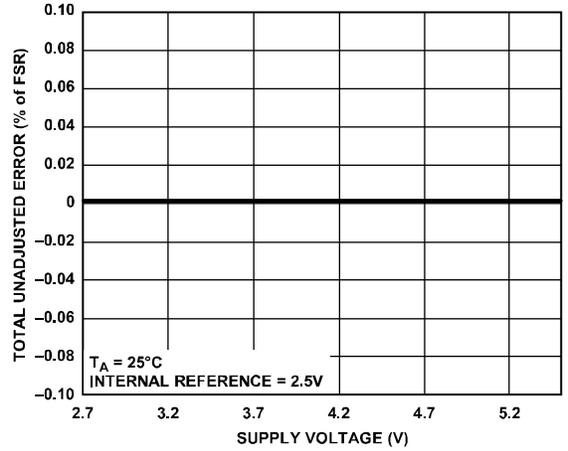


图26. TUE与电源的关系 (增益=1)

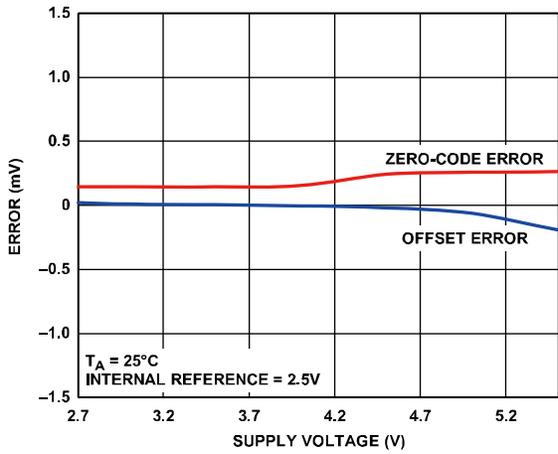


图24. 零点误差和偏置误差与电源的关系

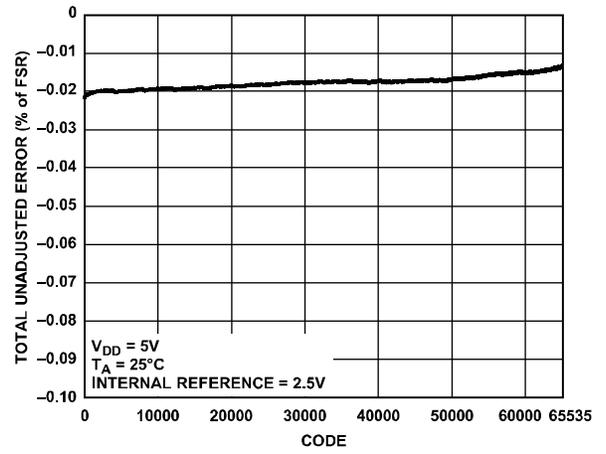


图27. TUE与代码的关系

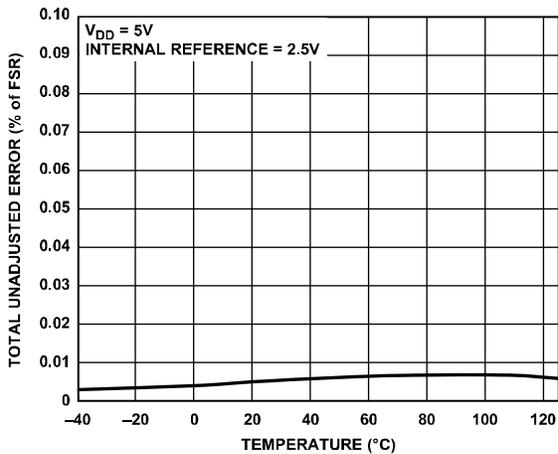


图25. TUE与温度的关系

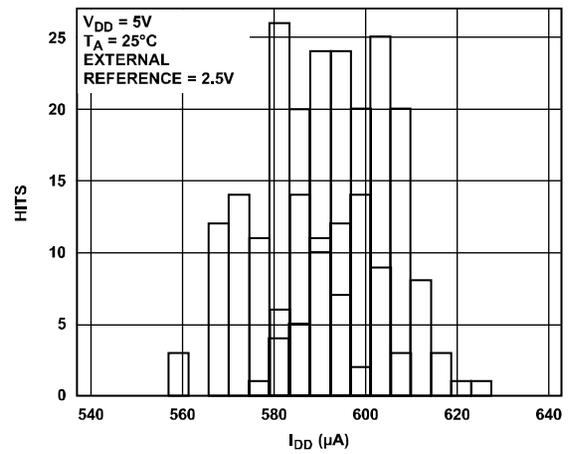


图28. 采用外部基准电压源时的 $I_{DD}$ 直方图 (5 V)

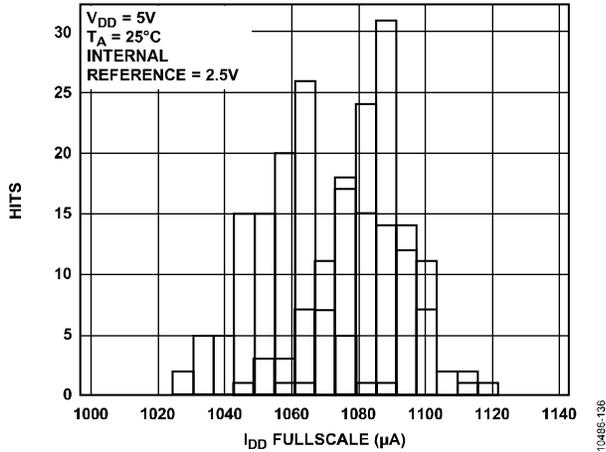


图29. 采用内部基准电压源时的 $I_{DD}$ 直方图 ( $V_{REFOUT} = 2.5V$ , 增益 = 2)

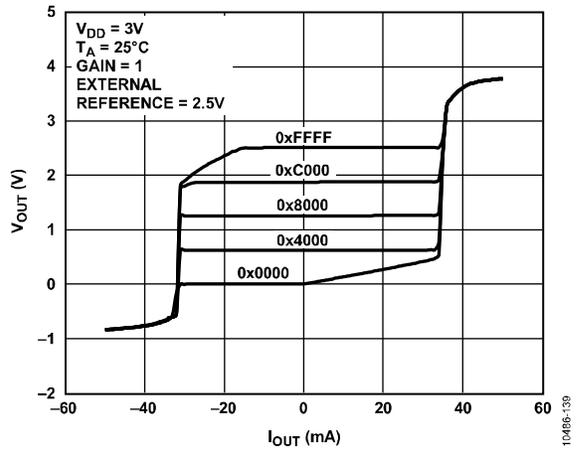


图32. 3V时的源电流和吸电流能力

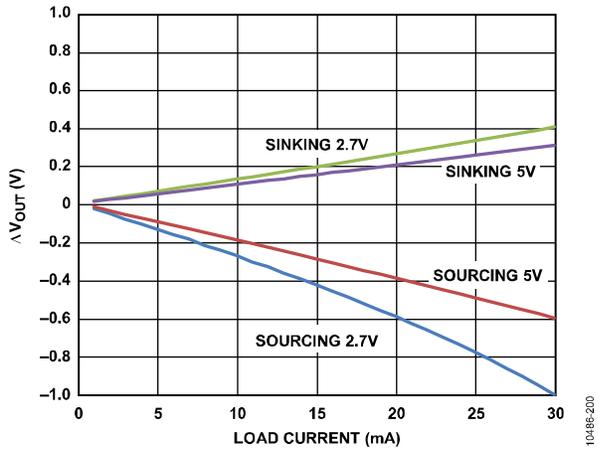


图30. 上裕量/下裕量与负载电流的关系

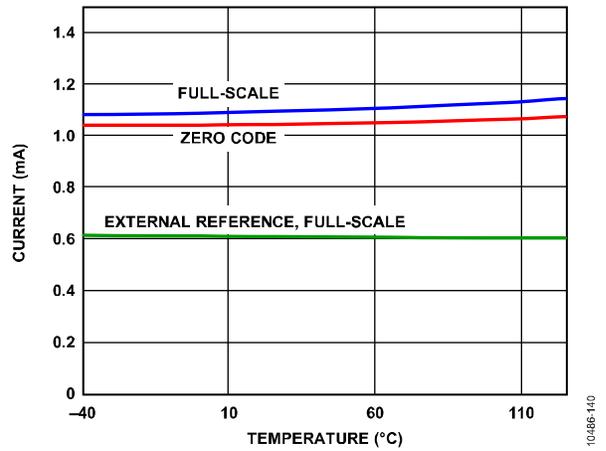


图33. 电源电流与温度的关系

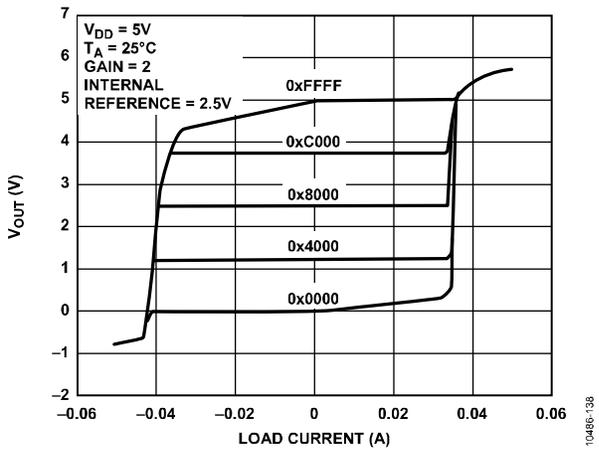


图31. 5V时的源电流和吸电流能力

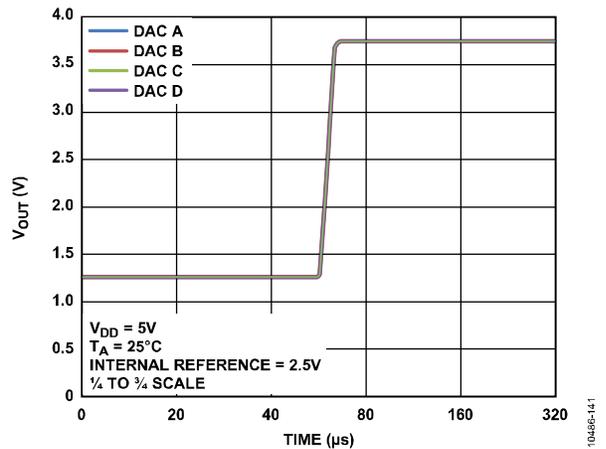


图34. 3.75V建立时间

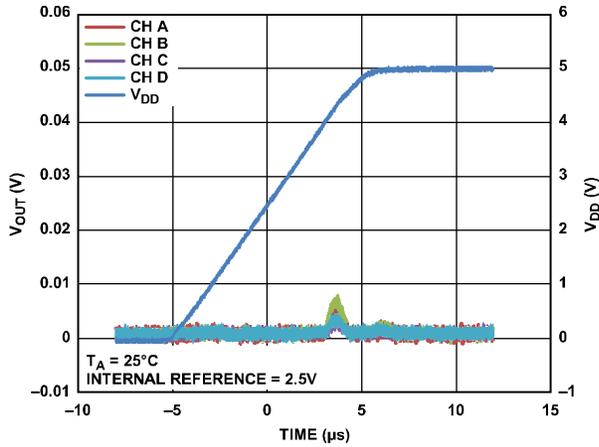


图35. 上电复位至0 V

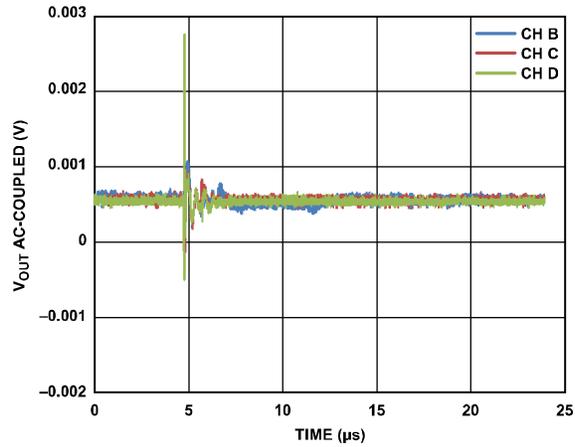


图38. 模拟串扰 (通道A)

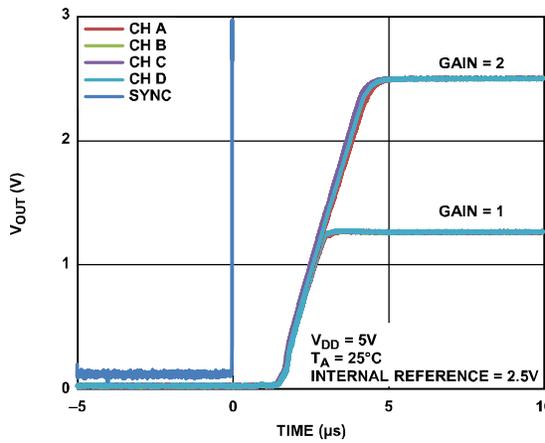


图36. 退出掉电模式进入中间电平

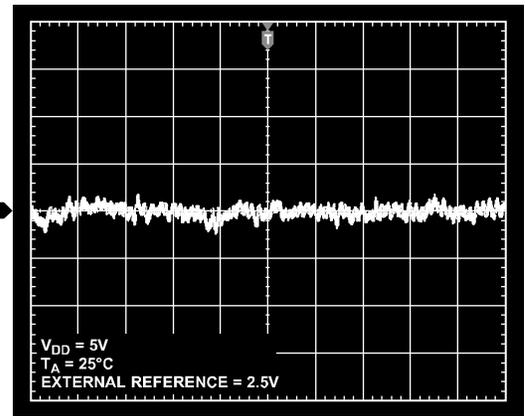


图39. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

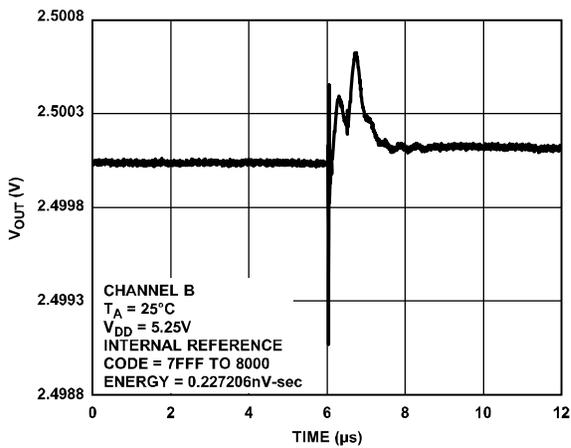


图37. 数模转换毛刺脉冲

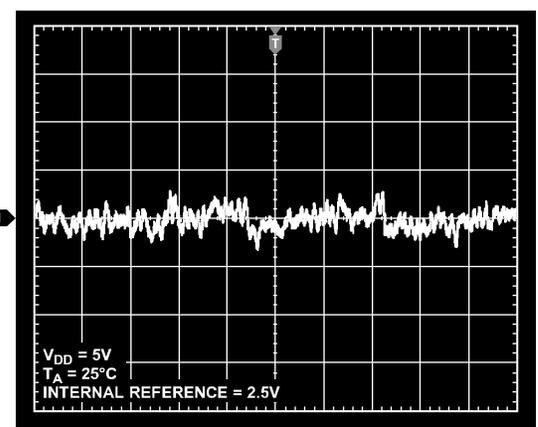


图40. 0.1 Hz至10 Hz输出噪声图, 2.5 V内部基准电压源

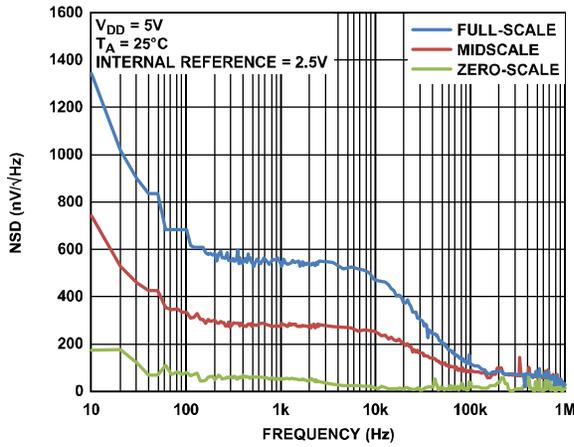


图41. 噪声谱密度

10486-148

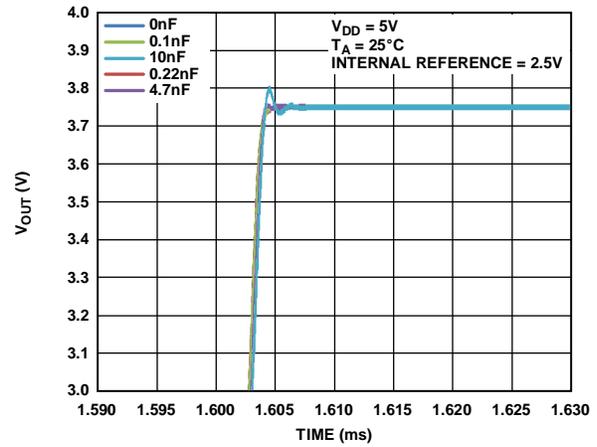


图43. 建立时间与容性负载的关系

10486-150

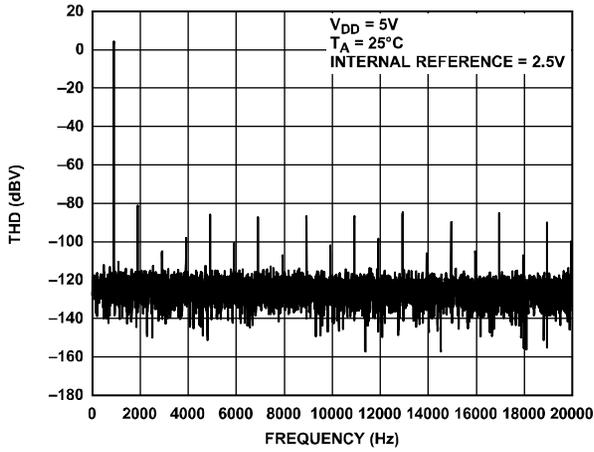


图42. 总谐波失真 (1 kHz)

10486-149

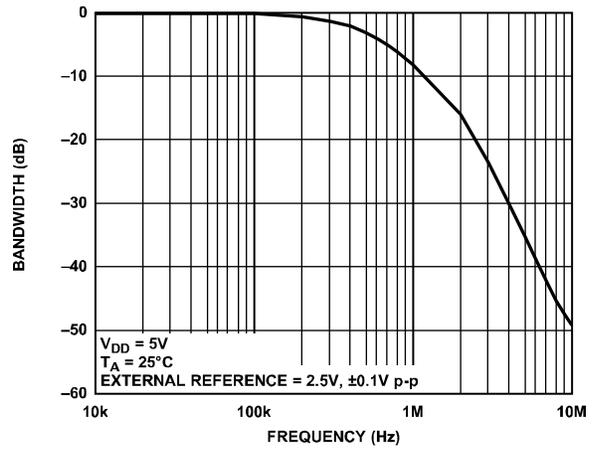


图44. 乘法带宽 (外部基准电压源 = 2.5 V, ±0.1 V p-p, 10 kHz至10 MHz)

10486-151

## 术语

### 相对精度或积分非线性 (INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图12给出了典型INL与代码的关系图。

### 差分非线性 (DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 $\pm 1$  LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。图15所示为典型DNL与代码的关系图。

### 零点误差

零点误差衡量将零电平码 (0x0000) 载入DAC寄存器时的输出误差。理想情况下，输出应为0V。在AD5696R中，零点误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零点误差用mV表示。图22所示为零点误差与温度的关系图。

### 满量程误差

满量程误差衡量将满量程代码 (0xFFFF) 载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$  LSB。满量程误差用满量程范围的百分比 (% FSR) 表示。图21所示为满量程误差与温度的关系图。

### 增益误差

增益误差是衡量DAC量程误差的指标，是指DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

### 失调误差漂移

失调误差漂移衡量失调误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 增益温度系数

增益温度系数衡量增益误差随温度的变化，用ppm FSR/ $^\circ\text{C}$ 表示。

### 失调误差

失调误差是指传递函数线性区内 $V_{OUT}$  (实际) 和 $V_{OUT}$  (理想) 之间的差值，用mV表示。失调误差在AD5696R上是通过将代码512载入DAC寄存器测得的。该值可以为正，也可为负。

### 直流电源电压抑制比 (PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，PSRR指DAC满量程输出的条件下 $V_{OUT}$ 变化量与 $V_{DD}$ 变化量之比，用mV/V表示。 $V_{REF}$ 保持在2 V，而 $V_{DD}$ 的变化范围为 $\pm 10\%$ 。

### 输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间量。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入编码变化时注入到模拟输出的脉冲。在数字输入编码主进位发生1 LSB转换 (0x7FFF到0x8000) 时测量，它一般定义为以nV-秒为单位的毛刺面积 (参见图37)。

### 数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

### 基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

### 噪声谱密度

噪声频谱密度衡量内部产生的随机噪声。随机噪声表示为频谱密度 (nV/ $\sqrt{\text{Hz}}$ )。测量方法是将DAC加载到中间电平，然后测量输出端噪声，单位为nV/ $\sqrt{\text{Hz}}$ 。噪声谱密度曲线图如图41所示。

### 直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化 (或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 $\mu\text{V}$ 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响，单位为 $\mu\text{V}/\text{mA}$ 。

### 数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器中满量程编码变化 (全0至全1，或相反) 而引起的毛刺脉冲。该值在独立模式下进行测量，用nV-sec表示。

**模拟串扰**

模拟串扰指一个DAC的输出因响应另一个DAC输出的变化而引起的毛刺脉冲。它的测量方法是，向一个DAC加载满量程代码变化（全0至全1或相反），然后执行软件LDAC并监控数字编码未改变的DAC的输出。毛刺面积用nV-sec表示。

**DAC间串扰**

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲。其测量方法是使用写入和更新命令让一个通道发生满量程编码变化（全0到全1，或相反），同时监控处于中间电平的另一个通道的输出。毛刺的能量用nV-sec表示。

**乘法带宽**

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波（DAC加载满量程编码）出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

**总谐波失真 (THD)**

总谐波失真是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

**基准电压源TC**

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数（TC）定义为基准电压输出在给定温度范围内的最大变化，用ppm/°C表示，计算公式如下：

$$TC = \left[ \frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

其中：

$V_{REFmax}$ 是在整个温度范围内测量的最大基准电压输出。

$V_{REFmin}$ 是在整个温度范围内测量的最小基准电压输出。

$V_{REFnom}$ 是标称基准输出电压2.5 V。

$TempRange$ 为额定温度范围：-40°C至+105°C。

## 工作原理

### 数模转换器

AD5696R/AD5695R/AD5694R分别为四通道、16/14/12位、串行输入、电压输出DAC，内置基准电压源，采用2.7 V至5.5 V电源供电。数据通过双线式串行接口以24位字格式写入AD5696R/AD5695R/AD5694R。AD5696R/AD5695R/AD5694R内置一个上电复位电路，确保DAC输出上电至已知的输出状态。它们也有软件掉电模式，可以将典型功耗降至4  $\mu$ A。

### 传递函数

内部基准电压源默认使能。若要使用外部基准电压源，只需不含基准电压源的选项。DAC的输入编码为直接二进制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REF} \times \text{增益} \left[ \frac{D}{2^N} \right]$$

其中：

D是载入DAC寄存器的二进制编码的十进制等效值：

12位器件：0至4,095。

14位器件：0至16,383。

16位器件：0至65,535。

N为DAC分辨率。

Gain是输出放大器的增益，默认设置为1。可使用增益选择引脚将其设置为 $\times 1$ 或 $\times 2$ 。当该引脚与GND相连时，所有四个DAC的输出范围均为0 V至 $V_{REF}$ 。如果该引脚与 $V_{DD}$ 相连，则所有四个DAC的输出范围为0 V至 $2 \times V_{REF}$ 。

### DAC架构

DAC架构由一个电阻串DAC和一个输出放大器构成。图45为DAC架构框图。

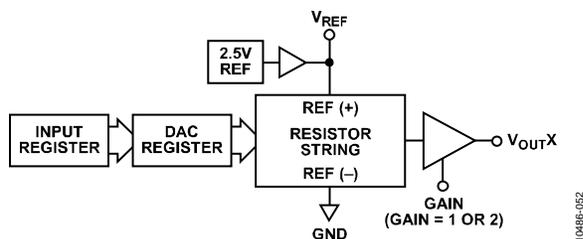


图45. DAC单通道架构框图

电阻串结构如图46所示。它是一串电阻，各电阻的值为R。载入DAC寄存器的代码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

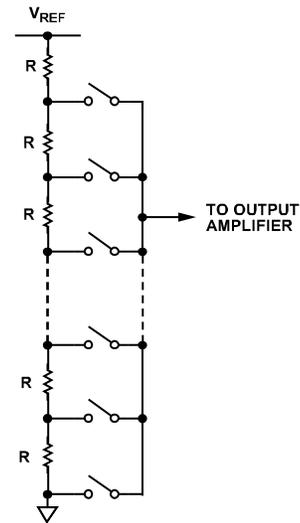


图46. 电阻串结构

### 内部基准电压源

AD5696R/AD5695R/AD5694R的片内基准电压源在上电时开启，可以通过写入控制寄存器予以禁用。详见“内部基准电压源设置”部分。

AD5696R/AD5695R/AD5694R内置一个2.5 V、2 ppm/ $^{\circ}$ C基准电压源，满量程输出为2.5 V或5 V，具体取决于GAIN引脚的状态。器件的内部基准电压通过 $V_{REF}$ 引脚提供。该经过缓冲的基准电压源能够驱动高达10 mA的外部负载。

### 输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 $V_{DD}$ 。实际范围取决于 $V_{REF}$ 的值、GAIN引脚、失调误差和增益误差。GAIN引脚选择输出的增益。

- 如果此引脚连接到GND，所有四个输出的增益均为1，且输出范围为0 V至 $V_{REF}$ 。
- 如果此引脚连接到 $V_{LOGIC}$ ，所有四个输出的增益均为2，且输出范围为0 V至 $2 \times V_{REF}$ 。

这些放大器能驱动连接至GND的一个与2 nF电容并联的1 k $\Omega$ 负载。压摆率为0.8 V/ $\mu$ s， $1/4$ 到 $3/4$ 量程建立时间为5  $\mu$ s。

串行接口

AD5696R/AD5695R/AD5694R采用双线式I<sup>2</sup>C兼容型串行接口 (参见Philips Semiconductor于2000年1月发布的《I<sup>2</sup>C总线规范》2.1版)。典型写序列的时序图参见图2。AD5696R/AD5695R/AD5694R可作为从器件连接到I<sup>2</sup>C总线,受主器件的控制。AD5696R/AD5695R/AD5694R支持标准 (100 kHz) 和快速 (400 kHz) 数据传输模式。不支持10位寻址和广播寻址。当器件连接到有源I<sup>2</sup>C总线时,不应断开电源。

输入移位寄存器

AD5696R/AD5695R/AD5694R的输入移位寄存器为24位宽。数据在串行时钟输入SCL的控制下作为24位字载入器件。前八个MSB构成命令字节。前四位为命令位 (C3、C2、C1和C0),控制器件的工作模式 (见表7)。后4位为地址位 (DAC A、DAC B、DAC C、DAC D) (见表8)。

AD5694R、AD5695R和AD5696R的数据字分别包括12、14、16位输入代码和4、2、0个无关位 (参见图47、图48和图49)。这些数据位在24个SCL下降沿被送入输入寄存器。

命令可以在个别DAC通道、DAC组合通道或所有DAC上执行,具体取决于所选的地址位。

表7. 命令定义

命令				描述
C3	C2	C1	C0	
0	0	0	0	无操作
0	0	0	1	写入输入寄存器n (取决于LDAC)
0	0	1	0	以输入寄存器n的内容更新DAC寄存器n
0	0	1	1	写入并更新DAC通道n
0	1	0	0	DAC掉电/上电
0	1	0	1	硬件LDAC屏蔽寄存器
0	1	1	0	软件复位 (上电复位)
0	1	1	1	内部基准电压源设置寄存器
1	0	0	0	保留
...	...	...	...	保留
1	1	1	1	保留

表8. 地址命令

地址 (n)				选定的DAC通道 <sup>1</sup>
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	1	0	0	DAC C
1	0	0	0	DAC D
0	0	1	1	DAC A和DAC B <sup>1</sup>
1	1	1	1	所有DAC

<sup>1</sup> 可使用地址位来选择任意DAC通道组合。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

图47. AD5694R输入移位寄存器内容

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

图48. AD5695R输入移位寄存器内容

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	DAC D	DAC C	DAC B	DAC A	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE								DATA HIGH BYTE								DATA LOW BYTE							

10486-302

图49. AD5696R输入移位寄存器内容

## 写命令和更新命令

### 写入输入寄存器 $n$ (取决于LDAC)

命令0001允许用户逐个写入各个DAC的专用输入寄存器。当LDAC为低电平时，输入寄存器是透明的（如果不由LDAC屏蔽寄存器控制）。

### 以输入寄存器 $n$ 的内容更新DAC寄存器 $n$

命令0010会在DAC寄存器/输出中加载选定输入寄存器的内容并直接更新DAC输出。

### 写入和更新DAC通道 $n$ (与LDAC无关)

命令0011允许用户写入DAC寄存器并直接更新DAC输出。

串行操作

AD5696R/AD5695R/AD5694R 各有一个7位从机地址。五个MSB为00011, 两个LSB (A1, A0) 则由A0和A1地址引脚的状态设定。通过更改A0和A1硬连线, 用户可以将多达四个这样的器件集成到一条总线上, 如表9所示。

表9. 器件地址选择

A0引脚连接	A1引脚连接	A0	A1
GND	GND	0	0
V <sub>LOGIC</sub>	GND	1	0
GND	V <sub>LOGIC</sub>	0	1
V <sub>LOGIC</sub>	V <sub>LOGIC</sub>	1	1

双线式串行总线协议按如下方式工作:

- 当SDA线上发生高低转换而SCL处于高电平时, 主机通过建立起始条件而启动数据传输。之后的字节是地址字节, 由7位从机地址组成。与发送地址对应的从机地址通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段, 在选定器件等待从移位寄存器读写数据期间, 总线上的所有其它器件保持空闲状态。

- 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间, 并且在SCL高电平期间保持稳定。
- 读取或写入所有数据位之后, 停止条件随即建立。在写入模式下, 主器件在第10个时钟脉冲期间拉高SDA线, 以建立停止条件。在读取模式下, 主机会针对第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低, 然后在第10个时钟脉冲期间拉高, 以建立停止条件。

写操作

写入AD5696R/AD5695R/AD5694R时, 用户必须先写入启动命令和地址字节 ( $R/\overline{W}=0$ ), 接着DAC通过拉低SDA做出应答, 表示其已做好接收数据准备。AD5696R/AD5695R/AD5694R需要用于DAC的两字节数据, 以及控制各种DAC功能的一个命令字节。因此, 必须有三个字节的数写入DAC, 即命令字节、最高有效数据字节和最低有效数据字节, 如图50所示。所有这些数据字节均由AD5696R/AD5695R/AD5694R应答, 随即出现停止条件。

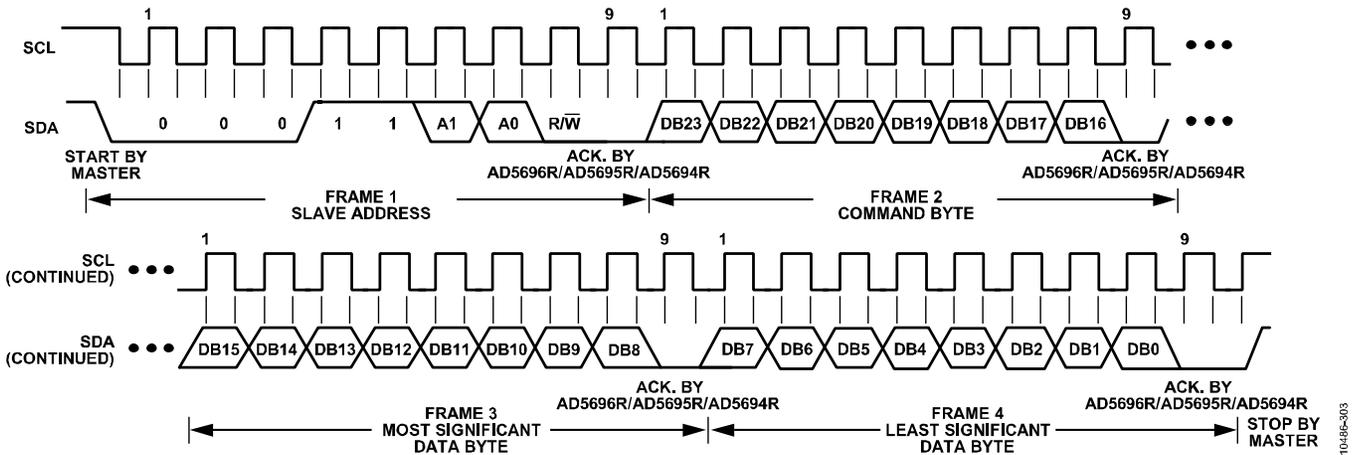


图50. I<sup>2</sup>C写操作

10-436-303

读操作

从AD5696R DAC回读数据时，用户必须先写入地址字节 ( $R/\overline{W} = 0$ )，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。该地址字节之后必须是NOP命令操作，NOP命令操作设置待读取的DAC内部指针地址，并同样由DAC做出应答。然后，主机发出重复起始条件并利用 $R/\overline{W} = 1$ 重新发送地址。此操作由DAC做出应答，表示其已做好数据发送准备。然后，器件从DAC读取两个字节的的数据，如图51所示。主机发出NACK条件，后跟STOP条件，以完成读取序列。如果选择了多个DAC，则默认回读通道A。

多DAC回读序列

用户必须先写入地址字节 ( $R/\overline{W} = 0$ )，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。该地址字节之后必须是控制字节，后者同样由DAC做出应答。用户可以利用控制字节来配置启动回读的具体通道。然后，主机发出重复起始条件并利用 $R/\overline{W} = 1$ 重新发送地址。此操作由DAC做出应答，表示其已做好数据发送准备。然后，器件以MSB优先方式从选定的DAC输入寄存器n读取前两个字节的的数据，如图51所示。接着回读的两个字节是DAC输入寄存器n + 1的内容，再接着回读的字节是DAC输入寄存器n + 2的内容。器件继续以这种自动递增的方式从DAC输入寄存器读取数据，直到NACK之后出现停止条件。如果读取的是DAC输入寄存器D的内容，则接着读取的两个字节数据是DAC输入寄存器A的内容。

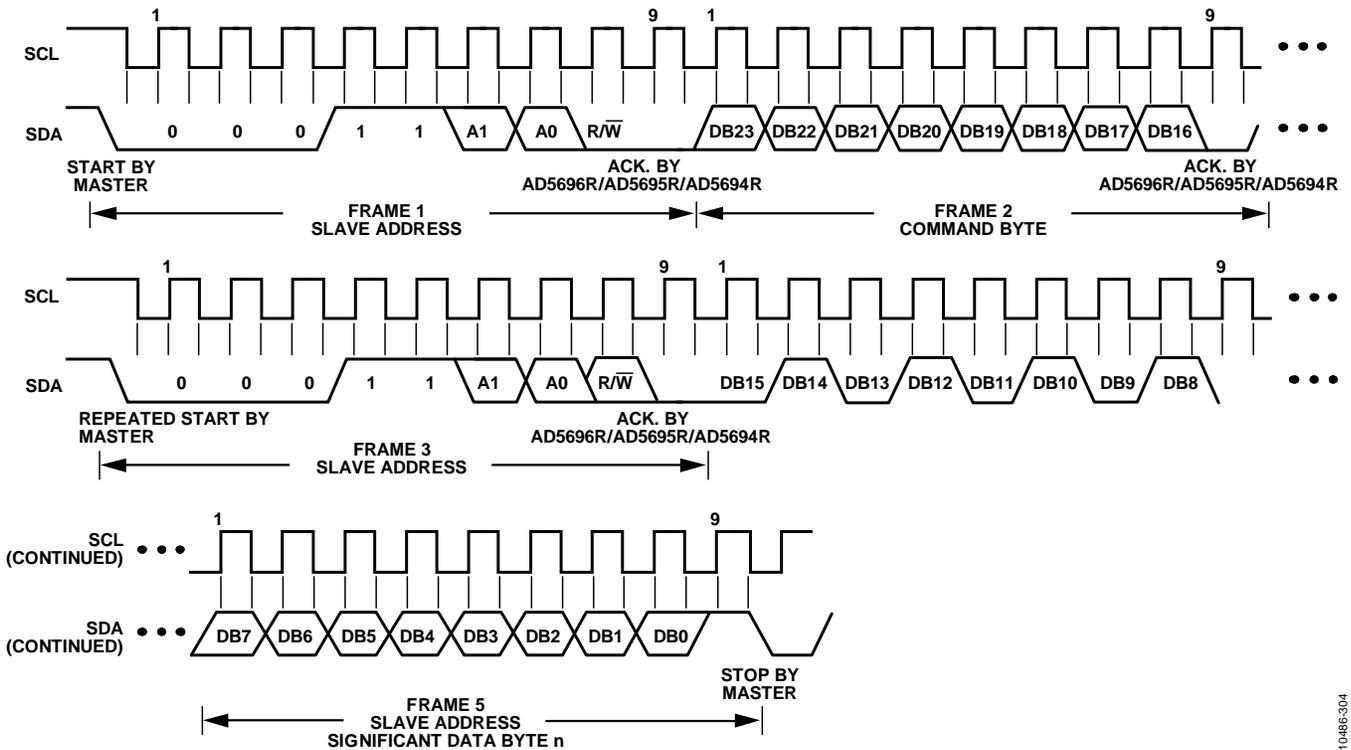


图51. I<sup>2</sup>C读操作

10486-304

掉电工作模式

AD5696R/AD5695R/AD5694R支持三种独立的掉电模式。命令0100用于掉电功能(见表7)。这些掉电模式可通过软件编程,方法是设置移位寄存器中的八个位(位DB7至位DB0)。每个DAC通道对应两个位。表10列出了这两个位的状态与器件工作模式的对应关系。

表10. 工作模式

工作模式	PDx1	PDx0
正常工作模式	0	0
掉电模式		
1 kΩ至GND	0	1
100 kΩ至GND	1	0
三态	1	1

通过设置相应位,可以关断任意或所有DAC(DAC A至DAC D),使其进入选定模式。表11列出了关断/上电期间输入移位寄存器的内容。

当输入移位寄存器中的位PDx1和位PDx0(其中x为选定的通道)均设为0时,器件正常工作,5 V时正常模式功耗为4 mA。在三种掉电模式下,5 V时电源电流降至4 μA。不仅是供电电

流下降,输出级也从放大器输出切换为已知值的电阻网络,这是有好处的,因为在掉电模式下器件的输出阻抗是已知的。有三种不同的掉电选项:输出通过1 kΩ电阻或100 kΩ电阻内部连接到GND,或者保持开路状态(三态)。图52显示了此输出级。

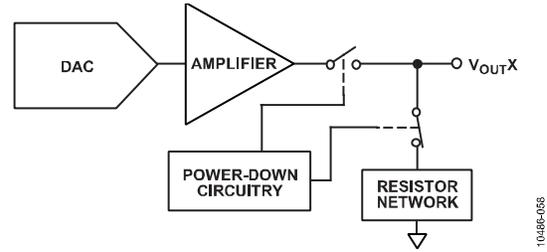


图52. 掉电模式下的输出级

在掉电模式有效时,偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而,关断期间DAC寄存器的内容不受影响。可在器件处于掉电模式下时更新DAC寄存器。当V<sub>DD</sub> = 5 V时,退出掉电模式所需时间通常为4.5 μs。

要进一步降低功耗,可以关闭片上基准电压源。参见“内部基准电压源设置”部分。

表11. 掉电/上电操作的24位输入移位寄存器内容<sup>1</sup>

DB23	DB22	DB21	DB20	DB19至DB16	DB15至DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0
命令位(C3至C0)				地址位(无关位)		掉电选择DAC D		掉电选择DAC C		掉电选择DAC B		掉电选择DAC A	

<sup>1</sup>X = 无关位。

## 加载DAC（硬件LDAC引脚）

AD5696R/AD5695R/AD5694R DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。用户可以写入任意组合的输入寄存器。DAC寄存器更新由引脚控制LDAC。

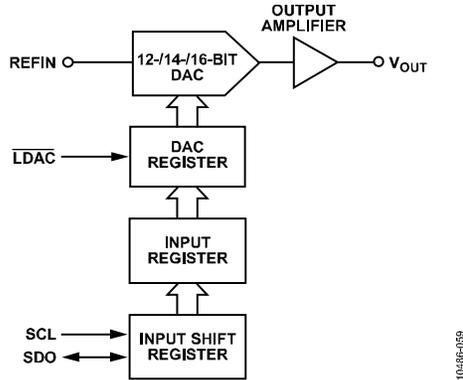


图53. 单个DAC的输入加载电路示意图

## DAC同步更新（LDAC保持低电平）

利用命令0001将数据送入输入寄存器的同时，LDAC保持低电平。被寻址的输入寄存器和DAC寄存器均会在第24个时钟周期上更新，并且输出开始发生变化（见表13）。

## DAC延迟更新（LDAC变为低电平）

利用命令0001将数据送入输入寄存器的同时，LDAC保持高电平。在第24个时钟周期之后拉低LDAC，以异步更新所有DAC输出。此时在LDAC的下降沿进行更新。

表13. 写命令和LDAC引脚真值表<sup>1</sup>

命令	描述	硬件LDAC引脚状态	输入寄存器内容	DAC寄存器内容
0001	写入输入寄存器n（取决于LDAC）	V <sub>LOGIC</sub>	数据更新	无变化（无更新）
		GND <sup>2</sup>	数据更新	数据更新
0010	以输入寄存器n的内容更新DAC寄存器n	V <sub>LOGIC</sub>	无变化	用输入寄存器内容更新
		GND	无变化	用输入寄存器内容更新
0011	写入并更新DAC通道n	V <sub>LOGIC</sub>	数据更新	数据更新
		GND	数据更新	数据更新

<sup>1</sup> 当硬件LDAC引脚上发生高电平至低电平转换时，始终会以LDAC屏蔽寄存器未屏蔽（阻止）的通道上输入寄存器的内容来更新DAC寄存器的内容。

<sup>2</sup> 当LDAC永久接为低电平时，LDAC屏蔽位会被忽略。

## LDAC屏蔽寄存器

命令0101保留用于该软件LDAC功能。地址位被忽略。使用命令0101写入DAC将加载4位LDAC寄存器（DB3至DB0）。各通道的默认值为0，即LDAC引脚正常工作。将这些位设为1时，可强制该DAC通道忽略LDAC引脚上发生的高低跃迁，不管硬件LDAC引脚的状态如何。在用户希望选择由哪个通道来响应LDAC引脚的应用中，这种灵活性非常有用。

表12. LDAC覆写定义

加载LDAC寄存器		
LDAC 位 (DB3至DB0)	LDAC 引脚	LDAC 操作
0	1或0	由LDAC引脚决定。
1	X <sup>1</sup>	DAC通道更新并覆盖LDAC引脚。 DAC通道视LDAC为1。

<sup>1</sup>X = 无关位。

利用LDAC寄存器，用户可以更加灵活地控制硬件LDAC引脚（见表12）。如果将某一DAC通道的LDAC位（DB0至DB3）设为0，则意味着该通道的更新受硬件LDAC引脚的控制。

### 硬件复位 (RESET)

RESET是低电平有效复位引脚,可用于将输出清零至零电平或中间电平。用户可通过RESET选择引脚来选择清零代码值。必须让RESET至少保持一段时间的低电平才能完成该操作(见图2)。当RESET信号变回高电平后,输出会保持为清零值,直到设置新值。当RESET引脚为低电平时,无法用新值更新输出。还有一个软件可执行的复位功能,它可将DAC复位至上电复位代码。命令0110用于该软件复位功能(见表7)。上电复位期间,LDAC上的所有事件都会被忽略。如果RESET引脚在上电时被拉低,则器件不会正确初始化,直至释放该引脚为止。

### 复位选择引脚 (RSTSEL)

AD5696R/AD5695R/AD5694R具有上电复位电路,可以在上电时控制输出电压。通过将RSTSEL引脚与低电平相连,输出会上电至零电平。注意,这超出了DAC的线性区域范围。通过将RSTSEL引脚与高电平连接,V<sub>OUT</sub>会上电至中间电平。输出一直保持该电平,直到对DAC执行有效的写序列。

### 内部基准电压源设置

片内基准电压源在上电时默认开启。要降低功耗,可通过设置控制寄存器中的软件可编程位DB0来关闭此基准电压源。表14列出了该位的状态与工作模式的对应关系。命令0111用于设置内部基准电压源(见表6)。表14列出了内部基准电压源设置期间输入移位寄存器中各位的状态与器件工作模式的对应关系。

表14. 基准电压源设置寄存器

内部基准电压源设置寄存器 (DB0)	操作
0	基准电压源开启(默认)
1	基准电压源关闭

### 回流焊

与所有IC基准电压电路一样,基准电压值存在焊接工艺引入的偏移。ADI公司执行称为预调理的可靠性测试,以最大程度地减少将器件焊接到电路板而造成的影响。上文引用的输出电压规格包含此可靠性测试的影响。

图54显示了通过可靠性测试(预调理)测得的回流焊(SHR)影响。

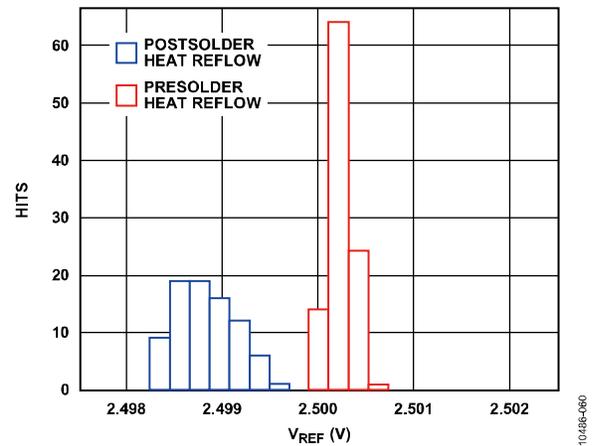


图54. SHR基准电压偏移

### 长期温度漂移

图55显示在25°C环境温度下经过1000小时后V<sub>REF</sub>值的变化情况(ppm)。

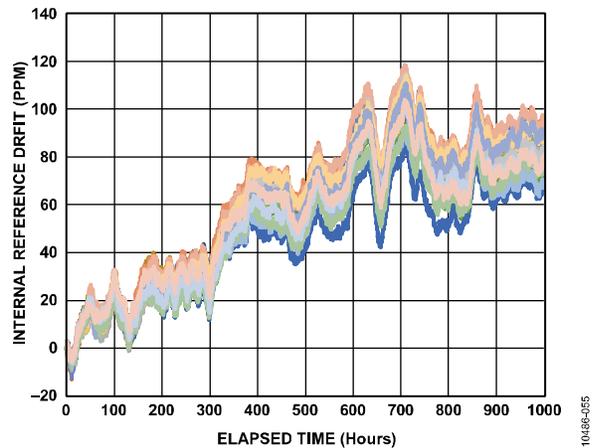


图55. 1000小时后的基准电压漂移

## 热滞

热滞是指温度从环境温度变冷再变热，然后回到环境温度时基准电压上出现的电压差。

热滞数据如图56所示。其测量条件是从环境温度变为 $-40^{\circ}\text{C}$ ，然后变为 $+105^{\circ}\text{C}$ ，再回到环境温度。然后，测得两次环境温度下测量结果之间的偏差 $V_{\text{REF}}$ （如图56中的蓝色部分所示）。接着，立即重复相同的温度切换和测量，其结果如图56中的红色部分所示。

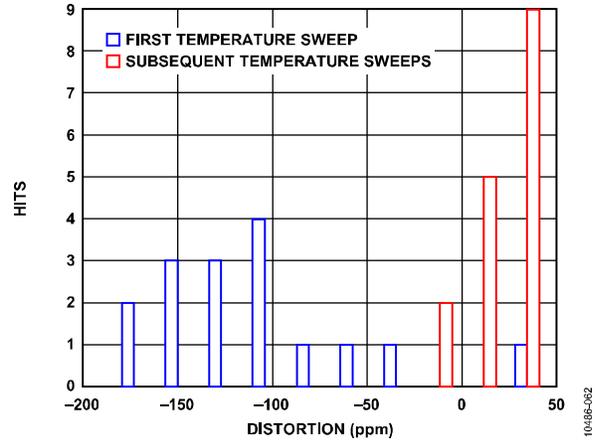


图56. 热滞

表15. 内部基准电压源设置命令的24位输入移位寄存器内容<sup>1</sup>

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	1/0
命令位 (C3至C0)				地址位 (A2至A0)				无关位	基准电压源设置寄存器

<sup>1</sup>X = 无关位。

## 应用信息

### 微处理器接口

AD5696R/AD5695R/AD5694R的微处理器接口是通过串行总线，使用与DSP处理器和微控制器兼容的标准协议。通信通道需要一个双线式接口，由一个时钟信号和一个数据信号组成。

### AD5696R/AD5695R/AD5694R与ADSP-BF531的接口

AD5696R/AD5695R/AD5694R的I<sup>2</sup>C接口用于连接符合工业标准的DSP和微控制器。图57显示AD5696R/AD5695R/AD5694R连接到ADI公司的Blackfin® DSP。Blackfin集成一个I<sup>2</sup>C端口，可直接连接到AD5696R/AD5695R/AD5694R的I<sup>2</sup>C引脚。

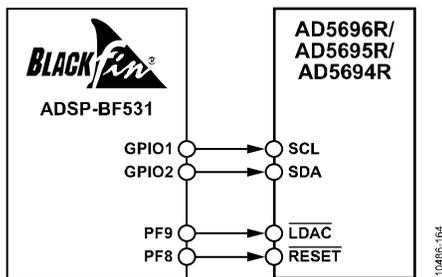


图57. ADSP-BF531接口

### 布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5696R/AD5695R/AD5694R所用的PCB应经过专门设计，使AD5696R/AD5695R/AD5694R位于模拟平面。

AD5696R/AD5695R/AD5694R应当具有足够大的10 μF电源旁路电容，与每个电源上的0.1 μF电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF电容最好为钽电容。0.1 μF电容应具有低有效串联电阻 (ESR) 和低有效串联电感 (ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

AD5696R/AD5695R/AD5694R LFCSP型在器件底部具有裸露焊盘，该焊盘与器件的GND电源相连。为了获得最佳性能，在设计母板和安装器件封装时需要有一些特殊考虑。为了改

善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的GND平面（如图58所示），以提供自然散热效应。

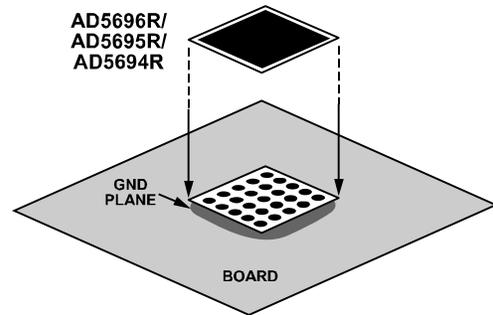
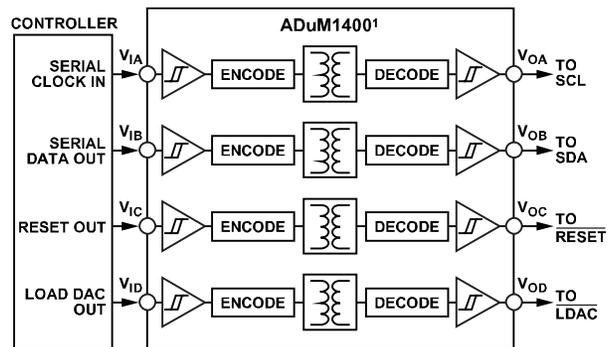


图58. 焊盘与电路板的连接

### 电流隔离接口

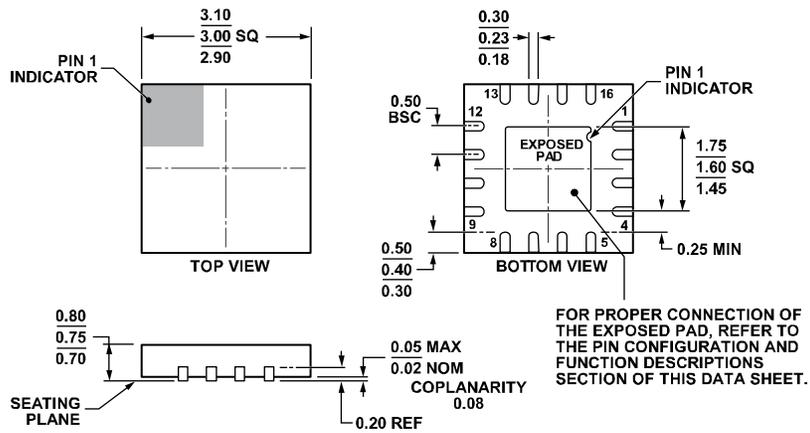
在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险的共模电压。ADI公司的iCoupler®产品提供超过2.5 kV的电压隔离。AD5696R/AD5695R/AD5694R的串行加载结构使器件成为隔离接口的理想之选，原因是接口线路数保持在最小值。图59显示使用ADuM1400<sup>1</sup>与AD5696R/AD5695R/AD5694R的4通道隔离接口。欲了解更多信息，请访问<http://www.analog.com/cn/icouplers>。



<sup>1</sup>ADDITIONAL PINS OMITTED FOR CLARITY.

图59. 隔离接口

外形尺寸



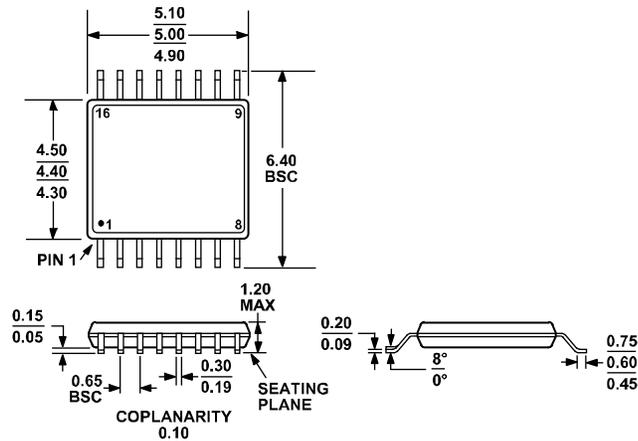
COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图60. 16引脚引线架构芯片级封装 [LFCSP\_WQ]

3 mm x 3 mm, 超薄体  
(CP-16-22)

图示尺寸单位: mm

08-16-2010-E



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图61. 16引脚超薄紧缩小型封装 [TSSOP]

(RU-16)

图示尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	分辨率	温度范围	精度	基准电压源温度系数 (ppm/°C)	封装描述	封装选项	标识
AD5696RACPZ-RL7	16位	-40°C至+105°C	±8 LSB INL	±5 (典型值)	16引脚LFCSP_WQ	CP-16-22	DJA
AD5696RBCPZ-RL7	16位	-40°C至+105°C	±2 LSB INL	±5 (最大值)	16引脚LFCSP_WQ	CP-16-22	DJD
AD5696RARUZ	16位	-40°C至+105°C	±8 LSB INL	±5 (典型值)	16引脚TSSOP	RU-16	
AD5696RARUZ-RL7	16位	-40°C至+105°C	±8 LSB INL	±5 (典型值)	16引脚TSSOP	RU-16	
AD5696RBRUZ	16位	-40°C至+105°C	±2 LSB INL	±5 (最大值)	16引脚TSSOP	RU-16	
AD5696RBRUZ-RL7	16位	-40°C至+105°C	±2 LSB INL	±5 (最大值)	16引脚TSSOP	RU-16	
AD5695RBCPZ-RL7	14位	-40°C至+105°C	±1 LSB INL	±5 (最大值)	16引脚LFCSP_WQ	CP-16-22	DJR
AD5695RARUZ	14位	-40°C至+105°C	±4 LSB INL	±5 (典型值)	16引脚TSSOP	RU-16	DJL
AD5695RARUZ-RL7	14位	-40°C至+105°C	±4 LSB INL	±5 (典型值)	16引脚TSSOP	RU-16	
AD5695RBRUZ	14位	-40°C至+105°C	±1 LSB INL	±5 (最大值)	16引脚TSSOP	RU-16	
AD5695RBRUZ-RL7	14位	-40°C至+105°C	±1 LSB INL	±5 (最大值)	16引脚TSSOP	RU-16	
AD5694RBCPZ-RL7	12位	-40°C至+105°C	±1 LSB INL	±5 (最大值)	16引脚LFCSP_WQ	CP-16-22	
AD5694RARUZ	12位	-40°C至+105°C	±2 LSB INL	±5 (典型值)	16引脚TSSOP	RU-16	
AD5694RARUZ-RL7	12位	-40°C至+105°C	±2 LSB INL	±5 (典型值)	16引脚TSSOP	RU-16	
AD5694RBRUZ	12位	-40°C至+105°C	±1 LSB INL	±5 (最大值)	16引脚TSSOP	RU-16	
AD5694RBRUZ-RL7	12位	-40°C至+105°C	±1 LSB INL	±5 (最大值)	16引脚TSSOP	RU-16	
EVAL-AD5696RSDZ					AD5696R TSSOP评估板		

<sup>1</sup>Z = 符合RoHS标准的器件。