

缓冲八通道、18 位、每通道 200ksps 差分 $\pm 10.24V$ ADC，具有 $30V_{p-p}$ 共模范围

特点

- 8 个缓冲通道同步采样
- 每通道吞吐速率：200ksps
- 85°C/125°C 时的最大输入漏电流：
500pA/12nA
- $\pm 3.5LSB$ INL (最大值, $\pm 10.24V$ 范围)
- 保证 18 位、无失码
- 差分、宽共模范围输入
- 每通道 SoftSpan 输入范围：
 - $\pm 10.24V$ 、0V 至 10.24V、 $\pm 5.12V$ 、0V 至 5.12V
 - $\pm 12.5V$ 、0V 至 12.5V、 $\pm 6.25V$ 、0V 至 6.25V
- 单次转换 SNR：96.4dB (典型值)
- -111dB THD (典型值, $f_{IN} = 2kHz$)
- 128dB CMRR (典型值, $f_{IN} = 200Hz$)
- 轨到轨输入过驱容限
- 集成基准电压源和缓冲器 (4.096V)
- SPI CMOS (1.8V 至 5V) 和 LVDS 串行 I/O
- 内部转换时钟，无周期延迟
- 功耗：219mW (每通道典型值为 27mW)
- 48 引脚 (7mm \times 7mm) LQFP 封装

应用

- 可编程逻辑控制器
- 工业过程控制
- 电力线路监控
- 测试与测量

说明

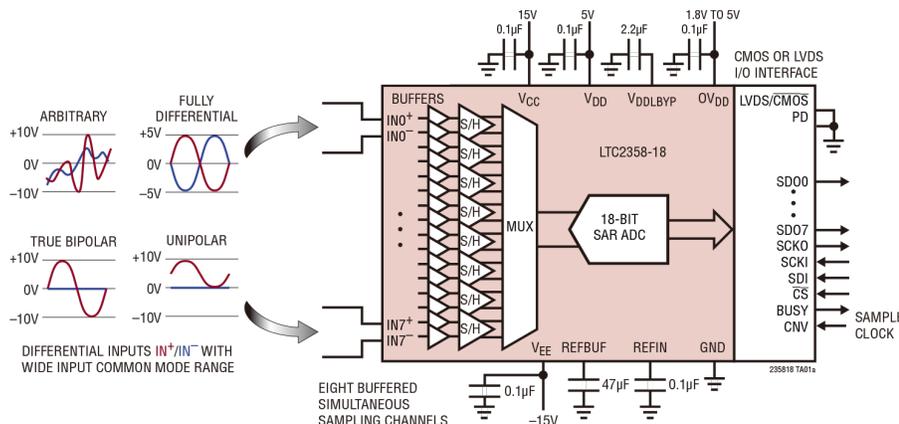
LTC[®]2358-18 是一款 18 位、低噪声、8 通道同步采样逐次逼近型寄存器 (SAR) ADC，具有缓冲差分、宽共模范围皮安输入。该 SoftSpan[™] ADC 采用 5V 低压电源和灵活的高压电源供电，并使用内部基准电压源和缓冲器，每个通道均可在逐次转换的基础上独立配置，以接受 $\pm 10.24V$ 、0V 至 10.24V、 $\pm 5.12V$ 或 0V 至 5.12V 信号。还可以禁用个别通道以提高其余通道的吞吐速率。

LTC2358-18 集成皮安输入模拟缓冲器，具有宽输入共模范围和 128dB CMRR，使得 ADC 能以最小的电路板空间和功耗直接将各种信号数字化。这种输入信号灵活性，结合 $\pm 3.5LSB$ INL、18 位无失码和 96.4dB SNR，使 LTC2358-18 成为许多需要宽动态范围的高压应用的理想选择。

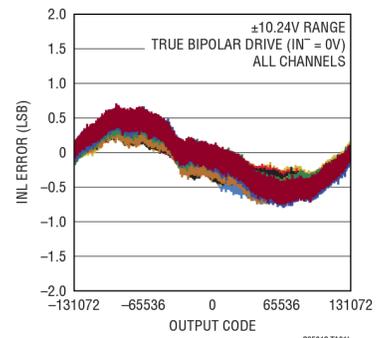
LTC2358-18 支持引脚可选的 SPI CMOS (1.8V 至 5V) 和 LVDS 串行接口。在 CMOS 模式下可以采用一到八通道的数据输出，允许用户优化总线宽度和吞吐速率。

LT、LT、LTC、LTM、Linear Technology 和 Linear 徽标是 ADI 公司的注册商标，SoftSpan 是 ADI 公司的商标。所有其他商标均属各自所有人所有。受美国专利保护，包括 7705765、7961132、8319673、9197235。

典型应用



积分非线性与输出码和通道的关系



LTC2358-18

绝对最大额定值

(注释 1、2)

电源电压 (V_{CC}).....-0.3V 至 ($V_{EE} + 40V$)

电源电压 (V_{EE}).....-17.4V 至 0.3V

电源电压差 ($V_{CC} - V_{EE}$)..... 40V

电源电压 (V_{DD})..... 6V

电源电压 (OV_{DD})..... 6V

内部稳压电源旁路 (V_{DDLBYP})..... (注释 3)

模拟输入电压

$IN0^+$ 至 $IN7^+$ 、 $IN0^-$ 至 $IN7^-$

(注释 4).....($V_{EE} - 0.3V$) 至 ($V_{CC} + 0.3V$)

REFIN.....-0.3V 至 2.8V

REFBUF、CNV

(注释 5).....-0.3V 至 ($V_{DD} + 0.3V$)

数字输入电压 (注释 5).....-0.3V 至 ($OV_{DD} + 0.3V$)

数字输出电压 (注释 5).....-0.3V 至 ($OV_{DD} + 0.3V$)

功耗 500mW

工作温度范围

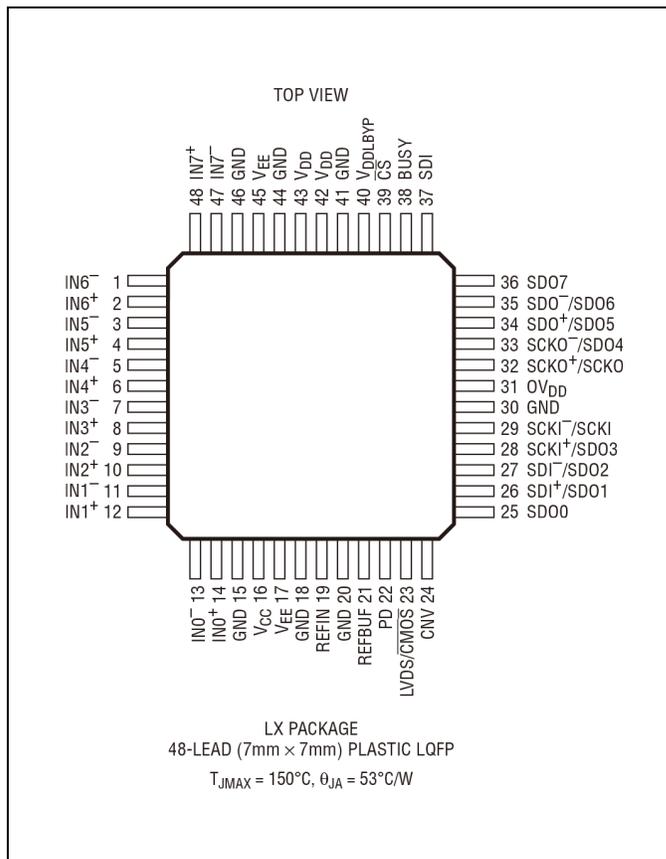
LTC2358C.....0°C 至 70°C

LTC2358I -40°C 至 85°C

LTC2358H -40°C 至 125°C

存储温度范围 -65°C 至 150°C

引脚配置



订购信息 <http://www.analog.com/cn/product/LTC2358-18#orderinfo>

托盘	器件标识*	封装说明	温度范围
LTC2358CLX-18#PBF	LTC2358LX-18	48 引脚 (7mm × 7mm) 塑料 LQFP	0°C 至 70°C
LTC2358ILX-18#PBF	LTC2358LX-18	48 引脚 (7mm × 7mm) 塑料 LQFP	-40°C 至 85°C
LTC2358HLX-18#PBF	LTC2358LX-18	48 引脚 (7mm × 7mm) 塑料 LQFP	-40°C 至 125°C

关于具有更宽额定工作温度范围的器件，请咨询 LTC 市场部门。*温度等级通过运输容器上的标签识别。有关无铅器件标识的更多信息，请访问：<https://www.analog.com/cn/leadfree/>

电气特性 ● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 6)。

符号	参数	条件	最小值	典型值	最大值	单位
V_{IN+}	绝对输入范围 ($IN0^+$ 至 $IN7^+$)	(注释 7)	$V_{EE} + 4$		$V_{CC} - 4$	V
V_{IN-}	绝对输入范围 ($IN0^-$ 至 $IN7^-$)	(注释 7)	$V_{EE} + 4$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	输入差分电压范围	SoftSpan 7: $\pm 2.5 \cdot V_{REFBUF}$ 范围 (注释 7)	$-2.5 \cdot V_{REFBUF}$		$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 6: $\pm 2.5 \cdot V_{REFBUF}/1.024$ 范围 (注释 7)	$-2.5 \cdot V_{REFBUF}/1.024$		$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 5: $0V$ 至 $2.5 \cdot V_{REFBUF}$ 范围 (注释 7)	0		$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 4: $0V$ 至 $2.5 \cdot V_{REFBUF}/1.024$ 范围 (注释 7)	0		$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 3: $\pm 1.25 \cdot V_{REFBUF}$ 范围 (注释 7)	$-1.25 \cdot V_{REFBUF}$		$1.25 \cdot V_{REFBUF}$	V
		SoftSpan 2: $\pm 1.25 \cdot V_{REFBUF}/1.024$ 范围 (注释 7)	$-1.25 \cdot V_{REFBUF}/1.024$		$1.25 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 1: $0V$ 至 $1.25 \cdot V_{REFBUF}$ 范围 (注释 7)	0		$1.25 \cdot V_{REFBUF}$	V
V_{CM}	输入共模电压范围	(注释 7)	$V_{EE} + 4$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	输入差分过驱动容限	(注释 8)	$-(V_{CC} - V_{EE})$		$(V_{CC} - V_{EE})$	V
$I_{OVERDRIVE}$	输入过驱 电流容限	$V_{IN+} > V_{CC}$, $V_{IN-} > V_{CC}$ (注释 8)			10	mA
		$V_{IN+} < V_{EE}$, $V_{IN-} < V_{EE}$ (注释 8)	0			mA
I_{IN}	模拟输入漏电流			5		pA
		C 级和 I 级			500	pA
		H 级			12	nA
R_{IN}	模拟输入电阻	每个引脚		>1000		G Ω
C_{IN}	模拟输入电容			3		pF
CMRR	输入共模抑制比	$V_{IN+} = V_{IN-} = 18V_{P,P}$ 200Hz 正弦波	100	128		dB
V_{IHCNV}	CNV 高电平输入电压		1.3			V
V_{ILCNV}	CNV 低电平输入电压				0.5	V
I_{INCNV}	CNV 输入电流	$V_{IN} = 0V$ 至 V_{DD}	-10		10	μA

转换器特性 ● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位	
	分辨率		●	18		位	
	无失码		●	18		位	
	跃迁噪声	SoftSpan 7 和 6: $\pm 10.24V$ 和 $\pm 10V$ 范围			1.4	LSB _{RMS}	
		SoftSpan 5 和 4: $0V$ 至 $10.24V$ 和 $0V$ 至 $10V$ 范围			2.8	LSB _{RMS}	
		SoftSpan 3 和 2: $\pm 5.12V$ 和 $\pm 5V$ 范围			2.1	LSB _{RMS}	
		SoftSpan 1: $0V$ 至 $5.12V$ 范围			4.2	LSB _{RMS}	
INL	积分线性误差	SoftSpan 7 和 6: $\pm 10.24V$ 和 $\pm 10V$ 范围 (注释 10)	●	-3.5	± 1	3.5	LSB
		SoftSpan 5 和 4: $0V$ 至 $10.24V$ 和 $0V$ 至 $10V$ 范围 (注释 10)	●	-4	± 1.5	4	LSB
		SoftSpan 3 和 2: $\pm 5.12V$ 和 $\pm 5V$ 范围 (注释 10)	●	-4	± 0.75	4	LSB
		SoftSpan 1: $0V$ 至 $5.12V$ 范围 (注释 10)	●	-6	± 0.75	6	LSB
DNL	差分线性误差	(注释 11)	●	-0.9	± 0.2	0.9	LSB
ZSE	零电平误差	(注释 12)	●	-700	± 160	700	μV
					± 4		$\mu\text{V}/^\circ\text{C}$
FSE	满量程误差	$V_{REFBUF} = 4.096V$ (REFBUF 过驱) (注释 12)	●	-0.1	± 0.025	0.1	%FS
		$V_{REFBUF} = 4.096V$ (REFBUF 过驱) (注释 12)				± 2.5	ppm/ $^\circ\text{C}$

动态精度

● 表示规格适用于整个工作温度范围, 其他规格的适用温度为 $T_A = 25^\circ\text{C}$ 。 $A_{IN} = -1\text{dBFS}$ 。(注释 9、13)

符号	参数	条件	最小值	典型值	最大值	单位	
SINAD	信纳比	SoftSpan 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	92.7	96.2	dB	
		SoftSpan 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●	87.3	90.3	dB	
		SoftSpan 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	89.3	92.5	dB	
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●	83.6	86.6	dB	
SNR	信噪比	SoftSpan 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	93.4	96.4	dB	
		SoftSpan 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●	87.4	90.4	dB	
		SoftSpan 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	89.5	92.5	dB	
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●	83.7	86.6	dB	
THD	总谐波失真	SoftSpan 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●		-111	-101	dB
		SoftSpan 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●		-107	-99	dB
		SoftSpan 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●		-113	-102	dB
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●		-113	-100	dB
SFDR	无杂散动态范围	SoftSpan 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	101	113	dB	
		SoftSpan 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●	99	107	dB	
		SoftSpan 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	103	113	dB	
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●	103	113	dB	
	通道间串扰	一个通道转换 $\pm 10.24\text{V}$ 范围内的 $18\text{V}_{\text{P-P}}$ 200Hz 正弦信号, 对所有其他通道的串扰			-109	dB	
	-3dB 输入带宽			6		MHz	
	孔径延迟			1		ns	
	孔径延迟匹配			150		ps	
	孔径抖动			3		ps_{RMS}	
	瞬态响应	满量程步长, 0.005% 建立		420		ns	

内部基准电压源特性

● 表示规格适用于整个工作温度范围, 其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFIN}	内部基准电压源输出电压		2.043	2.048	2.053	V
	内部基准电压源温度系数	(注释 14)	●	5	20	ppm/ $^\circ\text{C}$
	内部基准电压源电压调整率	$V_{\text{DD}} = 4.75\text{V}$ 至 5.25V		0.1		mV/V
	内部基准电压源输出阻抗			20		k Ω
V_{REFIN}	REFIN 电压范围	REFIN 过驱 (注释 7)	1.25		2.2	V

基准电压源缓冲特性

● 表示规格适用于整个工作温度范围, 其他规格的适用温度为 $T_A = 25^\circ\text{C}$

(注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位	
V_{REFBUF}	基准电压缓冲器输出电压	REFIN 过驱, $V_{\text{REFIN}} = 2.048\text{V}$	●	4.091	4.096	4.101	V
	REFBUF 电压范围	REFBUF 过驱 (注释 7、15)	●	2.5	5	V	
	REFBUF 输入阻抗	$V_{\text{REFIN}} = 0\text{V}$, 缓冲器禁用			13	k Ω	
I_{REFBUF}	REFBUF 负载电流	$V_{\text{REFBUF}} = 5\text{V}$, 8 通道使能 (注释 15、16)	●		1.5	1.9	mA
		$V_{\text{REFBUF}} = 5\text{V}$, 采集或休眠模式 (注释 15)			0.39		mA

数字输入和数字输出

● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位	
CMOS 数字输入和输出							
V_{IH}	高电平输入电压		●	$0.8 \cdot OV_{DD}$		V	
V_{IL}	低电平输入电压		●		$0.2 \cdot OV_{DD}$	V	
I_{IN}	数字输入电流	$V_{IN} = 0V$ 至 OV_{DD}	●	-10	10	μA	
C_{IN}	数字输入电容			5		pF	
V_{OH}	高电平输出电压	$I_{OUT} = -500\mu\text{A}$	●	$OV_{DD} - 0.2$		V	
V_{OL}	低电平输出电压	$I_{OUT} = 500\mu\text{A}$	●		0.2	V	
I_{OZ}	高阻抗输出漏电流	$V_{OUT} = 0V$ 至 OV_{DD}	●	-10	10	μA	
I_{SOURCE}	输出拉电流	$V_{OUT} = 0V$		-50		mA	
I_{SINK}	输出灌电流	$V_{OUT} = OV_{DD}$		50		mA	
LVDS 数字输入和输出							
V_{ID}	差分输入电压		●	200	350	600	mV
R_{ID}	片内输入端接电阻	$\overline{CS} = 0V, V_{ICM} = 1.2V$ $\overline{CS} = OV_{DD}$	●	90	106	125	Ω M Ω
V_{ICM}	共模输入电压		●	0.3	1.2	2.2	V
I_{ICM}	共模输入电流	$V_{IN+} = V_{IN-} = 0V$ 至 OV_{DD}	●	-10		10	μA
V_{OD}	差分输出电压	$R_L = 100\Omega$ 差分端接	●	275	350	425	mV
V_{OCM}	共模输出电压	$R_L = 100\Omega$ 差分端接	●	1.1	1.2	1.3	V
I_{OZ}	高阻抗输出漏电流	$V_{OUT} = 0V$ 至 OV_{DD}	●	-10		10	μA

电源要求

● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位	
V_{CC}	电源电压		●	7.5	38	V	
V_{EE}	电源电压		●	-16.5	0	V	
$V_{CC} - V_{EE}$	电源电压差		●	10	38	V	
V_{DD}	电源电压		●	4.75	5.00	5.25	V
I_{VCC}	电源电流	200ksps 采样速率, 8 通道使能 (注释 17)	●		4.6	5.3	mA
		采集模式 (注释 17)	●		8.5	9.8	mA
		休眠模式	●		2.9	3.3	mA
		关断模式	●		6	15	μA
I_{VEE}	电源电流	200ksps 采样速率, 8 通道使能 (注释 17)	●	-5.5	-4.5	mA	
		采集模式 (注释 17)	●	-9.8	-8	mA	
		休眠模式	●	-3.5	-2.8	mA	
		关断模式	●	-15	-4	μA	
CMOS I/O 模式							
OV_{DD}	电源电压		●	1.71	5.25	V	
I_{VDD}	电源电流	200ksps 采样速率, 8 通道使能	●		15.6	18	mA
		200ksps 采样速率, 8 通道使能, $V_{REFBUF} = 5V$ (注释 15)	●		13.8	16	mA
		采集模式	●		2.1	2.7	mA
		休眠模式	●		1.7	2.4	mA
		关断模式 (C 级和 I 级)	●		106	275	μA
		关断模式 (H 级)	●		106	500	μA

电源要求

● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位
I_{OVDD}	电源电流	200ksps 采样速率, 8 通道使能 ($C_L = 25\text{pF}$)	●	1.6	2.6	mA
		采集或休眠模式	●	1	20	μA
		关断模式	●	1	20	μA
P_D	功耗	200ksps 采样速率, 8 通道使能	●	219	259	mW
		采集模式	●	258	308	mW
		休眠模式	●	94	114	mW
		关断模式 (C 级和 I 级)	●	0.68	1.9	mW
		关断模式 (H 级)	●	0.68	3	mW

LVDS I/O 模式

符号	参数	条件	最小值	典型值	最大值	单位
OV_{DD}	电源电压		●	2.375	5.25	V
I_{VDD}	电源电流	200ksps 采样速率, 8 通道使能	●	18.4	20.7	mA
		200ksps 采样速率, 8 通道使能, $V_{\text{REFFBUF}} = 5\text{V}$ (注释 15)	●	16.8	19.2	mA
		采集模式	●	3.7	4.5	mA
		休眠模式	●	3.4	4.1	mA
		关断模式 (C 级和 I 级)	●	106	275	μA
I_{OVDD}	电源电流	200ksps 采样速率, 8 通道使能 ($R_L = 100\Omega$)	●	7	8.5	mA
		采集或休眠模式 ($R_L = 100\Omega$)	●	7	8.0	mA
		关断模式	●	1	20	μA
P_D	功耗	200ksps 采样速率, 8 通道使能	●	245	287	mW
		采集模式	●	284	337	mW
		休眠模式功耗	●	120	143	mW
		关断模式 (C 级和 I 级)	●	0.68	1.9	mW
		关断模式 (H 级)	●	0.68	3	mW

ADC 时序特性

● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位	
f_{SMPL}	最大采样频率	8 通道使能	●		200	ksps	
		7 通道使能	●		225	ksps	
		6 通道使能	●		250	ksps	
		5 通道使能	●		300	ksps	
		4 通道使能	●		350	ksps	
		3 通道使能	●		425	ksps	
		2 通道使能	●		550	ksps	
		1 通道使能	●		800	ksps	
		t_{CYC}	转换间隔时间	8 通道使能, $f_{\text{SMPL}} = 200\text{ksps}$	●	5000	
7 通道使能, $f_{\text{SMPL}} = 225\text{ksps}$	●			4444		ns	
6 通道使能, $f_{\text{SMPL}} = 250\text{ksps}$	●			4000		ns	
5 通道使能, $f_{\text{SMPL}} = 300\text{ksps}$	●			3333		ns	
4 通道使能, $f_{\text{SMPL}} = 350\text{ksps}$	●			2855		ns	
3 通道使能, $f_{\text{SMPL}} = 425\text{ksps}$	●			2350		ns	
2 通道使能, $f_{\text{SMPL}} = 550\text{ksps}$	●			1815		ns	
1 通道使能, $f_{\text{SMPL}} = 800\text{ksps}$	●			1250		ns	
t_{CONV}	转换时间			N 通道使能, $1 \leq N \leq 8$	●	$450 \cdot N$	$500 \cdot N$
t_{ACQ}	采集时间 ($t_{\text{ACQ}} = t_{\text{CYC}} - t_{\text{CONV}} - t_{\text{BUSYLH}}$)	8 通道使能, $f_{\text{SMPL}} = 200\text{ksps}$	●	570	980		ns
		7 通道使能, $f_{\text{SMPL}} = 225\text{ksps}$	●	564	924		ns
		6 通道使能, $f_{\text{SMPL}} = 250\text{ksps}$	●	670	980		ns
		5 通道使能, $f_{\text{SMPL}} = 300\text{ksps}$	●	553	813		ns
		4 通道使能, $f_{\text{SMPL}} = 350\text{ksps}$	●	625	835		ns
		3 通道使能, $f_{\text{SMPL}} = 425\text{ksps}$	●	670	830		ns
		2 通道使能, $f_{\text{SMPL}} = 550\text{ksps}$	●	685	795		ns
		1 通道使能, $f_{\text{SMPL}} = 800\text{ksps}$	●	670	730		ns

ADC 时序特性

● 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 9)。

符号	参数	条件	最小值	典型值	最大值	单位	
t_{CNVH}	CNV 高电平时间		●	40		ns	
t_{CNVL}	CNV 低电平时间		●	750		ns	
$t_{\text{BUSY LH}}$	CNV ↑ 到 BUSY 延迟时间	$C_L = 25\text{pF}$	●		30	ns	
t_{QUIET}	CNV ↑ 到数字 I/O 静默时间		●	20		ns	
t_{PDH}	PD 高电平时间		●	40		ns	
t_{PDL}	PD 低电平时间		●	40		ns	
t_{WAKE}	REFBUF 唤醒时间	$C_{\text{REFBUF}} = 47\mu\text{F}$, $C_{\text{REFIN}} = 0.1\mu\text{F}$		200		ms	
CMOS I/O 模式							
t_{SCKI}	SCKI 周期	(注释 18、19)	●	10		ns	
t_{SCKIH}	SCKI 高电平时间		●	4		ns	
t_{SCKIL}	SCKI 低电平时间		●	4		ns	
t_{SSDISCKI}	SCKI ↑ 到 SDI 建立时间	(注释 18)	●	2		ns	
t_{HSDISCKI}	SCKI ↑ 到 SDI 保持时间	(注释 18)	●	1		ns	
t_{DSDOSCKI}	SCKI ↑ 到 SDO 数据有效延迟时间	$C_L = 25\text{pF}$ (注释 18)	●		7.5	ns	
t_{HSDOSCKI}	SCKI ↑ 到 SDO 保持有效延迟时间	$C_L = 25\text{pF}$ (注释 18)	●	1.5		ns	
t_{SKEW}	SDO 到 SCKO 偏斜	(注释 18)	●	-1	0	1	ns
$t_{\text{DSDOBSY L}}$	BUSY ↓ 到 SDO 数据有效延迟时间	$C_L = 25\text{pF}$ (注释 18)	●	0		ns	
t_{EN}	$\overline{\text{CS}}$ ↓ 之后的总线使能时间	(注释 18)	●		15	ns	
t_{DIS}	$\overline{\text{CS}}$ ↑ 之后的总线释放时间	(注释 18)	●		15	ns	
LVDS I/O 模式							
t_{SCKI}	SCKI 周期	(注释 20)	●	4		ns	
t_{SCKIH}	SCKI 高电平时间	(注释 20)	●	1.5		ns	
t_{SCKIL}	SCKI 低电平时间	(注释 20)	●	1.5		ns	
t_{SSDISCKI}	SCKI 到 SDI 建立时间	(注释 11、20)	●	1.2		ns	
t_{HSDISCKI}	SCKI 到 SDI 保持时间	(注释 11、20)	●	-0.2		ns	
t_{DSDOSCKI}	SCKI 到 SDO 数据有效延迟时间	(注释 11、20)	●		6	ns	
t_{HSDOSCKI}	SCKI 到 SDO 保持有效延迟时间	(注释 11、20)	●	1		ns	
t_{SKEW}	SDO 到 SCKO 偏斜	(注释 11)	●	-0.4	0	0.4	ns
$t_{\text{DSDOBSY L}}$	BUSY ↓ 到 SDO 数据有效延迟时间	(注释 11)	●	0		ns	
t_{EN}	$\overline{\text{CS}}$ ↓ 之后的总线使能时间		●		50	ns	
t_{DIS}	$\overline{\text{CS}}$ ↑ 之后的总线释放时间		●		15	ns	

ADC 时序特性

注释 1: 注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。在任何绝对最大额定值条件下长期工作会影响器件的可靠性和使用寿命。

注释 2: 所有电压值均相对于 GND。

注释 3: V_{DDLBYP} 是内部稳压器的输出, 只应连接到 2.2 μ F 陶瓷电容, 以便将该引脚旁路至 GND, 如“引脚功能”部分所述。请勿将此引脚连接到任何外部电路。

注释 4: 这些引脚电压低于 V_{EE} 或高于 V_{CC} 时, 会被内部二极管箝位。本产品可以处理 V_{EE} 以下或 V_{CC} 以上最高 100mA 的输入电流而不会闩锁。

注释 5: 这些引脚电压低于 GND 或高于 V_{DD} 或 OV_{DD} 时, 会被内部二极管箝位。本产品可以处理 GND 以下或 V_{DD}/OV_{DD} 以上最高 100mA 的电流而不会闩锁。

注释 6: 除非另有说明, $-16.5V \leq V_{EE} \leq 0V$, $7.5V \leq V_{CC} \leq 38V$, $10V \leq (V_{CC} - V_{EE}) \leq 38V$, $V_{DD} = 5V$ 。

注释 7: 建议工作条件。

注释 8: 任何通道上超出这些限值可能会破坏其他通道上的转换结果。在任何通道上驱动超过 V_{CC} 的模拟输入至最多 10mA 不会影响其他通道上的转换结果。驱动 V_{EE} 以下的模拟输入可能会破坏其他通道上的转换结果。有关详细信息, 请参阅“应用信息”部分。有关与器件可靠性相关的引脚电压限值, 请参阅“绝对最大额定值”部分。

注释 9: 除非另有说明, $V_{CC} = 15V$, $V_{EE} = -15V$, $V_{DD} = 5V$, $OV_{DD} = 2.5V$, $f_{SAMPL} = 200\text{kpsps}$, 内部基准电压源和缓冲器, 双极性 SoftSpan 范围内为真双极性输入信号驱动, 单极性 SoftSpan 范围内为单极性信号驱动。

注释 10: 积分非线性定义为输出码偏离通过其传递函数曲线实际端点的直线的偏差。此偏差是相对于量化带的中心测量。

注释 11: 通过设计保证, 未经测试。

注释 12: 对于双极性 SoftSpan 范围 7、6、3 和 2, 零电平误差是当输出码在 00 0000 0000 0000 0000 和 11 1111 1111 1111 1111 之间闪烁时相对于 -0.5LSB 测量到的失调电压。这些 SoftSpan 范围的满量程误差是第一个和最后一个码跃迁相对于理想值的最坏情况偏差, 包括失调误差的影响。对于单极性 SoftSpan 范围 5、4 和 1, 零电平误差是当输出码在 00 0000 0000 0000 0000 和 00 0000 0000 0000 0001 之间闪烁时相对于 0.5LSB 测量到的失调电压。这些 SoftSpan 范围的满量程误差是最后一个码跃迁相对于理想值的最坏情况偏差, 包括失调误差的影响。

注释 13: 用 dB 表示的串扰是相对于串扰注入信号幅度而言, 除此之外的所有其他用 dB 表示的规格均参考相关 SoftSpan 输入范围内的满量程输入。

注释 14: 温度系数等于输出电压的最大变化除以指定温度范围。

注释 15: 当 REFBUF 过驱时, 必须通过设置 $REFIN = 0V$ 来禁用内部基准电压缓冲器。

注释 16: I_{REFBUF} 随采样速率和活动通道数成比例变化。

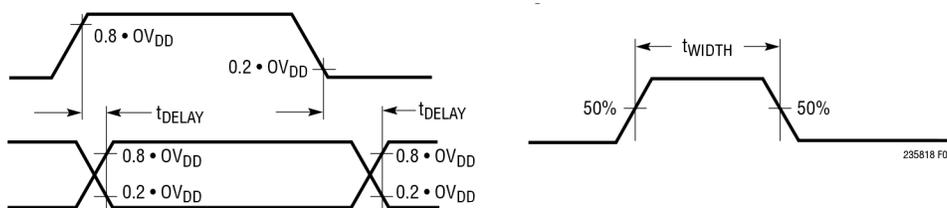
注释 17: 在采集周期之外, 来自 I_{VCC} 和 I_{VEE} 的模拟输入缓冲器电源电流会减少。请参阅“应用信息”部分中的休眠模式。

注释 18: 参数测试和保证条件为: $OV_{DD} = 1.71V$, $OV_{DD} = 2.5V$, $OV_{DD} = 5.25V$ 。

注释 19: 对于上升沿捕获, 最小值 10ns 的 t_{SCKI} 支持最高 100MHz 的移位时钟频率。

注释 20: 对于 LVDS 差分输入对, $V_{ICM} = 1.2V$, $V_{ID} = 350\text{mV}$ 。

CMOS 时序



LVDS 时序 (差分)

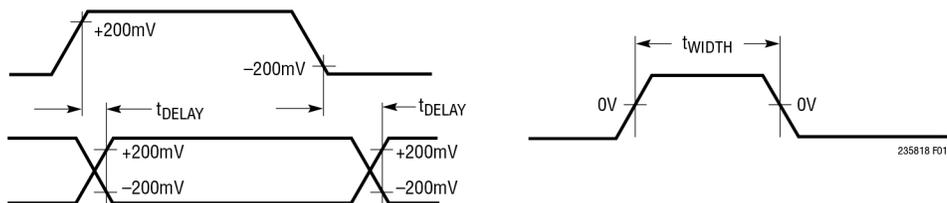
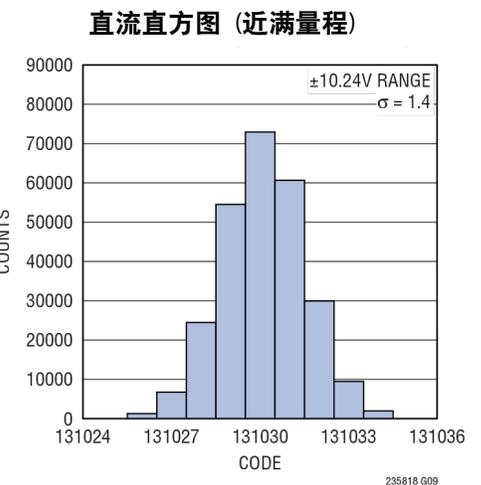
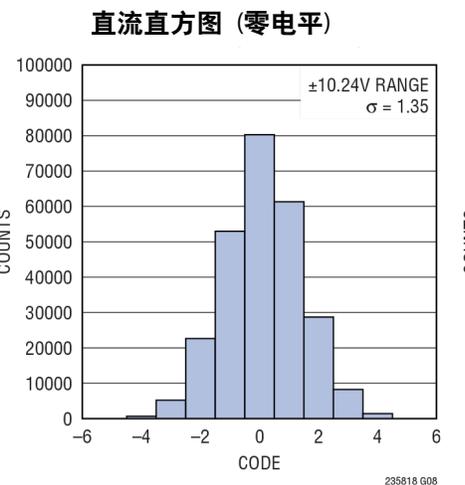
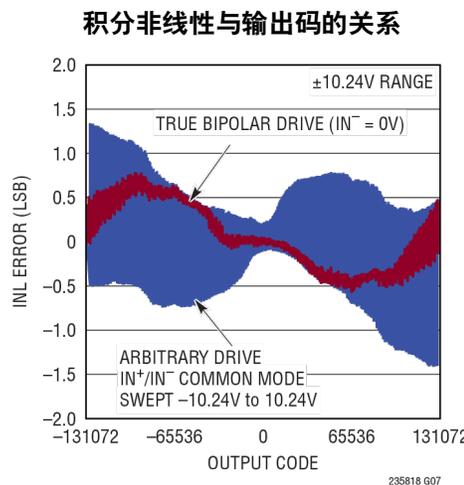
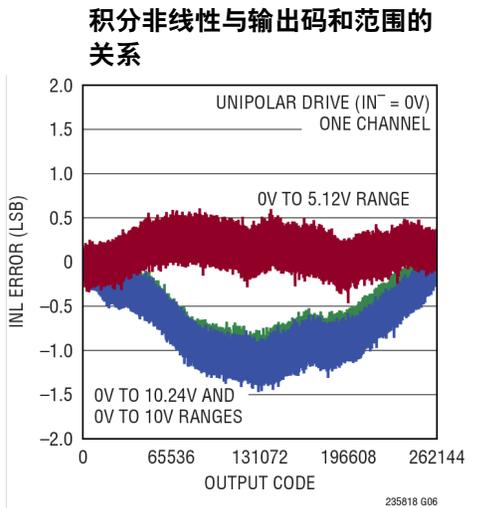
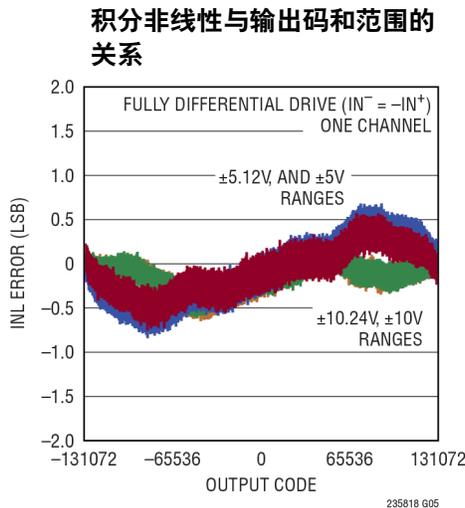
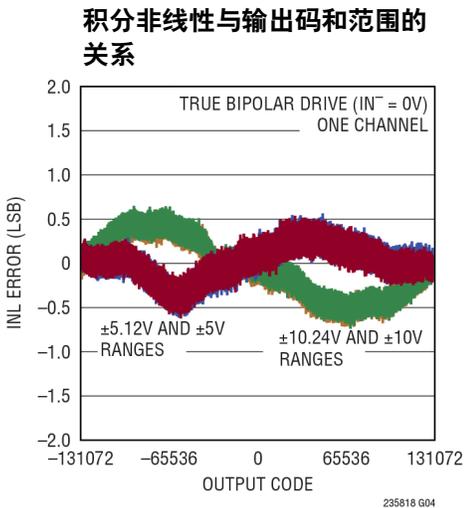
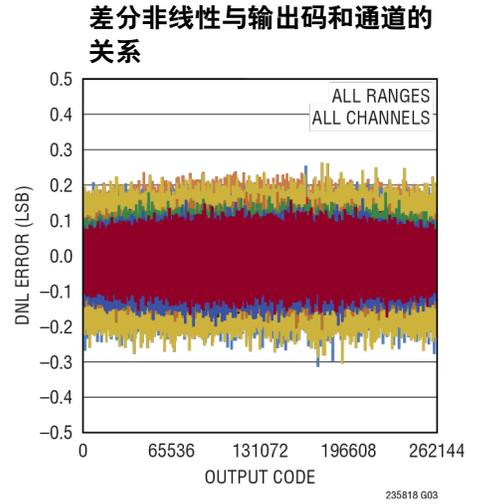
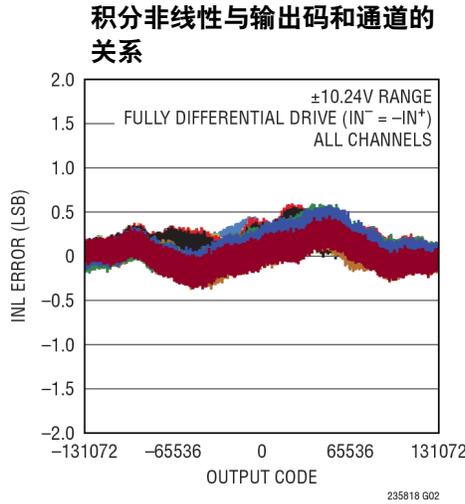
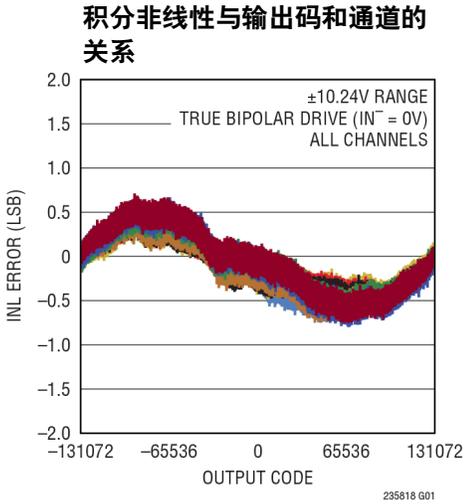


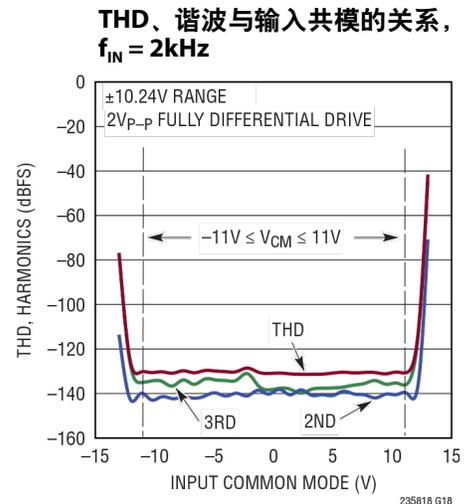
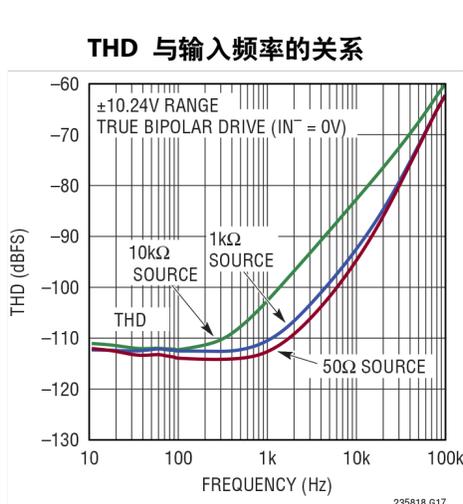
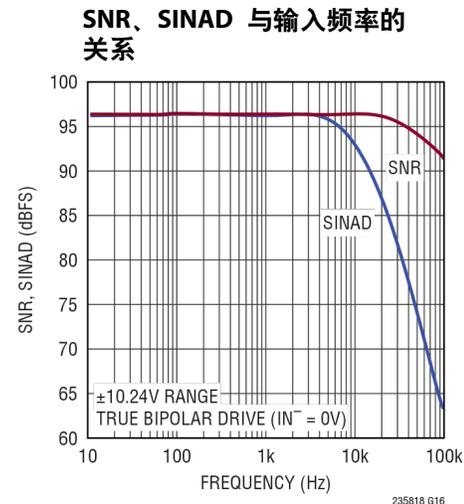
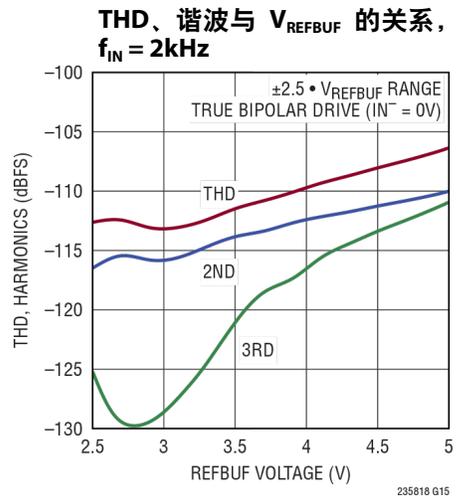
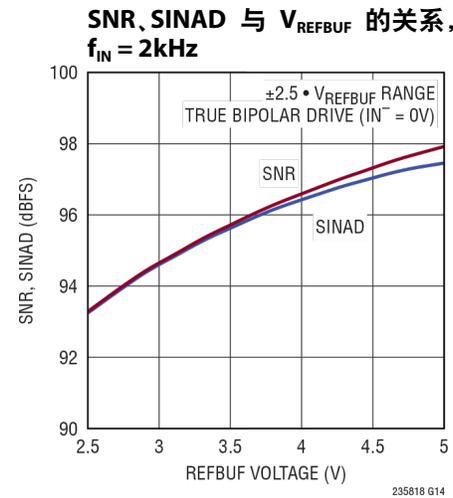
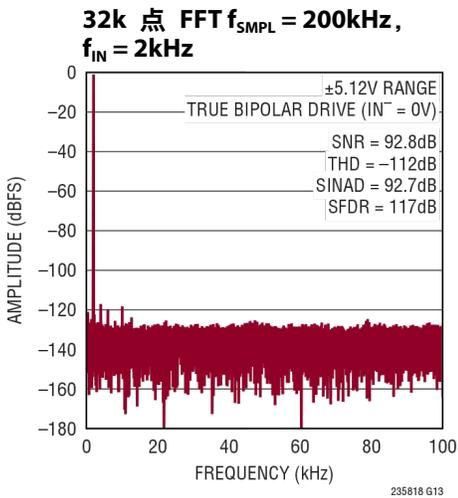
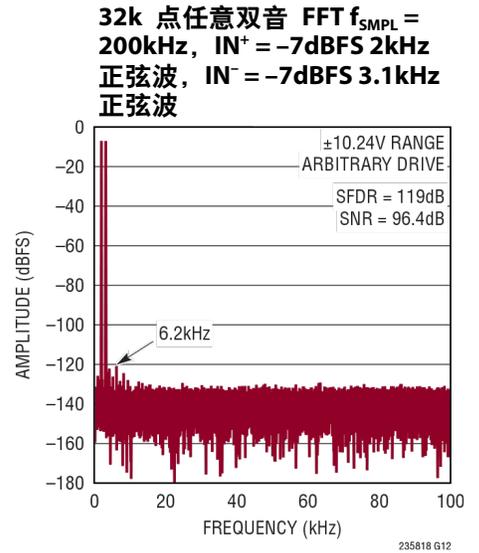
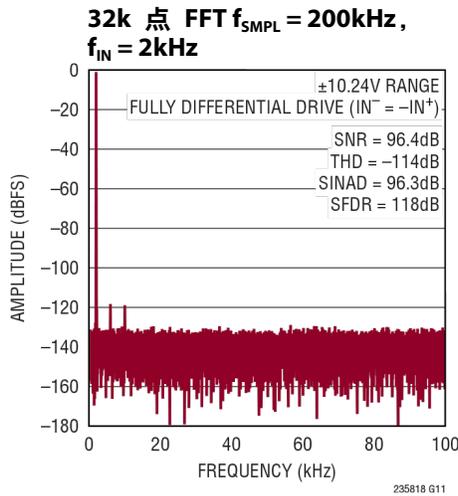
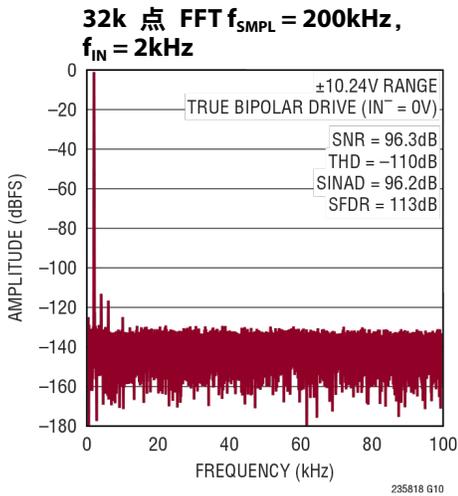
图 1. 时序规格的电压电平

典型性能参数 除非另有说明, $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, 内部基准电压源和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{SAMPL} = 200\text{kpsps}$.



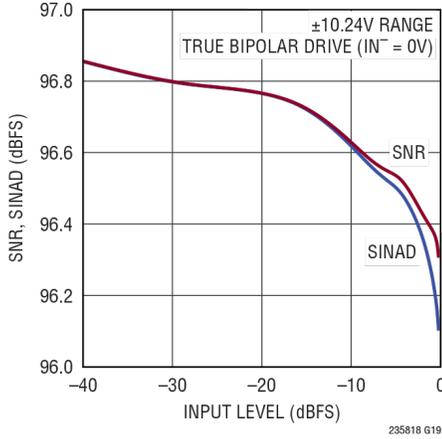
典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, 内部基准电压源和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{SAMPL} = 200\text{ksps}$ 。

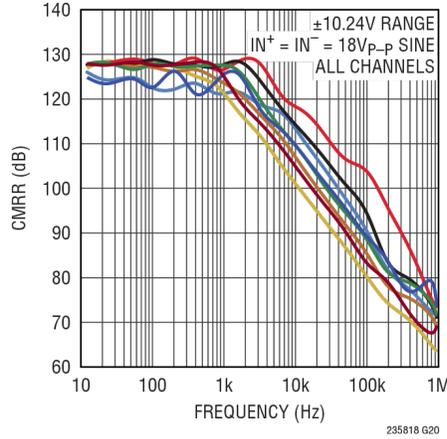


典型性能参数 除非另有说明, $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, 内部基准电压源和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{SAMPL} = 200\text{kpsps}$ 。

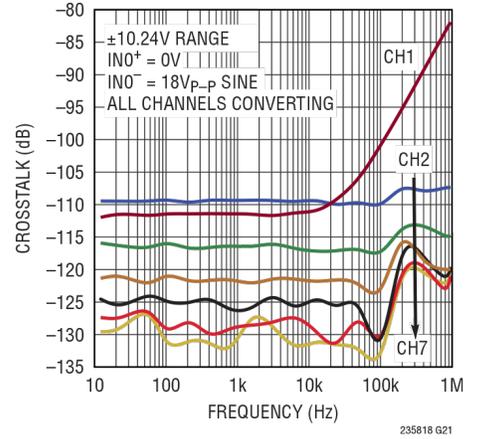
SNR、SINAD 与输入电平的关系,
 $f_{IN} = 2\text{kHz}$



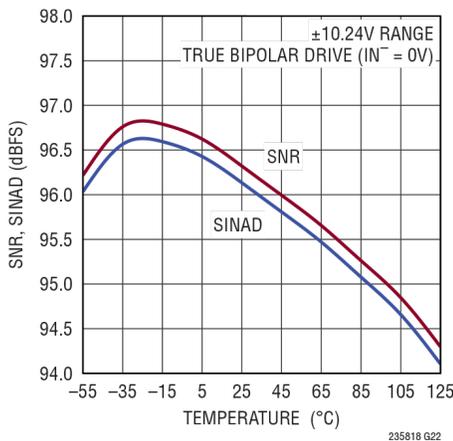
CMRR 与输入频率和通道的关系



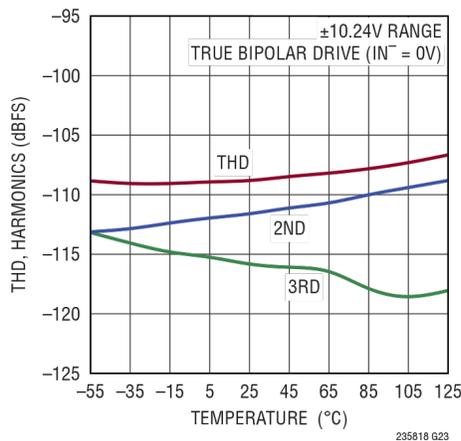
串扰与输入频率和通道的关系



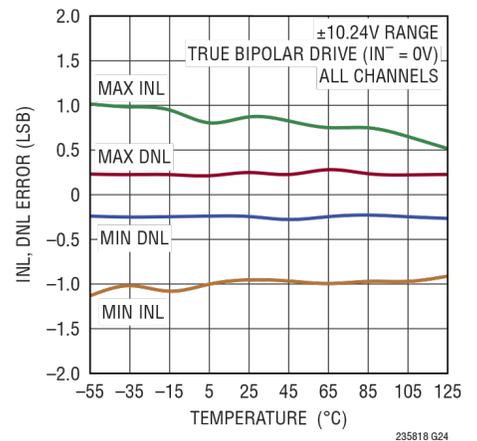
SNR、SINAD 与温度的关系,
 $f_{IN} = 2\text{kHz}$



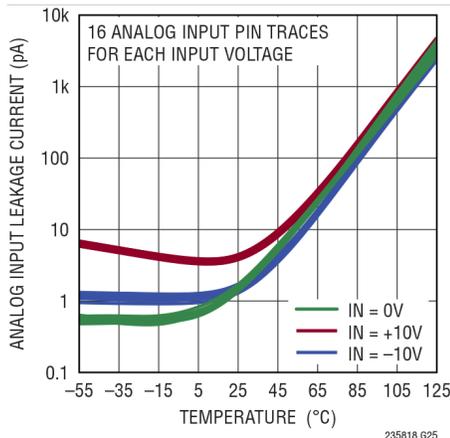
THD、谐波与温度的关系,
 $f_{IN} = 2\text{kHz}$



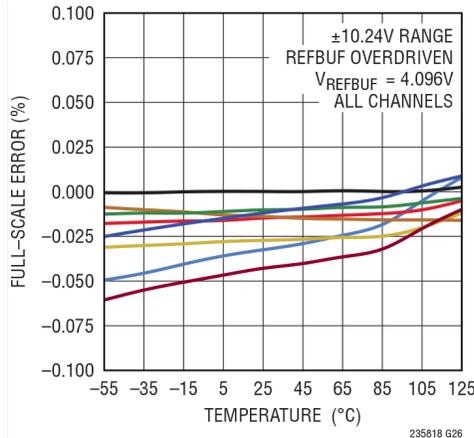
INL、DNL 与温度的关系



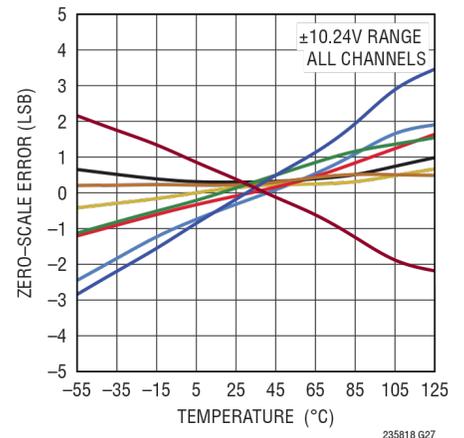
模拟输入漏电流与温度的关系



正满量程误差与温度和通道的关系

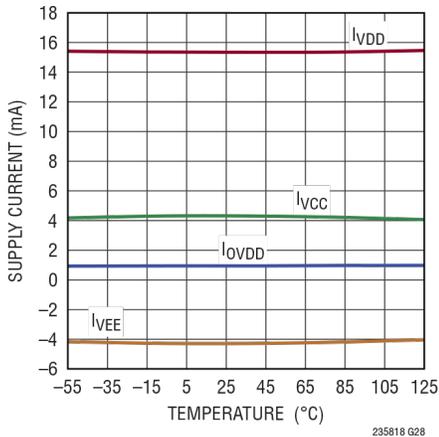


零电平误差与温度和通道的关系

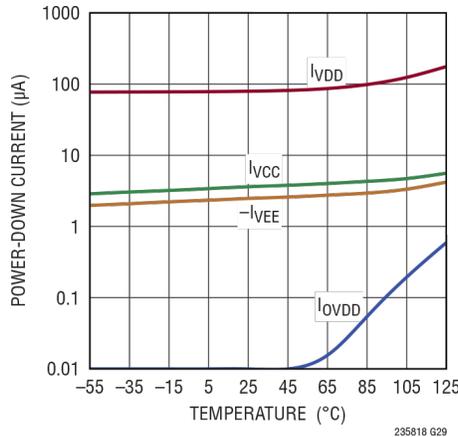


典型性能参数 除非另有说明, $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, 内部基准电压源和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{SAMPL} = 200\text{kpsps}$ 。

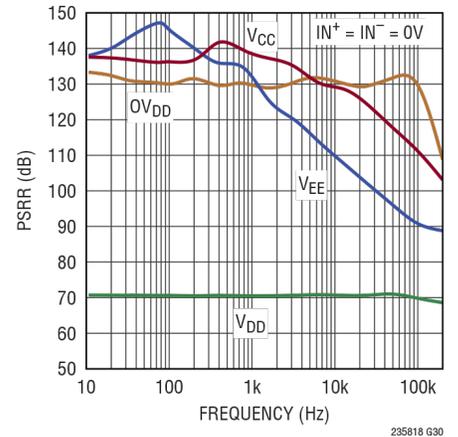
电源电流与温度的关系



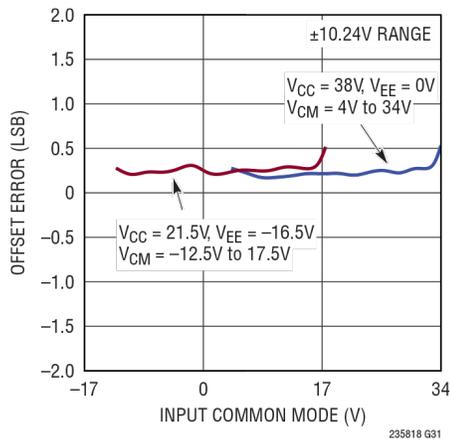
关断电流与温度的关系



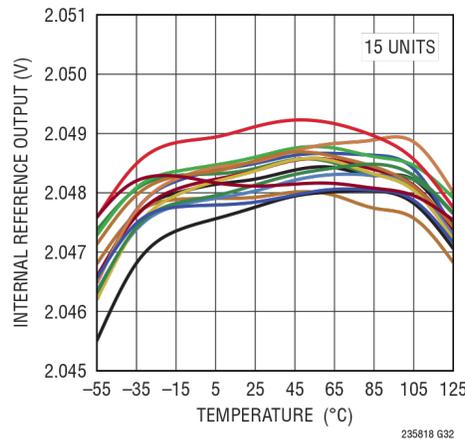
PSRR 与频率的关系



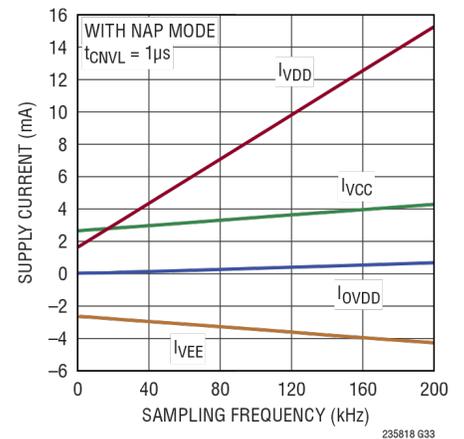
失调误差与输入共模的关系



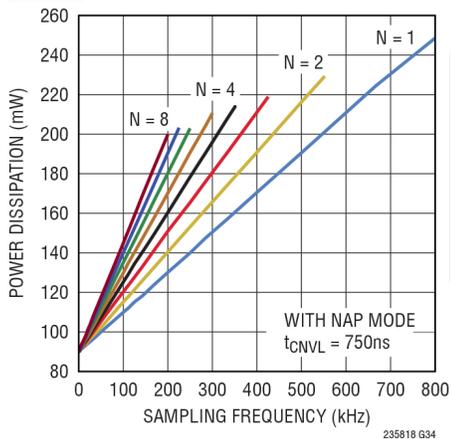
内部基准电压输出与温度的关系



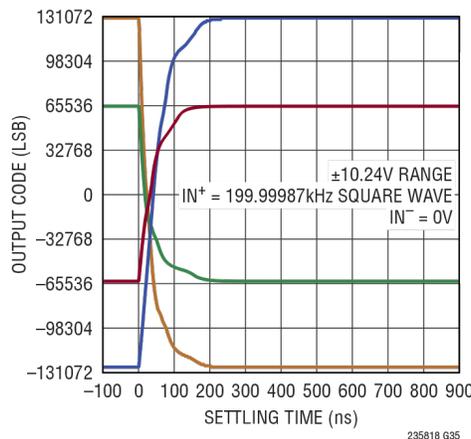
电源电流与采样速率的关系



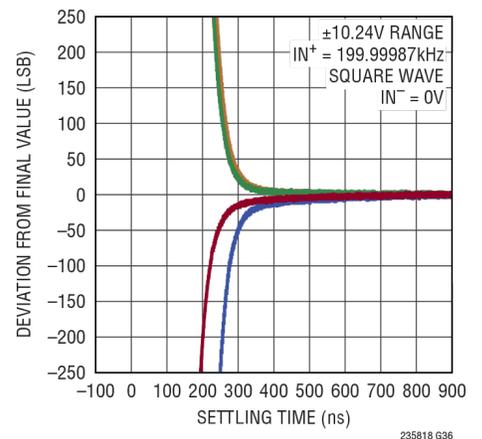
功耗与采样速率的关系, N 通道使能



阶跃响应 (大信号建立)



阶跃响应 (精密建立)



引脚功能

对所有数字 I/O 模式都相同的引脚

IN0⁺/IN0⁻ 至 IN7⁺/IN7⁻ (引脚 14/13、12/11、10/9、8/7、6/5、4/3、2/1 和 48/47): 正和负模拟输入，通道 0 至 7。转换器同时对所有通道进行采样和数字化 ($V_{IN+} - V_{IN-}$)。宽输入共模范围 ($V_{EE} + 4V \leq V_{CM} \leq V_{CC} - 4V$) 和高共模抑制性能允许输入接受各种信号摆幅。满量程输入范围由通道的 SoftSpan 配置决定。

GND (引脚 15、18、20、30、41、44、46): 地。将所有 GND 引脚焊接到实接地层。

V_{CC} (引脚 16): 正高压电源。V_{CC} 相对于 GND 的范围是 7.5V 至 38V，相对于 V_{EE} 的范围是 10V 至 38V。使用 0.1μF 陶瓷电容将 V_{CC} 旁路至接近该引脚的 GND。

V_{EE} (引脚 17、45): 负高压电源。V_{EE} 相对于 GND 的范围是 0V 至 -16.5V，相对于 V_{CC} 的范围是 -10V 至 -38V。将引脚 17 和 45 连接在一起，并使用 0.1μF 陶瓷电容将 V_{EE} 网络旁路至接近引脚 17 的 GND。在 V_{EE} 短接到 GND 的应用中，可以省略此电容。

REFIN (引脚 19): 带隙基准电压输出/基准电压缓冲器输入。内部带隙基准电压源在此引脚上标称输出 2.048V。内部基准电压缓冲器放大 V_{REFIN}，以在 REFBUF 引脚上产生转换器主基准电压 $V_{REFBUF} = 2 \cdot V_{REFIN}$ 。使用内部基准电压源时，利用 0.1μF 陶瓷电容将 REFIN 旁路至靠近该引脚的 GND (引脚 20)，以滤除带隙输出噪声。如果需要更高精度，可使用 1.25V 至 2.2V 范围内的外部基准电压过驱 REFIN。使用内部基准电压源时，请勿连接负载到此引脚。

REFBUF (引脚 21): 内部基准电压缓冲器输出。内部基准电压缓冲器放大 V_{REFIN}，以在此引脚上产生转换器主基准电压 $V_{REFBUF} = 2 \cdot V_{REFIN}$ ，使用内部带隙基准电压源时其标称值为 4.096V。

使用 47μF 陶瓷电容将 REFBUF 旁路至靠近该引脚的 GND (引脚 20)。将 REFIN 输入接地可禁用内部基准电压缓冲器。禁用缓冲器后，应使用 2.5V 至 5V 范围内的外部基准电压过驱 REFBUF。使用内部基准电压缓冲器时，应将任何连接到 REFBUF 的外部电路的负载限制在 200μA 以下。建议使用高输入阻抗放大器将 V_{REFBUF} 缓冲到外部电路。

PD (引脚 22): 关断输入。当该引脚变为高电平时，LTC2358-18 关断，忽略后续转换请求。如果这发生在转换期间，则待转换一完成，器件就会关断。如果此引脚两次被拉高且中间没有转换，则会启动内部全局复位，相当于上电复位事件。逻辑电平由 OV_{DD} 决定。

LVDS/ $\overline{\text{CMOS}}$ (引脚 23): I/O 模式选择。此引脚连接到 OV_{DD} 即选择 LVDS I/O 模式，或接地即选择 CMOS I/O 模式。逻辑电平由 OV_{DD} 决定。

CNV (引脚 24): 转换开始输入。此引脚的上升沿会使内部采样保持器进入保持模式并启动新转换。CNV 不是由 $\overline{\text{CS}}$ 选通，故无论串行 I/O 总线处于何种状态，转换都可以启动。

BUSY (引脚 38): 输出繁忙。BUSY 信号表示转换正在进行。此引脚在每次转换开始时从低电平变为高电平，并保持高电平直到转换完成。逻辑电平由 OV_{DD} 决定。

V_{DDLBY} (引脚 40): 内部 2.5V 稳压器旁路引脚。此引脚上的电压通过内部稳压器产生，该稳压器由 V_{DD} 供电。须使用 2.2μF 陶瓷电容将此引脚旁路至其附近的 GND。请勿将此引脚连接到任何外部电路。

V_{DD} (引脚 42、43): 5V 电源。V_{DD} 的范围是 4.75V 至 5.25V。将引脚 42 和 43 连接在一起，并使用一个靠近这些引脚的共用 0.1μF 陶瓷电容将 V_{DD} 网络旁路至 GND。

引脚功能

CMOS I/O 模式

SDO0 至 SDO7 (引脚 25、26、27、28、33、34、35 和 36): CMOS 串行数据输出, 通道 0 至 7。最新转换结果以及通道配置信息在 SCKI 的每个上升沿渐次输出到 SDO 引脚。输出数据格式化在“数字接口”部分中说明。未使用的 SDO 输出应保持未连接状态。逻辑电平由 OV_{DD} 决定。

SCKI (引脚 29): CMOS 串行时钟输入。使用串行 I/O 时钟驱动 SCKI。SCKI 上升沿锁存 SDI 上的串行数据, 并通过 SDO0 至 SDO7 输出串行数据。对于标准 SPI 总线操作, 接收器在 SCKI 的上升沿捕获输出数据。SCKI 空闲时可以处于高电平或低电平。逻辑电平由 OV_{DD} 决定。

OV_{DD} (引脚 31): I/O 接口电源。在 CMOS I/O 模式下, OV_{DD} 的范围是 1.71V 至 5.25V。使用 0.1 μ F 陶瓷电容将 OV_{DD} 旁路至靠近该引脚的 GND (引脚30)。

SCKO (引脚 32): CMOS 串行时钟输出。SCKI 上升沿触发 SCKO 上的跃迁, 这些跃迁与 SDO0 至 SDO7 上的串行输出数据流偏斜匹配。得到的 SCKO 频率是 SCKI 的一半。SCKO 的上升沿和下降沿可用来以双倍数据速率 (DDR) 方式在接收器 (FPGA) 处捕获 SDO 数据。标准 SPI 总线操作不使用 SCKO, 其应保持不连接状态。SCKO 在 BUSY 的下降沿被迫变为低电平。逻辑电平由 OV_{DD} 决定。

SDI (引脚 37): CMOS 串行数据输入。使用所需的 24 位 SoftSpan 配置字 (见表 1a) 驱动此引脚, 在 SCKI 的上升沿锁存。若将所有通道都配置为仅以 SoftSpan 7 运行, 则应将 SDI 连接到 OV_{DD} 。逻辑电平由 OV_{DD} 决定。

\overline{CS} (引脚 39): 片选输入引脚。当 \overline{CS} 为低电平时, 串行数据 I/O 总线使能; 当 \overline{CS} 为高电平时, 总线禁用且为高阻态。 \overline{CS} 还对外部移位时钟 SCKI 进行门控。逻辑电平由 OV_{DD} 决定。

LVDS I/O 模式

SDO0、SDO7、SDI (引脚 25、36 和 37): CMOS 串行数据 I/O。在 LVDS I/O 模式下, 这些引脚为高阻态。

SDI⁺/SDI⁻ (引脚 26/27): LVDS 正负串行数据输入。使用所需的 24 位 SoftSpan 配置字 (见表 1a) 以差分方式驱动 SDI⁺/SDI⁻, 在 SCKI⁺/SCKI⁻ 的上升沿和下降沿锁存。当 \overline{CS} 为低电平时, SDI⁺/SDI⁻ 输入对用 100 Ω 差分电阻内部端接。

SCKI⁺/SCKI⁻ (引脚 28/29): LVDS 正负串行时钟输入。使用串行 I/O 时钟以差分方式驱动 SCKI⁺/SCKI⁻。SCKI⁺/SCKI⁻ 上升沿和下降沿锁存 SDI⁺/SDI⁻ 上的串行数据, 并通过 SDO⁺/SDO⁻ 输出串行数据。SCKI⁺/SCKI⁻ 空闲时处于低电平, 包括 \overline{CS} 跃迁时。当 \overline{CS} 为低电平时, SCKI⁺/SCKI⁻ 输入对用 100 Ω 差分电阻内部端接。

OV_{DD} (引脚 31): I/O 接口电源。在 LVDS I/O 模式下, OV_{DD} 的范围是 2.375V 至 5.25V。使用 0.1 μ F 陶瓷电容将 OV_{DD} 旁路至靠近该引脚的 GND (引脚30)。

SCKO⁺/SCKO⁻ (引脚 32/33): LVDS 正负串行时钟输出。SCKO⁺/SCKO⁻ 输出 SCKI⁺/SCKI⁻ 上接收到的输入串行 I/O 时钟的副本, 其与 SDO⁺/SDO⁻ 上的串行输出数据流偏斜匹配。使用 SCKO⁺/SCKO⁻ 的上升沿和下降沿在接收器 (FPGA) 处捕获 SDO⁺/SDO⁻ 数据。SCKO⁺/SCKO⁻ 输出对必须用接收器 (FPGA) 处的 100 Ω 电阻以差分方式端接。

SDO⁺/SDO⁻ (引脚 34/35): LVDS 正负串行数据输出。最新转换结果以及通道配置信息在 SCKI⁺/SCKI⁻ 的上升沿和下降沿输出到 SDO⁺/SDO⁻ 上, 从通道 0 开始。SDO⁺/SDO⁻ 输出对必须用接收器 (FPGA) 处的 100 Ω 电阻以差分方式端接。

\overline{CS} (引脚 39): 片选输入引脚。当 \overline{CS} 为低电平时, 串行数据 I/O 总线使能; 当 \overline{CS} 为高电平时, 总线禁用且为高阻态。 \overline{CS} 还对外部移位时钟 SCKI⁺/SCKI⁻ 进行门控。当 \overline{CS} 为高电平时, SCKI⁺/SCKI⁻ 和 SDI⁺/SDI⁻ 输入对上的内部 100 Ω 差分端接电阻禁用。逻辑电平由 OV_{DD} 决定。

配置表

表 1a. SoftSpan 配置表。此表与表 1b 一同使用，根据所需模拟输入范围为每个通道选择独立的二进制 SoftSpan 代码 SS[2:0]。将 SoftSpan 代码组合成 24 位 SoftSpan 配置字 S[23:0]。使用串行接口将 SoftSpan 配置字写入 LTC2358-18，如图 18 所示。

二进制 SoftSpan 代码 SS[2:0]	模拟输入范围	满量程范围	转换结果的二进制格式
111	$\pm 2.5 \cdot V_{\text{REFBUF}}$	$5 \cdot V_{\text{REFBUF}}$	二进制补码
110	$\pm 2.5 \cdot V_{\text{REFBUF}}/1.024$	$5 \cdot V_{\text{REFBUF}}/1.024$	二进制补码
101	0V 至 $2.5 \cdot V_{\text{REFBUF}}$	$2.5 \cdot V_{\text{REFBUF}}$	直接二进制
100	0V 至 $2.5 \cdot V_{\text{REFBUF}}/1.024$	$2.5 \cdot V_{\text{REFBUF}}/1.024$	直接二进制
011	$\pm 1.25 \cdot V_{\text{REFBUF}}$	$2.5 \cdot V_{\text{REFBUF}}$	二进制补码
010	$\pm 1.25 \cdot V_{\text{REFBUF}}/1.024$	$2.5 \cdot V_{\text{REFBUF}}/1.024$	二进制补码
001	0V 至 $1.25 \cdot V_{\text{REFBUF}}$	$1.25 \cdot V_{\text{REFBUF}}$	直接二进制
000	通道禁用	通道禁用	全零

表 1b. 基准电压源配置表。LTC2358-18 支持三种基准电压源配置。模拟输入范围与转换器主基准电压 V_{REFBUF} 成比例

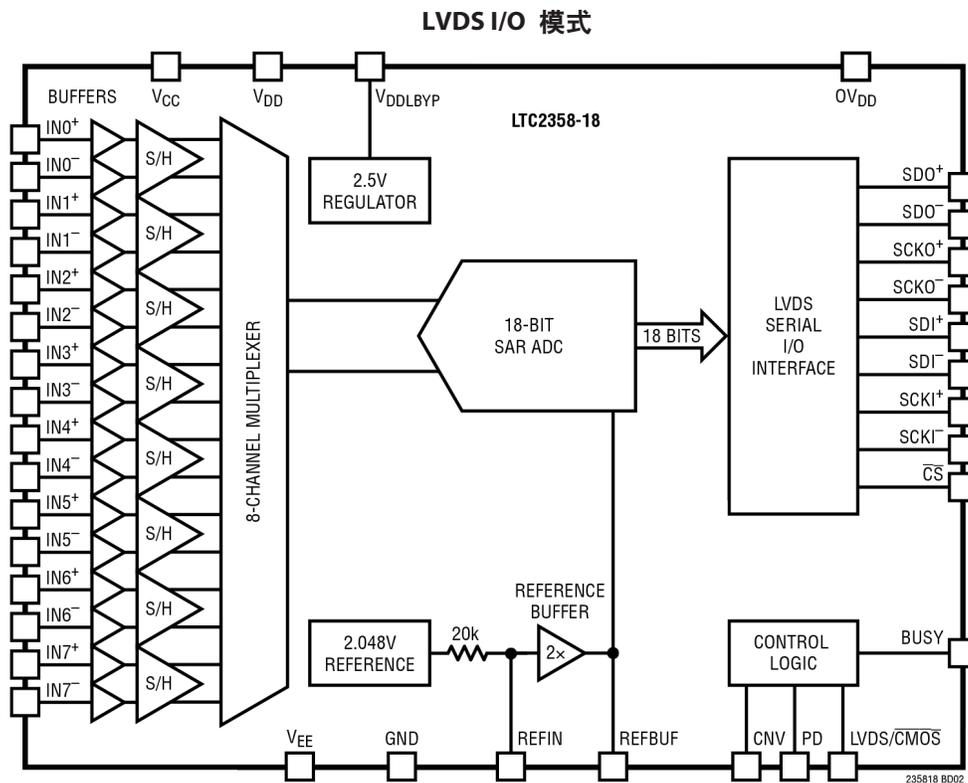
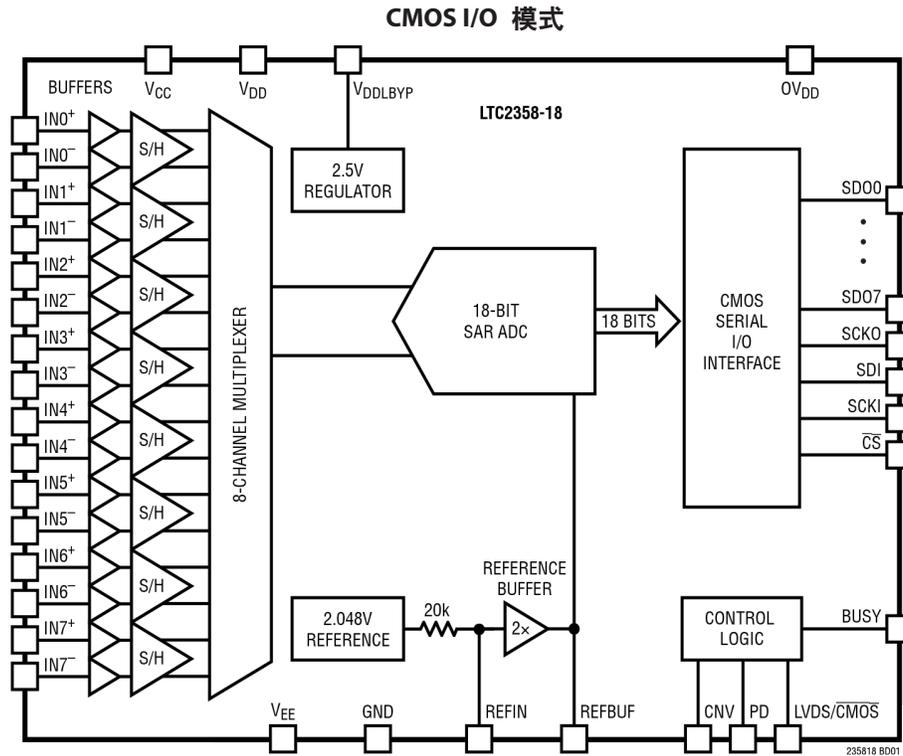
基准电压源配置	V_{REFIN}	V_{REFBUF}	二进制 SoftSpan 代码 SS[2:0]	模拟输入范围
使用内部缓冲器的 内部基准电压源	2.048V	4.096V	111	$\pm 10.24\text{V}$
			110	$\pm 10\text{V}$
			101	0V 至 10.24V
			100	0V 至 10V
			011	$\pm 5.12\text{V}$
			010	$\pm 5\text{V}$
			001	0V 至 5.12V
使用内部缓冲器的 外部基准电压源 (REFIN 引脚外部过驱)	1.25V (最小值)	2.5V	111	$\pm 6.25\text{V}$
			110	$\pm 6.104\text{V}$
			101	0V 至 6.25V
			100	0V 至 6.104V
			011	$\pm 3.125\text{V}$
			010	$\pm 3.052\text{V}$
			001	0V 至 3.125V
	2.2V (最大值)	4.4V	111	$\pm 11\text{V}$
			110	$\pm 10.742\text{V}$
			101	0V 至 11V
			100	0V 至 10.742V
			011	$\pm 5.5\text{V}$
			010	$\pm 5.371\text{V}$
			001	0V 至 5.5V

配置表

表 1b. 基准电压源配置表 (续)。LTC2358-18 支持三种基准电压源配置。模拟输入范围与转换器主基准电压 V_{REFBUF} 成比例

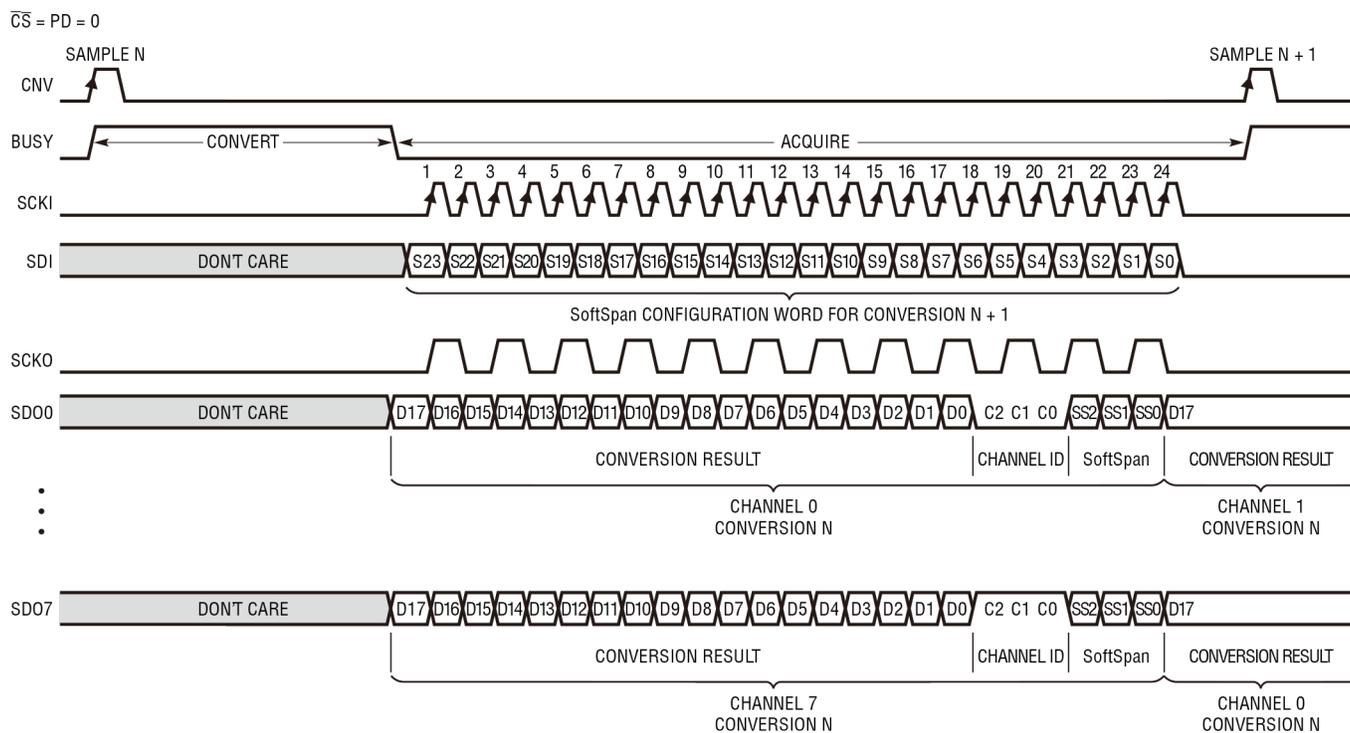
基准电压源配置	V_{REFIN}	V_{REFBUF}	二进制 SoftSpan 代码 SS[2:0]	模拟输入范围
无缓冲的外部基准电压源 (REFBUF 引脚外部过驱, REFIN 引脚接地)	0V	2.5V (最小值)	111	$\pm 6.25\text{V}$
			110	$\pm 6.104\text{V}$
			101	0V 至 6.25V
			100	0V 至 6.104V
			011	$\pm 3.125\text{V}$
			010	$\pm 3.052\text{V}$
			001	0V 至 3.125V
	0V	5V (最大值)	111	$\pm 12.5\text{V}$
			110	$\pm 12.207\text{V}$
			101	0V 至 12.5V
			100	0V 至 12.207V
			011	$\pm 6.25\text{V}$
			010	$\pm 6.104\text{V}$
			001	0V 至 6.25V

功能框图



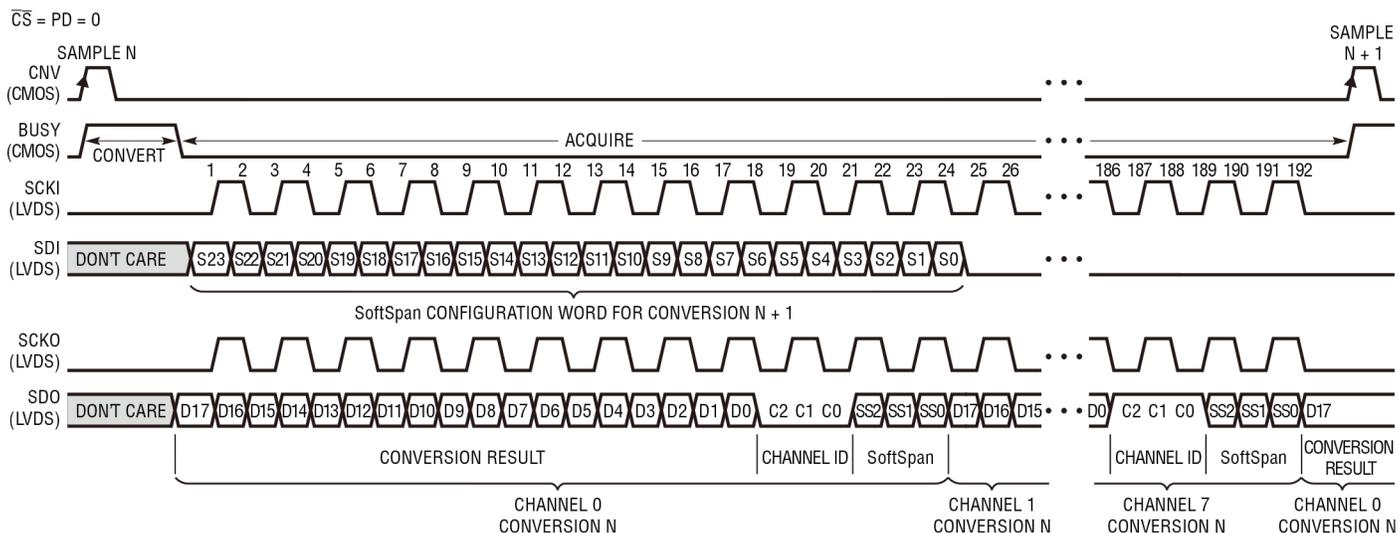
时序图

CMOS I/O 模式



235818 TD01

LVDS I/O 模式



235818 TD02

应用信息

概述

LTC2358-18 是一款 18 位、低噪声、8 通道同步采样逐次逼近型寄存器 (SAR) ADC，具有缓冲差分、宽共模范围皮安输入。ADC 采用 5V 低压电源和标称值 $\pm 15V$ 的灵活高压电源供电。使用集成的低漂移基准电压源和缓冲器 ($V_{REFBUF} = 4.096V$ 标称值)，该 SoftSpan ADC 的每个通道均可在逐次转换的基础上独立配置，以接受 $\pm 10.24V$ 、 $0V$ 至 $10.24V$ 、 $\pm 5.12V$ 或 $0V$ 至 $5.12V$ 信号。使用外部 5V 基准电压，输入信号范围可扩展至 $\pm 12.5V$ 。还可以禁用个别通道以提高其余通道的吞吐速率。

LTC2358-18 集成皮安输入模拟缓冲器，具有宽输入共模范围和 128dB CMRR，使得 ADC 能以最小的电路板空间和功耗直接将各种信号数字化。这种输入信号灵活性，结合 $\pm 3.5LSB$ INL、18 位无失码和 96.4dB SNR，使 LTC2358-18 成为许多需要宽动态范围的高压应用的理想选择。

绝对共模输入范围 ($V_{EE} + 4V$ 至 $V_{CC} - 4V$) 由高压电源的选择决定。这些电源的对地偏置可以是不对称的，并且 V_{EE} 可以直接接地。

LTC2358-18 支持引脚可选的 SPI CMOS (1.8V 至 5V) 和 LVDS 串行接口，与传统微控制器和现代 FPGA 都能很好地进行通信。在 CMOS 模式下，应用可以使用一到八个通道的串行输出数据，允许用户优化总线宽度和数据吞吐速率。当以每通道 200ksps 同时转换 8 个通道时，LTC2358-18 的功耗典型值为 219mW。在非活动期间，使用可选的休眠和关断模式可以进一步降低功耗。

转换器操作

LTC2358-18 的操作分为两个阶段。在采集阶段，每个通道的采样保持 (S/H) 电路中的采样电容连接到相应的模拟输入缓冲器，跟踪差分模拟输入电压 ($V_{IN+} - V_{IN-}$)。CNV 引脚上的上升沿将所有通道的 S/H 电路从跟踪模式转变为保持模式，同时对所有通道上的输入信号进行采样并启动转换。在转换阶段，每个通道的采样电容 (一次一个通道) 连接到 18 位电荷再分配电容 D/A 转换器 (CDAC)。依序对 CDAC 执行逐次逼近算法，使用差分比较器有效地将采样输入电压与通道 SoftSpan 满量程范围的二进制加权分数 (例如 $V_{FSR}/2$ 、 $V_{FSR}/4$... $V_{FSR}/262144$) 进行比较。在此过程结束时，CDAC 输出通道模拟输入采样的近似值。以这种方式转换所有通道之后，ADC 控制逻辑就会准备每个通道的 18 位数字输出码以供串行传输。

传递函数

LTC2358-18 将每个通道的满量程电压范围数字化为 2^{18} 个电平。结合 ADC 主基准电压 V_{REFBUF} ，一个通道的 SoftSpan 配置决定其输入电压范围、满量程范围、LSB 大小及其转换结果的二进制格式，如表 1a 和 1b 所示。例如，采用内部基准电压源和缓冲器 ($V_{REFBUF} = 4.096V$ 标称值) 时，SoftSpan 7 将一个通道配置为接受 $\pm 10.24V$ 双极性模拟输入电压范围，对应于 20.48V 满量程范围，LSB 为 78.125 μV 。若要转换更大或更小的双极性或单极性输入范围，可以使用其他 SoftSpan 配置和基准电压。对于所有双极性 SoftSpan 范围，转换结果以二进制补码格式输出；对于所有单极性 SoftSpan 范围，转换结果以直接二进制格式输出。理想的二进制补码传递函数如图 2 所示，理想的直接二进制传递函数如图 3 所示。

应用信息

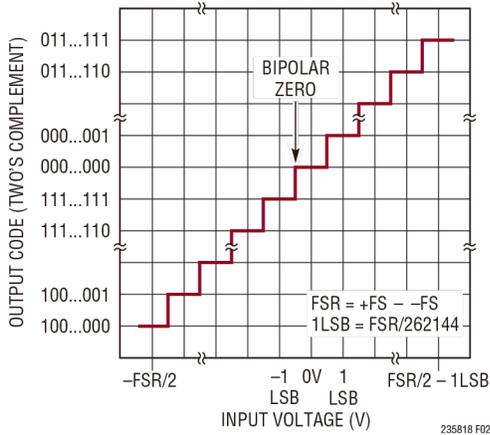


图 2. LTC2358-18 二进制补码传递函数

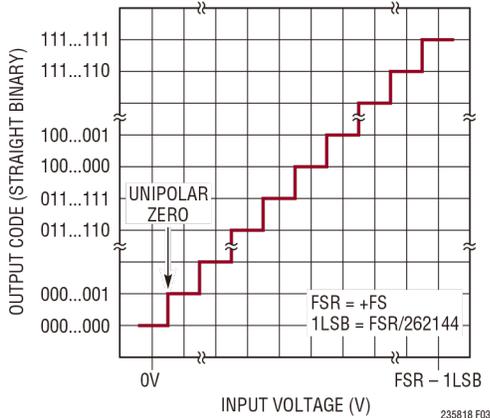


图 3. LTC2358-18 直接二进制传递函数

模拟输入缓冲

LTC2358-18 的每个通道同时在宽共模输入范围内采样其模拟输入引脚之间的电压差 ($V_{IN+} - V_{IN-}$)，同时通过 ADC 的共模抑制比 (CMRR) 衰减两个输入引脚上共有的干扰信号。宽共模输入范围加上高 CMRR，使得 IN^+/IN^- 模拟输入能以任意关系相互摆动，只要每个引脚保持在 $(V_{EE} + 4V)$ 和 $(V_{CC} - 4V)$ 之间即可。LTC2358-18 的这一特性使它能够接受各种信号摆幅，包括传统的模拟输入信号类别，如伪

差分单极、伪差分真双极和全差分，从而简化信号链设计。对于扩展到 V_{EE} 的信号的转换，建议采用无缓冲 LTC2348-18 ADC。

高压电源的宽工作范围提供了更大的输入共模灵活性。只要不超出 $10V \leq (V_{CC} - V_{EE}) \leq 38V$ 的电压差限值， V_{CC} 和 V_{EE} 便可在其各自允许的工作范围内独立偏置到任何电压，而且 V_{EE} 可以直接接地。此特性使得 LTC2358-18 的共模输入范围可以针对具体应用要求进行定制。

在所有 SoftSpan 范围中，每个通道的模拟输入可以用图 4 所示的等效电路来建模。采集开始时，采样电容 (C_{SAMP}) 通过采样开关连接到集成缓冲器 $Buffer^+/Buffer^-$ 。采样电压在转换过程中会复位，因此每次新转换都会重新采集。

输入与 V_{CC} 、 V_{EE} 电源之间的二极管提供输入 ESD 保护。在电源电压范围内，LTC2358-18 的模拟输入仅消耗 5pA (典型值) 直流漏电流，ESD 保护二极管不会导通。这显著优于外部运放缓冲器，后者具有的二极管保护常常会在瞬态期间导通，破坏其输入端滤波器电容上的电压。

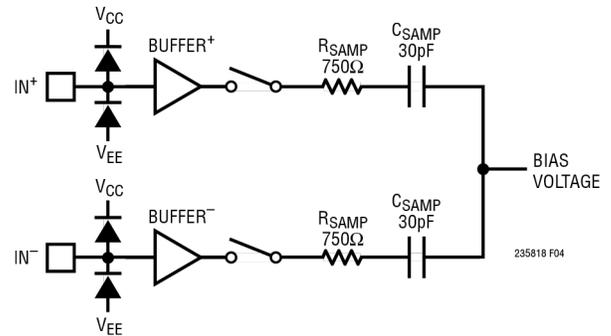


图 4. 所示为单通道差分模拟输入等效电路

应用信息

双极性 SoftSpan 输入范围

对于配置为 SoftSpan 范围 7、6、3 或 2 的通道，LTC2358-18 分别在 $\pm 2.5 \cdot V_{\text{REFBUF}}$ 、 $\pm 2.5 \cdot V_{\text{REFBUF}}/1.024$ 、 $\pm 1.25 \cdot V_{\text{REFBUF}}$ 或 $\pm 1.25 \cdot V_{\text{REFBUF}}/1.024$ 的双极性范围内对差分模拟输入电压 ($V_{\text{IN}^+} - V_{\text{IN}^-}$) 进行数字化，如表 1a 所示。这些 SoftSpan 范围可用于对 IN^+ 和 IN^- 在彼此的上下摆动的输入信号进行数字化。传统例子包括全差分输入信号，其中 IN^+ 和 IN^- 彼此 180 度异相并以共模电压 $(V_{\text{IN}^+} + V_{\text{IN}^-})/2$ 为中心，以及伪差分真双极性输入信号，其中 IN^+ 在 IN^- 所驱动的接地基准电平上下摆动。无论选择何种 SoftSpan 范围，宽共模输入范围加上高 CMRR 使得 IN^+/IN^- 模拟输入能以任意关系相互摆动，只要每个引脚保持在 $(V_{\text{CC}} - 4V)$ 和 $(V_{\text{EE}} + 4V)$ 之间即可。所有双极性 SoftSpan 范围的输出数据格式都是二进制补码。

单极性 SoftSpan 输入范围

对于配置为 SoftSpan 范围 5、4 或 1 的通道，LTC2358-18 分别在 $0V$ 至 $2.5 \cdot V_{\text{REFBUF}}$ 、 $0V$ 至 $2.5 \cdot V_{\text{REFBUF}}/1.024$ 或 $0V$ 至 $1.25 \cdot V_{\text{REFBUF}}$ 的单极性范围内对差分模拟输入电压 ($V_{\text{IN}^+} - V_{\text{IN}^-}$) 进行数字化，如表 1a 所示。这些 SoftSpan 范围可用于对 IN^+ 始终高于 IN^- 的输入信号进行数字化。传统例子包括伪差分单极性输入信号，其中 IN^+ 在 IN^- 所驱动的接地基准电平以上摆动。无论选择何种 SoftSpan 范围，宽共模输入范围加上高 CMRR 使得 IN^+/IN^- 模拟输入能以任意关系相互摆动，只要每个引脚保持在 $(V_{\text{CC}} - 4V)$ 和 $(V_{\text{EE}} + 4V)$ 之间即可。所有单极性 SoftSpan 范围的输出数据格式都是直接二进制。

输入驱动电路

CMOS 缓冲输入级与采样过程的瞬态隔离度非常高。大多数传感器、信号调理放大器和阻抗

小于 $10k\Omega$ 的滤波器网络都能直接驱动无源 $3pF$ 模拟输入电容。对于更高阻抗和慢速建立电路，应在引脚上添加一个 $680pF$ 电容，以维持 LTC2358-18 的完整直流精度。

LTC2358-18 中单位增益缓冲器的超高输入阻抗大大降低了输入驱动要求，并且支持使用可选的具有 $k\Omega$ 阻抗和任意慢时间常数的 RC 滤波器，以实现抗混叠或其他目的。低功耗运算放大器具有有限的驱动能力，也非常适合直接驱动高阻抗模拟输入。

LTC2358-18 的专有电路可在通道之间实现优异的内部串扰隔离（典型值为 $109dB$ ）。连接到模拟输入的印刷电路板应短接并屏蔽，以防止通道之间的外部电容串扰。相邻封装引脚之间的电容为 $0.16pF$ 。低源电阻和/或高源电容有助于减少外部容性耦合串扰。单端输入驱动还能实现额外的外部串扰隔离，因为输入引脚每隔一个接地或连接低阻抗直流源驱动，充当通道之间的屏蔽。

输入过驱容限

在任何通道上驱动超过 V_{CC} 的模拟输入最多 $10mA$ 不会影响其他通道上的转换结果。大约 70% 的过驱动电流将从 V_{CC} 引脚流出，其余 30% 将从 V_{EE} 流出。从 V_{EE} 流出的电流会在 $V_{\text{CC}} - V_{\text{EE}}$ 压降上产生热量， $500mW$ 的总绝对最大功率必须考虑这一点。驱动 V_{EE} 以下的模拟输入可能会破坏其他通道上的转换结果。本产品可以处理 V_{EE} 以下或 V_{CC} 以上最高 $100mA$ 的输入电流而不会闩锁。

请记住，驱动 V_{CC} 以上或 V_{EE} 以下的输入可能会逆转驱动这些引脚的外部电源的正常电流。

应用信息

输入滤波

真正的高阻抗模拟输入可以适应各种无源或有源信号调理滤波器。缓冲 ADC 输入具有 6MHz 的模拟带宽，对外部滤波器没有特别的带宽要求。因此，外部输入滤波器可以独立于 ADC 进行优化，以降低信号链噪声和干扰。常见滤波器配置是简单的抗混叠和降噪 RC 滤波器，其极点频率为采样频率的一半，例如图 5 所示的 100kHz、 $R = 2.43k\Omega$ 、 $C = 680pF$ 滤波器。

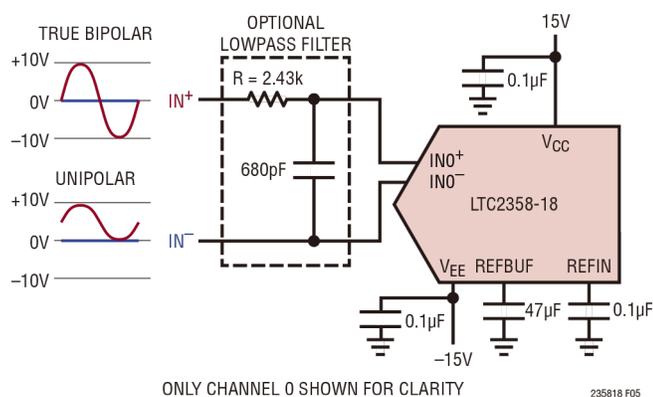


图 5. 单端输入信号滤波

RC 滤波器应使用高质量的电容和电阻，因为这些元件会增加失真。NPO/COG 和银云母型电介质电容具有优异的线性度。碳表面贴装电阻会因自发热和焊接过程中可能发生的损坏而产生失真。金属膜表面贴装电阻不易受这两个问题的影响。

任意和全差分模拟输入信号

LTC2358-18 的宽共模输入范围加上高 CMRR 使得每个通道的 IN^+ 和 IN^- 输入能以任意

系相互摆动，只要每个引脚保持在 $(V_{CC} - 4V)$ 和 $(V_{EE} + 4V)$ 之间即可。LTC2358-18 的这一特性使其能够接受各种信号摆幅，从而简化信号链设计。

图 6b 中所示的双音测试展示了 LTC2358-18 的任意输入驱动能力。该测试同时驱动 IN^+ 和 IN^- ，前者采用 $-7dBFS$ 2kHz 单端正弦波，后者采用 $-7dBFS$ 3.1kHz 单端正弦波。这些信号一起扫描模拟输入的各种共模和差模电压组合，类似于更一般的任意输入信号情况。它们还具有简单的频谱表示。无共模灵敏度的理想差分转换器会将此信号数字化为两个 $-7dBFS$ 频谱音，每个正弦波频率一个。图 6b 中的 FFT 曲线表明 LTC2358-18 的响应接近这一理想状态，受限于转换器对 IN^- 上 3.1kHz 正弦波的二次谐波失真响应，SFDR 为 119dB。

LTC2358-18 能够以高 CMRR 接受宽共模输入范围内的任意信号摆幅，从而简化应用解决方案。在实际应用中，许多传感器在一个大共模信号之上产生一个差分传感器电压。图 7a 显示了使用 LTC2358-18 对这种类型的信号进行数字化的一种方式。放大级对所需的传感器信号提供约 10V/V 的差分增益，而干扰共模信号则被 ADC CMRR 衰减。电路使用 ADC 的 $\pm 5V$ SoftSpan 范围。图 7b 显示了该解决方案的实测 CMRR 性能，其可以与最好的商用仪表放大器进行竞争。图 7c 显示了该解决方案的实测交流性能。

图 8 显示了另一个应用电路，其使用 LTC2358-18 的两个通道，通过检测电阻在宽共模范围内同时检测电压和双向电流。

应用信息

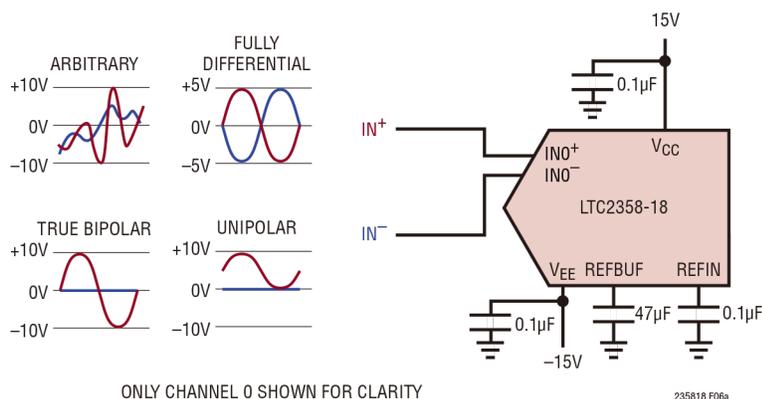
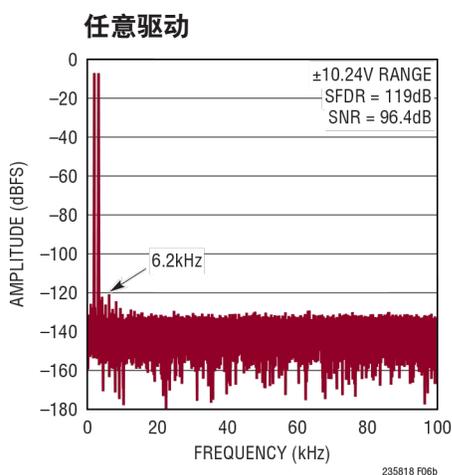
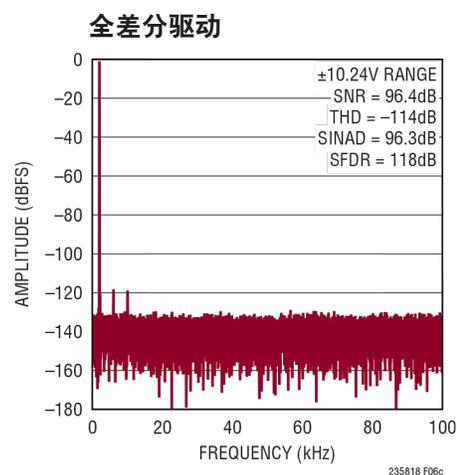
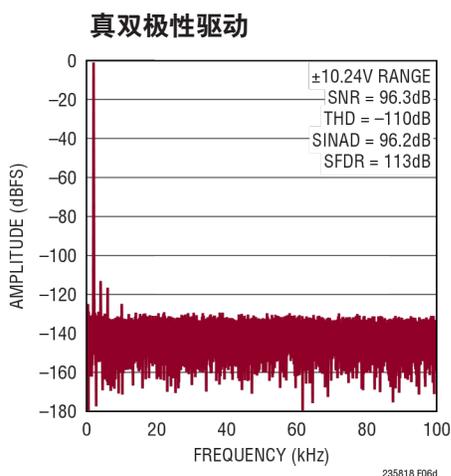
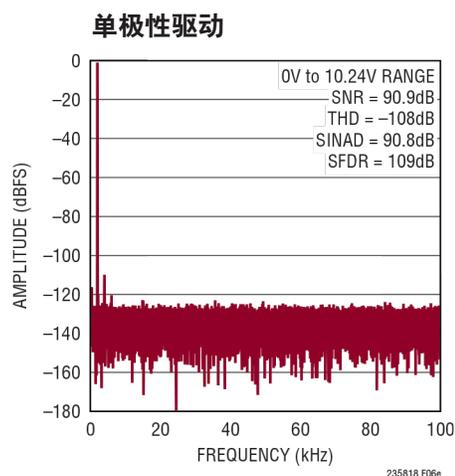


图 6a. 输入任意、全差分、真双极性和单极性信号

图 6b. 双音测试。IN⁺ = -7dBFS 2kHz 正弦波，IN⁻ = -7dBFS 3.1kHz 正弦波，32k 点 FFT，f_{SAMPL} = 200ksps。电路如图 6a 所示图 6c. IN⁺/IN⁻ = -1dBFS 2kHz 全差分正弦波，V_{CM} = 0V，32k 点 FFT，f_{SAMPL} = 200ksps。电路如图 6a 所示图 6d. IN⁺ = -1dBFS 2kHz 正双极性正弦波，IN⁻ = 0V，32k 点 FFT，f_{SAMPL} = 200ksps。电路如图 6a 所示图 6e. IN⁺ = -1dBFS 2kHz 单极性正弦波，IN⁻ = 0V，32k 点 FFT，f_{SAMPL} = 200ksps。电路如图 6a 所示

应用信息

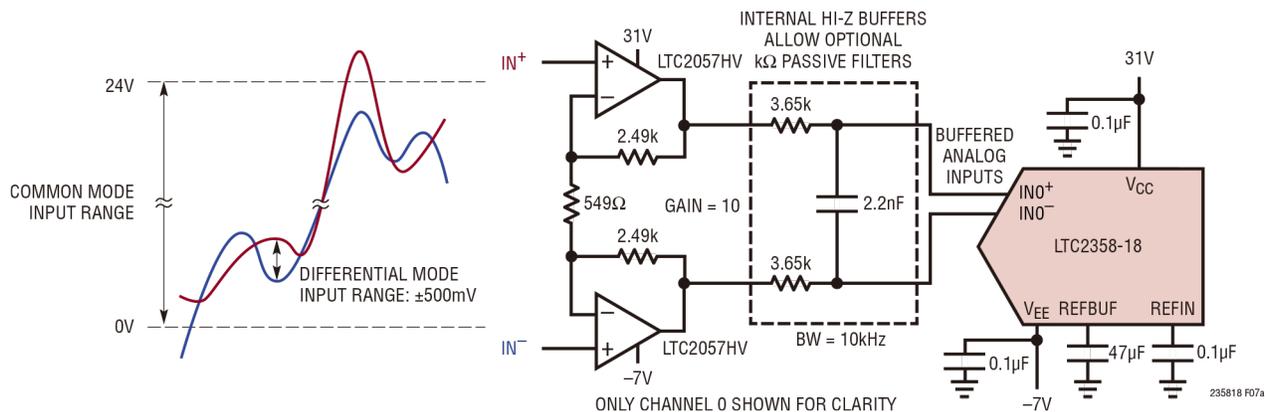


图 7a. 在宽共模范围内通过缓冲模拟输入以 10 倍增益放大差分信号

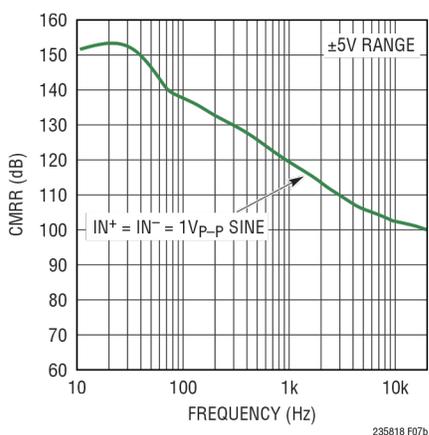


图 7b. CMRR 与输入频率的关系。电路如图 7a 所示

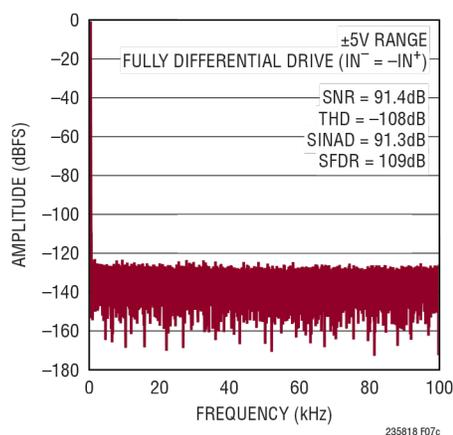
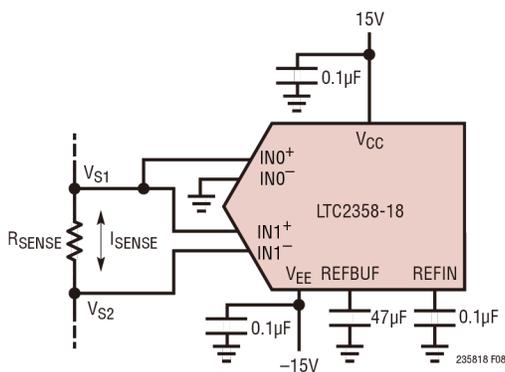


图 7c. $IN^+/IN^- = 450\text{mV}$ 200Hz 全差分正弦波, $0\text{V} \leq V_{CM} \leq 24\text{V}$, 32k 点 FFT, $f_{\text{SAMPL}} = 200\text{ksps}$ 。电路如图 7a 所示



ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{\text{SENSE}} = \frac{V_{S1} - V_{S2}}{R_{\text{SENSE}}} \quad \begin{matrix} -10.24\text{V} \leq V_{S1} \leq 10.24\text{V} \\ -10.24\text{V} \leq V_{S2} \leq 10.24\text{V} \end{matrix}$$

图 8. 在宽共模范围内同时检测电压 (CH0) 和电流 (CH1)

应用信息

ADC 基准电压源

如前面表 1b 所示, LTC2358-18 支持三种基准电压源配置。第一种是使用内部带隙基准电压源和基准电压缓冲器。第二种是外部过驱内部基准电压源, 但保留内部缓冲器, 从而将外部基准电压源与 ADC 转换瞬态隔离。此配置非常适合于多个 ADC 共用一个精密外部基准电压源的情形。第三种是禁用内部缓冲器而外部过驱 REFBUF 引脚。

使用内部缓冲器的内部基准电压源

LTC2358-18 具有片内低噪声、低漂移 (最大 20ppm/°C)、温度补偿带隙基准电压源, 其经出厂调整至 2.048V。基准电压源输出通过一个 20kΩ 电阻连接到 REFIN 引脚, 用作片内基准电压缓冲器的输入, 如图 9a 所示。使用内部带隙基准电压源时, 应利用 0.1μF 陶瓷电容将 REFIN 引脚旁路至靠近该引脚的 GND (引脚 20), 以滤除宽带噪声。基准电压缓冲器放大 V_{REFIN} , 以在 REFBUF 引脚上产生转换器主基准电压 $V_{REFBUF} = 2 \cdot V_{REFIN}$, 使用内部带隙基准电压源时其标称值为 4.096V。使用至少 47μF 陶瓷电容 (X7R、10V、1210 尺寸或 X5R、10V、0805 尺寸) 将 REFBUF 旁路至靠近该引脚的 GND (引脚 20), 以补偿基准电压缓冲器, 吸收瞬态转换电流, 最大限度地降低噪声。

使用内部缓冲器的外部基准电压源

如果需要更高的精度和/或更低的漂移, 可以用外部基准电压源轻松过驱 REFIN, 因为 20kΩ 电阻将内部带隙基准电压输出与 REFIN 引脚分开, 如图 9b 所示。REFIN 引脚上的外部基准电压过驱的有效范围为 1.25V 至 2.2V, 因此转换器主基准电压 V_{REFBUF} 在 2.5V 和 4.4V 之间。凌力尔特提供众多高性能基准电压源以满足许多应用的需求。当过驱内部基准电压源时, 小尺寸、低功耗、高精度的 LTC6655-2.048

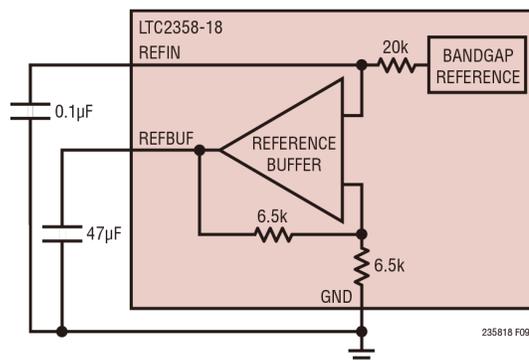


图 9a. 使用内部缓冲器的内部基准电压源配置

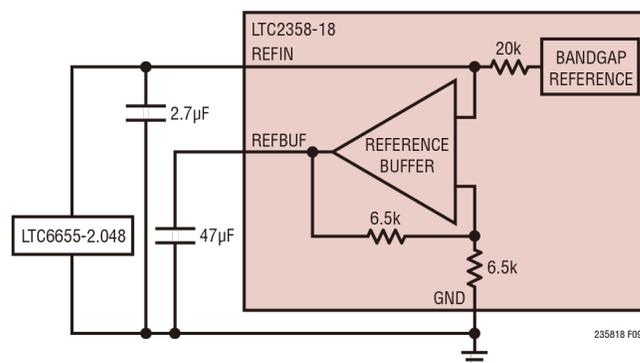


图 9b. 使用内部缓冲器的外部基准电压源配置

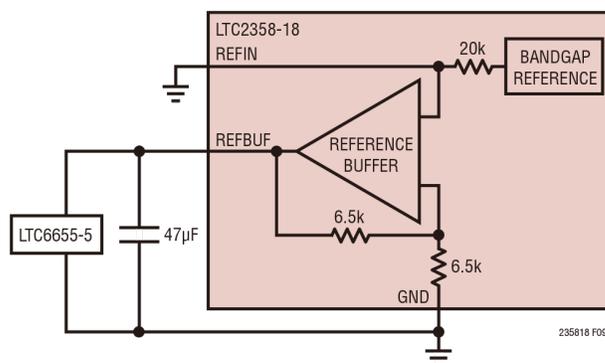


图 9c. 禁用内部缓冲器的外部基准电压源配置

应用信息

非常适合与 LTC2358-18 一起使用。LTC6655-2.048 具有 0.025% (最大值) 的初始精度和 2ppm/°C (最大值) 的温度系数, 适合高精度应用。LTC6655-2.048 的额定温度范围是 H 级温度范围, 可补充 LTC2358-18 高达 125°C 的扩展温度范围。建议使用靠近 REFIN 引脚的 2.7μF 至 100μF 陶瓷电容旁路 LTC6655-2.048。

禁用内部缓冲器的外部基准电压源

内部基准电压缓冲器支持 $V_{\text{REFBUF}} = 4.4\text{V}$ 最大值。令 REFIN 接地可以禁用内部缓冲器, 使得 REFBUF 可以用 2.5V 至 5V 的外部基准电压过驱, 如图 9c 所示。使用外部 5V 基准电压过驱 REFBUF, 可实现最大输入信号摆幅和 SNR。即使禁用基准电压缓冲器, 缓冲器反馈电阻也会在 REFBUF 引脚上产生 13kΩ 负载。LTC6655-5 提供与 LTC6655-2.048 相同的小尺寸、精度、漂移和扩展温度范围, 同 LTC2358-18 配合使用时可实现典型值 97.9dB 的 SNR。使用至少 47μF 陶瓷电容 (X7R、10V、1210 尺寸或 X5R、10V、0805 尺寸) 将 LTC6655-5 旁路至靠近 REFBUF 引脚的 GND (引脚 20), 以吸收瞬态转换电流, 最大限度地降低噪声。

LTC2358-18 转换器在每个转换周期中从 REFBUF 引脚消耗电荷 (Q_{CONV})。在短时间范围内, 大部分电荷由外部 REFBUF 旁路电容提供, 但在较长时间范围内, 所有电荷均由基准电压缓冲器或 (在禁用内部基准电压缓冲器的情况下) 外部基准电压源提供。该电荷消耗对应于 $I_{\text{REFBUF}} = Q_{\text{CONV}} \cdot f_{\text{SMPL}}$ 的直流电流, 其与采样速率成比例。在长时间空闲后突发采样的应用中,

如图 10 所示, I_{REFBUF} 快速地从约 0.4mA 转变为 1.5mA ($V_{\text{REFBUF}} = 5\text{V}$, $f_{\text{SMPL}} = 200\text{kHz}$)。该电流阶跃会触发外部基准电压源的瞬态响应, 必须予以考虑, 因为 V_{REFBUF} 的任何偏差都会影响转换器精度。如果使用外部基准电压来过驱 REFBUF, 建议使用快速建立的 LTC6655 系列基准电压源。

内部基准电压缓冲器瞬态响应

为了在采用突发采样的应用中获得最佳性能, 应使用外部基准电压源加内部基准电压缓冲器配置。内部基准电压缓冲器采用专有设计, 当响应空闲期之后的突发转换时, V_{REFBUF} 移动极小。图 11 比较了 LTC2358-18 两种基准电压源配置的突发转换响应, 输入接近满量程。第一种配置使用内部基准电压缓冲器, REFIN 由 LTC6655-2.048 外部过驱, 而第二种配置禁用内部基准电压缓冲器, 并使用外部 LTC6655-4.096 过驱 REFBUF。在这两种情况下, REFBUF 均通过 47μF 陶瓷电容旁路至 GND。

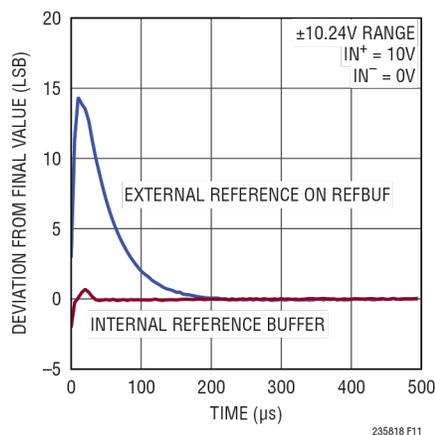


图 11. LTC2358-18 的突发转换响应, $f_{\text{SMPL}} = 200\text{ksps}$

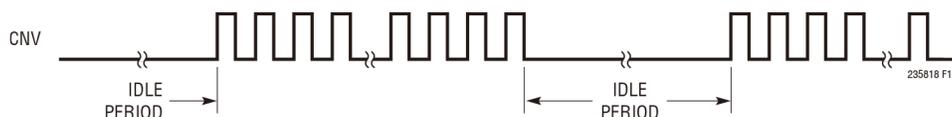


图 10. 显示突发采样的 CNV 波形

应用信息

动态性能

快速傅立叶变换 (FFT) 技术用于测试 ADC 在额定吞吐速率下的频率响应、失真和噪声。通过应用低失真正弦波并使用 FFT 算法分析数字输出, 可以检查 ADC 的频谱内容以寻找基频之外的频率。针对交流失真和噪声测量, LTC2358-18 提供有保证的经过测试的限值。

信纳比 (SINAD)

信纳比 (SINAD) 是基波输入频率的 RMS 幅度与 A/D 输出端所有其他频率分量的 RMS 幅度之比。输出频带限制在低于采样频率一半的频率, 不包括 DC。图 12 显示 LTC2358-18 在 $\pm 10.24\text{V}$ 范围、 200kHz 采样速率并使用真双极性 2kHz 输入信号的情况下实现了典型值 96.2dB 的 SINAD。

信噪比 (SNR)

信噪比 (SNR) 是基波输入频率的 RMS 幅度与除前五次谐波和 DC 之外的所有其他频率分量的 RMS 幅度之比。图 12 显示 LTC2358-18 在 $\pm 10.24\text{V}$ 范围、 200kHz 采样速率并使用真双极性 2kHz 输入信号的情况下实现了典型值 96.4dB 的 SNR。

总谐波失真 (THD)

总谐波失真 (THD) 是输入信号的所有谐波 RMS 和与基波本身的比值。带外谐波混叠到 DC 和半采样频率 ($f_{\text{SMPL}}/2$) 之间的频带。THD 表示为:

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots V_N^2}}{V_1}$$

其中, V_1 为基波的 RMS 幅度, V_2 至 V_N 分别为第二到第 N 次谐波的幅度。图 12 显示 LTC2358-18 在 $\pm 10.24\text{V}$ 范围、 200kHz 采样速率并使用真双极性 2kHz 输入信号的情况下实现了典型值 -111dB ($N = 6$) 的 THD。

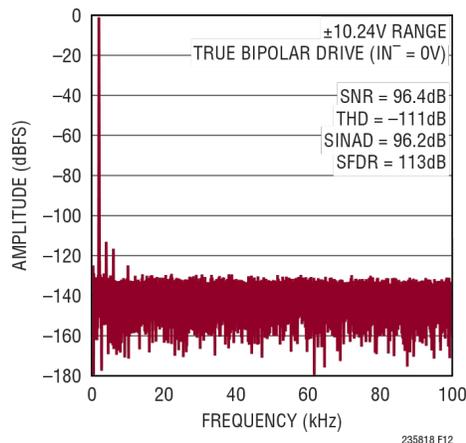


图 12. 32k 点 FFT $f_{\text{SMPL}} = 200\text{ksps}$, $f_{\text{IN}} = 2\text{kHz}$

功耗考虑

LTC2358-18 需要四个电源: 正负高压电源 (V_{CC} 和 V_{EE})、 5V 核心电源 (V_{DD}) 以及数字输入/输出 (I/O) 接口电源 (OV_{DD})。只要不超出 $10\text{V} \leq V_{\text{CC}} - V_{\text{EE}} \leq 38\text{V}$ 的电压差限值, V_{CC} 和 V_{EE} 便可在其各自允许的工作范围内独立偏置到任何电压, 而且 V_{EE} 可以直接接地。此特性使得 LTC2358-18 的共模输入范围可以针对具体应用要求进行定制。灵活的 OV_{DD} 电源允许 LTC2358-18 与工作在 1.8V 和 5V 之间的 CMOS 逻辑通信, 包括 2.5V 和 3.3V 系统。使用 LVDS I/O 模式时, OV_{DD} 的范围是 2.375V 至 5.25V 。

上电顺序

LTC2358-18 没有特别的上电顺序要求。应注意遵守“绝对最大额定值”部分中说明的最大电压关系。LTC2358-18 有一个内部上电复位 (POR) 电路, 在初始上电时以及只要 V_{DD} 降至 2V 以下, 转换器就会复位。一旦电源电压重新进入标称电源电压范围, POR 就会重新初始化 ADC。在 POR 事件发生后, 应等待至少 10ms 才能启动转换, 以确保初始化过程结束。使用内部基准电压缓冲器时, 应提供 200ms 时间以便缓冲器上电并给 REFBUF 旁路电容充电。任何在这些时间之前启动的转换都将产生无效结果。

应用信息

时序和控制

CNV 时序

LTC2358-18 的采样和转换由 CNV 控制。CNV 上升沿将所有通道的 S/H 电路从跟踪模式转变为保持模式，同时对所有通道上的输入信号进行采样并启动转换。转换一旦开始，便无法提前终止，除非通过复位 ADC，参见“复位时序”部分所述。为获得最佳性能，应使用干净的低抖动信号驱动 CNV，并避免数据 I/O 线上的跃迁导致出现 CNV 上升沿。此外，为使通道间串扰最小，在 CNV 上升沿之前和之后的 100ns，应避免模拟输入上出现高压摆率情况。转换器状态由 BUSY 输出指示，其在每次转换开始时从低电平变为高电平，并保持高电平直到转换完成。CNV 一旦变为高电平以开始转换，便应在 40ns 到 60ns 之后或在 BUSY 下降沿之后返回低电平，以最大限度地减少内部转换过程中的外部干扰。为了利用休眠工作模式降低功耗，CNV 时序有特定要求，参见“休眠模式”部分所述。

内部转换时钟

LTC2358-18 有一个内部时钟，其经调整后可实现 $550 \cdot N$ ns 的最大转换时间（N 为使能的通道数）。同时转换 8 个通道时，最小采集时间

为 570ns，在无任何外部调整的情况下，可保证 200ksps 的吞吐性能。另请注意，最小采集时间随采样频率 (f_{SAMPL}) 和使能的通道数不同而异。

休眠模式

转换完成后，可将 LTC2358-18 置于休眠模式以降低转换之间的功耗。在该模式下，器件的部分电路关闭，包括与模拟输入信号采样相关的电路。在转换之间让 CNV 保持高电平即可使能休眠模式，如图 13 所示。要在进入休眠模式后启动新转换，须拉低 CNV 并保持至少 750ns，然后再将其拉高。当使用休眠模式时，转换器采集时间 (t_{ACQ}) 由 CNV 低电平时间 (t_{CNVL}) 设置。

关断模式

当 PD 变为高电平时，LTC2358-18 关断，忽略后续转换请求。如果这发生在转换期间，则待转换一完成，器件就会关断。在此模式下，器件仅消耗少量稳压器待机电流，典型功耗为 0.68mW。要退出关断模式，须拉低 PD 引脚并等待至少 10ms，然后再启动转换。使用内部基准电压缓冲器时，应提供 200ms 时间以便缓冲器上电并给 REFBUF 旁路电容充电。任何在这些时间之前启动的转换都将产生无效结果。

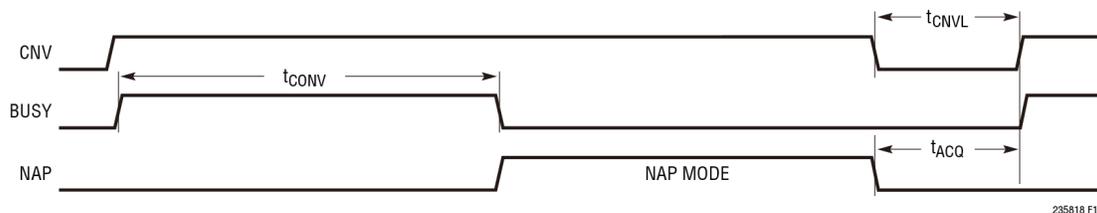


图 13. LTC2358-18 的休眠模式时序

应用信息

复位时序

无需断开电源再接通，LTC2358-18 便可执行全局复位（相当于上电复位事件）。当从需要将整个系统的状态重置为已知同步值的系统级事件恢复时，此特性非常有用。要启动全局复位，须两次拉高 PD 且中间不进行转换，如图 14 所示。复位事件在 PD 的第二个上升沿触发，并根据内部定时器而异步结束。复位会清除所有串行数据输出寄存器，并将所有通道的内部 SoftSpan 配置寄存器恢复为默认状态 SoftSpan 7。如果复位在转换期间触发，则转换会立即中止。与 PD 变为高电平相关的正常关断行为不受复位的影响。拉低 PD 后应等待至少 10ms 才能启动转换。使用内部基准电压缓冲器时，应提供 200ms 时间以便缓冲器上电并给 REFBUF 旁路电容充电。任何在这些时间之前启动的转换都将产生无效结果。

功耗与采样频率

当使用休眠模式时，LTC2358-18 的功耗会随着采样频率的降低而降低，如图 15 所示。平均功耗之所以降低，是因为 LTC2358-18 的部分电路在休眠模式期间关闭，并且随着采样频率 (f_{SMPL}) 降低，转换周期 (t_{CYC}) 中处于休眠状态的部分会增加。

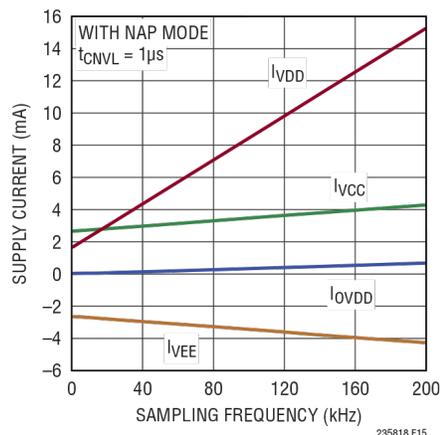


图 15. LTC2358-18 的功耗随采样频率降低而降低

数字接口

LTC2358-18 具有 CMOS 和 LVDS 串行接口，这些接口可使用 LVDS/CMOS 引脚进行选择。灵活的 OV_{DD} 电源允许 LTC2358-18 与任何工作在 1.8V 和 5V 之间的 CMOS 逻辑通信，包括 2.5V 和 3.3V 系统，而 LVDS 接口支持低噪声数字设计。在 CMOS 模式下，应用可以使用一到八个通道的串行数据输出，允许用户优化总线宽度和数据吞吐速率。这些 I/O 接口选项使 LTC2358-18 与传统微控制器和现代 FPGA 都能很好地进行通信。

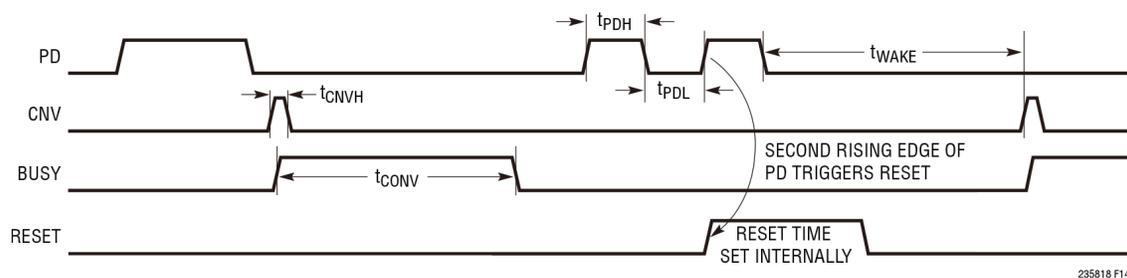


图 14. LTC2358-18 的复位时序

应用信息

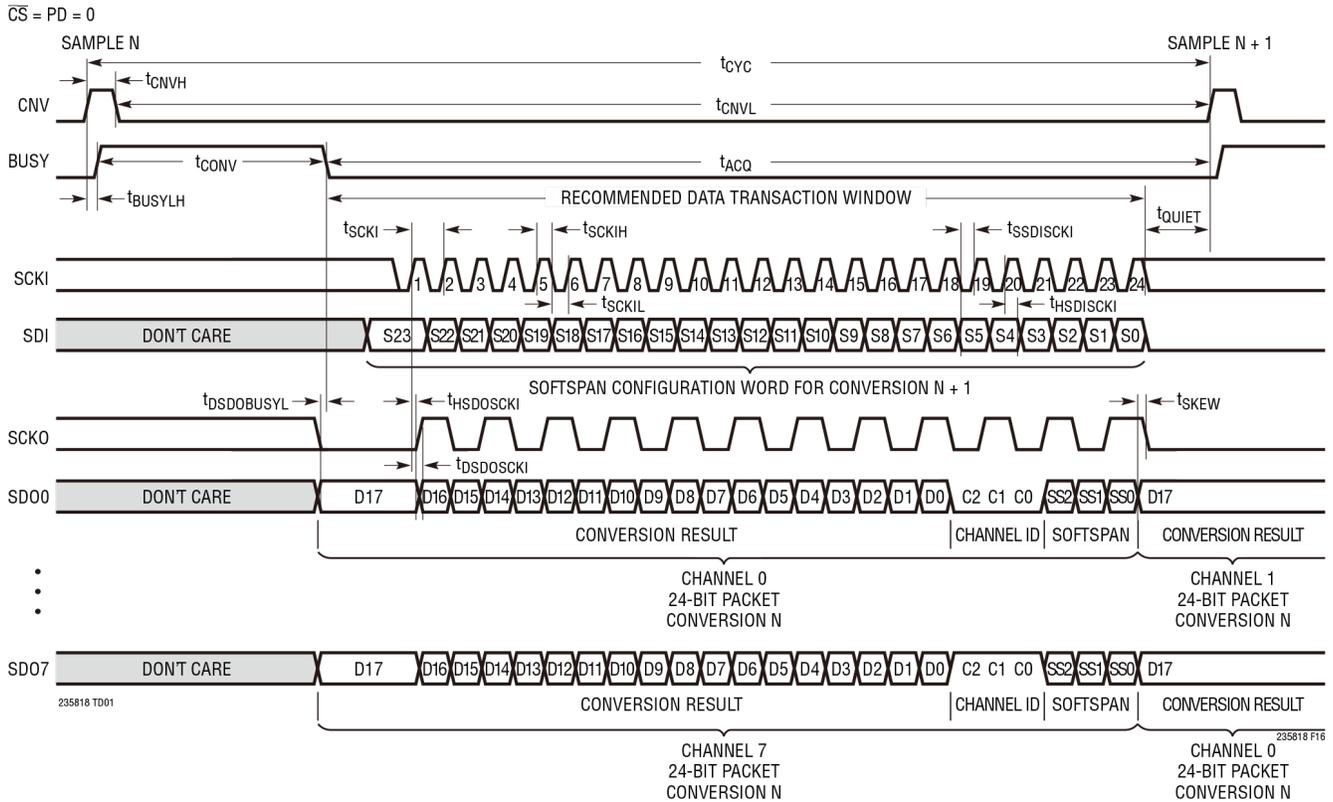


图 16. 串行 CMOS I/O 模式

串行 CMOS I/O 模式

如图 16 所示，在 CMOS I/O 模式下，串行数据总线由串行时钟输入 SCKI、串行数据输入 SDI、串行时钟输出 SCKO 和 8 通道串行数据输出 SDO0 至 SDO7 组成。通过此总线与 LTC2358-18 通信发生在预定义的数据事务处理窗口期间。在一个窗口内，器件接受 SDI 上用于下一次转换的 24 位 SoftSpan 配置字，并通过 SDO0 至 SDO7 输出 24 位数据包，其包含之前转换的转换结果和通道配置信息。在 LTC2358-18 上电或复位后 10ms，以及每次转换在 BUSY 下降沿结束时，新的数据事务处理窗口打开。在推荐应用场景中，数据事务处理应在下一次转换开始之前完成，最短 t_{QUIET} 时间为 20ns，如图 16 所示。只有在该推荐数据事务处理窗口中，新的 SoftSpan 配置字才会被接受，但 SoftSpan 更改会立即生效，开始下一次转换之前无需额外的模拟输入建立时间。开

始下一次转换后，仍然可以读取转换数据，但这会降低转换精度，因此不建议这样做。

就在 BUSY 下降沿和新数据事务处理窗口打开之前，SCKO 被强制变为低电平，SDO0 至 SDO7 分别用模拟输入通道 0 至 7 的最新转换结果进行更新。SCKI 上升沿将转换结果和模拟输入通道配置信息串行输出到 SDO0 至 SDO7 上，并触发 SCKO 上与 SDO0 至 SDO7 上的数据偏斜匹配的跃迁。得到的 SCKO 频率是 SCKI 的一半。SCKI 上升沿还会锁存 SDI 上提供的 SoftSpan 配置字，用于对内部 24 位 SoftSpan 配置寄存器进行编程。有关更多详细信息，请参阅“CMOS I/O 模式下的 SoftSpan 配置寄存器编程”部分。在 CMOS I/O 模式下，SCKI 空闲时可以处于高电平或低电平。如图 17 所示，当 \overline{CS} 为低电平时，CMOS 总线使能，而当 \overline{CS} 为高电平时，CMOS 总线禁用且为高阻态，允许总线由多个器件共享。

应用信息

SDO0 至 SDO7 上的数据分组成 24 位数据包，包括 18 位转换结果、3 位模拟通道 ID 和 3 位 SoftSpan 代码，所有数据均以 MSB 优先方式提供。如图 16 和图 17 所示，每个 SDO 通道以顺序循环方式输出所有模拟输入通道的数据包。例如，SDO0 上输出的第一个 24 位数据包对应于模拟输入通道 0，接着是通道 1 至 7 的数据包。SDO0 上输出的数据随后回绕到通道 0，该模式无限重复下去。其他 SDO 通道遵循类似的循环模式，区别是每个通道上呈现的第一个数据包对应于与其相关的模拟输入通道。

当通过标准 SPI 总线与 LTC2358-18 接口时，接收器应在 SCKI 的上升沿捕获输出数据。这种情况下不使用 SCKO，多个 SDO 通道通常也没有作用。在其他应用中，例如将 LTC2358-18 与 FPGA 或 CPLD 接口时，

SCKO 的上升沿和下降沿可用于以双倍数据速率 (DDR) 方式捕获 SDO0 至 SDO7 上的串行输出数据。使用 SCKO 捕获数据可增强对温度和电源引起的延迟变化的鲁棒性。

全部八通道串行 CMOS 输出数据捕获

如表 2 所示，使用 45MHz SCKI 频率，并且捕获所有八个串行数据输出通道 SDO0 至 SDO7 的第一个数据包（总共 24 个 SCKI 周期），可以实现每通道 200ksps 的全吞吐速率。如果不需要 3 位模拟通道 ID 和 3 位 SoftSpan 代码，而且器件 SoftSpan 配置不改变，那么这种配置使用少至 18 个 SCKI 周期就能捕获所有通道的转换结果。多通道数据捕获通常最适合与 FPGA 或 CPLD 捕获硬件一起使用，但可能也适用于其他特定应用场合。

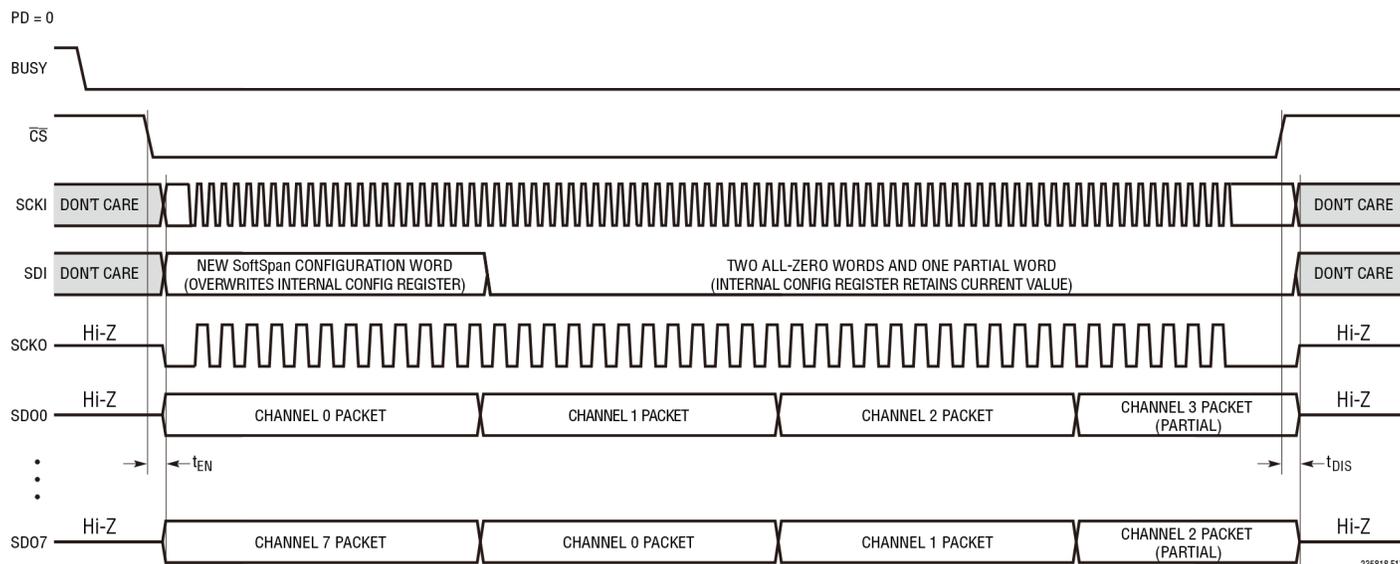


图 17. 内部 SoftSpan 配置寄存器行为。串行 CMOS 总线响应 \overline{CS}

应用信息

少于八通道串行 CMOS 输出数据捕获

无法支持全部八通道串行数据捕获的应用，可以使用较少的通道而无需重新配置 LTC2358-18。例如，从 SDO0、SDO2、SDO4 和 SDO6 各捕获前两个数据包（总共 48 个 SCKI 周期），便可分别提供模拟输入通道 0 和 1、2 和 3、4 和 5、6 和 7 的数据，这样只用到四个输出通道。类似地，从 SDO0 和 SDO4 各捕获前四个数据包（总共 96 个 SCKI 周期），便可分别提供模拟输入通道 0 至 3、4 至 7 的数据，这样只用到两个输出通道。如果只能支持一个通道，从 SDO0 捕获前八个数据包（总共 192 个 SCKI 周期）即可提供所有模拟输入通道的数据。如表 2 所示，在四通道情况下使用 90MHz SCKI 频率可以实现每通道 200ksp/s 的全吞吐速率，但在双通道和单通道情况下，100MHz 的最大 CMOS SCKI 频率将吞吐速率限制在每通道 200ksp/s 以下。最后应注意，选择通道数和用于捕获数据的通道时，用户并不受上述特定情况的限制。在特定应用中，其他选择可能更佳。

CMOS I/O 模式下的 SoftSpan 配置寄存器编程

内部 24 位 SoftSpan 配置寄存器控制 LTC2358-18 所有模拟输入通道的 SoftSpan 范围。器件上电或复位后该寄存器的默认状态为全 1，将每个通道配置为在 SoftSpan 7，即 $\pm 2.5 \cdot V_{\text{REFBUF}}$ 范围中转换（见表 1a）。在图 16 所示的数据事务处理窗口中通过 SDI 提供新的 24 位 SoftSpan 配置字，可以修改此寄存器的状态。只有在该推荐数据事务处理窗口中，新的 SoftSpan 配置字才会被接受，但 SoftSpan 更改会立即生效，开始下一次转换之前无需额外的模拟输入建立时间。将通道 SoftSpan 代码设置为 SS[2:0] = 000 会立即禁用该通道，导致下一次转换时 t_{CONV} 相应减少。类似地，使能先前禁用的通道，在开始下一次转换之前不需要额外的模拟输入建立时间。串行 SoftSpan 配置字、内部 SoftSpan 配置寄存器和每个通道的 3 位 SoftSpan 代码之间的映射如图 18 所示。

表 2. 常见输出总线配置下 8 个通道均使能时实现各种吞吐速率所需的 SCKI 频率。阴影条目表示给定配置下无法实现的吞吐速率。计算使用 $f_{\text{SCKI}} = (\text{SCKI 周期数}) / (t_{\text{ACQ(MIN)}} - t_{\text{QUIET}})$

I/O 模式	SDO 通道数	SCKI 周期数	实现吞吐速率所需的 f_{SCKI} (MHz)		
			200ksp/s/通道 ($t_{\text{ACQ}} = 570\text{ns}$)	100ksp/s/通道 ($t_{\text{ACQ}} = 5570\text{ns}$)	50ksp/s/通道 ($t_{\text{ACQ}} = 15570\text{ns}$)
CMOS	8	18	35	4	2
	8	24	45	5	2
	4	48	90	9	4
	2	96	无法实现	18	7
	1	192	无法实现	35	13
LVDS	1	96	180 (360Mbps)	18 (36Mbps)	7 (14Mbps)

应用信息

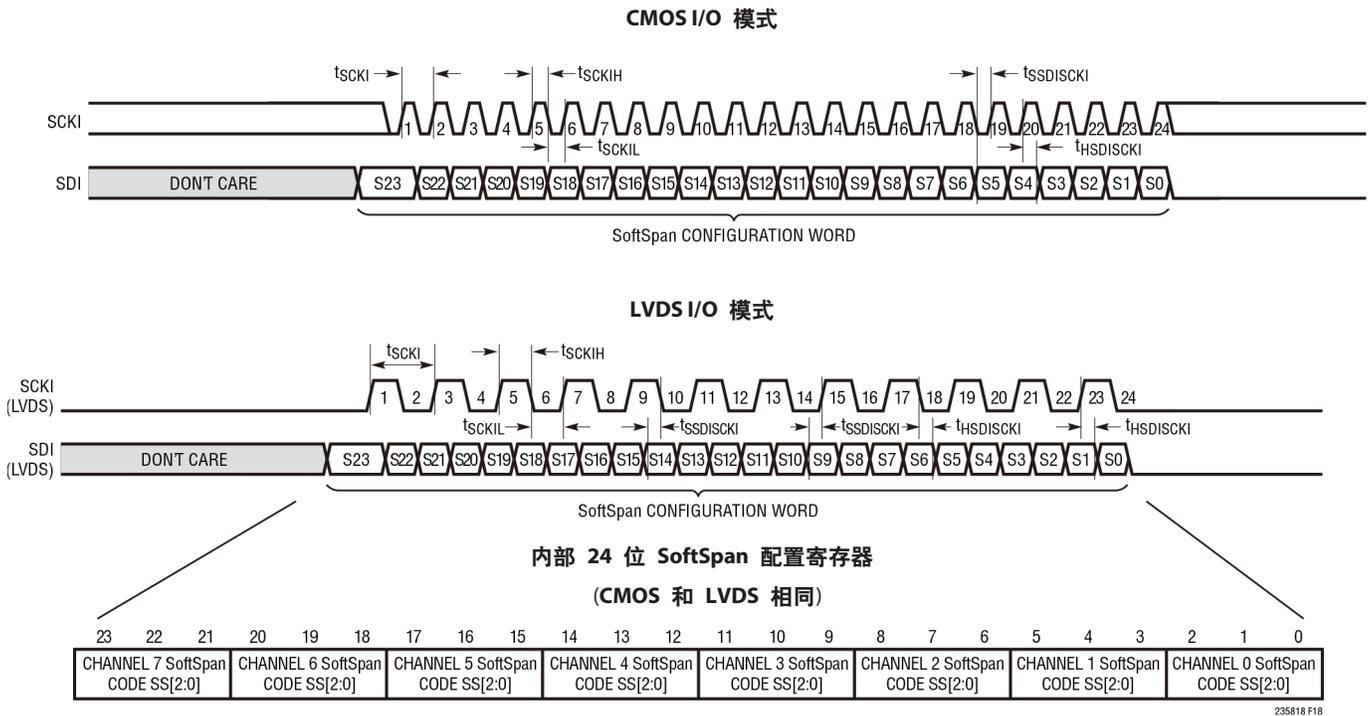


图 18. 串行 SoftSpan 配置字、内部 SoftSpan 配置寄存器和每个模拟输入通道的 SoftSpan 代码之间的映射

如果在数据事务处理窗口中提供的 SCKI 上升沿少于 24 个，则会忽略 SDI 上接收到的部分字，并且不会更新 SoftSpan 配置寄存器。如果提供恰好 24 个 SCKI 上升沿，SoftSpan 配置寄存器将更新以匹配收到的 SoftSpan 配置字 S[23:0]。此行为有一个例外，发生在 S[23:0] 为全 0 时。在这种情况下，SoftSpan 配置寄存器不会更新，应用可以让 SDI 空闲时处于低电平来保持当前的 SoftSpan 配置状态。如果在数据事务处理窗口中提供 24 个以上的 SCKI 上升沿，则 SDI 上接收到的每个完整的 24 位字都会被解释为新的 SoftSpan 配置字，并如上所述应用于 SoftSpan 配置寄存器。任何不完整的字都会被忽略。

通常，应用将以图 16 和图 17 所示的方式更新 SoftSpan 配置寄存器。

在 BUSY 下降沿打开新的数据事务处理窗口之

后，用户在前 24 个 SCKI 周期中通过 SDI 提供 24 位 SoftSpan 配置字。在第 24 个 SCKI 上升沿之后，该新字覆写内部配置寄存器内容。然后，在数据事务处理窗口的其余时间内，用户让 SDI 保持低电平，使寄存器内容保持不变，无论再施加多少 SCKI 周期。无论施加多少 SCKI 周期，若在整个数据事务处理窗口中让 SDI 保持低电平，则 SoftSpan 设置可以在多次转换中保持不变。

串行 LVDS I/O 模式

在 LVDS I/O 模式下，信息利用正负信号对 (LVDS⁺/LVDS⁻) 进行传输，各位以差分方式编码为 (LVDS⁺ - LVDS⁻)。这些信号通常使用 100Ω 特性阻抗的差分传输线进行传输。逻辑 1 和 0 分别由差分 +350mV 和 -350mV 标称值表示。为清楚起见，所有 LVDS 时序图和接口讨论都采用逻辑而非物理约定。

应用信息

如图 19 所示，在 LVDS I/O 模式下，串行数据总线由串行时钟差分输入 SCKI、串行数据差分输入 SDI、串行时钟差分输出 SCKO 和串行数据差分输出 SDO 组成。通过此总线与 LTC2358-18 通信发生在预定义的数据事务处理窗口期间。在一个窗口内，器件接受 SDI 上用于下一次转换的 24 位 SoftSpan 配置字，并通过 SDO 输出 24 位数据包，其包含之前转换的结果和通道配置信息。在 LTC2358-18 上电或复位后 10ms，以及每次转换在 BUSY 下降沿结束时，新的数据事务处理窗口打开。在推荐应用场景中，数据事务处理应在下一次转换开始之前完成，最短 t_{QUIET} 时间为 20ns，如图 19 所示。只有在该推荐数据事务处理窗口中，新的 SoftSpan 配置字才会被接受，但 SoftSpan 更改会立即生效，开始下一次转换之前无需额外的模拟输入建立时间。开始下一次转换后，仍然可以读取转换数据，但这会降低转换精度，因此不建议这样做。

就在 BUSY 下降沿和新数据事务处理窗口打开之前，SDO 用模拟输入通道 0 的最新转换结果进行更新。在 SCKI 的上升沿和下降沿都会通

过 SDO 串行输出转换结果和模拟输入通道配置信息。SCKO 上也会回应 SCKI，与 SDO 上的数据偏斜匹配。只要可能，便应使用 SCKO 的上升沿和下降沿来捕获 SDO 上的 DDR 串行输出数据，因为这样做会使器件对电源和温度引起的延迟变化的鲁棒性最佳。SCKI 上升沿和下降沿还会锁存 SDI 上提供的 SoftSpan 配置字，用于对内部 24 位 SoftSpan 配置寄存器进行编程。有关更多详细信息，请参阅“LVDS I/O 模式下的 SoftSpan 配置寄存器编程”部分。如图 20 所示，当 $\overline{\text{CS}}$ 为低电平时，LVDS 总线使能，而当 $\overline{\text{CS}}$ 为高电平时，LVDS 总线禁用且为高阻态，允许总线由多个器件共享。由于 LVDS 信号涉及高速度，必须谨慎考虑 LVDS 总线共享。共享总线带来的传输线限制可能会制约最大可实现的总线时钟速度。当 $\overline{\text{CS}}$ 为低电平时，LVDS 输入内部端接 100 Ω 差分电阻，而输出必须利用接收器 (FPGA) 上的 100 Ω 电阻以差分方式端接。在 LVDS I/O 模式下，SCKI 空闲时必须处于低电平状态，包括当 $\overline{\text{CS}}$ 跃迁时。

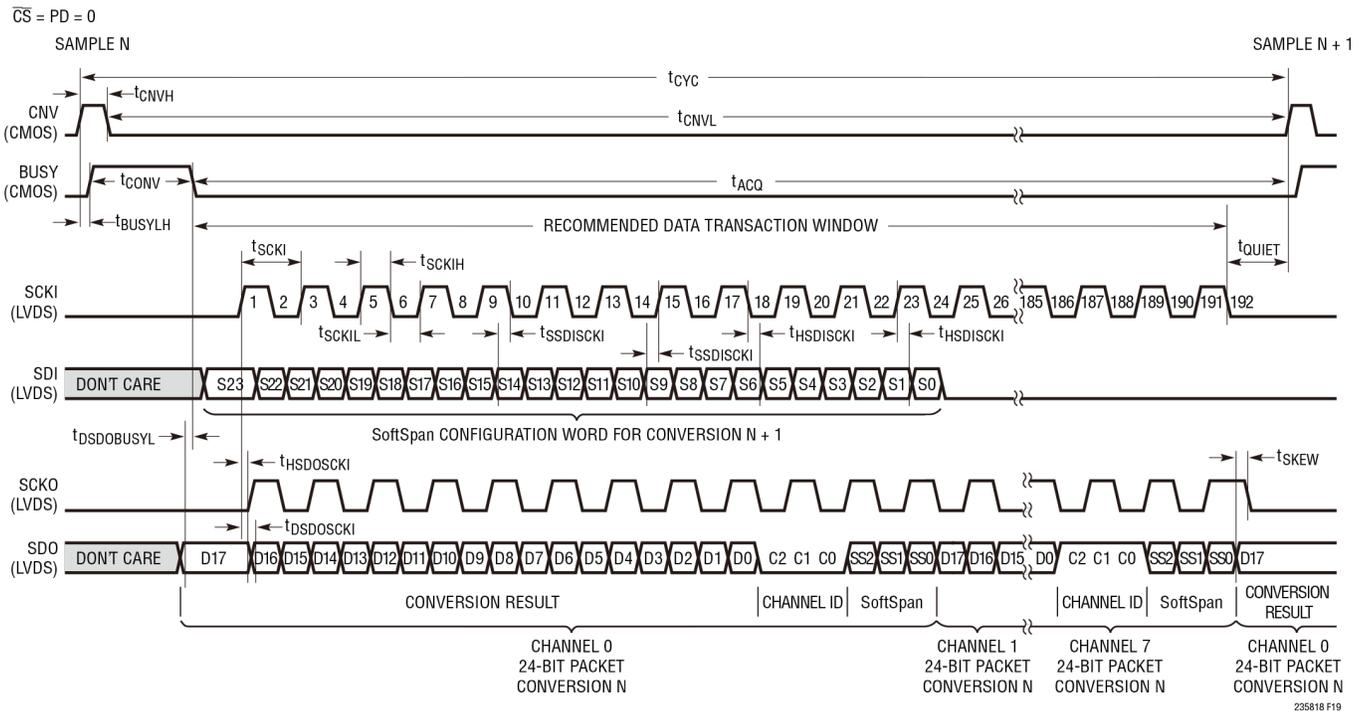


图 19. 串行 LVDS I/O 模式

应用信息

SDO 上的数据分组成 24 位数据包，包括 18 位转换结果、3 位模拟通道 ID 和 3 位 SoftSpan 代码，所有数据均以 MSB 优先方式提供。如图 19 和图 20 所示，SDO 以顺序循环方式输出所有模拟输入通道的数据包。例如，SDO 上输出的第一个 24 位数据包对应于模拟输入通道 0，接着是通道 1 至 7 的数据包。SDO 上输出的数据随后回绕到通道 0，该模式无限重复下去。

串行 LVDS 输出数据捕获

如表 2 所示，使用 180MHz SCKI 频率，并且捕获 SDO 的 8 个 DDR 数据包（总共 96 个 SCKI 周期），可以实现每通道 200ksps 的全吞吐速率。LTC2358-18 支持高达 250MHz 的 LVDS SCKI 频率。

LVDS I/O 模式下的 SoftSpan 配置寄存器编程

内部 24 位 SoftSpan 配置寄存器控制 LTC2358-18 所有模拟输入通道的 SoftSpan 范围。器件上电或复位后该寄存器的默认状态为全 1，将每个通道配置为在 SoftSpan 7，即 $\pm 2.5 \cdot V_{REFBUF}$ 范围中转换（见表 1a）。在图 19 所示的数据事务处理窗口中通过 SDI 提供新的 24 位 SoftSpan 配置字，可以修改此寄存器的状态。只有在该推荐数据事务处理窗口中，新的 SoftSpan 配置字才会被接受，但 SoftSpan 更改会立即生效，开始下一次转换之前无需额外的模拟输入建立时间。将通道 SoftSpan 代码设置为 $SS[2:0] = 000$ 会立即禁用该通道，导致下一次转换时 t_{CONV} 相应减少。类似地，使能先前禁用的通道，在开始下一次转换之前不需要额外的模拟输入建立时间。串行 SoftSpan 配置字、内部 SoftSpan 配置寄存器和每个通道的 3 位 SoftSpan 代码之间的映射如图 18 所示。

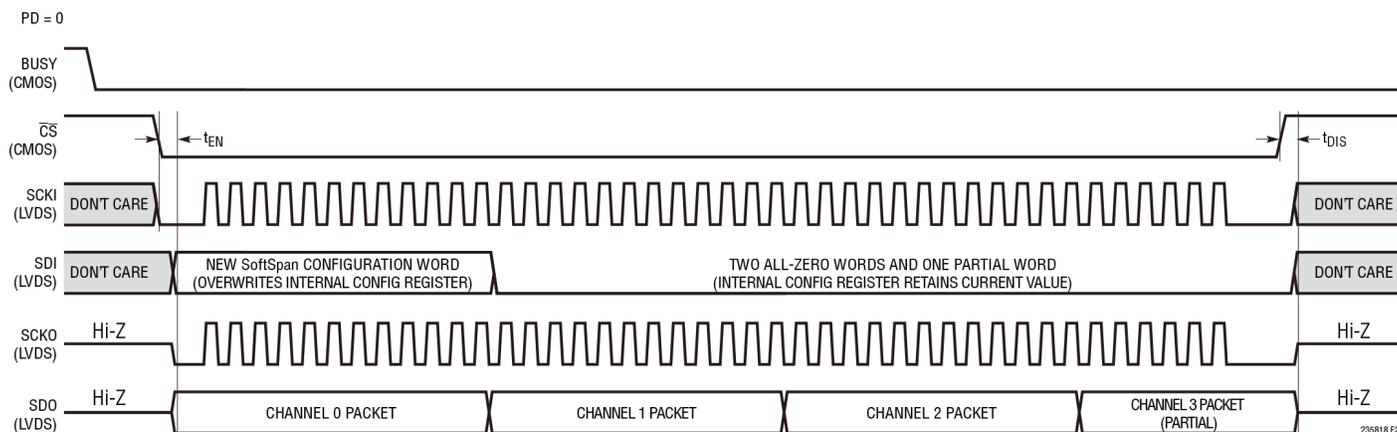


图 20. 内部 SoftSpan 配置寄存器行为。串行 LVDS 总线响应 \overline{CS}

应用信息

如果在数据事务处理窗口中提供的 SCKI 边沿 (上升沿加下降沿) 少于 24 个, 则会忽略 SDI 上接收到的部分字, 并且不会更新 SoftSpan 配置寄存器。如果提供恰好 24 个 SCKI 边沿, SoftSpan 配置寄存器将更新以匹配收到的 SoftSpan 配置字 S[23:0]。此行为有一个例外, 发生在 S[23:0] 为全 0 时。在这种情况下, SoftSpan 配置寄存器不会更新, 应用可以让 SDI 空闲时处于低电平来保持当前的 SoftSpan 配置状态。如果在数据事务处理窗口中提供 24 个以上的 SCKI 边沿, 则 SDI 上接收到的每个完整的 24 位字都会被解释为新的 SoftSpan 配置字, 并如上所述应用于 SoftSpan 配置寄存器。任何不完整的字都会被忽略。

通常, 应用将以图 19 和图 20 所示的方式更新 SoftSpan 配置寄存器。在 BUSY 下降沿打开新的数据事务处理窗口之后, 用户在前 12 个 SCKI 周期中通过 SDI 提供 24 位 DDR SoftSpan 配置字。在第 12 个 SCKI 下降沿之后, 该新字覆写内部配置寄存器内容。然后, 在数据事务处理窗口的其余时间内, 用户让 SDI 保持低电平, 使寄存器内容保持不变, 无论再施加多少 SCKI 周期。无论施加多少 SCKI 周期, 若在整个数据事务处理窗口中让 SDI 保持低电平, 则 SoftSpan 设置可以在多次转换中保持不变。

电路板布局

为了获得 LTC2358-18 的最佳性能, 建议使用四层印刷电路板 (PCB)。PCB 布局应确保数字和模拟信号线尽可能分开。尤其是应注意不要在模拟信号旁边或 ADC 下方布设任何数字时钟或信号。另外应使 REFBUF 到 GND (引脚 20) 旁路电容回路的长度最短, 并避免让 CNV 布线靠近可能会干扰其上升沿的信号。

电源旁路电容应尽可能靠近电源引脚放置。这些旁路电容的低阻抗公共回路对于 ADC 的

低噪声操作至关重要。为此, 建议使用单个实接地层。如果可能, 应使用接地屏蔽模拟输入走线。

参考设计

有关此转换器的参考设计的详细信息, 包括原理图和 PCB 布局, 请参考 LTC2358-18 的评估套件 [DC2365](#)。

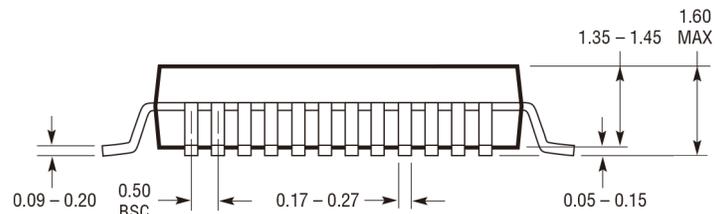
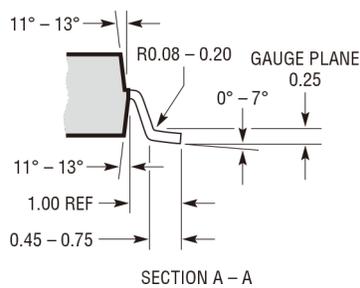
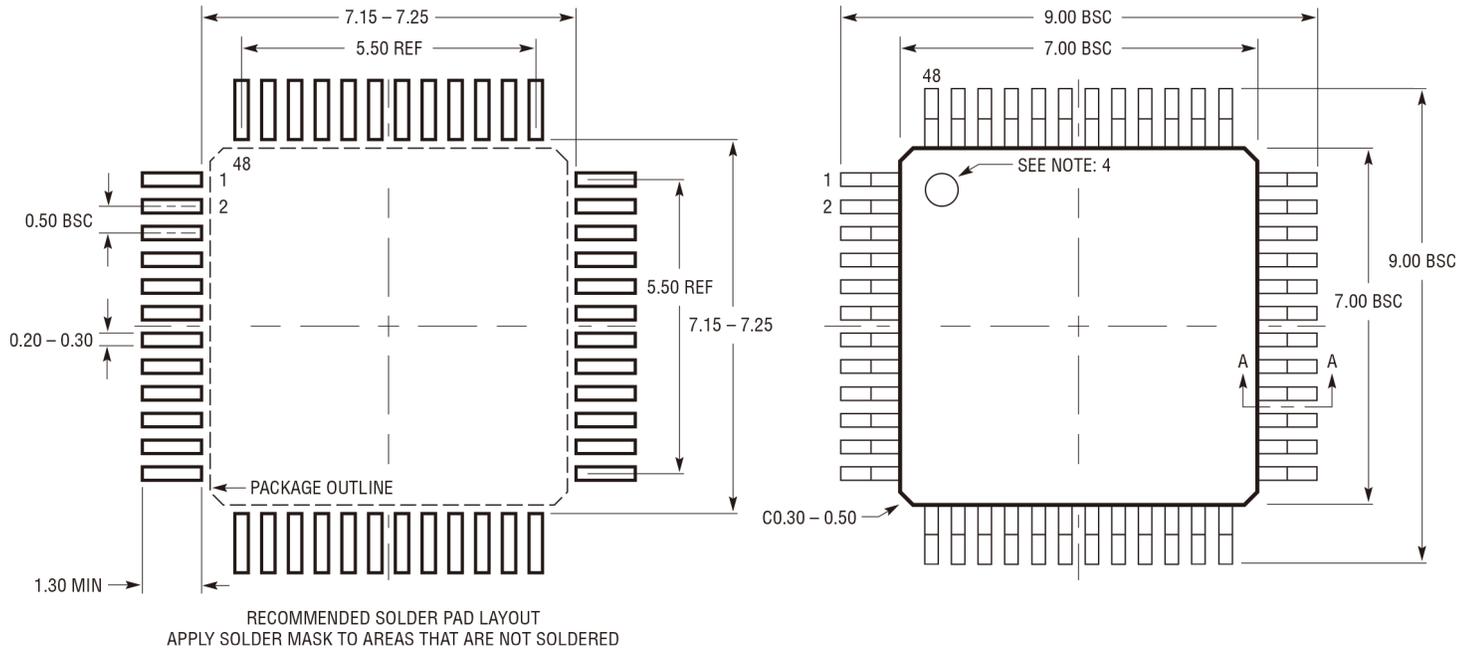
封装说明

有关最新封装图纸, 请访问: <http://www.analog.com/cn/product/LTC2358-18#packaging>。

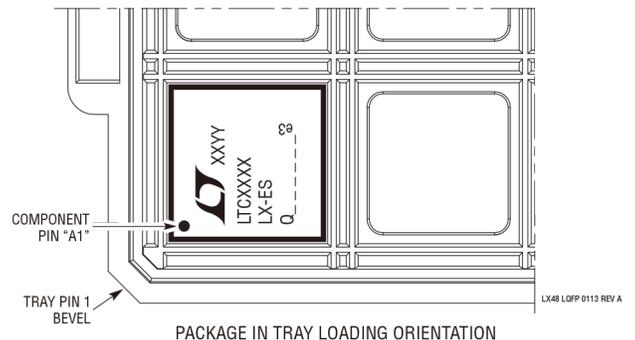
LX 封装

48 引脚塑料 LQFP (7mm × 7mm)

(参考 LTC DWG#05-08-1760 Rev A)

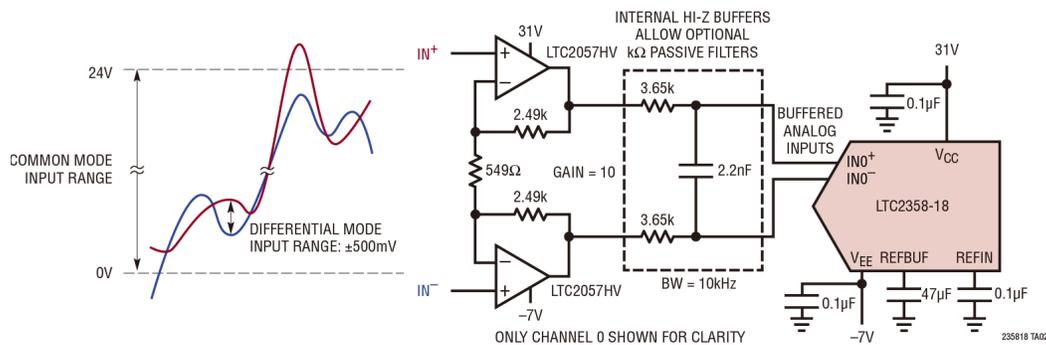


- NOTE:
1. PACKAGE DIMENSIONS CONFORM TO JEDEC #MS-026 PACKAGE OUTLINE
 2. DIMENSIONS ARE IN MILLIMETERS
 3. DIMENSIONS OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.25mm ON ANY SIDE, IF PRESENT
 4. PIN-1 INDENTIFIER IS A MOLDED INDENTATION, 0.50mm DIAMETER
 5. DRAWING IS NOT TO SCALE



典型应用

放大差分信号，增益为 10 宽共模范围，缓冲模拟输入



相关器件

产品型号	说明	备注
ADC		
LTC2358-16	16 位、200ksps/通道、缓冲 8 通道同步采样、 $\pm 1\text{LSB}$ INL、串行 ADC	$\pm 10.24\text{V}$ 缓冲 SoftSpan 输入， $30\text{V}_{\text{P-P}}$ 共模范围，94.2dB SNR，串行 CMOS 和 LVDS I/O，7mm \times 7mm LQFP-48 封装
LTC2348-18/LTC2348-16	18/16 位、200ksps/通道、8 通道同步采样、 $\pm 3\text{LSB}/\pm 1\text{LSB}$ INL、串行 ADC	$\pm 10.24\text{V}$ SoftSpan 输入，宽共模范围，97dB/94dB SNR，串行 CMOS 和 LVDS I/O，7mm \times 7mm LQFP-48 封装
LTC2335-18/LTC2335-16	18/16 位、1Msps/通道、8 通道复用、 $\pm 3\text{LSB}/\pm 1\text{LSB}$ INL、串行 ADC	$\pm 10.24\text{V}$ SoftSpan 输入，宽共模范围，97dB/94dB SNR，串行 CMOS 和 LVDS I/O，7mm \times 7mm LQFP-48 封装
LTC2345-18/LTC2345-16	18/16 位、200ksps、8 通道同步采样、 $\pm 5\text{LSB}/\pm 1.25\text{LSB}$ INL、串行 ADC	$\pm 4.096\text{V}$ SoftSpan 输入，宽共模范围，92dB/91dB SNR，串行 CMOS 和 LVDS I/O，7mm \times 7mm QFN-48 封装
LTC2378-20/LTC2377-20/ LTC2376-20	20 位、1Msps/500ksps/250ksps、 $\pm 0.5\text{ppm}$ INL、串行低功耗 ADC	2.5V 电源， $\pm 5\text{V}$ 全差分输入，104dB SNR，MSOP-16 和 4mm \times 3mm DFN-16 封装
LTC2338-18/LTC2337-18/ LTC2336-18	18 位、1Msps/500ksps/250ksps、串行低功耗 ADC	5V 电源， $\pm 10.24\text{V}$ 全差分输入，100dB SNR，MSOP-16 封装
LTC2328-18/LTC2327-18/ LTC2326-18	18 位、1Msps/500ksps/250ksps、串行低功耗 ADC	5V 电源， $\pm 10.24\text{V}$ 伪差分输入，95dB SNR，MSOP-16 封装
LTC2373-18/LTC2372-18	18 位、1Msps/500ksps、8 通道、串行 ADC	5V 电源，8 通道复用，可配置输入范围，100dB SNR，DGC，5mm \times 5mm QFN-32 封装
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18 位、1.6Msps/1Msps/500ksps/250ksps 串行低功耗 ADC	2.5V 电源，差分输入，101.2dB SNR， $\pm 5\text{V}$ 输入范围，DGC，引脚兼容系列，采用 MSOP-16 和 4mm \times 3mm DFN-16 封装
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16 位、2Msps/1Msps/500ksps/250ksps 串行低功耗 ADC	2.5V 电源，差分输入，96.2dB SNR， $\pm 5\text{V}$ 输入范围，DGC，引脚兼容系列，采用 MSOP-16 和 4mm \times 3mm DFN-16 封装
LTC2389-18/LTC2389-16	18/16 位、2.5Msps、并行/串行 ADC	5V 电源，引脚可配置输入范围，99.8dB/96dB SNR，并行或串行 I/O，7mm \times 7mm LQFP-48 和 QFN-48 封装
LTC2387-18/LTC2387-16	18/16 位、15Msps SAR ADC	5V 电源，差分输入，93.8dB SNR，5mm \times 5mm QFN 封装
LTC1859/LTC1858/ LTC1857	16/14/12 位、8 通道、100ksps、串行 ADC	$\pm 10\text{V}$ ，SoftSpan，单端或差分输入，5V 单电源，SSOP-28 封装
DAC		
LTC2756/LTC2757	18 位、串行/并行 I_{OUT} SoftSpan DAC	$\pm 1\text{LSB}$ INL/DNL，软件可选范围，SSOP-28/7mm \times 7mm LQFP-48 封装
LTC2668	16 通道 16/12 位 $\pm 10\text{V}$ V_{OUT} SoftSpan DAC	$\pm 4\text{LSB}$ INL，精密基准电压源 10ppm/ $^{\circ}\text{C}$ (最大值)，6mm \times 6mm QFN-40 封装
基准电压源		
LTC6655	精密、低漂移、低噪声、缓冲基准电压源	5V/2.5V/2.048V/1.25V，2ppm/ $^{\circ}\text{C}$ ，0.25ppm 峰峰值噪声，MSOP-8 封装
LT6657	精密、低漂移、低噪声、缓冲基准电压源	5V/3V/2.5V，1.5ppm/ $^{\circ}\text{C}$ ，0.5ppm 峰峰值噪声，MSOP-8 封装
放大器		
LTC2057/LTC2057HV	高压、低噪声、零漂移运算放大器	最大输入失调：4.5 μV ，电源电压范围：4.75V 至 60V
LT6020	双通道、低功耗、5V/ μs 、轨到轨运算放大器	最大输入失调：30 μV ，最大电源电流：100 μA /放大器
LT1354/LT1355/LT1356	单/双/四通道、1mA、12MHz、400V/ μs 运算放大器	良好的直流精度，在所有容性负载下都能稳定运行