

## 将运算放大器用作比较器

作者: James Bryant

### 简介

比较器是一种带有反相和同相两个输入端以及一个输出端的器件, 该输出端的输出电压范围一般在供电的轨到轨之间。运算放大器同样如此。

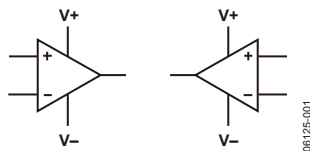


图1

比较器具有低偏置电压、高增益和高共模抑制的特点。运算放大器亦是如此。

那么两者之间有何区别呢? 比较器拥有逻辑输出端, 可显示两个输入端中哪个电位更高。如果其输出端可兼容TTL或CMOS(许多比较器的确如此), 则比较器的输出始终为正负电源的轨之一, 或者在两轨间进行快速变迁。

运算放大器有一个模拟输出端, 但输出电压通常不靠近两个供电轨, 而是位于两者之间。这种器件设计用于各种闭环应用, 来自输出端的反馈进入反相输入端。但多数现代运算放大器的输出端可以摆动到供电轨附近。为何不将它们用作比较器呢?

运算放大器具有高增益、低偏置和高共模抑制的特点。其偏置电流通常低于比较器, 而且成本更低。此外, 运算放大器一般提供两个或四个一组的封装模式。如果需要三个运算放大器和一个比较器, 购买四个运算放大器, 使其中之一闲置, 然后再单独买一个比较器, 这样做似乎毫无意义。

然而, 把运算放大器用作比较器时, 最好的建议其实非常简单, 那就是切勿这样做!

比较器设计用于开环系统, 用于驱动逻辑电路, 用于高速工作, 即使过载亦是如此。而这些均不是运算放大器的设计用途。运算放大器设计用于闭环系统, 用于驱动简单的电阻性或电抗性负载, 而且不能过载至饱和状态。

然而, 将运算放大器当作比较器使用却非常吸引人, 其中原因有多种。本文余下部分将简要讨论将运算放大器用作比较器可能产生的各种意外后果, 并总结其中的原因和注意事项。

### 为什么要将运算放大器用作比较器?

- 方便
- 经济
- 低 $I_B$
- 低 $V_{OS}$

将运算放大器用作比较器的原因有多种。有些属于技术范畴, 而有个原因则纯属经济使然。运算放大器不但有单运放封装, 同时提供双运放或四运放型号, 即将两个或四个运算放大器集成在一个芯片上。这类双核和四核型号比两个或四个独立运算器便宜, 而且占用电路板面积更小, 进一步节省了成本。尽管将四运放器件中的闲置运算放大器用作比较器而不是单独购买比较器实为经济之举, 但这并不符合良好设计规范。

比较器专门针对干净快速的切换而设计, 因此其直流参数往往赶不上许多运算放大器。因而, 在要求低 $V_{OS}$ 、低 $I_B$ 和宽CMR的应用中, 将运算放大器用作比较器可能比较方便。如果高速度非常重要, 将运算放大器用作比较器将得不偿失。

### 为什么不要将运算放大器用作比较器?

- 速度
- 不便的输入结构
- 不便的逻辑结构
- 稳定性/迟滞

不将运算放大器用作比较器的原因也有多种。最重要的原因是速度, 不过也有输出电平、稳定性(和迟滞), 以及多种输入结构考虑。以下各节将详细讨论这些因素。

多数比较器的速度都非常快，而有些则可以用极快来形容，不过，有些运算放大器也有着非常快的速度。为什么将运算放大器用作比较器时会造成低速度呢？比较器设计用于大差分输入电压，而运算放大器一般用于驱动闭环系统，在负反馈的作用下，其输入电压差降至非常低。当运算放大器过载时，有时仅几毫伏也可能导致过载，其中有些放大级可能发生饱和。这种情况下，器件需要相对较长的时间从饱和中恢复，因此，如果发生饱和，其速度将慢得多。

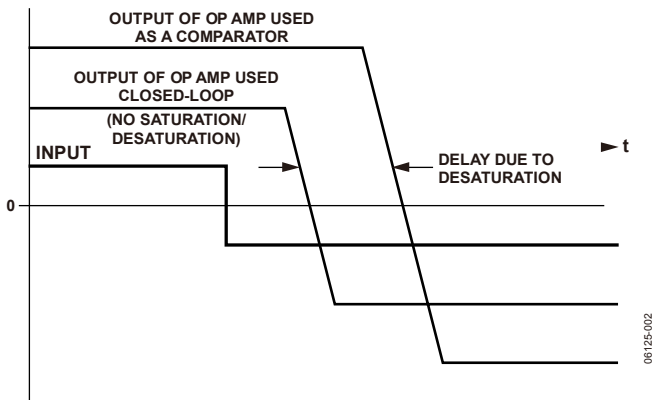


图2

过载运算放大器的饱和恢复时间很可能远远超过正常群延迟(实际指信号从输入端到达输出端的时间)，并且通常取决于过载量。

由于仅有少数运算放大器标有从不同程度过载状态恢复所需要的时间，因此，用户有必要根据特定应用的不同过载水平，通过实验确定可能发生的延迟。设计计算中用到的数值应至少两倍于任何测试中发现的最差数值，这是因为测试所用样片不一定具有代表性。

专门型比较器的输出端设计用于驱动特定逻辑系列。输出级通常采用单独供电，以确保逻辑电平准确无误。

现代运算放大器多采用轨到轨输出，其最大正电平接近正电源，最低负电平接近负电源。(老式设计所用架构的两个供电轨都具有1.5 V以上的动态余量。)

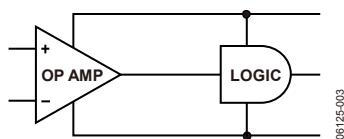


图3

如果逻辑和运算放大器共用同一电源，轨到轨运算放大器可成功驱动CMOS和TTL逻辑系列，但是，如果运算放大器和逻辑采用不同电源，则需在两者之间另外设置接口电路。注意，这种情况采用于采用±5 V电源的运算放大器，必须用+5 V电源驱动逻辑；如果施加-5 V电源，则可能损坏逻辑。

最简单的接口电路就是变换器，可能以NPN晶体管制成，但这些元件需会基极吸取电流。更为方便的是N-沟道MOSFET晶体管。

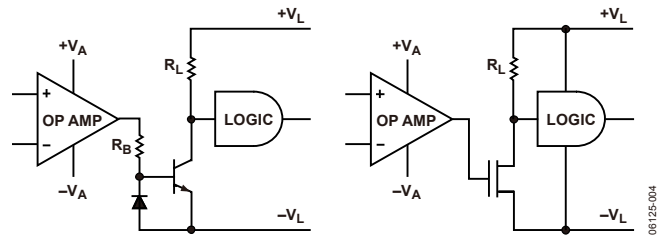


图4

$R_B$ 设定晶体管基极电流， $R_L$ 则设定集电极/漏极的电流。该电流越小，变换器速度就越快，但其功耗也越大。通常使用几千欧姆的数值。N-沟道MOS器件应采用低栅极阈值电压(<2 V)和高于运算放大器最大输出电压的栅源击穿电压。一般±25 V就够了。尽管运算放大器和逻辑使用不同的电源，但必须相互连接。运算放大器正电源+VA必须比逻辑负电源-VL高至少3 V，才能提供足够电压来开启晶体管或MOSFET栅极。另外，运算放大器负电源相对于逻辑负电源不能为正，但可与其相连。当然，必须遵循全部所用器件的绝对最大额定值。

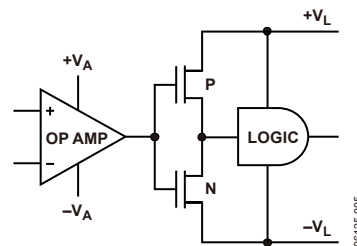


图5

补充MOS变换器可采用一个P-沟道和一个N-沟道MOSFET。这样做的优势在于没有待机电流，但在切换过程中，两个器件同时开启时会产生大电流尖峰。

在这种设计中，运算放大器正电源+VA必须等于或大于逻辑正电源+VL。另外，运算放大器负电源必须等于或小于逻辑负电源。

确保逻辑接口电平正确无误的另一种方法是使用AD8036一类的箝位放大器。箝位放大器具有正负基准端子，当放大器输出超过或低于正负电压限值时，其输出将被限制在基准电压的30 mV之内。

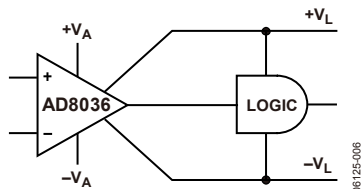


图6

因此，如果将正负逻辑电源连接到基准输入(放大器电源位于逻辑电源之外)，放大器输出将为逻辑提供安全的驱动。

如前所述，当将运算放大器用作比较器时，受饱和影响，其反应速度低于期望水平。正因为如此，要求通过用作比较器的运算放大器来驱动发射极耦合逻辑(ECL)的情况并不多见，因为这种逻辑用于要求最高逻辑速度的应用。

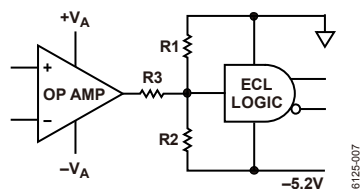


图7

但是，出于全面考虑，图7显示的是只用到R1、R2和R3三个电阻的接口电路。选择这些电阻是为了达到以下目的：当运算放大器输出达到正限值时，使ECL栅极输入处的电平为-0.8 V；达到负限值时，则使其电压为-1.6 V。R1、R2和R3的比率取决于这一要求；电阻的绝对值是在速度和节能两个指标间作出的权衡。

对于用作比较器的运算放大器，还需考虑与其输入相关的多种因素。首先一条假设是，运算放大器的输入阻抗无穷大。对于电压反馈运算放大器来说，这种假设是极其合理的，但并不适用于整个设计流程。对于反相输入端阻抗极低的电流反馈(跨导)运算放大器来说，该假设无效。因此，不得将其用作比较器。

输入阻抗和偏置电流的实际特性也必须纳入考虑范围。由于多数运算放大器具有高阻抗、低偏置电流的特点，因此，要保证某种设计支持除零和无穷大极限之外的实际预期工作电压范围并不困难。但必须进行精确的计算。否则，据墨菲定律，如果可能出错，就一定会出错。

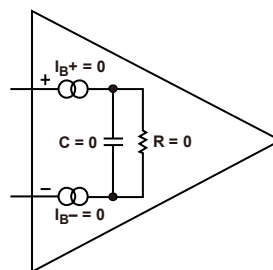


图8

有些运算放大器的输入级由一对长尾式晶体管或FET构成。这些晶体管具有高输入阻抗，即使当反相和同相输入端之间存在较大差分电压时，也是如此。但多数运算放大器具有更为复杂的输入结构，如偏置补偿输入级，或由两个输入级构成的轨到轨输入级，其中一个输入级使用NPN或N-沟道器件，另一个则使用其他PNP或P-沟道器件，两者以并行方式连接，使其共模范围能同时包括正负电源电压。

运算放大器旨在与负反馈相配合，以尽可能降低其差分输入。这些复杂结构对大差分输入电压的反应可能并不能让人满意。要在本文中尽数讨论全部可能架构，是不切实际的。不过，图9所示保护电路即是多种此类结构之一。当差分输入低于 $\pm 0.6$  V时，器件将表现出较高的输入阻抗，不过，超过此值时，保护二极管开始导通，差分输入阻抗快速降低。

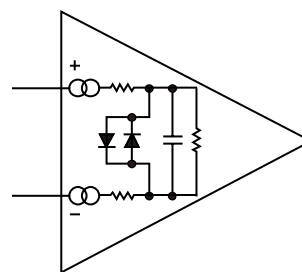


图9

在许多比较器应用中，差分输入被限制在数十或数百毫伏之内，但有些应用并不存在这种限制，此时，上述效应显得非常重要。

## 阅读数据手册

若要确定比较器应用中的预期最差电压是否足以对运算放大器的正常工作造成不利影响，则必须仔细阅读数据手册。实验在此并不是一种好办法，因为有些过压效应具有累积性，一次过压事件不会造成明显损坏，但多次此类事件则可能逐渐对偏置、噪声或开环增益或三者同时造成有害影响。

阅读数据手册时，应查看绝对最大差分输入电压的下限值，查看偏置电流或输入电源与差分或共模电压之间的关系图，这些示意图可显示非连续性或总体非线性情况，同时还需查找反相证据，这样做非常重要。有关阅读数据手册的更多信息，请参阅[http://www.analog.com/raq\\_caveat](http://www.analog.com/raq_caveat)及该页面上的链接，特别是[http://www.analog.com/raq\\_datasheet](http://www.analog.com/raq_datasheet)。

如果存在任意上述潜在危险，则必须对系统行为进行分析，确定是否是此类危险使系统无法正常运行。这可通过模拟来实现，但需要注意的是，在大差分输入的情况下，Spice及其他模型并非始终都能准确地映射到器件行为。就用简单的纸和笔来计算预期效应，之后再做些实验，这种方法或许更为可取。

## 相位翻转

老式FET输入运算放大器，甚至某些双极型号被一种称为相位翻转的现象所困扰。如果输入超过允许的共模范围，反相和同相输入将互换角色。

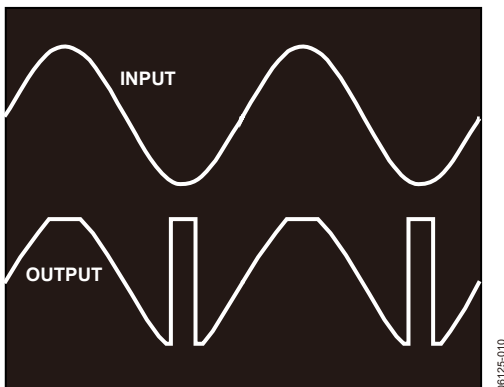


图10

不难想像，在比较器应用中，这并不是个好消息。因此，对于用作比较器的任何运算放大器来说，必须确保不存在相位翻转(过去十年生产的多数运算放大器均采用这种设计)，或者采用独特的系统设计方式，以使比较器输入永远不接近可能产生反相现象的电压范围。

由于运算放大器制造商不希望其产品的相位翻转特性受到关注，因而，数据表一般以共模范围限值来呈现该特性，对于超过此限值所带来的后果，往往一笔带过。请记住这点，如果有运算放大器似乎存在这个问题，请马上进行测试。

## 不稳定性

用作比较器的运算放大器没有负反馈，因此其开环增益非常高。跃迁期间，哪怕是极少量的正反馈也可能激发振荡。反馈可能来自输出与同相输入之间的杂散电容，也可能来自共地阻抗中存在的输出电流。

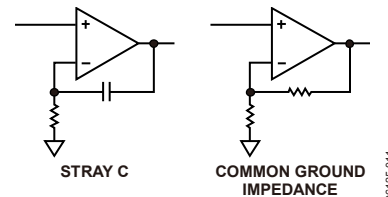


图11

补偿办法是通过适当的设计布局降低杂散电容，同时确保使同相输入的对地阻抗保持于最低水平，以减弱任何残留电容反馈。反相输入电容反馈仅存在于电流反馈运算放大器(不建议采用)以及未完全补偿(即非稳定统一增益)的电压反馈运算放大器中。

地电流反馈由智能型地电路控制。这个问题在数个ADI应用笔记中均有讨论，具体见AN-202、AN-214、AN-280、AN-345和AN-347。欲了解有关模拟系统地的更多信息，请参阅[http://www.analog.com/raq\\_groundingclean](http://www.analog.com/raq_groundingclean)。

## 迟滞

有时，借助以上措施还不足以防止不稳定性。剩下的唯一可行办法是利用少量受控正反馈产生迟滞，以便保证一旦跃迁开始，除非输入经过显著的反相电压，才有可能发生反向的跃迁。

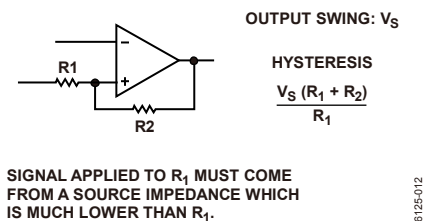


图12

通过两个电阻即可实现这一目标，迟滞量与两个电阻之比成比例。比较器信号输入可连接到反相或同相输入，但是，如果连接的是非反相输入，则源阻抗必须低至不会对R1产生显著影响的水平。当然，如果源阻抗具有可预测性，则可当作R1使用。

如果基准电压处于两个比较器输出电压的中间，对称电源和地基准即是如此，迟滞将使正负跃迁的电压阈值等距离的偏离基准电压。但是，如果基准电压更接近于两个输出中的一个，则阈值呈不对称关系处于基准电压左右。

## 阈值的计算(基准电压未处于两个电源的中间):

比较器输出电压为 $V_P$ 和 $V_N$ 。

基准电压为 $V_R$ 。

正阈值为

$$\frac{R_2 V_R + R_1 V_P}{R_1 + R_2}$$

负阈值为

$$\frac{R_2 V_R + R_1 V_N}{R_1 + R_2}$$

## 结论

总而言之，尽管运算放大器并非专门为用作比较器而设计，但在多种应用中，将运算放大器用作比较器的确是一种可行的设计选择。但在做出决定时，必须了解相关知识，以确保所选运算放大器能达到要求的性能。

为此，有必要仔细阅读数据手册，有必要考虑非理想运算放大器参数对应用的影响。由于这种情况下，运算放大器工作于非标准模式之下，Spice模型可能无法反映其实际行为，因此建议进行一些实验。另外，由于并非所有器件的行为都具有典型性，因此在解读实验结果时，不宜过于乐观。

AN-849

注释

**注释**

注释