

基于AD9540产生多时钟输出

作者: Ted Harris

在当今的数字和混合信号电子系统中，时钟是可能影响整体系统性能的重要因素之一。若要使模数转换器(ADC)和数模转换器(DAC)正常工作，在特定速率下产生低抖动时钟的能力显得至关重要。这是因为时域中的不确定性（表现为抖动）会转变成幅度中的不确定性，从而降低可实现的噪底和相应的品质因数，如信噪比(SNR)，同时还会提高比特误差率(BER)。如需进一步了解时钟抖动对ADC或DAC性能的影响，请参阅应用笔记“AN-756”。产生时钟时面临的其他挑战包括频率精度、频率分辨率、引入时钟偏斜的能力以及不同通道间的相位延迟。

为了应对诸如此类挑战，ADI公司推出了一系列时钟产生和时钟分配产品。AD9540是ADI首款产生低抖动时钟的集成电路(IC)产品之一。AD9540可从其电流模式逻辑(CML)驱动器产生低抖动时钟输出，速率最高可达655 MHz，适用于为ADC和DAC提供时钟。通常，在混合信号系统中，需要通过额外的时钟来为数字硬件提供时钟。虽然在严格

的数字系统中，抖动并非大问题，但提供精确频率分辨率的能力以及在时钟波形上升沿产生受控延迟的能力是非常重要的。本应用笔记旨在探讨如何针对OC-12应用实现低抖动、高速622.08 MHz时钟，如何在可编程偏斜下实现较低速率的时钟，如SYNC帧基准再生。这两种网络时钟都可由单AD9540 IC产生。

功能框图如图1所示。从总体上看，用于产生两个所需时钟的所有必要元件模块均已齐备。在产生低抖动时钟的过程中，首选方法几乎始终是采用某种锁相环(PLL)电路。PLL电路不但可提供频率增益，还具有良好的降噪能力，因为环路滤波器将充当跟踪带通滤波器。由于多数时钟应用只需要单个频率，诸如采集时间、调谐范围等参数并不重要，因此，可以牺牲这些方面的性能，以提高环路的噪声性能。具体而言，可选择范围较窄、中心频率接近目标时钟速率的VCO。随着调谐范围的缩小，VCO的增益系数(K_v)也会下降，从而降低VCO自身的相位噪声。

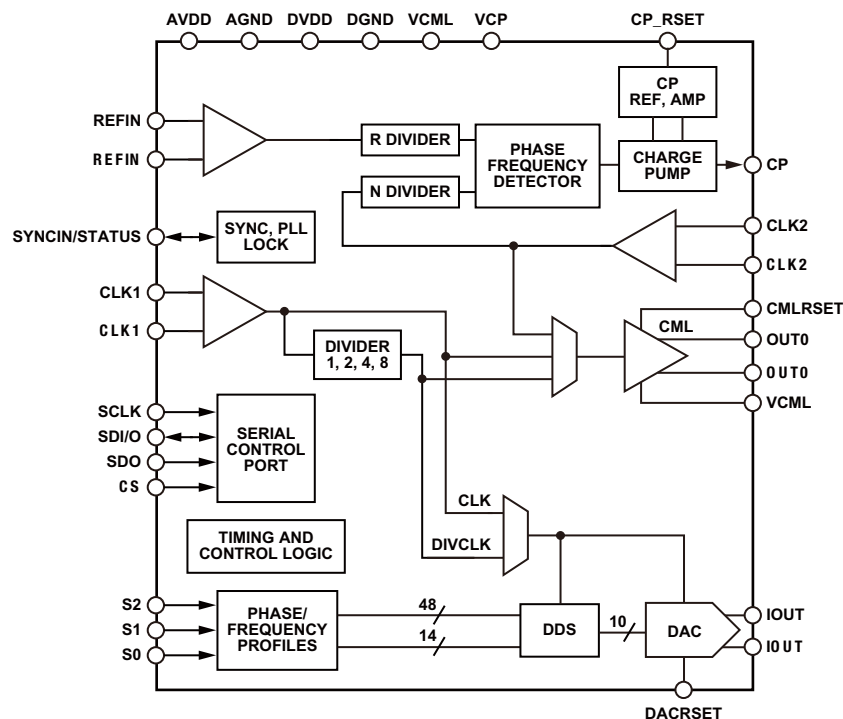


图1. AD9540框图

另外，设计人员需要考虑环路滤波器带宽，因为该参数上存在一定的权衡关系。一般而言，环路带宽越宽，环路的采集和锁定时间越短，但也会有更多来自基准和鉴频鉴相器本身的噪声通过环路。在时钟应用中，可以通过这种权衡取舍来实现较窄的环路带宽，牺牲建立时间，以有利于环路中的噪声抑制。

数字时钟所需的精确频率和可调相位可从器件的直接数字频率合成器(DDS)中产生。AD9540上的DDS提供48位频率调谐分辨率(1.42 μ Hz，最大时钟速率为400 MHz)和14位相位调节(0.022度)。DDS的输出是一种重构的正弦波，因此需要两个额外的外部电路。首先，需要对重构的正弦波应用一个目标时钟速率的带通滤波器。这会消除输出频谱中的多数采样伪像，同时消除已引入至DAC输出信号中的宽

带噪声。其次，为了实现多数时钟电路所需的压摆率，需要将一个外部比较器插入时钟信号路径。本例中选用的ADCMP563效果颇佳。

最终得到的电路的简化框图如图2所示。输入CLK1/ $\overline{\text{CLK1}}$ 链接至CLK2/ $\overline{\text{CLK2}}$ 。器件的编程方式是使CML驱动器的输入来自CLK1的未分频输入，但DDS由分频输出提供时钟(622 MHz除以2 = 311 MHz)。图中显示了PLL REF输入的晶体振荡器功能，演示了其于38 MHz晶体配合使用的情况。两个输出时钟显示在OUT0 (低抖动622 MHz时钟)和OUT1 (相位可编程辅助时钟)处。在辅助时钟中，边沿偏斜(或时间延迟)是通过向DDS中编入相位偏移来实现的，它会改变比较器处互补输入交叉的相对时点。

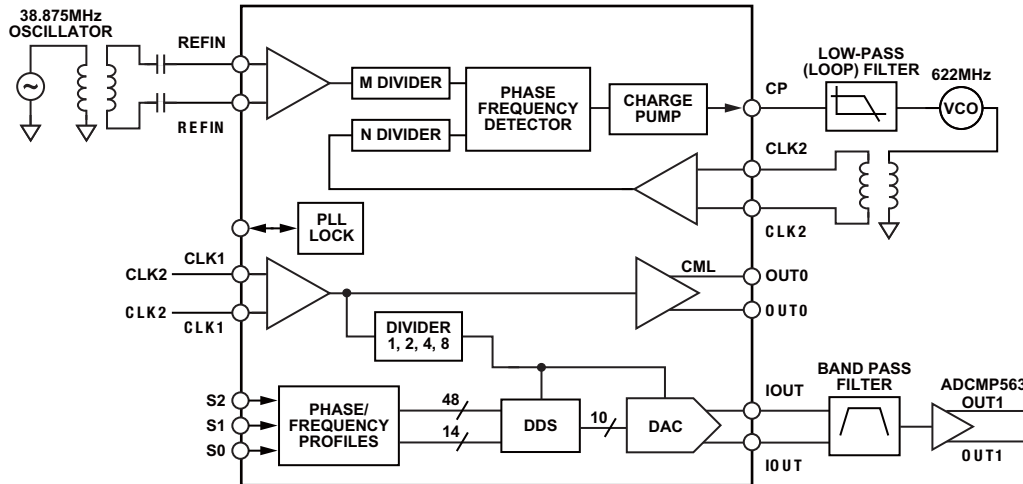


图2. 配置为双时钟产生模式的AD9540