

Circuits from the Lab® 参考设计是经过测试的参考设计，有助于加速设计，同时简化系统集成，帮助并解决当今模拟、混合信号和 RF 设计挑战。如需更多信息和技术支持，请访问：www.analog.com/cn/CN0432。

连接/参考器件

AD9139	单通道、1.6 GSPS、16 位、TxDAC® 数模转换器
ADL5375	宽带正交调制器
AD9516-1	14 路输出时钟发生器，集成 2.5 GHz VCO

使用两个具有多 DAC 同步功能的 AD9139 器件进行宽带基带 I/Q 发射器设计

评估和设计支持

电路评估板

[AD9139/ADL5375 评估板\(AD9139-DUAL-EBZ\)](#)

[数字模式发生器评估板\(AD-DPG3\)](#)

设计和集成文件

[原理图](#)、[布局文件](#)、[物料清单](#)、[软件](#)

电路功能与优势

图 1 所示的这个电路提供一个同步宽频带发射器，可支持高达 1150 MHz 的超宽 I/Q 带宽。该设计证明了高带内信号性能，如高无杂散动态范围(SFDR)、低误差矢量幅度(EVM)和宽频带范围内的平坦频率响应。

多个通道间的同步性能对于象限误差校正(QEC)尤为重要。启用多芯片同步时，转换器之间的延迟失配可能在一个时钟周期内，并且存在对齐良好的同步时钟。

高速同步的挑战是要在过程、电压和温度(PVT)中达到数模(DAC)时钟周期的精度。要达到这种精度，需要在 DAC 上实施同步逻辑块，并且必须在板上精心设计布局和时钟方案以与同步逻辑块配合使用。

该电路可用于支持 E 频段中的宽带点对点应用，这可同时确保零中频(ZIF)和复中频(CIF)。出色的同步性能使其能够支持雷达等应用中的严格对齐要求。

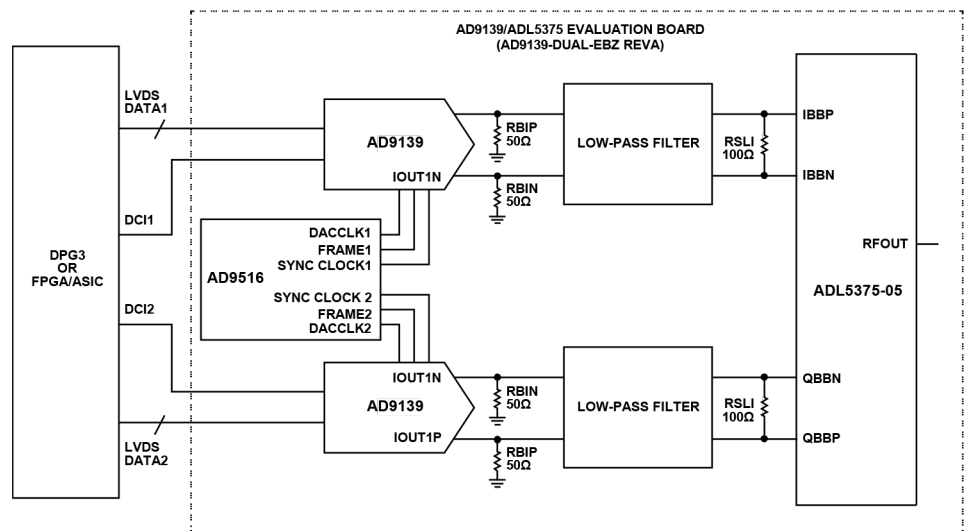


图 1. AD9139-DUAL-EBZ 评估板功能框图

Rev. 0

Circuits from the Lab® reference designs from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

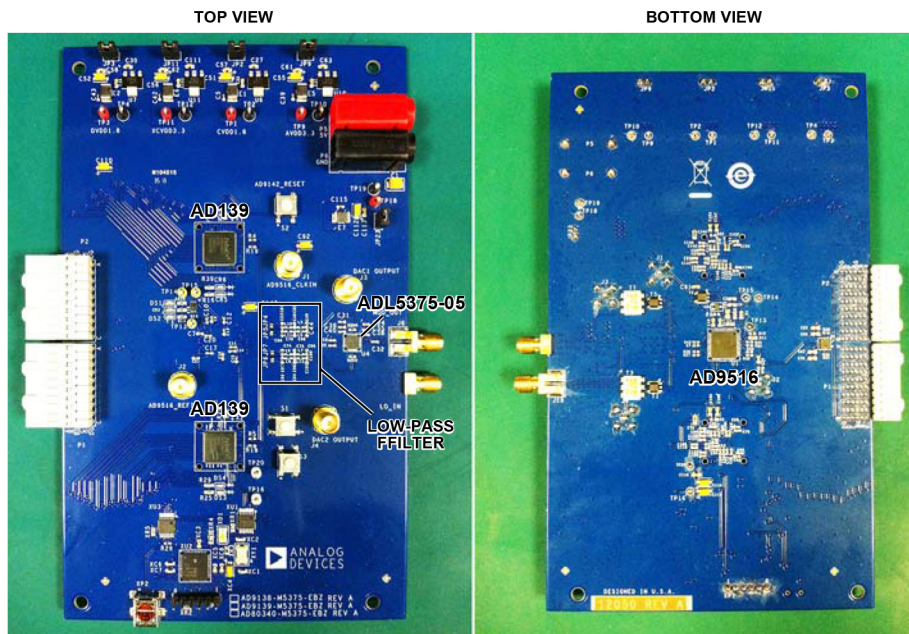


图2. 用于实现电路的 AD9139-DUAL-EBZ 评估板

电路功能与优势

图 2 所示的电路板使用双 AD9139 单通道 TxDAC、ADL5375-05 宽带正交调制器和 AD9516-1 时钟发生器。

AD9139 的数据时钟输入(DCI)频率可高达 575 MHz。由于在上升沿和下降沿捕获的数据均馈入单个 DAC，1×模式下的数据速率可高达 1150 MSPS。为支持正交数据，使用了两个 AD9139 器件来生成基带数据。每个通道的模拟输出分别进入自己的低通滤波器。因此，参考设计可支持高达 1150 MHz 的复合带宽，如图 3 所示。在如此大范围中的平坦度至关重要。由于 AD9139 包括一个可抵消 DAC 的内在 sinc 滚降影响的反 sinc 滤波器，DAC 后的滤波器平坦度变得对总平坦度至关重要。对于并行低电压差分信号(LVDS)接口，575 MHz 的 DDR 时钟频率很高。需要仔细设计 LVDS 接口的时序。

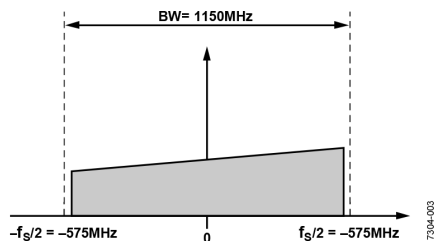


图3. 双 AD9139 器件的最大带宽

正交调制器

ADL5375-05 是一款宽带正交调制器，输出频率范围为 400 MHz 至 6 GHz。ADL5375-05 作为 I/Q 调制器与 AD9139 接口，该调制器的频率范围很宽，为 400 MHz 至 6 GHz。AD9139 的输出和 ADL5375-05 的输入共用 0.5 V 的相同共模电平。

时钟产生和考虑事项

考虑到同步要求，两个 AD9139 器件的 DACCLK、同步时钟和帧时钟都必须对齐良好。AD9516-1 支持必需的时钟分配功能，以及为产生更高频率而集成的压控振荡器(VCO)和锁相环(PLL)。禁用 VCO 和 PLL，并且 AD9516-1 处于时钟分配模式时，更好的时钟相位噪声更利于高速对齐。作为时钟分配模式使用时，在 1 GHz 输出，分频比为 1, 10 MHz 频偏处，加性相位噪声为 147 dBc/Hz。Rohde & Schwartz SMA100A 具有出色的相位噪声性能，用其作为 AD9516-1 的输入时，AD9516-1 的输出总相位噪声接近时钟分配模式下 AD9516-1 的最小限值。

AD9139 的多芯片同步

双通道间的同步对于 QEC 至关重要。DACCLK 和同步时钟之间需要布局对称。此外，DACCLK 和同步时钟之间的相位不得落在建立和保持时间窗口内（也称为保持在窗口外(KOW)）。

同步机制可以达到在DAC输出上多个通道之间在PVT中的失配小于一个DAC时钟周期。以下是实现测试性能的指南：

1. DACCLK 1和DACCLK 2必须在AD9139的引脚上对齐良好。DACCLK 1和DACCLK 2之间的不匹配将添加到输出上的最终不匹配中。
2. 同步时钟1和同步时钟2必须对齐良好，并且分别由DACCLK1和DACCLK2采样，用作参考。
3. DACCLK和同步时钟之间的相对相位不得落在KOW内，如图4所示。

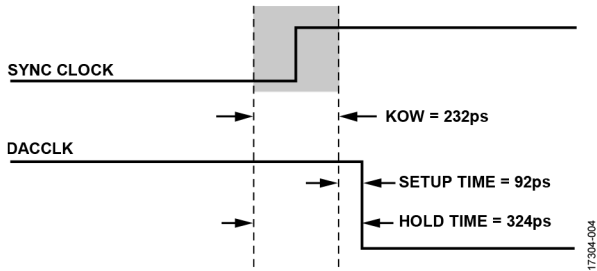


图4. DACCLK 和同步时钟之间的时序要求

LVDS 接口设计

DCI = 575 MHz时，在PVT中设计LVDS接口通常是一个挑战。本节用一个例子说明如何设计和优化该接口。

以图5为例，DCI = 491 MHz。根据AD9139数据手册规格，如果DCI和DATA的边缘在AD9139的引脚上对齐良好，当延迟锁相环(DLL)相位设置为零时，KOW（设置时间 + 保持时间）可置于有效窗口中间。

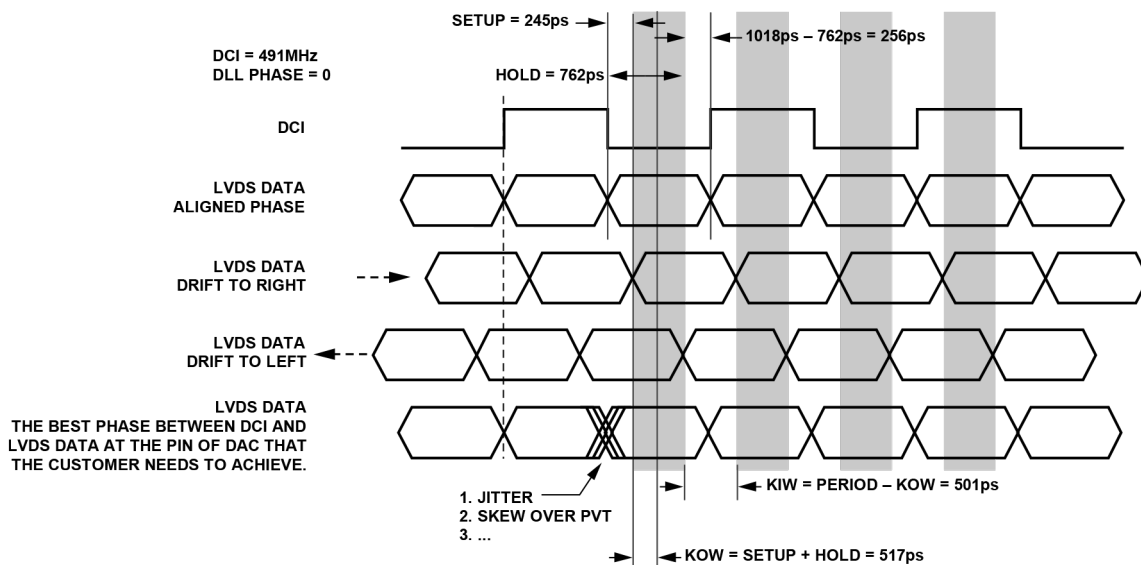


图5. LVDS 时序要求

数据有效裕量由如下公式定义。

$$T_{DATA\ VALID\ MARGIN} = T_{DATA\ PERIOD} - T_{DATA\ SKEW} - T_{DATA\ JITTER} - (T_{HOLD} + T_{SETUP})$$

在整个过程变化、电压和温度中， $T_{DATA\ VALID\ MARGIN}$ 必须 > 0 以确保数据的正确采样。

DCI = 491 MHz（见图5）时，

- $T_{DATA\ PERIOD} = 1018\ ps$
- $T_{HOLD} + T_{SETUP} = 517\ ps$
- $T_{DATA\ SKEW} + T_{DATA\ JITTER}$ 在PVT中必须小于501 ps，这是用户实施的要求。 $T_{DATA\ SKEW}$ 包括LVDS数据总线延迟失配、PVT中DCI和DATA总线之间的偏斜等。

要优化接口设计，用户可执行以下操作：

- 在印刷电路板(PCB)上用尽可能短的同长度的走线。
- 通过确保以下各项，优化现场可编程门阵列(FPGA)：
 - DCI和DATA的边缘在AD9139的引脚上对齐良好。
 - 在温度和电压变化时，DCI和DATA之间的漂移越小越好。
 - DCI和DATA之间的抖动越小越好。

扫描DLL相位后，AD9139的样本错误检测(SED)功能也可用于检查DCI和DATA之间的时序关系。

低通滤波器设计

出于实验目的，为了使AD9139的性能不被滤波器限制，在板上设计了一个在240MHz内具有良好平坦度和群延迟性能的滤波器。在实际产品开发中，可以通过增加滤波器的阶数来增强带外抑制。

图6所示的滤波器拓扑结构是一个五阶巴特沃兹滤波器，转折频率为900 MHz。此滤波器的仿真响应曲线如图7所示。仿真平坦度为±0.1 dB（直流至240 MHz）。此滤波器的仿真群延迟曲线如图7所示。

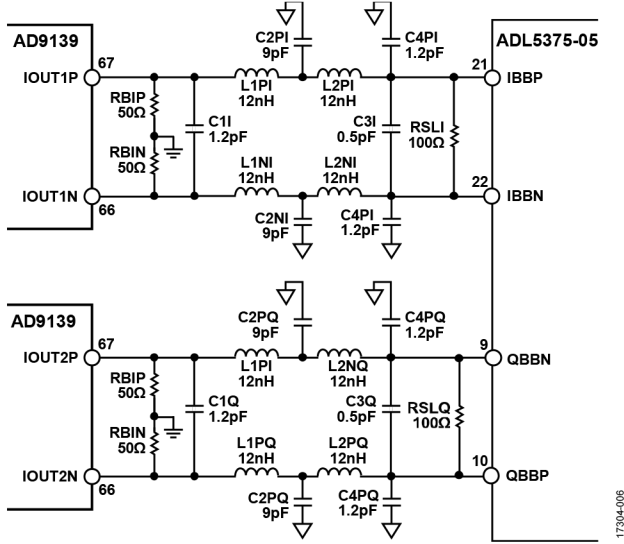


图6. 推荐的 DAC 调制器接口拓扑 (FC = 900 MHz, 五阶巴特沃兹滤波器)

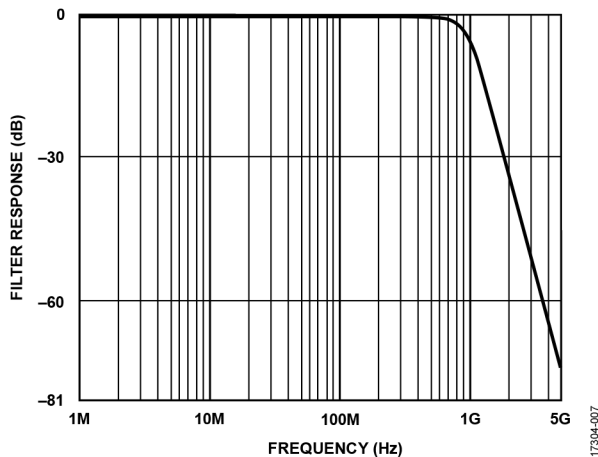


图7. DAC 调制器与 900 MHz 五阶巴特沃兹滤波器接口的频率响应 (模拟)

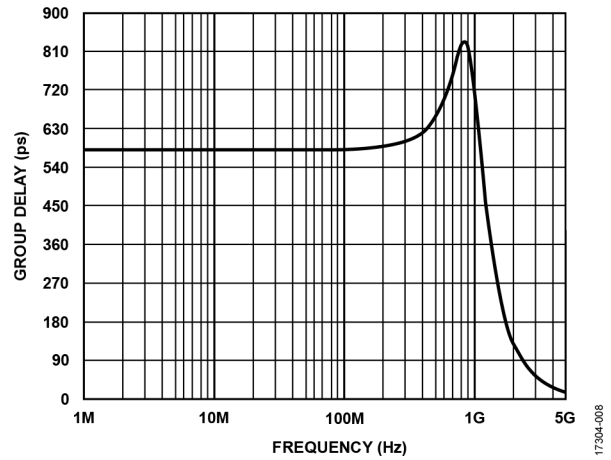


图8. 滤波器的群延迟

布局建议

应特别注意AD9139和ADL5375接口的布局。以下是一些获得较好噪声和杂散性能的建议。图9显示了一个遵循这些建议的顶层布局图：

- 将DAC、滤波器和调制器放在PCB的同一侧。
- 收紧滤波器布局：减少L和C的禁区裕量。
- 将对地电容分三路接到GND平面。
- 缩短DAC到调制器的距离。
- 使所有I/Q差分走线长度保持良好的匹配。
- 滤波器端接电阻尽可能靠近调制器输入端放置。
- DAC输出50 Ω电阻尽可能靠近DAC放置。
- L和C使用0402封装。
- 加宽经过滤波器网络的走线以降低信号损耗。
- 在所有DAC输出走线、滤波器网络、调制器输出走线和LO输入走线周围设置通孔。
- 将本振(LO)和调制器输出走线布设在不同的层上或彼此成90°角，防止耦合。

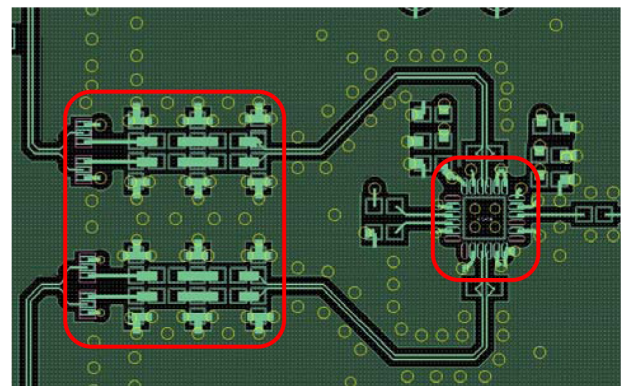


图9. 一般布局建议

访问 www.analog.com/cn/CN0432-DesignSupport 获取设计支持包, 在随附的AD9139-DUAL-EBZ布局文件中了解有关正确布局的更多信息。

电路评估与测试

下节描述如何设置和测试评估板。这些步骤概述了实现评估板功能和结果所需的基本步骤。有关更详细的信息, 请参阅AD9139-DUAL-EBZ评估板快速入门指南。

需要的设备

需要使用以下硬件:

- AD9139-DUAL-EBZ
- AD-DPG3
- Agilent E3631A电源 (或同等电源)
- 频谱分析仪PXA N9030A
- Rohde & Schwartz SMA100A信号发生器
- 带USB端口的PC
- USB电缆

需要使用以下软件:

- DPG Downloader
- ACE软件

测试设置

下节描述使用64 QAM数字调制测量邻道功率(ACP)和调制误差率(MER)性能的详细信息。测试设置灵活, 也可以执行其它测量。测试设置如下图10所示。AD9139-DUAL-EBZ评估板的硬件、SPI软件、快速入门指南(QSG)以及DPG3硬件和软件均已发布。

使用一个Keysight E3631A为P5/P6上的电路板提供5 V电源。使用一个R&S SMA100A为板上的AD9516-1提供输入时钟。再使用一个R&S SMA100A为ADL5375-05提供LO时钟。AD9139通过串行外设接口(SPI)软件进行编程。PC上运行的DPGDownloader生成AD9139的发射矢量并将其下载至DPG3。ADL5375-05的输出馈入Keysight PXA N9030A。

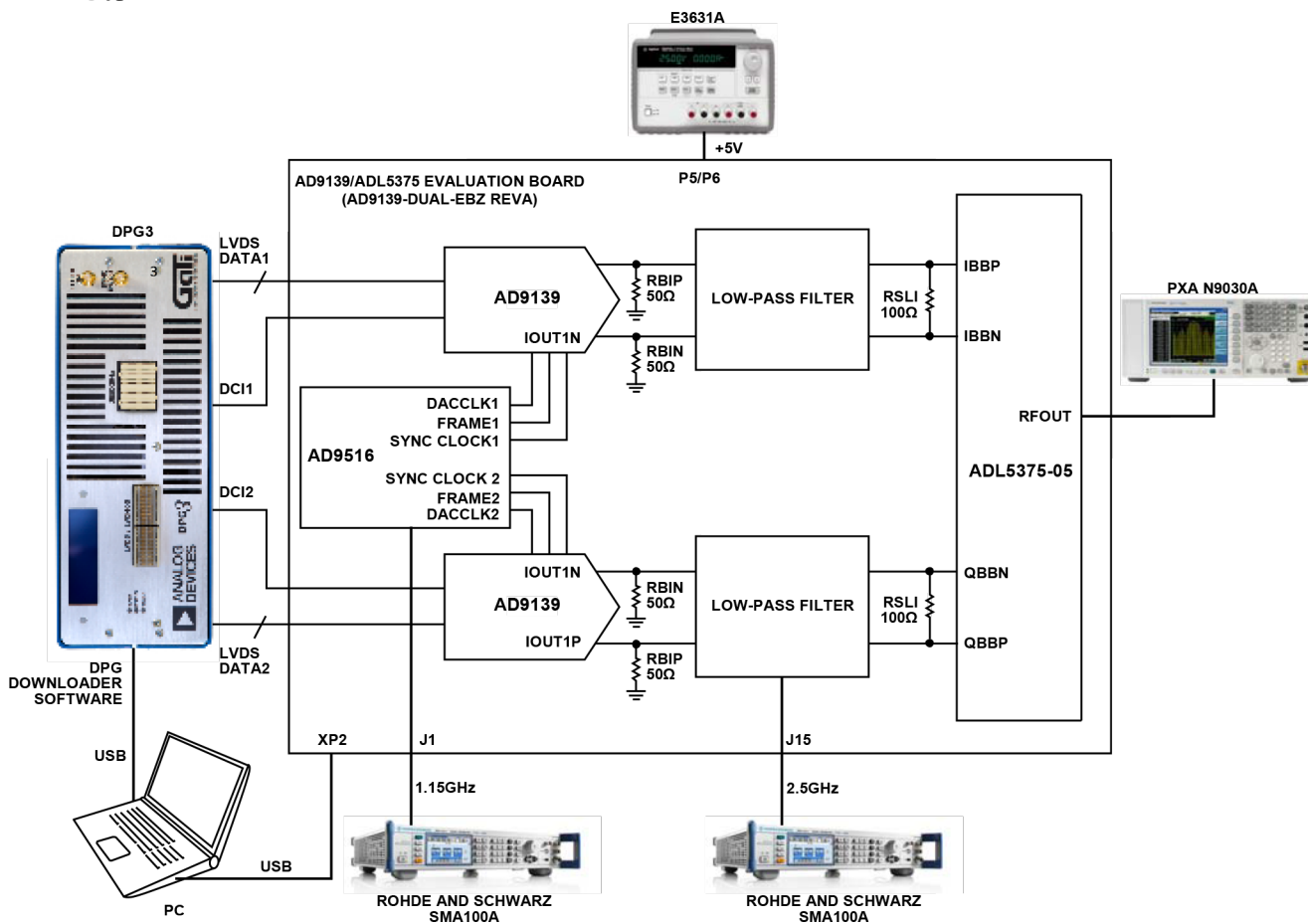


图 10. 测试设置功能框图

17304-010

测量结果

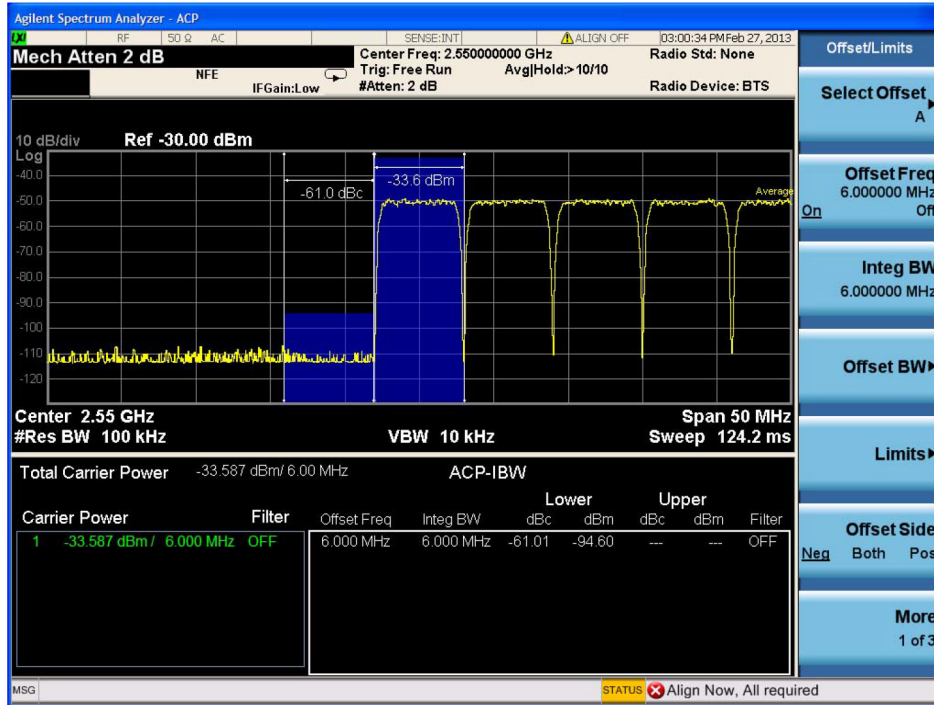


图 11. ACP 测量, LO = 2.5 G, BW = 6 × 80 = 480 MHz (CIF)

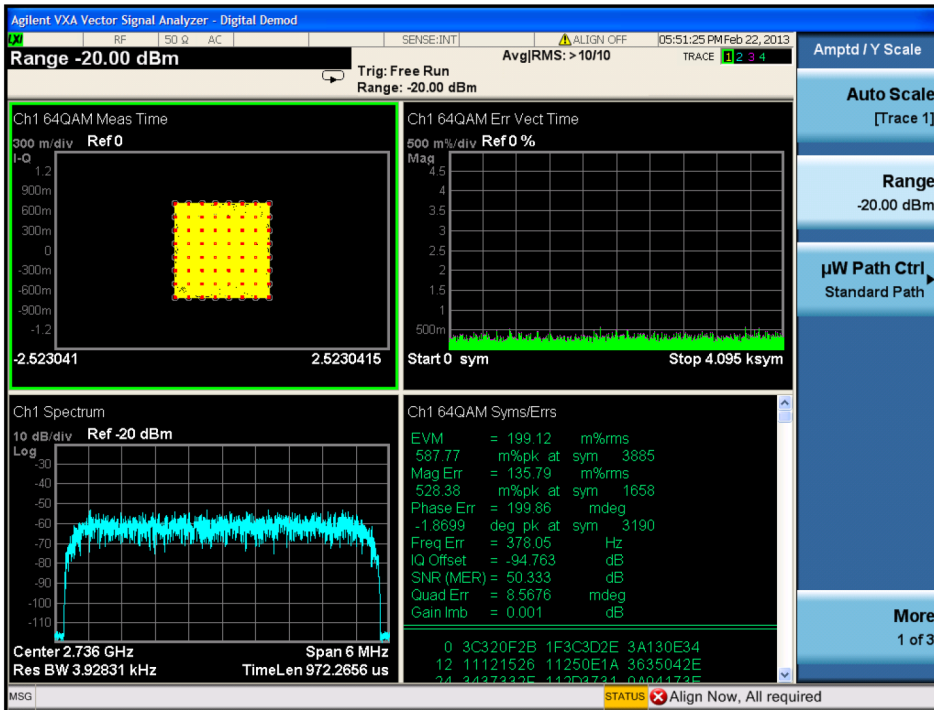


图 12. MER/EVM 测量, LO = 2.5 G, BW = 6 × 80 = 480 MHz (CIF)

了解更多

CN-0432设计支持包:

<http://www.analog.com/CN0432-DesignSupport>

CN-0205将ADL5375 I/Q调制器连接到AD9122双通道、
1.2 GSPS高速DAC, ADI公司

CN-0243采用外部单频率参考的高动态范围RF发射器信号
链, 适合DAC采样时钟和IQ调制器本振生成, ADI公司。

[ADIsimPLL设计工具](#)

[ADIsimRF设计工具](#)

[AD9139-DUAL评估板快速入门指南](#)

[ADI公司数据模式发生器\(DPG\)](#)

数据手册和评估板

[AD9139数据手册](#)

[ADL5375数据手册](#)

[AD9139-DUAL评估板](#)

[ADL5375-05评估板](#)

修订历史

2019年9月—修订版 0: 初始版



(Continued from first page) Circuits from the Lab reference designs are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab reference designs in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab reference designs. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab reference designs are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab reference designs at any time without notice but is under no obligation to do so.

©2019 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN17304sc-0-9/19(0)



www.analog.com/cn