

## Circuits from the Lab™ Reference Circuits

Circuits from the Lab™ reference circuits are engineered and tested for quick and easy system integration to help solve today's analog, mixed-signal, and RF design challenges. For more information and/or support, visit [www.analog.com/CN0269](http://www.analog.com/CN0269).

### 连接/参考器件

AD7984	18位、1.33 MSPS PuISAR 10.5 mW ADC, 采用MSOP/QFN封装
AD8475	精密、可选增益、全差分漏斗放大器
AD8065	高性能、145 MHz FastFET运算放大器
ADG5208	高压防门锁型8通道多路复用器
ADG5236	高压防门锁型双通道SPDT开关
ADR444	超低噪声、4.096 V、LDO XFET基准电压源, 具有吸电流和源电流能力

## 18位、1.33 MSPS、16通道数据采集系统

### 评估和设计支持

#### 电路评估板

[CN-0269电路评估板\(EVAL-CN0269-SDPZ\)](#)

[系统演示平台\(EVAL-SDP-CB1Z\)](#)

#### 设计和集成文件

[原理图、布局文件、物料清单](#)

### 电路功能与优势

图1显示的是高性能工业信号电平多通道数据采集电路, 已针对快速通道间切换进行了优化。该电路能以最高18位分辨率处理16通道单端输入或8通道差分输入。

单通道采样速率高达1.33 MSPS, 分辨率为18位。所有输入通道的通道间切换速率为250 kHz, 具有16位性能。

信号处理电路与简单的4位增/减二进制计数器结合, 提供无需FPGA、CPLD或高速处理器即可实现通道间切换的简单、高性价比方案。可编程设置计数器, 使其递增或递减计数, 实现顺序采样多个通道; 也可加载固定的二进制字, 用于单通道采样。

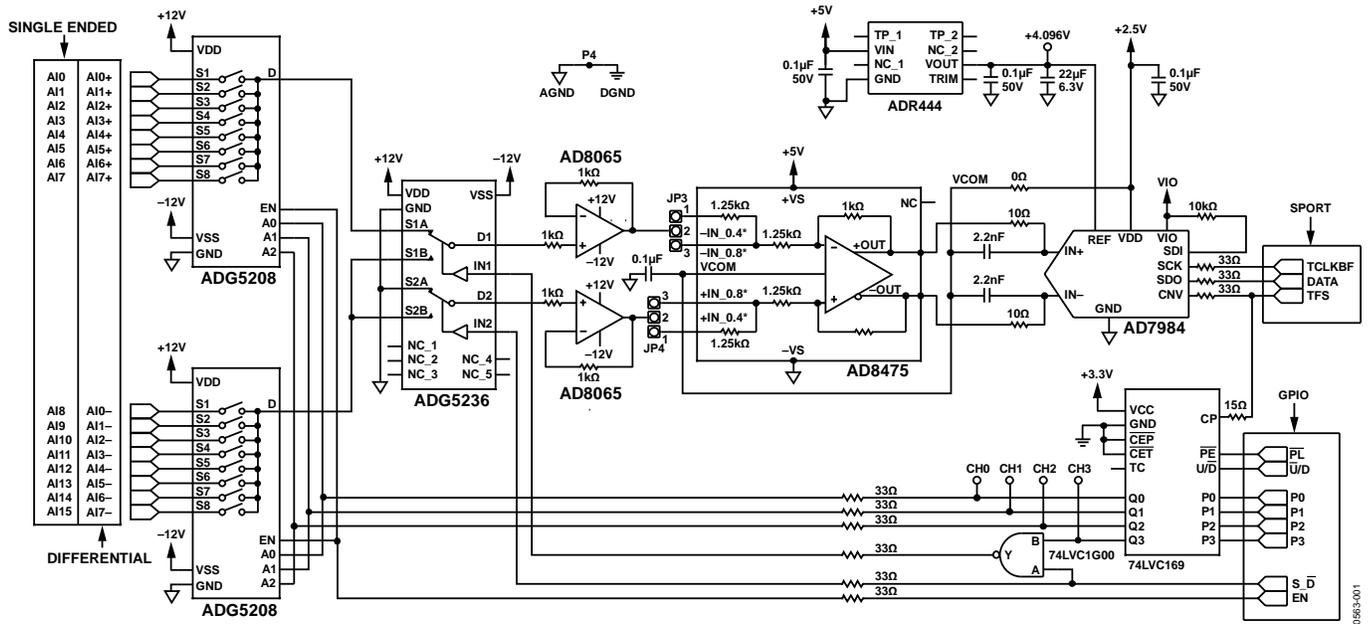


图1. 多通道数据采集电路(原理示意图; 未显示所有元件、连接和去耦)

### Rev. 0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

本电路是多通道数据采集卡的理想解决方案，可用于多种工业应用，包括过程控制和电力线监控。

## 电路描述

图1中的电路是一款经典的多通道异步数据采集信号链，由多路复用器、放大器和ADC组成。

该架构允许使用单个ADC对多通道进行快速采样，具有低成本和出色的通道间匹配性能。

通道间切换速度受限于信号链上多路复用器之后的多个元件建立时间，因为多路复用器会对下游放大器和ADC产生满量程步进电压输出。该电路的元件经过精心挑选，最大程度降低建立时间，提升通道间切换速度。

## 器件选择

**ADG5208**多路复用器根据3位二进制地址线所确定的地址，将8路输入之一切换至公共输出。**ADG5236**内置两个独立可选的单刀双掷(SPDT)开关。两个**ADG5208**开关与一个**ADG5236**结合，允许16路单端通道或8路真差分通道通过4位数字控制信号连接信号链的其余部分。

4位数字信号由4位二进制增/减计数器产生，计数器的触发信号与18位、1.33 MSPS **AD7984** ADC的转换(CNV)输入是同一个信号。

**AD8065** JFET输入运算放大器带宽为145 MHz，配置为单位增益缓冲器，可提供出色的建立时间性能和极高的输入阻抗。**AD8065**还提供极低的阻抗输出，驱动**AD8475**漏斗放大器的衰减级。

全差分信号链具有以下优势：良好的共模抑制性能和更少的二阶失真产物。为了利用现代低压差分输入ADC处理 $\pm 10$  V工业电平信号，有必要使用衰减和电平转换级。

**AD8475**是一款全差分衰减(漏斗)放大器，集成精密增益电阻，提供0.4倍或0.8倍的精密衰减、共模电平转换和单端至差分转换，以及输入过压保护等功能。快速建立时间(0.001%建立时间为50 ns)以及低噪声性能( $10 \text{ nV}/\sqrt{\text{Hz}}$ )使得**AD8475**非常适合用来驱动采样速率最高为4 MSPS的18位差分输入ADC。

本电路选取了**AD7984**——一款18位PulSAR® ADC，对单通道进行采样时，该器件能以1.33 MSPS的速率提供18位分辨率。但是，顺序切换通道时，信号链上各种元件的建立时间限制了整体精度。例如，以250 kHz速率进行通道间切换时，具有16位性能。

## 时序分析

若图1中的电路工作在连续切换模式下，则所有16通道单端或8通道差分信号流将通过**ADG5208**和**ADG5236**组成的两级多路复用器合并为时分多路复用信号。多路复用后的信号可驱动缓冲器电路(**AD8065**)以及衰减和电平转换电路(**AD8475**)。**AD8475**的输出信号通过一个RC滤波器(2.2 nF、10  $\Omega$ )驱动差分输入ADC。

在通道间切换时，多路复用输入信号通常含有较大的电压阶跃。最差情况下，一个通道处于负满量程，而下一个通道则处于正满量程。因此，阶跃最大可以等于满量程输入信号，本例中是20 V。对于模拟信号链而言，在短时间内从如此大的阶跃信号电平建立至高精度存在很大的挑战。必须仔细检查电路的时序，确定不同采样速率下的建立时间以及信号链上的电路所要求的建立时间。

图2显示系统的基本时序图，我们的分析以此为基础。

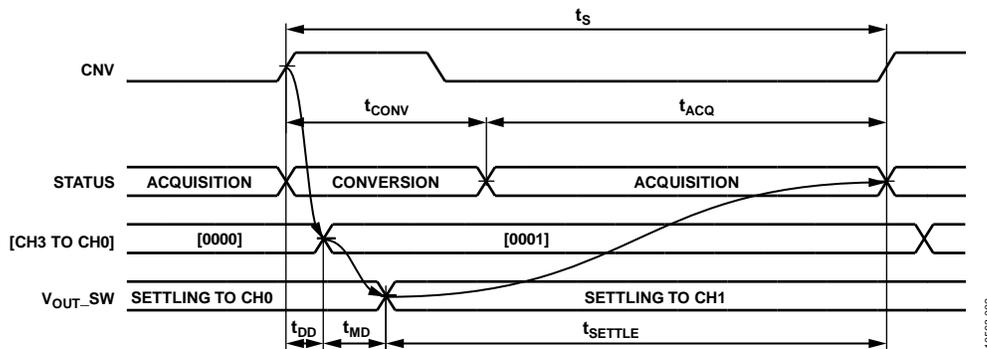


图2. 多通道数据采集电路时序

## 数字延迟

在图1所示的电路中，ADC和多路复用器均由数字控制器的CNV信号上升沿触发。此时，SAR ADC完成样本采集，转换周期开始。

理想情况下，信号链有一个建立到下一个通道的完整采样周期，但数字电路存在延迟，会降低可用建立时间。图2中， $t_{DD}$ 是信号通过NAND栅极的延迟加上计数器CLK至OUT的延迟。此数字延迟可在每个元件的数据手册中找到，总数值约为8 ns。

图2中显示为 $t_{MD}$ 的时间是信号通过两个多路复用器级的延迟，测量起点为数字输入的50%处，终点为模拟输出信号开始建立的地方。

由于ADG5208和ADG5236在此电路中同步切换，图2中标记为 $t_{MD}$ 的时间等于较慢的器件(即ADG5208)产生的延迟。

多路复用器的转换时间延迟在数据手册中很容易找到。然而，数据手册上的转换延迟等于50%数字输入到90%数字输出之间的延迟时间，如图3所示。

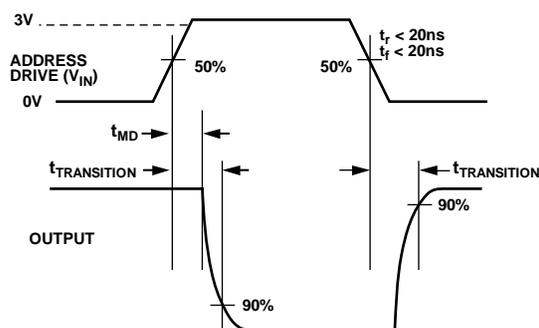


图3. ADG5208转换延迟测试电路

$t_{MD}$ 通过下式计算：

$$t_{MD} = t_{TRANSITION} - t_{SETTLE(90\%)} \quad (1)$$

采样速率为 $f_s$ 时，留给模拟信号链的最大建立时间可估算如下：

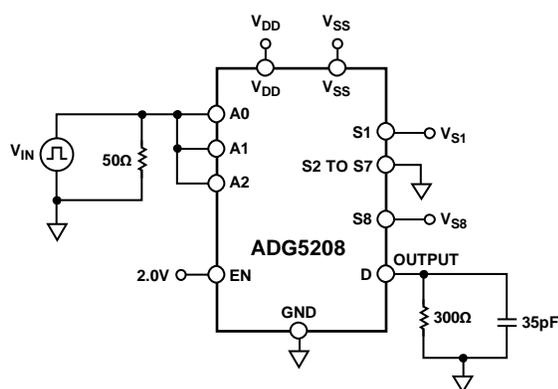
$$t_{SETTLE(fs)} = 1/f_s - t_{DD} - t_{MD} \quad (2)$$

估算多路复用器的建立时间时，一种很好的一阶近似方法是将处于导通状态的多路复用器看作具有时间常数 $R_{ON} \times C_D$ 的简单RC电路。

开关至误差百分比内的建立时间可计算如下。更多详情，请参见AN-1024应用笔记：[如何计算多路复用器的建立时间和采样速率](#)。

用于测量300  $\Omega$ ||35 pF负载条件下转换延迟的测试电路如图3所示。在此测试配置下，建立时间可从等式3估算得到。

$$t_{SETTLE} = -\ln\left(\frac{\%error}{100}\right) \left(\frac{R_{ON}R_L}{R_{ON} + R_L}\right) (C_D + C_L) \quad (3)$$



10563-003

对于ADG5208,  $R_{ON}$  为160  $\Omega$ ,  $C_D$  为52 pF。ADG5208的转换延迟为160 ns。因此, ADG5208的90%建立时间为:

$$t_{SETTLE(90\%)} = -\ln\left(\frac{10}{100}\right)(160 \parallel 300 \Omega)(52 \text{ pF} + 35 \text{ pF}) = 21 \text{ ns}$$

根据公式1,

$$t_{MD} = t_{TRANSITION} - t_{SETTLE(90\%)} = 160 \text{ ns} - 21 \text{ ns} = 139 \text{ ns}$$

由此可知, 在此ADG5208和ADG5236的电路配置下, 数字电路产生的总额外延时为:

$$t_{DD} + t_{MD} = 8 \text{ ns} + 139 \text{ ns} = 147 \text{ ns}$$

实际上, 这一由于数字控制电路产生的147 ns数字延迟以及多路复用器产生的一部分转换延迟可通过使转换信号的上升沿相对于多路复用器更新信号具有一定延迟而加以补偿, 延迟量等于 $t_{DD} + t_{MD}$ 。然而,  $t_{DD}$ 和 $t_{MD}$ 均为温度和电源电压的函数, 并且各器件的这种函数关系有所不同。必须为这种差异以及参数漂移留有足够的时间裕量。例如, 在这种147 ns的数字延迟配置下, 将多路复用器相对ADC转换信号提前100 ns至120 ns(该提前量以 $t_{AHEAD}$ 表示)会导致可用建立时间的同量增长。

优化后的时序如图4所示, 但为了简便起见并未用于实际电路中。

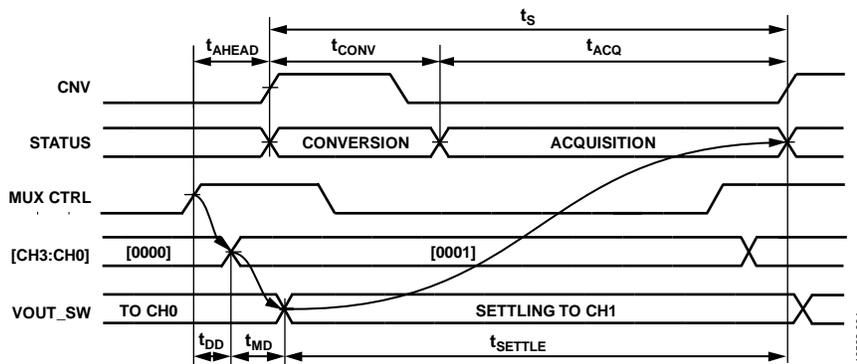


图4. 多通道数据采集电路的最佳时序

### 建立时间分析

若图1中的电路工作在连续切换模式下，则所有16通道单端或8通道差分信号流将通过由ADG5208和ADG5236组成的两级多路复用器合并为时分多路复用信号。然后，信号通过高阻抗、低电容输入的AD8065缓冲。

AD8065缓冲器的低阻抗输出驱动AD8475级，可衰减、进行电平转换并执行单端至差分转换。RC(10 Ω、2.2 nF)滤波器放置在AD7984 ADC的输入端，以便限制带外噪声并衰减来自ADC开关电容输入端的反冲噪声。滤波器的-3 dB带宽为7.2 MHz。(参见精密SAR模数转换器的前端放大器和RC滤波器设计，模拟对话，46-12，2012年12月)。

为了计算建立时间，电路可分为4个部分，如图5所示。

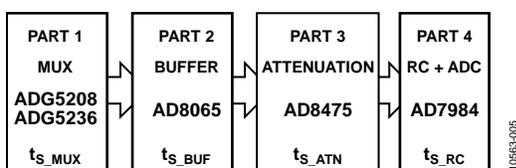


图5. 用于建立时间分析的子级框图

因此，总建立时间大致等于每一级建立时间的和方根(rss)。

$$t_{S\_ALL} = \sqrt{t_{S\_MUX}^2 + t_{S\_BUF}^2 + t_{S\_ATN}^2 + t_{S\_RC}^2}$$

采样速率为 $f_s$ 时，为了使建立时间在额定误差范围内，必须满足下列关系。

$$t_{S\_ALL} + t_{DD} + t_{MD} < 1/f_s$$

$$\text{Or, } f_s < 1/(t_{S\_ALL} + t_{DD} + t_{MD})$$

### 多路复用器级建立时间

CMOS开关的等效电路可以近似看作理想开关与电阻( $R_{ON}$ )串联连接，以及与两个电容( $C_S$ 、 $C_D$ )并联连接。随后，多路复用器级和相关的滤波器可以如图6所示建模。

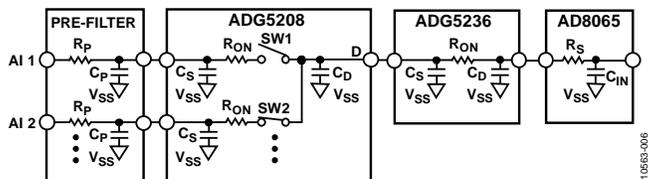


图6. 输入前置滤波器、多路复用器和AD8065输入端的一阶模型

注意，ADG5236模型未显示串联开关，因为它只在单端变为差分模式输入时才切换。

图1中未显示多路复用器前面的前置滤波器。该前置滤波器用于噪声抑制。此外，与保护二极管和TVS组合的 $R_p$ 电阻针对恶劣环境提供额外的瞬变和过压保护。保护元件参见CN-0269设计支持包中的完整电路原理图。

$R_S$ 是一个与AD8065的同相输入串联的1 kΩ电阻，而 $C_{IN}$ 是AD8065的输入电容。AD8065的输入阻抗等于1 GΩ||2.2 pF，1 GΩ电阻可忽略不计。

图6中的电路使用NI Multisim™进行仿真，如图7所示；其中，元件值如下：

- 前置放大器： $R_p = 300 \Omega$ ； $C_p = 120 \text{ pF}$ ；
- ADG5208： $R_{ON} = 160 \Omega$ ； $C_S = 5.5 \text{ pF}$ ； $C_D = 52 \text{ pF}$ ；
- ADG5236： $R_{ON} = 160 \Omega$ ； $C_S = 2.5 \text{ pF}$ ； $C_D = 12 \text{ pF}$ ；
- AD8065： $R_S = 1 \text{ k}\Omega$ ； $C_{IN} = 2.2 \text{ pF}$ 。

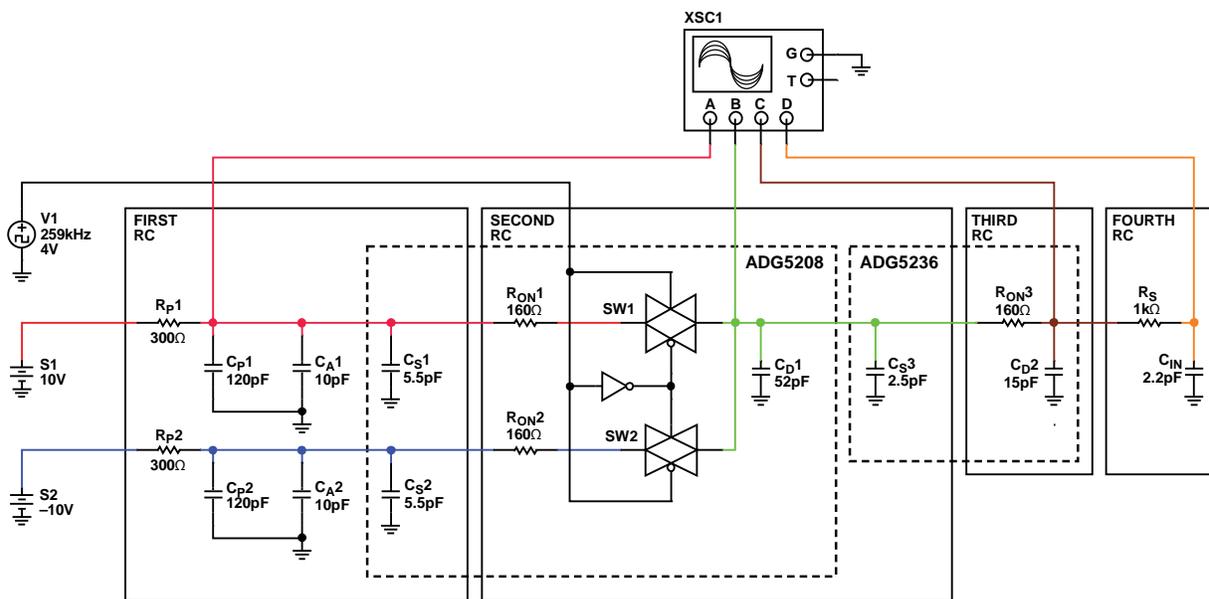


图7. 用于前置滤波器、多路复用器和AD8065输入的NI Multisim仿真电路

仿真结果如图8所示。从结果中可以看出，图7中的电路建立时间为：

$$t_{s\_MUX} = 10.1300 - 8.0011 = 2.129 \mu\text{s}$$

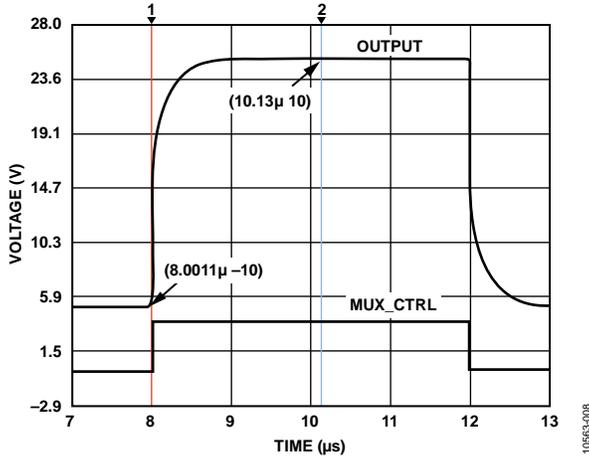


图8. 前置滤波器、多路复用器和AD8065输入的建立时间仿真

由于多路复用器的建立时间为2.1 μs，这将使每通道的最大吞吐速率限制为476 kSPS (1/2.1 μs)，哪怕多路复用器是信号链上的唯一一个元件。由于信号链上每一级的建立时间贡献以和方根(rss)方式相叠加，因此建立时间短于大约2.1 μs ÷ 3 = 700 ns的级对总建立时间的影响最小。

### AD8065缓冲器和AD8475衰减级的建立时间

放大器的建立时间是指输出响应输入的阶跃变化，然后进入并保持在规定误差带所需的时间，参照输入脉冲50%点测得，如下图9所示。

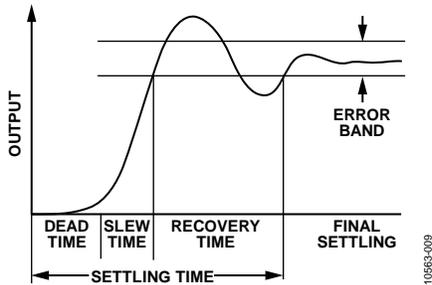


图9. 运算放大器的建立时间

误差带通常定义为阶跃的特定百分比，如0.1%、0.01%、0.001%等。如图9所示，死区时间、压摆时间和恢复时间共同组成总建立时间。

对于快速建立运算放大器(如AD8065)，死区时间仅是总建立时间的一小部分，通常可忽略。

运算放大器的建立时间是非线性的；相比建立到0.1%所需的时间，建立到0.01%所需的时间可能长达30倍之久。运

算放大器的热效应可能会导致运算放大器建立到0.01%所需的时间长达几百微秒，虽然建立到0.1%仅需不足100 ns。由于小幅振铃和/或长期热效应，某些具有0.1%建立时间额定值的运算放大器可能永远无法建立至0.01%或0.001%。

建立时间同样与运算放大器闭环增益和反馈网络以及补偿成函数关系。建立时间取决于输出电压阶跃幅度。较大的输出阶跃相比较小的阶跃通常具有更长的建立时间。

测量10 V或20 V输出阶跃的0.01%或0.001%建立时间是一项极为困难的任务，因为存在示波器过驱和灵敏度效应，另外产生建立至要求精度的输入脉冲也极为困难。

AD8065运算放大器的0.1%建立时间额定值为250 ns，阶跃为10 V输出，压摆率为180 V/μs。输出摆幅至10 V的压摆时间约为55 ns，而20 V输出阶跃的压摆时间约为110 ns。如需估算20 V阶跃的0.1%建立时间，可将额外的压摆时间与10 V阶跃的相应额定值相加，得到的结果大致为：250 ns + 55 ns = 305 ns。根据经验数据，对于20 V输出阶跃，假设0.01%建立时间大约为600 ns。

AD8475差分衰减放大器0.0001%建立时间额定值为50 ns，压摆率为50 V/μs，输出阶跃为2 V。在该电路中，输出等于8 V，因此假设建立时间与输出电压阶跃成正比，则8 V建立时间约为200 ns。

### 噪声滤波器和AD7984 ADC的建立时间

AD7984 ADC属于PulSAR®系列，基于电荷再分配数模转换器容性DAC构建。输出代码由两个阶段确认。第一个阶段是采集阶段。内部容性DAC切换至ADC输入引脚，以便采集信号。驱动ADC输入的外部支持电路必须要在采集阶段结束时建立至要求的电压。然后，ADC进入转换阶段，断开容性DAC的输入。然后，使用SAR转换算法在此阶段中执行转换。

由外部RC滤波器组成的等效模拟输入电路如图10所示。R<sub>EXT</sub>和C<sub>EXT</sub>是ADC前端的外部滤波器，在本电路中分别为10 Ω和2.2 nF。引脚电容(C<sub>PIN</sub>)为数pF，可以忽略，因为C<sub>EXT</sub>数值很大。R<sub>IN</sub>通常等于400 Ω，C<sub>IN</sub>通常等于30 pF。

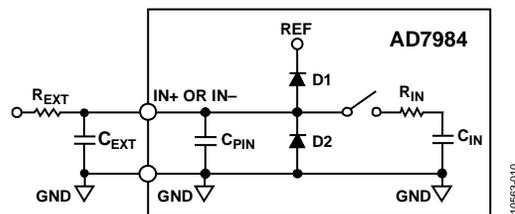


图10. AD7984输入等效电路

在转换阶段，开关打开， $R_{EXT}$ 和 $C_{EXT}$ 时间常数确定输入建立时间。

开关关闭且ADC进入采集阶段后，内部 $R_{IN}$ 和 $C_{IN}$ 并联连接，并与外部网络相连；此时，电荷瞬变可能会注入输入端。

在本电路中，由于AD8475的增益为0.4倍，且单端输入阶跃为20 V，输入AD7984的电压阶跃为4 V单端和8 V差分。

第一次施加阶跃电压后，AD8475处于转换模式，开关打开。 $R_{EXT}$ 和 $C_{EXT}$ 时间常数为22 ns，而12.48的时间常数为275 ns（建立至18位所需的时间见表1），当采样速率为1 MSPS时，该值低于500 ns的允许转换时间。

AD7984在500 ns间隔结束时进入采集模式，此时开关关闭。在该时刻，RC滤波器电压可以是正满量程， $C_{IN}$ 上的电压可以是负满量程；反之亦然。此时， $C_{IN}$ 上的电压建立时间与 $R_{EXT}$ 、 $C_{EXT}$ 、 $R_{IN}$ 和 $C_{IN}$ 成函数关系。

该电路的建立时间可通过Multisim仿真，如图11所示。SIN是Multisim的一个组件，称为PULSE\_VOLTAGE，提供4 V阶跃输入，具有50%占空比。图11中的另一个PULSE\_VOLTAGE为SW\_ADC。该PULSE\_VOLTAGE与理想开关A1共同控制SARADC的转换和采集周期。脉冲宽度为500 ns，等于AD7984的转换时间。5  $\mu$ s等于输入开关信号的半周期。SIN和SW\_ADC由同一个时钟相位控制。SIN切换后，在第一个500 ns期间打开A1开关。然后，关闭A1，允许容性DAC从外部RC滤波器采集输入信号。

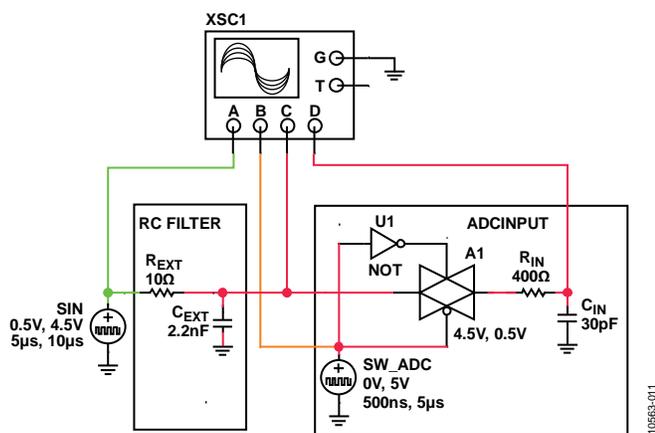


图11. AD7984前端的Multisim建立时间模型

仿真结果如图12所示。蓝色标签显示 $C_{IN}$ 上的电压以18位精度建立至4 V的时间为输入阶跃信号之后的469 ns。因此，AD7984前端的总建立时间 $t_{SRC}$ 为469 ns。

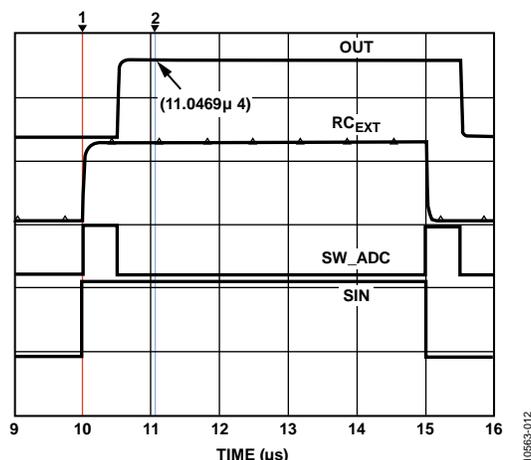


图12. AD7984前端仿真模型的建立时间波形

表1非常有用，它显示了针对简单RC网络，建立至给定精度所需的时间常数。

表1. 针对简单RC网络建立至给定精度所需的时间常数

分辨率, 位数	LSB(%FS)	时间常数数量 = $-\ln(\% \text{ 误差}/100)$
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

图1中整个电路的总建立时间可估算如下：

$$t_{S\_ALL} = \sqrt{t_{S\_MUX}^2 + t_{S\_BUF}^2 + t_{S\_ATN}^2 + t_{S\_RC}^2}$$

$$= \sqrt{2129^2 + 600^2 + 200^2 + 469^2} = 2270 \text{ ns}$$

因此，对于建立至18位，此电路的最大开关速率为：

$$f_s < 1/(2270 \text{ ns} + 147 \text{ ns}) = 414 \text{ kHz}$$

## 噪声分析

### AD8065缓冲器级的噪声

本电路中信号链的噪声源为电阻热噪声以及来自AD8065和AD8475的电压和电流噪声。两个开关的导通电阻很小，可忽略。

AD8065电路的简化噪声分析模型见图13。

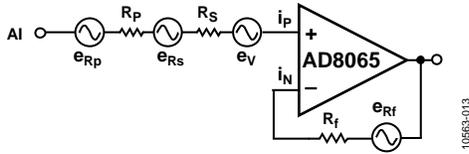


图13. AD8065噪声模型

图13所示噪声源必须乘以噪声增益(单位增益缓冲器为1), 从而转换为输出。

$$e_{AD8065\_RTO} =$$

$$\sqrt{e_{Rp}^2 + e_{Rs}^2 + e_{Rf}^2 + e_V^2 + (R_p + R_s)^2 i_p^2 + R_f^2 i_p^2}$$

电阻器的噪声可以从用下方程计算:

$$e_R = 4 \times \sqrt{\frac{R}{1000}} \text{ nV}/\sqrt{\text{Hz}} \text{ at } 25^\circ\text{C}$$

其中R是Ω。

$$e_{Rp} = 2.2 \text{ nV}/\sqrt{\text{Hz}}$$

$$e_{Rs} = e_{Rf} = 4 \text{ nV}/\sqrt{\text{Hz}}$$

$$e_V = 7 \text{ nV}/\sqrt{\text{Hz}}$$

$$i_p = i_n = 1 \text{ pA}/\sqrt{\text{Hz}}$$

$$e_{VAD8065} = 10 \text{ nV}/\sqrt{\text{Hz}}$$

### AD8475衰减级的噪声

$e_{AD8065\_RTO}$ 项表示来自电路输入端并输入AD8475级的噪声。此噪声乘以AD8475级的信号增益(0.4), 便可反映在AD8475的输出端, 如图14所示。

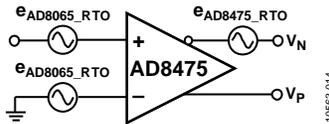


图14. AD8475噪声模型

AD8475输出电压噪声同样为10 nV/√Hz, 包括放大器电压和电流噪声, 以及内部电阻噪声。

ADC前端的整个信号链噪声密度为:

$$e_{TOTAL\_GAIN} = \sqrt{2 \times (GAIN_{AD8475} \times e_{AD8475\_RTO})^2 + e_{AD8475\_RTO}^2}$$

对于±10 V输入范围,  $GAIN_{AD8475} = 0.4$ 。

$$e_{TOTAL\_0.4} = 11.5 \text{ nV}/\sqrt{\text{Hz}}$$

为±5伏的输入范围, 则 $GAIN_{AD8475} = 0.8$ 。

$$e_{TOTAL\_0.8} = 15.1 \text{ nV}/\sqrt{\text{Hz}}$$

AD8475的总输出噪声施加于带宽为7.23 MHz的RC滤波器(10 Ω、2.2 nF)。AD8065带宽为145 MHz, AD8475带宽为150 MHz。AD7984 ADC的输入带宽为10 MHz, 因此AD7984的输入端噪声通过RC噪声滤波器限制为7.23 MHz。

AD8475以0.8增益设置工作时(噪声条件为最差情况), 到ADC的输入均方根噪声可计算如下:

$$V_{TOTAL\_RMS} = (15.1 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{1.57 \times 7.23 \text{ MHz}} = 51 \mu\text{V}$$

$$V_{TOTAL\_PP} = 6.6 \times 51 \mu\text{V} = 337 \mu\text{V}$$

对于基准电压为4.096 V的18位AD7984, 差分输入范围为8.196 V, LSB值等于31 μV。因此, 337 μV峰峰值噪声相当于11 LSB峰峰值。

### 多路复用器开关瞬变效应

多路复用器具有源极和漏极电容。多路复用器的漏极电容保持来自上一个输入通道的电压。多路复用器切换至下一通道时, 可能会在RON电阻两端产生瞬变或反冲毛刺。该瞬变会影响下一次转换。因此, 由于存在瞬变, 前置滤波器驱动器需要具有极低的输出阻抗和快速建立时间。

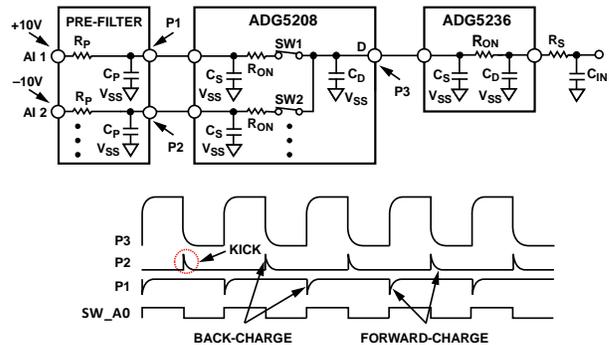


图15. 多路复用器开关瞬变

驱动器要求能在开关打开之前将输入充电至所需精度(正向充电)。开关打开后, 进行反向充电, 通常该过程很短, 并且不会产生什么问题。

EVAL-CN0269-SDPZ评估板在每个输入通道上为输入缓冲器预留了空间, 并在通道1至通道4上安装有AD8065器件。加入缓冲器会略微增加噪声密度和建立时间。为了使电路易于驱动, 可在多路复用器前端放置一个缓冲器(前置缓冲器) 然而, 在实际应用中, 由于在不使用缓冲器的情况下进行正向和反向充电, 来自输入电缆或端子连接器的寄生电感和电容将极大地增加建立时间, 并产生振铃。额外的输入缓冲器会隔离寄生效应, 为多路复用器提供极低的阻抗。使用与不使用输入缓冲器的电路性能差异可参见本电路笔记的测试部分。

使用输入缓冲器的另一个原因是, 可在它前面放置一个额外的滤波器, 用来抗混叠和抑制噪声。

## 测试结果直方图

图16显示10,000个样本的测试结果直方图。测试时，将16路单端通道短接在一起，并与PCB的GND相连。注意，峰峰值噪声约为12 LSB，包括输入缓冲器。

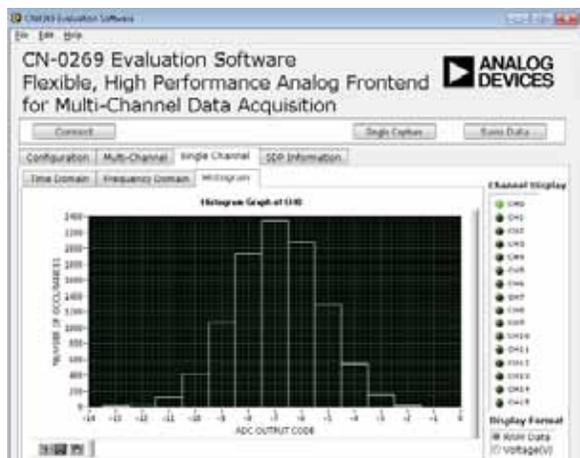


图16. 0 V输入下的直流直方图(采样速率: 1 MSPS, 样本数: 10,000)

## 交流测试结果

在系统级执行交流性能测试，AD7984采样速率为300 kSPS，由1051 B&K型正弦发生器提供2.5 V峰峰值、10.675 kHz的输入正弦波信号。电路在通道4上连续采样，不包括输入缓冲器的效应。FFT显示SNR = 91.33 dBFS。

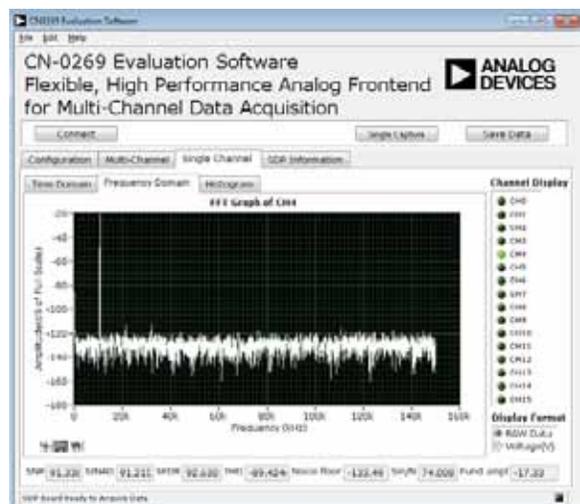


图17. Kaiser窗口(参数 = 20)、2.5 V p-p、10.675 kHz输入、300 kSPS采样速率下通道4的FFT(无输入缓冲器)

## 开关速度和建立时间测试结果

下图显示建立时间性能。实验室测试设置如图18所示。

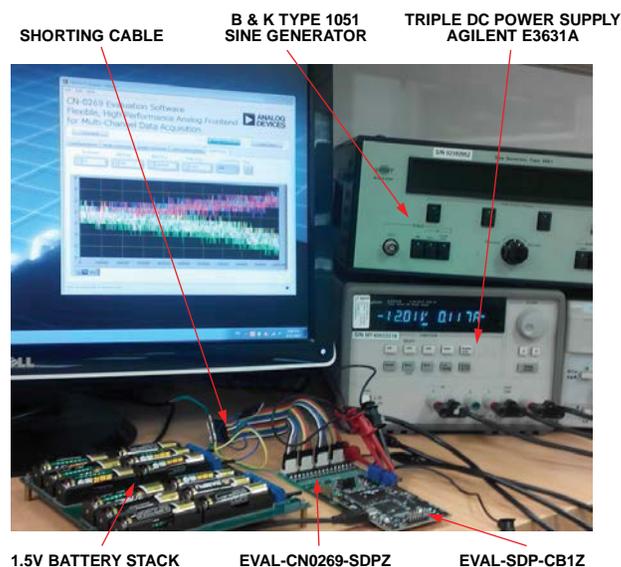


图18. 开关速度和建立时间的实验室测试设置

CN-0269评估板配置为16通道单端输入模式，8个奇数通道短接在一起，8个偶数通道短接在一起。

一组电池用于产生不同的直流输入电压，实现低噪声和低阻抗性能。

奇数和偶数通道连接至不同的电压。LabVIEW™软件控制EVAL-SDP-CB1Z通道间参数，并在输入通道间连续切换。开关速率范围为100 Hz至1 MHz，以1 kHz为增量。每种开关速率下获取10个样本，并对结果求均值。开关速率最低的平均值用作参照点。对10个样本和参照值求差值，即可计算每种开关速率下的误差。测试结果如图19和图23所示。

图中，2 LSB误差对应于17位建立时间，而4 LSB误差对应于16位建立时间。

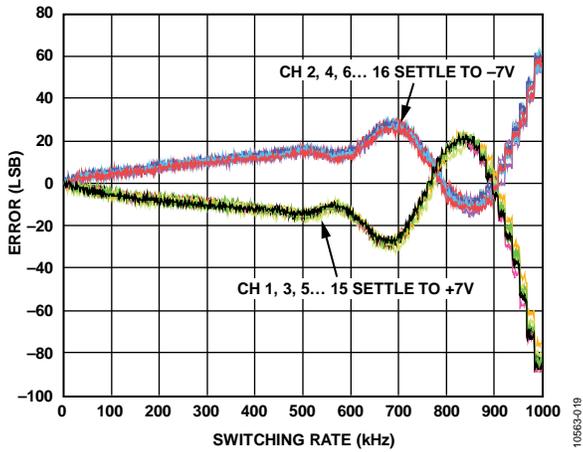


图19. 16通道单端、14 V阶跃下的误差与开关速率的关系 (无前置缓冲器)

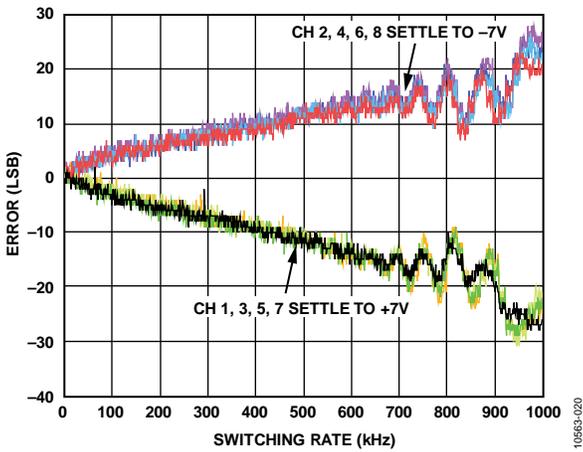


图20. 8通道差分模式、14 V阶跃下的误差与开关速率的关系 (无输入缓冲器)

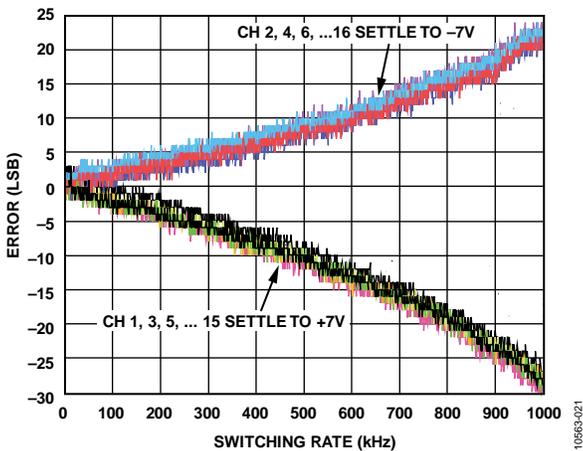


图21. 16通道单端模式、14 V阶跃下的误差与开关速率的关系 (无输入缓冲器)

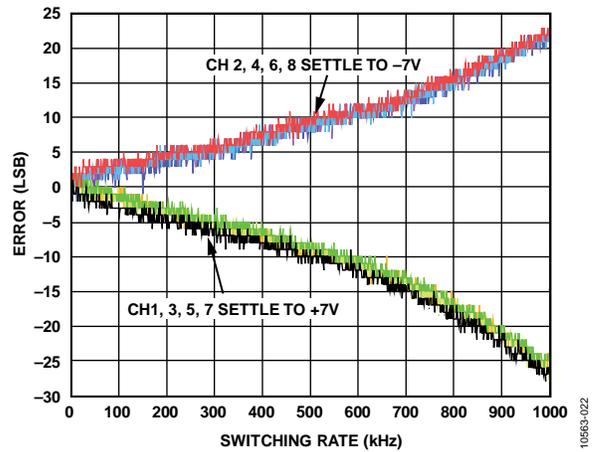


图22. 8通道差分模式、14 V阶跃下的误差与开关速率的关系 (有前置缓冲器)

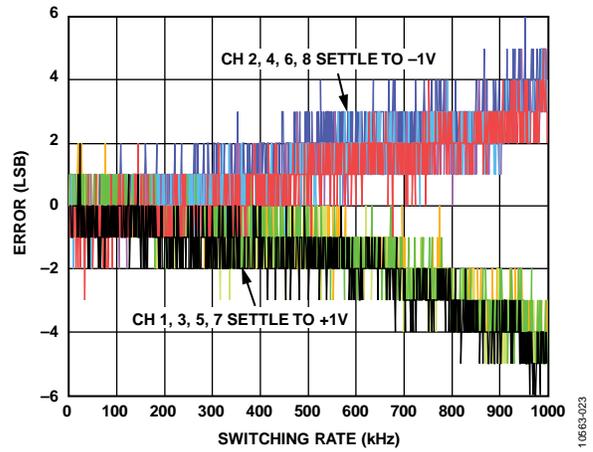


图23. 8通道差分模式、2 V阶跃下的误差与开关速率的关系 (有输入缓冲器)

如上图所示，可以看出，在低于1 MHz的开关速率下，带有输入缓冲器的电路比不带前置缓冲器的电路具有更佳的建立时间性能。

图21、图22和图23显示连接输入缓冲器后，电路以高于250 kHz的通道间开关速率建立至16位的情况。

## 常见变化

18位AD7984采用10引脚MSOP或10引脚QFN (LFCSP)封装。有很多其他的PulSAR ADC产品也采用这种封装，分辨率为14/16/18位，并提供各种采样速率。

缓冲放大器的另一种选择是AD8021。如果需要可编程增益，则AD8250、AD8251和AD8253的0.001%建立时间为685 ns。如果要求具有更低的电容，则可以使用ADG12xx系列多路复用器。

## 电路评估与测试

本电路使用EVAL-CN0269-SDPZ电路板和EVAL-SDP-CB1Z SDP-B系统演示平台控制器板。这两片板具有120引脚的对接连接器，可以快速完成设置并评估电路性能。EVAL-CN0269-SDPZ板包含要评估的电路，如本笔记所述。SDP-B控制器板与CN-0269评估软件一起使用，可从EVAL-CN0269-SDPZ电路板获取数据。

## 设备要求

需要以下设备：

- 带USB端口的Windows® XP(32位)、Windows Vista®或Windows 7 PC
- EVAL-CN0269-SDPZ电路板
- EVAL-SDP-CB1Z SDP-B控制器板
- CN-0269 SDP评估软件
- 6 V直流(500 mA)、±12 V(300 mA)电源
- 低失真信号发生器，提供±10 V输出，频率为直流至1 MHz

## 开始使用

将CN-0269评估软件光盘放进PC的光盘驱动器，加载评估软件。打开我的电脑，找到包含评估软件的驱动器。

## 功能框图

电路框图见图1，完整的电路原理图见EVAL-CN0269-SDPZ-SCH-RevX.pdf文件。此文件位于CN-0269设计支持包中：图24显示测试设置的功能框图。

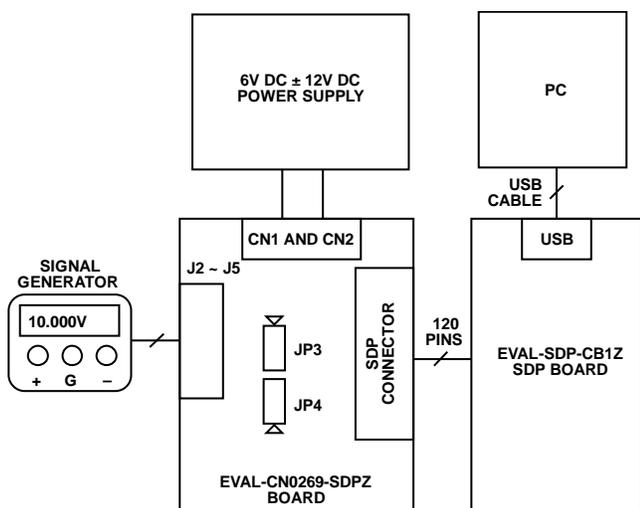


图24. 测试设置框图

## 设置

将EVAL-CN0269-SDPZ电路板上的120引脚连接器连接到EVAL-SDP-CB1Z控制器板(SDP-B)上的CON A连接器。使用尼龙五金配件，通过120引脚连接器两端的孔牢牢固定这

两片板。在断电情况下，将一个6 V和±12 V直流电源连接到板上标有+6 V、±12 V和GND的引脚CN1、CN2。如果有6 V壁式电源适配器，可将其连接到板上的管式连接器，代替6 V电源。SDP-B板附带的USB电缆连接到PC上的USB端口。此时请勿将该USB电缆连接到SDP-B板上的微型USB连接器。同时接通6 V和±12 V电源，然后将USB电缆连接到微型USB连接器。

## 测试

开启6 V和±12 V电源后，启动评估软件程序。一旦建立USB通信，就可以使用SDP-B板来发送、接收、捕捉来自EVAL-CN0269-SDPZ板的串行数据，并在时域和频域下进行数据分析，以便评估整个电路的性能。

图25显示EVAL-CN0269-SDPZ评估板连接后的照片。有关SDP-B板的信息，请参阅SDP-B用户指南。

有关测试设置、校准以及如何使用评估软件来捕捉数据的详细信息，请参阅CN-0269软件用户指南：



图25. EVAL-CN0269-SDPZ评估板

## 针对原型开发的连接

EVAL-CN0269-SDPZ评估板设计为通过SPORT端口，与基于Black-Fin DSP的EVAL-SDP-CB1Z SDP-B板共同评估；但是，任何微处理器都可通过14引脚PMOD连接器连接AD7984的串行端口。为使另一个控制器能与EVAL-CN0269-SDPZ评估板一同使用，第三方必须开发相应的软件。

目前已有一些转接板能实现与Altera或Xilinx现场可编程门阵列(FPGAs)的接口。利用Nios驱动器，Altera的BeMicro SDK板能配合BeMicro SDK/SDP转接板一同使用。任何集成FMC连接器的Xilinx评估板均可与FMC-SDP转接板一同使用。

## 了解详情

CN-0269 Design Support Package:

<http://www.analog.com/CN0269-DesignSupport>

UG-277 User Guide, *SDP-B User Guide*, Analog Devices.

Alan, Walsh. *Front-End Amplifier and RC Filter Design for a Precision SAR Analog-to-Digital Converter*, Analog Dialogue 46-12, December 2012.

Ardizzone, John. *A Practical Guide to High-Speed Printed-Circuit-Board Layout*, Analog Dialogue 39-09, September 2005.

Kester, Walt, *Data Conversion Handbook*, Chapter 8, Section 8.2, *Multichannel Data Acquisition Systems*, Elsevier.

Manning, Michael. *Switch and Multiplexer Design Considerations for Hostile Environments*, Ask the Applications Engineer-40, Analog Dialogue, Volume 45, May 2011.

AN-359 Application Note, *Settling time of Operational Amplifiers*, Analog Devices.

AN-931, Application Note, *Understanding PulSAR ADC Support Circuitry*, Analog Devices.

AN-1024 Application Note, *How to Calculate the Settling Time and Sampling Rate of a Multiplexer*, Analog Devices.

MT-004 Tutorial, *The Good, the Bad, and the Ugly Aspects of ADC Input Noise—Is No Noise Good Noise?* Analog Devices.

MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”*, Analog Devices.

MT-035, *Op Amp Inputs, Outputs, Single-Supply, and Rail-to-Rail Issues*, Analog Devices.

MT-046 Tutorial, *Op Amp Settling Time*, Analog Devices.

MT-048 Tutorial, *Op Amp Noise Relationships: 1/f Noise, RMS Noise, and Equivalent Noise Bandwidth*, Analog Devices.

MT-074 Tutorial, *Differential Drivers for Precision ADCs*, Analog Devices.

MT-088 Tutorial, *Analog Switches and Multiplexers*, Analog Devices.

MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.

## 数据手册和评估板

CN-0269 Circuit Evaluation Board (EVAL-CN0269-SDPZ)

System Demonstration Platform (EVAL-SDP-CB1Z)

AD8065 Data Sheet

AD8475 Data Sheet

ADG5208 Data Sheet

ADG5236 Data Sheet

AD7984 Data Sheet

ADR444 Data Sheet

## 修订历史

2013年11月—修订版0：初始版

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab circuits are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.

©2013 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.  
CN10563sc-0-11/13(0)

