

Circuits from the Lab™
Reference Circuits

Circuits from the Lab™ reference circuits are engineered and tested for quick and easy system integration to help solve today's analog, mixed-signal, and RF design challenges. For more information and/or support, visit www.analog.com/CN0232.

连接/参考器件

ADF4350	ADF4350集成VCO的小数N分频PLL频率合成器
ADF4153	ADF4153小数N分频PLL频率合成器

将集成VCO和外部PLL电路的频率合成器杂散输出降至最低

评估和设计支持

电路评估板

[ADF4350评估板\(EVAL-ADF4350EBZ2\)](#)

[ADF4153评估板\(EVAL-ADF4153EBZ1\)](#)

设计和集成文件

[原理图、布局文件、物料清单](#)

电路功能与优势

图1所示电路使用带集成式VCO和外部的ADF4153频率合成器，通过隔离PLL频率合成器电路与VCO电路将杂散输出降至最低。

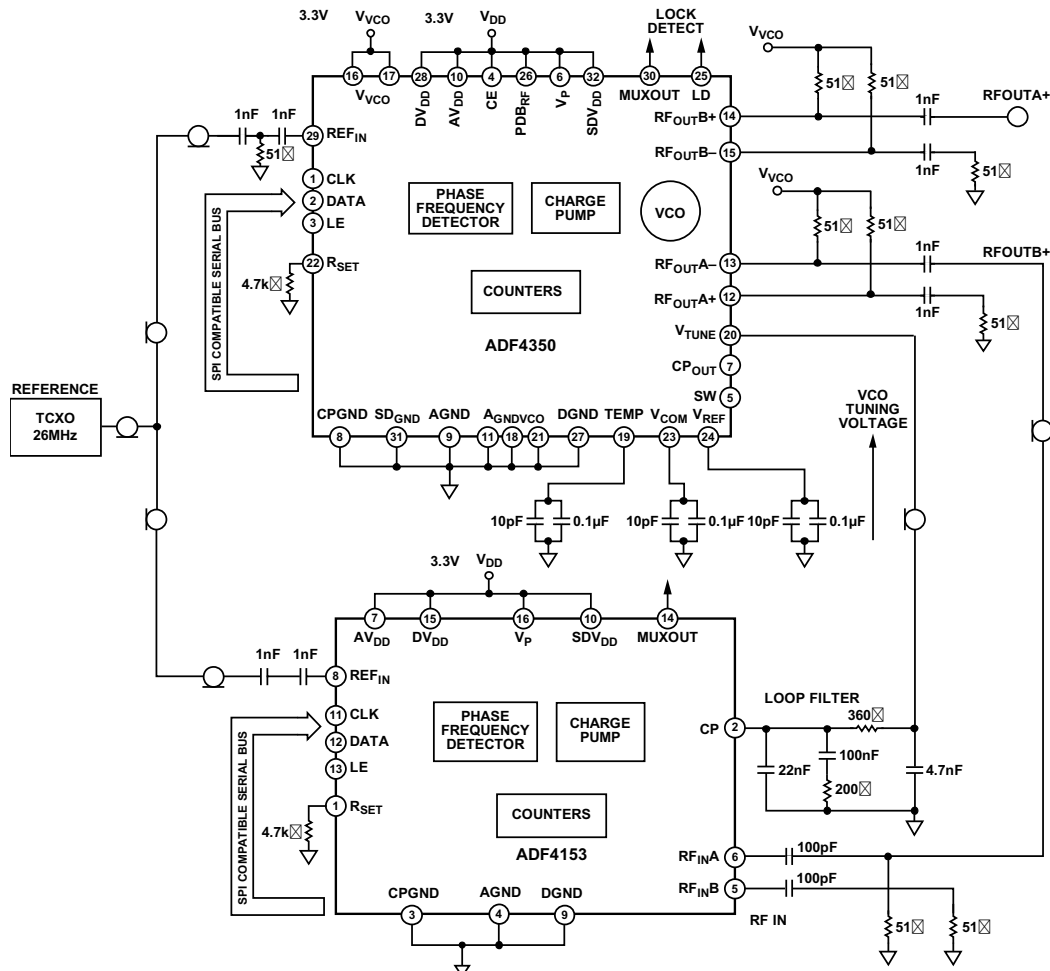


图1. ADF4153 PLL与ADF4350相连(原理示意图, 所有连接和去耦均未显示)

Rev. 0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2012 Analog Devices, Inc. All rights reserved.

集成PLL和VCO的器件可从数字PLL电路馈通至VCO，由于PLL电路靠近VCO，会导致较高的杂散电平。

图1所示电路使用完全集成的小数N分频PLL和VCO [ADF4350](#)，配合[ADF4153](#) PLL使用时，它可产生137.5 MHz至4400 MHz范围内的频率。

除了杂散性能改进外，使用外部PLL的另一潜在优势是可以增加频率分辨率。例如，如果选择[ADF4157](#) PLL取代[ADF4153](#)，PLL的频率分辨率可精细至0.7 Hz。

电路描述

[ADF4350](#)是一款宽带PLL和VCO，由三个独立的多频段VCO组成。每个VCO涵盖约700 MHz的范围(VCO频率之间有部分重叠)。这样可提供2.2 GHz至4.4 GHz的基本VCO频率范围。低于2.2 GHz的频率可使用[ADF4350](#)的内部分频器生成。

对于大多数应用，[ADF4350](#)的内部PLL用于锁定VCO。除了锁定PLL，PLL电路的另一重要功能是VCO频段选择，即使用内部PLL的内部参考(R)和反馈(N)计数器比较VCO输出和参考输入。要完成频率生成，必须使能内部PLL，且必须设置所需频率。一旦频段选择已经耗去足够的时间，内部PLL可禁用，最后，可使能外部PLL。外部PLL比较参

考频率与VCO输出频率以产生稳定的直流电压，用以锁定PLL。

图2显示了使用[ADF4350](#)内部PLL和VCO在 $RF_{OUT}A+$ 上测得的输出频率杂散，[ADF4153](#) PLL禁用。请注意，13 MHz和26 MHz时存在PFD杂散。

图3显示了[ADF4350](#)内部PLL电路禁用、外部[ADF4153](#) PLL有效时，在 $RF_{OUT}A+$ 上测得的输出杂散。在此模式下，[ADF4153](#)的电荷泵输出驱动环路滤波器，后者又驱动[ADF4350](#)的 V_{TUNE} 输入。 V_{TUNE} 输入控制[ADF4350](#) VCO输出频率。

比较图2和图3可发现，在图2中由于鉴频鉴相器(PFD)频率(13 MHz和26 MHz时)产生的杂散在图3中消失在噪底中。

常见变化

可以选择不同的PLL。[ADF4350](#)和[ADF4153](#)内的小数N分频PLL具有PFD/4095的最低频率分辨率。如果需要更精细的分辨率，可以选择[ADF4157](#)。PLL的分辨率为PFD/2²⁵，从而提供<1 Hz的超精细分辨率。

对于需要更简单的软件编程能力的应用，[ADF4150](#) PLL与[ADF4350](#)软件兼容，简化了软件编程序列。

R&S FSUP SIGNAL SOURCE ANALYZER

SETTINGS	RESIDUAL NOISE (T1 WITHOUT SPURS)	SPUR LIST
SIGNAL FREQUENCY: 1.6000GHz	INT PHN (1.0k .. 30.0M): -49.1dBc	1.000MHz -83.82dBc
SIGNAL LEVEL: 5.44dBm	RESIDUAL PM: 0.285°	2.001MHz -99.68dBc
CROSS CORR MODE: HARMONIC 1	RESIDUAL FM: 3.24kHz	3.000MHz -89.92dBc
INTERNAL REF TUNED: INTERNAL PHASE DET	RMS JITTER: 0.4946ps	13.000MHz -94.70dBc

PHASE NOISE (dBc/Hz)	MARKER 1 (T1)	MARKER 2 (T1)	MARKER 3 (T1)	MARKER 4 (T1)
RF ATTEN: 5dB	1kHz	10.98633kHz	13.00011MHz	26.00002MHz
TOP -70dBc/Hz	-91.84dBc/Hz	-93.42dBc/Hz	-94.7dBc	-87.89dBc

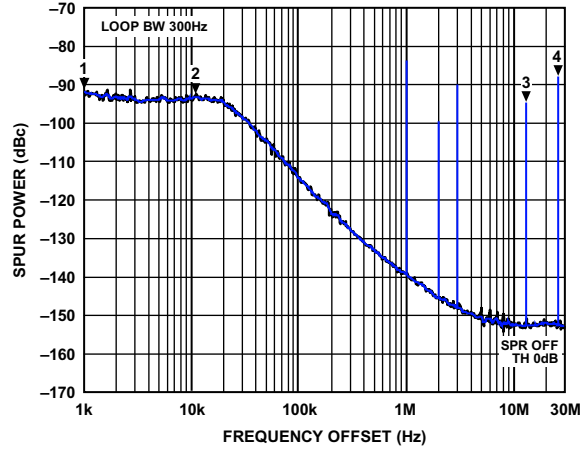


图2. ADF4350在1.6 GHz时的PFD杂散

10125-002

R&S FSUP SIGNAL SOURCE ANALYZER

SETTINGS	RESIDUAL NOISE (T1 WITHOUT SPURS)	SPUR LIST
SIGNAL FREQUENCY: 1.6000GHz	INT PHN (1.0k .. 30.0M): -53.3dBc	1000.0kHz -90.44dBc
SIGNAL LEVEL: 1.71dBm	RESIDUAL PM: 0.174°	2.000MHz -85.60dBc
CROSS CORR MODE: HARMONIC 1	RESIDUAL FM: 1.846kHz	3.000MHz -96.36dBc
INTERNAL REF TUNED: INTERNAL PHASE DET	RMS JITTER: 0.3025ps	4.000MHz -99.28dBc

PHASE NOISE (dBc/Hz)	MARKER 1 (T1)	MARKER 2 (T1)	MARKER 3 (T1)	MARKER 4 (T1)
RF ATTEN: 5dB	1kHz	1kHz	100kHz	1MHz
TOP -70dBc/Hz	-101.23dBc/Hz	-101.23dBc/Hz	-120.62dBc	-144.68dBc

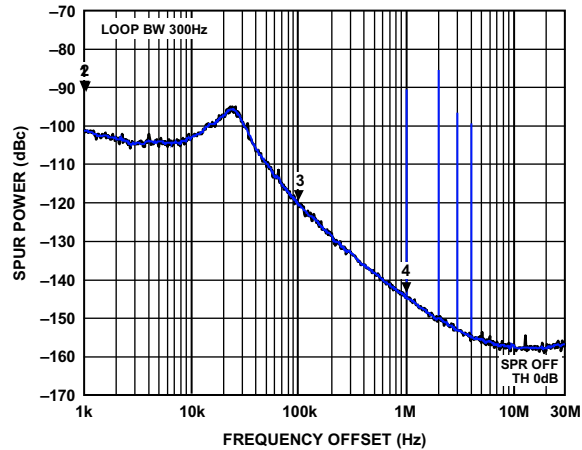


图3. 使用ADF4153 PLL时, ADF4350在1.6 GHz时的PFD杂散

10125-003

电路评估与测试

CN-0232使用EVAL-ADF4350EB2Z板来评估所述电路，仅略作修改以加快设置和评估。EVAL-ADF4350EB2Z板使用标准ADF4350编程软件，该软件包含在评估板附带的光盘上。EVAL-ADF4153EBZ1评估板自带用于ADF4153 PLL的软件。

设备要求

- 带编程软件的EVAL-ADF4350EB2Z。
- 带编程软件的EVAL-ADF4153EBZ1。
- 5.5 V电源。
- R&S SMA100A信号发生器或等效器件。
- R&S FSUP26频谱分析仪或等效器件。
- 两台运行Windows® XP、Windows Vista(32位)或Windows 7(32位)的PC，一台带USB端口，另一台带打印机端口。如果两种端口都没有，可使用EVAL-ADF4xxxX-USB USB适配器套件代替打印机端口。

需要SMA同轴电缆将EVAL-ADF4350EB2Z的RFOUTB+连接至EVAL-ADF4153EBZ1的REFIN。另外需要简单的SMA分路器，以便在两个电路板之间共享基准电压源。需要某种柔性微型同轴电缆将ADF4153环路滤波器的输出连接到ADF4350 V_{TUNE} 输入。为了将无用干扰降至最低，电缆两端必须接地至各电路板上的适当GND点。

功能框图

本实验中使用EVAL-ADF4153EBZ1和EVAL-ADF4350EB2Z。选择EVAL-ADF4350EB2Z是因为它含有辅助RFOUTB+输出级，该级通过SMA电缆连接到EVAL-ADF4153EBZ1，如图4所示。

两个PLL使用相同的基准输入(REFIN)频率；因此SMA分路器将相同REFIN连接到两个电路板。

EVAL-ADF4153EBZ1上的环路滤波器输出通过屏蔽同轴电缆连接到ADF4350的 V_{TUNE} 引脚，以确保引脚上无额外噪声或杂散。两个器件是单独编程的。可能需要为每个电路板使用不同PC，以确保硬件驱动器之间不发生冲突。

开始使用

UG-110用户指南详细说明了EVAL-ADF4350EB2Z评估软件的安装和使用。UG-110还包含电路板设置说明和电路板原理图、布局和物料清单。

UG-167用户指南包含关于EVAL-ADF4153EBZ1的类似信息。电路板上必要的修改是去除了VCO (Y1)。为了将该电路板重新配置为输入，去除了R7电阻，并将R8和R9改变为 $0\ \Omega$ 。

ADF4350板上的PLL环路滤波器未被使用，应予去除。此时，微型同轴电缆可用于将ADF4153环路滤波器(T7)的输出连接到ADF4350 (T4)的 V_{TUNE} 引脚。此电缆的外屏蔽体必须连接到两个电路板上的接地点。

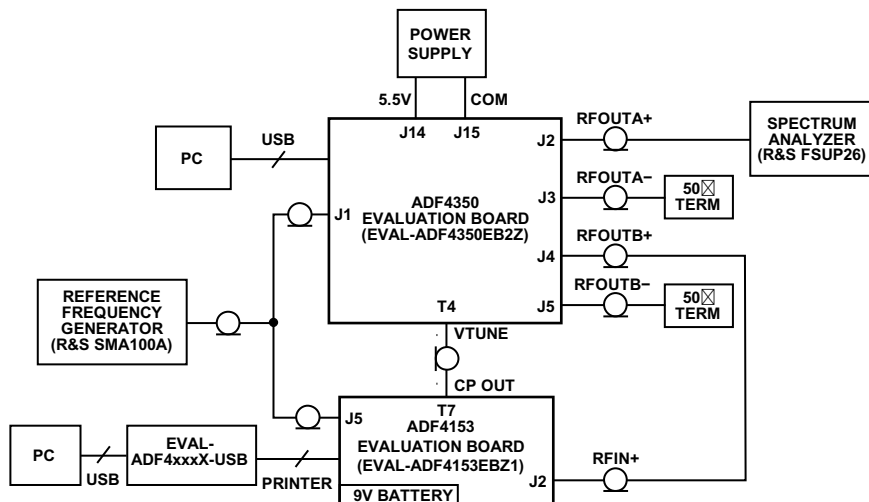


图4. 测试设置功能框图

10125-004

初始化程序

ADF4350必须为每个新频率执行频段选择。

1. 正常初始化ADF4350(设置R5、R4、R3、R2、R1、R0)，但DB4、R2设置为1(I_{CP} 三态使能)，因为ADF4350电荷泵未被使用。将DB9、R4设置为0，以实现RFOUTB+上的分频VCO输出。使能RFOUTB+(辅助输出)。此信号经同轴电缆馈入ADF4153。
2. 初始化ADF4153(根据数据手册)，以接受VCO输出频率作为RF输入频率。请注意，频段选择开关位于内部；因此不需要外部开关来去除PLL V_{TUNE} 。
3. ADF4153实现锁定时，必须将ADF4350计数器复位到1 (DB3、R2)。不激活计数器复位会降低杂散性能。此外，所有ADF4350频率合成器模块可使用测试模式位(DB10、R5)关断。

频率更新

1. 将DB10、R5设置为0以重新激活ADF4350频率合成器模块。
2. 将ADF4350的DB3、R2设置为0以取消计数器复位，因为频段选择需要这些计数器。
3. 根据需要为新频率设置ADF4350和ADF4153 N计数器寄存器。
4. ADF4153实现锁定时，可激活ADF4350计数器复位 (DB3、R2)。此外，所有频率合成器模块可使用测试模式位(DB10、R5)关断。
5. 视需要为新频率重复第1至第4步。

图5和图6中显示的软件屏幕截图显示了26 MHz REF_{IN} (ADF4350)和13 MHz PFD (ADF4153)的软件窗口。

设置设备后，使用标准RF测试方法测量输出信号的频谱纯度。

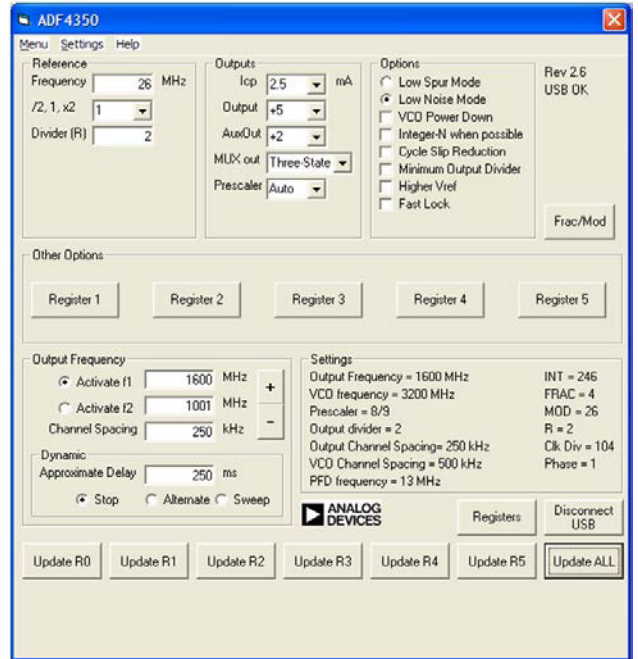


图5. ADF4350软件窗口

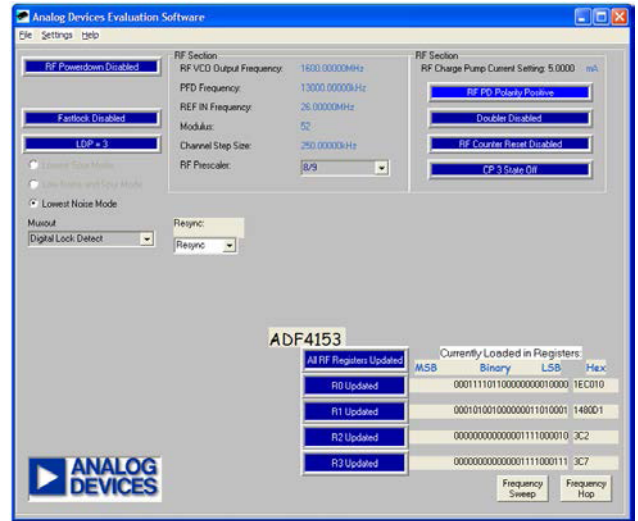


图6. ADF4153软件窗口

CN-0232

了解详情

CN0232 Design Support Package:

<http://www.analog.com/CN0232-DesignSupport>

[UG-110, User Guide for the EVAL-ADF4350EB2Z board](#)

[UG-167, User Guide for the EVAL-ADF4153EBZ1 board](#)

[MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”*, Analog Devices.](#)

[MT-086 Tutorial, Fundamentals of Phase Locked Loops \(PLLs\), Analog Devices.](#)

[MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.](#)

[ADIsimPLL Design Tool](#)

数据手册和评估板

[ADF4350 Evaluation Board \(EVAL-ADF4350EB2Z\)](#)

[ADF4153 Evaluation Board \(EVAL-ADF4153EBZ1\)](#)

[ADF4153 Data Sheet](#)

[ADF4350 Data Sheet](#)

修订历史

2012年4月—修订版0：初始版

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab circuits are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.

©2012 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN10125sc-0-4/12(0)

