

ADA2200 を時間領域 フィルタとして使用

著者 : Gustavo Castro
アナログ・デバイセス

内容

このミニ・チュートリアルでは、ADA2200 をプログラマブル・フィルタとして使用した場合の動作の概要を説明します。

はじめに

ADA2200 は非常に柔軟なデバイスで、同期復調機能をオフにすることにより、プログラマブル・フィルタとして使用することができます。パワーアップ/リセット時に SPI ポートまたは EEPROM を介して 23 個の異なるレジスタへ書き込みを行うことにより、図 1 に示すプログラマブル・フィルタ・ブロックで、ローパス、バンドパス、ハイパス、バンドストップなどのさまざまなフィルタ形態を実装することができます。さらに、CLKIN に供給するクロックのレートを変えるか、クロック分周器の値を変更することにより、コーナー周波数または中心周波数の位置を調整することができます。

このフィルタは、デシメーション・フィルタとプログラマブル・フィルタという 2 つの部分から構成されています。デシメーション・フィルタの伝達関数は固定で、これによってプログラマブル・ブロックにエイリアシングが生じることを防ぎます。プログラマブル・フィルタは無限インパルス応答 (IIR) フィルタで、デシメーション・フィルタの出力を入力サンプリング・レートの 1/8 でサンプリングし、その出力を同じレートで更新します。SYNCO 端子は、出力が変わるごとに同期パルスを生成します。この端子は、A/D コンバータ (ADC) などの他の離散時間型デバイスにおいて、フィルタされた信号を同期的に再構成 (AD サンプリング位置の同期) するために使用できます。(注: ADA2200 の信号入出力は、デジタル・フィルタ処理されますがすべてアナログ信号です)

ADA2200 内のフィルタは、明確に定義された一連のコンデンサ・アレイによって決定されるため、伝達関数特性は再現性が高く、フィルタ動作位置を入力クロックによって操作できる上、動作時の消費電力もきわめて少なくなっています。

このチュートリアルの目的は、ADA2200 のプログラマブル・フィルタとしての動作の概要と、表 1 に示すフィルタを定義するためのレジスタ内容を示すことにあります。

表 1.

Filter Type	Order, Q	Corner/Center Frequency (Hz) ¹	Pass-Band Gain (dB)
Band-Pass (BP1)	2nd, Q = 8.4	f _{SI} /32	0
Band-Pass (BP2)	2nd, Q = 4.3	f _{SI} /32	0
Low-Pass (LP1)	4th	f _{SI} /40	0
Low-Pass (LP2)	4th	f _{SI} /64	0
Notch	1st	f _{SI} /32	0

¹ たとえば、f_{SI} = f_{CLK} = 500 kHz の場合、コーナー周波数は f_{SI}/32 = 15.625 kHz です。

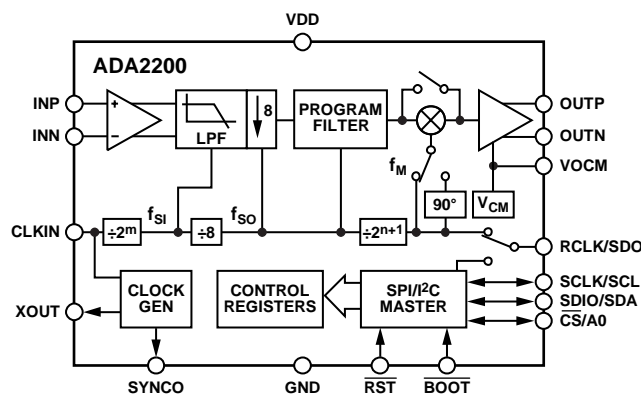


図 1. ADA2200 の簡略ブロック図

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2015 Analog Devices, Inc. All rights reserved.

デシメーション・フィルタ

デシメーション・フィルタは入力からのエイリアシングを防ぎ、入力のアンチエイリアシング・フィルタへの要求を緩和します。図2に示すように、デシメーション・フィルタがないと、ナイキスト周波数 ($f_{so}/2$) より上のすべてのイメージがエイリアスとしてパスバンドに入り込みます。たとえば、周波数 f の入力信号の出力は周波数 $f + f_{so}$ の入力信号の出力と同じになり、単純に出力を見ただけでは両者を区別することができなくなります。

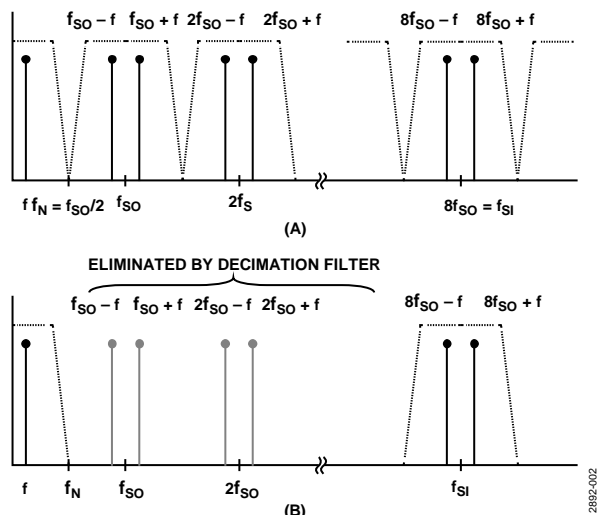


図2. デシメーション・フィルタによるエイリアシング除去

デシメーション・フィルタは、 $f_{so}/2$ より上と $f_{si} - f_{so}/2$ より下のすべてのイメージを除去します。しかし大きな信号がこの高周波帯に存在することが予想される場合は、ADA2200 への入力前にアンチエイリアシング・フィルタを追加しなければならないことがあります。入力前段の周波数成分が限られている場合は、簡単なRC回路を使用して、さらにエイリアシング除去機能を追加することができます。

デシメーション・フィルタの伝達関数を図3に示します。この図から分かるように、信号周波数が $f_{so}/4$ (ナイキストの1/2) を超えると減衰が大きくなり、直線的な位相シフトが生じます。プログラマブル・フィルタの設計においては、このロールオフと位相シフトを考慮する必要があります。

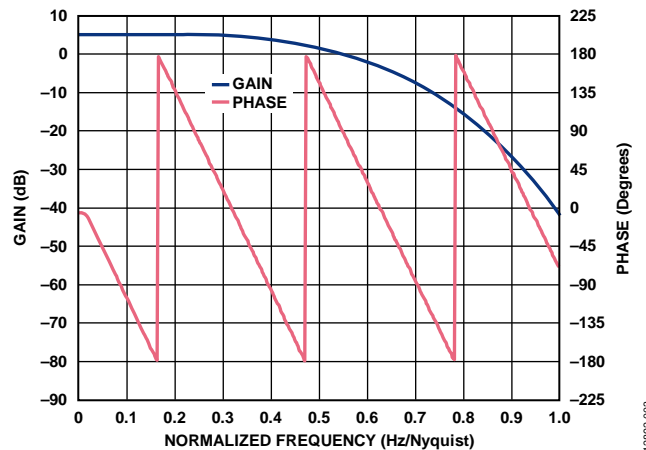


図3. デシメーション・フィルタの伝達関数

デシメーション・フィルタの無効化

デシメーション・フィルタは無効(Disable)にできますが、無効にしてもデシメーション動作が行われなくなることはありません。デシメーション・フィルタを無効にしても同じレート f_{si} で入力サンプリングが行われ、プログラマブル・フィルタ・ブロックは、入力レートの1/8でデシメーション・ブロックの出力サンプリングを継続します。したがって、IIRの最大動作周波数は $f_{si}/8$ のままです。

デシメータを無効にすることによって得られる効果は、デシメータによるロールオフと位相シフトがなくなることです。追加的なアンチエイリアシングが求められない場合、これは望ましいことと言えます。

デシメータを無効にするには、レジスタ 0x027 のビット 6 にロジック 1 を書き込みます。

IIR プログラマブル・フィルタ

IIR フィルタは再帰型フィルタです。再帰は、連続時間型フィルタ(アナログ・フィルタ)における帰還に似ています。このため、わずかな数の係数でフィルタを定義することが可能ですが、フィルタが不安定になる可能性もあります。デフォルトでは、IIR ブロックは、中心周波数が $f_{so}/8$ ($f_{SI}/64$) のバンドパス・フィルタとして構成されます。図4はデフォルト・フィルタの伝達関数で、これにはデシメーション・フィルタの影響も含まれています。

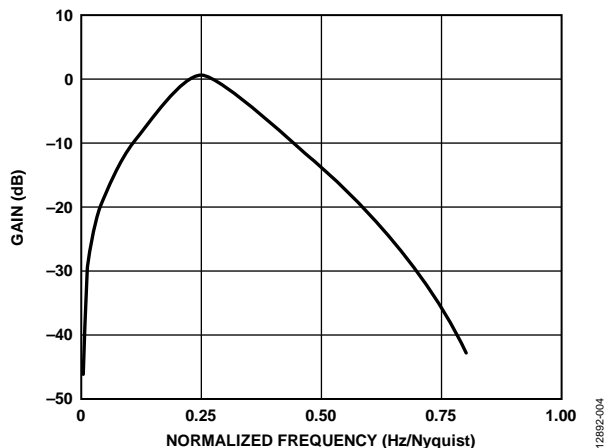


図4. デフォルト・バンドパス・フィルタの伝達関数

IIR フィルタの特性を変えるには、レジスタ $0x0011$ からレジスタ $0x0027$ までの内部メモリに保存されているデフォルトのフィルタ定義を変更する必要があります。これらのレジスタの内容はフィルタの特性を定義しますが、実際のフィルタ係数を表してはならず、必要なフィルタを表す係数を生成する ADA2200 の内部構成を表しています。これらのレジスタにアクセスしてその内容を変更するための詳しい方法については、「IIR フィルタのプログラミング」を参照してください。

周波数スケールリング

ADA2200 はサンプリングを伴うアナログ技術を使用したデバイスであるため、その周波数特性はクロック周波数に直接依存します。そのため、コーナー周波数、パスバンドの中心値、あるいはナイキスト周波数の位置といったパラメータは、デバイスの駆動に使用するクロック周波数の関数になります。このような基本的特性の当然の帰結として、これらのフィルタでは、クロック周波数の変更やオンチップ・クロック分周器の使用によるスケールリングが可能です。これによりユーザーは、デバイスのプログラムをやり直すことなく、周波数スイープの実行、コヒーレント・フィルタリング用ソースへのフィルタのロック、あるいはコーナー周波数の変更などを行うことができます。

たとえば、コヒーレント周波数が $f_c = 0.4 f_N$ の 4 次ローパス・フィルタのコーナー周波数は、次式で計算できます。

$$f_c = 0.4 \times 0.5 f_{so} = 0.4 \times 0.5 \times 0.125 f_{SI} = 0.025 \times 2^m f_{CLK}$$

ここで、 m はクロック周波数の分周比で、1、2、または 8 を値に取ることができます。

f_{CLK} は、CLKIN ピンに加えられるクロック信号の周波数です。 $f_{CLK} = 500$ kHz で $m = 1$ の場合、コーナーの位置は 12.5 kHz で、 $f_{so} = 62.5$ kHz、 $f_N = 31.25$ kHz です。すべてのパラメータをこのままで、クロック周波数を 100 kHz に下げるとコーナー周波数は 2.5 kHz まで下がります。

バンドパス・フィルタやバンドストップ・フィルタの Q は一定のままです。これは、周波数が倍になるとパスバンドの幅も倍になることを意味します。ノッチの場合はストップバンドが倍になります。この様子を図5に示します。

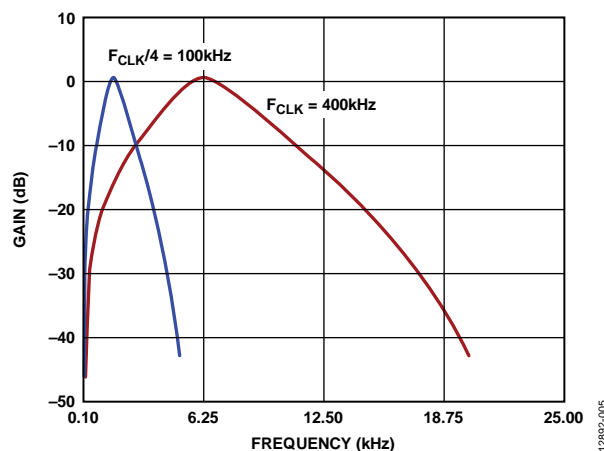


図5. クロック周波数のスケールリングがバンドパス・フィルタに与える影響

クロック周波数を下げることのもうひとつの利点は、消費電力が減ること、システムは使用する帯域幅に応じて電力が変化します。

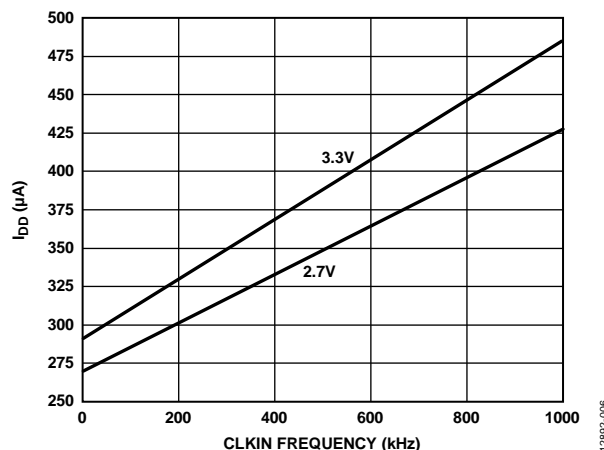


図6. CLKIN 周波数 対 消費電流 (代表値、 $V_{DD} = 2.7$ V および 3.3 V)

コヒーレント・フィルタリングと基準クロック

特定のアプリケーション、特にパスバンド・フィルタやノッチを使用するアプリケーションでは、使用する信号（あるいは除外する信号）がフィルタの中心周波数に正確に位置している必要があります。信号と中心周波数の間に不整合があると（設計誤差、時間や温度のドリフト、および干渉源の不確実性などによるもの）、バンドパス・アプリケーションに望ましくない減衰や位相誤差が生じます。ノッチ・フィルタ（またはバンドストップ・フィルタ）の場合、こうした不整合によって干渉除去機能の有効性（信号除去の性能）が低下し、不要信号を完全に除去することが非常に難しくなります。これを、2つの異なるノッチ・フィルタについて示したものが図7です。隣接周波数への影響を防ぐには狭いノッチが望ましいのですが、不要信号が中心周波数に一致していないと、ノッチを広くした場合よりはるかに有効性が低下します。

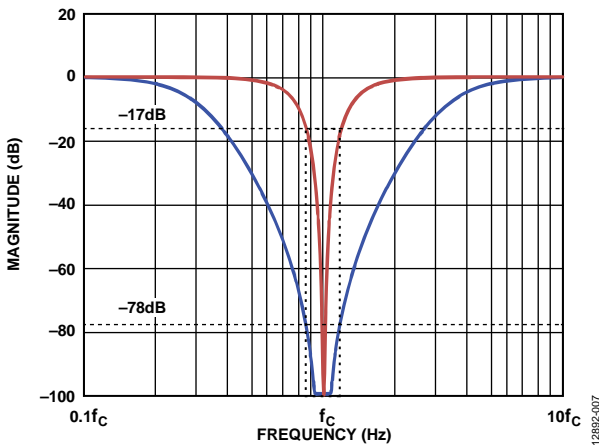


図7. ノッチ周波数と不要信号間の不整合がバンドストップの有効性が低下

使用する信号が分かっている場合は、その信号を使用して ADA2200 ドライブ用のクロック信号を生成できます。あるいは、基準クロックを使用して、たとえば使用信号の時間ベースの生成や同期を行ったり、励起信号源として必要な実際の信号としたりすることも可能です。ADA2200 と使用信号を同期させれば、その信号を常にフィルタの中心周波数に一致させることができます。

出力信号の再構成（サンプル・ホールド出力）

ADA2200 の OUTP 端子と OUTN 端子の間に生じる出力電圧は、並列に組み合わせられたコンデンサの両端にかかる電圧に等しいため、この値は次の更新サイクルまで一定に保たれます。このため、出力信号は、図8に示すように離散時間ステップのシーケンスによって形成されます。ただし振幅方向の分解能は、無限です。

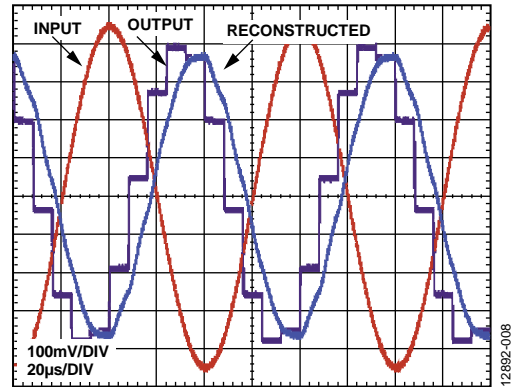


図8. 入力波形、出力波形、および再構成波形

連続時間型システムでは、出力更新レートの通倍周波数においてステップ・シーケンスがイメージを生成します。図8にはこの影響が現れており、垂直線は出力の帯域幅が有限であることから生じます（ピン・ドライバは連続時間型デバイス）。高周波イメージは、出力ステップにクロスする正弦波をトレースして、それを減じることによって可視化できます。これによって得られる鋸歯状波形は基本周波数の倍数で、これは典型的な不要アーチファクトです。連続時間型システムの望ましくないイメージを減らすには、図9に示すように、出力に再構成フィルタを取り付ける必要があります。

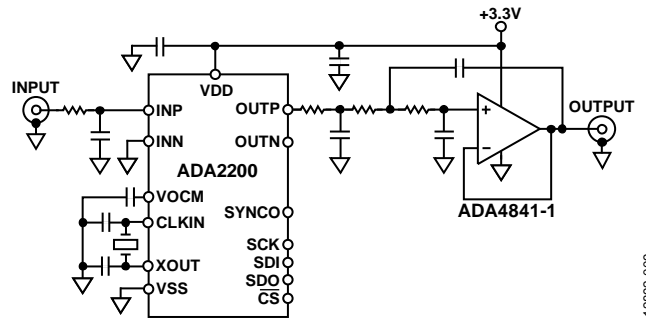


図9. 二次再構成フィルタの追加

離散時間型システム（逐次比較型（SAR）ADC など）に接続する場合、後段に続くデバイス（ADC など）のサンプラが ADA2200 の出力に同期されていれば、再構成フィルタは不要です。たとえば、SAR ADC が ADA2200 の出力更新ステップ毎に取り込むサンプルが1つだけだとすると、信号を再構成する必要はなく、高周波イメージはすべて消滅します。つまり、ADC にとって高周波イメージは存在しなかったこととなります。

ADA2200 は SYNC0 端子を通じて出力パルスを生成しますが、このパルスは、ADA2200 の出力の A/D 変換を開始するために、マイクロプロセッサまたは ADC が使用することができます (ADC は直接使用)。SYNC0 信号は、出力更新レートと同じ周波数 (f_{SO}) のパルスを生成することによって、ADA2200 の出力サンプル・ウィンドウ内の最適なタイミングで ADC サンプルが行われるようにします。パルスには極性を設定でき、図 10 に示すように、16 種類の異なる遅延タイミングから 1 つを選択することができます。遅延タイミングの間隔は f_{SI} クロック・サイクル間隔の 1/2 で、範囲は出力サンプル・ウィンドウ全体にまたがっています。出力更新のタイミングを基準にして適切な遅延値を選択すれば安定した信号が得られ、ADC のフィードスルー誤差を避けることができます。極性や遅延といった SYNC0 パルスの構成設定は、レジスタ 0x0029 に格納されます。

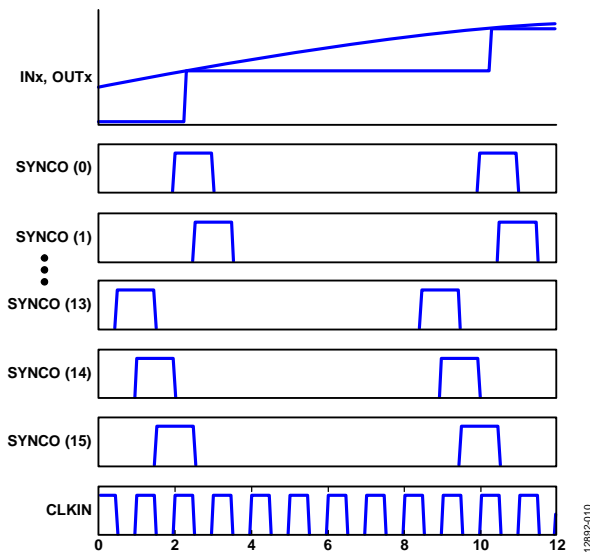


図 10. OUTP/OUTN、INP/INN、CLKIN を基準とした SYNC0 出力タイミング

ナイキスト周波数以上の信号のフィルタリング

ADA2200 の推奨最大入力サンプリング周波数は 1 MHz で (クロック分周器が 1 に設定されている場合はクロック周波数と同じ)、これはその帯域幅を理論上 $f_{SO}/16$ (62.5 kHz) に制限します。ADA2200 の入力信号帯域幅は 4 MHz であるため、ADA2200 はこの周波数までの信号を扱うことができます。しかし、これらの信号はすべて出力でダウンコンバージョンされ、 $f_{SO}/2$ (出力更新レートのナイキスト周波数) に制限されます。言い方を変えると、ナイキスト周波数以上では、ADA2200 はその入力サンプリング特性を活かし、フィルタおよびダウンコンバージョン・ミキサーとして機能します。

たとえば、ADA2200 が入力を $f_{SI} = f_{CLK} = 500$ kHz でサンプリングし、フィルタは中心周波数 7.8 kHz、パスバンドは 6 kHz~10 kHz に設定されているものとし、デシメータ・フィルタが有効になっている場合は、492.2 kHz、507.8 kHz、992.2 kHz、1.0078 MHz、1.4922 MHz といった周波数を中心として帯域幅 4 kHz のフィルタが形成されます。したがって、ADA2200 の入力に周波数 3.992 MHz の信号が加わった場合、出力される信号は 8 kHz になります。この例における中心周波数 3.992 MHz のフィルタ・イメージの等価 Q 値は、ほぼ 1000 です。

これらいずれの場合でも、 f_{SI} の倍数値の上下には隣接フィルタ・イメージが存在するという事実に留意することが重要です。つまり、設計者はエイリアシングの可能性を考慮しなければなりません。さらに、周波数が高くなるほど、アンチエイリアシング・フィルタに必要な Q の値も大きくなります。

IIR フィルタのプログラミング

SPIポートを介してフィルタをプログラムするには、書き込みサイクルを開始して、ADA2200 のアドレス 0x0011 からアドレス 0x0027 までのレジスタへ新しいフィルタ定義のデータを転送します。フィルタ・オプションとそれらに対応するレジスタ値については、表 2 を参照してください。フィルタ値をロードしたら、レジスタ 0x0010 に 0x03 を書き込んで ADA2200 に新しいフィルタ特性を設定します。SPI ポート経由での接続に関する詳細は、ADA2200 のデータシートを参照してください。

ブート時またはリセット操作後に外部 EEPROM を介して ADA2200 をプログラムするには、アドレス 0x0011 からアドレス 0x002B までのメモリ設定を EEPROM にあらかじめロードしておく必要があります。これらのアドレスには、フィルタ定義とその他の設定レジスタが含まれています。デフォルトのメモリ内容と事前に定義されているフィルタについては、表 2 を参照してください。また、ADA2200 の詳しいプログラム方法については、ADA2200 データシートの「Device Configuration (デバイスの設定)」を参照してください。

このチュートリアルのフィルタ測定は、ADA2200-EVALZ を使用し、EEPROM プログラマでオンボード EEPROM の内容を書き直すことによって行っています。EEPROM の内容はどの設定についても表 2 と同じで、オフセット 0x00 から始まります。プログラムされた EEPROM を X1 にロードして EEPROM_BOOT スイッチを設定すると、ボードの電源投入後に自動的に新しいフィルタ設定がロードされます。

テスト・セットアップを図 11 に示します。ボードの電源は、動作中の任意の USB ポートから取ることができます。すべてのフィルタは 400 kHz オンボード発振器を基準としています。ネットワーク・アナライザのシングルエンド端子は、AD8476-EVALZ と EVAL-INAMP-82RZ (AD8429 使用) を介して ADA2200 に接続します。ADA2200-EVALZ ボードに関するその他の詳細や回路図については、ADA2200-EVALZ のユーザー・ガイドを参照してください。

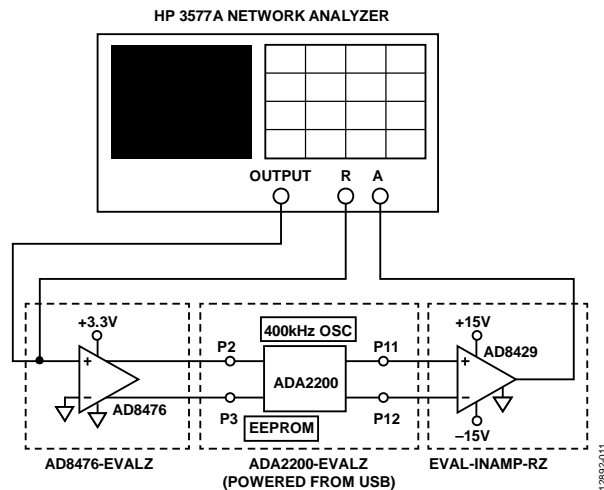


図 11. ADA2200-EVALZ を使用したテスト・セットアップ

ADA2200 を時間領域フィルタとして設定するための推奨レジスタ内容を表 2 に示します。

表 2. 各種フィルタの推奨レジスタ内容

ADA2200 Address	Register Name	BP1	BP2	LP1	LP2	Notch	Default	All-Pass	External EEPROM Address1
0x0011	Filter configuration	0xC0	0xC0	0x52	0x51	0xC0	0xC0	0x00	0x000
0x0012		0x0F	0x0F	0xAE	0x80	0x4F	0x0F	0xA0	0x001
0x0013		0x36	0xFA	0x52	0x40	0x84	0x1D	0xC0	0x002
0x0014		0xD1	0xD5	0xA6	0x80	0x9B	0xD7	0x0F	0x003
0x0015		0xC0	0xC0	0x52	0x51	0xC0	0xC0	0xC0	0x004
0x0016		0x0F	0x0F	0xAE	0x80	0x0F	0x0F	0x0F	0x005
0x0017		0x07	0x15	0x74	0x56	0xC0	0xC0	0xC0	0x006
0x0018		0x80	0x92	0x81	0x10	0x0F	0x0F	0x0F	0x007
0x0019		0x07	0x15	0x74	0x56	0x84	0x1D	0xC0	0x008
0x001A		0x80	0x92	0x81	0x10	0x9B	0x97	0x0F	0x009
0x001B		0x00	0x00	0x4E	0xC8	0x36	0x7E	0xC0	0x00A
0x001C		0x20	0x20	0x9D	0xA0	0x14	0x88	0x0F	0x00B
0x001D		0xC0	0xC0	0x22	0x97	0xC0	0xC0	0xC0	0x00C
0x001E		0x4F	0x4F	0x53	0xD9	0x0F	0x0F	0x0F	0x00D
0x001F		0xAA	0xB2	0x4F	0xED	0xC0	0xC0	0xC0	0x00E
0x0020		0xAA	0x2F	0x80	0x12	0x0F	0x0F	0x0F	0x00F
0x0021	0xC0	0xC0	0xC0	0xC0	0xC0	0xC0	0xC0	0x010	
0x0022	0x0F	0x0F	0x0F	0x0F	0x0F	0x0F	0x0F	0x011	
0x0023	0xC0	0xC0	0xF1	0x00	0xC0	0x00	0xC0	0x012	
0x0024	0x4F	0x4F	0xDE	0xE0	0x4F	0xE0	0x0F	0x013	
0x0025	0x23	0x23	0x23	0x23	0x23	0x23	0x23	0x014	
0x0026	0x02	0x02	0x02	0x02	0x02	0x02	0x02	0x015	
0x0027	0x02	0x02	0x12	0x06	0x07	0x24	0x00	0x016	
0x0028	Analog pin configuration	0x00	0x00	0x00	0x00	0x00	0x00	0x017	
0x0029	Sync control	0x0D	0x0D	0x0D	0x0D	0x0D	0x2D	0x018	
0x002A	Demod control	0x08	0x08	0x08	0x08	0x08	0x08	0x019	
0x002B	Clock configuration	0x02	0x02	0x02	0x02	0x02	0x02	0x01A	

¹ EEPROM は、ADA2200-EVALZ の X1 位置にロードされます。

以下のグラフは、表2に示すフィルタの伝達関数特性を示したものです。

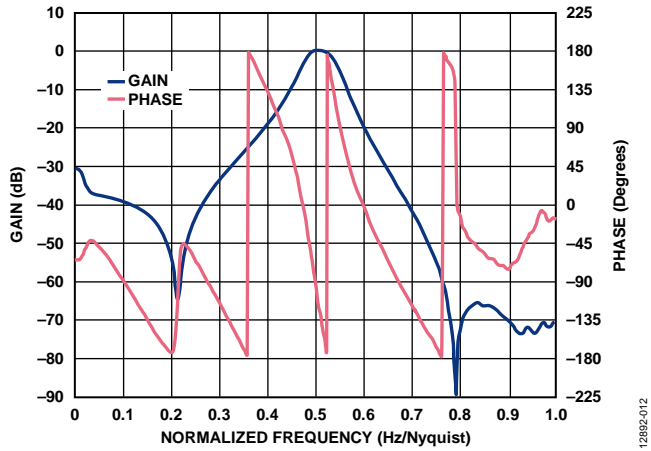


図 12. BP1 フィルタの伝達関数

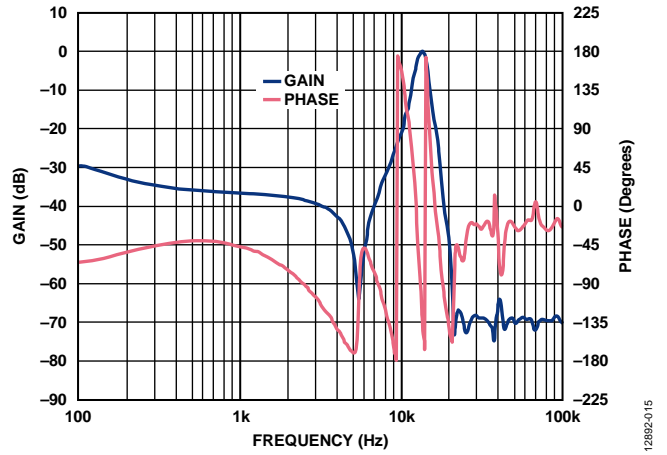


図 15. BP1 フィルタの伝達関数
(対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz)

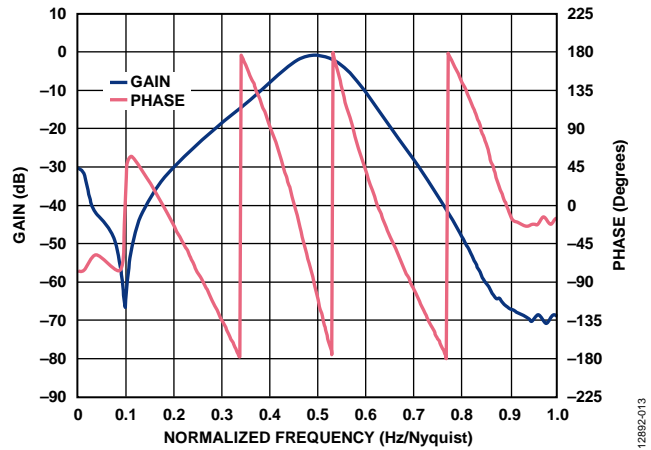


図 13. BP2 フィルタの伝達関数

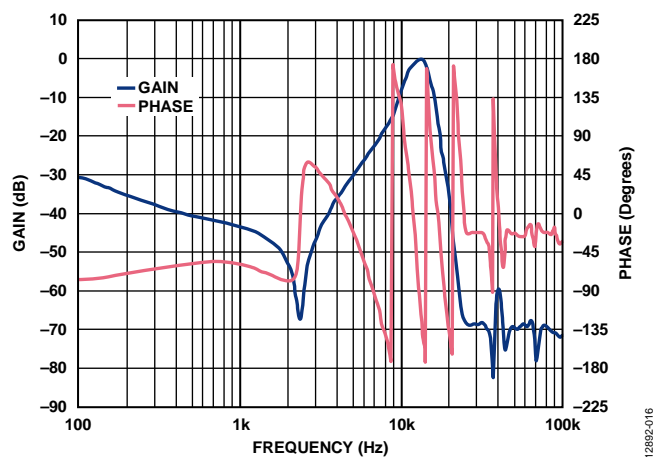


図 16. BP2 フィルタの伝達関数
(対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz)

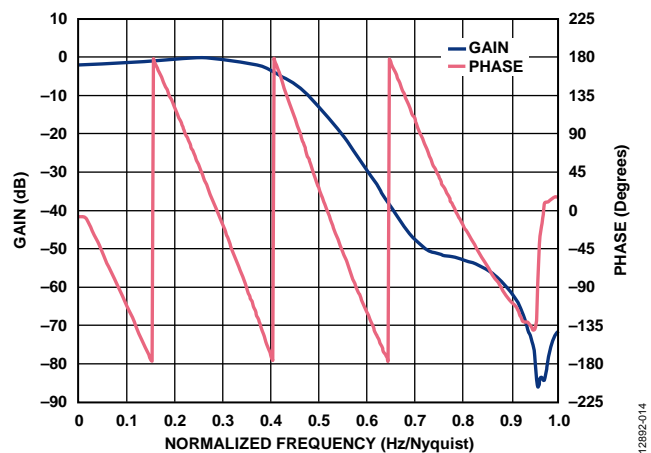


図 14. LP1 フィルタの伝達関数

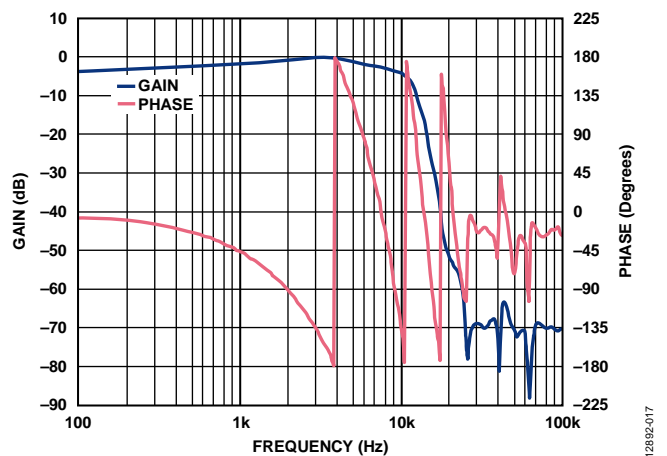


図 17. LP1 フィルタの伝達関数
(対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz)

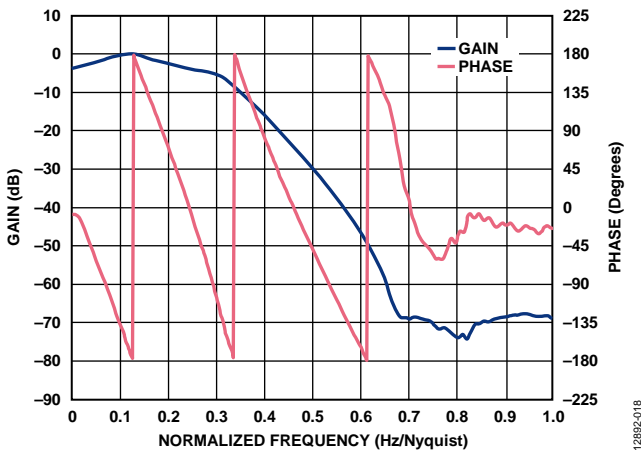


図 18. LP2 フィルタの伝達関数

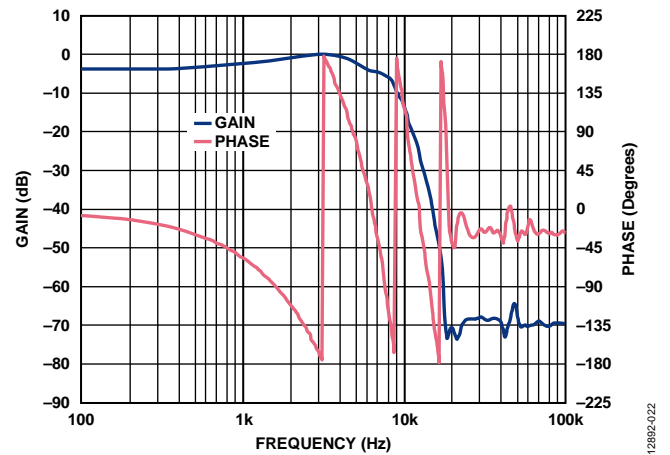


図 21. LP2 フィルタの伝達関数
(対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz)

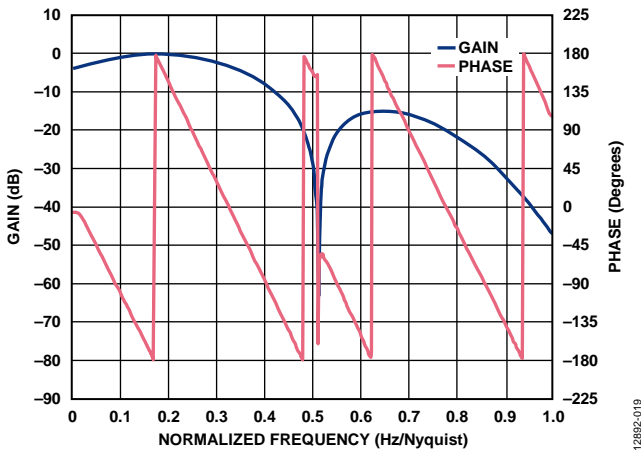


図 19. ノッチ・フィルタの伝達関数

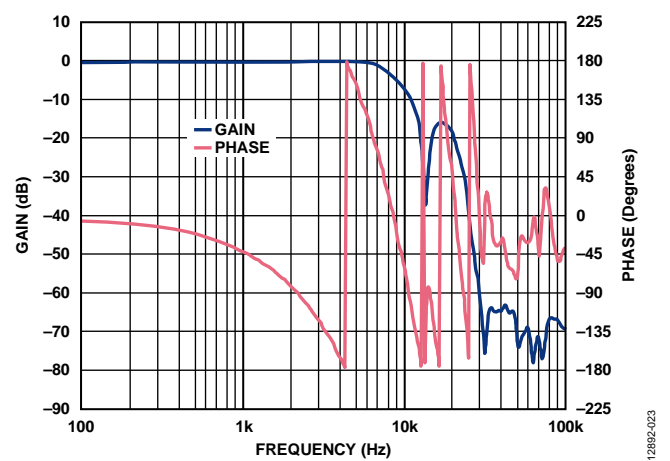


図 22. ノッチ・フィルタの伝達関数
(対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz)

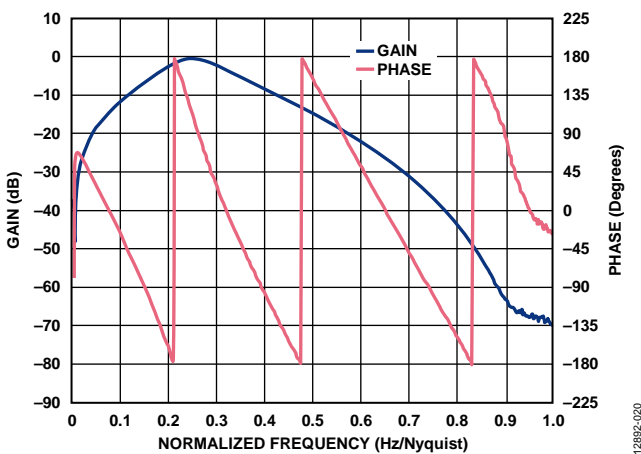


図 20. デフォルト・フィルタの伝達関数

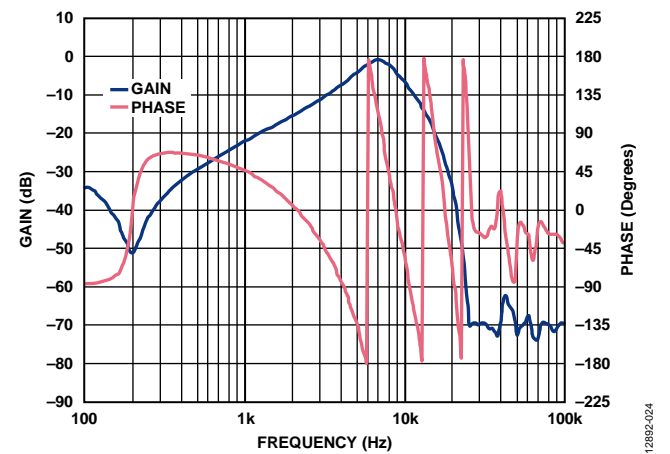


図 23. デフォルト・フィルタの伝達関数
(対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz)

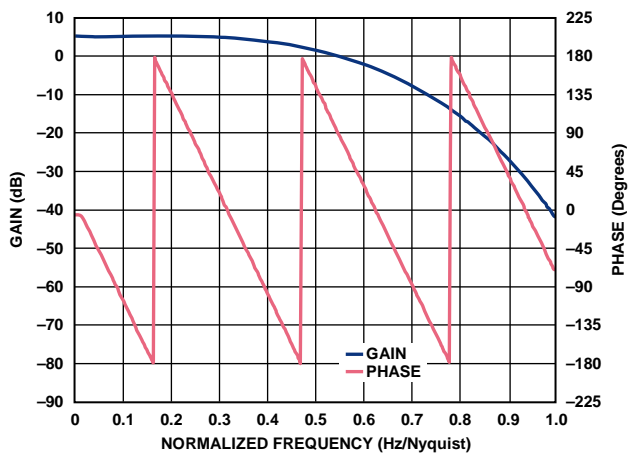


図 24. オールパス・フィルタの伝達関数（デシメータ有効）

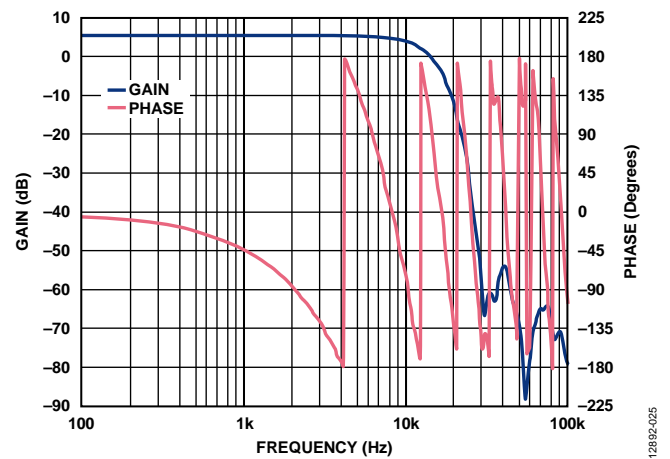


図 25. オールパス・フィルタの伝達関数
（デシメータ有効、対数スイープ、 $f_{CLKIN} = f_{SI} = 400$ kHz）

改訂履歴

12/14—Revision 0: Initial Version