

# 50%以上のシステム小型化と 大幅な設計負荷削減を実現した 高精度A/Dコンバータ

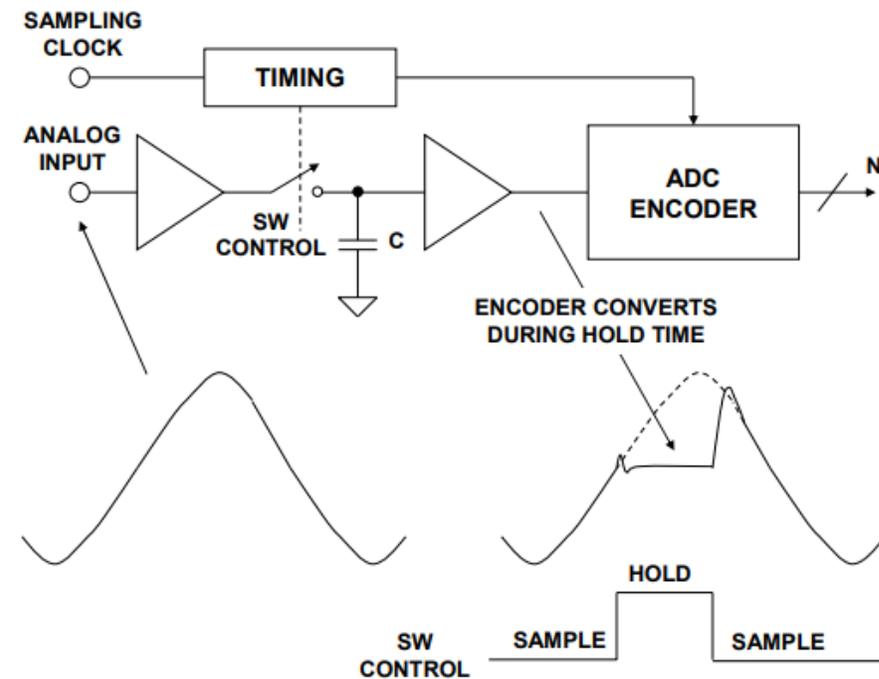
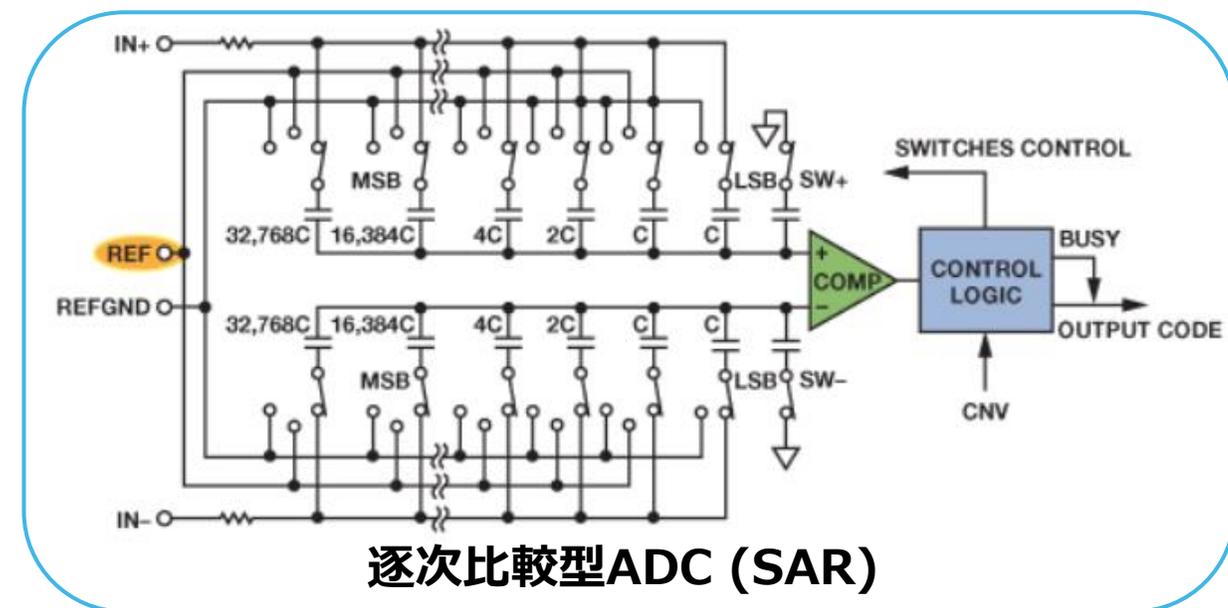
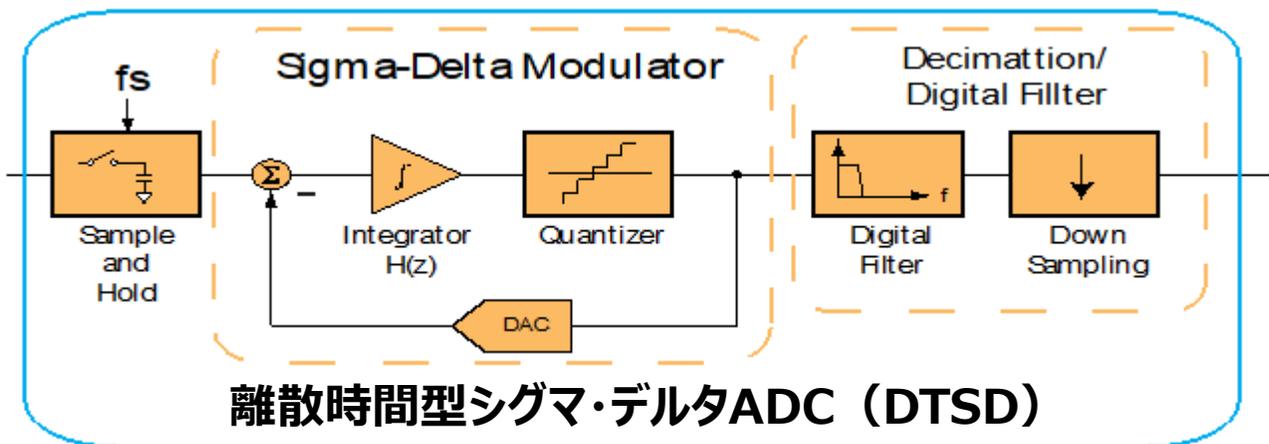
アナログ・デバイセズ  
山形 慎



# 今回の内容について

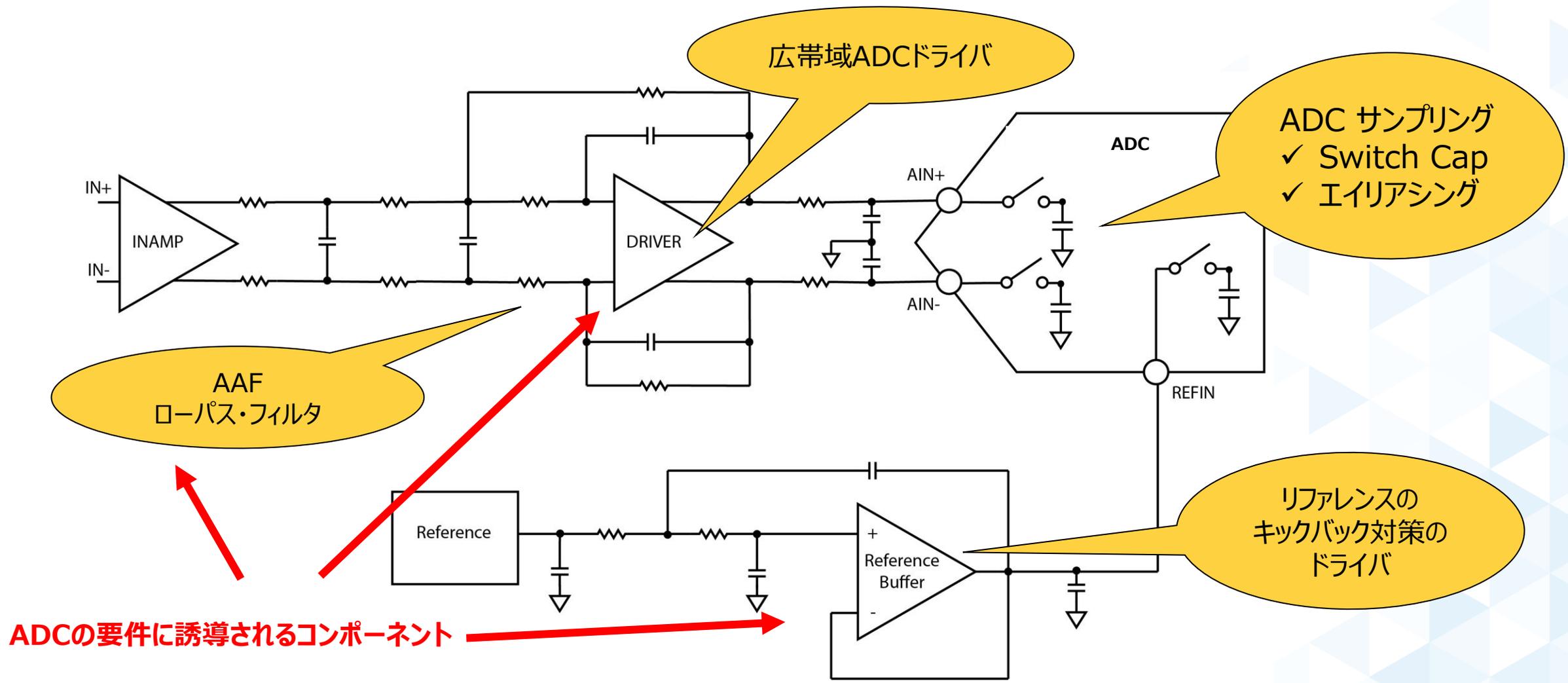
- ▶ A/D変換システム的设计における課題
- ▶ 連続時間型シグマ・デルタADC AD7134
- ▶ SiPによる高精度シグナル・チェーン $\mu$ Module®

# 主要な高精度ADCのアーキテクチャ

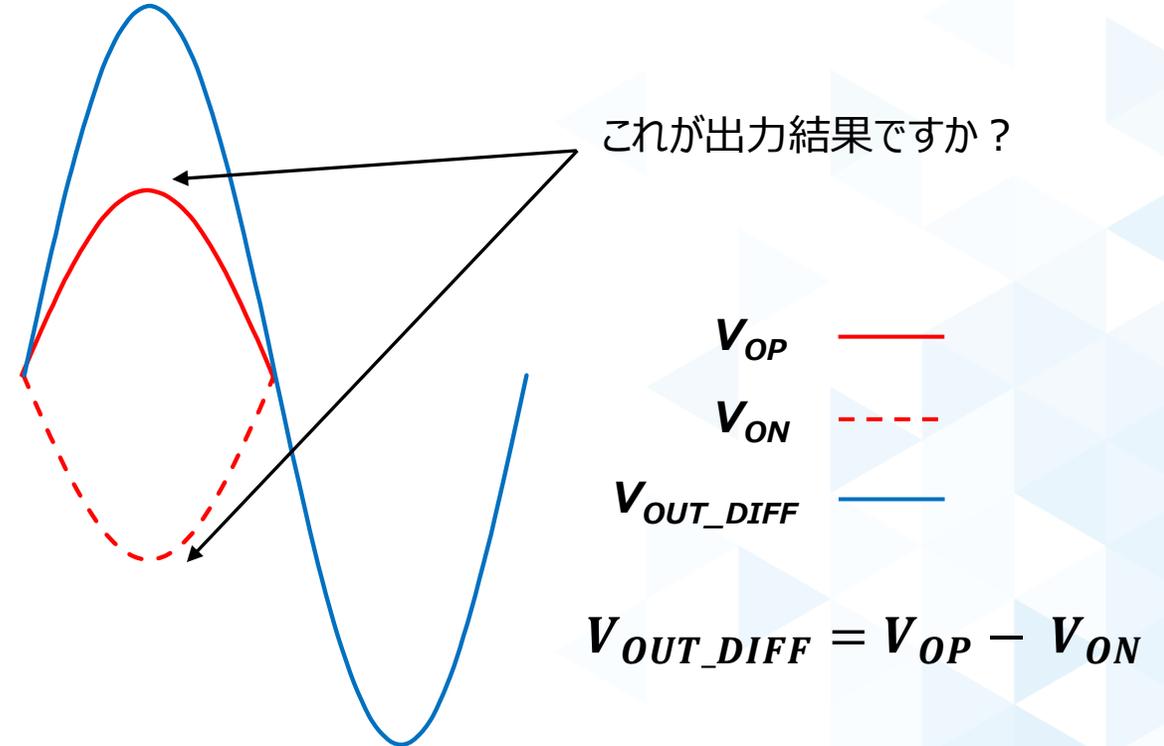
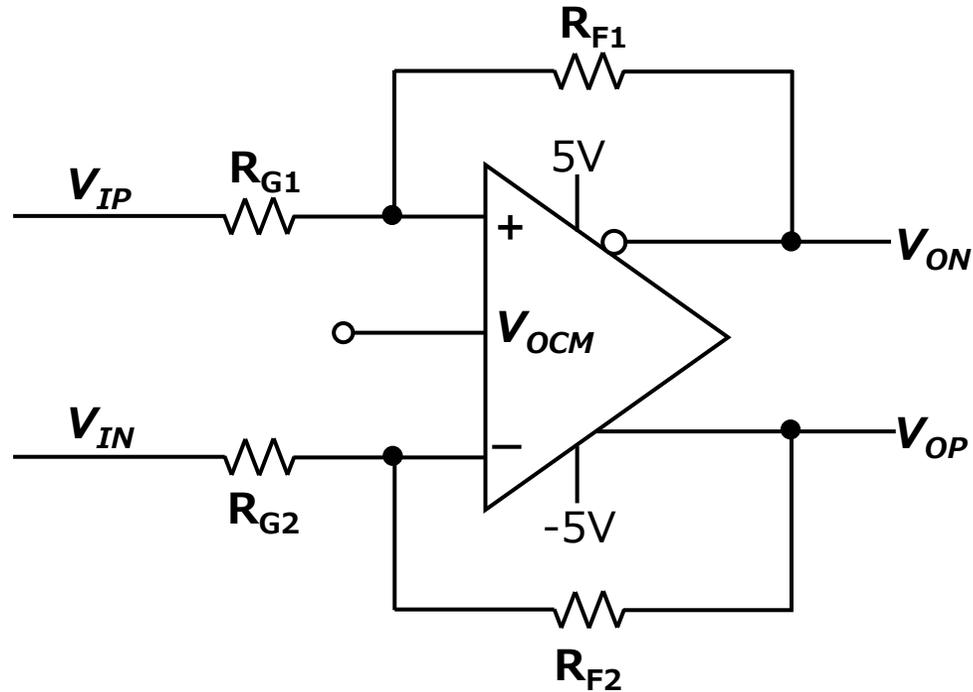


サンプル & ホールド回路

# 高精度ADCシグナル・チェーンの課題



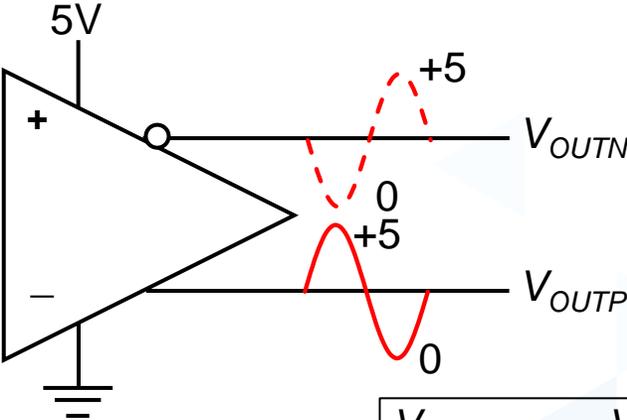
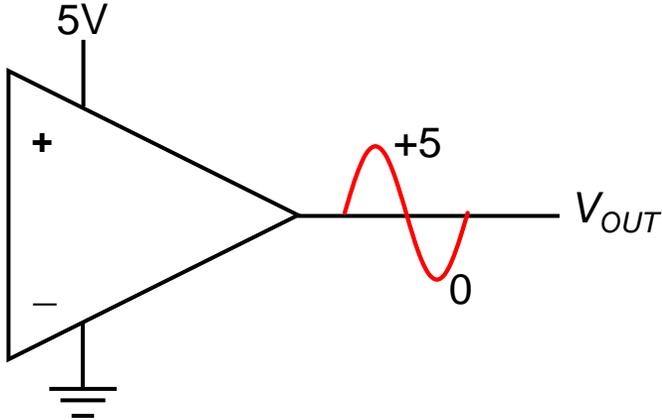
# 完全差動アンプ (Fully Differential Amp: FDA)



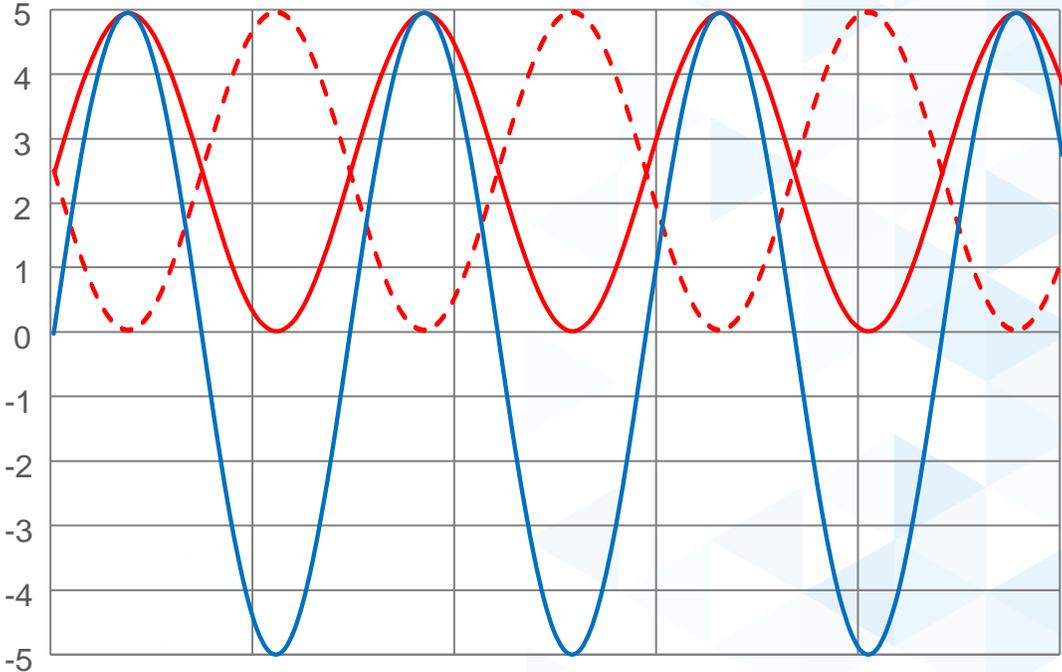
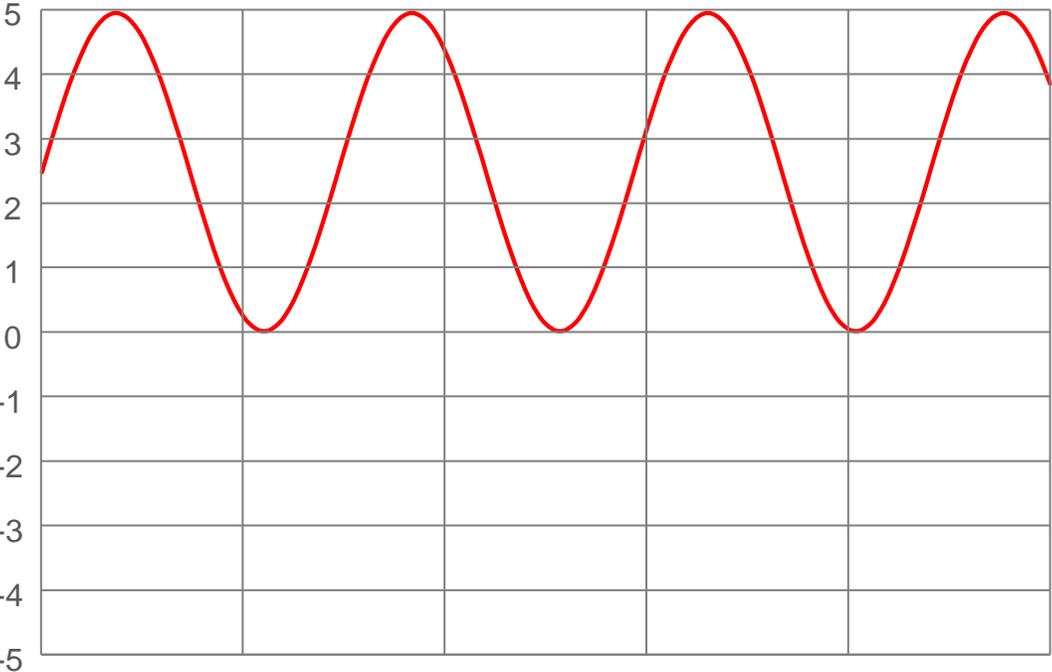
## ▶ 完全差動入出力

- 2つの回路網の入力 $V_{IP}$ を $V_{IN}$ は差を出力とすることで信号の振幅が実質的に2倍
- 所定のノイズフロアに対して信号2倍にすると信号対ノイズ比 (SNR) は6dB改善

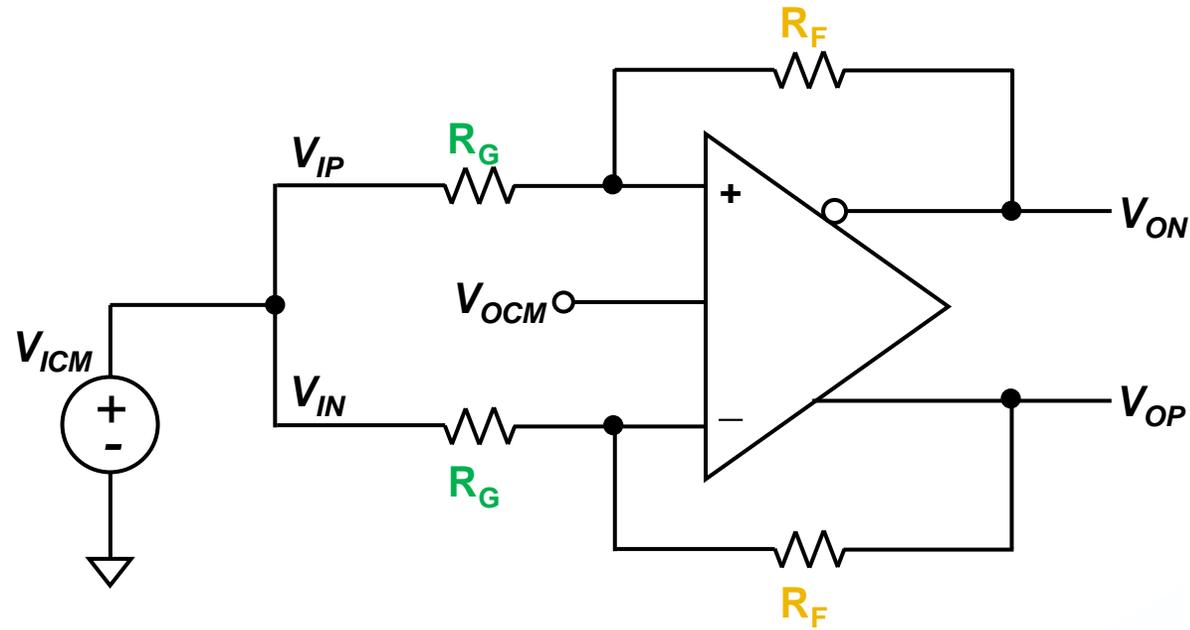
# 完全差動アンプ (Fully Differential Amp: FDA)



$$V_{OUT\_DIFF} = V_{OUTP} - V_{OUTN}$$



# 完全差動アンプの技術的課題 (その1)

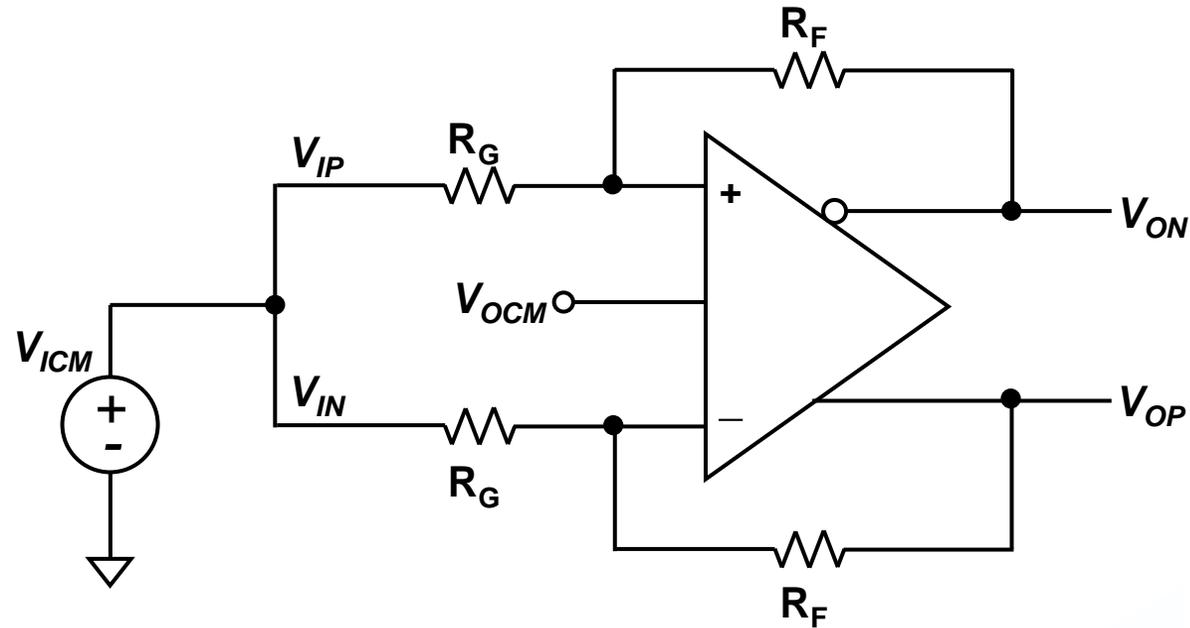


- ▶ 互いの $R_F$ が一致、互いの $R_G$ が一致する条件における差動出力

$$V_{OUT\_DIFF} = V_{OP} - V_{ON}$$

$$\approx \left( \frac{R_F}{R_G} \right) \cdot (V_{IP} - V_{IN})$$

# 完全差動アンプの技術的課題 (その1)



出力同相電圧:  $V_{OCM}$

$$V_{OCM} = \frac{V_{OP} + V_{ON}}{2}$$

- ▶ 互いの $R_F$ が一致、互いの $R_G$ が一致する条件における差動出力

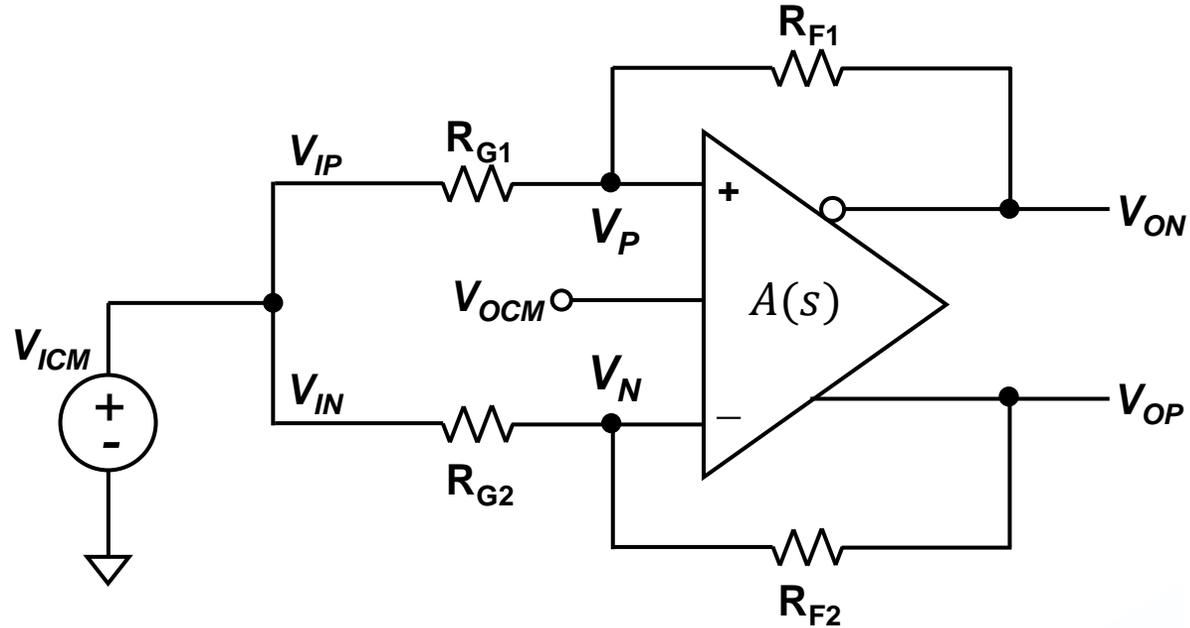
$$V_{OUT\_DIFF} = V_{OP} - V_{ON}$$
$$\approx \left( \frac{R_F}{R_G} \right) \cdot (V_{IP} - V_{IN})$$

- ▶ 差動出力電圧が2つの入力間の電圧差( $V_{IP} - V_{IN}$ )のみに依存
- ▶  $V_{ICM}$  には無関係

# 完全差動アンプの技術的課題 (その1)

$$V_{IN\_DIFF} = V_{IP} - V_{IN}$$

$$V_{IN\_COM} = \frac{V_{IP} + V_{IN}}{2}$$



$$V_{OUT\_DIFF} = V_{OP} - V_{ON}$$

$$V_{OUT\_COM} = \frac{V_{OP} + V_{ON}}{2}$$

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}} \quad \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}}$$

重ね合わせの理を使って

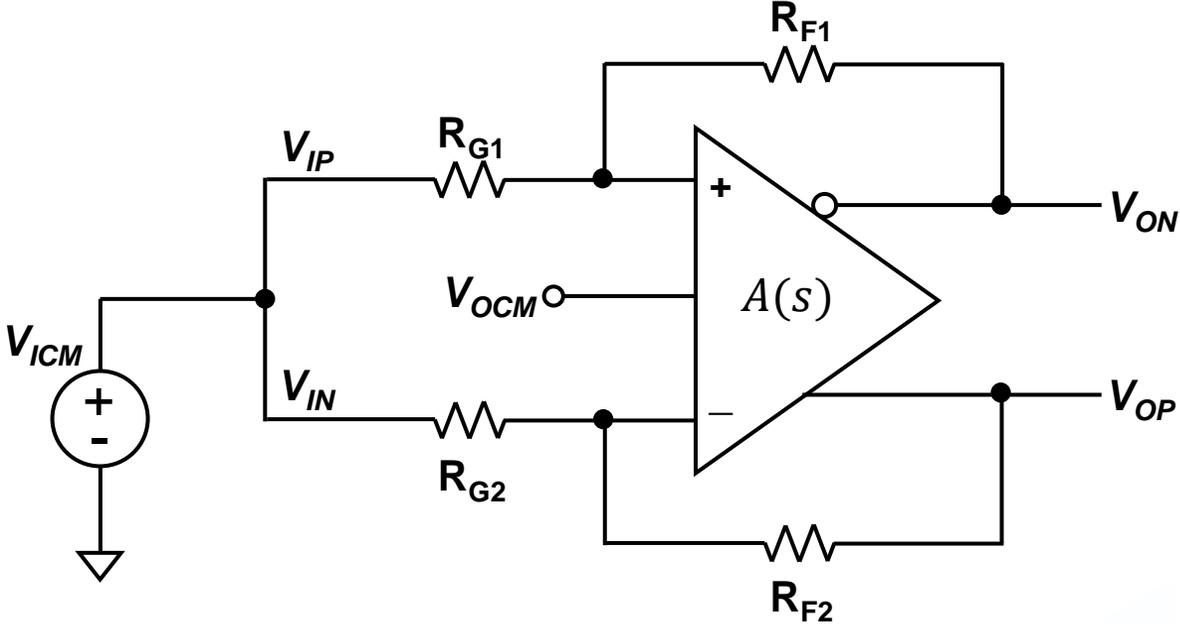
$$V_P = V_{IP}(1 - \beta_1) + V_{ON} \cdot \beta_1 \dots\dots (3)$$

$$V_N = V_{IN}(1 - \beta_2) + V_{OP} \cdot \beta_2 \dots\dots (4)$$

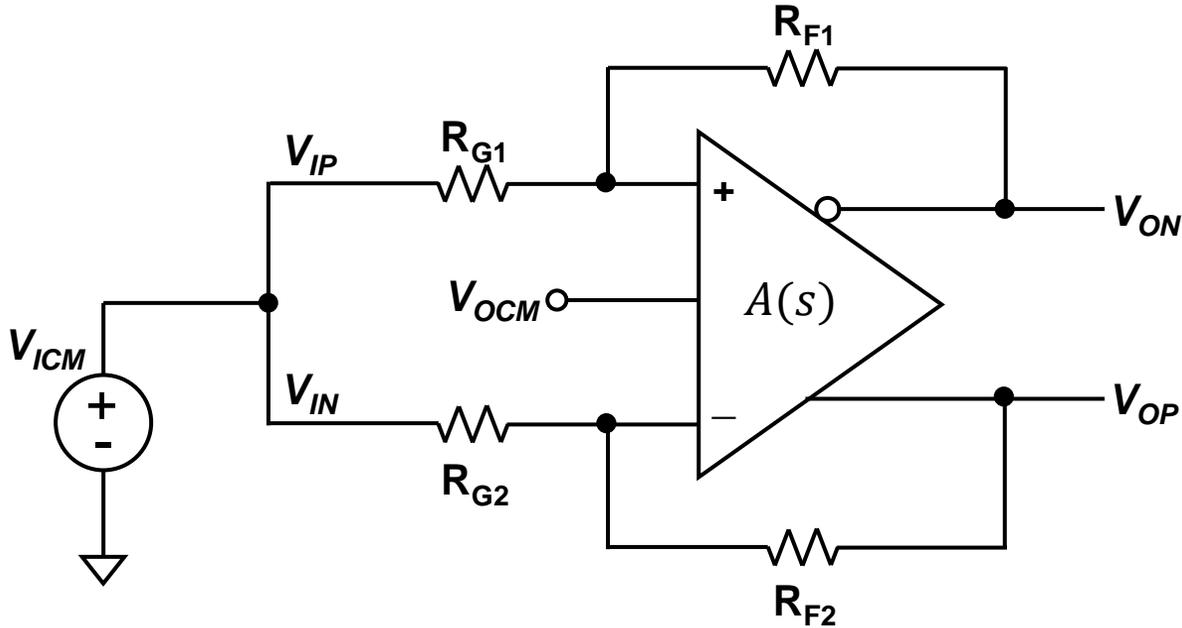
$$V_{OUT\_DIFF} = V_{OP} - V_{ON} = A(s)(V_P - V_N) \dots\dots (1)$$

$$V_{OUT\_COM} = V_{OCM} \dots\dots (2)$$

# 完全差動アンプの技術的課題 (その1)



# 完全差動アンプの技術的課題 (その1)



- ▶ 帰還率がマッチングしている( $\beta_1 = \beta_2 = \beta$ )ときの差動アンプの理想的な閉ループゲイン

$$A_V = \frac{V_{OUT\_DIFF}}{V_{IN\_DIFF}} = \left[ \frac{R_F}{R_G} \right] \left[ \frac{1}{1 + \frac{1}{A(s)\beta}} \right] \approx \frac{R_F}{R_G}$$

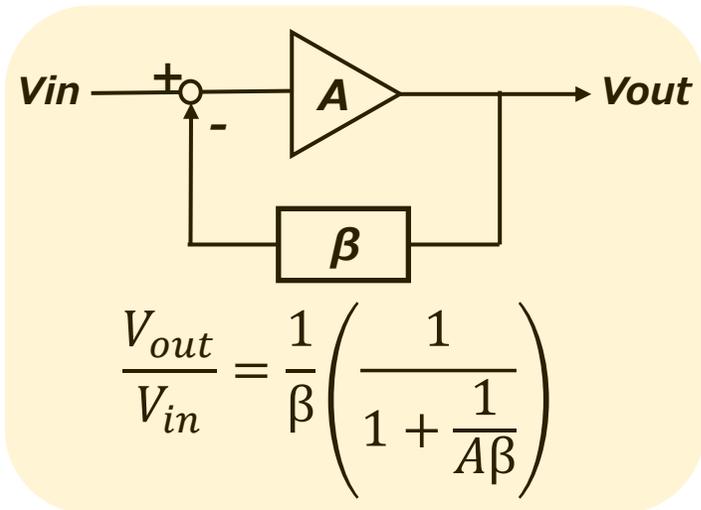
※式の導出はAppendix1 式(11)を参照下さい

- ▶ 帰還率がマッチングしていない( $\beta_1 \neq \beta_2$ )ときの差動アンプの閉ループゲイン

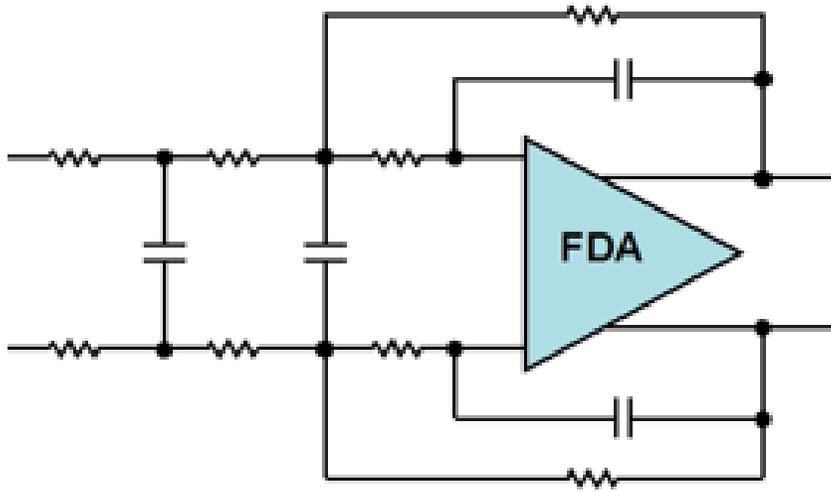
$$V_{O\_DIFF} = \left[ \frac{2}{\beta_1 + \beta_2} \right] \left[ \frac{V_{OCM}(\beta_1 - \beta_2) + V_{IP}(1 - \beta_1) - V_{IN}(1 - \beta_2)}{1 + \frac{2}{A(s)(\beta_1 + \beta_2)}} \right]$$

ノイズゲイン(NG)

※式の導出はAppendix1 式(9)を参照下さい



# 完全差動アンプの技術的課題（その1）



- ▶ 受動部品のみスマッチ・抵抗値精度（公差1%の抵抗）
  - オフセット誤差: 50mV
    - 例: ADA4945は50uVのオフセット誤差
  - CMRR: 34dB
  - チャンネル間のみスマッチ

# CMRR (同相信号除去比)

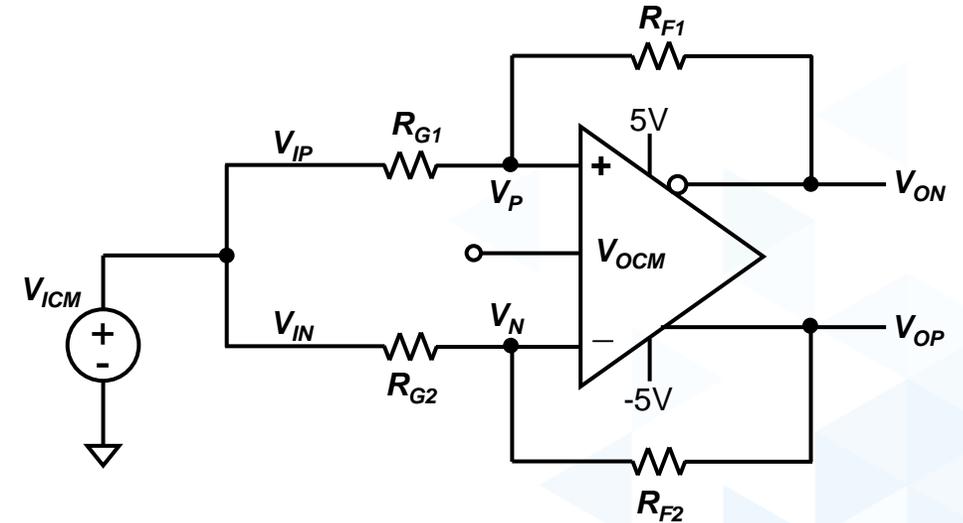
- ▶ CMRRはアンプがコモンモード入力を差動出力に変換することにどれだけ抵抗するかを示す尺度
- ▶ CMRRは抵抗値のマッチング比率よりも優れることはありません

Desired CMRR	Required R Matching
- 40dB (34dB)	1%
- 60dB (54dB)	0.1%
- 80dB	0.01%
- 100dB	0.001%

※G = 1のとき

誤差±1%抵抗の抵抗の場合

$$CMRR_R \approx 20 \log \left( \frac{\frac{1}{2} (1 + 1)}{0.02} \right) = 34 \text{ dB}$$

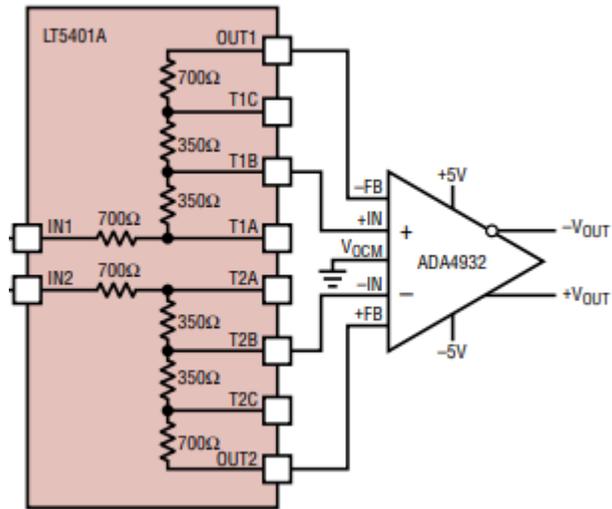
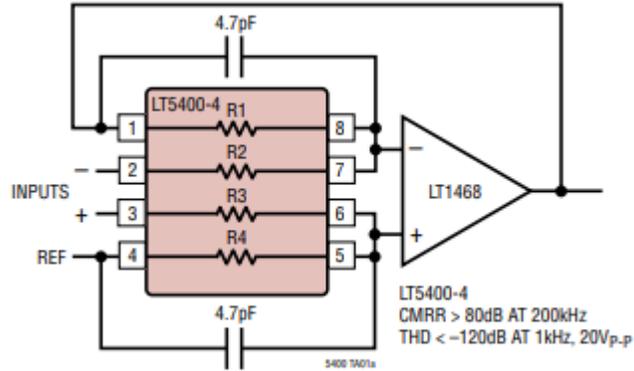


$$\frac{R_{F1}}{R_{G1}} = \frac{R_{F2}}{R_{G2}}$$

$$CMRR_R = \frac{\frac{1}{2} (G + 1)}{\frac{\Delta R}{R}}$$

## デザインノート 1023

高精度に整合した抵抗による  
差動アンプの CMRR の自動改善とその方法



## 整合された抵抗ネットワーク

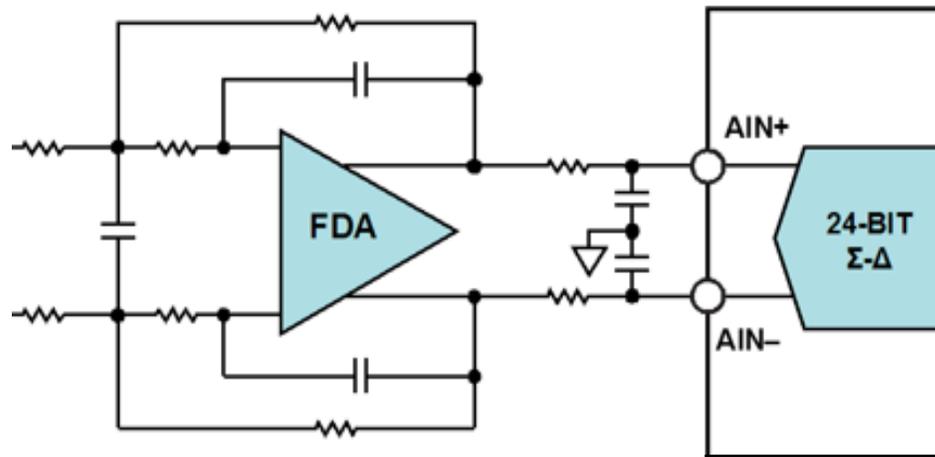
### ▶ LT5400

- 0.01% マッチング抵抗比
- 0.2ppm/°C マッチング温度ドリフト
- 8ppm/°C 絶対抵抗温度ドリフト

### ▶ LT5401

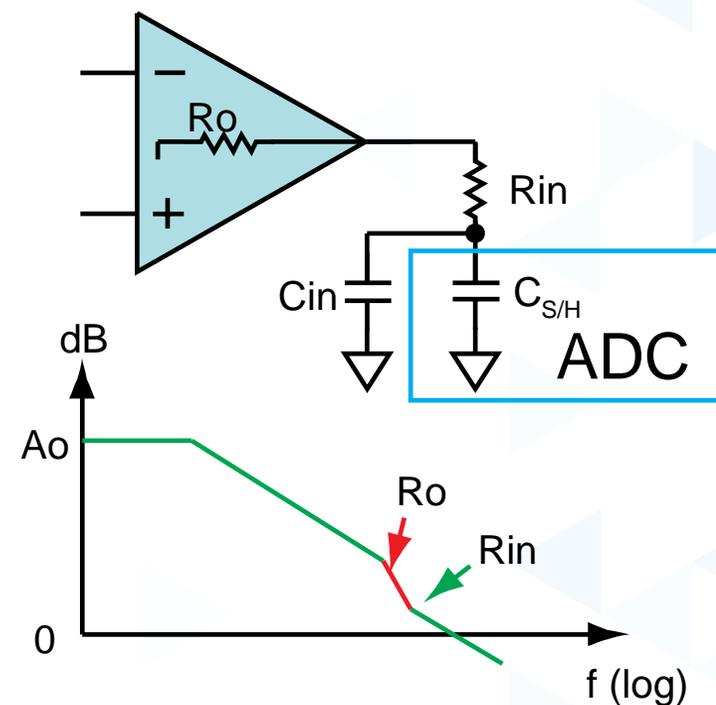
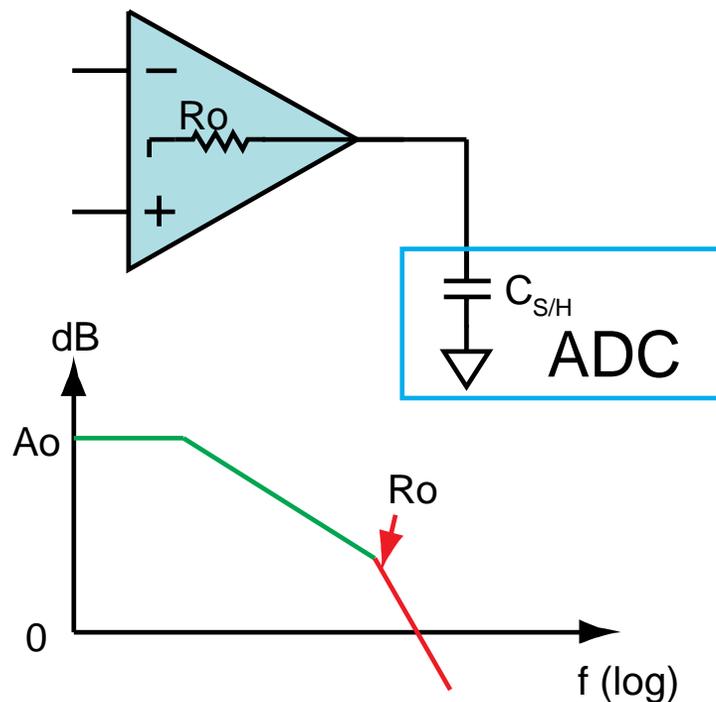
- 0.003% マッチング抵抗比
- 0.5ppm/°C マッチング温度ドリフト
- 8ppm/°C 絶対抵抗温度ドリフト

# ADCドライバの技術的課題 (その2)

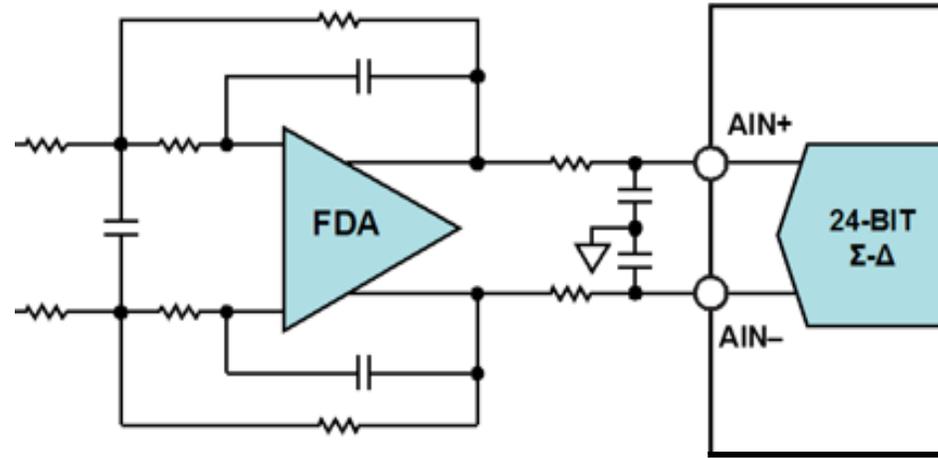


離散時間型タイプのADC

- ✓ DTSD ADC
- ✓ SAR ADC

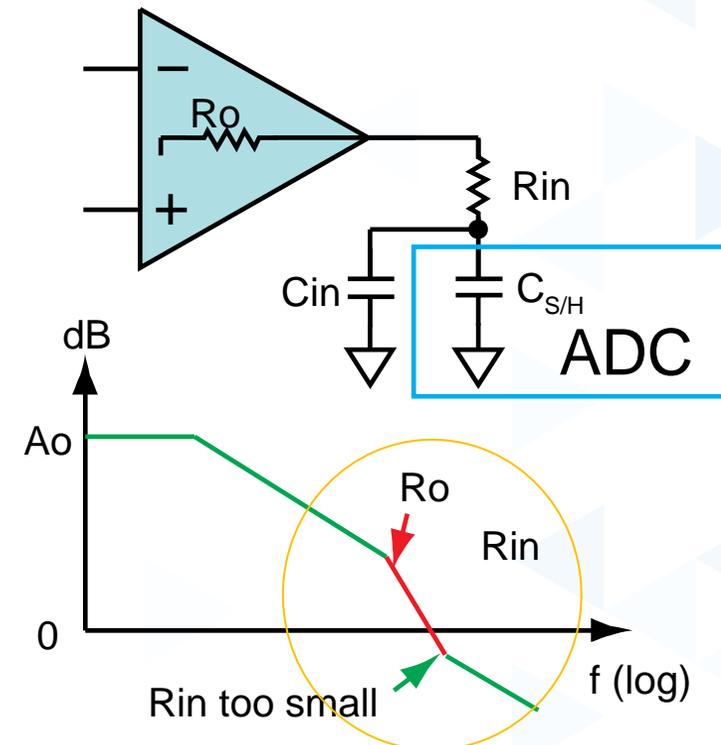
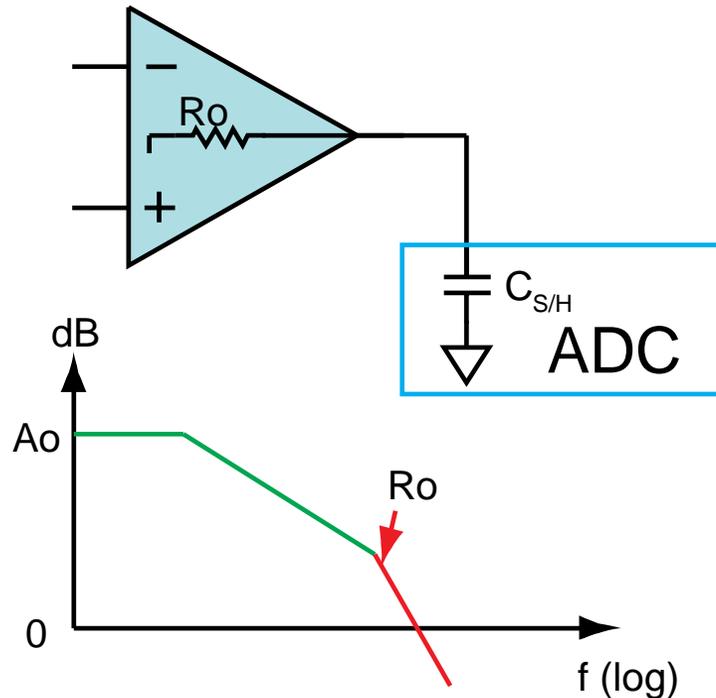


# ADCドライバの技術的課題 (その2)

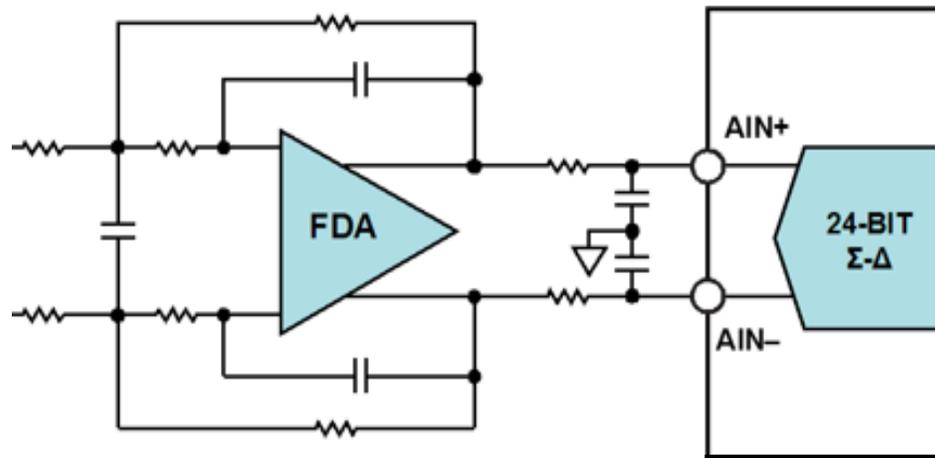


離散時間型タイプのADC

- ✓ DTSD ADC
- ✓ SAR ADC

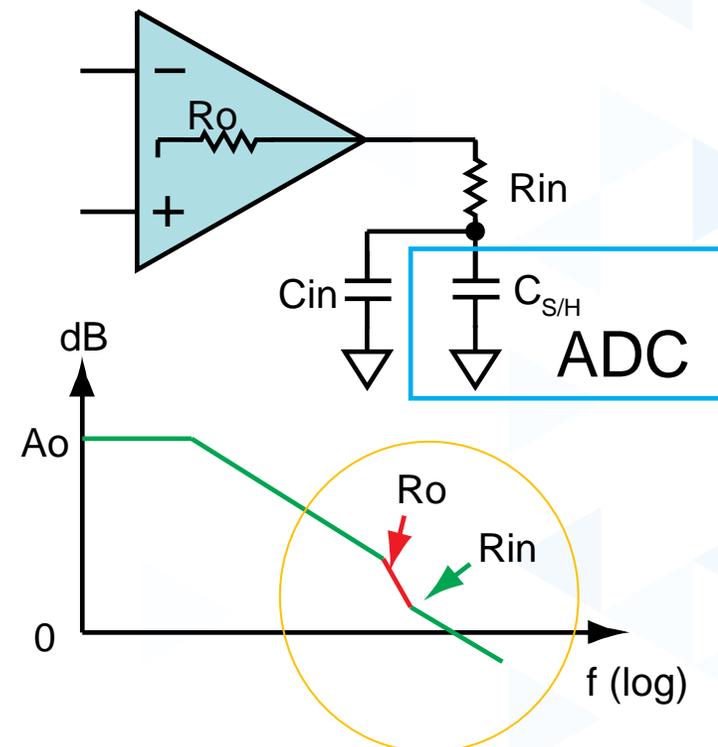
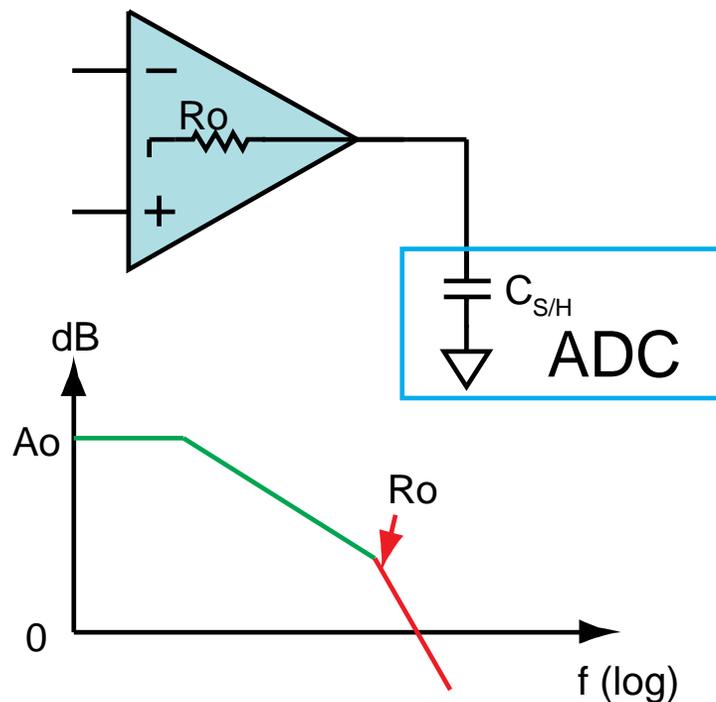


# ADCドライバの技術的課題 (その2)

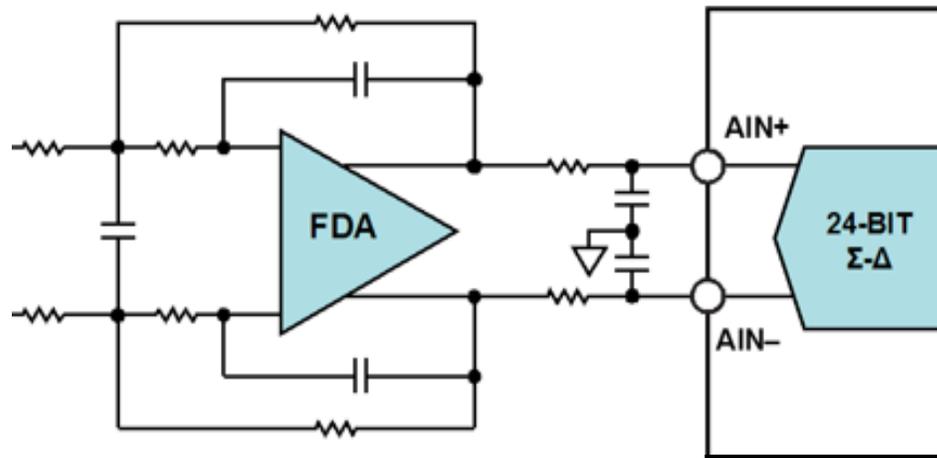


離散時間型タイプのADC

- ✓ DTSD ADC
- ✓ SAR ADC

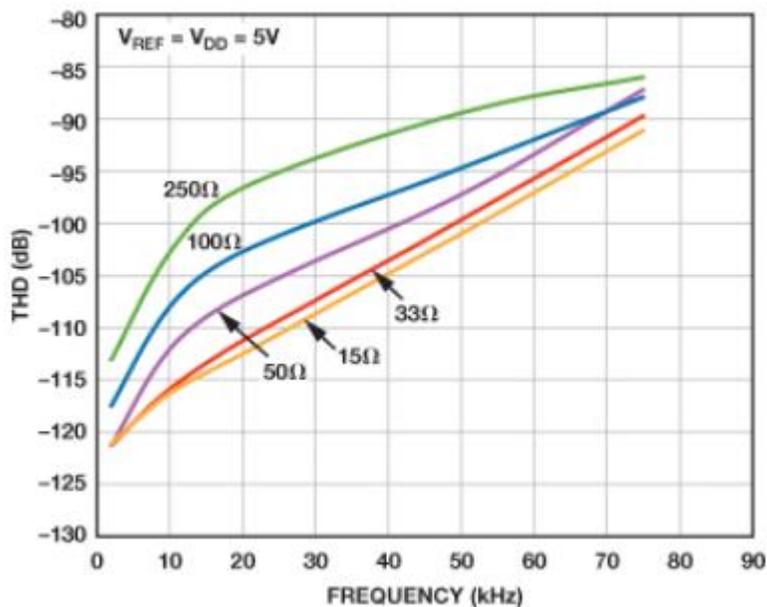


# ADCドライバの技術的課題 (その2)

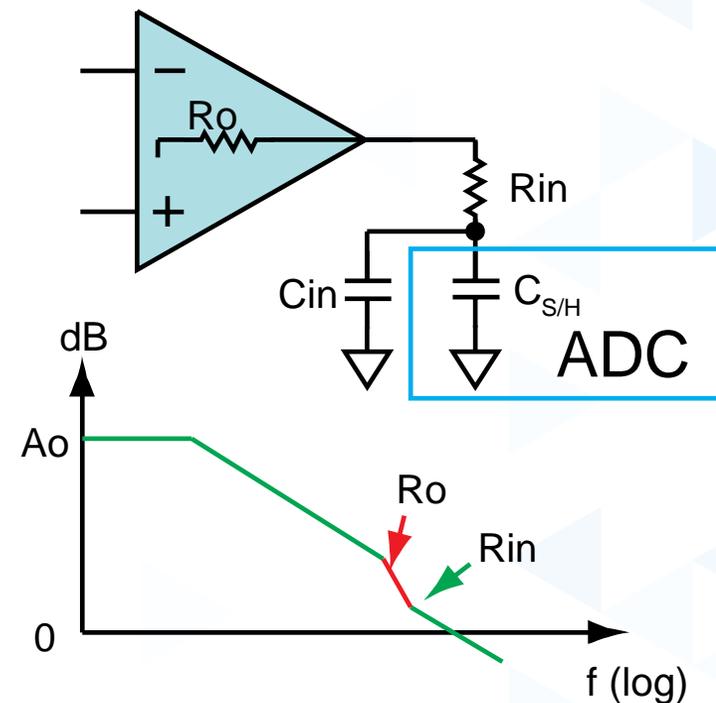


離散時間型タイプのADC

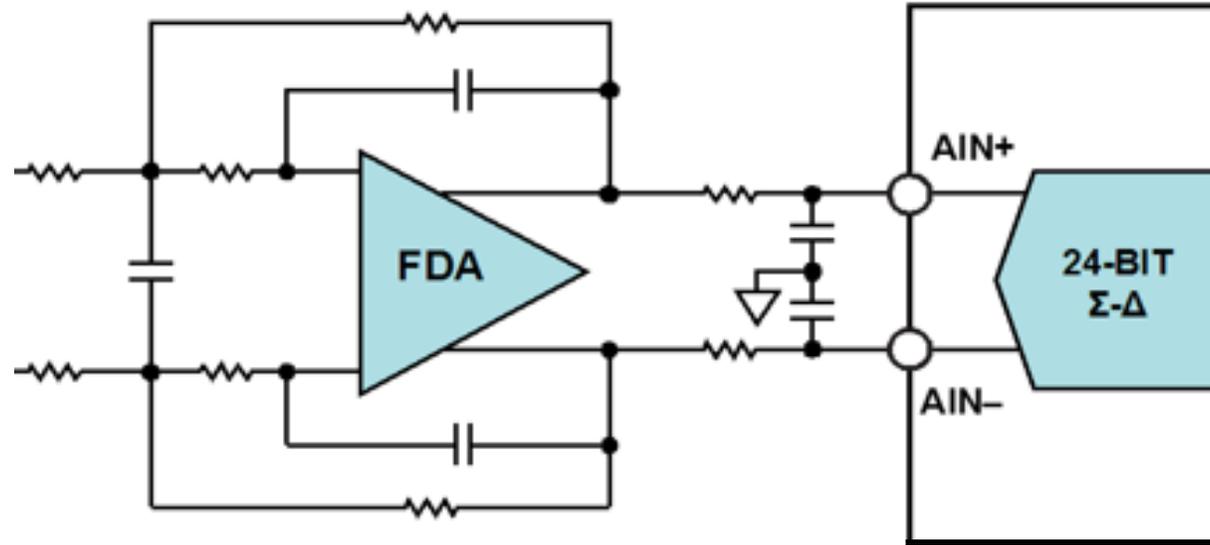
- ✓ DTSD ADC
- ✓ SAR ADC



入力周波数 対 THDに対するソース抵抗の影響

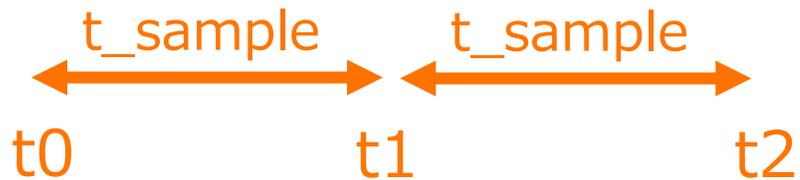


# ADCドライバの技術的課題（その3）



アンチ・エイリアス・フィルタ

# エイリアシングについて – ストロボ効果

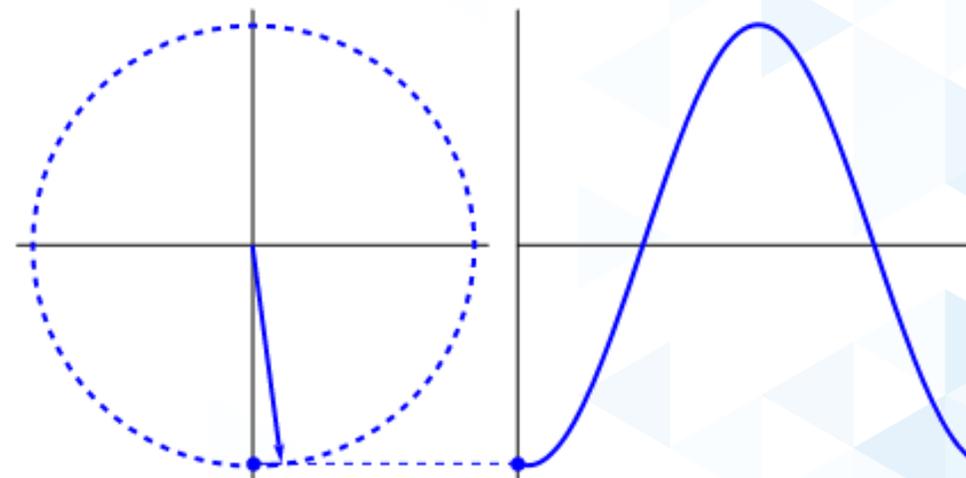


Q: ホイールのモーメントを正しく認識するために、各スナップショット間でホイールをどのくらい回転させることができますか？

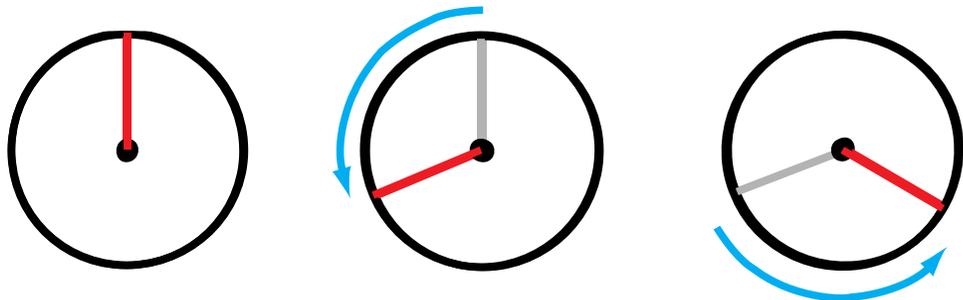
答え:  $\leq 180 \text{ deg}$

$$f_{\text{sample}} > 2 \times f_{\text{in}}$$

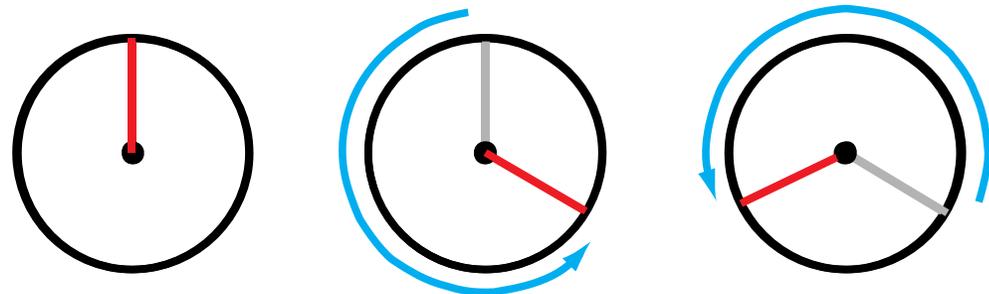
シャノン・ナイキストサンプリング定理



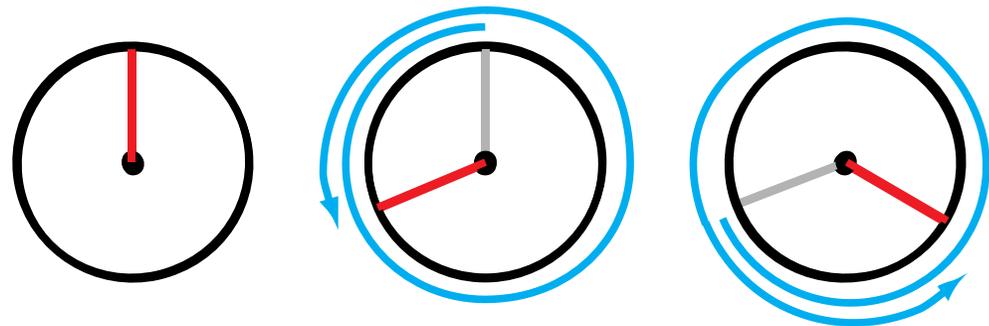
Case1



Case2

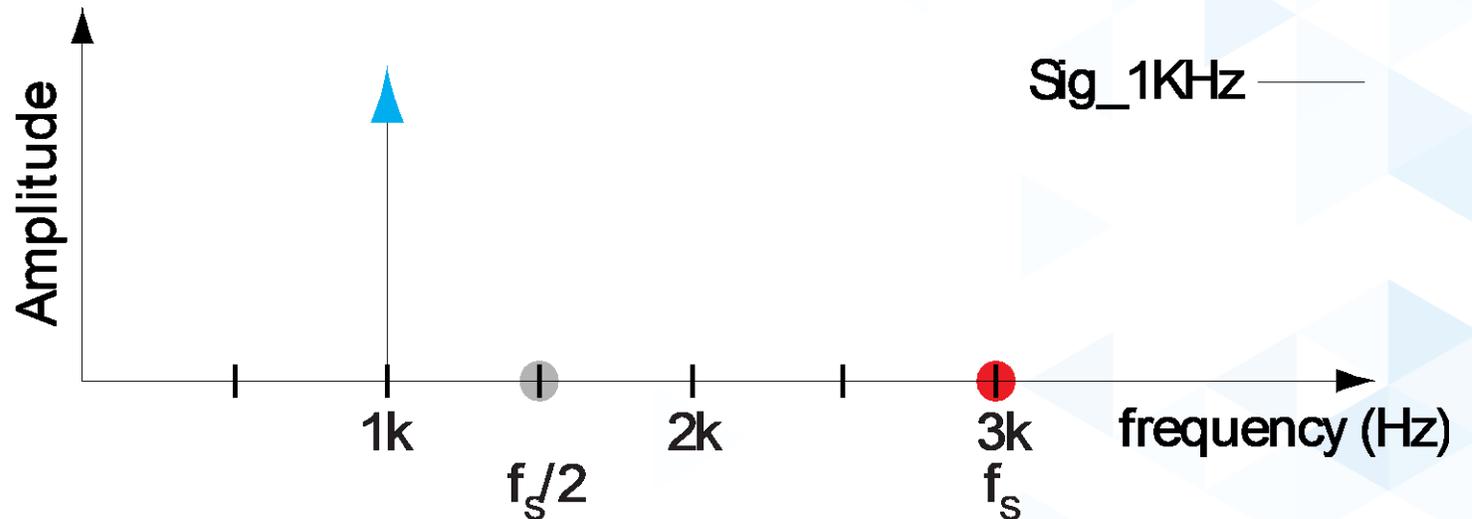
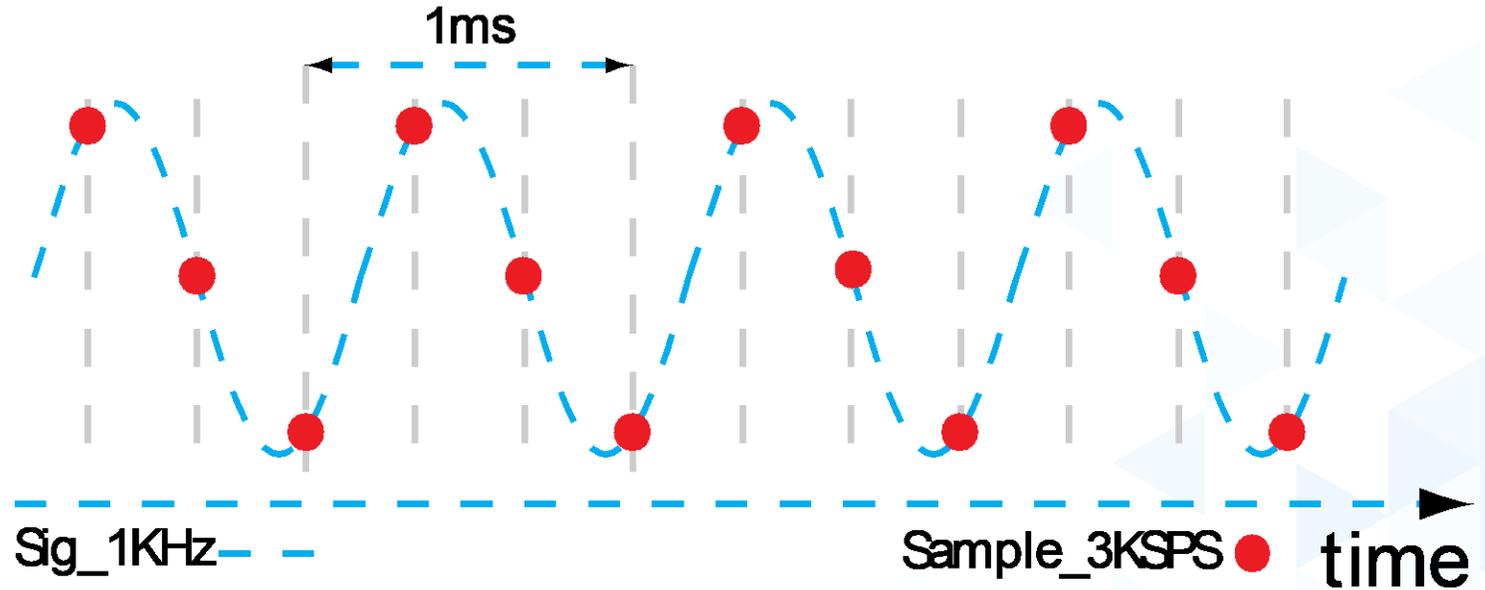
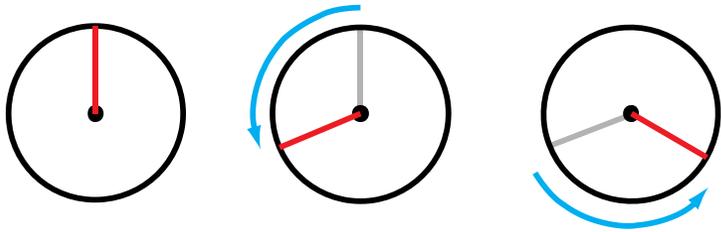


Case3



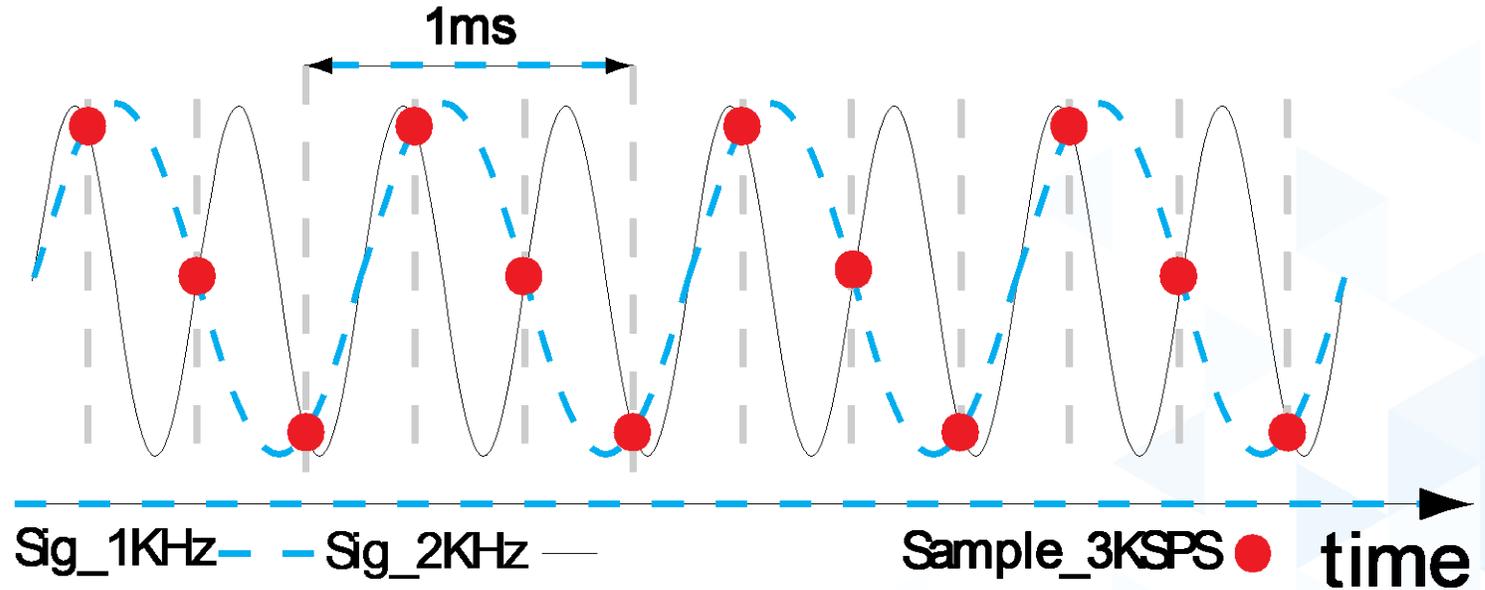
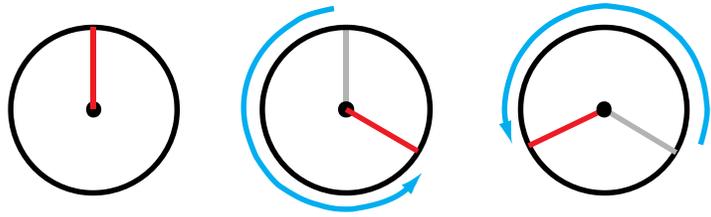
# エイリアシングについて

Case1

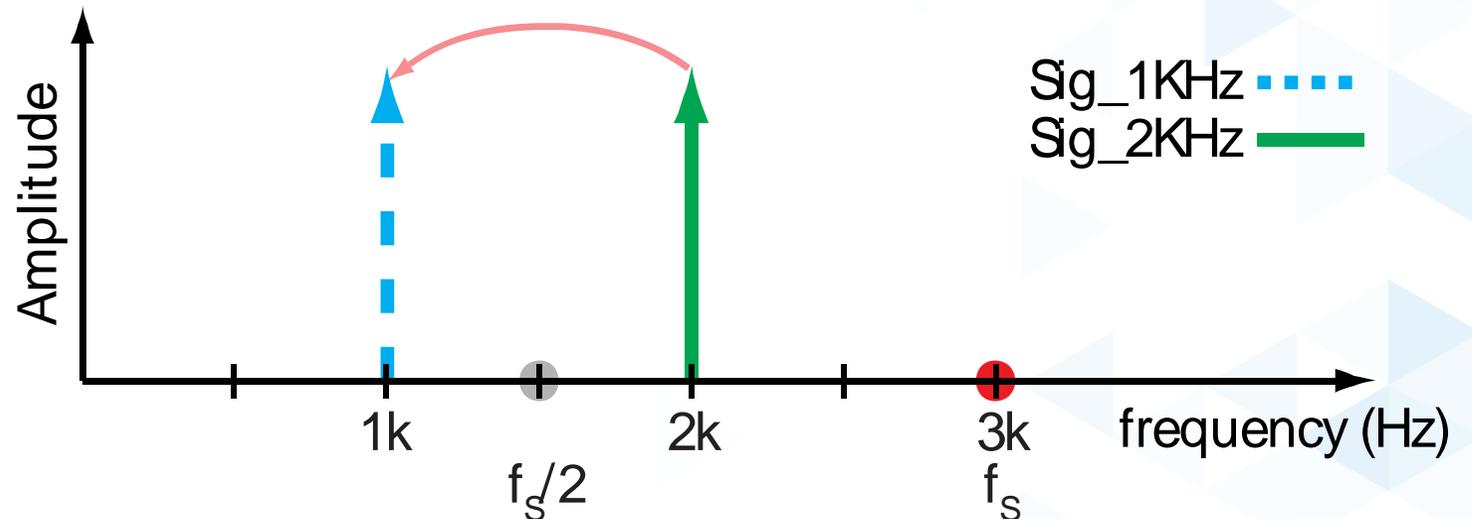


# エイリアシングについて

Case2



$N \times F_s \pm f_{in}$  が  $f_{in}$  へ  
エイリアスダウンされる



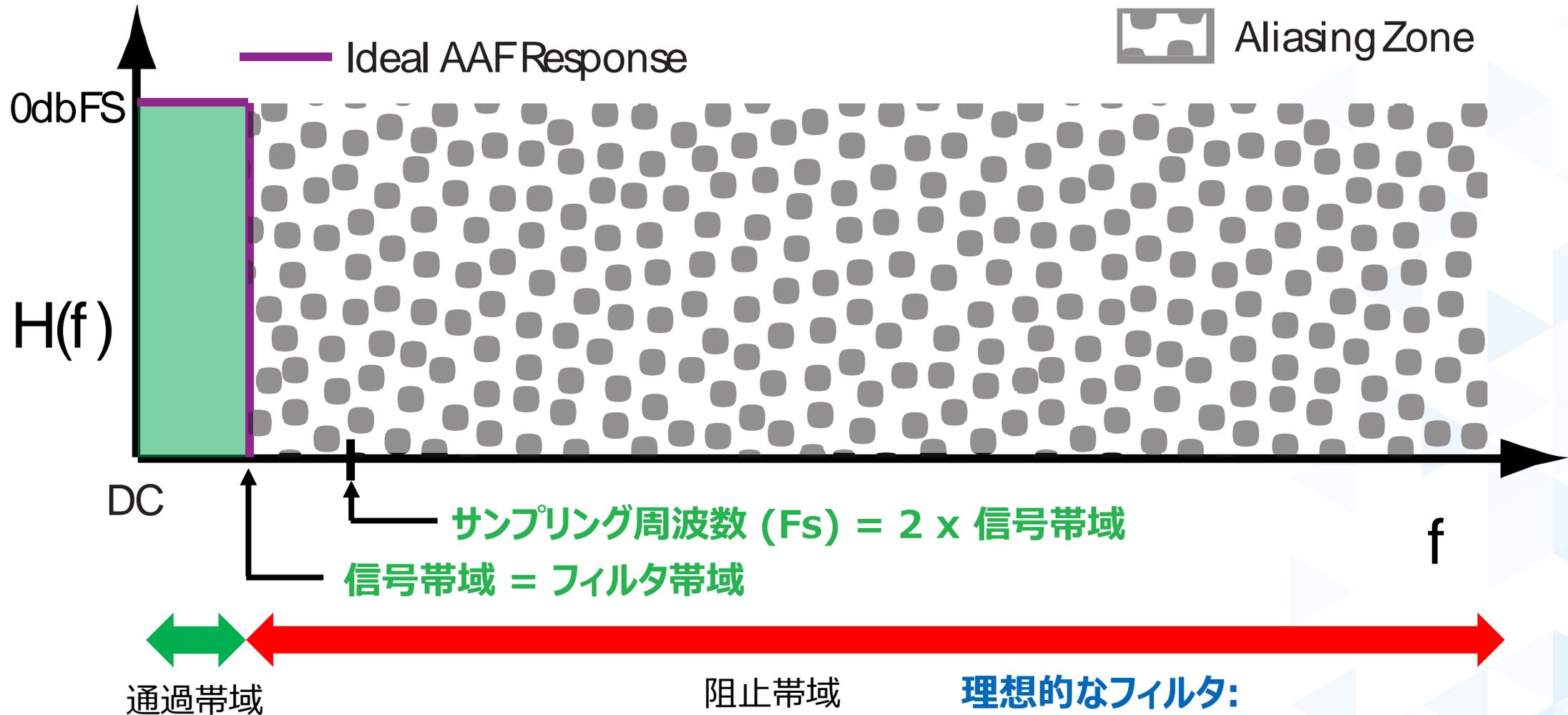
# アンチ・エイリアシング戦略

サンプリング周波数  
 $F_s > 2 \times F_{in}$

入力信号帯域  $F_{in}$  を制限  
➡ フィルタリング

サンプリング周波数  $F_s$  を上げる  
➡ オーバーサンプリング

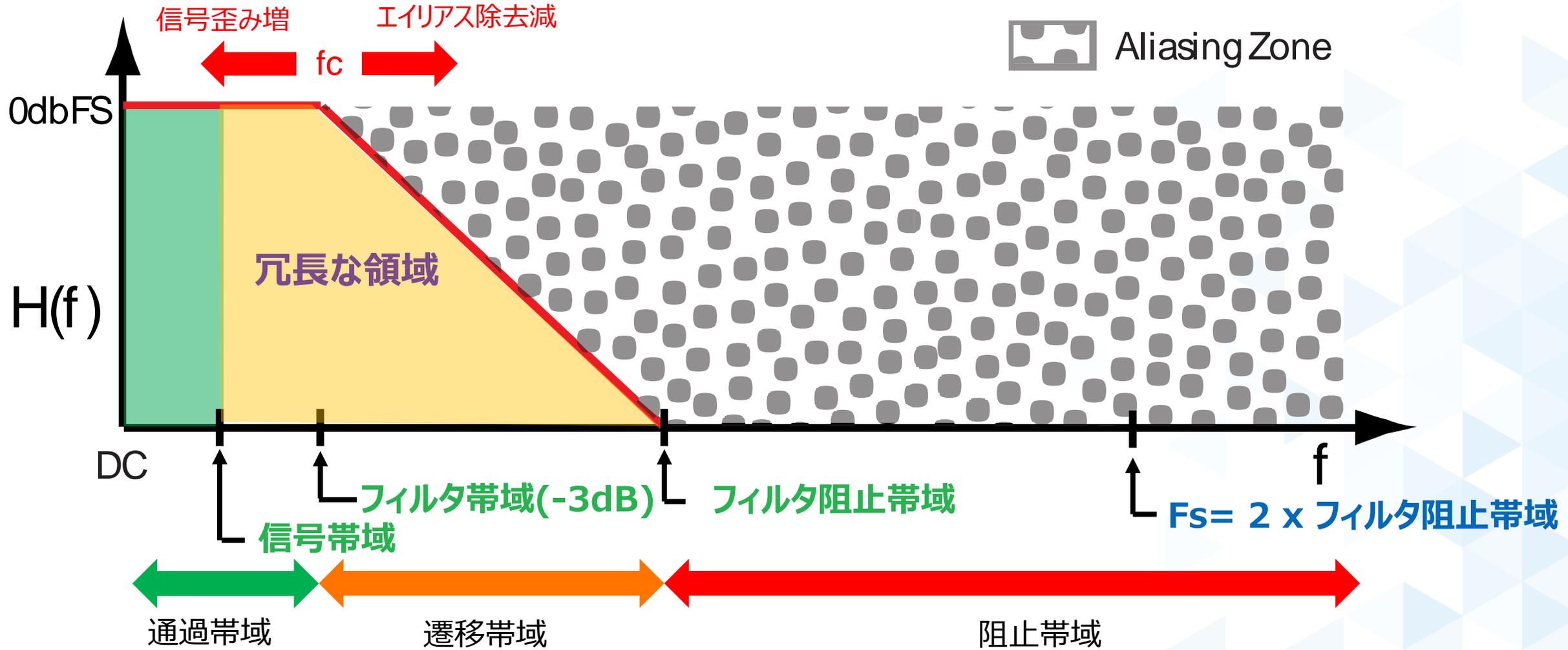
# 理想的なアンチ・エイリアシング・フィルタ



## 理想的なフィルタ:

- 通過帯域で信号を取得
- 他の全てを取り除く

# 実際のアンチ・エイリアシング・フィルタ



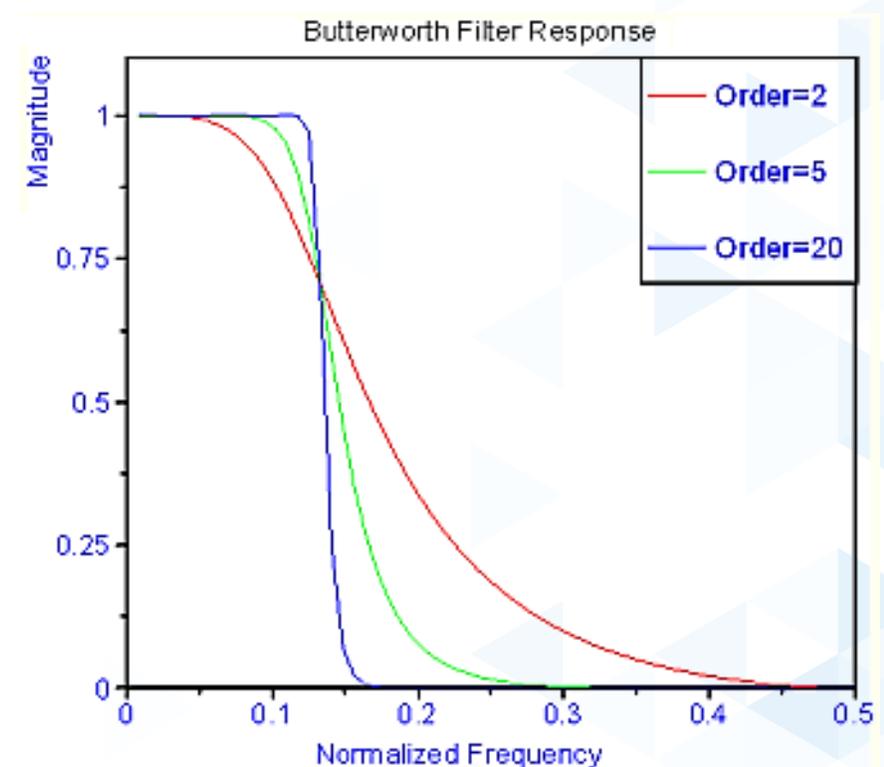
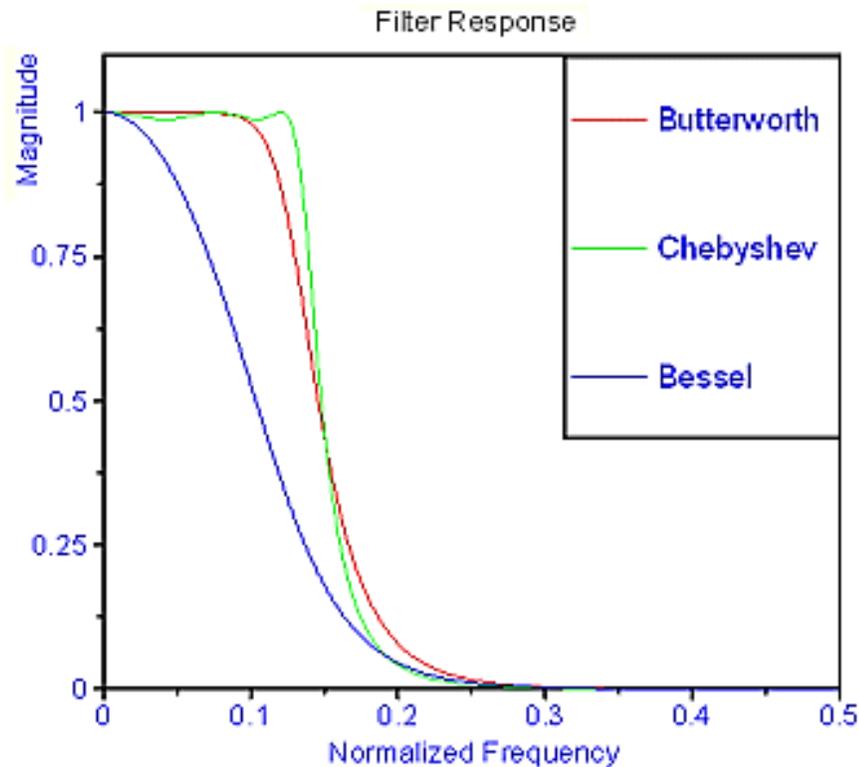
# フィルタ設計の考慮事項 – プロファイルと次数

## ▶ フィルタプロファイル:

- チェビチエフ – 良好なエイリアス除去と高歪み
- バターワース – フラットな振幅特性
- ベッセル – 位相直線性

## ▶ フィルタ次数:

- 高次フィルタ:
  - 高いエイリアス除去性能
  - 複雑な設計の複雑さが増す
  - 遅延大



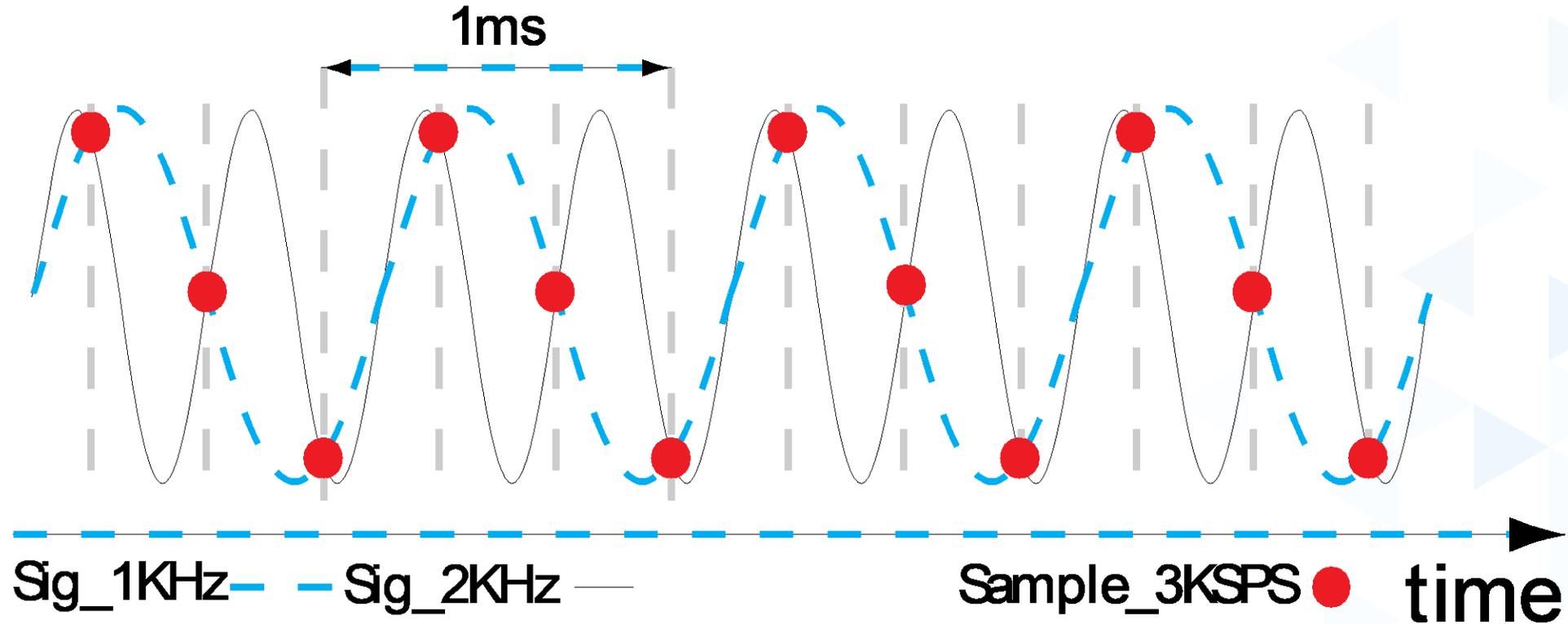
# アンチ・エイリアシング戦略

サンプリング周波数  
 $F_s > 2 \times F_{in}$

入力信号帯域  $F_{in}$  を制限  
➡ フィルタリング

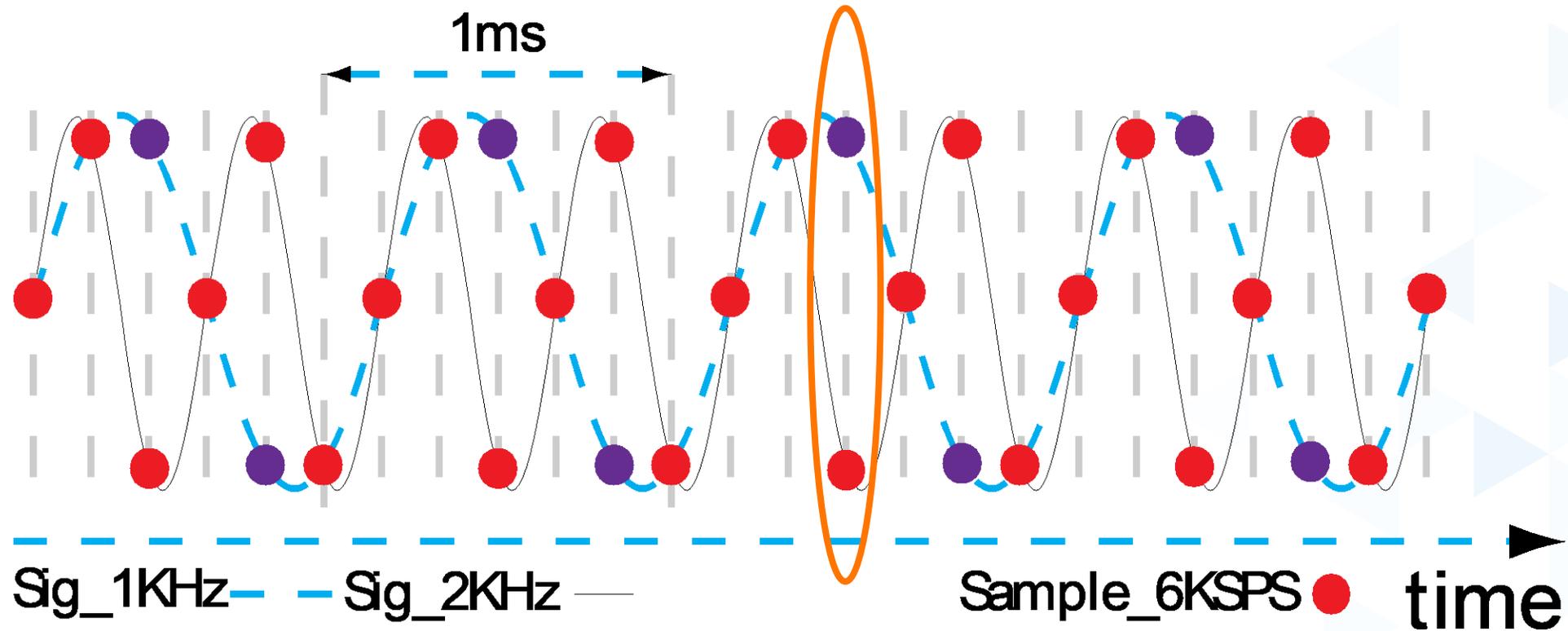
サンプリング周波数  $F_s$  を上げる  
➡ オーバーサンプリング

# オーバーサンプリング



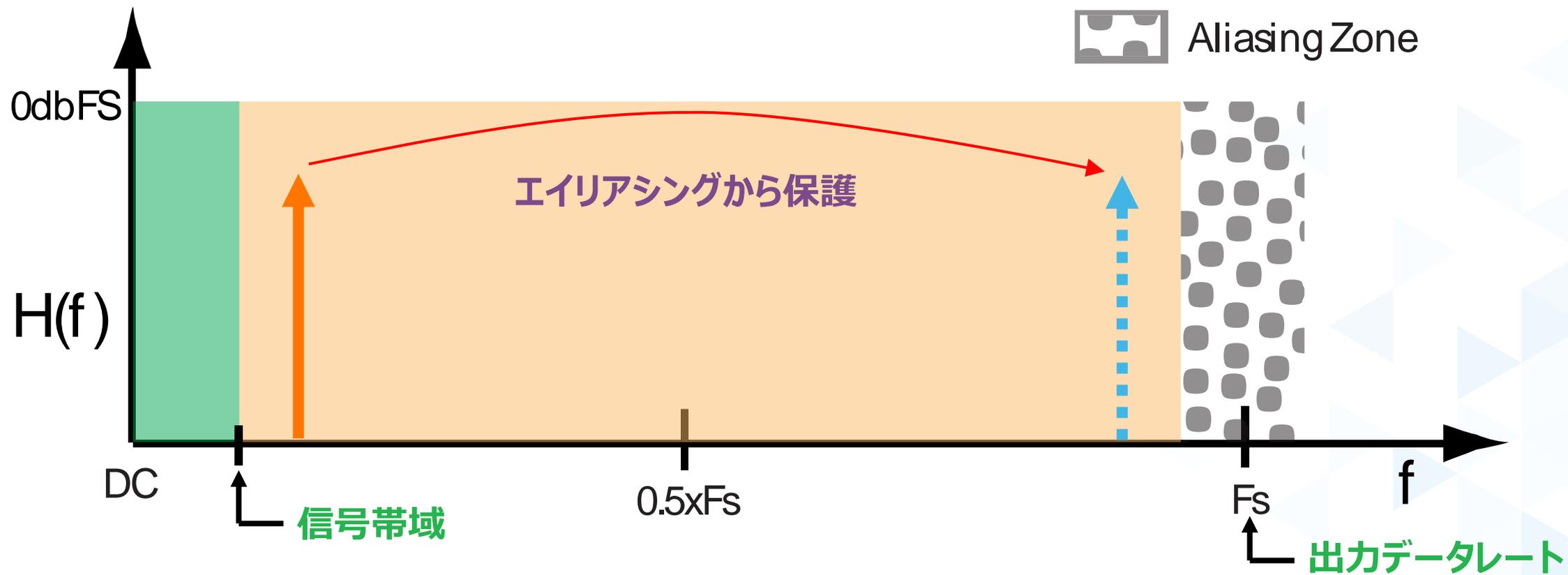
オーバーサンプリング無し - 2つの入力信号が同じサンプル出力を生成

# オーバーサンプリング

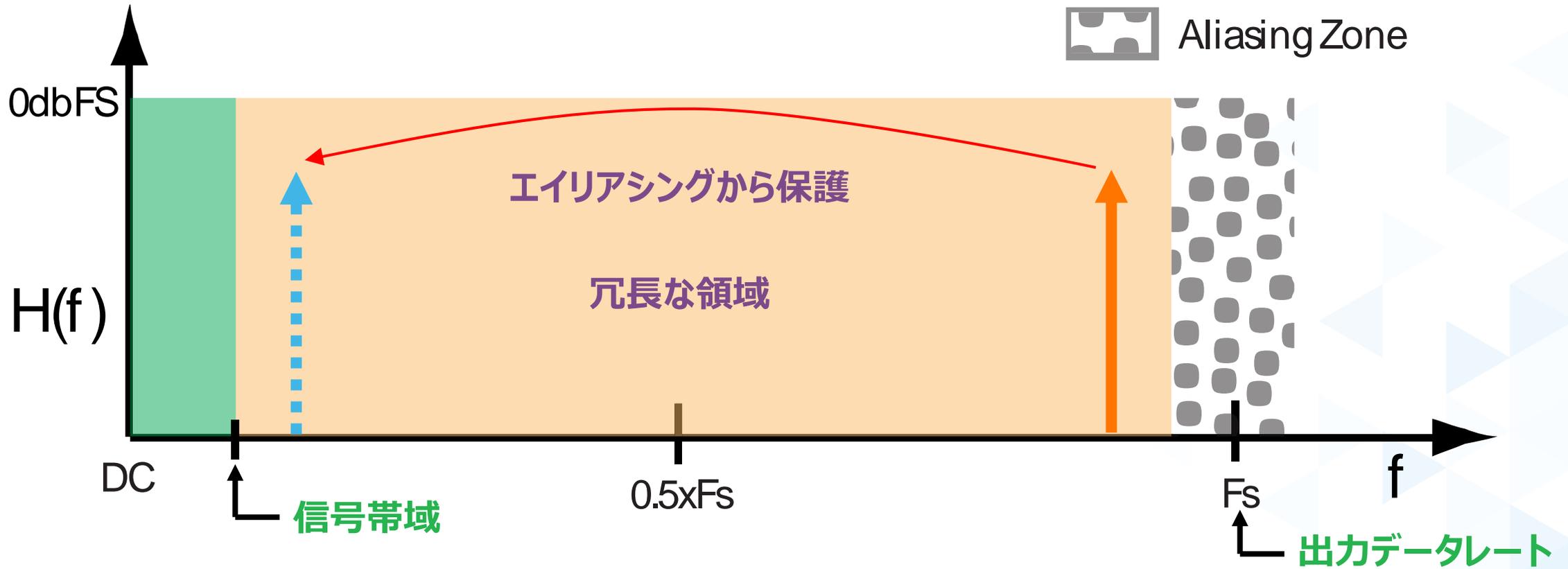


オーバーサンプリング有り。2つの入力信号は異なるサンプル出力を生成

# オーバーサンプリングによるアンチエイリアシング



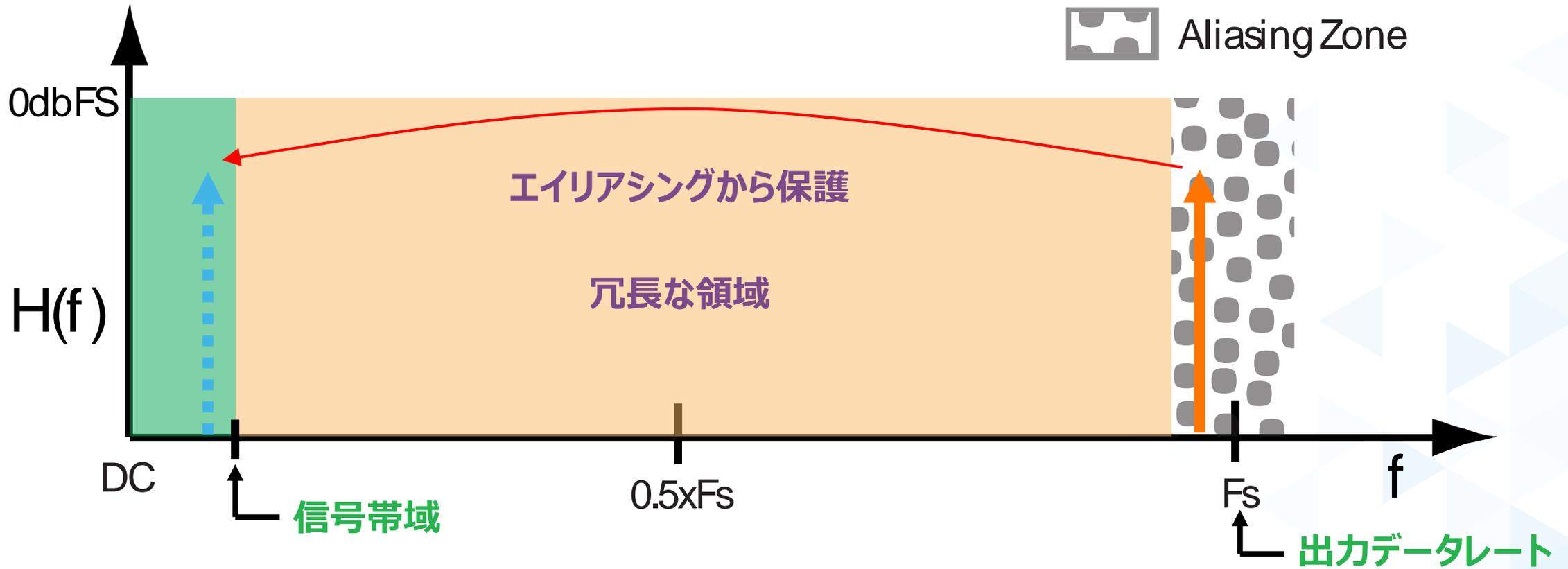
# オーバーサンプリングによるアンチエイリアシング



長所:

- 帯域外信号の区別が可能な範囲が広がる

# オーバーサンプリングによるアンチエイリアシング



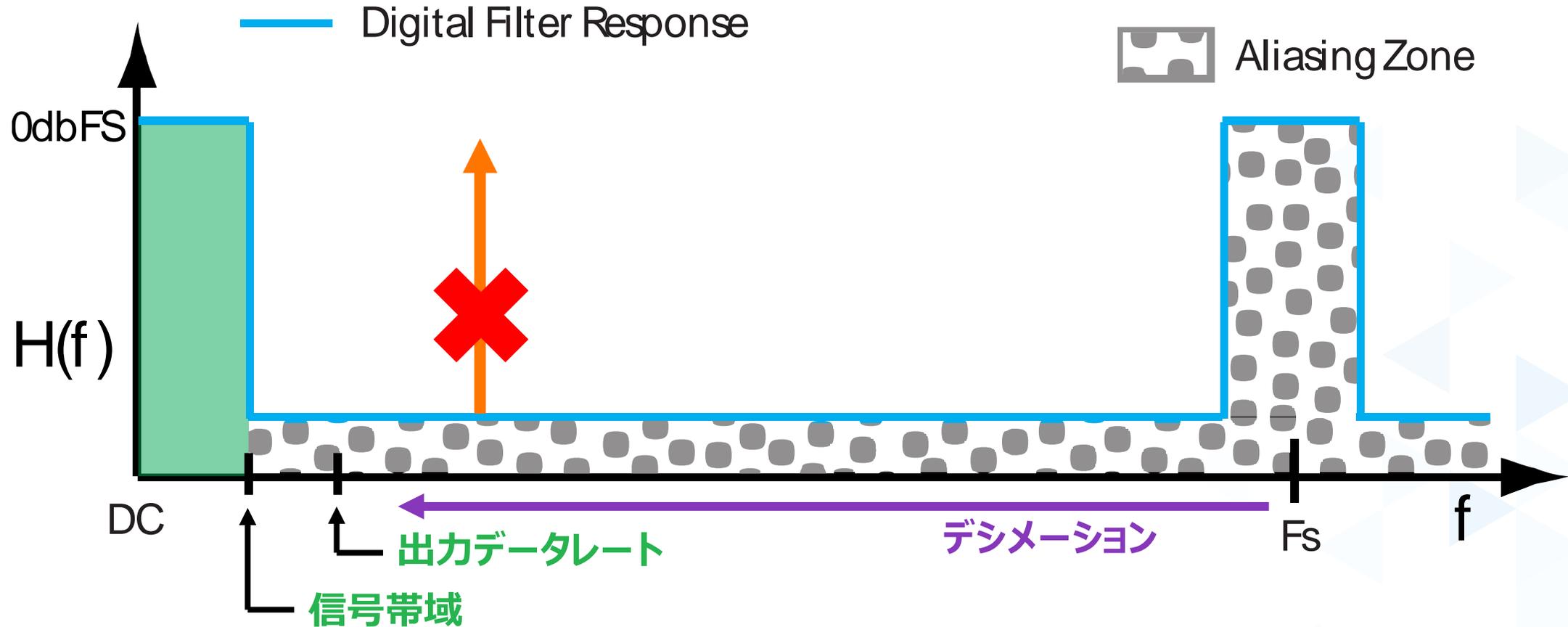
## 長所:

- 帯域外信号の区別が可能な範囲が広がる

## 短所:

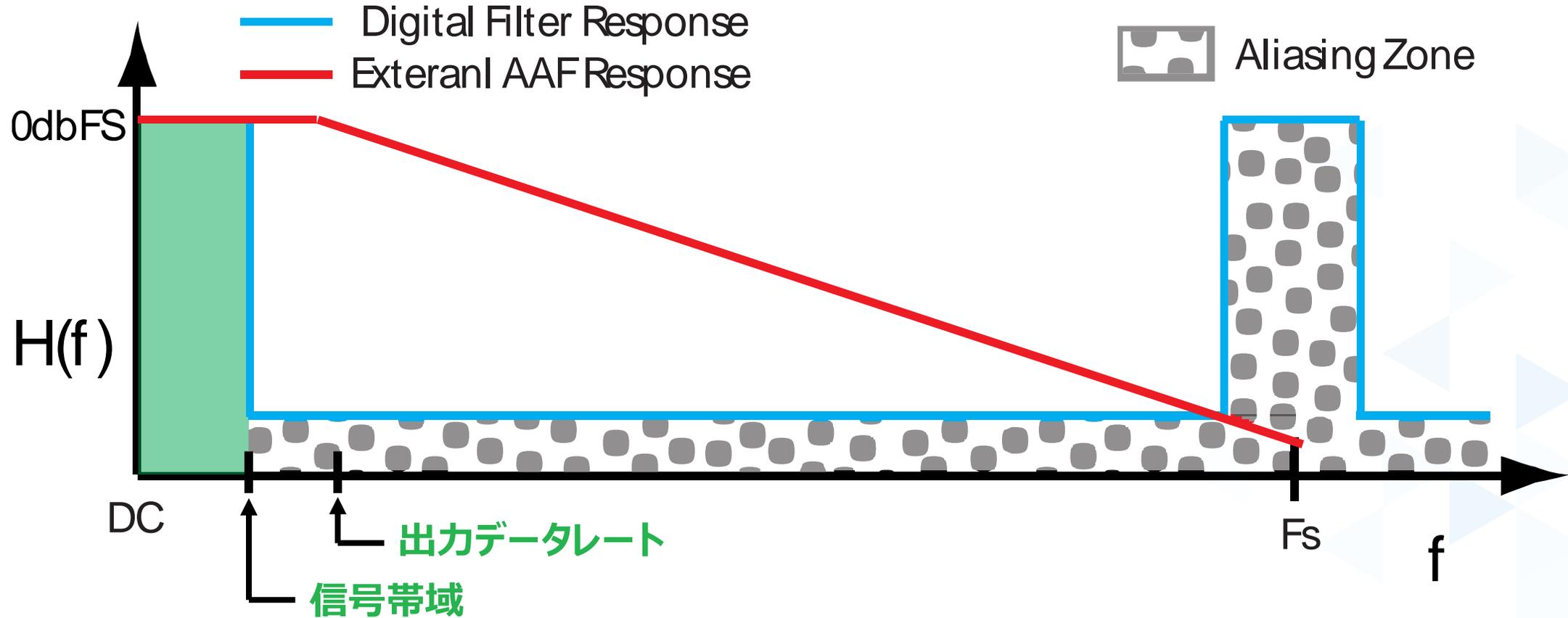
- $F_s$  周辺の周波数帯は保護されない
- 余分に冗長された不要な出力情報

# AAF + デジタルフィルタ



デジタルフィルタ + デシメーションは出力から冗長な情報を削除し、出力データレートを低く保ちます。

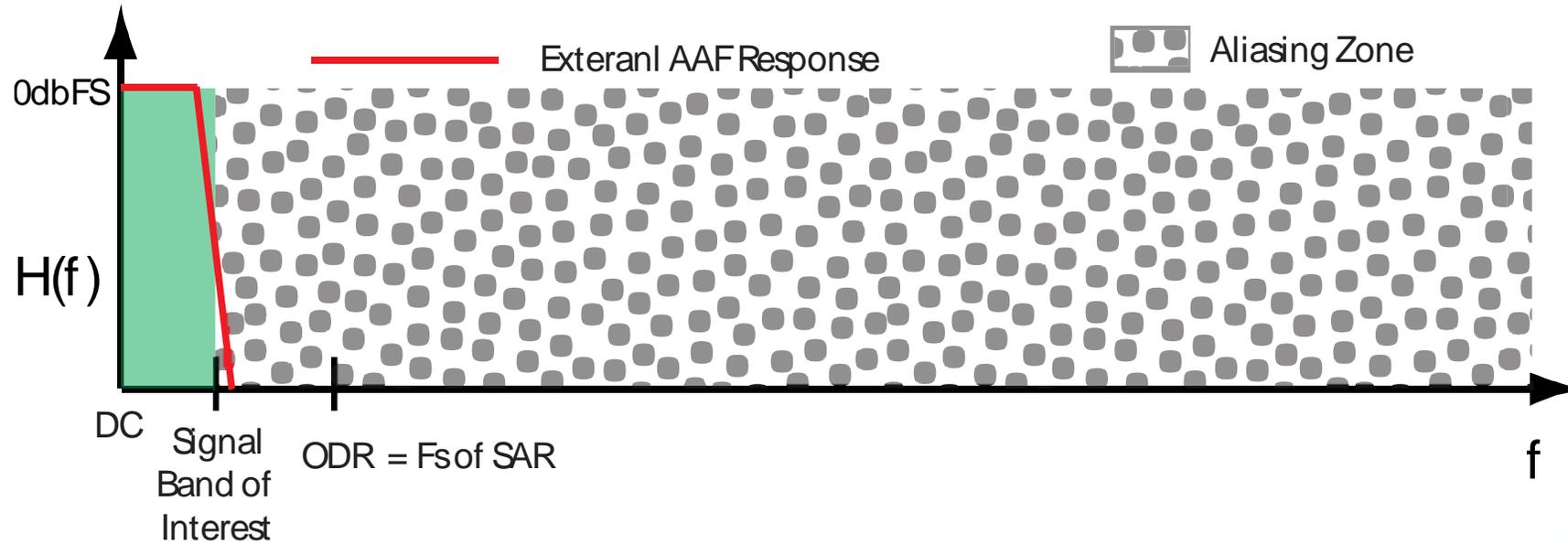
# アナログ・フィルタ と デジタルフィルタの組み合わせ



完全な帯域外エイリアシング保護

より高いオーバーサンプリング比 → シンプルなアナログフィルタ設計

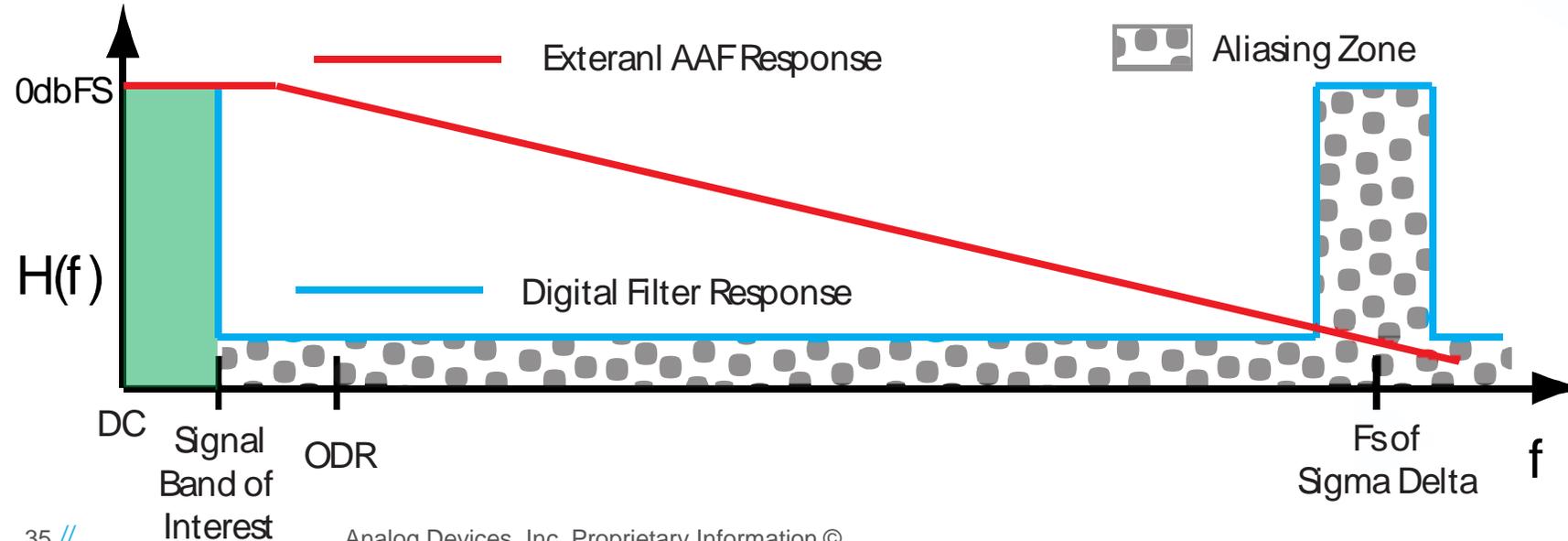
# ADCにおけるアンチ・エイリアシング・フィルタ



## SAR

ナイキストサンプリング  
(アンチエイリアシングへの負荷大)

- ▶ エイリアシング領域が信号帯域に近い
- ▶ 高次のフィルタ設計が複雑



## Sigma Delta

オーバーサンプリングとデジタルフィルタリング

- ▶ 小さなエイリアシングゾーン
- ▶ デジタルフィルタ+デシメーションが冗長な情報成分を除去
- ▶ 出力データレートを下げられる
- ▶ フィルタ設計が容易

# A/D変換システム的设计における課題

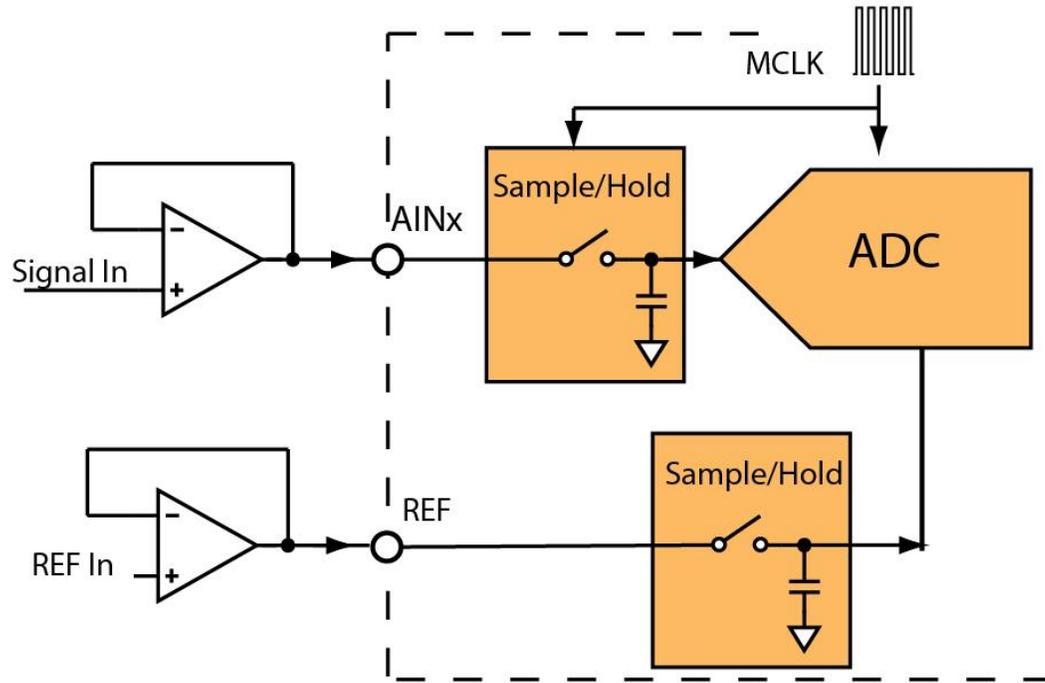
1. 差動アンプの抵抗の整合誤差
2. サンプル&ホールド回路の容量性負荷駆動
3. アンチ・エイリアシング・フィルタ

アンチ・エイリアシングの  
課題への取り組みを支援する  
新技術

## 連続時間型シグマ・デルタADC AD7134

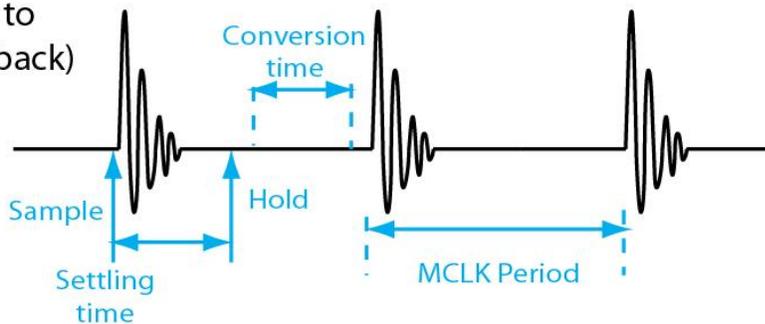


# なぜADCドライバが必要？

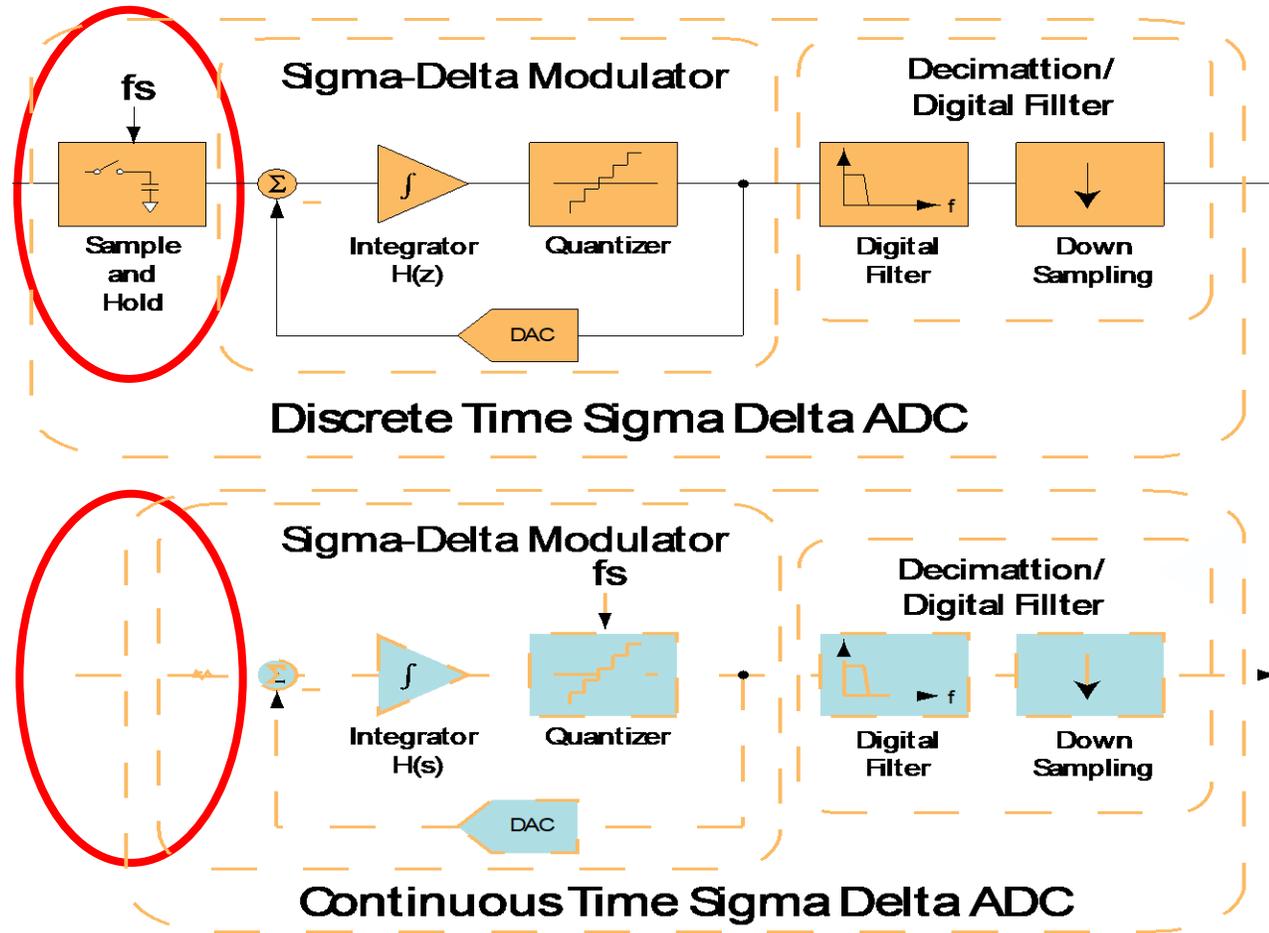


- ▶ スイッチドキャパシタ回路からのキックバック
- ▶ サンプルングスイッチのON/OFFによる過渡電流の充放電に対する要求
- ▶ リファレンス入力もまたキックバック
- ▶ 速いセトリングとキックバック要件を満たす広帯域アンプが必要

Input distortion due to charge injection (kick-back) from S/H circuit

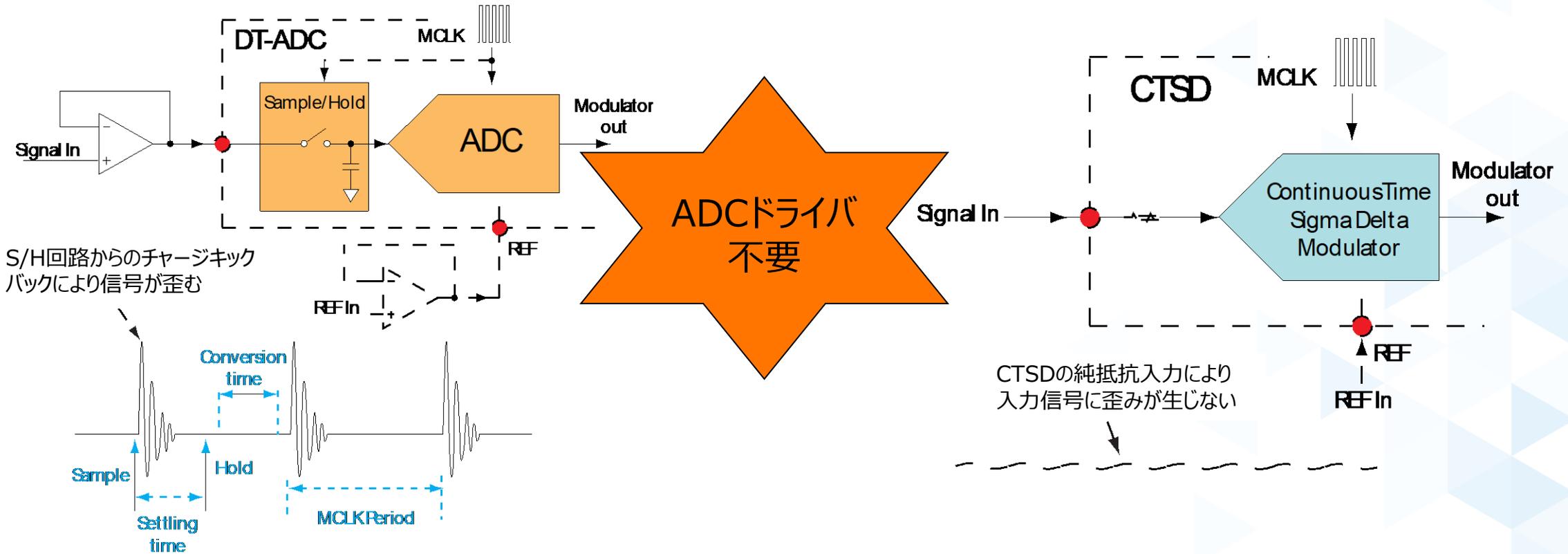


# 連続時間型 $\Sigma\Delta$ ADC AD7134



連続時間型 $\Sigma\Delta$ ADCは初段にS/H回路が不要

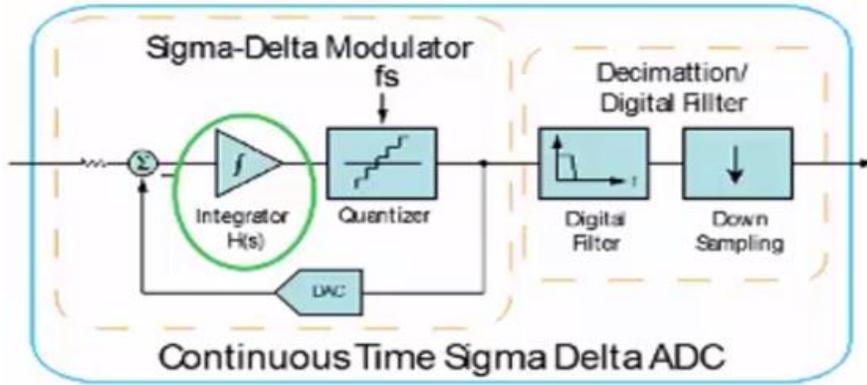
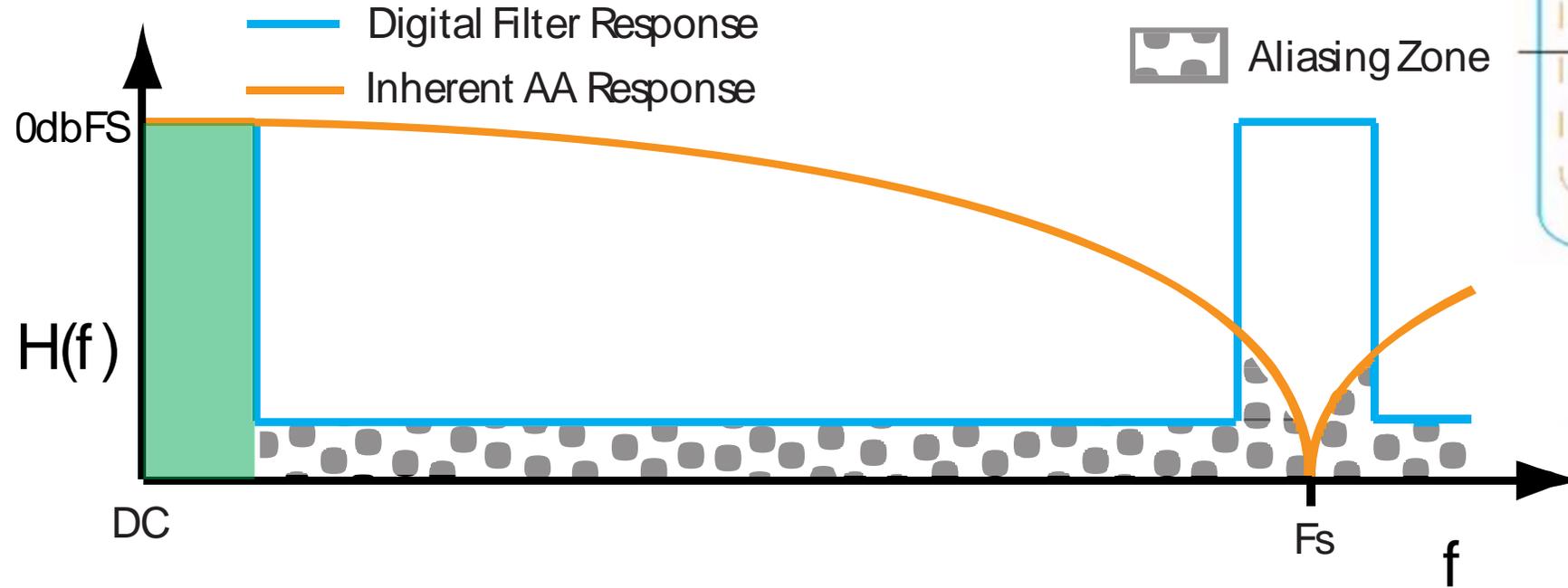
# 入力の駆動においてADCの使いこなしが容易 離散時間型 vs. 連続時間型



**離散時間型ADC**はスイッチドキャップ・S/H回路構成  
 →容量負荷駆動  
 →チャージキックバック有り  
 →ADCドライバ必要

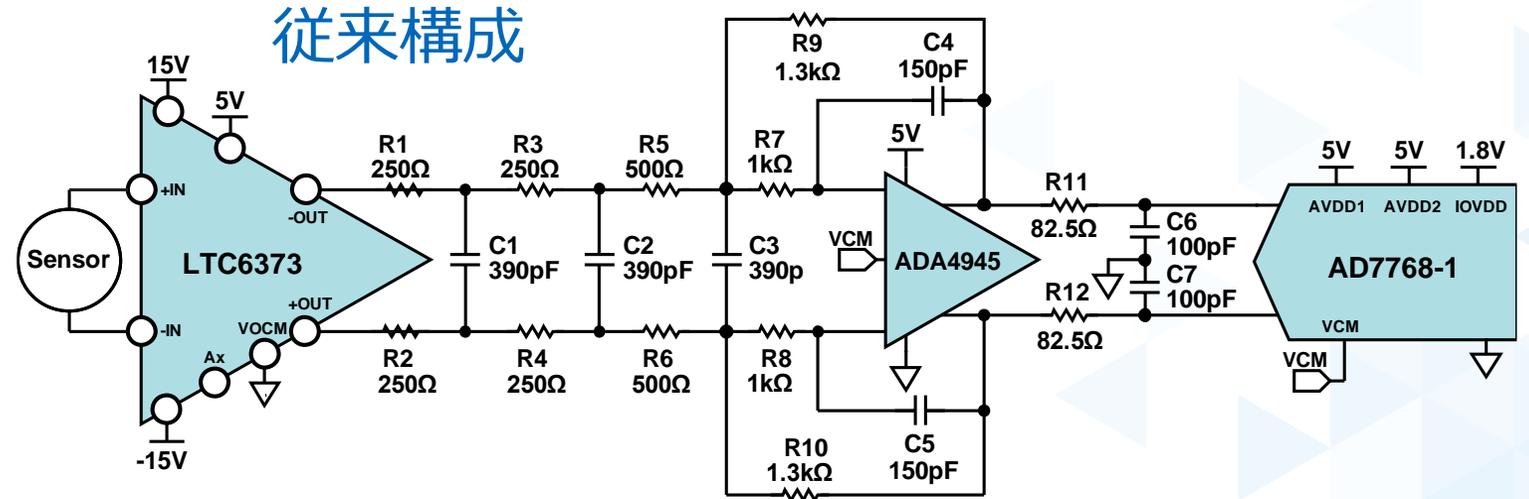
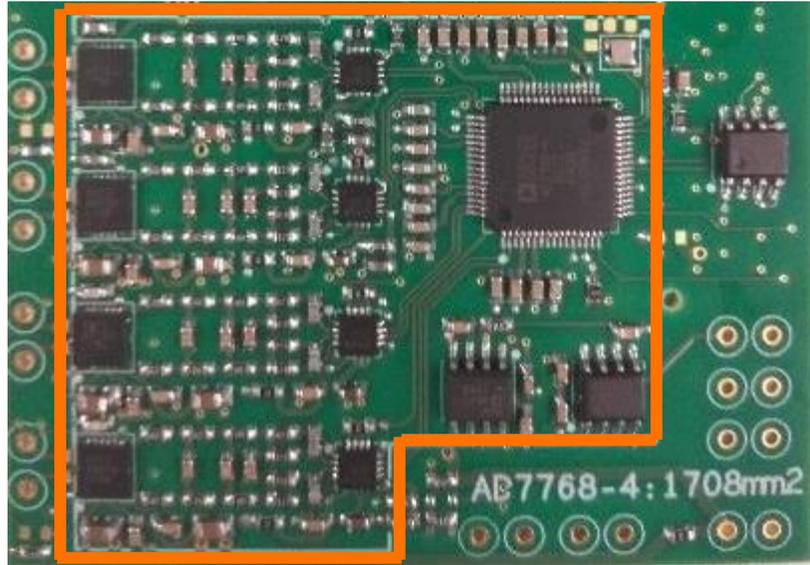
**連続時間型ADC**は純粋な抵抗性入力（ADCとREF入力）  
 →チャージキックバック無し  
 →ADCドライバは不要

# 連続時間型 $\Sigma\Delta$ (CTSD) ADC デバイス固有のアンチエイリアシング応答

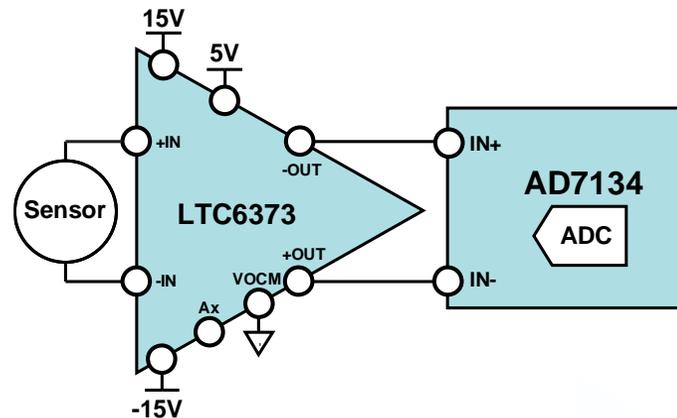


- デバイス固有のアンチエイリアシング応答特性により、 $F_s$ 周辺の信号を自らで除去
- デジタルフィルタと組み合わせることで、外部AAFを不要としエイリアシングから本質的に保護

# 連続時間型 $\Sigma\Delta$ ADC AD7134 – 実装面積縮小

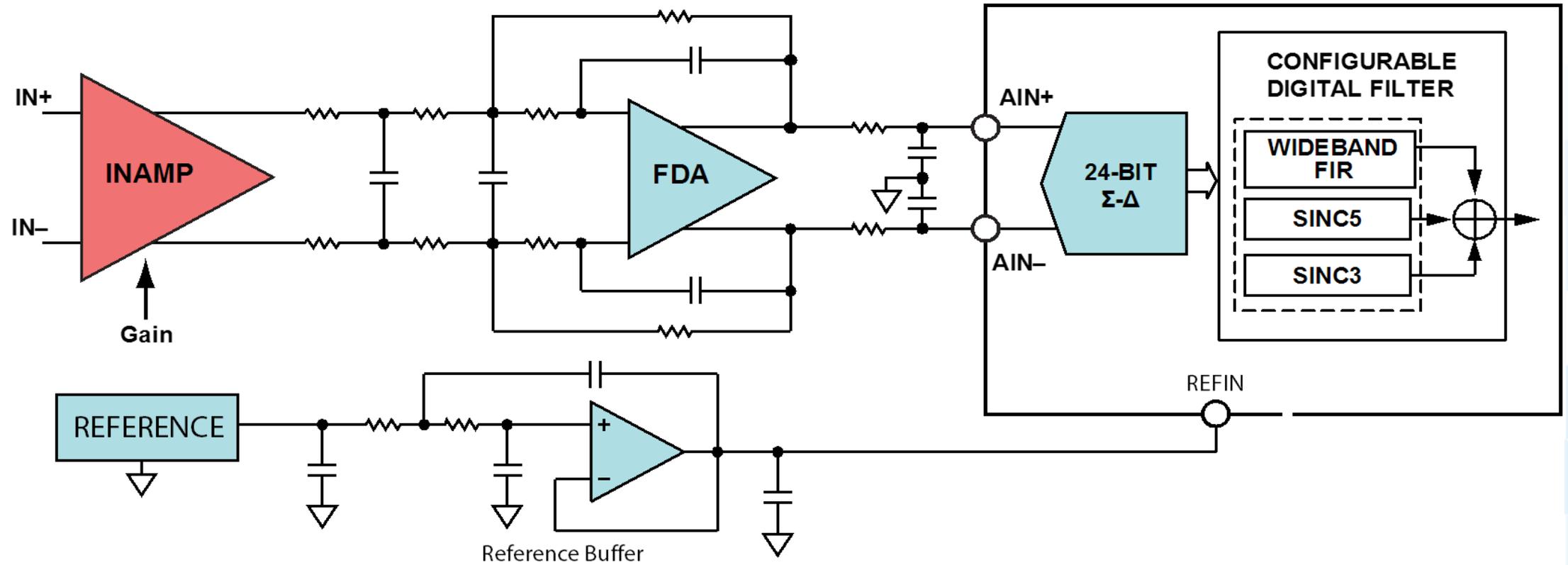


## AD7134(4ch.) PCBレイアウト

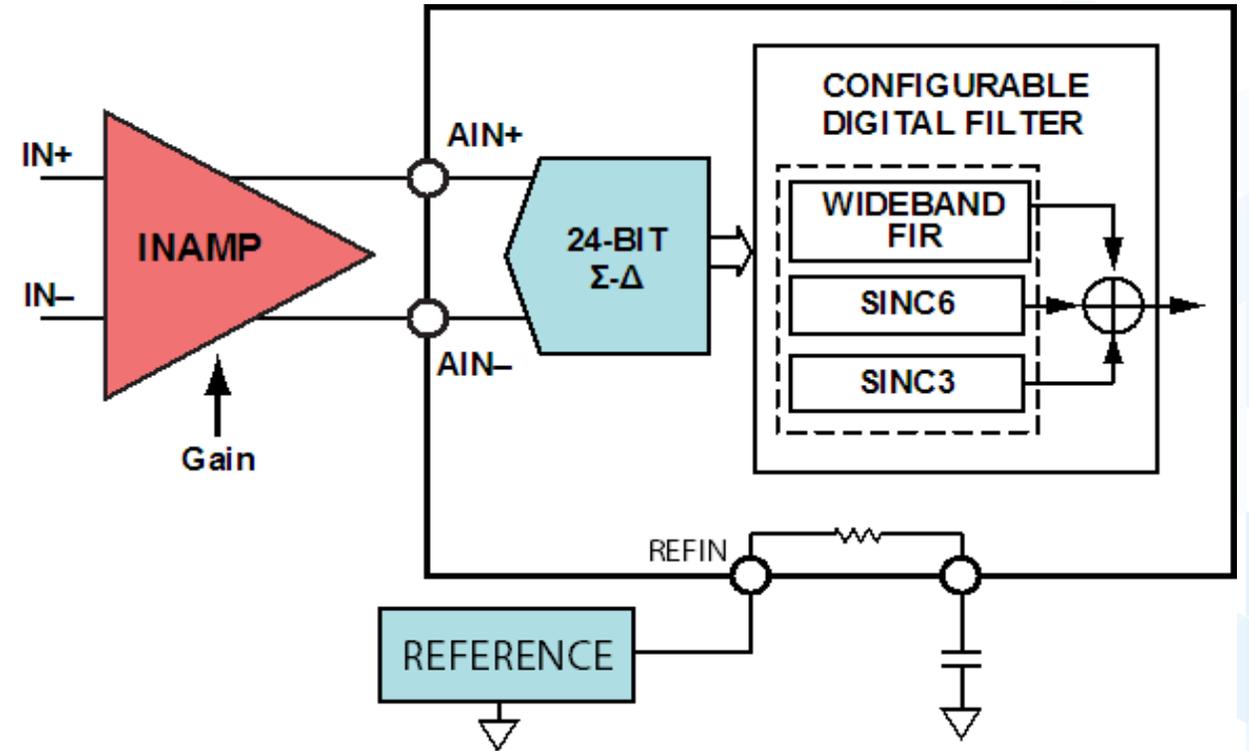


外部AAFを削除することで、  
AD7134に必要な領域が  
大幅に削減

## 従来構成



## AD7134



# AD7134が提供できる価値

## ▶ アンチエイリアシング・フィルタが不要

- 連続時間型ΣΔADCは固有のエリヤス除去機能を備えているのでAAFが不要
  - ✓ AAFに伴う性能上の懸念事項が全て解消
  - ✓ AAFに関連するオフセット誤差、ゲイン誤差、位相誤差、ノイズ、S/H回路のドループ特性への配慮が必要なくなる
  - ✓ シグナル・チェーンの遅延の低減→より高次のAAFを使用する場合性能に応じたシグナル・チェーンの遅延が大幅に増加

## ▶ ドライバとリファレンスバッファが不要

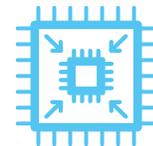
- アナログ信号とリファレンスを抵抗性の入力部に接続されるためドライバとリファレンス・バッファが不要
- オフセット／ゲイン／位相の誤差、システムに対するノイズの混入といった性能上の懸念事項が排除

## ▶ 設計負荷の削減

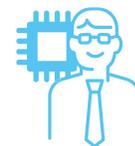
- シグナル・チェーンの構成要素を大幅に削減できることから、高い精度を実現するための労力を最小限に抑えられます

## ▶ サイズの縮小

- AAF、ドライバ、リファレンス・バッファが不要になることから、シグナル・チェーンの実装面積を大幅に削減(~50%)



フットプリントの  
削減



総所有コストの  
削減



製造工程のキャリ  
ブレーションコスト  
の削減



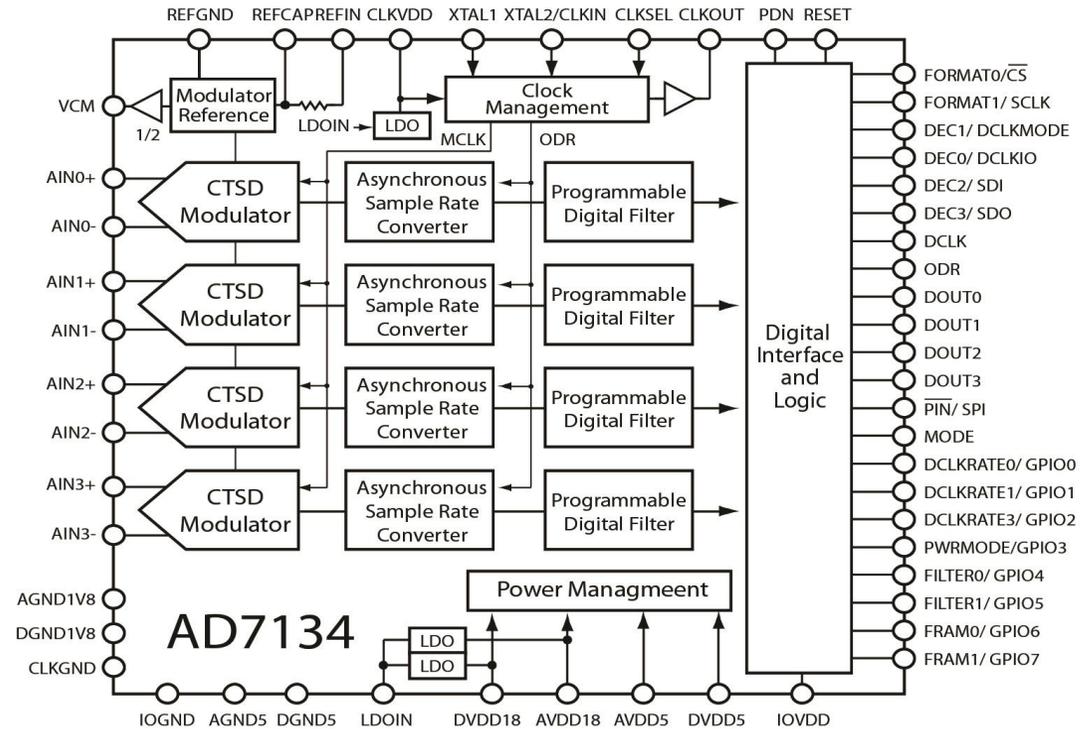
TTMの削減



MTBFの改善

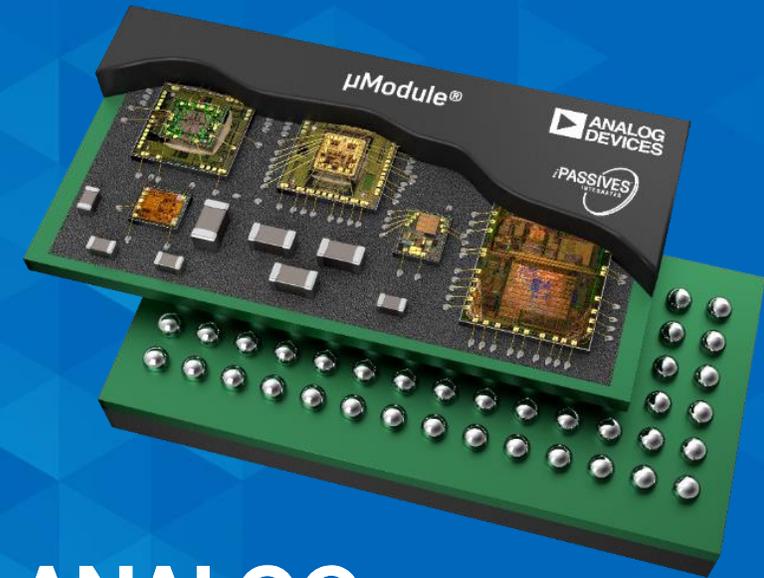
# AD7134: 24 ビット, 折返しノイズフリーの 4 チャンネル同時サンプリング 連続時間型シグマ・デルタADC

- ▶ **SNR: 107 dB at 374 kSPS** (1kHz 入力, FIR フィルタ)
- ▶ **THD: -120 dB** (1 kHz input)
- ▶ チャンネル間位相マッチング: **1.6 nS** or 0.011° at 20 kHz
- ▶ **折返しノイズ除去: 102dB**
- ▶ チャンネル間クロストーク除去: -133 dB
- ▶ オフセットドリフト: **0.7uV/°C**
- ▶ ゲインドリフト: **2 ppm/Fs/°C**
- ▶ 2 種類の動作モード
  - 125 mW/channel (高性能モード)
  - 75 mW/channel (低消費電力モード)
- ▶ Output data rate (ODR) and digital filter:
  - Brick wall filter: 2.5 kSPS to 374 kSPS (最大帯域幅 = **162 kHz**)
  - Sinc3 filter: 10 SPS to 1.5 MSPS (最大帯域幅 = **391 kHz**)
- ▶ 2ch または 4ch のアベレーシングモード
  - 2ch を用いたアベレーシングモードで 3dB のダイナミックレンジの改善
  - 4ch を用いたアベレーシングモードで 6dB のダイナミックレンジの改善 (126dB)
- ▶ 動作温度範囲: 0°C to 85°C
- ▶ 8 mm × 8 mm 56 pin LFCSP package (放熱パッド有)



分解能	V <sub>REF</sub>	VDD	I/F	入力タイプ	パッケージ
24 ビット	4.096/5V	5 V, 1.8 V	SPI 1.8 V	Fully differential 0 to V <sub>REF</sub>	56-lead LFCSP 8 mm × 8 mm

# SiPによる高精度データ 収集モジュール シグナル・チェーン $\mu$ Module<sup>®</sup>



 **ANALOG  
DEVICES**  
AHEAD OF WHAT'S POSSIBLE™

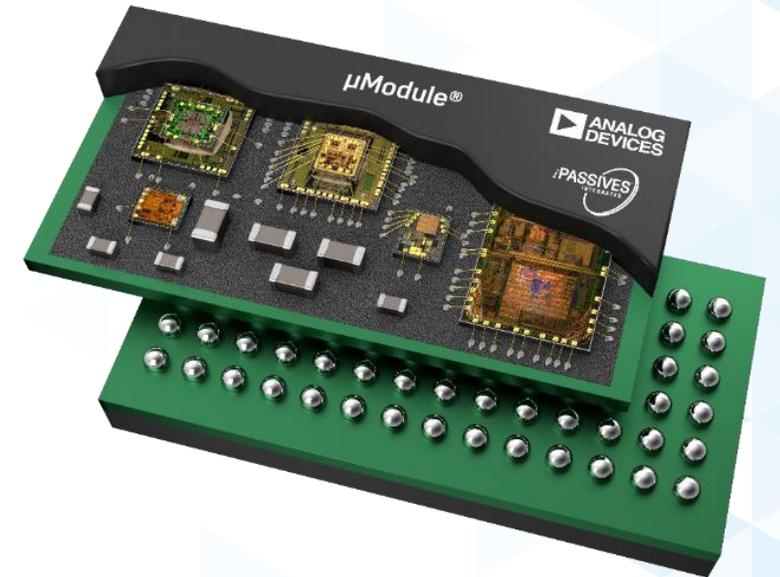
# Signal Chain $\mu$ Module<sup>®</sup>について

## ▶ シグナル・チェーン $\mu$ Module<sup>®</sup>とは

- アンプ/ADコンバータ/電源/リファレンスなど単体ICと受動部品を組み合わせて集積化（SiP）することで高度なシステム統合されたモジュールIC

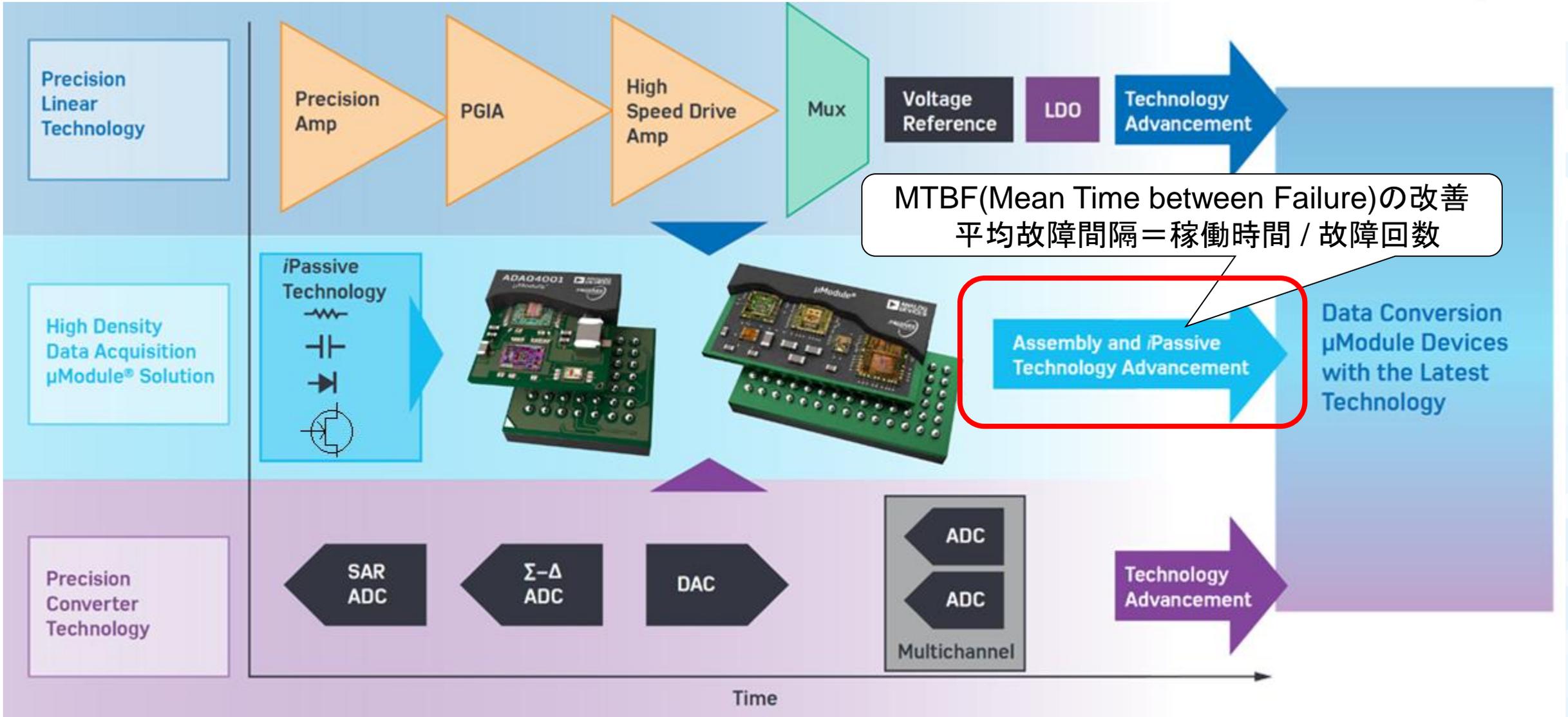
## ▶ ディスクリート部品によるビルディングブロック設計から脱却

- デバイス・コンポーネント部品の選択含めた設計負荷を削減
- アナログフロントエンドを一括してADIに任せることができる



# 完全なソリューションの構築

異種統合の実現 ~ Heterogenous Integration ~



# アナログ・デバイスズの *i*Passives技術

## 集積型の受動部品を実現する固有技術

### ▶ What is *i*Passive ?

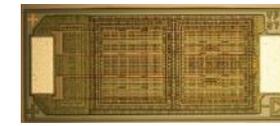
- ADI独自の受動部品のプロセス技術で30年以上前から薄膜技術の開発に取り組んでいる
- *i*Passive抵抗は高精度のオンチップ薄膜抵抗1つをパッケージデバイスにまとめたもの
- 高精度の抵抗器、コンデンサ、インダクタ等単一のコンパクトなパッケージで提供する技術
- アナログ・デバイスズのアクティブIC製品を補完することが目的

### ▶ Why *i*Passive?

- 高密度設計によりPCB基板の複雑化
- 基板当たりの受動部品数の増加
- アナログICに外付けされている全ての受動素子を一つのダイに搭載するアイデア

### ▶ Value of *i*Passive?

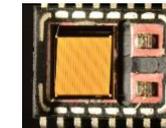
- BOMの削減
- 面積フットプリントの削減
- 性能向上



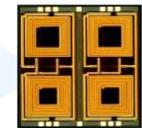
capacitor



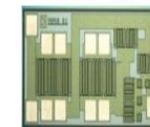
Resistor Network  
Gain Stage



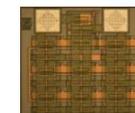
Inductor



Inductor



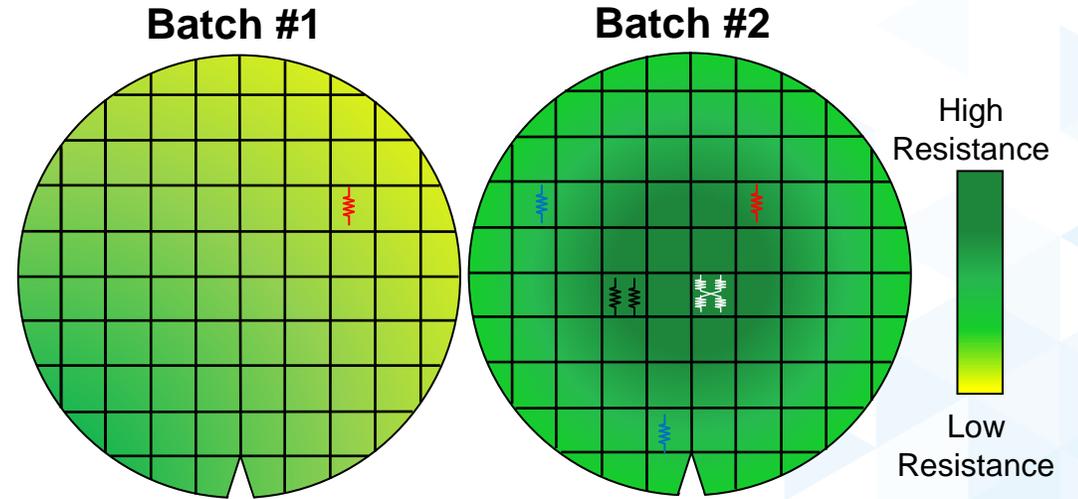
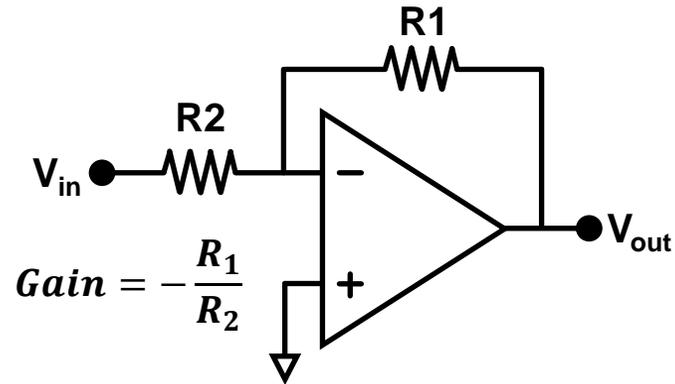
Diodes



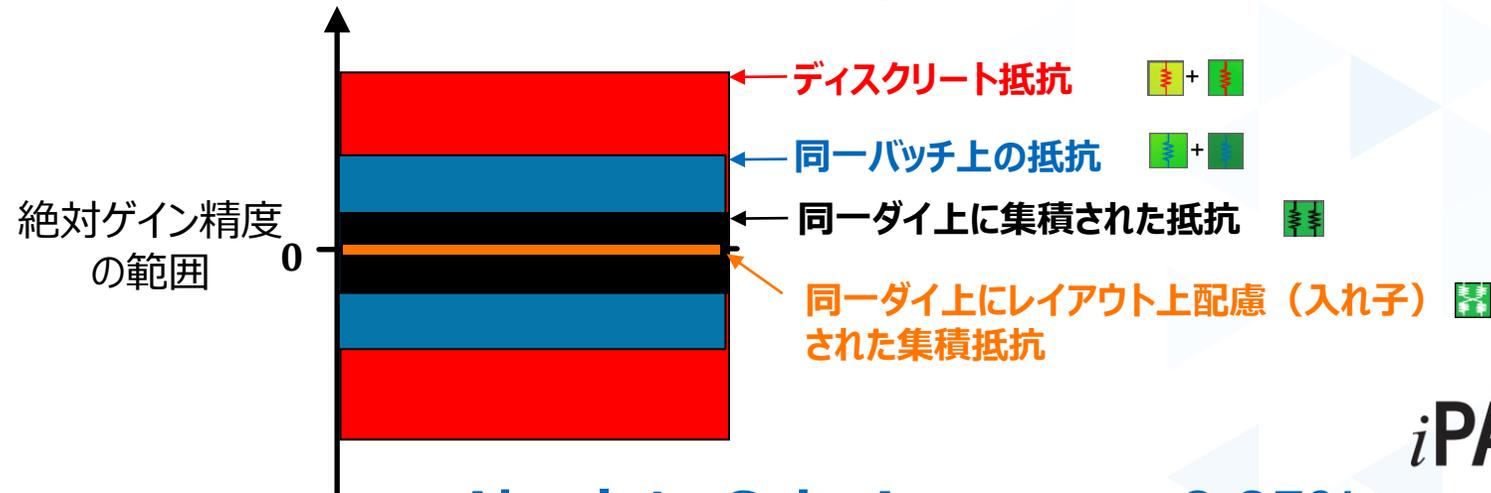
ESD  
Protection

# アナログ・デバイスズの *i*Passives技術

## 集積型の受動部品を実現する固有技術



%	ppm	Discretes	<i>i</i> Passives
100.00	1000000	Cents	Cents
10.00	100000	Cents	Cents
1.00	10000	Cents	Cents
0.10	1000	\$	Cents
0.01	100	\$\$	Cents
0.005	50	\$\$\$	Cents



**Absolute Gain Accuracy <0.05%**  
**Gain Drift <1ppm/C**



# ADAQ4003 18-Bit, 2MSPS, Signal Chain $\mu$ Module<sup>®</sup>



## 特徴とメリット

### ▶ 高性能

- 2 MSPS
- INL:  $\pm 8$  ppm Max
- SNR: 97 dB at 1 kHz
- THD: -120 dB at 1 kHz

### ▶ 小さなフォームファクタ

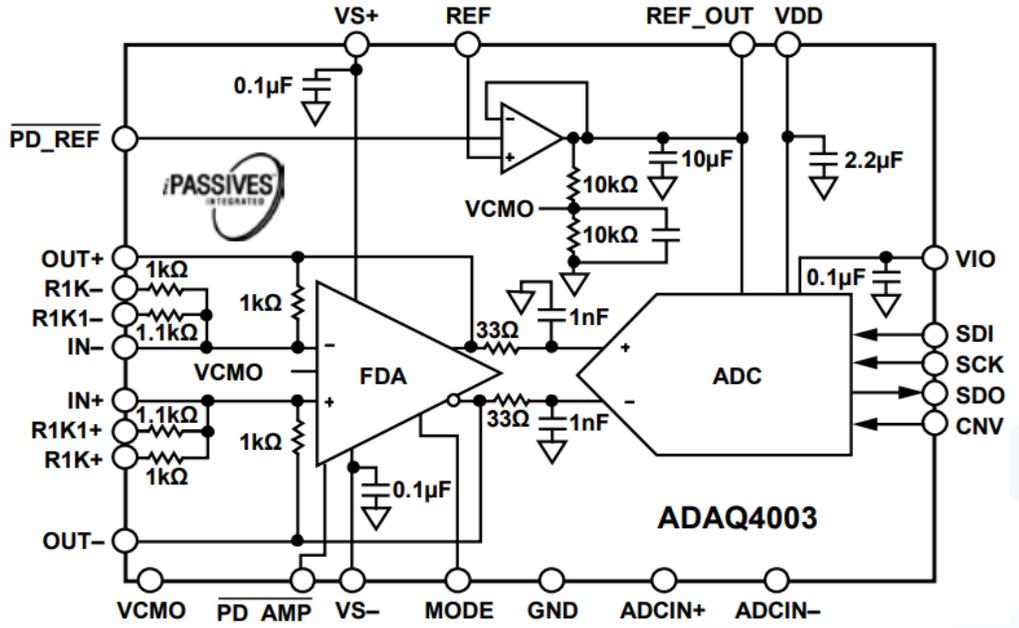
- ディスクリート構成よりも**75%実装面積を削減**

### ▶ 使い易さ

- 入力レンジを選択可能な**完全差動型ADCドライバー**
- ADCドライバ、REFバッファ、受動部品
- $\pm 11$  V,  $\pm 5.5$  V,  $\pm 2.6$  V レンジのシングル・エンド - 差動変換

### ▶ 高精度受動素子

- 0.45, 0.52, 0.9, 1, 1.9 のゲインをピンで選択可能
- **ゲインエラー マッチング  $\pm 0.005\%$**
- **ゲインエラー ドリフト 1 ppm/ $^{\circ}$ C typical**



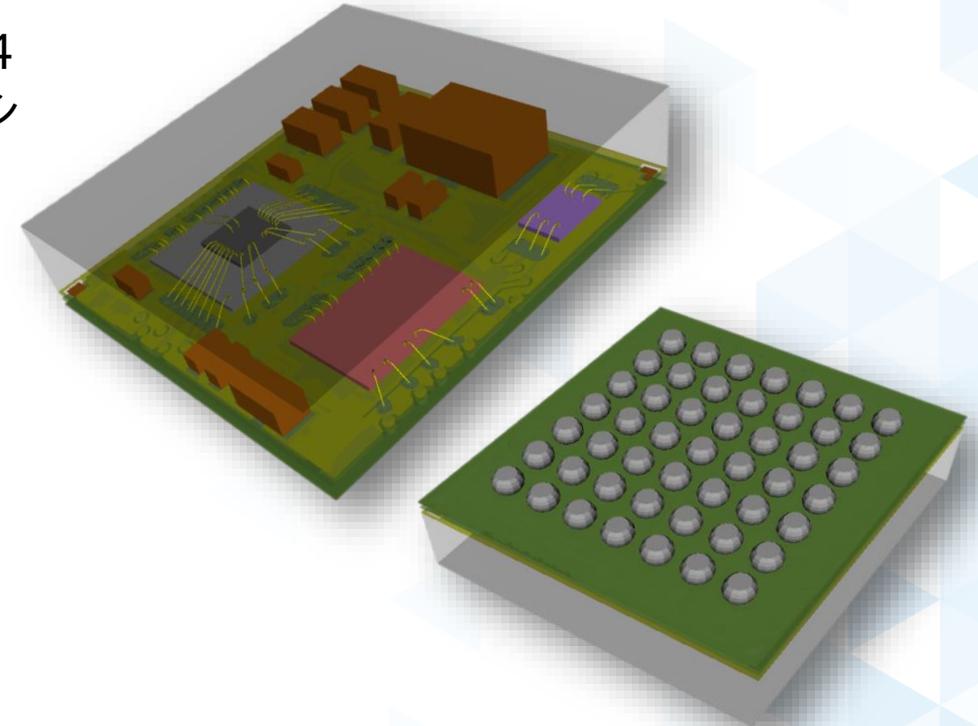
- ▶ 4 die total
- ▶ 3 IC die
- ▶ **1 iPassive die**
  - 8 resistors
- ▶ 8 discrete caps
  - 1 nF, 2.2  $\mu$ F, 10  $\mu$ F, 1  $\mu$ F, 0.1  $\mu$ F
- ▶ 2 discrete resistors
  - 33  $\Omega$

Resolution	Input	Interface	Temp Range	Package
18-Bit	SE/Diff	SPI	-40 $^{\circ}$ C to +125 $^{\circ}$ C	7 mm x 7 mm BGA

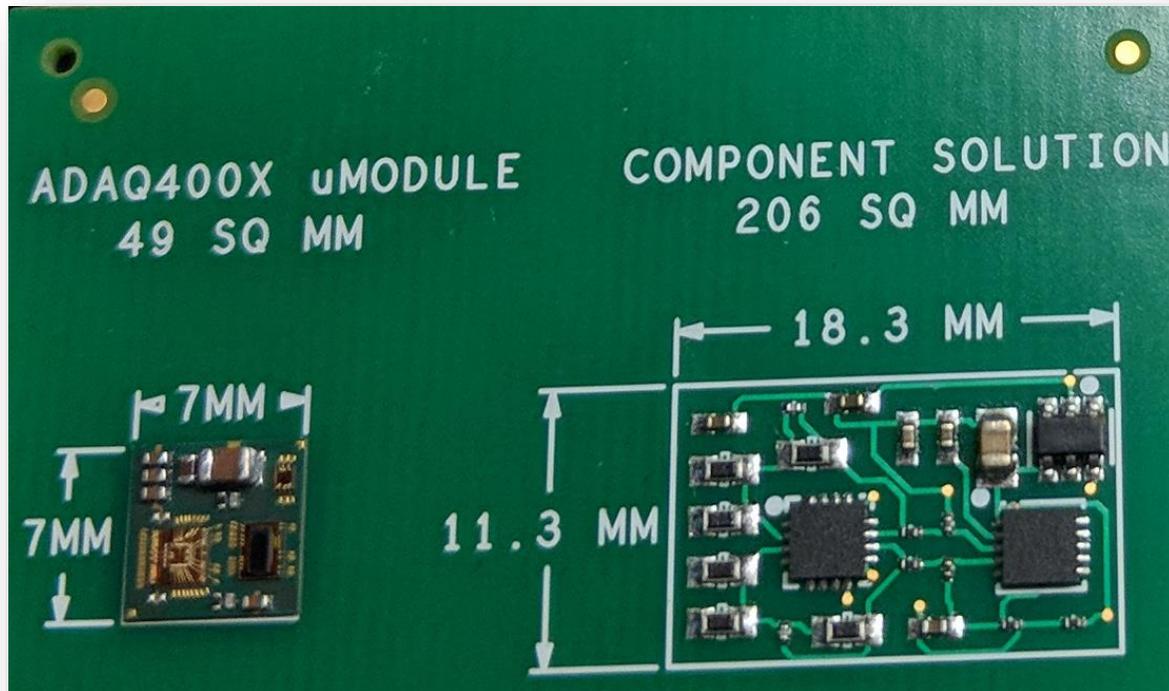
# ADAQ4003 PCBボードスペース節約効果

ADAQ4003は、同等のディスクリート・コンポーネント・ソリューションと比較して4倍のサイズであるため、ユーザーは最大で75%のボード・スペースを節約でき、システム内でより高いチャンネル密度を実現できます。

7 mm × 7 mm × 2 mm 49-ball BGA



- ▶ 特性・性能面で重要なコンデンサをパッケージに内蔵
- ▶ PCBレイアウトの影響を受けにくい
- ▶ 堅牢な設計の再利用に最適



# シグナル・チェーン $\mu$ Module が提供できる価値

## ▶ 総所有コストの削減 - *Total cost of ownership(TCO)*

- 顧客側のデザインの大部分を包括し引き受けることで設計・評価・製造プロセスの工数や人的労力(☹️)を削減
  - ✓ シグナルチェーンの構築 (build) 、微調整 (tweak) 、反復作業 (iteration) 、再設計 (re-designing)
  - ✓ 部品点数の削減によるサプライチェーン管理の簡素化

## ▶ 高性能を実現する

- 優れたゲインマッチング性能
- 優れたチャンネル間マッチング

## ▶ フォームファクタソリューション

- SiPに高密度設計、既存のSignal Chainの実装面積に対して、性能を犠牲にすることなく大幅なフットプリントの縮小に貢献

## ▶ 設計負荷の削減

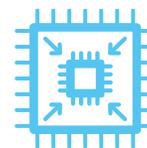
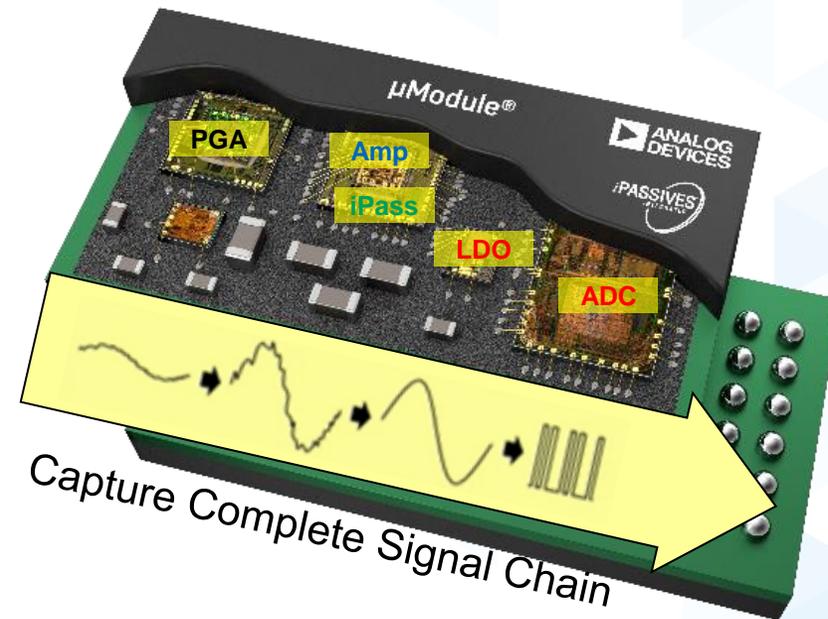
- シグナル・チェーン全体の性能をADI製品のデータシートで保証する

## ▶ 製品の市場投入スピードの加速

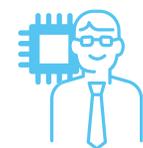
- 製品開発サイクルの改善

## ▶ Yield Lossの削減

- 実装部品数が減ることによって歩留まり改善に貢献



フットプリントの  
削減



総所有コストの  
削減



製造工程のキャリ  
ブレーションコスト  
の削減



TTMの削減



MTBFの改善

# Signal Chain $\mu$ Moduleの製品ラインナップ

→ サンプルングスピード(Msps)

	<0.5	1	2	4	15
↑ 解像度 (ビット)					
24	$\Sigma\Delta$				
20			S		
18			S		S
16	S	S	S,D,Q	Q	S
14				Q	
12				Q	

S: シングルSAR

D: デュアルSAR

Q: クワッドSAR

$\Sigma\Delta$  :  $\Sigma\Delta$

緑 : リリース品

オレンジ : 開発中

# 参考技術資料 (1)

- AN-257 : 高速オペアンプを用いた設計での注意点  
[https://www.analog.com/media/jp/technical-documentation/application-notes/AN-257\\_jp.pdf](https://www.analog.com/media/jp/technical-documentation/application-notes/AN-257_jp.pdf)
- AN-1026 APPLICATION NOTE 高速差動 ADC 高速差動 ADC ドライバの設計についての考察  
[https://www.analog.com/media/jp/technical-documentation/application-notes/AN-1026\\_jp.pdf](https://www.analog.com/media/jp/technical-documentation/application-notes/AN-1026_jp.pdf)
- 高速差動ADCドライバの「交通規則」  
<https://www.analog.com/jp/analog-dialogue/articles/rules-for-high-speed-differential-adc-drivers.html>
- 高精度 SAR A/Dコンバータ (ADC) のフロントエンド・アンプとRCフィルタの設計  
<https://www.analog.com/jp/analog-dialogue/articles/front-end-amp-and-rc-filter-design.html>
- MT-002 TUTORIAL What the Nyquist Criterion Means to Your Sampled Data System Design  
<https://www.analog.com/media/en/training-seminars/tutorials/MT-002.pdf>
- 差電圧アンプ回路の“落とし穴”  
<https://www.analog.com/jp/analog-dialogue/articles/deeper-look-into-difference-amplifiers.html>
- TNJ-035 : OPアンプ回路に「はまりすぎる」重ね合わせの理…… それを「ディファレンス・アンプ」で考えてみる  
<https://www.analog.com/jp/education/landing-pages/003/jp-web-lab/tnj-035.html>
- MT-076 Differential Driver Analysis  
<https://www.analog.com/media/en/training-seminars/tutorials/MT-076.pdf>
- Increasing the Common-Mode Rejection Ratio of Differential Amplifiers Through Precisely Matched Resistor Networks  
<https://www.analog.com/en/technical-articles/increasing-the-common-mode-rejection-ratio-of-differential-amp.html>
- MT-044 Mini Tutorial Op Amp Open-Loop Gain and OpenLoop Gain Nonlinearity  
<https://www.analog.com/media/en/training-seminars/tutorials/MT-044.pdf>
- Precision Fully Differential Op Amp Drives High Resolution ADCs at Low Power  
<https://www.analog.com/en/technical-articles/precision-fully-differential-op-amp-drives-high-resolution-adc-at-low-power.html>

# 参考技術資料 (2)

- ▶ 高精度に整合した抵抗による差動アンプの CMRR の自動改善とその方法 デザインノート1023  
<https://www.analog.com/media/jp/reference-design-documentation/design-notes/jdn1023f.pdf>
- ▶ 整合抵抗によるアンプ性能の最大化  
[https://www.analog.com/media/jp/technical-documentation/technical-articles/Japanese\\_S38-MatchedResistors.pdf](https://www.analog.com/media/jp/technical-documentation/technical-articles/Japanese_S38-MatchedResistors.pdf)
- ▶ 高精度で整合した抵抗ネットワークにより、差動アンプ回路のCMRRを高める  
<https://www.analog.com/jp/technical-articles/increasing-the-common-mode-rejection-ratio-of-differential-amp.html>
- ▶ おお、CMRR、CMRR！ あなたはなぜCMRR なの？  
<https://www.analog.com/jp/analog-dialogue/raqs/raq-issue-125.html>
- ▶  $\Sigma$ - $\Delta$  ADC のトポロジーに関わる基本原理: パート 1  
<https://www.analog.com/jp/technical-articles/behind-the-sigma-delta-adc-topology.html>
- ▶ 連続時間型の $\Sigma\Delta$  ADCにより、データ・アキュイジション用のシグナル・チェーンを簡素化  
<https://www.analog.com/jp/analog-dialogue/articles/ac-and-dc-data-acquisition-signal-chains-made-easy.html>
- ▶ 高い精度を実現する連続時間型の $\Sigma\Delta$  ADC【Part 1】高精度のADCを含むシグナル・チェーンの設計時間を短縮する  
<https://www.analog.com/jp/analog-dialogue/articles/ctsd-adcs-part-1.html>
- ▶  $\mu$ Moduleデータ・アキュイジション・ソリューションは、広範な高精度アプリケーションに関する技術的課題の解決を容易にします  
<https://www.analog.com/jp/technical-articles/umodule-data-acquisition-solution-eases-engineering-challenges.html>
- ▶ SiPを採用したデータ・アキュイジション用IC、高精度のシグナル・チェーンの実装密度を向上  
<https://www.analog.com/jp/analog-dialogue/articles/improving-precision-data-acquisition-signal-chain-density-using-sip-technology.html>
- ▶ SiPモジュールに集積型の受動部品を組み込む  
<https://www.analog.com/jp/analog-dialogue/articles/use-of-integrated-passives-in-micromodule-sips.html>
- ▶

# Appendix 1 – 完全差動アンプの式の導出

式(3), (4)を式(1)に代入して

$$V_{OP} - V_{ON} = A(s)(V_P - V_N) = A(s) [\{V_{IP}(1 - \beta_1) + V_{ON} \cdot \beta_1\} - \{V_{IN}(1 - \beta_2) + V_{OP} \cdot \beta_2\}]$$

$$V_{OP} + A(s)V_{OP} \cdot \beta_2 - V_{ON} - A(s)V_{ON} \cdot \beta_1 = A(s)V_{IP}(1 - \beta_1) - A(s)V_{IN}(1 - \beta_2)$$

$$V_{OP}(1 + A(s)\beta_2) - V_{ON}(1 + A(s)\beta_1) = A(s)V_{IP}(1 - \beta_1) - A(s)V_{IN}(1 - \beta_2) \dots \dots (5)$$

式(2)と  $V_{OUT\_COM} = \frac{V_{OP} + V_{ON}}{2}$  から、 $V_{ON} = 2V_{OCM} - V_{OP}$  となり、これを使って式(5)を書き表すと、

$$V_{OP}(1 + A(s)\beta_2) - (2V_{OCM} - V_{OP})(1 + A(s)\beta_1) = A(s)[\{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\}]$$

$$V_{OP}(2 + A(s)\beta_1 + A(s)\beta_2) - 2V_{OCM}(1 + A(s)\beta_1) = A(s)[\{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\}]$$

$$V_{OP} = \frac{A(s)[\{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\}] + 2V_{OCM}(1 + A(s)\beta_1)}{2 + A(s)\beta_1 + A(s)\beta_2} \dots \dots (6)$$

# Appendix 1 – 完全差動アンプの式の導出

式(6)において、分母分子に  $\frac{1}{A(s)\beta_1 + A(s)\beta_2}$  を掛ける

$$V_{OP} = \frac{A(s) [\{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\}] + 2V_{OCM}(1 + A(s)\beta_1)}{2 + A(s)\beta_1 + A(s)\beta_2} \dots\dots (6)$$

$$V_{OP} = \frac{1}{\beta_1 + \beta_2} \cdot \frac{\{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\} + 2V_{OCM} \left( \frac{1}{A(s)} + \beta_1 \right)}{1 + \frac{2}{A(s)\beta_1 + A(s)\beta_2}} \dots\dots (7)$$

式(2)と  $V_{OUT\_COM} = \frac{V_{OP} + V_{ON}}{2}$  から、 $V_{OP} = 2V_{OCM} - V_{ON}$ 、式(5)を先程と同様に今度は  $V_{ON}$  について書き表すと、

$$V_{ON} = \frac{1}{\beta_1 + \beta_2} \cdot \frac{-[\{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\}] + 2V_{OCM} \left( \frac{1}{A(s)} + \beta_2 \right)}{1 + \frac{2}{A(s)\beta_1 + A(s)\beta_2}} \dots\dots (8)$$

# Appendix 1 – 完全差動アンプの式の導出

式(7)と式(8)から、 $V_{OUT\_DIFF} = V_{OP} - V_{ON}$  を書き表すと ( $V_{OCM}$ の項のみ $A(s) \gg 1$ と仮定する)、

$$V_{OUT\_DIFF} = V_{OP} - V_{ON} = \frac{1}{\beta_1 + \beta_2} \cdot \frac{2 \{ \{V_{IP}(1 - \beta_1)\} - \{V_{IN}(1 - \beta_2)\} \} + 2V_{OCM}(\beta_1 - \beta_2)}{1 + \frac{2}{A(s)\beta_1 + A(s)\beta_2}} \dots\dots (9)$$

式(9)において、 $A(s)\beta_1 \gg 1$ ,  $A(s)\beta_2 \gg 1$ 、そして帰還率がマッチングしている( $\beta_1 = \beta_2 = \beta$ )と仮定すると、 $V_{OCM}$ の項が消去され、

$$V_{OUT\_DIFF} = V_{OP} - V_{ON} = \frac{1}{2\beta} \cdot \frac{2\{(V_{IP} - V_{IN})(1 - \beta)\}}{1 + \frac{2}{2 \cdot A(s)\beta}}$$

$$V_{OUT\_DIFF} = V_{OP} - V_{ON} = \frac{1}{\beta} \cdot \frac{(V_{IP} - V_{IN})(1 - \beta)}{1 + \frac{1}{A(s)\beta}} \dots\dots (10)$$

# Appendix 1 – 完全差動アンプの式の導出

式(10)から、 $\frac{V_{OUT\_DIFF}}{V_{IN\_DIFF}}$  の伝達関数を求めると、

$$\frac{V_{OUT\_DIFF}}{V_{IN\_DIFF}} = \frac{V_{OP} - V_{ON}}{V_{IP} - V_{IN}} = \frac{1}{\beta} \cdot \frac{1 - \beta}{1 + \frac{1}{A(s)\beta}} = \frac{1 - \beta}{\beta} \cdot \frac{1}{1 + \frac{1}{A(s)\beta}}$$

$\beta = \frac{R_G}{R_F + R_G}$  として書き表すと、

$$\frac{V_{OUT\_DIFF}}{V_{IN\_DIFF}} = \frac{R_F}{R_F + R_G} \cdot \frac{R_F + R_G}{R_G} \cdot \frac{1}{1 + \frac{1}{A(s)\beta}} = \frac{R_F}{R_G} \cdot \frac{1}{1 + \frac{1}{A(s)\beta}}$$

$A(s)\beta \gg 1$  と仮定すると、

$$\frac{V_{OUT\_DIFF}}{V_{IN\_DIFF}} \approx \frac{R_F}{R_G} \dots \dots (11)$$

# 50%以上のシステム小型化と 大幅な設計負荷削減を実現した 高精度A/Dコンバータ

アナログ・デバイセズ

山形 慎



AHEAD OF WHAT'S POSSIBLE™

# *END*