

III: 非線形回路を理解する

3-1 対数回路

現代の対数回路は、ほぼ例外なくシリコン接合デバイス固有の対数特性を利用しています。IC 上で対として構成され簡単に入手できるこれらのデバイスは、温度変動に対して容易に補償でき、低コストで、通常 10^{-2} A ~ 10^{-1} A の広いダイナミックレンジが得られることが特徴です。

この章では、これらのデバイスの基本的な特性、熱安定性と動的安定性の両方を得るための手法、よく使われるいくつかの回路、仕様と定義、および調整とテストの方法について説明します。

基本的な検討事項

「理想対数ダイオード」の特性は、電流と電圧の関係によって評価されます。

$$I = I_o (e^{qV/kT} - 1) \quad (1)$$

オペアンプの帰還パスに接続された理想対数ダイオードは（図 1）、出力電圧を次式の値に制限します。

$$E_o = \frac{kT}{q} \ln(I/I_o) = \frac{kT}{q} \ln(10) \cdot \log(I/I_o) \quad (2)$$

ただし、 $I/I_0 \gg 1$ とします。

q は単位電荷 $1.60219 \times 10^{-19} C$ に等しい定数

k はボルツマン定数、 $1.38062 \times 10^{-23} J/K$

T は絶対温度、 $K = ^\circ C + 273.15$

I_0 は $E_0 (= V) = 0$ の時の外挿電流

室温付近の代表的な丸めた数値は以下の通りです。

$^\circ C$	$T(K)$	$\frac{kT}{q}$	$\frac{kT}{q} \ln(10)$
24.21	297.36	25.62mV	→59. mV
→25.	298.15	25.69mV	59.16mV
26.85	→300.	25.85mV	59.52mV
28.58	301.73	→26. mV	59.87mV
29.25	302.4	26.06mV	→60. mV

したがって、 $25^\circ C$ での I の変化が $10:1$ の時の E_0 の変化は $59.16mV$ で、 I の変化が $e:1$ (2.7183) の時の E_0 の変化は $25.69mV$ です。

このようなダイオードは非常に役に立ちます。ダイオードは 2 端子デバイスなので、バイポーラ電流に使用できます。また、いくつか直列に積み重ね、より大きな電圧を得ることができ、グラウンドから離れた電圧で使用可能です。残念ながら、2 端子デバイスとして市販されているほとんどのダイオードは、対数動作の範囲が限られています。上端では、大きいオーム抵抗によって追加の電圧降下が生じます。

$$V = \frac{kT}{q} \ln(I/I_0) + IR_B \quad (3)$$

下端では、次式のように、傾きの乗数 m^* ($1 \leq m \leq 4$) が 1 回あるいは複数回変化します。

$$V = m \frac{kT}{q} \ln(I/I_0) \quad (4)$$

m の大きさと、傾きが変化する電圧の値は、両方とも（同一ファミリー内の）個々のデバイスに依存するので、汎用ダイオードは、オーム抵抗を相殺するような回路を工夫できるとしても、1 または 2 ディケードにわたる正確な対数動作は実用的ではありません。

* この係数は、表面反転層／チャンネルなどの拡張領域での拡散電流や、空間電荷領域内の発生と再結合のメカニズムによるものです。

また、専用ダイオードは、ダイオード接続したモノリシック・デュアル・トランジスタに価格で競合できません。

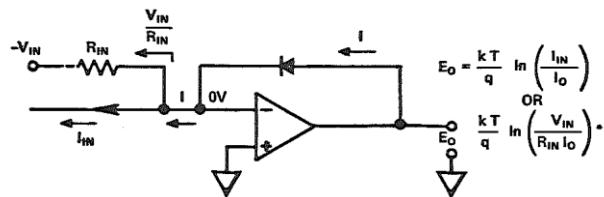


図 1: 理想対数ダイオード回路

トランジスタダイオード構成

オペアンプの帰還パスに接続されたトランジスタを図 2a に示します。コレクタ電流は、入力電流または電圧によって決まります。理想オペアンプはコレクタ電流を入力電流と等しい値に維持し、コレクタ電圧をゼロに保ちます。ベース電流は独立して流れますが、ベースが接地されているので、コレクタとベースは同電位です。アンプの出力電圧はエミッタ・ベース間電圧でもあります。この電圧は、必要な量のエミッタ電流を供給する一方で、コレクタの制約を満たすのに必要な値でなければなりません。

それでは、この回路の動作を決定する関係を調べてみましょう。ベースを接地したバイポーラ・トランジスタのエミッタおよびコレクタ電流に合わせて修正した Ebers-Moll 方程式¹は、次のようにになります。

$$I_E = I_{ES}(\epsilon^{qV_E/kT} - 1) - \alpha_I I_{CS}(\epsilon^{qV_C/kT} - 1) + \sum I_{ES_i}(\epsilon^{qV_E/m_i kT} - 1) \quad (5)$$

$$\begin{aligned} I_C &= -\alpha_N I_{ES}(\epsilon^{qV_E/kT} - 1) + I_{CS}(\epsilon^{qV_C/kT} - 1) \\ &\quad + \sum I_{CS_j}(\epsilon^{qV_C/m_j kT} - 1) \end{aligned} \quad (6)$$

¹ "Multiplication and Logarithmic Conversion by Operational-Amplifier-Transistor Circuits," by W.L.Paterson, *The Review of Scientific Instruments*, 34-12, December 1963.

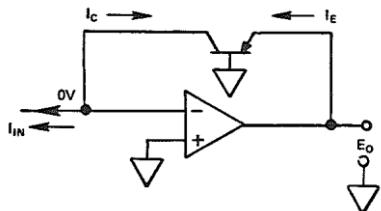
ここで、

V_E と V_C はエミッタ-ベース間電圧とコレクタ-ベース間電圧

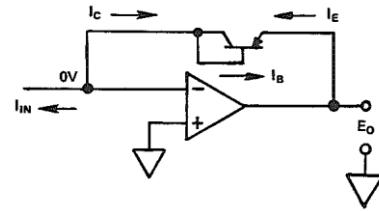
I_{ES} と I_{CS} は、エミッタとコレクタの飽和電流

α_N と α_I は順方向と逆方向の電流伝達率

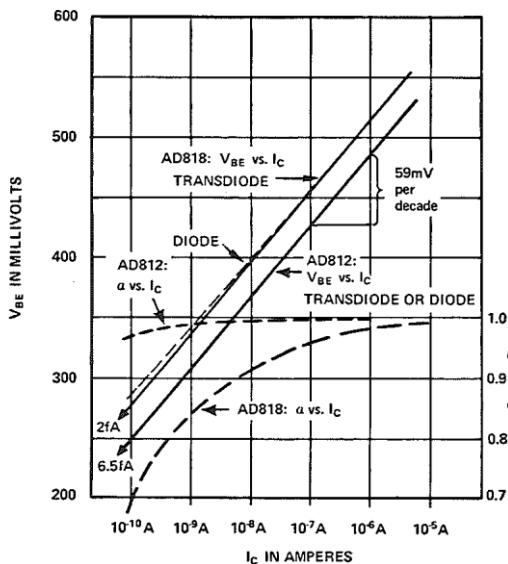
$m_i > 1$ 、 $m_j > 1$ は、ベース回路を流れる「収集されない」電流成分です。



a. トランジスタダイオード (PNP)



b. ダイオード接続トランジスタ**。
2 端子デバイスとして、一方の極性の入力電流で動作するのは 1 種類のみ (NPN または PNP) 。



c. トランジスタダイオードとダイオードの V_{BE} および α と I_c の関係
(2 種類のデュアル・トランジスタ・タイプ)

図 2: トランジスタダイオードとダイオード接続トランジスタ

図 2a の回路では、 V_C がゼロに保持されるので、コレクタ電流とエミッタ電圧 (6) の関係は次のようになります。

$$I_C = -\alpha_N I_{ES} (\epsilon^{qV_E/kT} - 1) \quad (6a)$$

オペアンプがコレクタ電流を入力電流に等しくかつ反対方向に保つので、出力電圧 V_E は次の値でなければなりません。

$$V_E = \frac{kT}{q} \ln(I_{IN}/I_{ES}) - \frac{kT}{q} \ln \alpha_N^* \quad (6b)$$

これは、 $I_{IN}/I_{ES} \gg 1$ の場合です。通常、対数動作に使われるほとんどのシリコン・プレーナ・トランジスタ・タイプでは、 I_{ES} が 10^{-3} A 以下のレベルです。したがって、(6b) の関係は非常に広い電流範囲にわたって成り立ちます。 α_N はほぼ 1 で、(6b) が成り立つ電流範囲では基本的に一定です。したがって、($\ln \alpha_N$) 項は無視できます ($\alpha_N = 0.99$ の場合、その寄与度は約 $1/4$ mV の一定オフセット)。この式の α_N は、よく使われる接地されたベース電流のゲイン $\alpha = I_C/I_E$ と混同しないようにする必要があります。エミッタ電流には、コレクタ電流と $m_i > 1$ 項の両方が含まれるので、 $\alpha = I_C/I_E$ (常に α_N 未満) はエミッタ電圧の関数です。エミッタ電圧は、低い電流値では大幅に減少します。対数回路に広く使われている 2 個のデュアル・トランジスタ・タイプの V_{BE} と α のプロットを図 2c に示します。 α が 1 を大きく下回るような電流でも、対数応答の忠実度が優れていることに注意してください。

トランジスタのコレクタとベースを互いに接続すると、2 端子ダイオードが形成されます (図 2b)。それを流れる電流はエミッタ電流なので、このモデルに従えば、トランジスタの動作は (5) によって支配されます。第 1 項はコレクタ電流にほぼ等しく、第 2 項はゼロです。したがって、 $m_i > 1$ の項の和はベース電流に等しくなります。

*PNP トランジスタの場合、入力電流 I_{IN} は図示されている方向が正です。入力電流が逆方向で正の場合は、NPN トランジスタが使用されています。式 (5) と式 (6) の電流と電圧の極性は反転します。

次式により、

$$\begin{aligned} I_{IN} &= -I_C - I_B = -I_C \left[1 + \frac{1}{h_{FE}} \right] \\ &= \alpha_N I_{ES} (e^{qV_E/kT} - 1) \left[1 + \frac{1}{h_{FE}} \right] \end{aligned} \quad (7)$$

$1/h_{FE}$ を $m_i > 1$ 項の基準と見なすことは理に適っています。 (7) 式から次式が導けます。

$$V_E = \frac{kT}{q} \ln(I_{IN}/I_{ES}) - \frac{kT}{q} \ln \left[\alpha_N \left(1 + \frac{1}{h_{FE}} \right) \right] \quad (7a)$$

$1/h_{FE}$ は $(1 - \alpha)/\alpha$ に等しいので、誤差項は $+kT/q \ln(\alpha/\alpha_N)$ に等しくなります。このモデルに従えば、誤差の代表値は次のようにになります。

h_{FE}	α/α_N	$-\frac{kT}{q} \ln(\alpha/\alpha_N)$ mV @ 25°C
$(\alpha_N \cong 1)$		
∞	1	0
1000	0.999	0.03
200	0.995	0.13
100	0.99	0.26
50	0.98	0.51
19	0.95	1.32
11.5	0.92	2.14
9	0.9	2.7
4	0.8	5.7
3	0.75	7.4
1	0.5	17.8

対数ダイオードとして使用するトランジスタは h_{FE} の値が高くなればならず、広いエミッタ電流範囲にわたってその値を維持する必要があることは明らかです。トランスダイオードおよび 2 端子ダイオードとして接続した AD812 (高 h_{FE} のデュアル・モノリシック・トランジスタ) と AD818 (低バルク抵抗の大型デュアル・モノリシック・トランジスタ) の比較を図 2c に示します。

AD818 は、低電流では対数ダイオードとして性能が劣るように見えますが、直列抵抗値が小さいので、1mA を超える電流では対数動作に適しており、高電流では AD812 より 1 枠以上優れています。

その他の誤差源

$V_{CB} \neq 0$ の場合は、式 (6) のその他の項が誤差電流の原因となり、(入力電流が小さい場合特に) V_E に大きく影響することがあります。(6) から、順方向導通領域では次式が成り立ちます。

$$V_E = \frac{kT}{q} \ln \left[\frac{I_{IN}}{\alpha_N I_{ES}} + \frac{I_{CS}}{\alpha_N I_{ES}} (\epsilon^{qV_C/kT} - 1) + \Sigma (\text{etc.}) \right] \quad (8)$$

ベースを接地したアプリケーションの場合は、アンプのオフセット電圧 V_{OS} が、どの同相入力電圧とも同様にコレクタ電圧をバイアスします。ベース駆動のアプリケーションでは、 V_{CB} の予想スイングと求められる低電流範囲が、そのアプリケーションに使用するデバイスに適合していることを、設計者が確認する必要があります。実効コレクタ電流誤差の大きさは、エミッタとベースを互いに接続し、電圧 V_C をかけて、実験により決定できます*。 $V_E = 0$ なので、コレクタ電流は $V_C \neq 0$ の項からのみ構成されます。逆バイアス状態では誤差電流が非常に小さくなるので、コレクタ-ベース・ダイオードに順方向バイアスをかけた状態で行うこの測定は、ワーストケースです。過大な電流や電圧を与えないように注意する必要があります。

アンプのバイアス電流 I_b は入力基準の線形性誤差を発生させ、出力に対数適合誤差を発生させます(図 3)。

* PNP ワンジスタの場合 V_{CB} は正で、NPN の場合は負です。

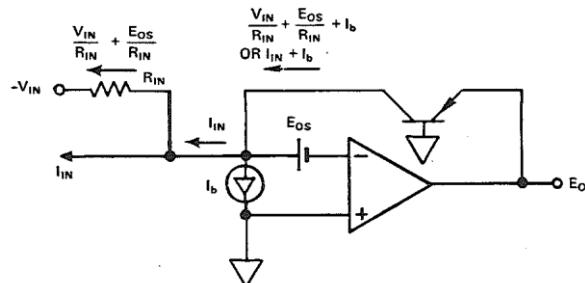


図 3: オフセット電圧誤差とバイアス電流誤差

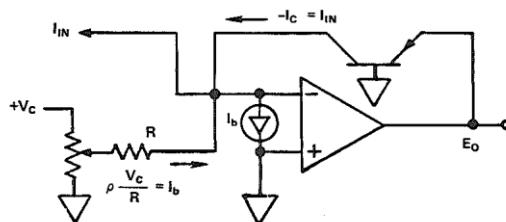
INPUT	ERROR
$\frac{I_{IN} + I_b}{I_{IN}}$	$\frac{kT}{q} \left(\ln \left[\frac{I_{IN} + I_b}{\alpha I_{ES}} \right] - \ln \frac{I_{IN}}{I_{ES}} \right)$
0.9	- 2.7 mV
0.99	- 0.26mV
0.999	-26. μ V
1.000	0
1.001	26. μ V
1.01	0.26mV
1.1	2.45mV

アンプのオフセット電圧 E_{OS} は、入力抵抗の関数として帰還パスに誤差電流を発生させます (E_{OS}/R_{IN})。この電流は、バイアス電流誤差と同じ影響を及ぼします。 $1/R_{IN} \rightarrow 0$ の時の電流源の計測では、 E_{OS} の主な寄与は V_{CB} への影響を通じて現れます。

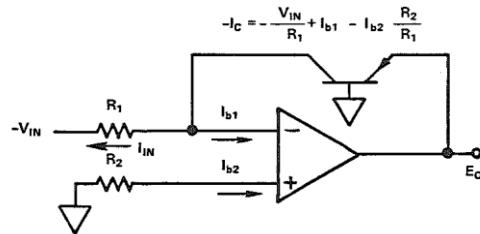
バイアス電流を減らす方法はいくつかあります。最も効果的で分かりやすいのは、適切な仕様のアンプを選ぶことです。ただし、より控えめな性能（と価格）のアンプを使うことができる可能性があります。図 4a の構成では、補償電流が合計されて、ある 1 つの温度でバイアス電流誤差をゼロにします。4b の構成では、（アンプ入力がトラッキングを行う場合）正入力と直列の補償抵抗がトラッキング・バイアス電流補償を与えます。

$$-I_C = I_{IN} + I_{b_1} - I_{b_2} \frac{R_2}{R_1} \quad (9)$$

例えば、 $I_{b1} = I_{b2}$ 、 $R_1 = R_2$ 、 $-I_C = I_{IN}$ の場合は、 $I_{b2}R_2$ が、 V_C の影響が顕著になるほど大きくならないようにします。これにより、バイポーラ・トランジスタ入力のオペアンプの使用を可能にする電流レベルにとって、問題となることはほとんどありません。



a. 補償電流による I_b の影響の除去



b. 対称化による I_b の影響の除去

図 4: バイアス電流の影響の除去

オフセット電圧による電流誤差は、アンプをゼロ調整することによって 1 つの温度で（およびある程度は温度範囲で）減らすことができます。それ以外では、周囲温度を制御するか、適切な性能のアンプを指定する必要があります。 I_{ES} は 10^{-14} A 以下になることがあるので、オペアンプの選択については十分な検討を行うことが重要です。また、通常、対数性能範囲の下限は、アンプの入力特性と回路設計に関する設計者のスキルによって決定されるので、加算点のリーク電流の発生源に関しても十分検討する必要があります。

さらに、この他にも誤差の発生源が 2 つあります。

これらは 1 個のトランジスタや 1 個のダイオードの使用時には避け難いものですが、本章後半に述べる回路手法によって最小限に抑えることができます。これらは I_{ES} の温度変動（約 10°C の上昇ごとに 2 倍）と、温度に対する kT/q の比例特性（ 25°C で $0.33\%/\text{ }^{\circ}\text{C}$ ）で、その変化量は約 $2 \text{ mV}/\text{ }^{\circ}\text{C}$ 、つまり $8\%/\text{ }^{\circ}\text{C}$ (ϵ あたり) で、これは許容し難い値です。

クローズドループ安定性

オペアンプ回路で安定性に必要な条件は、ループ・ゲイン $A\beta$ が 1 より小さくなる周波数でループ全体の位相シフトが 180° 未満であることです。最小位相の RC ネットワークを使う回路のボード線図上では、これは、 A と β がループ・ゲイン 1 のレベルを通過する際の勾配の違いが、 40 dB/decade 未満であることを示唆しています（図 5）。受動帰還部品で構成したオペアンプ回路では、 $1/\beta$ が 1 未満になることはありません。したがって、アンプのゲインが 20 dB/decade で 1 にロールオフする場合は、その回路を抵抗帰還で安定させる必要があります。

しかし、トランスタイオード接続では、帰還パス（能動パスと非線形パスの両方）が、より高い入力電流レベルで電圧ゲインを得ている場合があり、純粋な抵抗帰還（可能な場合）でも安定性を保証できないことがあります。これは、アンプのゲインが 1 を大幅に下回る周波数でユニティ・ゲイン・クロスオーバーが生じることがあり、それに伴う位相シフトも大きいためです。さらに、ゲインが信号レベルの関数であると言う事実によって、高レベルでの安定性を取るか、低レベルでの帯域幅を取るかの選択を余儀なくされることがあります。

エミッタ電圧の小さな変化に対する実効帰還アドミタンスは、次式で表されます。

$$\frac{dI_C}{dV_E} = \frac{q}{kT} I_C \cong \frac{I_C}{0.026} = \frac{1}{r_E} \quad (10)$$

上限付近のエミッタ電流とコレクタ電流はほぼ等しいので、エミッタ回路の電流は $0.026/I_C$ です。

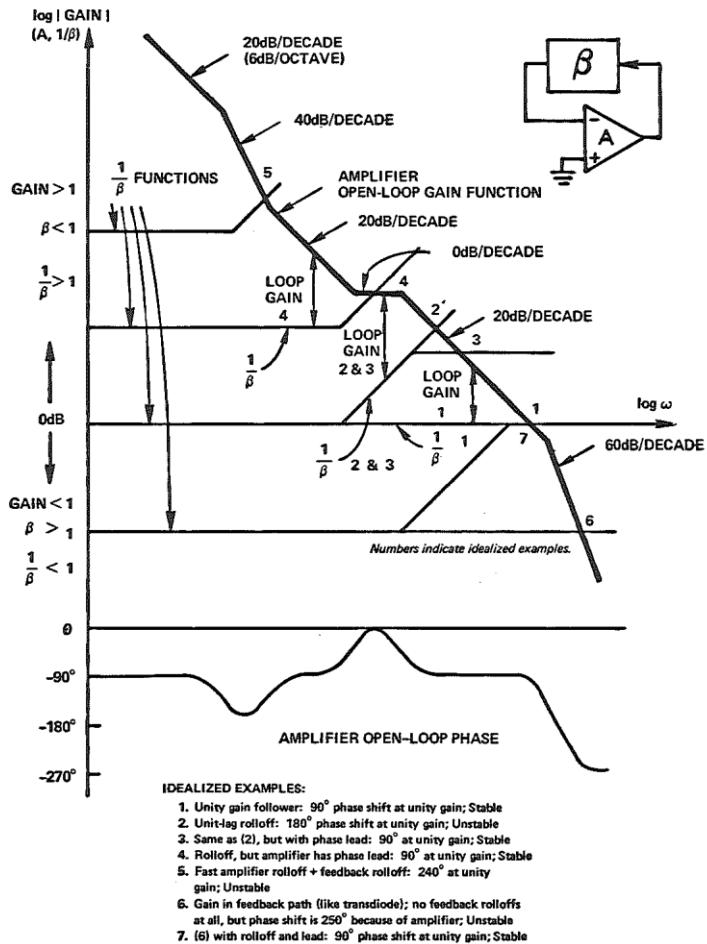


図 5: ループゲイン ($A\beta$) が安定した状態と不安定な状態を示す
ボード線図の安定性解析。 $A\beta = A / (1/\beta)$ 。対数スケールでは
ループゲインをグラフから予測でき ($\log A\beta = \log A - \log (1/\beta)$) 、
交差位置で 0 dB です。数値は理想的な例を示します。

r_E の範囲は極めて広く、例えば 1mA で 26Ω 、 1nA では $26\text{M}\Omega$ です。したがって、この帰還素子の両端に容量を直接接続する従来の方法で回路を安定させようとするのは、非現実的です。例えば、上限で 1.6 MHz のブレーク周波数を得るには、対数トランジスタに $0.039\text{ }\mu\text{F}$ の容量を並列に接続する必要があります。

これは、下限でのブレーク周波数が 1.6 Hz であることを意味します。さらに、最大電圧がわずか 0.6 V ほどでも、アンプで 26Ω の負荷を駆動するのは簡単ではないでしょう（ほとんどのオペアンプは $1\text{k}\Omega$ 以上の負荷に対して定格が定められています）。

このジレンマに対する簡単な解決策は、アンプ出力およびエミッタと直列に抵抗 R_E を接続することです（図 6）。この抵抗はアンプの負担を減らし、アンプ出力とエミッタ間の減衰器として機能します。これで、アンプ出力と加算点の間に接続された帰還コンデンサ C_c の容量をかなり小さくできますが、出力は依然としてエミッタから取られるので（かつ依然としてループによりサーボ制御されるので）、回路の応答がかなり速くなります。 R_E は、アンプの出力仕様に合わせてできるだけ大きさします。この抵抗を流れる電流はエミッタ電流に負荷電流を加えた値に等しく、最大ダイオード電圧が約 0.7 V なので、10 V アンプの場合は次のようにになります。

$$R_E \cong \frac{9.3V}{I_C + I_L} \quad (11)$$

また、 R_E は過大な順方向電圧から接合部を保護します。

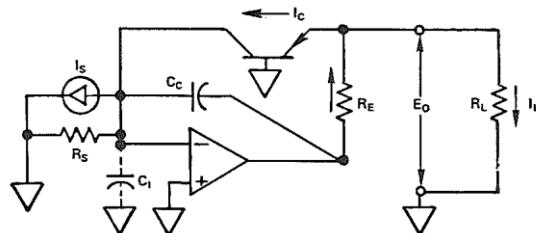


図 6: 安定化素子 R_E と C_c を使用したトランジスタダイオード回路

帰還容量の選択は、加算点容量と最大および最小電流レベルに依存します。その値は、ボード線図（図 7）から以下のようにして決定できます。

ループの帰還部分の小信号応答 $\beta = \Delta V_f / \Delta E_A$ は、次式から得ることができます。

$$\frac{\Delta V_f}{R_s} (1 + R_s C_I p) = (\Delta E_A - \Delta V_f) C_c p + \Delta I_c \quad (12)$$

ここで、

$$\Delta I_c = \frac{\Delta E_o}{r_E} = \frac{\Delta E_A}{R_E + r_E}^*$$

これを β について解くと、

$$\beta = \frac{\Delta V_f}{\Delta E_A} = \frac{R_s}{R_E + r_E} \frac{1 + (R_E + r_E) C_c p}{1 + R_s (C_I + C_c) p} \quad (13)$$

入力が電流源の場合は ($R_s \rightarrow \infty$)

$$\beta = \frac{1 + (R_E + r_E) C_c p}{(R_E + r_E) (C_I + C_c) p} \quad (14)$$

高い周波数では ($\rho \rightarrow j\omega \gg 2\pi f_T$)

$$\beta = \frac{C_c}{C_I + C_c} \quad (15)$$

低い周波数での電圧の場合 (R_s 有限)

$$\beta = \frac{R_s}{R_E + r_E} \quad (16)$$

(式 (10) から) r_E が I_C に逆比例していることに留意すると、 r_E を含む時定数は、 I_C の値が小さい場合は r_E に比例し、 I_C の値が大きい場合は一定 ($\approx R_E$) になります。

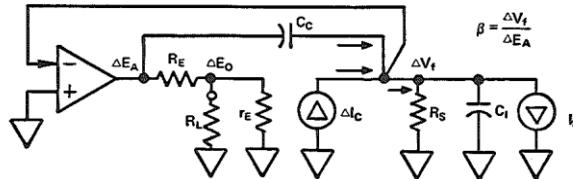
* 負荷抵抗がある場合は、常に、 $r_E R_E / R_L$ を $(R_E + r_E)$ に加えることによって負荷抵抗の影響を含めることができます。

小信号を安定させるには、分子のブレーク周波数 $\omega_C = 1 / (R_E + r_E) C_C$ を、 I_C の最大値で $1/\beta = 1 + C_I/C_C$ が アンプのオープン・ループ・ゲインのプロットと交差する周波数より、少なくとも 1 オクターブ低くします（つまり $1/2$ ）。

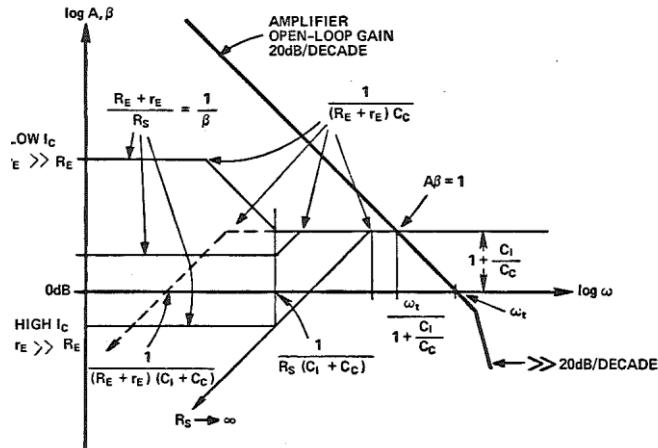
例えば、 $R_E = 2.2 \text{ k}\Omega$ 、 $\omega_t = 10^7 \text{ rad/s}$ 、 $C_I = 10 \text{ pF}$ 、 $r_E (@1 \text{ mA}) = 26 \Omega$ の場合は、次のようになります。

$$\frac{1}{2200C_C} = \frac{1}{2} \frac{\omega_t}{1 + C_I/C_C} \quad (17)$$

これを C_C について解くと、結果は 88 pF となります。したがって、 100 pF が妥当な値です。



a. 安定性解析用のモデル



b. ボード・ゲイン線図

図 7: トランジスタ回路のボード線図安定性解析

実用回路

これまで考えてきた基本回路は、温度の影響を受けやすいため、実用的価値はほとんどありません。また、デバイスごとに異なるリファレンス電流 αI_{ES} の値に出力レベルが依存している上、とにかく温度の影響を非常に受けやすく、温度が 10°C 上昇するごとに出力レベルはほぼ倍になります。スケール・ファクタ kT/q は絶対温度に比例して変化し、室温 (27°C) 付近での変化率は $0.33\%/\text{ }^{\circ}\text{C}$ です。

2 個のマッチングしたトランジスタ（一定のコレクタ電流と温度に対する V_{BE} のマッチング）の場合、 αI_{ES} 項の比が温度に対して一定になる傾向があります。このため、温度に伴う αI_{ES} の変動を補償するために、対数トランジスタはほぼ例外なくペアで使われます。補償は減算を行うことによって実現されます。

$$\frac{kT}{q} \ln \frac{I_1}{\alpha I_{ES_1}} - \frac{kT}{q} \ln \frac{I_2}{\alpha I_{ES_2}} = \frac{kT}{q} \left[\ln \frac{I_1}{I_2} + \ln \frac{\alpha I_{ES_2}}{\alpha I_{ES_1}} \right] \quad (18)$$

誤差項は $\ln(1) = 0$ に非常に近い定数です。誤差項を無視できない場合は、後続段で固定値の電圧または電流をバイアスすることによって相殺できます。

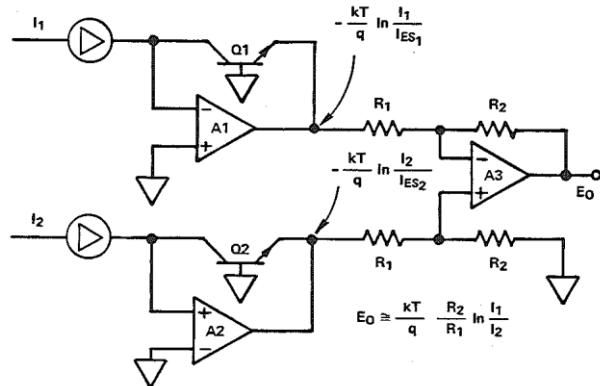
減算は、図 8 と 9 に示すように減算器を使用するか、図 10、11、12 に示すように対数素子を逆向きで直列に接続することによって実行できます。

図 8 では、NPN トランジスタとともに示されている A1 と A2 の出力は次式で表されます。

$$E_{o_1} = -\frac{kT}{q} \ln \frac{I_1}{\alpha I_{ES_1}}, \quad E_{o_2} = -\frac{kT}{q} \ln \frac{I_2}{\alpha I_{ES_2}} \quad (19)$$

これらが A3 の回路で差し引かれて、出力が得られます。

$$E_o = \frac{R_2 kT}{R_1 q} \left(\ln \left[\frac{I_1}{I_2} \right] + \text{const.} \right) \quad \text{const.} \rightarrow 0 \quad (20)$$

図 8: I_{ES} を温度補償した対数比回路

これで、トランジスタが適切にマッチングされていれば、この対数比回路の性能が I_{ES} に影響されることはありません。 I_1 入力を見たとき、基準とする I_2 入力を I_1 が正規化出来る値に設定することにより、 I_2 に対する比率が決定できます。つまり $I_2 = I_1$ の場合は、 $\ln(I_1/I_2) = 0$ です。 I_2 は、例えば I_1 の範囲の上限値または下限値に設定するか、対称性を確保するためのトランジスタの形状をベースに設定することができます。

kT/q は便利な電圧値であるとは通常考えられないので、 R_2/R_1 は、適切な値のゲインを得るためにスケーリングすることができます。例えば、回路の出力のスケール・ファクタを 1V/ディケードにしたい場合は、次のようにになります。

$$E_o = K \log_{10}(I_1/I_2) = 1.0 \log_{10}(I_1/I_2) \quad (21)$$

この場合は、 25°C で $R_2/R_1 = q/(kT \ln 10) = 16.903$ です。

必要とされる安定性と温度変動範囲に対して、この回路が温度の影響を受けすぎる場合 ($0.33\%/\text{ }^\circ\text{C}$)、値が等しく方向が逆の温度係数を持つゲイン段を後に追加することができます。図 9 では、ユニティ・ゲイン減算器の後にゲイン付きフォロワ回路が接続されています。抵抗 R_{TC} は、下に示すゲインの式の温度感度が $-0.33\%/\text{ }^\circ\text{C}$ となるように選びます。

$$G = 1 + \frac{R_3}{R_{TC}} \quad (22)$$

例えば、 $G = 16.9$ 、 25°C で $R_{TC} = 1 \text{ k}\Omega$ の場合は $R_3 = 15.9 \text{ k}\Omega$ で、 R_{TC} の温度係数 $\approx +0.35\%/\text{ }^\circ\text{C}$ です。

回路設計者に便利なように、モデル 751 対数回路素子には、マッチングしたトランジスタのペア（751P は PNP、751N は NPN）と、対数トランジスタ回路（4-1 項を参照）に温度補償されたゲインを与えるように設計された抵抗分圧器が含まれています。

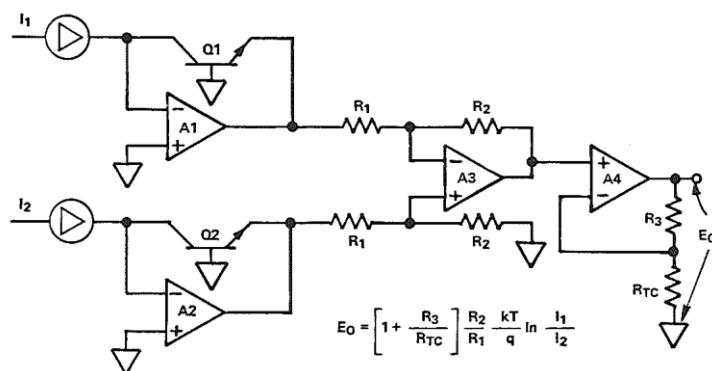


図 9: I_{ES} と kT/q の両方を補償した対数回路

図 8 と図 9 の回路では、見やすいように、動的安定化素子の R_E と C_C が省略されています。しかしこれらの素子は、図 6 と同様に、A1 と A2 両方の回路内に使われるでしょう。

図 8 と 9 の回路は作動しますが、実装が高価になる傾向があり、一定リファレンスの対数コンバータの設計に使われることは稀です。図 10 と 11 の回路はもう少し一般的で、少し修正すれば逆対数動作に使用できます。これらの回路が図 8 および 9 の回路と異なるのは、逆向きに直列接続された対数ダイオードによって減算を行う点です。

図 10 にその原理を示します。I₁ は入力電流で、これは電流源によって供給するか、入力抵抗 R_{IN} を通して入力電圧 V_{IN} により生成することができます。I₂ はリファレンスか、あるいは電流源によって供給される 2 つめの入力電流です。

Q1 のエミッタ-ベース間電圧は $-kT/q \ln (I_1/\alpha I_{ES1})$ です。Q2 の h_{FE} が高い値だとすると（従ってベース電流が無視できるとすると）、Q2 のエミッタ-ベース間電圧は $-kT/q \ln (I_2/\alpha I_{ES2})$ です。

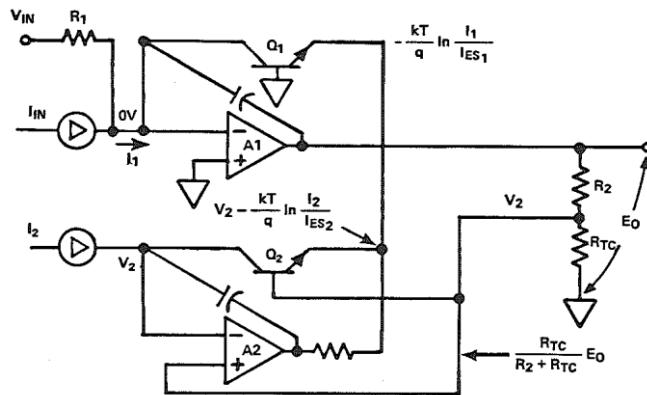


図 10: 温度補償した対数回路

Q2 のベース電圧は $E_{oR_{TC}} / (R_2 + R_{TC})$ なので Q1 のベース電圧は 0 であり、エミッタは両方とも同じ電圧になります。

$$V_2 - \frac{kT}{q} \ln \frac{I_2}{\alpha I_{ES_2}} = - \frac{kT}{q} \ln \frac{I_1}{\alpha I_{ES_1}} \quad (23)$$

$$E_o = \left[1 + \frac{R_2}{R_{TC}} \right] V_2 = - \left[1 + \frac{R}{R_{TC}} \right] \frac{kT}{q} \ln \left[\frac{I_1}{I_2} \frac{\alpha I_{ES2}}{\alpha I_{ES1}} \right] \quad (24)$$

V_2 を A_2 のリファレンス入力に「ブートストラップ」接続すると、 A_2 の負入力は V_2 に追従するので、 Q_2 のコレクタ・ベース電圧がゼロに保たれます。ただし、 I_2 は、電流源、 V_2 のリファレンスとして使われる電圧源、または大きな抵抗値と直列に接続された高電圧源のいずれかから供給する必要があります。

抵抗分圧器は kT/q の温度変化に対して補償し、より大きいスケール・ファクタを提供します。25 °C で $(I + R_2/R_{TC}) = 16.9$ の場合は、次式が成り立ちます。

$$E_o = - 1V \cdot \log_{10} \frac{I_1}{I_2} \quad (25)$$

図 11 は同様の回路を示していますが、単一の電流または電圧入力信号（もしくは合計値）を正確に対数変換するために、電流リファレンスは固定されています。リファレンス電流の値は V_{Z1}/R_3 です。

$$E_o = K \log_{10} \frac{I_{IN}}{I_{REF}} = K \log_{10} \frac{V_{IN}}{E_{REF}} \quad (26)$$

ここで、

$$E_{REF} = V_{Z1} \left[\frac{R_{IN}}{R_3} \right]$$

および

$$K = \left[1 + \frac{R_2}{R_{TC}} \right] \frac{kT}{q} \ln 10$$

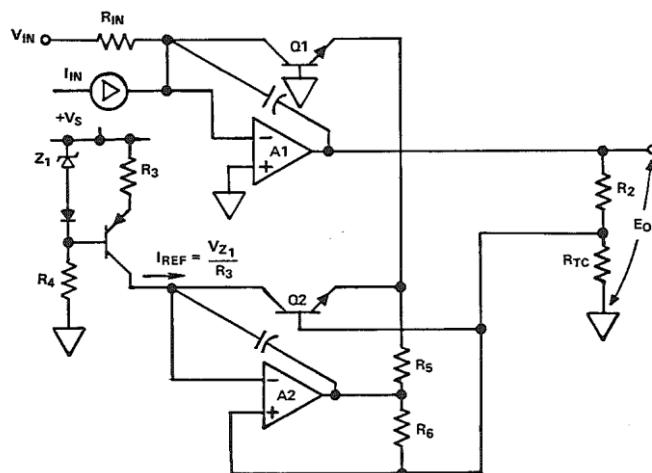


図 11: 内部電流リファレンスを備えた温度補償された対数回路

抵抗 R_6 は、ダイナミック・レンジの上限 1 mA を拡張することを可能にし、その負性抵抗効果は Q_1 のバルク抵抗の電圧降下を相殺する傾向があります。 R_6 の抵抗値は式 (27) で計算します。

$$R_6 = \frac{R_5}{R_B} \frac{R_{TC} R_2}{R_{TC} + R_2} \quad (27)$$

ここで、 R_B はバルク抵抗です。

逆関数動作

入力抵抗と対数素子の位置を入れ替えると、同じ基本回路構成を使って逆対数を求めることができます。

$$E_o = -E_{REF} e^{-V_{IN}/K} = -E_{REF} (10)^{-V_{IN}/K_{10}} \quad (28)*$$

図 12 で、 Q_2 が ± 600 mV のベース電圧変動に影響されることなく、対数動作に十分なリファレンス電流値で動作すると仮定すると、次式が成り立ちます。

$$-\frac{kT}{q} \ln \left[\frac{E_o}{R_1 \alpha I_{ES1}} \right] = \left[\frac{R_{TC}}{R_2 + R_{TC}} \right] V_{IN} - \frac{kT}{q} \ln \left[\frac{I_{REF}}{\alpha I_{ES2}} \right] \quad (29)$$

$$\frac{q}{kT} \left[\frac{R_{TC}}{R_2 + R_{TC}} \right] V_{IN} = -\ln \left[\frac{E_o}{R_1 I_{REF}} \frac{\alpha I_{ES2}}{\alpha I_{ES1}} \right] \quad (30)$$

あるいは、底を 10 にすると次のようになります。

$$= -(1n 10) \log_{10} \left[\frac{E_o}{R_1 I_{REF}} \frac{\alpha I_{ES2}}{\alpha I_{ES1}} \right] \quad (31)$$

* $E_{REF} = I_{REF} R_1$

$\alpha I_{ES2} = \alpha I_{ES1}$ で、なおかつ次式が成り立つとすると、

$$\frac{kT}{q} \left[1 + \frac{R_2}{R_{TC}} \right] \ln 10 = K_{10}$$

出力は次のようにになります。

$$E_o = R_1 I_{REF} (10)^{-V_{IN}/K_{10}} \quad (31)$$

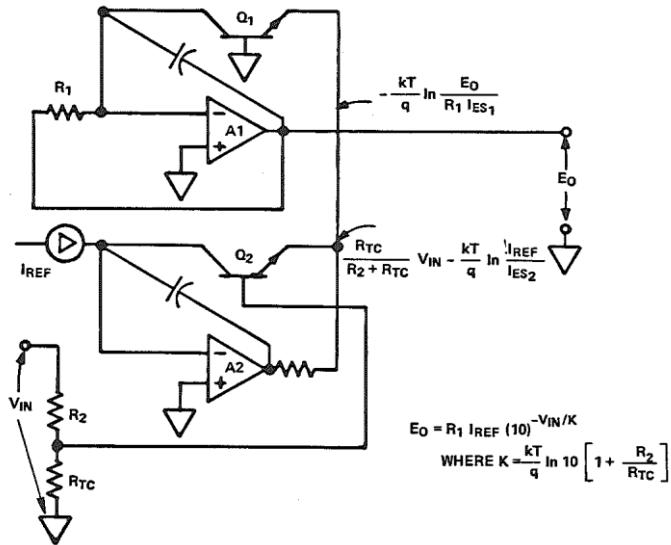


図 12: 逆対数（指数）回路

対数モジュール

図 11 の回路は、モデル 755 (N と P) や 752 (N と P) に使われている回路と似ています。これら 2 つのファミリーには以下の主な違いがあります。755 は完全な自己完結型の対数回路で、出力アンプ A1 を内蔵しています。

K は固定値選択式 (2/3, 1、および 2) で I_{REF} も固定されており (ただし変更可能)、4 ディケードの電圧範囲と 6 ディケードの電流範囲での動作に対して仕様が定められています。これに対し 752 の入力電流範囲は 7 ディケードで、外付けのアンプを必要とし、K も I_{REF} も約 10:1 の範囲で調整することができます (図 13)。755 の下限側での主な誤差源はアンプなので、より広い電流または電圧範囲が得られるようにオペアンプを選択すれば、752 を使用することができます。

この方法はパラメータ選択の柔軟性を高めることもでき、相補的なペアで使用して、 \sinh または \sinh^{-1} （「バイポーラ対数」）関数を形成することができます。

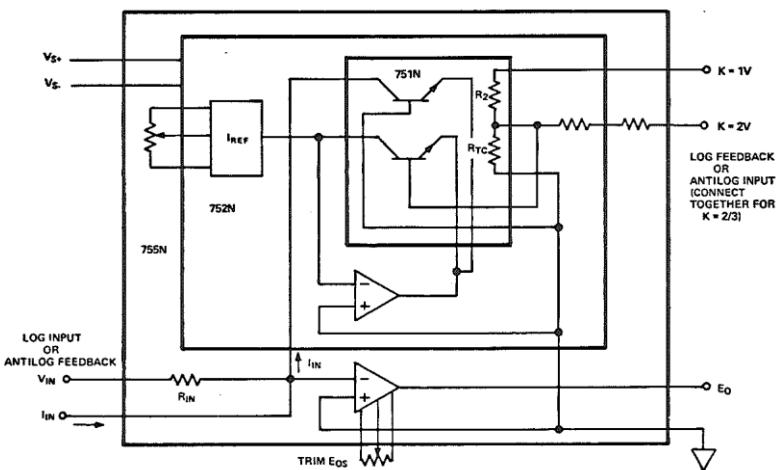


図 13: 対数／逆対数モジュールの比較ブロック図（簡略図）

名称と特性（N と P）

「N」バージョンと「P」バージョンを選択できるすべての対数デバイスにおいて、N は基本的な対数素子として NPN トランジスタが使われていることを示し、P は PNP トランジスタが使われていることを示します。

N バージョン（図 14）の特性は以下の通りです。

- 対数接続の入力電圧または電流は常に正。
- 逆対数（指数）接続の出力電圧は常に正。
- 対数接続の出力電圧は、 $V_{IN} > E_{REF}$ または $I_{IN} > I_{REF}$ の場合は負で、 $V_{IN} < E_{REF}$ または $I_{IN} < I_{REF}$ の場合は正。

- 逆対数接続の出力電圧は、負入力では E_{REF} より大きい正の値で、正入力では E_{REF} より小さい正の値、ゼロ入力では E_{REF} と等しくなります。
- 対数接続では、 V_{IN} または I_{IN} がゼロに近付くにつれて、出力が正の限界値に近付きます。
- 逆対数接続では、入力が大きい正の値を取ると、出力がゼロに近付きます。

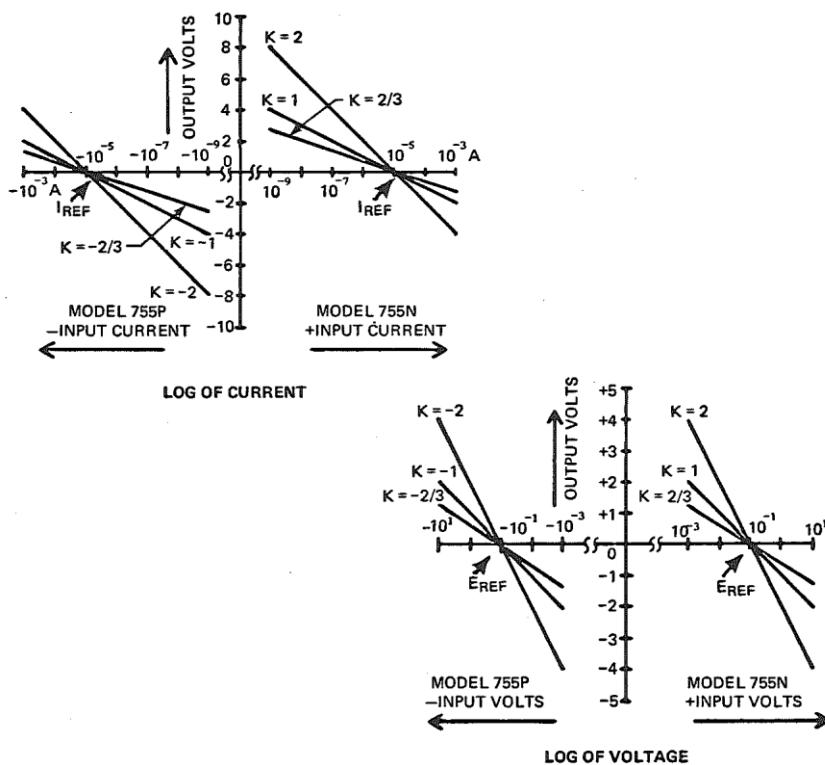


図 14: 対数接続したモデル 755N と 755P の
出力対入力の関係（対数入力スケール）
— 電圧と極性の関係を示している

P バージョンの特性は以下の通りです。

- 対数接続の入力電圧または電流は常に負。
- 逆対数（指数）接続の出力電圧は常に負。

- 対数接続の出力電圧は、 $V_{IN} > E_{REF}^*$ または $I_{IN} > I_{REF}$ の場合は負で、 $V_{IN} < E_{REF}$ または $I_{IN} < I_{REF}$ の場合は正。
- 逆対数接続の出力電圧は、負入力では E_{REF} より大きい正の値（小さい負の値）で、正入力では E_{REF} より小さい正の値、ゼロ入力では E_{REF} と等しくなります。
- 対数接続では、 V_{IN} または I_{IN} がゼロに近付くにつれて、出力が負の限界値に近付きます。
- 逆対数接続では、入力が大きい負の値を取ると、出力がゼロに近付きます。、

対数デバイスの仕様設定

対数デバイスの誤差は、入力または出力を基準とすることができます。入力の比が等しい場合は（所定のスケール・ファクタに対する）出力の増分も等しくなるのが対数の便利な特性なので、任意の入力レベルでのパーセント誤差は、出力でのミリボルト・レベルの変化に変換できます。あるいは、その逆の変換も可能です。対数デバイスの仕様を設定する際、誤差の方向が未知の場合は、引数の大きさを減らす方法を考えられていると想定するのが安全です（つまり、20 % 低い $\log 0.8$ は -0.097 ですが、20 % 高い $\log 1.2$ は 0.079 に過ぎません）。下の表は、よく使われる 3 種類の K について、パーセント入力誤差（低）とミリボルト出力の増分の関係を示したものです。K の単位は V/decade (10 倍の入力変化に対するボルト数) です。

等価誤差の表

Error R.T.I. % low	Output error (mV)		
	Error RTO = $-K \log_{10} (1 - RTI/100)$	$K = 1V$	$K = 2V$
0.1	0.43	0.87	0.29
0.5	2.18	4.35	1.45
1.0	4.36	8.73	2.91
3.0	13.2	26.5	8.82
4.0	17.7	35.5	11.8
5.0	22.3	44.6	14.9
10.0	45.8	91.5	30.5

*つまり、 E_{REF} より大きい正の V_{IN} 、または小さい負の V_{IN}

†4-1 項の表 4 も合わせて参照のこと。

中間値を求めるには、線形補間が十分適しています。

誤差が K の公称値またはフルスケール ($= nK$) のパーセント、もしくはその他同様の基準値のパーセントで表されていることが明確に示されている場合を除き、(対数の) 出力誤差をパーセントで表すのは良い方法とは見なされません。

モデル 755 (ここでの例に使用) などのデバイスを使用する場合は、ログアンプに関連する誤差源をしっかりと理解することが、最良の結果を実現する上で役立ちます。主な誤差源は 2 つあります。

1. オフセットを含む (理想対数式の定数の許容差や変化による) パラメータ誤差。
2. 対数適合度誤差。これは、ヌル化とキャリブレーションによってすべてのパラメータの影響を除去した後に残る誤差です。

パラメータ誤差は、以下の式で定義されるように、電圧および電流動作に対して個別に表されます。

$$E_o = -K \log_{10} \frac{V_{IN} - E_{os}}{E_{REF}}$$

および

$$E_o = -K \log_{10} \frac{I_{IN} - I_{os}}{I_{REF}} \quad (32)$$

スケール・ファクタ (K) は、対数モードで接続されている時に、1 ディケード (つまり 10:1) の入力変化に対する出力の電圧変化です。スケール・ファクタの誤差はゲインまたはスロープの変化に相当し、公称値のパーセントで規定されます。K は「N」型では正で、「P」型では負です。モデル 755 の仕様は、最大許容差が 1 %、温度 ($0^\circ \sim 70^\circ\text{C}$) による変化が最大 0.04 %/ $^\circ\text{C}$ です。

オフセット電圧 (E_{os}) は、対数動作に使用するオペアンプに依存します。その影響は、入力抵抗と直列の小さい電圧によるものです。高インピーダンス電流源による電流の対数演算では、誤差の影響を無視できます。

しかし、電圧の対数演算では、誤差によって V_{IN} が変化します。室温での誤差はゼロに調整できますが、使用温度範囲でのドリフトを検討する必要があります。755 では E_{OS} が $0 \pm 400 \mu V$ で、最大ドリフトは $\pm 15 \mu V / ^\circ C$ です。

リファレンス電圧 (E_{REF}) は実効内部生成電圧で、すべての電圧はこの電圧と比較されます。この電圧は内部生成されたリファレンス電流 I_{REF} に関係しており、その関係は $E_{REF} = I_{REF}R_{IN}$ で表されます。ここで R_{IN} は入力抵抗の値です。通常、 I_{REF} は R_{IN} よりかなり安定性に欠けるので、実質的に、すべての許容差は I_{REF} によるものです。755N では、 E_{REF} の公称値は $+0.1 V \pm 3\%$ (最大 3 mV) で、最大温度係数は $0.1 \% / ^\circ C$ です。755P では、 $E_{REF} \approx -0.1 V$ で、許容差は同じです。

オフセット電流 (I_{OS}) は、アンプのバイアス電流に浮遊リーク電流を加えたものです。このパラメータは、ナノアンペア領域の信号を処理する場合に大きな誤差源となることがあります。このため、755 のようなデバイスでは、この値が $10 pA$ ($10^\circ C$ 上昇するごとに 2 倍) 以内に抑えられています。

リファレンス電流 (I_{REF}) は内部生成された電流源出力で、すべての入力電流がこの電流と比較されます。 I_{REF} の許容誤差は、出力の DC オフセットとして現れます。755N では、 I_{REF} は最大 $+10 \mu A$ $+3\% \pm 0.1 \% / ^\circ C$ です (755P では I_{REF} の極性は負)。表から、この入力パラメータの $\pm 3\%$ の許容差は出力の $\pm 13.2 mV$ に相当し、これは入力信号とは無関係のオフセットで、リファレンス電流を調整することによって除去できます (調整が可能な場合)。また、スケール・ファクタ減衰器に電流を注入することによって出力に電圧を加えるか、あるいは単純に出力の接続先で一定のバイアスを加えることによっても除去できます。

パラメータ誤差に加えて、対数適合度誤差も考慮する必要があります。パラメータを調製して、オフセット、スケール・ファクタ、およびリファレンス誤差を補償した後も、出力は依然として (主にレンジの境界付近で) 理想的な対数動作から外れることが分かります。理想対数デバイスの動作は片対数プロット上で線形なので、対数適合度誤差は、対象範囲における片対数プロット上の直線からの偏差です。

モデル 755 の場合、対数関係の線形性が最も良好なのは、電流レンジの中央 4 ディケード部分 ($10 \text{ nA} \sim 100 \mu\text{A}$) です。この範囲での対数適合度誤差は、 $\pm 0.57\% \text{ RTI}$ 、つまり 2.18 mV RTO です ($K = 1$)。

自由度が大きければ（パラメータとユーザー変数両方に關して）、対数デバイスの仕様を 1 つの全体的数値にまとめることができるのは言うまでもありません。1 つの代替策として、必要な範囲に収まる性能を計算するのに十分な情報が提供されています。モデル 755 の仕様を例として取り上げましたが、もちろん読者は、データシートやアナログ・デバイセズ製品ガイド、その他の媒体によって、設計開始時に入手可能なデバイスの特性を十分に把握するよう努める必要があります。デバイス動作についての読者の理解を助けるために、本章の最後に 755 の詳細な仕様が示されています。特定デバイスに関するアプリケーション情報については、データシートに詳細が示されています。

対数および逆対数デバイス

これまで検討してきたタイプの対数回路では、基本的に何が起きているかについて、以下のように因果関係を説明することができます。

1. 回路の入力に電流が与えられ、アンプの入力電圧が生じます。
2. アンプの出力電圧が反対方向に変化します。
3. 対数ダイオードの入力に加わるアンプ出力電圧 (V_{BE}) によってコレクタ電流が流れ、アンプの入力電流をバランスさせ、入力電圧がゼロに保持されます。
4. アンプの出力は入力電流の対数に比例しますが、対数ダイオードの出力電流は、その入力電圧の逆対数に比例します。

したがって、すべての対数デバイスは、オペアンプと逆対数（指数）回路で構成されていると見なすことができます。したがって、すでに述べたように入力抵抗と帰還素子を入れ替えると、加算点に逆対数入力電流を生成し、それに対応する逆対数電圧を出力に発生させる回路が得られます*。

逆対数接続では同じ誤差源が存在し、これは次の特性方程式で検討することができます。

$$E_o = E_{REF}(10)^{-V_{IN}/K} \pm E_{os} \quad (33)$$

入力の一定の増分として現れる誤差は、出力に一定のパーセント誤差を生じます。

755 は、対数動作用にも逆対数動作用にも接続することができます。752 を外付けのオペアンプとともに使用すれば、対数動作用にも逆対数動作用にも接続することができます。図 15 に示すチャートは、 $\pm 10^{\circ}\text{C}$ の範囲で $\pm 2\%$ の誤差という制約のもとで、さまざまなタイプのオペアンプを使用した 752 と 755 の動作レンジを比較しています。チョッパ安定化アンプ (233J) は電圧レンジを、低バイアス電流 FET (42J) は電流レンジを最大限まで広げ、汎用 FET (40J) はコストを最小限に抑えます。

LOG MODULE	755	752 OPERATING WITH OP AMP		
		233J Chopper Stabilized	42J Electrometer FET	40J Economy FET
Op Amp Type →	Internal-High Performance FET			
Input Range for $\pm 2\%$ Error, Over $\pm 10^{\circ}\text{C}$				
V_{in}^1	3.5mV to 10V	500μV to 10V	37.5mV to 10V	25mV to 10V
E_{os} Drift	150μV	10μV	750μV	500μV
I_{in}	1nA to 1mA	3.5nA to 1mA	50pA ² to 1mA	5nA to 1mA
$I_{os} + I_{os}$ Drift	20pA	70pA	1pA	100pA
Selection Criteria	Complete log amplifier, high performance, trimmed internally	Extends lower limit of voltage range. Minimum drift and offset errors, long term stability	Extends lower limit of current range	Lowest cost for a complete log amplifier
Relative Costs (1–9)	100%	140%	104%	80%

¹Values selected are consistent with a 10kΩ input register.

²Log conformity error restricts the lowest input signal to 100pA.

図 15: 755 フル機能対数／逆対数モジュールと 752 対数／逆対数トランスクンダクタの能力の比較

* 対数ダイオードは、 R_E によってアンプの出力電圧から絶縁されて、 r_E の両端に出力（副産物）として対数電圧を生成する電流フォロワと見なすこともできます。

756 は、可変リファレンスや比の対数を必要とするアプリケーション用に設計されています。その対数比適合度は 1 % で、その範囲は通常 7 ディケードです（4 ディケードの分子変化、3 ディケードの分母変化）。図 16 は、比を基準とした % 誤差の代表的な値を 4 つの I_D 値に対し I_N の関数として示しています。

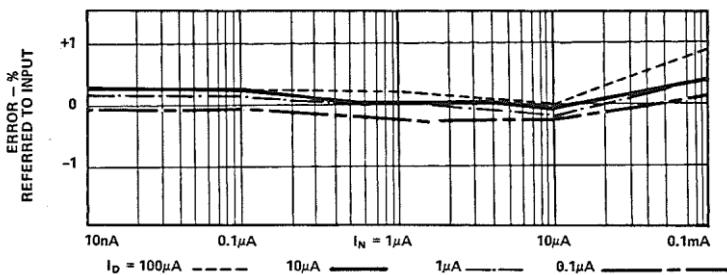


図 16: モデル 756 対数比モジュールの対数適合度誤差

動的誤差

対数デバイスの速度と周波数応答は、スケーリング、信号レベル、および変化の方向に依存します。通常は、 $1 \mu\text{A}$ を超えると応答が積分器の時定数に支配され、信号レベルにともなってはほとんど変化しません。 $1 \mu\text{A}$ 未満では r_{EC_C} が応答を支配し、入力電流に比例して速度が低下します。755 の応答時間の代表値の表を下に示します。信号の大きさが増える場合の方が、減る場合より応答時間が短くなるのは興味深い点です。これは、新しい電流値が速度を決定するからです。

I_{IN} (Increasing)	Time	I_{IN} (Decreasing)	Time
1nA to 10nA	1ms	10nA to 1nA	4.5ms
10nA to 100nA	$100\mu\text{s}$	100nA to 10nA	$400\mu\text{s}$
100nA to $1\mu\text{A}$	$7\mu\text{s}$	$1\mu\text{A}$ to 100nA	$30\mu\text{s}$
$1\mu\text{A}$ to 1mA	$4\mu\text{s}$	1mA to $1\mu\text{A}$	$7\mu\text{s}$

もちろん対数応答は、非対称非線形の遅延時間と同様に、広い範囲の正弦波に歪みを発生させます。したがって周波数応答は、異なる電流レベルでの小信号応答によって与えられます。

755 の代表的周波数応答 (-3dB) は以下の通りです。

I_{IN}	-3dB frequency
1nA	80Hz
1μA	10kHz
10μA	40kHz
1mA	100kHz

対数デバイスのテスト

後述の基本テストを行うには、以下の装置（または同等品）が有用です。

ピコアンペア電流源 Keithley 261

高精度 DC 電圧基準器 Electronic Development Corp. 100N

ファンクション・ジェネレータ Hewlett-Packard 3310A

デジタル電圧計 Hewlett-Packard 8300A

オシロスコープ Tektronix 543B (Type 1A5 プリアンプ搭載)

このセクションでは、スケール・ファクタ、対数適合度誤差、リファレンス電流精度、応答時間、帯域幅、入力オフセットなど、対数デバイスのいくつかの基本的パラメータを（与えられた対数デバイスに適用される範囲で）評価するための回路と手法について述べます。フル機能の自己完結型「ブラック・ボックス」である 755 には、これらのパラメータすべてが適用されます。これらについては、755 の測定に関連して説明します。

説明を簡潔にするために、ピン番号接続を使用します。ピン接続と回路機能間の関係を図 17 (755N の簡略機能図) に示しますが、その原理は同様のデバイスすべてに適用されます。結果は、計測時にどの程度注意を払うかに依存します。

スケール・ファクタ (K) は、対数構成に接続した状態で、入力の 1 ディケード (10:1) の変化に対する出力電圧の変化として定義されます。これは、出力の片対数プロットの勾配です。

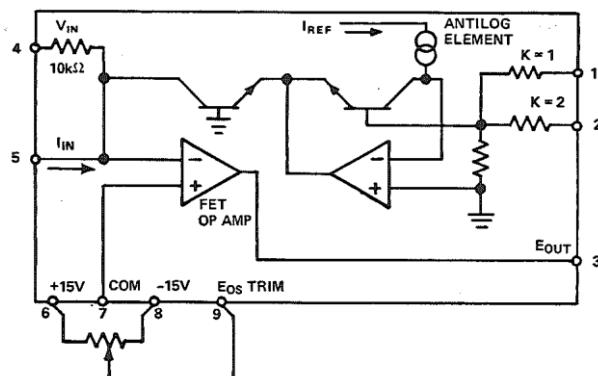


図 17: モデル 755 の接続図

スケール・ファクタの計測は、電流源を使用する方法が最も簡単です。ピン 5（入力加算点）に電流 I_1 を与えて、出力を測定します。電流を正確に 10 倍 ($10I_1$) まで増加させて、再び出力を測定します。スケール・ファクタは、これら 2 つの測定値の単純な差です。

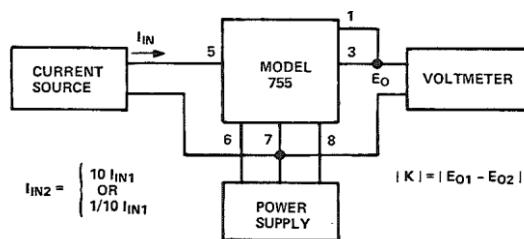


図 18: 電流入力によるスケール・ファクタ計測
(図は $k=1$ の場合)

スケール・ファクタを電圧モードで計測したい場合、最初に、入力電圧オフセットを慎重に調整して、値をほぼゼロにする必要があります。図 19 に示す回路を使用し、電圧入力（ピン 4）を接地した状態で、微妙な調整を行うことができます。N 型デバイスの出力は、外付けの $100\text{ k}\Omega$ 10 回転トリマ・ポテンショメータを使用して、 $+4\text{ V} \sim +5\text{ V}$ の間に調整できます（755P の場合、調整範囲は $-4\text{ V} \sim +5\text{ V}$ です）。

E_{REF} は $10^{-1}V$ なので、入力を接地した状態で出力電圧が $4V \sim 5V$ ということは、 E_{OS} が $4 \sim 5$ ディケード低い（つまり $1 \sim 10 \mu V$ ）であることを示しています。

オフセット電圧の調整後、入力 V_{IN1} と $10V_{IN1}$ を順にピン 4 に加え、それらに対する出力の差を取ることにより、電流入力の場合と同じ方法（図 18）でスケール・ファクタを計測することができます。

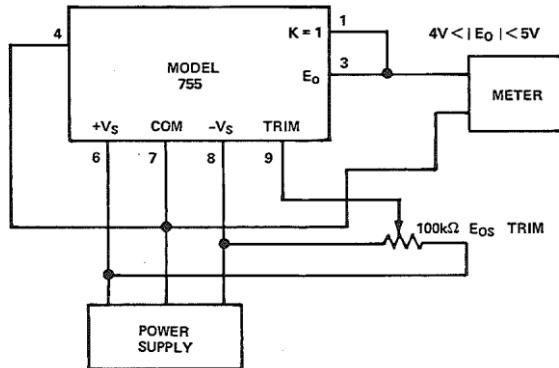


図 19: 対数モードでの E_{OS} のトリミング

リファレンス電圧は、入力とリファレンスの比が 1 になる入力電圧です。この値に対する対数出力はゼロです。したがって、あるユニットのリファレンス電圧の値は、 E_{REF} (755N の場合 $0.1 V$) に近い正確に決定された電圧を入力 (4) に加え、出力がゼロとなるように調整して、実験的に計測されます。リファレンス電圧を変更するには、電流入力 (5) に適切な値の外付け抵抗を接続して、それを入力抵抗として使用するか、または電流リファレンスを変更するか、もしくは出力の外付け計算アンプに定数を追加することができます。これらいずれの方法でも、入力に必要な値を正確に与え、出力がゼロとなるよう調整することによって、リファレンス電圧の新しい値を校正することができます。

リファレンス電流は、入力とリファレンスの比が 1 になる時の入力電流値です。この値に対する対数出力はゼロです。これは、正確に測定した調整可能な入力電流を与えて、出力がゼロになるように調整することによって、リファレンス電圧と同様に測定されます。755N の I_{REF} は約 $10 \mu A$ です。

I_{REF} は、出力の外付け加算アンプに定数を追加するか、リファレンス源に変更を加えることによって変更できます。これは 756 対数比ユニットの入力変数であり、752 対数／逆対数トランスコンダクタでは調整可能で、755 では固定されています。しかし 755 でも、未使用の K ピン（ピン 1 または 2）に電流源から電流を与えることによって、これを変更することができます。必要な電流の値は、1 ディケードのシフトにつき $66 \mu\text{A}$ です。補正だけ必要な場合、感度は 1 % の変化あたり $0.29 \mu\text{A}$ 程度です。シフトが小さい場合は、値の大きい抵抗 ($>> 2.2 \text{ M}\Omega$) と直列の電圧によって電流を生成することができます。

対数適合度誤差は、実際の出力電圧と対数変換式によって予測された出力電圧の差で、オフセット、リファレンス・シフト、およびスケール・ファクタの影響は、いずれも除去されるか、計算に入れられています。片対数グラフに出力と入力をプロットすると直線になるはずです。この直線との偏差が対数適合度誤差です（出力は線形スケール、入力は対数スケールで計測されます）。プロットされた出力値を結んでスムーズな曲線を描けるように、対象範囲に対して十分な入力電圧値または電流値を与えます。また、入力を正確に決定し、出力を正確に測定し、対象となる大きさの許容値がよく見えるように、十分大きな用紙を使用します。以上で「最良の直線」を描くことができます。この直線からの偏差が、対数適合度誤差を表します。

より繊細なプロット方法は、実際の出力値から予想出力値を引いて、その結果（全誤差）を、対数スケールの入力に対して線形スケールにプロットします。こうすると、「最良直線」が平均勾配とオフセット誤差を表わし、この直線からの偏差が対数適合度誤差を表します。出力誤差は、等価誤差の表（188 ページ）を使って入力基準で表すことができます。

ダイナミック計測は、適切なバイアス・レベルからのわずかな変化、あるいはバイアス・レベル近辺でのわずかな変化を観察することによって行います。インクリメンタルに変化させるのに,DC バイアスと電圧入力（大きい外付け抵抗と直列）を足し合わせるには、電流入力を使用できます（図 20）。

例えば、 I_{IN} が 10 nA から 100 nA に増加する際の応答時間、あるいは 100 nA から 10 nA に減少する際の応答時間を測定するには、(755N の) ピン 5 に 10 nA の電流を与えます。10 MΩ の抵抗を通して、0 V から立ち上がる 0.9 V の矩形波を与えます。この矩形波は、90 nA のインクリメンタルな電流ステップを生成します。全体の入力スイングは 10 ~ 100 nA です。パルスが十分な幅を備えていると仮定すると、増加ステップと減少ステップ両方に対する応答を同時に見ることができます。出力 ($K = 1$) では、増加入力ステップ応答は +4 V から +3V ヘスイングし、減少入力応答は +3 V から +4 V ヘスイングします。

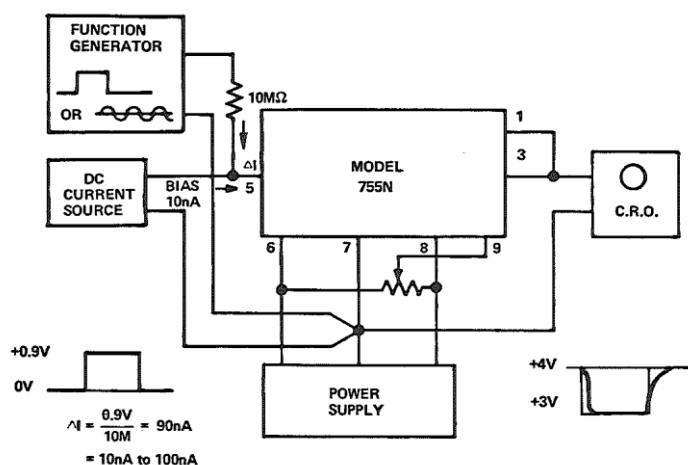


図 20: インクリメンタルな応答計測

通常、周波数応答は、固定入力値に対し $\pm 5\%$ の正弦波偏差を使うことによって計測します。例えば、1 μA レベルでは偏差は ± 50 nA になります。電流入力 (5) に 1 μA の DC を与え、1 MΩ の抵抗を通してそれを 100mV_{p-p} と加算します。低周波数での出力スイングは、43.5 mV_{p-p} にします。入力振幅を一定に保ちながら、出力振幅が 30.5 mV_{p-p} になるまで周波数を上げます。これは、出力振幅がその低周波数での値から 3 dB 下がる周波数です。

まとめ

第 1 部では対数デバイスの概要を示し、第 2 部ではアプリケーションについて説明しました。また、この章では、対数デバイスの基本的な特性、熱的および動的な安定性を得る手法、よく使われる回路、仕様と定義、および調整とテストの方法について述べてきました。4-1、4-2、4-3 項、「設計者のための手引き」には、対数、対数比、および逆対数アプリケーション用デバイスについての追加情報と、その選択および使用のためのガイドラインが与えられています。

3-1 項の付録

代表的対数／逆対数モジュールの詳細仕様（モデル 755N と 755P）

(別途注記の無い限り +25 °C および ±15 VDC での代表値)

TRANSFER FUNCTIONS	DYNAMIC RANGE OF INPUT
Log of Current	120dB
$E_o = -K \log_{10} \frac{I_{in} - I_{OS}}{I_{REF}}$	1nA to 1mA (755N) -1nA to -1mA (755P)
Log of Voltage	80dB
$E_o = -K \log_{10} \frac{E_{in} - E_{OS}}{E_{REF}}$	1mV to 10V (755N) -1mV to -10V (755P)
Antilog of Voltage	
$E_o = E_{REF} 10^{-E_{in}/K} \pm E_{OS}$	-2 ≤ E _{in} /K ≤ 2

伝達関数パラメータ

Symbol	Value	Tolerance	Drift	Note
K	2/3, 1, 2V	1% max	±0.04%/°C max	1, 2
E _{REF}	0.1V	3% max	±0.1%/°C max	2
I _{REF}	10μA	3% max	±0.1%/°C max	2
E _{OS}	0 ± tol.	±400μV	±15μV/°C max	3
I _{OS}	0 ± tol.	+0, -10pA max	2x/10°C	

入力を基準とした対数適合度誤差

Input Current Range	Conformity Error	Input Voltage Range	Conformity Error
1nA to 10nA	±1% max		
10nA to 100μA	±0.5% max	1mV to 1V	±0.5% max
100μA to 1mA	±1% max	1V to 10V	±1% max
1nA to 1mA (Total Range)	±1% max		

応答時間

I _{in} (increasing)	Time	I _{in} (decreasing)	Time
1nA to 10nA	1ms	10nA to 1nA	4.5ms
10nA to 100nA	100μs	100nA to 10nA	400μs
100nA to 1μA	7μs	1μA to 100nA	30μs
1μA to 1mA	4μs	1mA to 1μA	7μs

小信号周波数応答

I_{IN} (Level)	3dB Down At
1nA	80Hz
1μA	10kHz
10μA	40kHz
1mA	100kHz

入力基準ノイズ、10 kHz 帯域幅

Noise Voltage	$2\mu V$ rms
Noise Current	$2pA$ rms

定格出力（注記 4）

 $\pm 10V, \pm 5mA$

電力要件（静止時）

 $\pm 15V$, regulated $\pm 1\%$, 7mA

温度

Operating	$0^{\circ}C$ to $+70^{\circ}C$
Derated	$-25^{\circ}C$ to $+85^{\circ}C$
Storage	$-55^{\circ}C$ to $+125^{\circ}C$

機械的仕様

Case Size	$1.5'' \times 1.5'' \times 0.4''$
Weight	$38.1 \times 38.1 \times 10.2$ mm
	1 oz. (28.3g)

価格

(1-9)	\$55.00
(10-24)	\$49.00

注記:

1. $K = 1V$ の場合は端子 1 を、 $K = 2V$ の場合は端子 2 を、 $K = 2/3V$ の場合は端子 1 と 2 を使用（互いに短絡）。
2. パラメータは 755N の場合は +、755P の場合は -。
3. 外部からゼロに調整可能。
4. どのピンのグラウンドへの短絡によってもデバイスが損傷することはありません。
5. 仕様は予告なく変更されることがあります。

3-2 乗算器

アナログ乗算器は、2つまたはそれ以上の独立した入力電圧または電流の積に比例する出力電圧または電流を生成するデバイスです。

$$E_o = V_x V_y / V_r = K V_x V_y \quad (1)$$

比例定数 $1/V_r$ の次元は V^{-1} です。 V_r は、回路内の特定の電圧または電流を使って確認するか、単独で決定することができます。通常は 10 V に固定されます。

乗算器の動作範囲は入力によって定めることができます。2入力で各入力が2つの極性を取り得る場合、極性の組み合わせは4種類です。これは、X-Y 平面の4つの象限として図示できます（図1）。

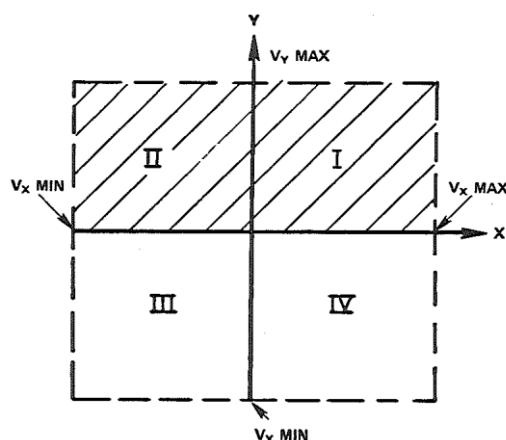


図 1: 乗算器の動作座標

動作領域内の入力ペアは、乗算器の出力電圧を一意に決定します。4 象限の組み合わせすべてを受け入れて適切な極性の出力を生成することのできる乗算器は、「4 象限乗算器」と呼ばれます。「2 象限」乗算器は一方の入力の \pm 信号と、もう一方の入力の単極信号に応答します。例えば、 $\pm V_x$ と $+V_y$ に応答する乗算器は、斜線で示された I 象限と II 象限からなる半平面で動作します。

1 象限乗算器は、1 つの象限のユニポーラ入力にだけ応答します。 V_x と V_y の両方が正の値に制限されている場合、その乗算器は第 1 象限で動作します。乗算器の中には、適切な数の象限に応答しても出力の極性が反転しているものがあります。その式は $E_O = -KV_xV_y$ です。单一象限内の 1 つまたは複数の入力に応答する乗算器は、前段に絶対値回路を置き、後段に符号絶対値出力回路を置くことによって、複数象限の演算に使用できます。この場合、出力の極性は入力の極性によって決まります（文面から受ける印象の通り手順は面倒ですが、一部の乗算型 D/A コンバータなどのデバイスでは一般的です）。入力と出力をオフセットすることによって、多象限動作を実現することもできます（図 21 参照）。

乗算の手法

現時点では、電子式アナログ乗算を行うための最も一般的な方法は、可変トランスクンタクタンスとパルス幅、パルス高変調の 2 つです。第 3 の方法である対数／逆対数法も普及しつつあり、特に低速高精度の計算によく使われています。

この章では、これら 3 種類の乗算器の回路設計と、全体的性能に影響を与える要素について詳しく説明します。

これまで、アナログ・コンピューティング、通信、および計測用の回路には他にも多くのタイプの乗算器と変調器が使われており、また、現在でも使われています。これらの例には、二乗差掛け算器、ダイオードリング、FET、磁気デバイス（例えばホール効果）などが含まれます。

ここではこれらのタイプの設計については触れませんが、仕様とテストに関する説明の大半は、これらにも当てはまります。

乗算の特性

乗算の代数的特性はアナログ乗算器の設計と仕様の決定的要素なので、これらの特性のいくつかと、それらの物理的乗算器性能との対応を改めて見直しておくと、理解を助けます。

設計や特性評価に直接影響する顕著な乗算特性の 1 つは、3 種類の入力の組み合わせで積がゼロになる事実です。

Input State	Theoretical Output	Error Parameter
1	$0 \cdot 0 = 0$	Offset
2	$0 \cdot Y = 0$	Y-Null, or Y Feedthrough
3	$X \cdot 0 = 0$	X-Null, or X Feedthrough

もう 1 つの重要な特性は、積の大きさと入力の関係です。ほとんどの一般的乗算器がそうであるように、両方の積が常に V_r より小さいと仮定すると（つまり、 V_r がフル・スケール）、積は常に V_r 以下となります。

$$4 \quad 0 \leq |V_x, V_y| \leq V_r \quad \text{Input Constraint} \quad (2)$$

$$5 \quad |V_x \cdot V_y / V_r| \leq V_r \quad \text{Output Constraint} \quad (3)$$

2 つの入力が等しくないと、(2) の条件が満たされる場合、その積は小さい方の入力より小さくなります。つまり、次の関係が成り立つとします。

$$|V_x| < |V_y| \quad (4)$$

および

$$|V_x V_y / V_r| < V_r \quad (5)$$

この場合は次式が成り立ちます。

$$|V_x V_y / V_r| < V_x \quad (6)$$

式 2 ~ 6 は、理想乗算器の出力は小さい入力で穏やかに動作することを示しています。どちらかの入力または両方の入力がゼロになると、出力もゼロになります。1 次（線形）誤差がゼロに調整されると仮定すると、本章で取り上げるアナログ乗算器回路は、この理想動作に驚くほど近い動作をします。その理由は、誤差の非線形形成分 ($f(V_x, V_y)$) が V_x と V_y の連続関数で、 V_x と V_y がゼロに減少するとこの成分もゼロになるからです。乗算器の誤差源、および回路設計と誤差の関係について説明している以下のセクションでは、その理由を示します。

乗算関数は、次の式を表す 3 次元の面で表わすことができます。

$$Z = X Y \quad (7)$$

この面の形状は、以下の特性によって概要を示すことができます。

1. X 軸および Y 軸に沿った出力 (Z) はゼロです (フィードスルーがゼロ)。
2. 一方の入力が一定の場合、出力はもう一方の入力に直線的に比例し、勾配 (ゲイン) は一定入力によって決まります。
3. 両方の入力が等しい場合 ($X = Y$ または $X = -Y$)、出力は入力の二乗に比例します。これは、極性が逆で互いに接する 2 つの放物線を、I-III の対角線と II-IV の対角線に対応する位置に直角に生成します。

これらの要件に適合する曲面は、図 2 に描かれている双曲放物面（鞍型曲面）です。放物線部分は、曲面と、対角線を通る垂直面および対角線に平行な垂直面との交線に相当します。（条件 3）。

直線要素は X 軸および Y 軸に平行な垂直面と曲面との交線で（条件 2）、曲面は X 軸と Y 軸および両軸の交点 0 に沿って X-Y 平面を通過します（条件 1）。

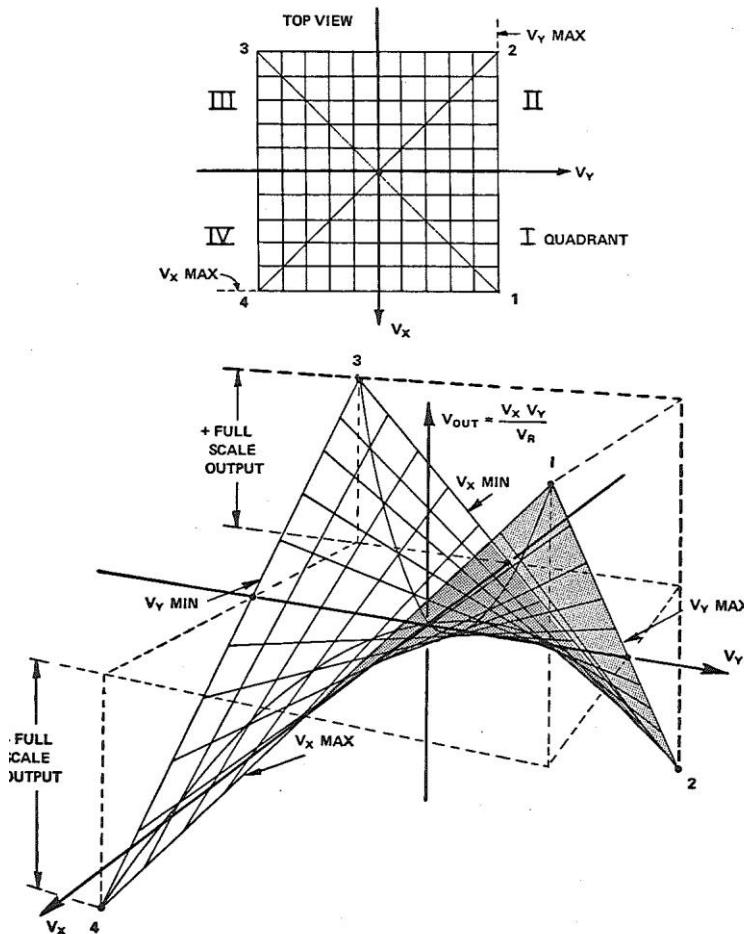


図 2:4 象限乗算器 – 入力／出力曲面

水平面と関数の交線は双曲線になります。つまり、コンター・マップは、対角線 I-III に沿って丘を登っていき、対角線 II-IV に沿って谷を下っていく一連の直角双曲線を示します（図 5）。

図で 1、2、3、4 と表示された曲面のコーナーは、各象限での乗算器の最大出力を表しています。これらの最大値は、 $\pm X$ と $\pm Y$ の 4 つの組み合わせに生じます。

乗算器は実際明らかに非線形ですが、乗算器を非線形デバイスとする考え方には矛盾しているように見えるかもしれません。結局、X または Y を一定値として動作させた乗算器のゲイン特性を実際に計測すれば、線形の出力／入力関係が得られるはずです。つまり、乗算器はゲイン KX の線形アンプとして動作します。実際のところ、通常、「線形」乗算器は（1）の理想的な関係に従うものと考えられています。

一方の入力を固定すれば乗算器は確かに線形デバイスであり、概念的には、固定ゲインのアンプで置き換える可能なのは明らかです。信号入力はゲインを変化させることはできないので、出力には信号が線形に再生されます。

両方の入力を変化させると、応答は確かに非線形です。例えば、X と Y の両方に同じ入力が与えられた場合、出力は入力の二乗に比例します。これは明らかに非線形の動作で、比例の基準にも重ね合わせの基準にも当てはまりません（1 ページ参照）。

$$\text{If } V_{IN} = V_1 \quad E_{out} = KV_1^2 \quad (8)$$

$$\text{If } V_{IN} = V_2 \quad E_{out} = KV_2^2 \quad (9)$$

$$\text{If } V_{IN} = V_1 + V_2 \quad E_{out} \neq K(V_1^2 + V_2^2) \quad (10)$$

これを幾何学的に解釈すると、双曲放物面は展開面、つまり、円筒や円錐のように直線要素から構成できる曲面です。

一方の出力を一定に保てば理想的なアナログ乗算器は線形デバイスになる、というのは役に立つ事実です。この事実により、デバイスの特性が本質的には非線形であるにも関わらず、実際の乗算器の動作の特性評価、調整、校正、および測定を、線形の観点で容易に行えます。

実際のアナログ乗算器の誤差

実際のアナログ乗算器の出力は、その入力の理論的積と異なります。一般にその差 ϵ の大きさは予測困難ですが、次式で定義されます。

$$E_o = K V_x V_y \pm \epsilon(V_x, V_y) \quad (11)$$

(11) に記号で示された誤差を、回路内の誤差源に直接関係する項に展開することは、乗算器回路の特性を検討する上で非常に有効です。アナログ乗算器には、4 つの主要な静的（つまり DC）誤差があります（動的誤差については後で、乗算器の仕様のセクションで説明します）。

Error	Symbol
1. Input Offsets	X_{os}, Y_{os}
2. Output Offset	Z_{os}
3. Scale Factor	ΔK
4. Nonlinearity	$f(X, Y)$

これらの誤差の影響は、次式のように適用できます。

$$E_o = (K + \Delta K) \left\{ (V_x + X_{os}) (V_y + Y_{os}) + Z_{os} + f(X, Y) \right\} \quad (12)$$

式を展開して項をまとめると次のようになります。

$$E_o = KV_x V_y + \underbrace{\Delta K V_x V_y}_{\epsilon(X, Y)} + (K + \Delta K) \left\{ V_x Y_{os} + V_y X_{os} + Y_{os} X_{os} + Z_{os} + f(X, Y) \right\} \quad (13)$$

この長い一連の誤差項は、それを個別に考えることによって整理できます。

項	説明	入力への依存性
$KV_x V_y$	真の積	一方の入力または両方の入力がゼロになると、積もゼロになる
$\Delta K V_x V_y$	スケール・ファクタ誤差	$V_x, V_y = 0$ でゼロになる

厳密に言うと以下の項には $K + \Delta K$ を掛けますが、 ΔK と他の誤差の積は 2 次誤差であってほとんど問題にならないため、 ΔK の影響は無視することができます。

$V_x Y_{os}$	Y 入力の DC オフセットによる線形 「X」フィードスルー	V_x に比例
$V_y X_{os}$	X 入力の DC オフセットによる線形 「Y」フィードスルー	V_y に比例
$X_{os} Y_{os}$	X、Y の入力オフセットによる出力オフセット	V_x, V_y には依存しない
Z_{os}	出力オフセット	V_x, V_y には依存しない
$F(X, Y)$	非線形性	V_x と V_y の両方に依存。 V_x, V_y 、その累乗および外積に依存する項を含む。

実際のアナログ乗算器の誤差 $\epsilon(X, Y)$ は、実際の乗算器出力と理論値の差を表す曲面として可視化することができます。一般に、この誤差曲面は歪みや振れがあって平坦ではなく、丘の多い田舎の地形に良く似ています。4 象限乗算器の仮想誤差曲面を図 3 に示します。グラフの高さ、つまり Z 座標が、次式で表される誤差 $\epsilon(X, Y)$ を示しています。

$$\epsilon(X, Y) = E_o(\text{actual}) - KV_x V_y = E_o - V_x V_y / V_r \quad (14)$$

ここで、

E_o = 乗算器出力電圧の測定値

V_x = X 入力電圧

V_y = Y 入力電圧

$KV_x V_y$ = 理想出力電圧

$\epsilon(X, Y)$ は、(13) の誤差項の和に相当する測定電圧です。

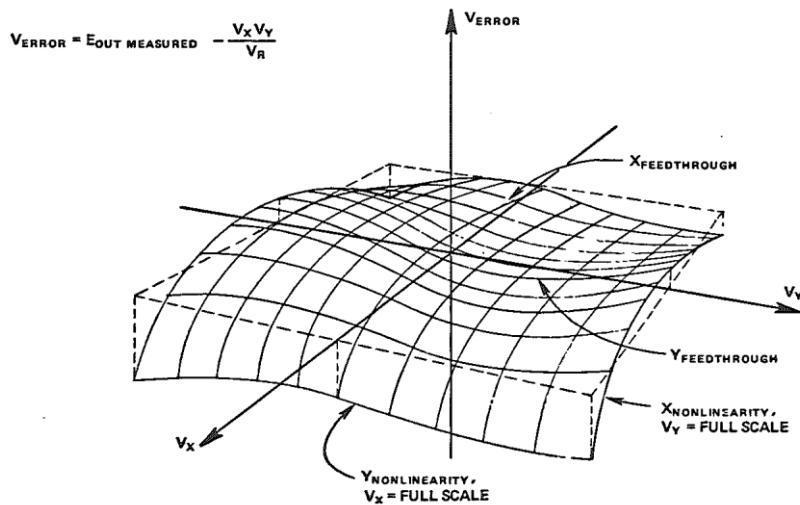


図 3: 乗算器誤差曲面

誤差曲面を使用してアナログ乗算器の静的誤差を記述するのは面倒に見えるかもしれません、これは（13）の個々の誤差成分の全体的な3次元的影響を可視化する最も簡単な方法です*。

例えば、「線形」X フィードスルー $V_x Y_{\text{OS}}$ の影響を考えます。 Y_{OS} が小さい正の量だとすると、 V_x が増加するにつれて乗算器の出力も比例して増加します。 V_x が負になると、出力も負になります。この影響が Y 入力に依存しないのは明らかですが、これは、式 10 には $V_x Y_{\text{OS}}$ が追加誤差として示されているためです。線形 X フィードスルーがあると、XY 平面を真横から見た図（図 4）に示すように、誤差面が Y 軸の周りに傾きます。

同様に、X オフセット（「線形」Y フィードスルー）があると、誤差面全体が X 軸周りに傾きます。DC オフセット $X_{\text{OX}} Y_{\text{OS}} + Z_{\text{OS}}$ の影響があると、面全体が Z（出力）軸に沿って上下に移動します。

*誤差曲面は主に可視化のための手段として使われます。これと、2 次元コンター表現 ("iso-vers": iso は「等しい」、ver (ity) は「正確さ」の意) は、この目的のために使われています。しかし、誤差関数の形はユニットごとに、また、さまざまな調整段や熱環境ごとに大きく異なるので、誤差曲面は個々のデバイスのデータのコンパクト表現としてほとんど役に立ちません。

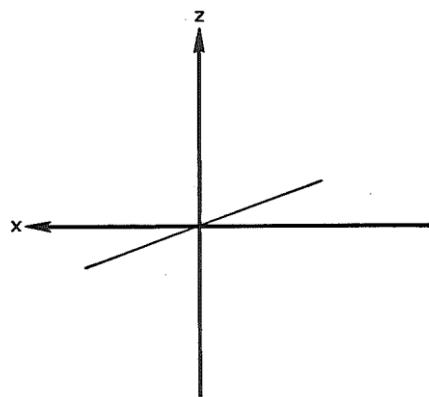


図 4: 線形 X フィードスルーは、Y=0 における誤差曲面の断面として表示できます。

スケール・ファクタ ΔK の影響はそれだけで考えられますが、これは次式で定義される誤差曲面を生成します。

$$\epsilon(XY)_K = \Delta KV_x V_y \quad (15)$$

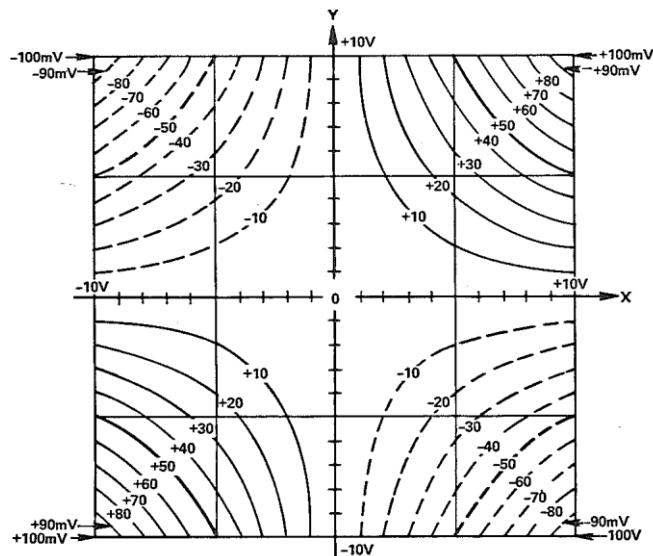


図 5: 1 % の正のスケール・ファクタ誤差曲面（他の誤差はすべてゼロ）の ISO-VER 表現。コンター間隔: 10 mV

これは、乗算器出力 $V_z = KV_x V_y$ を単純にスケールダウンしたものです。したがって、スケール・ファクタ誤差は図 2 に描かれているように双曲放物面になるはずですが、大きさはずっと小さくなります。図 5 は 2 次元コンター (Iso-ver) で表したものです。非線形性 $f(X,Y)$ の影響は、公称値としては直線となる X 軸または Y 軸に平行な要素に曲率を生じさせます。つまり、XZ 平面または YZ 平面に平行な乗算器出力曲面を通る断面が、直線ではなくなります（図 6）。

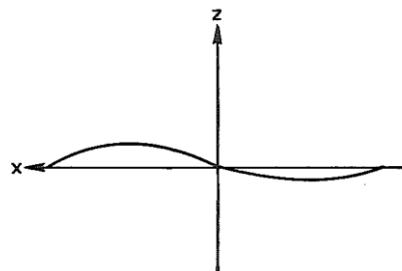


図 6: X の非線形性は、任意の Y 値における誤差曲面の断面として見ることが可能。

以上をまとめると、2 入力アナログ乗算器には、「トリミング可能」な静的誤差源が 4 つあります。（13）を参照すると、これらは以下の通りです。

1. X の入力オフセット（線形 Y フィードスルー）
2. Y の入力オフセット（線形 X フィードスルー）
3. 出力オフセット
4. スケール・ファクタ誤差

これら 4 つの誤差の影響は、誤差 1、2、3 に対して大きさが同じで極性が逆のオフセットを導入することによって、さらに 4 に対してスケール・ファクタ（イン）を精密に調整することによって、ゼロにすることができます。4 つの誤差をゼロに調整した後に残る誤差は、乗算器 の本質的な非線形性 $f(X,Y)$ によるものです。一般に非線形性を軽減することはできませんが、特定のケースでは、次の「トランスクンダクタンス乗算器」のセクションで説明されているように、かなりの部分を相殺することができます。

トランスコンダクタンス乗算器

可変トランスコンダクタンス乗算器は、少なくとも概念的には最も単純なタイプのアナログ乗算器です。一方の入力変数は能動デバイスのゲイン（トランスコンダクタンス）を制御し、これにより、制御入力に比例して他方の入力を増幅します。

アナログ・コンピューティング用および通信用信号処理のための「トランスコンダクタンス」（あるいは「トランスレジスタンス」）乗算器と変調器を作成するために、トランジスタ、FET、真空管などのさまざまな能動デバイスが使われてきましたが、それらの成功の度合はそれぞれ異なります。しかし、現在提供されている「トランスコンダクタンス」乗算器のほとんどすべてが、能動素子としてシリコン接合トランジスタを使用しています。これは、トランジスタのコレクタ電流とトランスコンダクタンスの間に、式（16）に示す線形の一貫した関係が成り立つためです。

$$\frac{dI_c}{dV_{be}} = \frac{q}{kT} I_c \quad (16)$$

ここで、

I_c = コレクタ電流 (A)

V_{be} = ベース・エミッタ電圧 (V)

q = 電荷の単位 = 1.60219×10^{-19} クーロン

k = ボルツマン定数 = 1.38062×10^{-23} joules/ $^{\circ}\text{K}$

T = 絶対温度 ($^{\circ}\text{K}$) = $^{\circ}\text{C} + 273.15$

$q/kT = 25^{\circ}\text{C}$ で $1/(25.69 \text{ mV})$

乗算器としての特性は、増分 ΔI_c 、 ΔV_{be} (図 7) が十分に小さい場合に見ることができます。

$$\Delta I_c = \frac{q}{kT} I_c \cdot \Delta V_{be} \quad (17)$$

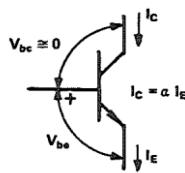


図 7: NPN ツランジスタに使われる記号

式 (16) は、下に示す簡略化した接合部の式を微分することによって得られます*。

$$I_c = \alpha_N I_{ES} (e^{qV_{be}/kT} - 1) \quad (18)$$

α_N = 電荷移動係数 ≈ 0.99

I_{ES} = エミッタ飽和電流、 $10^{-12} \sim 10^{-14}$ A @25 °C

この時、ツランジスタのコレクタ・ベース電圧はゼロと仮定します。

$$\frac{I_c}{I_{ES}} \gg 1 ,$$

それでも電流レベルは十分に低いので、オーム抵抗（たとえば、ベース拡散抵抗、エミッタ・コンタクト抵抗、およびバルク抵抗）は無視できます。代表的なモノリシック・デュアル・ツランジスタでは、これはコレクタ電流が 100 μA 以下であることを意味します。100 μA の場合、トランスコンダクタンスは 26 °C で約 1/260 mho です。モノリシック・ツランジスタの代表的な寄生抵抗値は約 3 Ω ですが、これは、トランスコンダクタンスを約 1 % 減少させます。

簡単な 2 象限可変トランスコンダクタンス乗算器は、図 8 に示すように、1 対のツランジスタといくつかの抵抗を使って構成できます。この乗算器の出力を Q1 と Q2 のコレクタ電流の差と見なすと、この回路の出力と入力の関係は式 19 と 20 で表されます。

$$I_{c_1} - I_{c_2} = \Delta I_c = \frac{q}{kT} \frac{V_y + 0.6}{4.7 \times 10^3} \cdot 10^{-3} V_x \quad (19)$$

$$\Delta I_c = 8.3 \times 10^{-6} (V_y + 0.6) V_x \quad \text{at } 25^\circ\text{C} \quad (20)$$

* 3-1 項の式 (6) を参照。

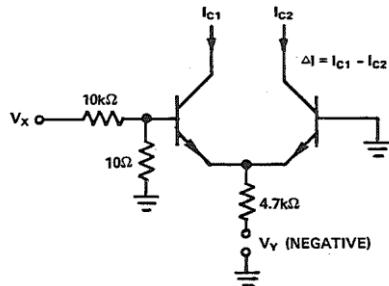


図 8: 簡単な 2 象限可変コンダクタンス乗算器

式 (20) が示すように、出力のコレクタ電流の差は、入力電圧 V_x と V_y の積に比例しますが、以下の制約があります。

1. Y 入力には、Q1 と Q2 の仮定された（一定の） V_{BE} による 0.6 V のオフセットがあります。したがって、受け入れ得る V_y の最も正側に近い値は -0.6 V です。また、 V_{be} は一定ではありません。Q1 と Q2 の V_{be} は $|V_y|$ の増加に伴って増加し、Y 入力に非線形性を生じさせます。これらの問題は、Y 入力の抵抗に代えて、より精巧な電圧電流コンバータを使用することによって解決できます。
2. スケール・ファクタは温度の関数で、25 °C 付近では $-0.33\%/\text{°C}$ の率で減少します。これは、X 入力に温度補償抵抗を使用することで解決できますが、精密な補償を行うことは困難です。
3. 式 (18) に示すようにコレクタ電流とベース・エミッタ電圧は指数関係にあるので、X 入力は非線形です。X 入力に 1000:1 の減衰器を使用すれば $\pm 10 \text{ V}$ のレンジが 2 つのベース間で $\pm 10 \text{ mV}$ になるので、実際の X 信号は熱電圧 kT/q ($25.69 \text{ mV} @ 25 \text{ °C}$) 未満になります。ただし、この小さい信号でも X 入力信号には 7 % の非線形性が生じます。この非線形性は X 入力の減衰を大きくすることによって小さくできますが、代償として S/N 比が減少してしまいます。

以上のような理由から、差動ペアは、高レベルのアナログ乗算器として特に有用、あるいは魅力的というわけではありません。しかし、受信信号がすでに十分に小さい（数ミリボルト以下）RF アプリケーションのミキサーとしては、極めて有効です。

非線形性、ダイナミック・レンジの制約、温度係数など、簡単な差動ペアの問題点に対しては、適切かつ本質的に単純な解決策があります¹。ギルバート回路は、誤差が少ない（約 1%）上に帯域幅が広く (>100MHz が可能)、しかも比較的単純なので、短期間に広く使われるようになりました。実際、今では「トランスコンダクタンス」乗算と同義語になっています。図 9 に示す基本回路は、ダイオード（またはダイオード接続したトランジスタ**) の指数特性を使って、差動ペアのベース入力（以後、便宜上「X」入力と記します）の指數非線形性を補償します。

バランスが取られた X 入力電流 I_{D1} と I_{D2} がダイオード D1 と D2 を通過して、電圧 V_1 と V_2 を発生させますが、これらの電圧は電流の対数に比例します ($\alpha_N \approx 1$)。

$$V_1 = \frac{kT}{q} \ln \frac{I_{D1}}{I_{ES1}} \quad (21)$$

$$V_2 = \frac{kT}{q} \ln \frac{I_{D2}}{I_{ES2}} \quad (22)$$

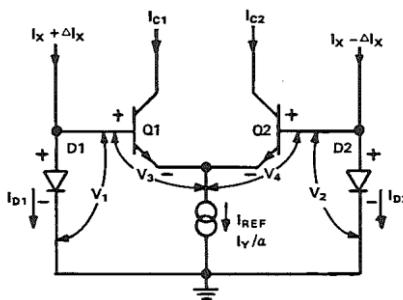


図 9: 線形化した 2 象限乗算器（原理）

¹ "A new Wide-Band Amplifier Technique," by Barrie Gilbert, *IEEE Journal of Solid-State Circuits*. December, 1968, Volume SC-3, No. 4, pp. 353-365.

Q_1 と Q_2 のコレクタ電流はそれらのベース・エミッタ電圧（式 18）または差動入力電圧 (V_{BE1} - V_{BE2}) の指数関数なので、 D_1 と D_2 によって与えられる対数入力電圧が、 Q_1 と Q_2 の指数非線形性をすべてではないにしてもある程度相殺し、結果として I_{D1} 、 I_{D2} と I_{C1} 、 I_{C2} の関係は線形になると仮定することは合理的です。実際、線形化は理論的には完璧であり、実際の回路でもほぼ完璧で、驚くほど有用な結果が得られます。これは、以下のように証明できます。

仮定:

1. $I_{C1} = I_{C2}$ および $I_{D1} = I_{D2}$ の場合、 Q_1 、 Q_2 および D_1 、 D_2 のペアの差動オフセット電圧はゼロ。
2. Q_1 、 Q_2 、 D_1 、 D_2 は理想接合部の式 (18) に従う。

D_1 の陰極から Q_1 、 Q_2 、さらに D_2 の陰極へと続くループの周りの電圧 V_1 ~ V_4 の合計は、ゼロでなければなりません。

$$V_1 - V_3 + V_4 - V_2 = 0 \quad (23)$$

$$V_1 - V_2 = V_3 - V_4 \quad (24)$$

Q_1 、 Q_2 のベース・エミッタ電圧は、そのコレクタ電流の対数に比例します。

$$V_{BE1} = V_3 = \frac{kT}{q} \ln \frac{I_{C1}}{I_{ESQ1}} \quad (25)$$

$$V_{BE2} = V_4 = \frac{kT}{q} \ln \frac{I_{C2}}{I_{ESQ2}} \quad (26)$$

これらを (24) の V_1 ~ V_4 に代入します。

$$\frac{kT}{q} \ln \frac{I_{D1}}{I_{ES1}} - \frac{kT}{q} \ln \frac{I_{D2}}{I_{ES2}} = \frac{kT}{q} \ln \frac{I_{C1}}{I_{ESQ1}} - \frac{kT}{q} \ln \frac{I_{C2}}{I_{ESQ2}} \quad (27)$$

kT/q 項を削除して対数の差を比の対数として書き直すと、次式が得られます。

$$\ln \frac{I_{D_1} I_{ES_2}}{I_{D_2} I_{ES_1}} = \ln \frac{I_{C_1} I_{ESQ_2}}{I_{C_2} I_{ESQ_1}} \quad (28)$$

すでに仮定したように、トランジスタとダイオードのマッチングが取られていれば定数はすべて同じで、次式が得られます。

$$\ln \frac{I_{D_1}}{I_{D_2}} = \ln \frac{I_{C_1}}{I_{C_2}} \quad (29)$$

比の対数が等しいなら、比も等しくなければなりません。

$$\frac{I_{D_1}}{I_{D_2}} = \frac{I_{C_1}}{I_{C_2}} \quad (30)$$

この結果は重要で、「出力」電流 I_{C_1} と I_{C_2} の比は、温度や電流の大きさに関わらず、入力電流 I_{D_1} と I_{D_2} の比に比例することを示しています。つまり、概念的には線形化は完璧であり、X の入力から出力への伝達特性は温度によらず一定です。

乗算器の関係は (30) から直接導くことができます。X 入力は、2 つのダイオード電流 I_{D_1} と I_{D_2} の差 $2\Delta I_x$ であると仮定します。Y 入力がエミッタ電流 I_{REF} を制御します。乗算器の出力は、Q1 と Q2 のコレクタ電流の差 $2\Delta I_C$ です。

$$I_{D_1} = I_x + \Delta I_x \quad (31)$$

$$I_{D_2} = I_x - \Delta I_x \quad (32)$$

$$-I_x < \Delta I_x < I_x \quad (33)$$

$$I_{C_1} + I_{C_2} = \alpha I_{REF} \cong I_y \quad (\alpha \cong 1) \quad (34)$$

Q_1 、 Q_2 および D_1 、 D_2 は整合していると仮定し、 Q_1 と Q_2 は高い β 値 (> 100 、 $\alpha \approx 1$) を有しています。

$$I_{C1} = I_y/2 + \Delta I_c/2 \quad (35)$$

$$I_{C2} = I_y/2 - \Delta I_c/2 \quad (36)$$

$$-I_y/2 < \Delta I_c < I_y/2, \quad I_y > 0 \quad (37)$$

これを (29) の I_C と I_D に代入します。

$$\frac{I_x + \Delta I_x}{I_x - \Delta I_x} = \frac{I_y/2 + \Delta I_c/2}{I_y/2 - \Delta I_c/2} \quad (38)$$

さらに代数的に整理すると、次式が得られます。

$$\Delta I_c = \frac{\Delta I_x \cdot I_y}{I_x} \quad (39)$$

出力電流は、X 入力の差分電流 ΔI_x と Y 入力の電流の積に比例し、X の静電流 I_x に逆比例します。 I_x は、2 象限乗算器（バイポーラ ΔX 入力とユニポーラ Y 入力）としてのスケール・ファクタを決定していると見ることができます。この回路は 2 象限除算器としても機能し、この場合は I_y が一定、分母 (I_x) がユニポーラ、分子 (ΔI_x) がバイポーラです。この線形化乗算器（図 9）は非常に優れた性能を備えており、以下の点で、単純な差動乗算器よりも大幅に改善されています。

1. 広い帯域幅: 回路は基本的に「電流モード」です。数 mA の電流レベルでは、100 MHz を超える帯域幅が得られます。乗算器で通常使われる低い電流レベル (< 1 mA) では、1 ~ 10 MHz の帯域幅が容易に得られます。
2. 優れた線形性: 式 (39) は、入力と出力の関係が正確に乗算であることを示しています。実際には多少の誤差 (< 1 %) がありますが、これについては後述します。

それでも、線形化されていない乗算器より大きく改善されています。

3. 優れた温度安定性: 式 (39) は、入力と出力の関係が温度に依存しないことを示しています。実際の回路にはわずかな温度依存性があり、その一部は温度によるトランジスタの β の変化によります (β の影響は無視できると仮定して (39) を導き出しました)。温度に伴うゲイン変化は $0.02\%/\text{^\circ C}$ 以下に抑えることができますが、これは、単純な差動乗算器 ($0.3\%/\text{^\circ C}$) より 1 枠以上改善されています。

4. 広いダイナミック・レンジ: X (ベース) 入力が線形化されているので、ほぼ $-I_x < \Delta I_x < I_x$ と等しい範囲にわたって X 入力電流の比を変化させることができます、差動ペアよりもはるかに大きい入力信号を使うことができます。

これらの利点の結果として、線形化された「ゲイン・セル」が、乗算器の汎用ビルディング・ブロックとしてほぼ例外なく受け入れられるようになりました。これは、わずかに変更を加えると、2 象限乗算回路として直接使用できます。

2 象限乗算器

図 10 の回路は、実際に機能する 2 象限乗算器の例です。差動 X 入力電流は、抵抗 R1 によってエミッタを結合した差動ペア Q6、Q7 から得られます。定電流源 Q8、Q9 は、Q6、Q7 のエミッタに I_x バイアスを提供します。 $100\text{ k}\Omega$ のエミッタ抵抗 R1 は、入力電圧 V_x 1 ボルトあたりの差動 X 電流 ΔI_x を決定します。

X 入力電流は、図 9 の回路のようにコレクタ（つまり陽極）を駆動するのではなく、ダイオード接続トランジスタ** Q2A と Q2B のエミッタを駆動します。この「反転」接続はエミッタが低インピーダンスで、X 入力段 Q6、Q7 からの電流をいつでも受け入れることができるので、駆動がずっと容易です。「反転」回路と基本電流セルの実用上の唯一の違いは、出力も反転することです（つまり入力と 180° 位相が違います）。

これは、出力アンプの位相を正しく設定することによって、簡単に修正できます。

Y 入力電流は、クローズド・ループ制御された電流源 A1-Q5 から得られます。Q5 の β が非常に高い (> 400) 場合は Q5 のコレクタ電流が V_y/R_2 となります。誤差は無視できる程度です。ダイオード D1 は、Y の入力電圧が正になった時に、Q5 のベース・エミッタ接合がブレークダウンを起こさないように保護します。差動出力電流 (Q1A-Q1B のコレクタ間) は、ダイナミック・ブリッジ R3、R4、R5、R6、および A2 によってシングルエンド電圧に変換されます。これらの抵抗は、Y 入力信号に伴う同相入力電圧の変化による出力電圧誤差を最小限に抑えるために、極めて正確に (0.1 %) 整合していかなければなりません。

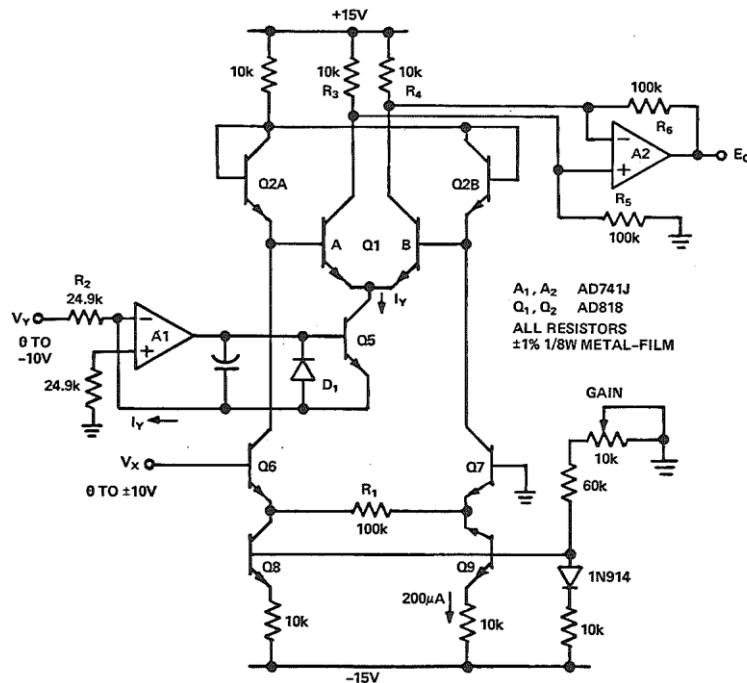


図 10: 実際の 2 象限可変トランジスタコンダクタンス乗算器

2 象限乗算器は、1 つの入力のフィードスルーを非常に低くする必要がある場合、特に有用です。Y 入力がゼロの状態では、出力は入力から実効的に切断されて、X 入力信号を少なくとも 80 dB 減衰します。

この利点には欠点が伴います。Y 入力が小さくなると、Q1A と Q1B の電流が減少して回路の帯域幅が狭くなります。

4 象限乗算器

基本的な 2 象限線形化乗算器回路は、X 入力または Y 入力のどちらにもバイポーラ信号を受け入れて、4 象限で動作するように拡張できます。これは、2 番目の差動ペア Q3A-B を追加することによって実現されます。追加差動ペアのベースは、図 11 に示すように Q1 のベースと並列に接続します。追加ペアのコレクタは Q1A-B のコレクタにクロス接続します。2 象限乗算器のシングルエンド Y 電流源は、X 電流源と同じ差動電流源 Q10、R2、Q11 に置き換えられます。

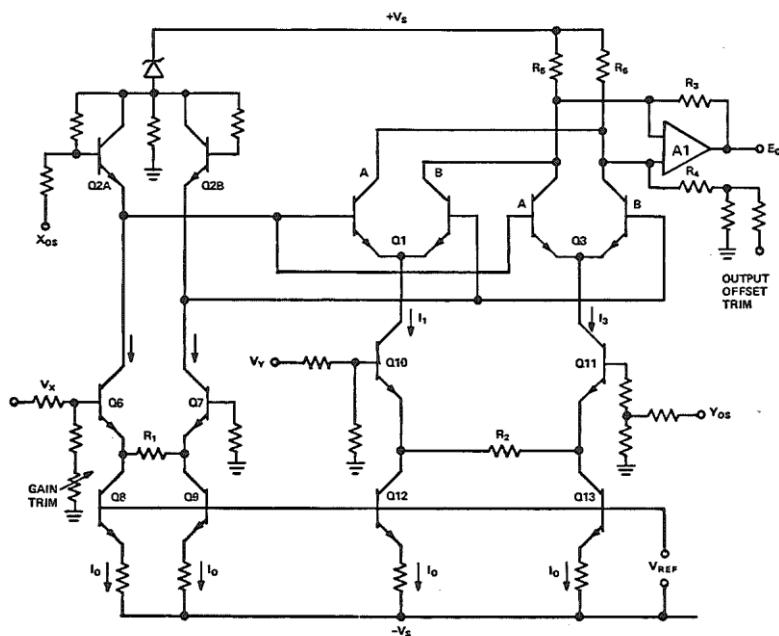


図 11: 4 象限可変トランスクンダクタンス乗算器

2つある Y 電流源の一方の出力は Q1A-B のエミッタに、もう一方は Q3A-B のエミッタに接続されています。したがって、 V_y は差動ペア Q1A-B を流れる電流と Q3A-B を流れる電流の比を変化させ、それらの相対ゲインを制御します。例えば、 $Y=0$ の場合は $I_1=I_3$ となり、2つのペアのゲインが等しくなります。これらのペアのコレクタはクロス結合されていて（ベースは並列）出力が相殺されるので、X 入力の信号の正味ゲインはゼロです。この「バランス」状態では、 $V_y=0$ の場合、X 入力はヌル化されます。

$$E_o = V_x \cdot 0 = 0 \quad (40)$$

Y 入力にゼロ以外の電圧が加わると、電流 I_1 と I_3 はアンバランス状態になります。

$$I_1 = I_{10} + V_y/R_2 \quad (41)$$

$$I_3 = I_{30} - V_y/R_2 \quad (42)$$

このアンバランス状態により、2つのペア Q1A-B と Q3A-B のゲインはもはや相殺されないので、X 入力信号が乗算器の出力に現われます。Y 入力が正の場合は I_1 が I_3 より大きくなって Q1A-B のゲインが優勢となるので、正の出力電圧が生じます（正の X に対して）。これに対し、Y 入力が負の場合は Q3A-B のゲインが優勢となり、正の X 入力に対しては負の出力電圧が、負の X 入力に対しては正の出力電圧が生じます。

Y 入力から出力への信号伝達動作は、2象限乗算器での動作に似ています。X 入力がゼロで、Q1、Q2、Q3 の各トランジスタ・ペアが整合していれば、Q1A-B の側と Q3A-B の側の間で電流 I_1 と I_3 の変化が均等に分割されるので、Y の値に関わらず出力はゼロになります。

$$E_o = 0 \cdot V_y = 0 \quad (43)$$

乗算器の全体的な出力と入力の関係は、以下のように (39) から導くことができます ($I_0 = I_x$)。Q1A-B の出力は次式で表されます。

$$\Delta I_{C_1} = \frac{\Delta I_x I_1}{I_0} \quad (44)$$

同様に、Q3A-B については次式が成り立ちます。

$$\Delta I_{C_3} = \frac{\Delta I_x I_3}{I_0} \quad (45)$$

Q1A-B と Q3A-B のコレクタはクロス結合されているので、出力電流が差し引かれます。差は ΔI_c です。

$$\Delta I_c = \Delta I_{C_1} - \Delta I_{C_3} \quad (46)$$

$$\Delta I_c = \frac{\Delta I_x}{I_0} (I_1 - I_3) \quad (47)$$

(41) と (42) から I_1 と I_3 を代入すると、次のようになります。

$$\Delta I_c = \frac{\Delta I_x}{I_0} (I_{10} + V_y/R_2 - I_{30} + V_y/R_2) \quad (48)$$

さらに、 $I_{10} = I_{30}$ なので、次式が得られます。

$$\Delta I_c = 2 \frac{\Delta I_x}{I_0} \cdot \frac{V_y}{R_2} \quad (49)$$

正味差動出力電流は、2 象限乗算器の場合と同様に、A1 と R3、R4、R5、R6 によってシングルエンド出力電圧に変換されます。

$$E_o = \Delta I_c R_3 \quad (50)$$

(50) は次のように整理することができます。

$$E_0 = \frac{2R_3}{R_1 R_2 I_0} V_x \cdot V_y \quad (51)$$

$$-I_o R_2 < V_y < I_o R_2 \quad (52)$$

$$-I_o R_1 < V_x < I_o R_1 \quad (53)$$

乗算器のスケール・ファクタは $R_3/R_1R_2I_0$ によって設定され、求められる次元 V^{-1} になります。

4 象限トランスコンダクタンス乗算器の性能

可変トランスコンダクタンス乗算器の全体性能は優れたものであり、電子アナログ乗算器の最も一般的なタイプとなっています。ギルバート型線形化乗算器の成功の理由は 3 つあります。

1. 良好的な精度: フルスケールの $\pm 1\%$ 未満の全体誤差 (10 V で 100 mV) を簡単に実現できます。誤差は入力レベルに比例し、入力がゼロに向かうと誤差もゼロに近付きます (ゼロに調整可能な DC オフセットを除く)。実際に、「非線形」誤差の最大値は簡単な線形方程式で示すことができます。

$$\epsilon(X, Y) = \frac{\epsilon_x}{100} V_x + \frac{\epsilon_y}{100} V_y \quad (54)$$

ここで、

$\epsilon_x = X$ 入力の規定された非線形性 (%)

$\epsilon_y = Y$ 入力の規定された非線形性 (%)

2. 広い帯域幅: 電圧出力乗算器で最大 10 MHz、電流出力で 100 MHz 以上。帯域幅が 10 MHz 未満の場合、帯域幅は信号レベルや入力パス (X または Y) には依存しません
3. 比較的単純で低価格: 可変コンダクタンス乗算器は、「ディスクリート」部品を使って構成するか、「モノリシック」で作成することができます。いずれの場合も、本質的に回路が単純で一定した性能が得られるので、他のいかなる 4 象限乗算器より低価格です。以降ではこれらの要素についてより詳しく解説し、実際の回路や部品の要件に関連付けていきます。

トランスコンダクタンス乗算器の精度に影響を与える要素

これまでの可変トランスコンダクタンス乗算器の説明では、トランジスタが理想接合方程式に従い、トランジスタが完璧に整合しており、電流ゲインが無限大であると仮定しました。また、対称パス内の電流は、信号の注入によって生じる違いを除き、すべて等しいと仮定しました。実際の回路では、トランジスタや抵抗は「理想的」ではなく、完璧に整合することは（まず）決してありません。これらの不整合や「理想」動作からのずれは、線形誤差（入力および出力オフセット、スケール・ファクタ誤差）や非線形誤差（2 次および 3 次高調波歪み）を発生します。

この章の冒頭で示したように、線形誤差は理論的にはゼロに調整可能で、実際の回路でも無視できるレベルにまで調整することができます。図 11 には 4 つのトリム・ポイントが示されています。

1. X オフセット: 線形 Y フィードスルーをゼロに調整するために使用します。
2. Y オフセット: 線形 X フィードスルーをゼロに調整します。
3. 出力オフセット
4. スケール・ファクタ、つまりゲイン。

非線形誤差

可変トランジスタコンダクタンス乗算器における非線形の主な発生源は、2つの差動ペア Q1A-B と Q3A-B の間の電流のアンバランスか、オフセット電圧の不整合です。これらのペアのオフセット間に $500 \mu\text{V}$ の不整合があると、X 入力に（フルスケールの）1% の非線形性とフィードスルーが生じます。図 12 に示すように、この非線形性は V_x^2 に比例します。幸い、ディスクリート回路では特性の近いものをペアに組むことができ、集積回路内では「同じ」トランジスタをレイアウトすることができるので、平均オフセットの不整合が $500 \mu\text{V}$ 未満の場合、X の非線形性は通常 1% 未満です。

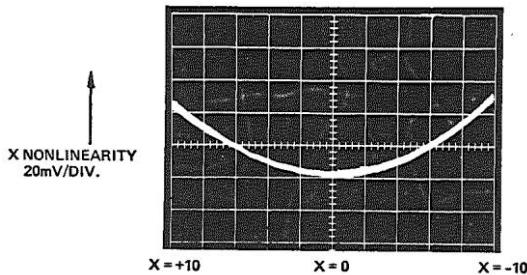


図 12: 放物線状の X の非線形性

X の 2 次非線形性は Y の入力信号振幅にはあまり依存しないので、以下に説明するように、 X^2 で表される非線形性は、X 入力信号の一部を Y 入力にクロス結合することによって大幅に減らすことができます。

X^2 で表される非線形性のもう 1 つの発生源として考えられるのは、 $V_x = 0$ の時に、ダイオード接続トランジスタ** Q2A と Q2B を流れる電流のアンバランスです。これらの電流は、正確に整合した抵抗を X の電流源に使用することによって等しくすることができます。

図 13 に示すように、X 入力は、ある条件下では著しい 3 次 (S 字形) の非線形性を示すことがあります。3 次歪みは、差動ペア Q1A-B と Q3A-B のエミッタ抵抗のオーミック成分によって生じます。

オーム（定）抵抗は、 qI_c/kT の理論値からトランスクタンスを減少させて、非線形性を生じさせます。高速乗算器は高電流で動作するので、オーム抵抗によるこれらの非線形性のために速度と精度のトレードオフが避けられなくなると見なされます。

トランスクタンス乗算器の Y 入力の非線形性は比較的小さく、通常 $\pm 0.1\% \sim \pm 0.2\%$ です。差動ペア Q1A-B と Q3A-B のオフセット電圧の不整合と、初期 Y 入力電流のアンバランスが Y の非線形性とフィードスルーに与える影響は無視できる程度であり、常に低い値を示します。

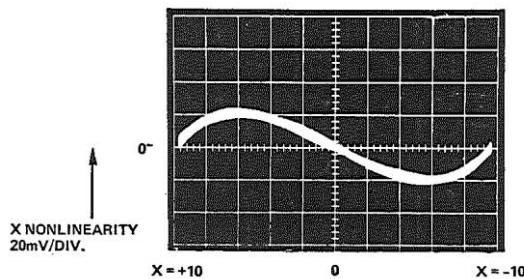


図 13: 3 次 X 非線形性

エミッタ抵抗が kT/qI_c ($I_c = 1 \text{ mA}$ で 26Ω 、 $T = 300^\circ\text{K}$) と比べて大きくな場合、差動電流コンバータへの X と Y の入力電圧は、非線形性を生じる可能性があります。

トランスクタンス乗算器の動特性

トランスクタンス乗算器は基本的に電流モード回路なので、帯域幅が広く、過渡応答が高速です。100 MHz 以上の電流出力帯域幅は、乗算器のトランジスタを 10 mA 以上のエミッタ電流で動作させることによって実現できます。しかし、最良の DC 精度を得るために設計された回路は、これよりずっと低い $10 \mu\text{A} \sim 1 \text{ mA}$ の電流で動作し、帯域幅は 1 ~ 10 MHz です。帯域幅の制限は主に出力アンプによるもので、このアンプはコレクタ電流の差を出力電圧に変換します。

4 象限可変トランスクタンス乗算器の帯域幅は X または Y 入力に関して同じであり、出力アンプのスルーレートの制限を除き、信号レベルには依存しません。

トランスコンダクタンス乗算器の線形化

図 11 の 4 象限可変トランスコンダクタンス乗算器回路で顕著なのは、上に述べた理由から、X 入力の 2 次非線形性とフィードスルーです。Y 入力の非線形性は、通常、「X」の歪みに比べると無視できる程度です。すべての 1 次誤差（線形フィードスルー、出力オフセット、スケール・ファクタ誤差）をゼロに調整した場合、乗算器の入力と出力の関係は、次式により高い精度で近似できます。

$$E_o = KV_x V_y \pm \delta V_x^2 f(V_y) \quad (55)$$

非線形項 $\delta V_x^2 f(V_y)$ が V_y に依存しない場合（あるいは大きく影響されない場合）は、図 14 に示すように X 入力信号の一部を Y 入力に加えるか Y 入力から引くことによって、 δV_x^2 の非線形性を相殺することができます。

幸い、 δX^2 の非線形性が Y 入力に大きく影響されることはないので（つまり $f(Y)$ はほぼ一定）、この相殺方法は実際の回路でも比較的良好に機能します。通常、フィードスルーの X^2 成分 ($Y=0$) はフルスケールの 0.1 % 未満まで減らすことができ（60 dB でゼロに抑制）、X の非線形性 ($V_y = 10 V$) は半分に減らすことができます。それに応じて、全体の誤差が減少します。

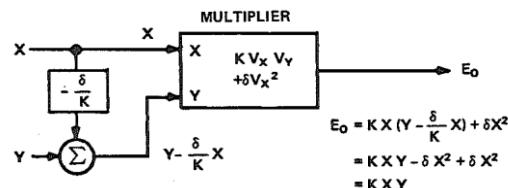


図 14: 2 次高調波歪みを無くすことによる線形性の改善

乗算器に X の線形化を適用する方法を図 15 に示します。この方法は、ソース抵抗がかなり低い（ 100Ω 以下）ことと、正負両方（差動）の Y 入力が与えられていることに依存しています。多くの乗算器では（例えばアナログ・デバイセズのこのタイプの乗算器）、 Y_0 トリム端子を線形化回路の -Y 入力として使用できます（ただし必ずしも同じ感度ではありません）。

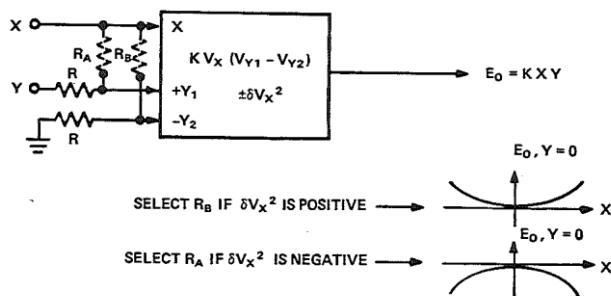
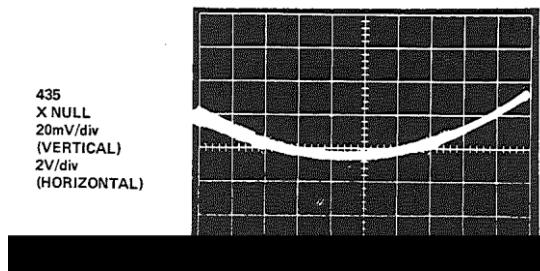


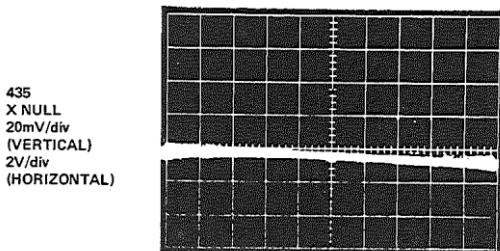
図 15: 乗算器への線形化の適用

乗算器に対して線形化を行った結果を図 16 ~ 18 に示します。低周波数と高周波数両方のフィードスルーが減少している点に特に注意してください。

Y 入力にはクロス結合による線形化手法を適用できますが、Y の非線形性は何もしなくても一般に非常に小さいので、「収穫遞減の法則」（効果の低減）が当てはまります。

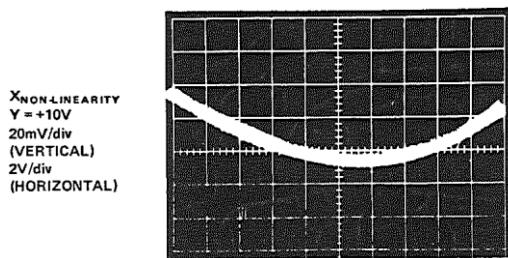


a. 線形化前

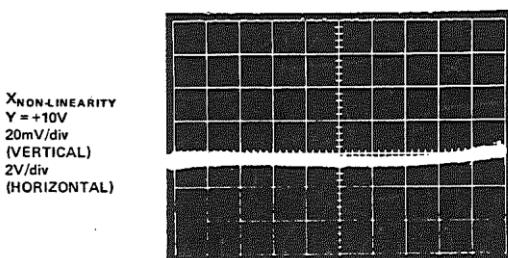


b. 線形化後

図 16: トランジコンダクタンス乗算器の X の線形化の効果
(X = ±10 V、Y = 0、垂直スケール 20 mV/div.)

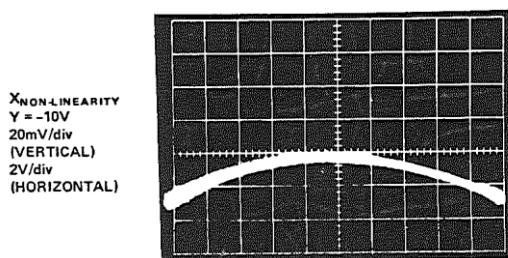


a. 線形化前

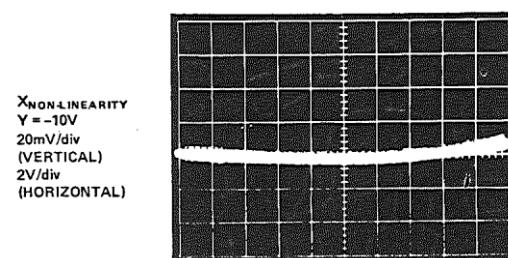


b. 線形化後

図 17: 図 16 と同じ乗算器の X の線形化の効果
(X = ± 10 V、Y = +10 V、垂直スケール 20 mV/div.)



a. 線形化前



b. 線形化後

図 18: 図 16 と同じ乗算器の X の線形化の効果
(X = ± 10 V、Y = -10 V、垂直スケール 20 mV/div.)

クロス結合線形化手法は、一方または両方の入力に 2 次非線形性があるあらゆる乗算器に適用できます。全体の誤差の減少量は、一方の入力の非線形性が他方の入力の信号レベルからどの程度独立しているのかによって異なります。

一般に、一方の入力の 2 次非線形性を完全に相殺できるのは、他方の入力がある特定の値になった場合だけで、その値は 1 つしかありません。例えば、X のフィードスルーの 2 次成分 ($X = \pm F.S.$, $Y = 0$) は完全に相殺することができますが、X の 2 次非線形性はその一部しか相殺することができます、場合によっては増加してしまうことさえあります。

対数／逆対数乗算器

対数／逆対数乗算器は 2 つ以上の変数の対数を加算することによってそれらの積を表すものであり、計算尺の C 尺と D 尺の電気的等価回路です。

$$X \cdot Y = e^{(\ln X + \ln Y)} \quad (56)$$

対数／逆対数乗算器は精度と温度安定性に優れしており、より複雑なパルス変調乗算器に近い性能を示します。誤差がフルスケールの 0.25 % 未満で、ドリフトが 0.01 %/ °C の性能を容易に実現できます。基本的な対数／逆対数乗算器の動作は 1 象限に制限されますが（通常は第 1 象限）、で説明するように、4 つの象限で動作するようにオフセットすることが可能です（オフセット手法、あるいは前出の絶対値／符号絶対値手法は、あらゆる 1 象限乗算器に適用できます）。

回路説明

対数／逆対数乗算器回路は、シリコン接合トランジスタの対数特性に依存しているという点で、トランジスタコンダクタンス乗算器回路と密接に関係しています。

対数／逆対数乗算器の基本構成要素は、3-1 項に詳細を示すパターソン・ダイオード（「トランスタスダイオード」ログアンプ）です。この回路はトランジスタの対数特性を巧みに活用しており（特に低電流時）、アナログ乗算器などのより複雑な回路に簡単に組み込めます。

便宜上、図 19 に示す基本的なトランスタスダイオード・ログアンプの動作をここで再度見ておきます。

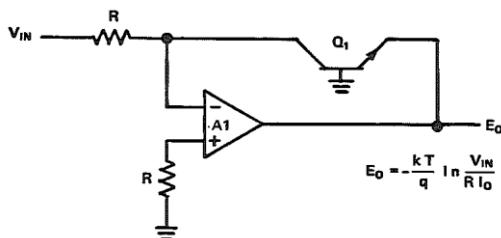


図 19: 基本的なトランスタスダイオード・ログアンプ

オペアンプ A1 のオフセット電流とオフセット電圧がゼロだと仮定すると、Q1 のコレクタ電流は V_{IN}/R となります。A1 の出力は Q1 のエミッタを駆動するので、Q1 のエミッタ・ベース電圧は次式で表されます。

$$E_o = V_{EB} = -\frac{kT}{q} \ln \frac{V_{IN}/R}{\alpha_N I_{ES}} \quad (57)$$

$$\alpha \approx 1$$

$$I_{ES} = \text{エミッタ飽和電流、} \sim 10^{-14} \text{ A}$$

$$\alpha_N I_{ES} = I_0 \text{ とします。}$$

したがって、A1 の出力は入力電圧の対数に比例し、(kT/q と I_0 の両方を通して) 温度によっても変化します。乗算器回路にログアンプを使用すると、温度依存性を無くすことができます。

2 入力対数／逆対数乗算器の回路図を図 20 に示します。2 つの入力 V_x と V_y が、2 つの独立したトランスタスダイオード・ログアンプ A1-Q1A と A2-Q2A を駆動します。

Q2A のベースはグラウンド電位で、Q1A のベースは Q2A のエミッタに接続されています。したがって、Q1A のエミッタの電圧は、以下のように V_x と V_y の対数の合計に比例します。

$$V_{EB2A} = - \frac{kT}{q} \ln \frac{V_x}{R_x I_{o2A}} \quad (58)$$

$$V_{EB1A} = - \frac{kT}{q} \ln \frac{V_y}{R_y I_{o1A}} \quad (59)$$

$$V_3 = V_{1_A} + V_{2_A} \quad (60)$$

$$-V_3 = \frac{kT}{q} \left(\ln \frac{V_x}{R_x I_{o2A}} + \ln \frac{V_y}{R_y I_{o1A}} \right) \quad (61)$$

$$V_3 = - \frac{kT}{q} \ln \frac{V_x \cdot V_y}{R_x R_y I_{o_{2A}} I_{o_{1A}}} \quad (62)$$

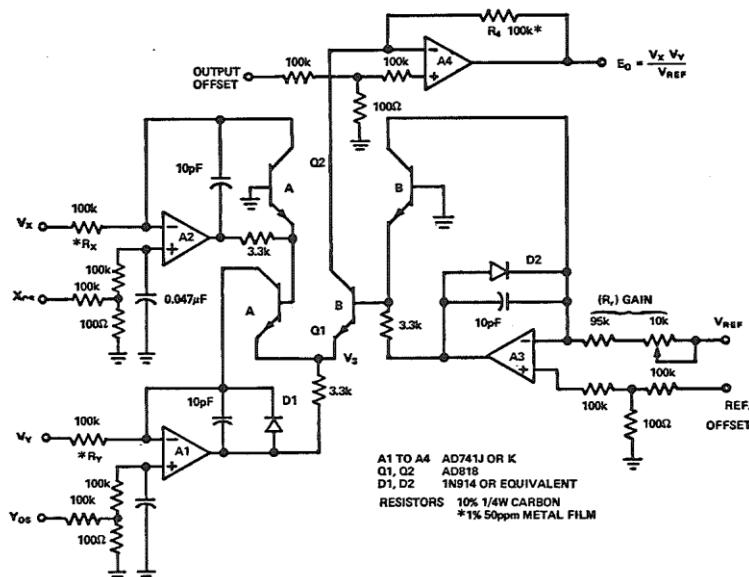


図 20: 対数／逆対数乗算器

次のステップは、温度依存性を無くすような具合に V_3 の逆対数を取ることです。 V_3 は、直列に接続されている Q1 と Q2 の「B」側にあるベース・エミッタ回路の両端に現われることに注意してください。

$$V_3 = V_{EB1A} + V_{EB2A} = V_{EB1B} + V_{EB2B} \quad (63)$$

一定リファレンス入力 V_{REF} を次のように仮定します。

$$V_{EB2B} = -\frac{kT}{q} \ln \frac{V_{REF}}{R_r I_{o2B}} \quad (64)$$

(63) を V_{EB1B} について解くと次のようにになります。

$$V_{EB1B} = V_{EB1A} + V_{EB2A} - V_{EB2B} \quad (65)$$

$$V_{EB1B} = \frac{kT}{q} \ln \frac{V_x V_y R_r I_{o2B}}{V_{REF} R_x R_y I_{o2A} I_{o1A}} \quad (66)$$

$V_{EB1B} > 100$ mV の範囲では、コレクタ電流はベース・エミッタ電圧に対して指數関係になります。

$$I_{C1B} = I_{o1B} e^{qV_{EB1B}/kT} \quad (67)$$

(66) と (67) を結合すると以下の式が得られます。

$$I_{C1B} = I_{o1B} \exp \left\{ \frac{q}{kT} \frac{kT}{q} \ln \frac{V_x V_y R_r I_{o2B}}{V_{REF} R_x R_y I_{o2A} I_{o1A}} \right\} \quad (68)$$

$$I_{C1B} = \frac{I_{o1B} I_{o2B} V_x V_y R_r}{I_{o1A} I_{o2A} V_{REF} R_x R_y} \quad (69)$$

トランジスタ Q1 と Q2 が單一チップ上に形成されている場合、 I_0 項は相殺されます。

$$\frac{I_{o_{1B}}}{I_{o_{1A}}} = \frac{I_{o_{2B}}}{I_{o_{2A}}} = 1 \quad (70)$$

出力アンプ A4 と帰還抵抗 R4 が I_{C1B} を電圧に変換します。

$$E_o = R_4 \cdot I_{C1B} \quad (71)$$

$$E_o = \left\{ \frac{R_4 R_i}{R_x R_y} \right\} \frac{V_x V_y}{V_{REF}} \quad (72)$$

$$V_x, V_y \geq 0, V_{REF} > 0$$

したがって、図 20 の回路は、温度に影響されない（抵抗が追従できる程度に優れた値となり得る）スケール・ファクタで乗算と除算を行います。出力入力間の伝達関数も、トランジスタの電流ゲイン (β) には依存しません。

対数／逆対数乗算器の性能

実際の対数／逆対数乗算器の真の性能は、示されているように理想乗算器の性能にごく近いものになります。静的な精度誤差と温度ドリフトは非常に小さい値です。対数／逆対数乗算器の主な静的誤差源は以下の通りです。

- トランジスタの対数適合度誤差: フルスケール付近の X 入力または Y 入力に対する対数トランジスタ Q1A と Q2A の電流は、約 $100 \mu\text{A}$ です。この電流レベルでは、エミッタのオーム抵抗の影響が見られるようになり、約 0.1 % の非線形性が生じます。フルスケール電流を $100 \mu\text{A}$ に制限すれば、非線形性が大きくなるのを防ぐことができます。

2. オペアンプ A1 ~ A4 の入力電流とオフセット電圧は、X、Y、およびリファレンス入力と信号出力に「オフセット」誤差を発生させます。これらのオフセットは約 5 mV 程度で、アンプ A1 ~ A4 のリファレンス（つまり「+」）入力をオフセットすることによって、簡単に 0.1 mV 未満にトリミングできます。
3. 抵抗許容誤差: これはスケール・ファクタに誤差を発生させますが、「ゲイン」ポテンショメータによって調整できます。
4. トランジスタ・ペア Q1A-B と Q2A-B は、1 ミリボルトのオフセットあたり 4 % のスケール・ファクタ誤差を発生させます。この誤差はゲイン・トリミングで除去されます。

対数／逆対数乗算器の温度に対する安定性は良好です。 R_x 、 R_y 、 R_r 、および R_4 に 50 ppm の抵抗を使用した場合、スケール・ファクタのドリフトは、約 0.01 %/ °C です。入力および出力のオフセット・ドリフトはオペアンプによって決まり、 $V_{REF} = 10V$ の場合、約 20 $\mu V/ ^\circ C$ になります。 V_{REF} の値がこれより低い場合、入力オフセット・ドリフトは出力に $10/V_{REF}$ を掛けた値になります。

他の対数回路同様、対数／逆対数乗算器の帯域幅は入力の大きさに比例します。この効果は、減少した電流ではループ・ゲインが減少し、それに応じてループの時定数が大きくなるためです。通常、乗算器の帯域幅は 10 V 入力に対し 100 KHz で、入力が 0.1 V になると帯域幅は 1 kHz に減少します。

入力と出力のオフセットとスケール・ファクタが調整されている場合、対数／逆対数乗算器の合計誤差は (10 V に対し) $\pm 10 \text{ mV}$ 未満です。誤差は入力の減少とともに小さくなり、0 ~ +10 V の出力レンジで、代表値が出力の 0.1 % 未満で、これに固定の出力オフセットが加わります。

1 象限乗算器を 4 象限動作用にオフセット

すべての 1 象限乗算器は、入力と出力を適切にオフセットすることによって、4 象限で動作させることができます。乗算器自体は 1 象限デバイスのままで、通常のユニポーラ範囲内に中心を定めたバイアス点の周りで動作します。

オフセット方法は、オフセットが X および Y 入力に及ぼす影響を考えることによって求められます。

$$E_o = K_1(V_x + X_{os})(V_y + Y_{os}) \quad (73)$$

$$E_o = K_1(V_x V_y + X_{os} V_y + V_x Y_{os} + X_{os} Y_{os}) \quad (74)$$

入力オフセットの効果は、出力オフセット $X_{os}Y_{os}$ と、2 つの線形フィードスルー項 $X_{os}V_y$ と V_xY_{os} を発生させることです。 $X_{os} > |V_x|_{max}$ かつ $Y_{os} > |V_y|_{max}$ だとすると V_x と V_y は正負いずれにもなることができますが、(74) の E_o は正のままでです。望ましくない項 ($K_1V_xV_y$ 以外の項) を (74) から差し引くと、 E_o は正負いずれにもなることができ、望みの結果が得られます。

$$E_o = K_1 V_x V_y + K_1(X_{os} V_y + V_x Y_{os} + X_{os} Y_{os}) - K_0 - K_2 V_x - K_3 V_y \quad (75)$$

$K_0 = K_1 X_{os} Y_{os}$ とすると、 $K_2 = K_1 Y_{os}$ 、かつ $K_3 = K_1 X_{os}$ です。従って次式が得られます。

$$E_o = K_1 V_x V_y \quad (76)$$

ここで、 V_x と V_y の極性は任意です。

オフセットの設定と入力結合の方法を図 21 のブロック図に示します。このオフセット方法は、図 20 に示す対数／逆対数乗算器に使用できます。これは、乗算器の初期調整をかなり複雑なものとします。また、リファレンス電圧 (V_{REF}) を一定にする必要があります。そうしないと、「フィードスルー」とオフセットが相殺された状態が維持されません。さらに、4 象限対数/逆対数乗算器では、X および Y 入力が負の場合は（対数トランジスタ内の電流量が減少する）、正入力の場合より速度が遅くなり、ゼロを中心とする対称波形ではこの方法の効果が薄れます。

このような短所はありますが、オフセット乗算器は誤差をフルスケールの 0.1 % に調整でき、非線形性は 0.05 % 程度です。

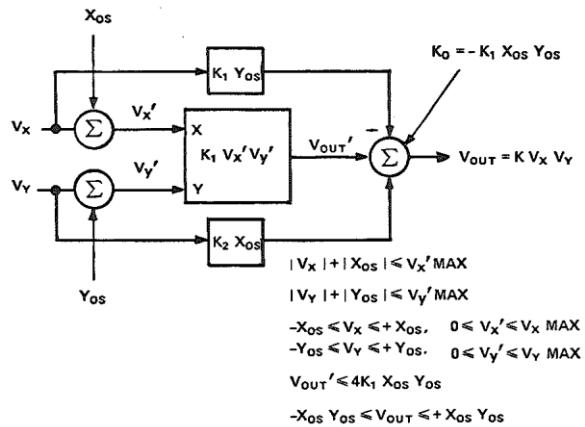


図 21:1 象限乗算器を 4 象限動作用にオフセット。
乗算器のスケール・ファクタの変更により、加算出力に出力オフセットと
フィードスルー・シフトを生成。

パルス変調乗算器

パルス変調乗算器は、矩形パルス下の面積はパルス振幅とパルス幅の積に比例する、という原理に基づいて動作します（図 22）。

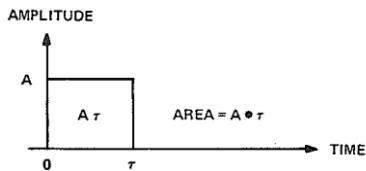


図 22: パルス変調の基本原理

さらに、矩形パルス列の平均値は、周期に対するオン時間の比（デューティ・サイクル）とパルス振幅の積に比例します（図 23）。

乗算器は、この手法を使って構成できます。一方の入力はパルスの振幅を制御するために使用し、もう一方の入力はデューティ・サイクルを制御するために使用します。結果として得られるパルス列にはローパス・フィルタがかけられ、2 つの入力の積に比例する平均値を出力します。簡単な 2 象限パルス変調乗算器のブロック図を図 24 に示します。

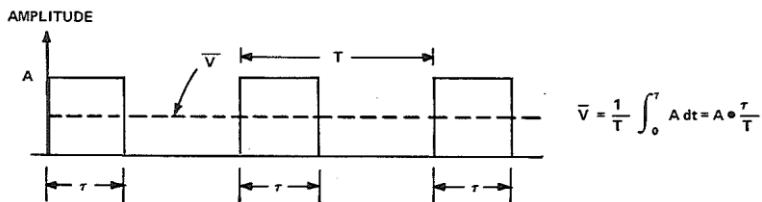


図 23: 矩形波パルス列の平均値は、振幅とデューティ・サイクルの積に比例

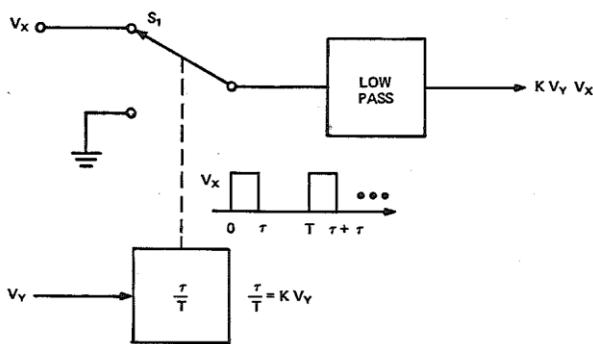


図 24: 2 象限パルス変調乗算器のブロック図。

Y 入力はパルス列のデューティ・サイクルを制御し、さらにパルス列がスイッチ S1 を駆動します。スイッチは入力とグラウンド間を交互に切り替え、デューティ・サイクルに比例する時間だけ入力を接続します。平均化フィルタの出力は、積 $V_x V_y$ に比例した値になります。X 入力は正または負のどちらにもなれます but、デューティ・サイクル τ/T は負にならないので、Y 入力は正の値に制限されます。

図 25 のブロック図に示されているように、パルス変調技術は、Y 入力がゼロのときデューティ・サイクルが 50 % となるように「バランス」スイッチングとデューティ・サイクル・ジェネレータを使用することによって、4 象限動作に拡大できます。

パルス変調乗算器の性能

パルス幅／パルス高変調は、本質的に最も正確なアナログ乗算方法です。誤差がフルスケールの 0.1 % 未満で、非線形性が 0.02 % の精度を容易に実現できます。

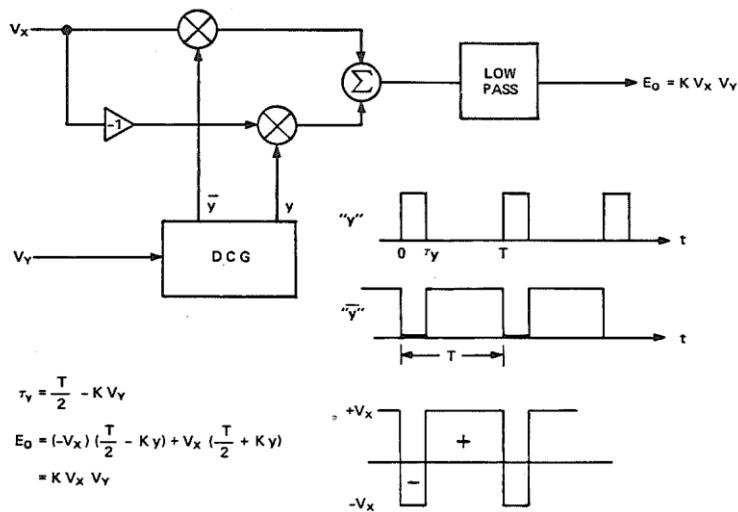


図 25:4 象限パルス変調乗算器

この高い精度は、非線形素子（FET またはトランジスタ）のゲインと入力電圧の関係そのものを利用するのではなく、それらの素子をスイッチとして使用することによるものです。

パルス変調乗算器は概念的には 100 % 正確ですが、実際の乗算器の精度を制限する誤差源がいくつあります。最も大きな制限は、実際のスイッチとデューティ・サイクル・ジェネレータの非理想動作によるものです。しかし、変調技術自体に内在する制限も 1 つあります。信号周波数は、十分な平均化時間を得るために、平均化周波数より十分に低くなければなりません。アナログの平均化では、常に有限の（ただし通常は無視できる）リップル成分が出力に残ります。通常、キャリア周波数は、信号周波数の少なくとも 10 ~ 100 倍とする必要があります。

さらに、キャリア周波数は、部品で決まる誤差によって制限されます。

1. スイッチ制御端子と信号バス間の容量、例えば FET のゲート・チャンネル間容量。この容量は、スイッチのオン／オフごとに電荷を信号バスに結合させるので、オフセット電圧が生じます。オフセットは信号レベルによって異なり、非線形性が生じます。

「ダンプ電荷」効果は、低容量スイッチや低キャリア周波数を使用して信号パスに結合される平均電荷（電流）を小さくすることにより、最小限に抑えることができます。

2. スイッチのオン／オフ抵抗: FET スイッチや CMOS スイッチ（リード・リレーでも可）には、測定可能なオン抵抗と有限のオフ抵抗があります。オンに対するオフの比が高ければ ($> 10,000$) 、スイッチによる誤差は小さくて済みます。この比が低いと、スイッチ・オフの時に入力信号の一部が出力にリークして、フィードスルーが大きくなります。

3. デューティ・サイクル・ジェネレータの線形性: 可変デューティ・サイクルのパルス・ジェネレータは、潜在的に非線形性の最も大きな発生源です。制御入力 V_y は、かなり広い範囲にわたってオフ時間に対するオン時間の比を正確に決定する必要があります。これは 4 象限乗算器では特に重要です。図 26 に示すように、デューティ・サイクルが減少するにつれて、固定されたタイミング誤差、例えば遅延が、オン時間のより大きな部分を占めるようになります。この結果、非線形性が生じます。

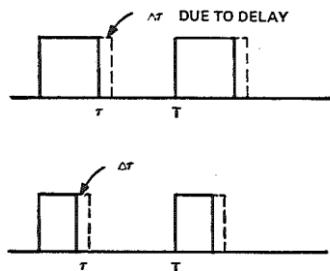


図 26: デューティ・サイクル・ジェネレータとスイッチを合わせた
非対称固定遅延によって生じる非線形誤差。
 $\Delta\tau$ は 比例からのずれで、 τ が大きくても小さくても同じです。

デューティ・サイクル・ジェネレータの非線形性は、図 27 のブロック図に示すクローズドループ回路を使うことによって、任意の低いレベルまで減らすことができます。

入力電圧 V_y は、チョップされたリファレンス電圧の平均値と比較されます。

コンパレータの出力は、チョッパのオフ時間に対するオン時間を制御して、その平均出力電圧値が定常状態の V_y と等しくなるようにします。

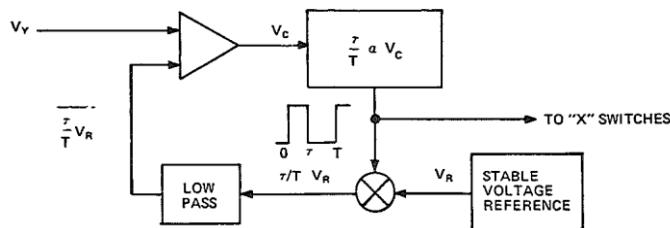


図 27: クローズドループ・デューティ・サイクル・ジェネレータ

デューティ・サイクル τ/T とコンパレータの出力電圧の関係は、それが 1 つの値である限り、重要ではありません。システム全体の線形性は、コンパレータの閾値の精度と平均化の時間によって決まります。この方法によって 0.01 % 未満の非線形性を実現することができます。

乗算器の仕様

乗算器の仕様と、それら仕様の乗算器回路設計への依存度を理解する最良の方法は、恐らく、乗算器のデータシートに示されている仕様を充分読み直すことです。以下に示す比較表には、この章に述べた 3 つの方式、つまり、トランスコンダクタンス方式 (432, 429)、パルス変調方式 (427)、および対数/逆対数方式 (434) を使ったモジュラー型乗算器の仕様が示されています。

432 は低価格の 4 象限トランスコンダクタンス乗算器です。誤差は 1 % ~ 2 % で十分な帯域幅を有し、サイズは小型です。これは、外部トリムを使用する集積回路の AD533 に相当し、トリム回路を内蔵した AD532 より少し多めに電力を消費します。

429 は高速 (10 MHz) の 4 象限トランスコンダクタンス乗算器で、誤差が小さく (0.5 %) 非線形性も低く抑えられています。妥協を排したディスクリート設計で、乗算器セクションにモノリシック・デュアル・トランジスタと高速ディスクリート部品の出力アンプを使用しています。

427 は高精度 (0.25 % 誤差) のパルス変調 4 象限乗算器です。

高周波キャリア (3 MHz) を使用すると 100 kHz の信号帯域幅が可能ですが、これは、通常のパルス変調乗算器の帯域幅より 100 ~ 1000 倍上回ります。

434 は高精度（誤差 0.25 %）と多機能性を兼ね備えた 1 象限対数/逆対数乗算器で、乗算と除算を同時にを行うことができます。

仕様 (246 ~ 247 ページ)

比較仕様表*の最初の 4 行には、読者が各自の用途に最適な乗算器を即座に見つけられるように、乗算器ごとに顕著な特長がまとめられています。乗算器の選択については、4-4 項の「設計者のための補助資料」に詳しい解説が示されているので、ここでは省略します。

乗算器の特性 (MULTIPLICATION CHARACTERISTICS)

仕様のこのブロックには、以下に続く仕様部分に詳細に示されているすべての誤差源（オフセット、スケール・ファクタ、非線形性、フィードスルー）から生じる全体の静的誤差が示されています。

出力関数 (Output Function) : 2 つの入力電圧 V_x 、 V_y 、出力電圧 E_o 、およびスケール定数 V_r の間の理想的な関数関係を定義します。すべての誤差は、この伝達関数からの偏差として定義され、フルスケール (10 V) のパーセンテージとして規定されています。代表的な伝達関数を下に示します。

$$E_o = \frac{V_x V_y}{10V} \quad (77)$$

$V_x = V_y = 10 \text{ V}$ の場合は次のようにになります。

$$E_o = \frac{10 \times 10}{10} = 10 \text{ V} \quad (78)$$

* この表は一部を省略した一例で、対照的なモジュラー型乗算器が含まれています。記載されている情報は 1973 年夏時点の情報です。これらのタイプや各クラス内のその他多数のタイプ、およびその他多数の IC タイプの詳細情報については、アナログ・デバイセズ製品ガイドの最新版、またはその補遺を参照することをお勧めします。

乗算器/除算器（ディスクリート）

仕様の概要（別途指定のない限り 25 °C、±15 VDC での代表値）

MULTIPLICATION TECHNIQUE		TRANSCONDUCTANCE	
Model ¹		Economy	Accurate Wideband
Price *1-9	\$29 (\$45)	\$109 (\$139)	
Price 10-24	\$27 (\$43)	\$104 (\$129)	
Full Scale Accuracy ²	2% (1%)	1% (0.5%)	
Divides and Square Roots	YES	YES	
Multiplication Characteristics			
Output Function	XY/10	XY/10	
Error, Internal Trim (±)	2%(1%) max	1%(0.5%) max	
Error, External Trim (±)	1.0% (0.6%)	0.7% (0.3%)	
Accuracy vs. Temperature (±)	0.06%/°C (0.04%/°C)	0.05%/°C (0.04%/°C max)	
Accuracy vs. Supply (±)	0.1%	0.03%	
Warm up Time to Specifications	1 min	1 sec	
Output Offset (±)			
Initial	20mV (25mV max)	20mV (10mV) max	
Average vs. Temperature 0°C to +70°C	2mV/°C (1mV/°C)	2mV/°C (1mV/°C max)	
Average vs. Supply	10mV/%	1mV/%	
Scale Factor (±)			
Initial Error	1% (0.5%)	0.5% (0.25%)	
Non Linearity (±)			
X Input (X = 20V p-p, Y = ±10VDC)	0.8% (0.6% max)	0.5% (0.2%) max	
Y Input (Y = 20V p-p, X = ±10VDC)	0.4% (0.3% max)	0.3% (0.2%) max	
Feedthrough			
X = 0, Y = 20V p-p 50Hz with external trim	80mV (50mV) p-p max 30mV p-p	25mV (10mV) p-p max 8mV (5mV) p-p	
Y = 0, X = 20V p-p 50Hz with external trim	120mV (100mV) p-p max N/A	50mV (15mV) p-p max 35mV (10mV) p-p	
Feedthrough vs. Temperature, each input	1mV p-p/°C	2mV p-p/°C	
Bandwidth			
-3dB Small Signal	1MHz	10MHz	
Full Power Response	700kHz	2MHz min	
Slew Rate	45V/usec	120V/usec min.	
Small Signal Amplitude Error (±)	1% @ 40kHz	1% at 300kHz min	
Small Signal Vector Error (±)	1% @ 10kHz	1% at 50kHz min	
Settling Time for ±10V Step	1μsec to 2%	0.5μsec to 1%	
Overload Recovery	3μsec	0.15μsec	
Output Noise			
5Hz to 10kHz	600μV rms	500μV rms	
5Hz to 5MHz	3mV rms	2.5mV rms	
Output Characteristics			
Voltage at Rated Load (min)	±10V	±11V	
Current (min)	±5mA	±11mA	
Load Capacitance Limit	0.001μF	0.01μF	
Input Resistance			
X/Y/Z Input	10MΩ/10kΩ/36kΩ	10kΩ/11kΩ/27kΩ	
Input Bias Current			
X/Y/Z Input	2μA each	+100nA/+100nA/±20nA	
Maximum Input Voltage			
For Rated Accuracy	±10.1V	±10.5V	
Safe Level	±Vs	±16V	
Power Supply (V _s)			
Rated Performance	±15V	±14.7 to ±15.3V	
Operating	±12 to ±18V	±14 to ±16V	
Quiescent Current	±4.5mA	±12mA	
Temperature Range			
Rated Performance	0°C to +70°C	-25°C to +85°C	
Operating	-25°C to +85°C	-25°C to +85°C	
Storage	-55°C to +125°C	-55°C to +125°C	
Package Outline	QC-2	FA-4	
Case Dimensions	1.1" X 1.1" X 0.4" 28 X 28 X 10.2mm	1.5" X 1.5" X 0.6" 38.1 X 38.1 X 15.2mm	

■ 非線形回路ハンドブック

III: 非線形回路を理解する

3-2 乗算器

PULSE TYPES	LOG-ANTILOG
High Accuracy 427J (427K)	434A (434B)
\$159 (\$210) \$143 (\$189)	75(87) 69(77)
0.25% (0.2%) YES	0.5% (0.25%) YES
XY/10 0.25% (0.2%) max 0.15% (0.1% max) 0.02%/°C max 0.02%/% 1 min	YZ/X 0.5% (0.25%) max 0.3% (0.1%) 0.02% (0.02%/°C max) 0.02%/% 1 min
5 mV 0.2mV/°C (0.2mV/°C max) 1mV/%	2mV (2mV max) 1mV/°C (1mV/°C max) 1mV/%
0.1% (0.05%)	0.2% (0.1%)
0.08% (0.04%) max 0.08% (0.04%) max	0.2% (0.1%) ² 0.2% (0.1%) ²
20mV p-p max 4mV p-p 20mV p-p max 5mV p-p 0.2mV p-p/°C	+2 mV Peak Max — +2mV Peak Max — —
100kHz 30kHz 2V/μsec 0.1% at 4kHz 1% at 700Hz 20μsec to 0.1% 10μsec	100kHz ³ 30kHz 2V/μsec 40μsec to 0.1% 20μsec
50μV rms 1mV rms	300μV rms 1mV rms
±10.2V ±7mA 0.01μF	±11V ±5mA 0.01μF
10kΩ/10kΩ/33kΩ	100kΩ/90kΩ/100kΩ
±3μA/±3μA/±10μA	10nA/100nA/10nA
±10.5V ±16V	±10.5V ±16V
±14.8 to ±15.3V ±14.8 to ±16V ±16mA	±14.4 to ±15.6 ±10V to ±18V ±10mA
0°C to +70°C -25°C to +85°C -55°C to +125°C	-25°C to +85°C -55°C to +125°C -55°C to +125°C
D-2 1.6" X 3.0" X 0.6" 40.6 X 76.2 X 15.2mm	1.5 X 1.5 X 0.6 38.1 X 38.1 X 15.2mm

注記:

¹ 各乗算器の高性能 (K バージョン) モデルの仕様が J または A バージョンと異なる場合、カッコは K バージョンの仕様値を示します。例えば、0.25 % 精度の製品が必要な場合はモデル 427J を、精度 0.2 % の製品が必要な場合はモデル 427K をご注文ください。

² 434 は 1 象限デバイスです。仕様は 0 ~ +10 V の入力に対してだけが示されています。

³ 帯域幅は入力のレベルに依存します。仕様は 10 V に対する値です。

* 1973 年夏。ここに示す価格は相対的コストの目安とするためのもので、営業を目的としたものではありません。価格は変更されることがあるので、詳しい情報が必要な場合は最新の製品ガイドまたはプライス・リストを参照するか、最寄りの営業所へお問い合わせください。3-3 項の表 2 も合わせて参照してください。

現在のところ、 $1/10/V$ のスケール・ファクタ ($1/V_f$) がほぼ共通の値として定着していますが、 $1/V$ 、 $1/5/V$ 、 $1/100/V$ など他の値も使われてきました。スケール・ファクタは調整も可能です（あるいは、434 対数／逆対数乗算器の仕様に示すように、広い範囲にわたって可変とすることさえできます）。スケール・ファクタが調整可能または可変の場合、乗算器の仕様は通常 $1/10/V$ のスケール・ファクタで与えられ、これらのリミットからのずれは、スケール・ファクタの関数として詳述されています。

実際の誤差 (V) とパーセンテージ誤差 (10 V F.S.) の関係は以下の通りです。

$$\epsilon = V_{\text{measured}} - \frac{V_x V_y}{10V} \quad (79)$$

$$\% \text{ Error} = 100 \cdot \frac{\epsilon}{10V} = 10 \cdot \epsilon \quad (80)$$

誤差、内部トリム (Error, Internal Trim)：外部的な調整をまったく行わない場合の、 25°C における乗算器入力レンジ内の任意の DC 入力電圧値ペアに対する、乗算器の実際の出力値と理想出力値の最大差。誤差は (80) に示すようにフルスケールのパーセンテージとして表されるので、1 % の誤差は $0.01 \cdot 10 \text{ V} = 100 \text{ mV}$ です。

非線形性の項で詳しく述べたように、ほとんどの場合、最大誤差はフルスケール入力 ($\pm 10 \text{ V}$) で生じます。誤差には、オフセット誤差、フィードスルー誤差、非線形性誤差、およびスケール・ファクタ誤差が含まれます。この仕様は、乗算器の「精度」の特性を定めます。

実際には、測定は 4 つの象限の「エンドポイント」で行います。つまり、 $(V_x, V_y) = (+10 \text{ V}, +10 \text{ V})$ 、 $(-10 \text{ V}, +10 \text{ V})$ 、 $(-10 \text{ V}, -10 \text{ V})$ 、 $(+10 \text{ V}, -10 \text{ V})$ の各点です。

432J の最大誤差は $\pm 2\%$ で、これはフルスケール出力が $\pm 9.8 \text{ V} \sim 10.2 \text{ V}$ の範囲であることを示唆しています。427K の最大誤差は 432 の $1/10$ 、つまり $\pm 0.2\%$ ($\pm 20 \text{ mV}$) です（トリムなし）。

誤差、外部トリム (Error, External Trim)：外付けのポテンショメータまたは分圧器を使って、X と Y のフィードスルーと出力オフセットをゼロにした後に残る誤差。

これは、それ以上減らすことのできない誤差成分の目安となる値で、非線形性誤差とほぼ等しい値です（スケール・ファクタと非線形性の項も合わせて参照）。

精度と温度の関係 (Accuracy vs. Temperature)（誤差と温度の関係）：上で定義した誤差が温度とともに変化する率。これは、摂氏 1 度あたりの変化をフルスケール (10 V) のパーセンテージで表した値です。この係数には、出力オフセット・ドリフト、フィードスルー・ドリフト、およびスケール・ファクタ・ドリフトの影響が含まれるので、以下のように温度範囲での最大誤差を予測するために使用できます（例えば $T_H > 25^{\circ}\text{C}$ ）。

$$\text{Error(V)} = \frac{1}{10} \left\{ \left| \% \text{ error} \right|_{25^{\circ}\text{C}} + \left| \frac{\Delta(\% \text{ error})}{\Delta T} \right| (T_H - 25^{\circ}\text{C}) \right\} \quad (81)$$

例えば、429B の誤差は 25°C で最大 0.5 %、誤差ドリフトは $\pm 0.04\%/\text{ }^{\circ}\text{C}$ （最大値）です。 70°C での最大誤差は以下のように計算します。

$$\epsilon_{70^{\circ}\text{C}} = \frac{1}{10} \left\{ 0.5 + 0.04 (70 - 25) \right\} \quad (82)$$

$$\epsilon_{70^{\circ}\text{C}} = 0.1(0.5 + 1.8) = 0.23\text{V} = \pm 230\text{mV} \quad (83)$$

このようにして計算された誤差はフルスケール出力時、またはその付近での誤差を表します。この付近では、スケール・ファクタ・ドリフトによる誤差が支配的になります。両方の入力がフルスケールの $1/3$ 未満の場合（フルスケールの $1/10$ の出力）は、出力オフセット・ドリフトが支配的になるので、ドリフトはかなり小さくなります。

精度と電源の関係 (Accuracy vs. Supply)（誤差と電源の関係）：電源電圧の変化が乗算器出力電圧に与える影響の度合いを %（フルスケール）/ %（電源電圧変化）で表した値。この値には、スケール・ファクタ、フィードスルー、およびオフセットに対する DC での電源電圧の影響が含まれます。

例: 432 の場合、この誤差の仕様値は $\pm 0.1\% / \% \Delta V_S$ で指定されています。

$$0.1\% \text{ (フルスケール)} = 10 \text{ mV}$$

$$1\% \Delta V_S = 150 \text{ mV}$$

したがって、432J の出力は次のように変化します。

$$\frac{10 \text{ mV}}{150 \text{ mV}} = \pm 0.067 \text{ V/V} = 67 \text{ mV/V} \quad (84)$$

電源電圧変動除去比のもう 1 つの見方は、乗算器の内部リファレンス回路が電源電圧の変化を減衰させる点を認識することです。電源電圧変動除去比 (PSRR) の値は、432 の 15:1 ($\text{PSR} \approx 23 \text{ dB}$) から 427K の 75:1 ($\approx 38 \text{ dB}$) まで、さまざまです。一般的には、乗算器の精度が上がるほど電源電圧の変動の影響を受けにくくなります。

仕様値までのウォームアップ時間 (Warmup Time to Specifications) : 乗算器の DC 電源を入れてから、誤差が規定されたリミット値内に収まると見込まれるまでに経過する時間。この時間には乗算器が完全に安定するまでに要する時間は含まれず、ウォームアップ時の出力変動が仕様に規定する誤差と比較して小さくなるまで、どれだけの時間を要するかを示します。

一般に、ほとんどのモジュラー型乗算器の内部温度上昇値は数 $^{\circ}\text{C}$ に過ぎないので、これらの乗算器は電源投入後数ミリ秒以内に定格仕様値で動作します。また、設計とパッケージングに関する温度係数と内部温度勾配を最小限に抑えるように、細心の注意が払われています。

出力オフセット (OUTPUT OFFSET)

初期出力オフセット (Initial) : $V_x = V_y = 0 \text{ V}$ の時の出力電圧。この仕様は、外部調整なしの時の 25°C での最大オフセットを定めています。いかなる場合でも、このオフセットは外付けのポテンショメータまたは分圧器を使ってゼロに調整することができます。出力が 1 V 未満のときは、オフセットが主要な誤差です。

封止時のシフトと内部トリムの許容誤差のため、初期オフセットはゼロにはなりません。乗算器の精度定格が高いほど、初期オフセットは小さくなります。

平均オフセットと温度の関係 (Average vs. Temperature) : 出力オフセットの温度依存性。オペアンプと異なり、乗算器における平均オフセットと温度の関係は初期オフセットに依存しません。

例 — 429B: オフセット = 最大 $\pm 10 \text{ mV}$ 、トリムなし

オフセットの温度特性 = 最大 $\pm 1 \text{ mV/}^{\circ}\text{C}$

70 °C での最大オフセットは以下のように計算します。

$$E_{os70^{\circ}\text{C}} = |E_{os25^{\circ}\text{C}}| + \frac{\Delta E_{os}}{\Delta T} (70^{\circ}\text{C} - 25^{\circ}\text{C}) \quad (85)$$

$$E_{os70^{\circ}\text{C}} = 10\text{mV} + 1(45) = \pm 55\text{mV max} \quad (86)$$

平均オフセットと電源の関係 (Average vs. Supply) : 電源電圧の変化が乗算器出力電圧に与える影響の度合いを、DC での電源電圧変化 1 % あたりのミリボルト数で表した値。合計誤差と電源の関係同様、この量は 1 ボルトあたりのボルト数 (V/V) で表わすことができます。逆に、オフセットに対する電源電圧変動除去比 (PSRR) を対数形式 (dB) 、つまり $PSR = 20\log_{10}PSRR$ で表すこともできます。例えば、429 と 427 のオフセット感度は $1\text{mV}/1\%\Delta V_S$ 、つまり $1\text{mV}/150\text{mV}$ です。したがってオフセット PSRR は 150 で、PSR は約 43 dB です。

スケール・ファクタ

スケール・ファクタ (Scale Factor) (静的な値または低周波数時の値) : 平均スケール・ファクタと理想スケール・ファクタ $1/10/\text{V}$ との差。このファクタによる誤差は出力信号の % で表されます。つまり、0.5 % のスケール・ファクタ誤差は $E_O = 10\text{V}$ の場合に 50mV の誤差を生じ、 $E_O = 1\text{V}$ の場合は 5mV の誤差を生じます。スケール・ファクタ誤差に含まれるのは平均線形ゲイン誤差だけです (つまり、一方の入力を一定にし、もう一方の入力がレンジ内をスイングする時の、出力レンジ全体の「最良直線」のスロープの誤差)。

非線形成分については、**非線形性**の項で説明します。

スケール・ファクタ誤差は、任意の 1 点でゼロに調整することができます。ただし、非線形性により、X-Y 動作レンジ全体にわたってスケール・ファクタ誤差をゼロに調整することはできません。限定された領域（例えば 1 つまたは 2 つの象限）について、平均スケール・ファクタ誤差を最小誤差に調整することや、すべての入力値に対して最善の妥協点が得られるように調整することは可能です。

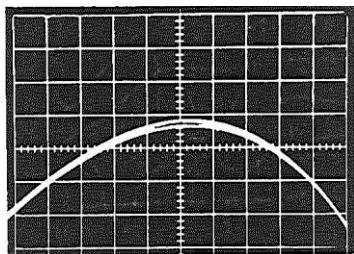
非線形性

非線形性 (Nonlinearity)：それ以上減らすことのできない誤差成分。仕様値は、規定されたテスト条件で平均スケール・ファクタ誤差をゼロに調整した時の、乗算器出力と理論的出力の最大差を表わしています。非線形性をテストするための方法を、本章末尾の図 40、図 46、および図 47 に示します。出力波形と入力波形は同じ形状をしている必要があるので（一方の入力は一定）、テスト回路は、乗算器出力電圧と、一方の入力を一定に保持した状態でレンジ全体をスイングする入力との差を表示します。平均スケール・ファクタ誤差（スロープ）は、ゼロに調整されます。

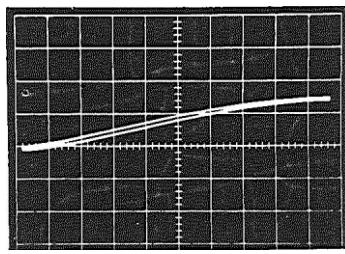
ユニポーラの一定電圧に対し、このようにして測定した 432 と 427 の代表的非線形性曲線を図 28 a ~ d に示します。これらの各曲線には、逆の極性に対応する曲線が存在します（必ずしも同じ形状とは限りません）。曲線は滑らかで、原点に不連続が生じていないことに注意してください。432 の X の非線形性が放物線形状をしているのは、X 入力に主として 2 次高調波歪み (X^2 に比例) があることを示しています。S 字形をした 427 の非線形曲線は、3 次歪みが支配的であることを示しています。

フィードスルー

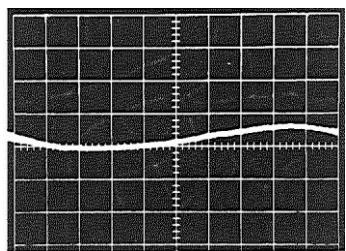
フィードスルー (Feedthrough)。理想的には、乗算器のどちらかの入力がゼロの時は、もう一方に加えられる信号に関わらず、出力はゼロになります。実際には、ゼロでない方の入力の一部が「フィードスルー」して（突き抜けて）出力に現われます。



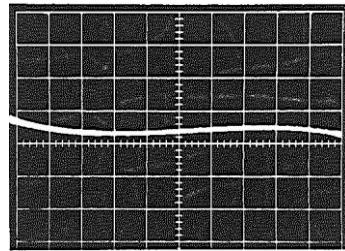
a. モデル 432 の X 入力の非線形性 ($\pm 10 \text{ V}$ 入力信号、 $Y = 10 \text{ V}$ 、垂直スケール: 20 mV/div.)



b. モデル 432 の Y 入力の非線形性 ($\pm 10 \text{ V}$ 入力信号、 $X = 10 \text{ V}$ 、垂直スケール: 20 mV/div.)



c. モデル 427 の X 入力の非線形性 ($\pm 10 \text{ V}$ 入力信号、 $Y = 10 \text{ V}$ 、垂直スケール: 10 mV/div.)



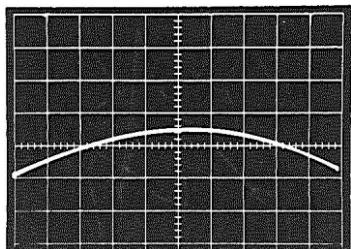
d. モデル 427 の Y 入力の非線形性 ($\pm 10 \text{ V}$ 入力信号、 $X = 10 \text{ V}$ 、垂直スケール: 10 mV/div.)

図 28: 代表的非線形性曲線

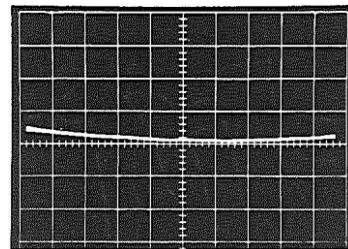
フィードスルー信号は 2 つの成分で構成され、一方は線形、もう一方は非線形です。線形成分は、変化する入力側の電圧と「ゼロ」入力側の実効オフセット電圧の積です。これは、大きさが同じで方向が反対のオフセットをトリム入力 (X_0, Y_0) に加えることによって、ゼロにトリムできます。

非線形成分は乗算器回路の非線形性によるものですが、オフセット調整によってこれをゼロにすることはできません。視覚的に表わすと、これは非線形性曲面と XZ 平面および YZ 平面との交線です（この章の図 3 と図 4）。

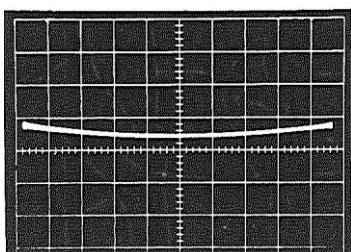
図 29 (a ~ d) は、432 と 427 の代表的な X および Y のフィードスルー波形です。



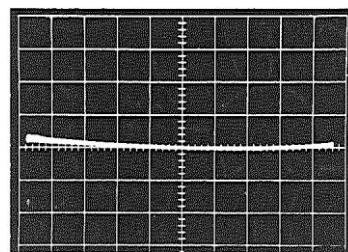
a. モデル 432 の X のフィードスルー ($X = \pm 10 V$ 、 $Y = 0$ 、垂直スケール: 50 mV/div.)



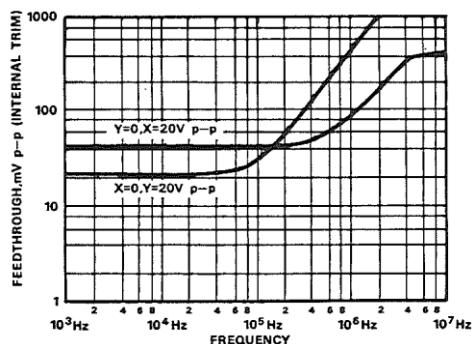
b. モデル 432 の Y のフィードスルー ($Y = \pm 10 V$ 、 $X = 0$ 、垂直スケール: 50mV/div.)



c. モデル 427 の X のフィードスルー ($X = \pm 10 V$ 、 $Y = 0$ 、垂直スケール: 10 mV/div.)



d. モデル 427 の Y のフィードスルー ($Y = \pm 10 V$ 、 $X = 0$ 、垂直スケール: 10mV/div.)



e. モデル 429 のフィードスルーの周波数特性

図 29: 代表的フィードスルー曲線

432 の X フィードスルーは明らかに放物線状であることに注意してください。これは、レンジの境界付近での非線形性に酷似しています。

フィードスルーと周波数の関係. フィードスルーは、入力段と出力段の容量性結合により、周波数とともに増加します。429 の X と Y 両方のフィードスルーと周波数の関係を図 29e に示します。

帯域幅 (Bandwidth、高周波数動的パラメータ)

-3dB 小信号帯域幅 (-3dB Small-Signal) : 乗算器のスケール・ファクタが DC 値の 0.7 倍まで減少した時の出力周波数。「小信号」とは、通常、フルスケールの 5 % 未満の出力を意味します。例えば、 $\pm 10 \text{ V}$ (FS) の乗算器では $1 \text{ V}_{\text{p-p}}$ 未満です。帯域幅は通常、一方の入力にフルスケール DC 電圧、他方の入力に $1 \text{ V}_{\text{p-p}}$ 正弦波を与えて測定します。チャートを見ると、2 つのトランスクンダクタンス乗算器タイプが、パルス変調タイプまたは対数/逆対数タイプのどちらよりも広い帯域幅を有していることが分かります。

「出力周波数」という言葉は重要です。例えば、正弦波入力の二乗演算器 ($X = Y$) として接続された乗算器の低周波数出力は、周波数が 2 倍で入力振幅の 2 乗の半分の振幅を持ち、同様の値でバイアスされた正弦波です。入力周波数が低い場合の出力振幅は、周波数が 2 倍になるので、DC X 正弦波の場合より 3dB 低下します。一方、出力の「DC」成分は、かなり高い周波数まで影響を受けない状態に維持できます。

フル・パワー応答 (Full-Power Response) : 乗算器出力が、目立った歪みを生じることなく、定格電流でフルスケール電圧を発生できる最大周波数。これは、一方の入力に 10 V DC を、もう一方の入力に $20 \text{ V}_{\text{p-p}}$ 正弦波を加える（もしくはその逆）ことによって測定します。この場合も、トランスクンダクタンス乗算器の方が、パルス変調タイプや対数タイプよりも高速です。

スルー・レート (*Slew Rate*) : 大信号の出力電圧の最大変化率。これは、一方の入力を 10 V、他方を 10 V または 20 V のステップ・スイングにして測定します。スルー・レートを表す代表的な 429 のステップ応答を図 30 に示します。スルー・レートとフルパワー帯域幅の関係は次式で近似されます。

$$S \approx A 2\pi f_p$$

ここで、

S = スルー・レート (V/ μ s)

A = ピーク正弦波振幅 (V)

f_p = フル出力時の測定周波数 (MHz)

例えば、429 では $f_p = 2$ MHz (*min*) です。 $A = 10$ V の場合は次のようにになります。

$$S \approx 10 \times 2\pi \times 2 = 126 \text{ V}/\mu\text{s} \quad (88)$$

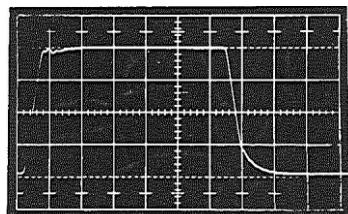


図 30: モデル 429 のスルー・レートを表すステップ応答電圧スケール:
5 V/div、時間スケール: 200 ns/div.

$V_x = 20 \text{ V}_{\text{p-p}} 400 \text{ kHz 矩形波}$

$V_y = +10.0 \text{ V}$

小信号振幅誤差 (*Small-Signal Amplitude Error*)。これは、振幅応答、つまりスケール・ファクタが 1 % (高精度タイプの場合は 0.1 %) 低下する時の周波数で、「小信号」(例えばフルスケールの 10 %) を使って測定します。所定のタイプに関してこの周波数がフルパワー周波数の 1/3 以下となる場合は、フルスケールと同等の大きさの信号も「小信号」の定義にあてはまります。例えば、429 でも 432 でも $f_{-1} \%$ は f_p の 1/6 未満なので、 $f_{-1} \%$ は ±10 V 範囲内のすべての信号に当てはまります。

1 % 誤差帯域幅は、（伝達関数の極の数に依存して）小信号帯域幅とロールオフ・レートに関係します。応答が 1 つの極によって支配される場合、-1 % 誤差帯域幅は -3 dB 帯域幅の約 1/7 の位置になります。

$$|A| = 0.99 = \left| \frac{1}{1 + j\omega/\omega_0} \right| = \frac{1}{\sqrt{1 + (\omega/\omega_0)^2}} \quad (89)$$

したがって、 $(\omega/\omega_0) \approx 1/7$

トランスコンダクタンス乗算器とパルス変調乗算器の出力帯域幅、つまり速度は、基本的に信号レベル（スルー・レートを除く）や入力の別（X または Y）には依存しないことに注意してください。これは興味深い点です。また、特に興味深いのは、測定帯域幅が、測定対象の「小信号」に加えられる DC バイアス・レベルに依存しないことです。

ベクトル誤差 (Small Signal Vector Error)：同じ周波数の入力信号と出力の瞬時差（ベクトル差）が 1 % に等しくなる周波数 f_v 。单極ロールオフ（1 次遅延）の場合、これは位相シフトが 1 ラジアンの 0.01 % つまり 0.57° になる周波数で、-3 dB 周波数の $1/100$ です。 f_v での大きさの減衰は 0.05 % に過ぎないので、ベクトル誤差は主に位相シフトによります（図 31）。

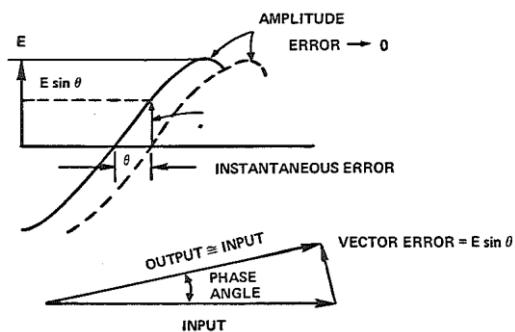


図 31: ベクトル誤差（ユニティ・ゲイン時）、
瞬間誤差の目安

+10 V ステップのセッティング時間 (Settling Time for +10V Step) : 出力電圧が 10 V (フルスケール) の入力ステップに応答して、その最終値の指定パーセンテージ内に達するまでに要する時間。この時間は、ステップが加えられた瞬間から、出力が (最後的に) 指定誤差範囲内に入る時点まで計測されます。したがって、これには伝送遅延、スルーハイダム、および線形セッティング時間が含まれます。

過負荷回復時間 (Overload Recovery) : 乗算器の出力が、50 % の過電圧 (許容されている場合、10 V スケール・デバイスでは 15 V) が入力から除去された後で、その乗算器の線形領域に復帰するまでに要する時間。

出力ノイズ (Output Noise)

出力ノイズ (5Hz to 10kHz) : 5 Hz ~ 10 kHz 帯域幅で両方の入力をゼロにして測定した乗算器出力のノイズの RMS 値。ノイズは目につくほど入力電圧に影響されないので、仕様値は動作領域内の任意の入力レベルに適用できます。ガウス・ノイズの場合、通常、ピーク to ピーク・ノイズは RMS レベルの約 6.6 倍に取られます (2-3 項の図 14 を参照)。乗算器のノイズは、通常、ガウス・ノイズであると仮定して差し支えありません。

広帯域ノイズ (5Hz to 5MHz) : 低帯域幅乗算器の場合、このノイズには、パルス高パルス幅タイプ (427 など) の出力へのキャリア・リークなどあらゆる帯域外効果が含まれます。可変トランスクンダクタンス・タイプのノイズ・スペクトル密度は、その帯域幅全体にわたりほぼ一定で、帯域外成分はありません。

出力特性 (Output Characteristics)

定格負荷での出力電圧 (Voltage at Rated Load) : 乗算器が仕様に規定する負荷電流を供給している状態での DC の最小出力電圧範囲。

出力電流 (Current) : フルスケール出力電圧時に乗算器出力から得られる最小電流。

負荷容量 (Load Capacitance Limit) : 乗算モードで、発振を起こすことなく出力に接続できる容量の最大値。

入力抵抗 (Input Resistance)

入力端子と電源コモン間の抵抗。これは、実際の抵抗のことと、入力アンプ回路の実効入力抵抗のこともあります。通常、乗算器は、クローズドループ・オペアンプ出力のような低インピーダンスの電流源によって駆動されるので、入力抵抗は $10\text{ k}\Omega \sim 100\text{ k}\Omega$ の範囲の適切なレベルになります。

入力バイアス電流 (Input Bias Current)

入力ゼロボルトの状態で入力端子に流れ込む電流、あるいは入力端子から流れ出す電流。これは、内部回路のバイアス電流、例えば入力トランジスタのベース電流によるものです。

最大入力電圧 (Maximum Input Voltage)

定格精度時 (For Rated Accuracy) : 入力の一方または両方に電圧を加えた場合に、仕様に規定する誤差範囲内の出力電圧を生成する最大の電圧。通常、この電圧は、わずかなオーバーレンジ能力を備えています。乗算器は、両方の入力の積が出力電圧レンジ内である限り、より高い入力でも動作します。

安全レベル (Safe Level) : 入力回路に損傷を与えない最大電圧。 $\pm V_S$ という表記は、入力が電源を上回ってはならないことを意味します。電源がゼロ（または接続解除状態）の場合は、入力もゼロでなければなりません（特に IC 乗算器と 432 について言えます）。他のタイプでは、この値は絶対最大電圧として示されています。つまり、429 は、 $\pm 16\text{ V}$ の入力と、ゼロまたは定格電源電圧で安全に使用できます。

電源 (Power Supply)

定格性能時の V_S (Rated Performance) : すべての最小／最大誤差仕様が保証される電源電圧。通常は $\pm 15\text{ V}$ 、 $\pm 2\%$ 。

動作時 (Operating) : 乗算器が正常動作する電源電圧の範囲。ただし、電源電圧変動除去係数から計算した値より誤差が大きくなります。この範囲内では、乗算器は $\pm 10\text{ V}$ の入力を受け入れて $\pm 10\text{ V}$ の出力を与えます。一部の乗算器では、入力および出力電圧スイングと V_S の関係を示すグラフが用意されています。

自己消費電流 (Quiescent Current) : 入力も出力もゼロ・ボルトの状態で $\pm V_S$ 電源から流れ出す電流。ほとんどの乗算器にはクラス AB 出力段があるので、フル出力状態では、この電流が負荷電流にほぼ等しい量だけ増加します。

温度範囲 (Temperature Range)

定格性能 (Rated Performance) : 温度係数が適用され、その他のパラメータが最小／最大限界内に留まる温度の範囲。

動作 (Operating) : 乗算器は動作するが、一般に、仕様に規定されている温度係数がわずかに悪くなる温度の範囲。

保管 (Storage) : 電源を入れることなく乗算器が耐え得る最高／最低温度。

パッケージ外形 (Package Outline)

これは、ピン配置と機械的寸法を示すアナログ・デバイセズの標準図面を指します。乗算器は、製品によってそのサイズとピン配置が大きく異なるので、これを確認することを推奨します。

ケース寸法 (Case Dimensions) (説明略) より精度の高いパルス変調タイプ (427) は、現在のところトランスコンダクタンス・タイプや対数タイプ (429、434) よりサイズが大きくなっています。最小のモジュラー型ケースは、432 などのトランスコンダクタンス IC タイプです。IC は、TO-116 ハーメチック 14 ピン・デュアルインライン・パッケージと、TO-100 10 ピン・メタルキャップ・パッケージで提供されます。

乗算器パラメータのチェックリスト

A. 静的誤差または低周波数誤差（精度）

1. 出力オフセット電圧
2. X および Y のフィードスルー
3. X および Y の非線形性
4. 合計誤差
5. 温度または電源電圧に伴う上記パラメータの変化

B. 動的性能

1. -3dB 小信号帯域幅
2. 位相シフトと周波数の関係
3. フル出力帯域幅
4. スルー・レート:
5. 立上り時間
6. セトリング時間
7. 1 % ベクトル誤差の周波数
8. 1 % 振幅誤差の周波数
9. 非線形性と周波数の関係
10. フィードスルーと周波数の関係
11. 微分位相シフト
12. 過負荷回復時間

C. 入力および出力特性

1. 入力抵抗
2. 入力電流
3. 出力電圧
4. 出力電流
5. 出力抵抗
6. 入力および出力電圧限界と電源電圧の関係
7. 自己消費電流

テスト

テスト装置

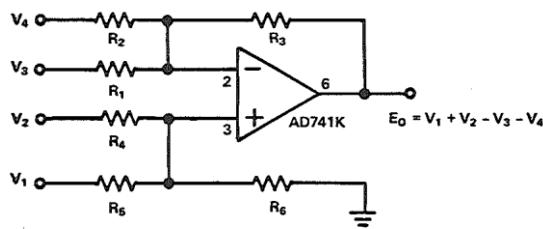
計測するパラメータとテストする乗算器の数に応じて、乗算器の特性をテストするために使用する装置は、必要なあらゆる機能を備えた自己完結型の乗算器テスト・セットから通常の実験用機器のシンプルな組み合わせまで、さまざまなものを選択できます。最も役に立つテスト装置の一部を以下に列挙します。

1. デジタル電圧計 — 乗算器の「精度」を知るための DC オフセット、および入力／出力電圧の測定に不可欠です。ほとんどの測定には、表示分解能 $4\frac{1}{2}$ 枠、誤差 $\pm 0.02\%$ 未満のもので十分です。1 V DC および 10 V DC のレンジが最も使われます。
2. 高精度 DC 電圧リファレンス — 「精度」計測用の入力電圧、非線形性テスト用の安定したリファレンスを与るために使用します。1 mA でプラスおよびマイナス 10,000 V の電圧を同時に供給でき、さらに 100 mV ステップでゼロ・ボルトまで調整できる必要があります。
3. ファンクション・ジェネレータ — クロスプロット・テスト用に低周波数の正弦波入力信号を、また、動的テスト用に矩形波またはパルスを発生します。ジェネレータの出力電圧は、1 Hz ~ 1 MHz の周波数範囲にわたって $1k\Omega$ に対しゼロから $20 \text{ V}_{\text{p-p}}$ まで調整できる必要があります（より高速の乗算器の場合は 5 または 10 MHz の周波数範囲が望ましい）。
4. 可変デュアル 15 V 電源、50 mA 出力電流、調整可能な電流制限付き。可変電源は、乗算器の入力および出力限界を電源電圧の関数として計測するのに役立ちます。
5. オシロスコープ — クロスプロットおよび動的テスト用。クロスプロットには、校正され、DC 結合された垂直入力と水平入力が必要です。 5 mV/cm （「高精度」乗算器のテスト用）~ 5 V/cm の垂直振れ係数を備えたものが最も有効です。

水平振れ係数は 0.5 V/cm ~ 5 V/cm で十分です。「静的」誤差の計測には、両軸とも 100 kHz の帯域幅で十分です。

動的テストには、帯域幅が少なくとも 10 MHz の広帯域オシロスコープが不可欠です。

6. 高精度加算器／減算器 — 非線形性の計測用。これは、図 32 の回路図に従って作成できます。



R₁ TO R₆: 10kΩ PRECISION RESISTORS, TOLERANCE ±0.1%,
TEMPCO ≤ 50ppm; ratio-match R₁ AND R₂ TO R₃ AS CLOSELY
AS POSSIBLE, DO THE SAME FOR R₄ AND R₅ TO R₆.

図 32: 高精度加算器／減算器

テスト回路

クロスプロットは、例えばフィードスルーや非線形性などの乗算器誤差の微妙な調整や計測を行うための最も強力かつ有効な手法の 1 つで、これらの量を入力変数の関数としてプロットします。これは、オシロスコープの垂直軸に誤差を表示し、乗算器の入力信号を使って水平入力を駆動することによって簡単に行われます。

X フィードスルーを計測するためのクロスプロット・テストのセットアップを図 33 に示します。この場合は、乗算器の X 入力（オシロスコープの代わりに X-Y プロッタを使用して大きなスケールの記録を残すこともできます）を 20 V_{p-p}、10 Hz の正弦波で駆動し、Y 入力を接地します。乗算器の出力は、感度 20 mV/cm のオシロスコープの垂直チャンネルに直結で接続します。正弦波の X 駆動信号は、感度 2 V/cm のオシロスコープの水平入力に直結（±10V F.S.）で接続します。

オシロスコープ・トレースはスクリーンの中央に合わせます（ゼロ入力とゼロ・フィードスルーが原点）。

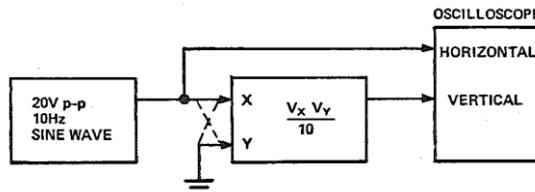


図 33: X フィードスルー計測用に接続されたクロスプロット・テストのセットアップ。
Y フィードスルーの計測時は X 入力と Y 入力を交換します。

このテスト・セットアップを使って撮影したトランスコンダクタンス乗算器の X フィードスルーの写真を図 34 に示します。対称な放物線の形状は、X フィードスルーの非線形形成分が X^2 に比例していることを示しています。X フィードスルーのピーク値は 50 mV で、 $X = +10 \text{ V}$ および -10 V で発生します。図 35 は、追加的な線形形成分が X フィードスルーに及ぼす影響を示しています。これは Y_{os} によって生じます。この図の放物線は、もはや対称ではありません。 $+10 \text{ V}$ 側の端は -10 V 側の端より高く、その差は 40 mV です。

TABLE: MULTIPLIER TEST MATRIX

Test	V_x	V_y	E_o	Read Error On
Offset	0	0	$0 \pm E_{os}$	DVM
X Feedthrough	20V p-p	0	—	Scope
Y Feedthrough	0	20V p-p	—	Scope
X Nonlinearity	20V p-p	+10V	—	Scope
X Nonlinearity	20V p-p	-10V	—	Scope
Y Nonlinearity	+10V	20V p-p	—	Scope
Y Nonlinearity	-10V	20V p-p	—	Scope
Full-Scale Errors				
I	+10V	+10	$+10V \pm \epsilon$	DVM
II	-10V	+10V	$-10V \pm \epsilon$	DVM
III	-10V	-10V	$+10V \pm \epsilon$	DVM
IV	+10V	-10V	$-10V \pm \epsilon$	DVM

これは、 $20 \text{ mV}_{\text{p-p}}$ の「線形」 X フィードスルーがあることを示しています（このフィードスルーは Y_{OS} を調整することで解消できます）。

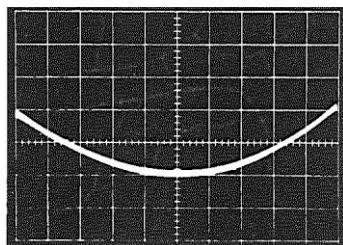


図 34: 非線形（放物線）成分だけを示す X フィードスルーの測定値
($X = \pm 10 \text{ V}$ 、垂直スケール: $20 \text{ mV}/\text{div.}$)

Y フィードスルーは、テスト・セットアップの X 入力と Y 入力を交換することによってクロスプロットできます。

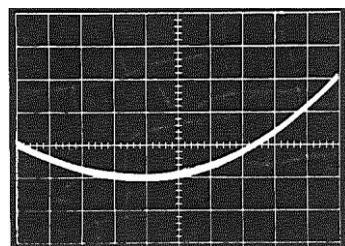


図 35: Y_{OS} を最適化していない X フィードスルーの測定値
($X = \pm 10 \text{ V}$ 、垂直スケール: $20 \text{ mV}/\text{div.}$)。追加線形項 = $40 \text{ mV}_{\text{p-p}}$ 、 $\text{Y}_{\text{OS}} = 20 \text{ mV}$ 。

クロスプロット手法は、図 36 に示すように、非線形性の計測にも応用できます。

図 37.DC 精度（誤差）、 V_{OUT} 、 I_{OUT} 、 Z_{OUT}

図 38.オフセット

図 39.低周波数フィードスルー、クロスプロット 図 40.非線形性、クロスプロット

図 41.ベクトル誤差、セトリング時間

図 42.1 % 誤差帯域幅、非線形性と周波数の関係

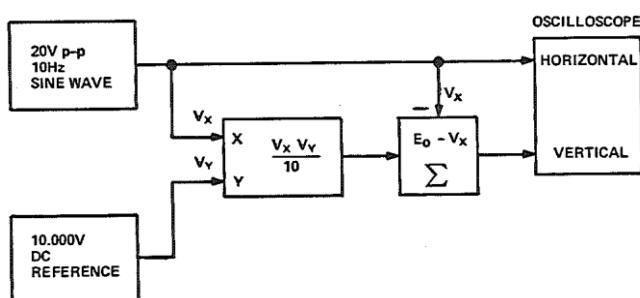
図 43.フィードスルーと周波数の関係

図 44.位相シフト、微分位相シフト

図 45. f_p 、 f_t 、スルーレート、過負荷回復、立上り時間

図 46.より高度な非線形テスト

図 47.多目的乗算器テスト・ボックス

図 36: $Y = 10 \text{ V}$ で X の非線形性を計測するためのクロスプロット・セットアップ。

$Y = -10 \text{ V}$ の場合は、加算ブロックが $E_o + V_x$ を計算する必要があります。

Y の非線形性を計測するには X と Y を交換します。

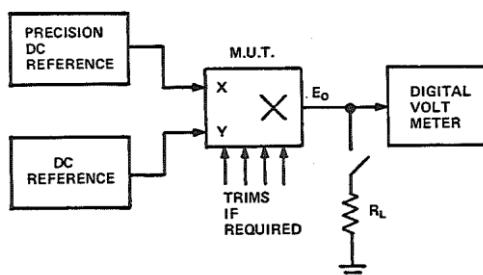


図 37: DC 精度、定格負荷での出力電圧および電流レンジ、出力抵抗を計測するためのテスト・セットアップ

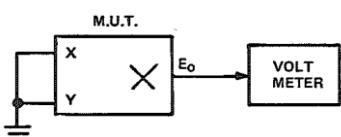


図 38: 出力オフセットの計測

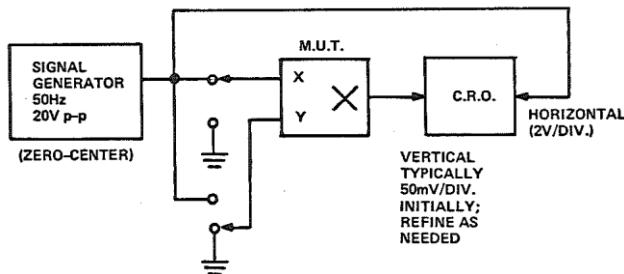


図 39: 低周波数フィードスルー・クロスプロット

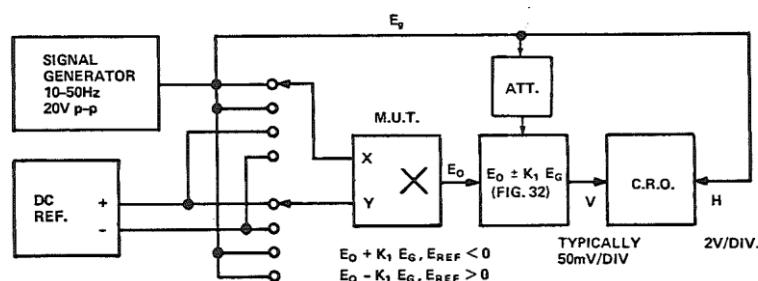


図 40: 非線形性クロスプロット

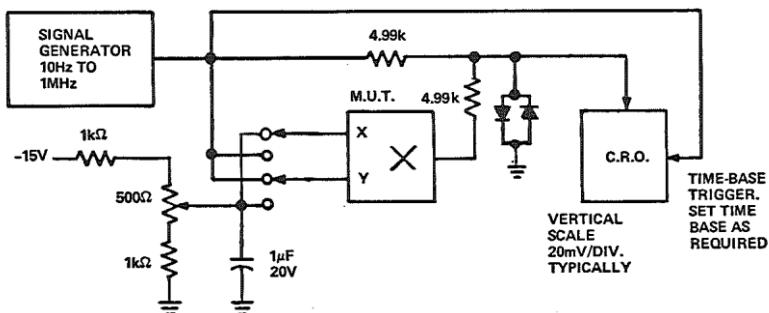
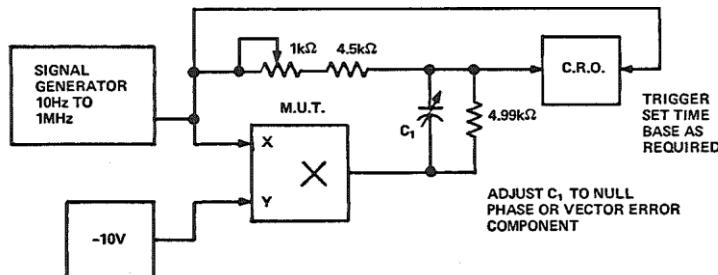


図 41: ベクトル（瞬時）誤差、セトリング時間

図 42: 1% 誤差帯域幅、X 非線形性と周波数の関係
(第 3 象限と第 4 象限)

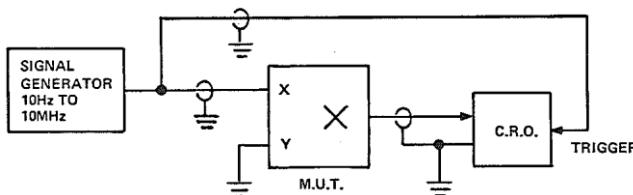


図 43: X フィードスルーと周波数の関係

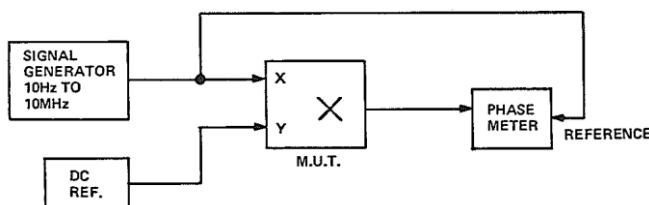


図 44: 位相シフト、微分位相シフト

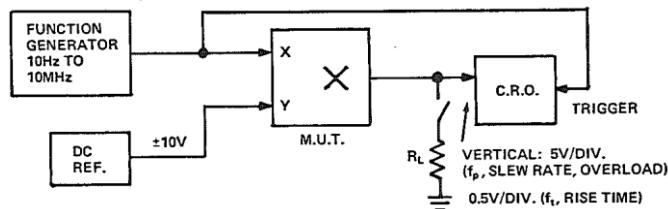
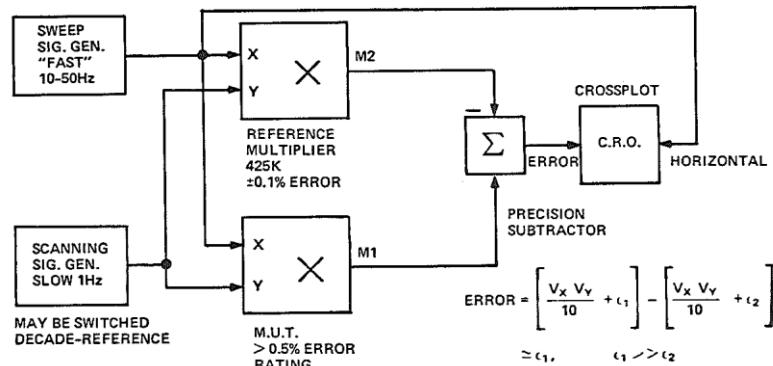
図 45: フルパワー周波数／スルー・レート／過負荷回復、
小信号振幅応答と立上り時間、出力電流と電圧

図 46: 正確な乗算器をリファレンスとして使用する高度な X 非線形性テスト。
X 入力が「適切」な周波数で掃引され、Y 入力信号がその範囲を
ゆっくりとスイングします。Y の非線形性をチェックするには
入力を逆にします。Y を連続的に掃引すると、
信号のエンベロープが最悪条件の誤差の大きさを示します。

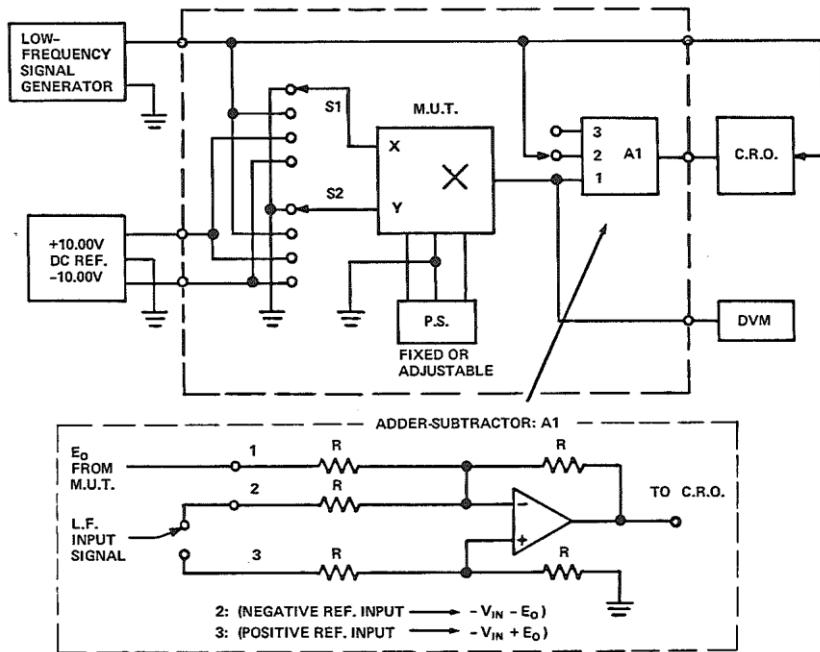


図 47: 多目的テスト・ボックス

注記: これらのテスト回路は、主に 4 象限デバイスをテストするために設計されています。1 象限デバイスのテストはいくつかの点が共通していますが、以下のように多少の違いがあります。

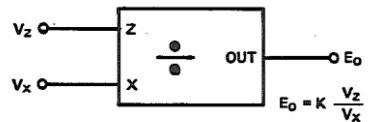
1. 第 2 象限と第 3 象限、および第 3 象限と第 4 象限でのデバイスの負のゲインの利点を利用して、一方の入力を負電圧とし、さらに入力と出力の受動加算を行うテストは使用できません。高精度減算、または（十分な精度がある場合）CRO 差動入力のどちらかを使用する必要があります。
2. 一般に、1 象限デバイスは、入力信号発生器の出力をハーフスケールでバイアスする必要があります。ピーク to ピーク・スイングは 10 V です（0 ~ 10 V デバイスの場合）。
3. 対数デバイスの場合、応答の全体像を知るには、間隔を置いてバイアスした小信号を使って（例えば $9V \pm 1V$ 、 $0.9V \pm 0.1V$ など）、それらのデバイスに何セットかの小信号テストを行わなければならぬことがあります。

3-3 除算器（比回路）

アナログ「除算器」回路は、2つの入力電圧または電流の比に比例した出力電圧または電流を生成します。便宜上、この章では、入力と出力は電圧であるとします（別途注記がある場合を除く）。

$$E_o = K \frac{V_z}{V_x} = V_r \frac{V_z}{V_x} \quad (1)$$

また、分母を V_x 、分子を V_z 、出力を E_o で表します。大きさのスケール・ファクタ K （または V_r ）は通常 10 ボルトです。入力の比が 1 の場合、出力は K に等しくなります。理想アナログ除算器の入力／出力の関係が図 1、2 および 3 にまとめてあります。



$K = \text{SCALE FACTOR (VOLTS)} = 10V \text{ (MOST COMMON)}$
 $K = 1V \text{ IS USEFUL FOR } V_z > V_x$

図 1: 除算器のブロック図

変数の動作領域（動作象限）は、分子入力と分母入力、および出力の極性と大きさの範囲によって決まります。図 2 は、通常の極性関係（バイポーラの分子と正の分母）の 2 象限除算器の入力の動作領域を示しています。

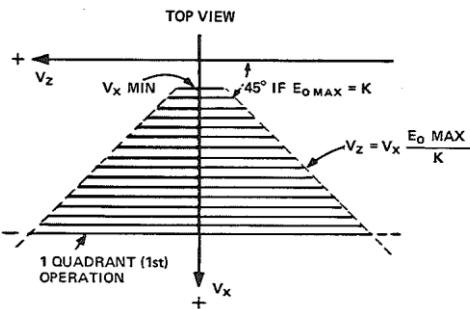


図 2:2 象限除算器の関数表面を上から見た図
(分母を一定にした場合の要素を複数表示)

分子と分母両方の極性を 1 つ（通常は正）に制限した場合、除算器は 1 象限の横線で覆われた部分で動作します。一般に、分母の極性は 1 つに制限されます。これは、一方の極性から他方の極性へ移行するには分母がゼロを通過しなければならないためで、分母がゼロになると（分子も同時にゼロにならない限り）出力を無限大にする必要があります。

$V_x = 0$ 付近の領域を除外することに加えて、実際のアナログ除算器の動作領域は、1 象限全体あるいは半平面全体をカバーしません。これは、分子の許容最大値が、分母の大きさと、出力レンジまたはスケールファクタのどちらかに依存するためです。

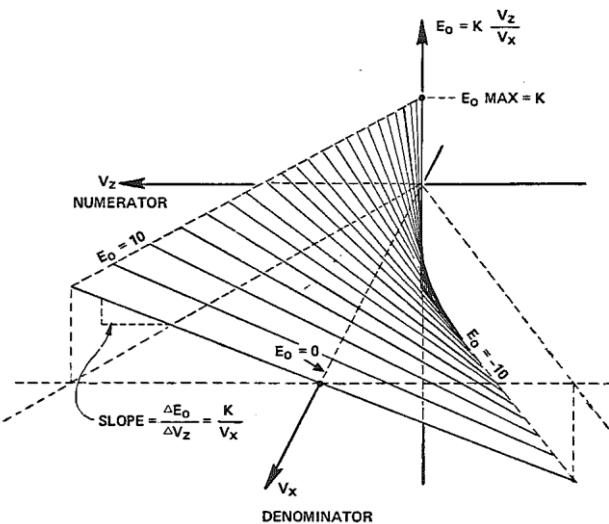
$$V_{z \max} = \frac{E_{o \max}}{V_r} \cdot V_x \quad (2)$$

$E_{o \max} = K$ (= 10 V) のケースでは、入力領域が 45° の線を境界とする $V_z \leq V_x$ の部分に制限されます。 V_x の値が小さい場合、動作領域は、妥当な性能を保証できる分母 $V_{x \min}$ の最小値によって、さらに制限されます。

理想除算器の入力と出力の関係は、3 つの変数に関係する 3 次元曲面を考えることによって可視化できます。

* バイポーラの分子と分母を使用できる 4 象限除算器を構成して（ただし、分母がゼロになる付近の「禁止ゾーン」を除く）、正しい極性関係の出力を生成することは可能ですが、このような除算器が役立つ用途はほとんどありません。

図 2 はこの曲面を上から見た図で、 x が一定の複数の要素を示しています。 V_x の各値について、出力は V_z に対し線形です。図 3a は、この曲面を透視図で示したものです。この曲面は、2 組の直線要素、つまり、(1) 一定の V_x と一定の E_o によって構成されています。図 3b は、 E_o が一定の線を示した図です。 E_o は、 V_x 軸沿いではゼロに等しく、 $V_x = V_z$ 面と $E_o = K$ 面の交線上では K に等しくなることが分かります。



a. 一定分母要素を表示した 2 象限除算器の入出力曲面

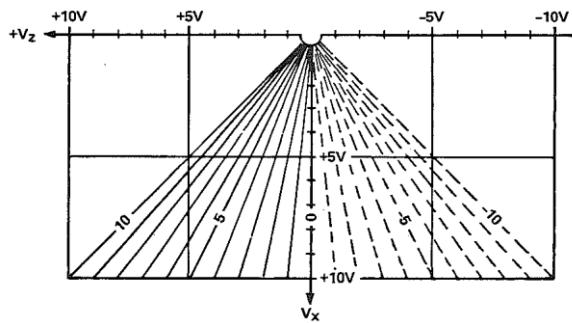
b. E_o の等值線 (1 V の等值線間隔、 $E_o = 10V_z/V_x$ 、 $V_x > 0$)

図 3: 2 象限除算器 – 入力／出力曲面

また、 V_x 軸に垂直な任意の面と交わるところは V_z に比例した直線になります。曲面が V_z 軸に垂直な任意の面と交差する線上では、 E_o は V_x に逆比例します。この曲面は、 V_x がゼロに近付くにつれて垂直に近くなり、 V_z が正の場合は $+\infty$ に、 V_z が負の場合は $-\infty$ に向かいますが、実際にはそのかなり手前で、 $E_o = K$ 面と $V_x = V_z$ 面の交線によって切り取られます。

理論的には、 $\pm V_z$ と V_x が一緒にゼロに近付くにつれて、出力は $\pm K$ に近付きます。

$$\lim_{|V_z| = V_x \rightarrow 0} K \cdot \frac{V_z}{V_x} = K \quad (3)$$

理論とは異なり、一般に、実際の除算器の出力は、ある最小値より小さい分母に対しては定義されません。これは通常 $10 \text{ mV} \sim 1 \text{ V}$ ですが、デバイスの特性により異なります。

アナログ除算器の誤差

これまでずっと、除算は、四則演算の中でアナログ計算デバイスによる実装が最も難しいとされてきました。この難しさは、主に除算の性質によるものです。（分子がゼロでない限り）分母がゼロに近付くと比が極めて大きくなり、無限大に近付いていきます。従って理想除算器は、潜在的に「無限大」のゲインとダイナミック・レンジを備えていなければなりません。実際の除算器では、 V_x の値が小さいとドリフトとノイズが大きくなるので、これら両方の要素が制限されます。

つまり、分子に対する除算器の「ゲイン」は、分母の値に逆比例します（図 4）。一方、分子と分母の大きさが変化しても分母に対する分子の比が一定のままであれば、商は一定です（図 5）。

実際のアナログ除算器の出力は、一般に入力の大きさに依存する量だけ、2 つの入力の理論的な比と異なります。

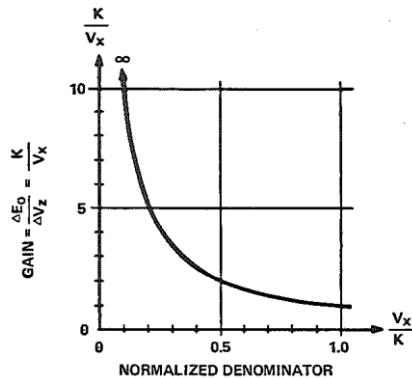


図 4: 分母電圧の関数としての除算器のゲイン

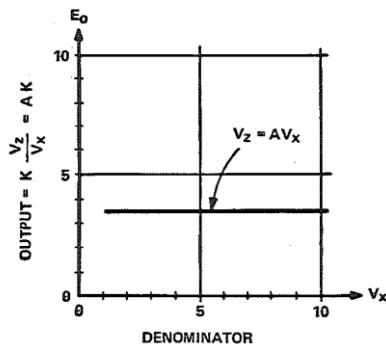


図 5: 分子と分母の比が一定 (A) の場合の除算器出力

全体誤差は複数の要素の正味の影響で、その中で最も重要なものは以下の通りです。

誤差のタイプ

1. 分子のオフセット、 Z_{OS}
2. 分母のオフセット、 X_{OS}
3. 出力オフセット、 E_{OS}
4. スケール・ファクタ誤差、 ΔK
5. 非線形性、 $f(V_z, V_x)$

大きさのおよその範囲

- | |
|----------------------------|
| V_{zmax} の 1 % ~ 0.001 % |
| V_{xmax} の 1 % ~ 0.001 % |
| E_{omax} の 1 % ~ 0.01 % |
| K の 1 % ~ 0.05 % |
| V_z, V_x の 5 % ~ 0.05 % |

これらの誤差の影響は、「理想」除算器の式に組み入れるとはっきり分かれます。

$$E_o = (K + \Delta K) \frac{V_z + Z_{os}}{V_x + X_{os}} + E_{os} + f(V_z, V_x) \quad (4)$$

この式を書き換えて、誤差の組み合わせが output に及ぼす影響を整理することができます。

$$E_o = (K + \Delta K) \frac{V_z}{V_x + X_{os}} + \underbrace{\frac{(K + \Delta K)Z_{os}}{V_x + X_{os}}}_{\text{input offset referred to output}} + \underbrace{E_{os}}_{\text{output offset}} + f(V_z, V_x) \quad (5)$$

scale-factor error ratio error non-linearity

total output offset

これらの項を個々に検討します。

- スケール・ファクタ誤差 ΔK は、 V_z または V_x のレベルに依存しません。しかし、後に示すように、 X_{OS} による追加的な誤差が存在します。これは、 V_x の解釈と、範囲のどの部分を使用するかに応じて、追加的な X の線形性誤差、あるいは V_z に関する可変スケール・ファクタと見なすことができます。 $X_{OS} = 0$ の場合、この項は単純に ΔK 誤差を伴う理想除算を表します。 X_{OS} が V_x との関係で大きくなってくると、 E_O/V_z の関係のスロープに影響を与えます。 X_{OS} が負 (V_z はゼロ以外の値) の場合は、 V_x が正の値 $-X_{OS}$ に近付くにつれて、比の値が急激に増加する傾向があります(図 6)。

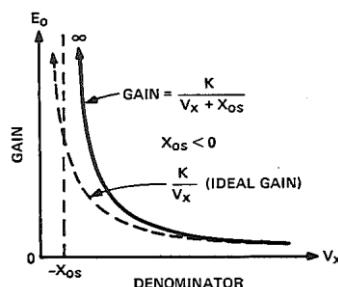


図 6: 出力での除算器のゲイン誤差を分母 X の関数として表したプロット
($X_{OS} < 0$)

V_z が正確にゼロの場合、通常は K がフルスケールなので、出力が $K + \Delta K$ に制限されるのがせめてもの慰めで、 V_z がゼロからごくわずかずれるだけで出力が制限値にドライブされます。 X_{OS} が正の場合は V_x の範囲内でゲインが無限大となることはありませんが、 V_x の値が小さいと、大きな線形誤差が生じます（図 7）。特に、 $V_x = X_{OS}$ ではゲインが半分になります。

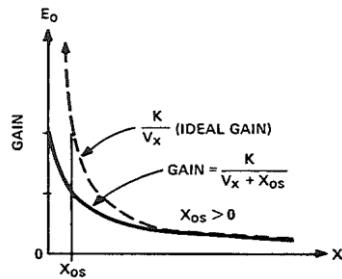


図 7: 出力での除算器のゲイン誤差を分母 X の関数として表したプロット ($X_{OS} > 0$)

2. 出力を基準とした「入力オフセット」誤差。

$$(K + \Delta K) \frac{Z_{OS}}{V_x + X_{OS}} \cong K \frac{Z_{OS}}{V_x + X_{OS}}$$

分子オフセット Z_{OS} は、ゲイン $K / (V_x + X_{OS})$ に支配されます。 X_{OS} がゼロで Z_{OS} がゼロ以外の値を取る場合、この項は V_x がゼロに近付くに従って急増し、いずれにしても、 $V_x < K$ の場合は Z_{OS} の値が増加します。 X_{OS} の値は「急増点」（漸近線）を変更する役割を果たします。 X_{OS} が負の場合は、 V_x の値が正の値 $-X_{OS}$ となる点でオフセット誤差が「無限大」になります。 X_{OS} が正の場合、オフセット誤差は増加しますが無限大にはなりません（これもせめてもの慰めですが）。 $Z_{OS} = 0$ の場合は、出力を基準とした入力オフセット誤差はゼロになります ($V_x + X_{OS} = 0$ の時は例外で、この場合は K に等しくなります）。

3. 出力段のオフセットは V_z と V_x に依存せず、増加することもないで、入力オフセットによって生じる出力誤差と比べると、一般的にこの誤差源は無視できます。

その影響は、分母のダイナミック・レンジが通常大きくなき線形化などのアプリケーションで最も顕著です。これらのアプリケーションでは E_{OS} をゼロにトリムして、その温度係数の影響を考慮する必要があります。

4. 出力非線形性 $f(V_z, V_x)$ は、他のすべての誤差をゼロに調整した状態で、直線要素（図 3）の非線形性として確認することができます。 V_z （分子）の非線形性は、 V_x を一定に保った状態で、 E_0 が V_z との比例関係からどのくらい外れるかを表します。図 8 は分子の非線形性の代表的なプロットで、出力から KV_z/V_x を差し引いて計測しました。分母の関数（実際には比の関数）としての非線形性は、 V_x と $\pm V_y$ をともに一定の比で変化させるとときの（図 3b の「螺旋階段」の放射状の直線要素）、計測比の理論比からの偏差として定義されます。

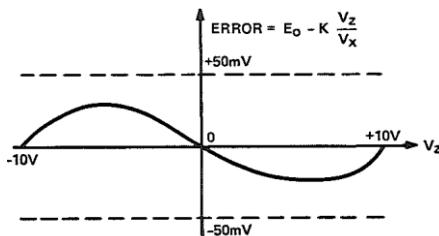


図 8: 分子電圧 (V_z) の関数としての非線形性。分子 = 一定

よく知られた線形性の概念に基づいて述べた、これらの容易に定義できる偏差の他に、 V_x の関数としての出力（ V_z は一定に維持）を理想出力と比較して、放物線に対する忠実度を考えることもできます（ただし実用性は劣ります）。分母オフセット、分子オフセット、およびスケール・ファクタ誤差による誤差は除外します。一般に、非線形性は、図 9 に示すように分母電圧の値が小さい時にゲインが限定されるという形で現れてきます。ゲイン K/V_x は、 V_z を一定に保ち、 V_x を横軸に取って垂直にプロットされます。ゲインは、 V_x の減少に伴って V_x が小さい値になるまで双曲線状に増加し、ピークに達し、そこから減少に転じて $V_x=0$ でゼロになります。ゼロ X 入力は、回路の電流または電圧をシャットオフしてゲインをゼロにすることに相当するので、この種の著しい「分母の非線形性」は、アナログ除算器ではかなり一般的なものです。

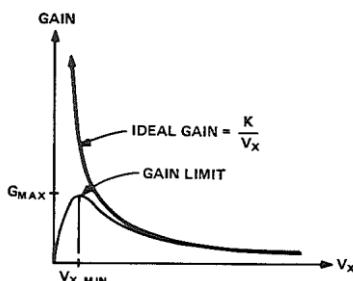


図 9: 低い値の分母電圧での限界ゲイン

除算器の誤差 — まとめ

以上のすべての考察に基づき、優れたアナログ除算器は以下の特性によって見分けることができます。

1. 比関数に対する忠実度: 「ゲイン」 (K/V_x) は、分母の値の広い範囲にわたって、分母に反比例して変化する必要があります。
2. オフセット、ノイズ、ドリフトといった分子と分母の入力誤差は、最小入力値よりも十分に小さい値でなければなりません。
3. (1) と (2) の要件が満たされていれば、分子と分母の一定の比に対して、分子や分母の大きさに関わらず、除算器の出力も一定です。例えば、 $10/10 = 0.01/0.01 = 1$ 、 $1/10 = 0.001/0.01 = 0.1$ です。

除算器回路

このセクションでは、最も一般的な 3 つの除算器回路を取り上げます。

1. 逆乗算器
2. 直接可変トランジスタコンダクタンス除算器
3. 対数／逆対数除算器

これらの回路の設計は、主に、3-2 項に述べた乗算器回路に基づいています。これらの回路は原理的、回路的に、さらに物理的外観が似通っており、実際に同じものもあります。除算には他の手法も存在しますが、上に挙げた 3 つが最も一般的で、その設計と性能に関する詳しい説明により、あらゆる実用目的に合うアナログ除算器全般に関する十分な理解が得られます。

逆乗算器

「逆乗算器」は最も広く使われているアナログ除算器回路です。ほぼすべての汎用 2 入力乗算器は、この手法を使って除算を実行できます（ほとんどが実行しています）。回路は、図 10 に示されているように、オペアンプの帰還素子として接続された乗算器で構成されます。この回路の順方向伝達関数は帰還関数の逆関数となるので、乗算関数が逆関数化されて除算器を形成します。

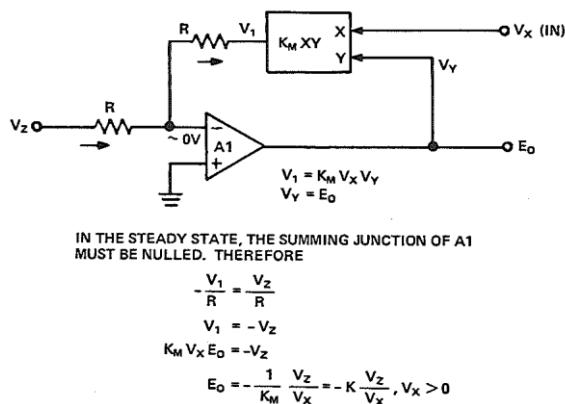


図 10: 「逆乗算器」の除算器回路

具体的には、乗算器が、電圧制御ポテンショメータのように、オペアンプ周囲の負帰還回路のループ・ゲインを制御します。乗算器への X 入力電圧が減少すると、それに比例して Y 入力から乗算器出力へのゲインが減少して、負帰還（およびループ・ゲイン）が減少します。乗算器出力は Z 入力とのバランスを取らなければならないので、これに比例して乗算器の Y 入力を増加させなければなりません。乗算器の Y 入力は回路の出力によって供給されるので、Z 入力は、X の減少率と同率で増幅されます。

X（つまり分母）入力をゼロまで減少させると帰還がゼロになり、Z 入力とアンプ出力の間のゲインがオペアンプのオープンループ・ゲインになります。オペアンプと乗算器が「理想的」であるとすれば、分母がゼロの場合の順方向ゲインは無限大になります。

もちろん実際のオペアンプには無限大のゲインはなく、また、実際の乗算器には常に有限のフィードスルーがあるので、実際の除算器のゲインは分母がゼロになっても有限です（ただし、ノイズとオフセット誤差が有限ゲインに関する問題を非現実的なものにする傾向があり、少なくとも一般にオペアンプのオープンループ・ゲインが十分大きい低周波数では、特にそうです）。

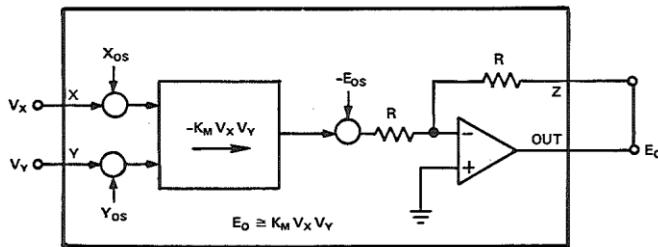
あらゆる乗算器回路は、その動作原理に関わらず、（概念的には）このような形で除算を行わせることができます。しかし、クローズドループの安定化、入力形式の不適合、応答の遅さ、高価格などの現実的な問題により、選択肢が狭められる傾向があります。実状として、（3-2 項に示したように）可変トランスクンダクタンス乗算器が、価格、速度、精度、および（IC としての）サイズの全体的組み合わせが優れているので、これらの乗算器を逆向きに使って除算器を構成することが、除算の手段として普及するだろうと考えるのは理解できます。

実際の逆乗算器型除算器の性能

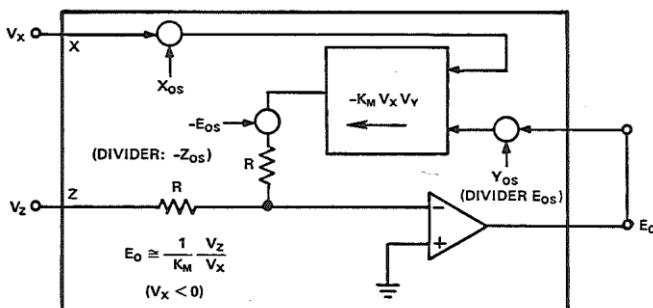
概念的には、あらゆる乗算器は、図 10 に示すように 1 個のオペアンプと 2 個の抵抗を追加することによって除算器に変換できます。しかし、最も汎用性の高い 4 象限乗算器には出力アンプとそれに対応する抵抗が含まれていて、出力アンプのループを外部的に閉じる必要があります。これらの乗算器は、図 11 に示すように乗算器入力と帰還抵抗を接続し直すことによって、すぐに 2 象限除算器に変換できます。

通常、（広帯域デバイスを除いて）オペアンプの誤差は乗算器に比べ大きくなないので、逆乗算器型除算器回路の性能は主に乗算器の性能に依存します。望まれる除算器性能に応じて、誤差範囲が 1 % 以上の可変トランスクンダクタンス乗算器か、誤差が 0.1 % 前後のより正確なパルス変調タイプを使用することができます。これらの乗算器の特性と回路については 3-2 項で説明します。

通常、1 % 乗算器には、かなりのオフセットと非線形性があります。除算器としては、その分母のダイナミック・レンジが約 10:1（つまり、誤差とドリフトが 10 倍）に制限されます。



a. オフセット誤差が影響する箇所を示した乗算器接続



b. 等価除算器オフセット誤差を示した除算器接続

図 11: 「逆乗算器」型除算器における乗算器誤差と除算器誤差の関係

誤差 0.1 % の乗算器は誤差とドリフトが小さいので、分母の有効ダイナミック・レンジは 100:1 に増加しますが、10:1 を超える範囲では、やはり誤差とドリフトが大きくなります（図 12）。

仕様に規定されている乗算器性能は、除算器誤差の予測に使用できます。その関係の概要を表 1 に示します。式 (5) は、乗算器の仕様に基づいて除算器性能を記述するために、乗算器パラメータを使って書き直すことができます。

$$E_o = \frac{1}{K_m - \Delta K} \cdot \frac{V_z}{V_x + X_{os}} + \frac{1}{K_m} \cdot \frac{E_{os}}{V_x + X_{os}} + Y_{os} + f(E_o, V_x) \quad (6)$$

ここで K_m は乗算器のスケール定数 = $1/V_r$

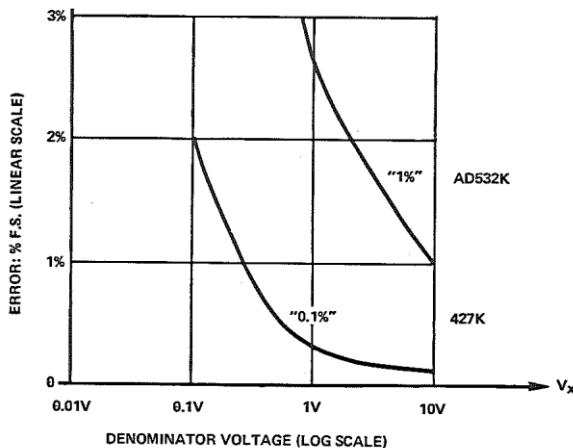


図 12: 1 % および 0.1 % 「逆乗算器」型除算器の合計誤差と分母の関係

表 1. 除算器パラメータと乗算器パラメータの関係

Multiplier Parameter	Corresponding Divider Parameter	Principal Output Component of Divider
A. "Linear" Effects		
1. Output offset, E _{os}	Numerator offset, Z _{os}	K E _{os} /V _x
2. X-Input offset, X _{os}	Denominator offset, X _{os}	K V _z /(V _x + X _{os})
3. Y-Input offset, Y _{os}	Output offset, E _{os}	Y _{os}
4. Scale factor, K _m = 1/V _r	Scale factor, K = V _r	K V _z /V _x
B. Nonlinear Effects (other errors minimized)		
5. X Nonlinearity	Nonlinearity of constant ratio, V _y = E _o	(K _m V _x V _y - E _o)/K _m V _x (V _y const) X _{NL} /K _m V _x
6. Y Nonlinearity	Numerator nonlinearity	(K _m V _x V _y - E _o)/K _m V _x (V _x const) Y _{NL} /K _m V _x
C. Dynamic Error (incremental)		
7. Bandwidth (-3dB frequency)	Bandwidth (-3dB frequency)	f _{-3dB} V _x /K

図 13 は、2 つの代表的乗算器について、ユニティ・ゲイン ($K/V_x = 1$) と、それより高ゲインごとの周波数応答を、それぞれの実用的除算範囲内で示したグラフです。

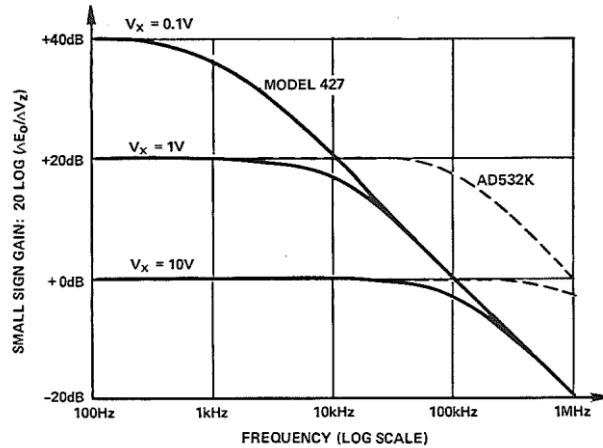


図 13: 「除算」モードで接続した 2 つの乗除算器の分母電圧の関数としての小信号応答

「逆乗算器」型除算器の性能はこのように限定されており、不注意な設計者にとっては多くの落とし穴があるので、その使用（とにかく低価格の汎用 IC 乗算器が関係するもの）は、線形化など、分母変化のダイナミック・レンジが小さいアプリケーションや、デバイス価格をできるだけ低くすることが不可欠なアプリケーションに限る必要があります。以下のガイドラインは、問題が発生した場合の影響を最小限に押さえるためのものです。

1. 低価格であることが最重要課題であって、最良の結果を実現するために適切な代償を払うことが可能でない限りは、「逆乗算器」の使用を避けます。予想される分母範囲と周囲温度範囲に対して最大誤差仕様が保証されている、内部トリムされた専用の 1 象限または 2 象限除算器を、いつでも代替として検討できるように用意しておきます。
2. 汎用乗除算器を除算器として使用する場合は、主に、分母に対する帯域幅、精度、およびドリフト誤差の領域の性能を検討します。多くのアプリケーションでは、当初考えていたよりも高速で、より正確な乗算器が必要になるものです。

可能であれば、入力および出力オフセットを外部トリムします。この場合は、除算器のテストと調整（本章後述）に概要を示すトリム手順に従います。ガイドライン 2 を適用するにあたっては、以下の点を考慮してください。

A. 室温では、分母が小さくなるにつれて大きくなる誤差に対して余裕をもたせます。小信号には常にプリアンプ増幅を行って、分母を 10 V フルスケールにスケーリングし、分母のダイナミック・レンジは、アプリケーションが許容する最小のレンジを使用してください。また、フルスケールの分母に必要とされる精度より高い精度の乗除算器を使用します。経験則として、外部トリムを使用する場合、除算に使用する乗算器の合計誤差は、 $V_x = 1V$ で（乗算の）約 3 倍です。外部トリムを行わないと、合計誤差は約 10 倍になります。複数のデバイスの除算器誤差を比較したグラフを、図 24 に示します。

例: あるシステムは、誤差が（10 V フルスケールの）1 % 未満で、分母の範囲が 1 V ~ 10 V の 2 象限除算器を必要とします。トリミングが可能な場合は、誤差が約 (1/3) % の乗算器（例えば、0.25 % の 427J、または 0.5 % の 426L）を選択します（トリミングに対する異論の 1 つは、各交換ユニットには微調整が必要なので現場での交換が煩雑になることです）。トリミングの余地が無い場合は、誤差 (1/10) % の乗算器が必要です。つまり、0.1 % 乗除算器は、分母が 1 V の除算モードで $\pm 1\% = 0.1\text{ V}$ の誤差になります。

B. 分母が小さい場合は、オフセットとスケール・ファクタ・ドリフトの増大、およびノイズの増大に対して余裕を持たせます。すでに述べたように、ノイズとオフセット・ドリフト誤差は分母の大きさに逆比例します。さらに、分母のドリフトが見かけのスケール・ファクタの大きさに与える影響のために、スケール・ファクタもドリフトします。

例: システム要件により、10:1 の分母範囲と $\pm 5^\circ\text{C}$ の温度範囲に対する最大オフセットは、 $\pm 20\text{ mV}$ でなければなりません。この場合、乗算器の許容オフセットは次式のようになります。

$$\frac{20\text{mV}}{5^\circ\text{C}} \times \frac{1\text{V}}{10\text{V}} = 0.4\text{mV} / ^\circ\text{C}$$

図 26 と 29 は、温度による特定デバイスのドリフトを分母電圧の関数として表しています。

C. 分母の減少に伴う帯域幅の減少に対して余裕を持たせます。すべての「逆乗算器」型除算器の小信号帯域幅は、分母の大きさに直接依存します。これらの除算器のほとんどはゲイン・ロールオフが -6dB/octave で、帯域幅と分母レベルの関係は線形です。

$$f_c = f_{c_{\max}} \frac{V_x}{K}$$

ここで f_c は -3 dB 帯域幅、K は除算器のスケール・ファクタで、通常は 10 V です。

いくつかの除算器の帯域幅と分母の関係を示すデータを図 27 と 28 に示します。

D. 可能であれば、分子、分母、および出力オフセットを調整します。スケール・ファクタ・トリムも使用できますが、スケール・ファクタは、どちらかの入力変数のゲイン調整、あるいは出力の接続先でのゲイン調整として、システム内の他の場所で調整できるので、多くの場合は不要です。最良の精度を実現するには、「除算器のテストと調整」に示す概要に従って除算器をトリムします。3 つのオフセット・トリムすべてを使えない場合は、少なくともいずれか 1 つを選択します。

1. 分子オフセット・トリム (Z_{OS} または E_{OS}) は、分母の変化に伴う出力オフセットのシフトを制御します。分母範囲が 3:1 を超える場合は、このトリムが不可欠です。
2. 出力オフセット（乗算器の Y 入力を介して帰還が行われる場合は Y_{OS} ）は、合計出力オフセットの固定部分を制御します。 Y_{OS} の調整は、分母範囲が 3:1 以下の時に、合計出力オフセットを最小限に抑えるために使用できます。
3. 分母オフセット（X 入力が分母の場合は X_{OS} ）は、分母の変化に伴う見かけ上のスケール・ファクタの変化を制御します。 V_x の範囲が（フルスケール入力から）約 3:1 に限定されることが予想される場合は、 X_{OS} トリムを無くすることができます。

2 象限可変トランスコンダクタンス除算器

直接可変トランスコンダクタンス除算器は、3-2 項で説明した線形化可変トランスコンダクタンス乗算器回路がベースになっています。乗算器回路の基本的な入力／出力変換式は次の通りです。

$$E_o = \frac{V_x V_y}{K_m I_{REF}} \quad (7)$$

I_{REF} を入力として使用した場合、この回路は 3 入力の同時乗除算器になります。2 象限可変トランスコンダクタンス除算器の回路図が図 14 に示されていますが、これは 3-2 項の図 10 に非常に良く似ています。

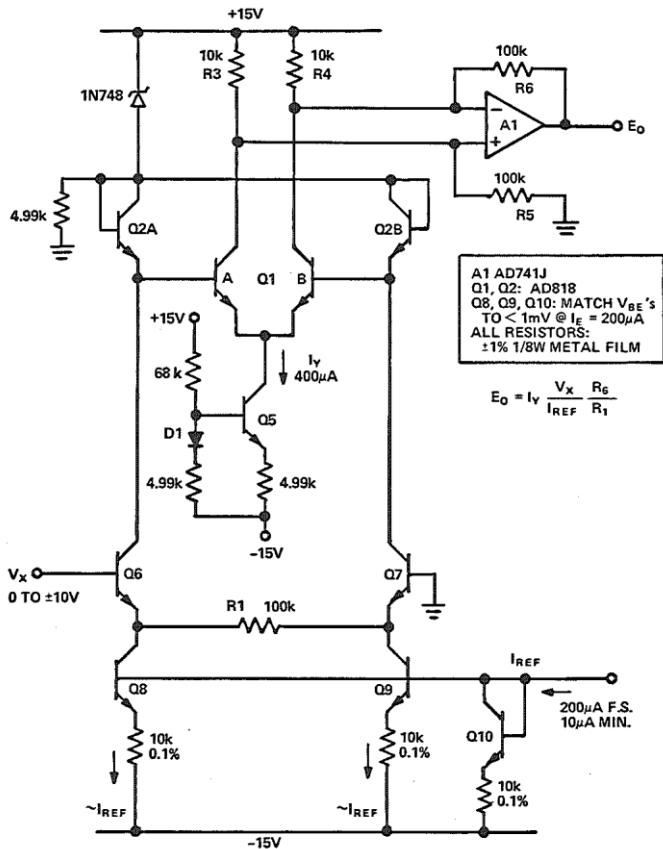


図 14: 実際の 2 象限可変トランスコンダクタンス除算器

電流 I_{REF} は、ダイオード接続トランジスタ** (Q2) に流れる待機電流を決定します。 I_{REF} が増加すると、ダイオードの動的抵抗は減少します。

$$r_E = \frac{kT}{qI_{REF}} \quad (8)$$

X 入力電圧は、2 個のダイオード間の合計電流の除算値を生成します（したがって、一方のダイオードの電圧降下は他方のダイオードの電圧降下より大きくなります）。差電流は次式で表されます。

$$\Delta I = \frac{V_x}{R_1} \quad (9)$$

I_{REF} の増加によってダイオード内の抵抗が減少すると、 ΔI によって生じる各ダイオード両端での電圧降下量が減少することは明らかです。逆に I_{REF} が減少する場合、ダイオード両端での電圧変化は V_x の関数として増加します。

ダイオード電圧の差は、差動ペア Q1 A-B により、固定ゲインで增幅されます (Y 入力を固定と仮定)。したがって、全体ゲインは (式 7 が示すように) I_{REF} に逆比例し、代表値で 20:1 という極めて広い範囲の I_{REF} に対して理想除算の式が適用されます。 I_{REF} に対する応答のダイナミック・レンジは、ダイオードおよび差動トランジスタの β と、 I_{REF} の減少に伴う X 入力アンプのエミッタ抵抗の増加によって主に制限されます。

このバージョンの可変トランスコンダクタンス除算器は帯域幅が非常に広く、最大 5 MHz の帯域幅を実現でき、帯域幅は分母の大きさに強く依存しません。例えば、AD531 IC 乗除算器は、除算のみにこの方式を使用します。このデバイスの帯域幅は、20:1 の分母範囲に対し 750kHz でほぼ一定しています。この除算器のディスクリート・バージョンは、10:1 の分母範囲に対して 5MHz の帯域幅を実現します。この回路の精度は適切な値に保つことができ、 $I_{REF} = 200 \mu\text{A}$ での誤差は約 0.5 %、 $I_{REF} = 10 \mu\text{A}$ での誤差は約 2 % です。

改良型 2 象限可変トランスコンダクタンス除算器

上に挙げた 2 象限トランスコンダクタンス除算器の精度とダイナミック・レンジは、いくつかの点を改良することによって大幅に改善できます。改良後の回路は、1000:1 (10 mV ~ 10 V) の分母範囲で正確な除算を行い、外部トリムを行うことなく 100:1 の範囲で ±0.5 % 未満の誤差を容易に実現することができます。さらに分子の非線形性が ±0.05 % と極めて低く、しかも分母の大きさに依存しません。

ある数値の自然対数の勾配はその数値の大きさに逆比例するので（式 8 の r_E がこのような勾配です）、可変トランスコンダクタンス回路は対数回路と見なすこともでき、その要素の対数動作によって解析することができます。

$$\frac{d(\ln x)}{dx} = \frac{1}{x} \quad (10)$$

$$\int \frac{1}{x} dx = \ln x + C \quad (11)$$

可変トランスコンダクタンス除算器では、分母が x (I_{REF}) の大きさを制御します。したがって、分子、つまり（図 14 の） V_x 信号のゲインを制御することになります。

改良型 2 象限除算器は、差動対数／逆対数関数を使用して除算関数を直接合成します。モデル 436 除算器の回路図と同様の除算器回路の簡略回路図を、図 15 に示します。

分母電圧 V_x は、R1 と R2 を通して、対称に配置された 2 個のトランジオード対数回路 Q1A-A1 と Q1B-A2 に加えられます（3-1 項参照）。分子電圧 V_z は、R3 を通して直接 Q1A-A1 に加えられ、反転されて $(-V_z)$ R4 を通して Q1B-A2 に加えられます。

分子電圧 V_z と分母電圧 V_x は電流に変換され、A1 と A2 の入力で加算されます。

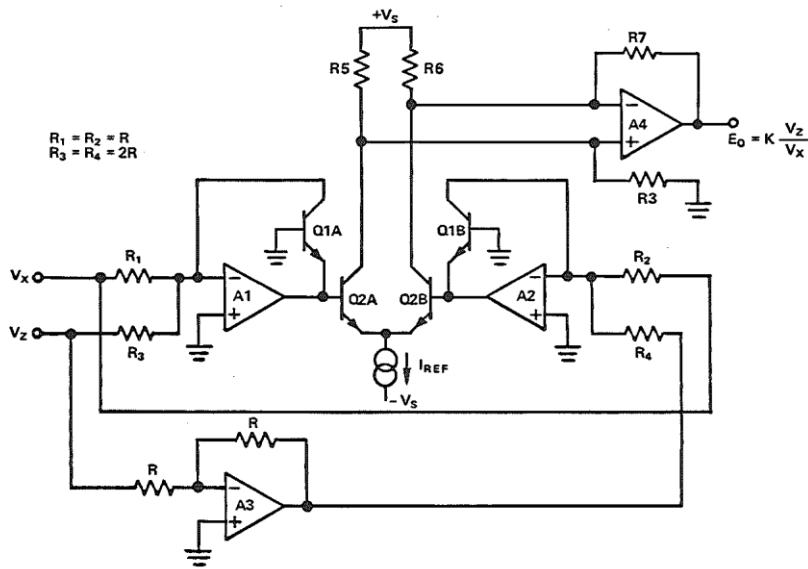


図 15:2 象限可変トランスマコンダクタンス除算器

R_3 と R_4 は $2 \times R_1$ と $2 \times R_2$ なので、 $Q1A$ と $Q1B$ の電流は $V_x + \frac{1}{2}V_z$ と $V_x - \frac{1}{2}V_z$ に比例します。したがって、次式が成り立つことから、 $A1$ と $A2$ の出力電圧は和と差の対数に比例します。

$$V_{EB} = -\frac{kT}{q} \ln \frac{I_c}{a_N I_{ES}} \quad (V_{cb} = 0) \quad (12)$$

$Q1A$ と $Q1B$ のエミッタの電圧が、一定和（リファレンス電流 I_{REF} ）で動作する差動逆対数回路 $Q2A-Q2B$ に加えられます。 $A4$ で差が取られる電流は次の形をしています。

$$I_c = a_N I_{ES} (\epsilon^{qV_{BE}/kT} - 1) \quad (13)$$

ただし、 $V_{CB} = 0$ と仮定します。

$Q2A-Q2B$ のコレクタ電流の差は、コレクタの負荷抵抗および加算抵抗 $R_5 \sim R_8$ とアンプ $A4$ によって、出力電圧 $2 \Delta I_c R_7$ に変換されます。

3-2 項のギルバート・トランスコンダクタンス乗算器の場合と同様の解析によって、容易に以下の関係を示すことができます。

$$\Delta I_c = \frac{I_{REF}}{2} \cdot \frac{I_z}{I_x} \quad (14)$$

ここで、

$$I_z = \frac{V_z}{2R}, \quad I_x = \frac{V_x}{R} \quad (15)$$

$$E_o = \frac{R_7 I_{REF}}{|I_z| < |I_x|} \cdot \frac{V_z}{V_x}, \quad |I_z| < |I_x| \quad (16)$$

V_z と V_x の比の関係は、トランジスタが理想接合方程式に従い、オペアンプの入力オフセット電流 (A1、A2) の影響を無視できる程度に正確です。（すでに示したように）トランジスタは少なくとも $10 \text{ pA} \sim 100 \mu\text{A}$ (7 ディケード、つまり 10^7 のダイナミック・レンジ) で理想的な電流電圧関係に従いますが、低価格のバイポーラ入力アンプには 0.5 nA (AD308) $\sim 5 \text{ nA}$ (AD201A) の入力オフセットがあるので、実際のところ、アンプの制限はトランジスタの制限よりも大きいと言えます。したがって、オペアンプに電流による 1 % の誤差に対するダイナミック・レンジは、 $0.01 \times 100 \mu\text{A}/0.5 \text{ nA}$ あるいは 2000:1 です。

回路の対称配置は、2 象限動作を低歪みで実現するには不可欠です。実際、対象バス内のすべての電流は完璧にバランスを取らなければなりません。そうしないと、分子と分母に 2 次高調波歪みが生じます。興味深いことに、分子の非線形性を示すオシロスコープの写真 16 と 17 には、Q2A と B のエミッタの抵抗による 3 次 (S 字形) 歪みだけが現れています。X と Z の入力抵抗のマッチングと、バランスの取れた回路構成との組み合わせによって、入力ログアンプの 2 次歪みは除去されています。

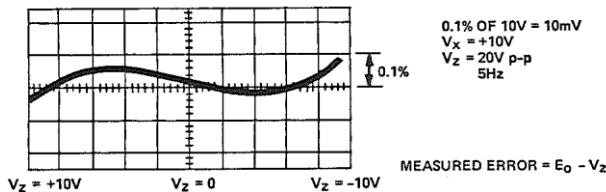


図 16:2 象限除算器の非線形性を分子入力の関数として表したグラフ。
分母は +10 V で一定。

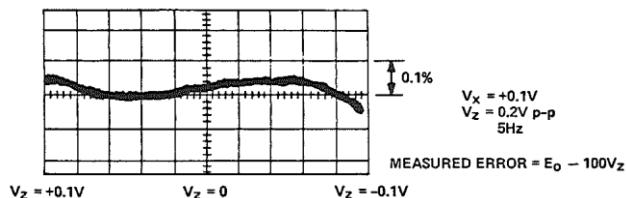


図 17: 分母が 0.1 V で他は図 16 と同じ。
フルスケール $\pm 10 V$ の出力スイングに対する分子スイングは $\pm 0.1 V$ 。

この可変トランスクンダクタンス除算器の帯域幅は、図 18 に示されてるほど分母の大きさに強く依存しません。その理由は、出力セクション Q2A と B、および A4 が、基本的に一定の高い電流レベル ($200 \mu A$) で動作するのに対し、ログアンプ A1 と A2 は、非常に低い出力スイング (約 0.3 V) と高いループゲインの疑似電流モードで動作するためです。

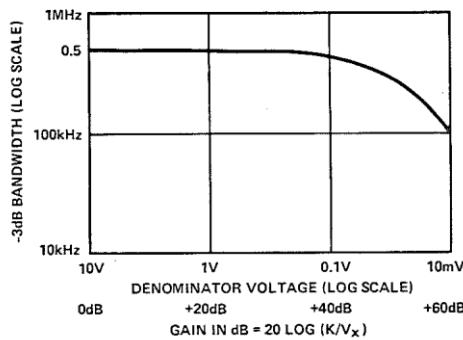


図 18: 分母電圧の関数としての 2 象限可変トランスクンダクタンス除算器の
小信号帯域幅 (-3 dB)。

以上をまとめると、可変トランスコンダクタンス除算器の広いダイナミック・レンジ、低誤差、および広い帯域幅は、この回路の 4 つの特長によります。

1. オペアンプの加算点への分子および分母入力が、入力オフセット、ノイズ、およびドリフトをできるだけ小さくします。それでも、出力の入力誤差は「K/分母」によって大きくなりますが、入力ドリフトは $10 \mu\text{V}/^\circ\text{C}$ 未満であり、出力オフセット・ドリフトは $V_x = K/100$ に対して $1 \text{mV}/^\circ\text{C}$ です。

2. 除算関数に対する忠実度: 線形比の対数／逆対数合成は、すべての有限分母 ($0 < x < \infty$) に対して理論的に正確です。ダイナミック・レンジの唯一の限界は、ハードウェアの理想性能からのずれにあります。トランジスタは 7 ディケードにわたって動作し、オペアンプは 3 ディケードにわたって動作します（オフセットとドリフトによって制限されます）。また、100:1 の分母範囲にわたって、フルスケールの 0.5 % 未満の誤差を実現することができます。分母電圧が合計誤差に及ぼす影響を図 19 に示します。

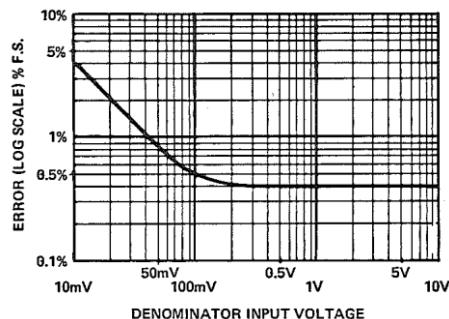


図 19: 分母電圧の関数としての 2 象限可変トランスコンダクタンス除算器の合計誤差

3. 低い分子歪み (0.05 %) : 回路（および使用可能部品）の対称性が、分母に関わりなく歪みを低く抑えます（図 16 と図 17）。

4. 広い帯域幅 (500kHz) と低い出力段ドリフト: 一定の高い電流レベル ($200 \mu\text{A}$) での出力セクションの動作が、広い帯域幅と低い出力段オフセット・ドリフトを実現します。入力ログアンプの小さい内部電圧スイングと高いループ・ゲインは、図 18 が示すように帯域幅の分母への依存度を減らします。

その性能の利点の他に、可変トランスコンダクタンス除算器の概念と回路は、他のほとんどの 2 象限除算器のアプローチに比べて比較的シンプルです。

対数／逆対数除算器

すでに述べた対数／逆対数乗算器回路（3-2 項、図 20）も、優れた除算器を構成します。実際、このタイプは、入手できるものの中で、恐らく最も正確な 1 象限除算器回路です。

対数／逆対数乗算器の V_{REF} 入力を分母として使って V_x に名前を変更し、X 入力を V_z という名前に変更すれば回路は（この章の）図 20 になり、伝達関数は次のようにになります。

$$E_o = \frac{V_y V_z}{V_x} \quad (17)$$

対数／逆対数回路の別の利点は、乗算と除算を同時に、なおかつ同じ精度で行うことのできる 3 入力回路であることで、平方根、RMS、ベクトル方程式（2-3 項、2-5 項、および 3-6 項を参照）を含むあらゆるタイプの陰的解法など、幅広いアプリケーションに応用できます。広いダイナミック・レンジで平方根を求める場合は、出力をそのまま分母入力に接続します。この場合は $E_o = 10V_z/E_o = \sqrt{10V_z}$ となります。

実際、この回路は 2 つの独立した 1 象限乗除算器として機能するので、乗算と除算を必要とする式の実装が簡単になります。

回路説明

図 20 に示す対数／逆対数乗除算器回路の動作は、3-2 項で詳しく説明されているので、ここでは簡単な概要だけを示します。

3 つの入力変数 X、Y、および Z (V_x または I_x 、 V_y または I_y 、 V_z または I_z) が、3 つの独立したトランジオード・ログアンプ A1-Q1A、A2-Q2A、および A3-Q2B に与えられます。

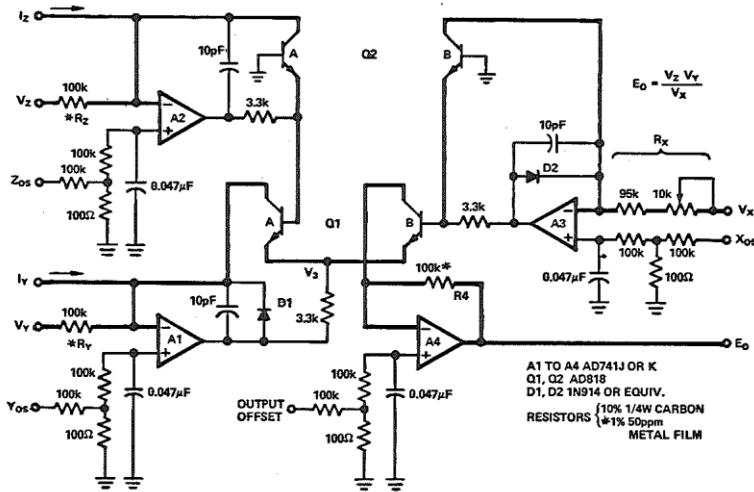


図 20: 対数／逆対数乗除算器。太線は信号パスを表します。

ログアンプの出力はトランジスタのエミッタ・ベース電圧に等しく、入力変数の対数に比例します。例えば、 V_z については次のようにになります。

$$-V_A = \frac{kT}{q} \ln \frac{V_z}{R_z I_{ES}} \quad (18)$$

$Q2A$ のベースから $Q2B$ のベースへのループ周りのベース・エミッタ電圧の合計は、次のようになります。

$$0 = V_{BE2A} + V_{BE1A} - V_{BE1B} - V_{BE2B} \quad (19)$$

3-2 項に示したように、入力電流とベース・エミッタ電圧間の対数関係を代入して一致する定数を消去すると、次式が得られます。

$$\ln \frac{V_z}{R_z I_o} + \ln \frac{V_y}{R_y I_o} - \ln \frac{I_{c1B}}{I_o} - \ln \frac{V_x}{R_x I_o} = 0 \quad (20)$$

対数の和は加算された引数の積の対数に等しく、対数の差は引数の比の対数に等しいので、以下の式が成り立ちます。

$$\ln \frac{I_{c1B}}{I_o} = \ln \left[\frac{V_z V_y}{I_o V_x} \cdot \frac{R_x}{R_z R_y} \right] \quad (21)$$

および

$$I_{c1B} = \frac{V_z V_y}{V_x} \cdot \frac{R_x}{R_z R_y} \quad (22)$$

A4 の帰還回路の R4 は、Q1B のコレクタ電流を出力電圧に変換します。

$$E_o = \frac{R_4 R_x}{R_z R_y} \cdot \frac{V_z V_y}{V_x} = K \frac{V_z V_y}{V_x} \quad (23)$$

出力は温度に依存せず、スケール・ファクタは 4 つの抵抗によってのみ決まることに注意してください。これら 4 つの抵抗は、初期値および温度係数の両方に関して、簡単にマッチングさせることができます。

対数／逆対数除算器の性能

対数/逆対数回路は、高精度で広いダイナミック・レンジの除算と乗算を行うことができますが、これには 3 つの理由があります。

1. 信号入力の誤差が非常に小さい: 入力アンプ A1、A2、A3 のオフセットは 100 μ V 未満で、入力電流は 5 nA 以下、オフセット電圧ドリフトは 10 μ V/°C 以下です。このため、100 mV 程度の低い入力値での入力誤差は 0.1 % 以下です。
2. 電流の対数を加算する方法を使えば、広いダイナミック・レンジを実現できます。トランジスタの V_{BE} の変化は室温でディケードあたり約 60 mV しか変化しないので、広いダイナミック・レンジの信号を直接扱う際に通常生じる飽和やその他の問題の危険なしに、広いディケード範囲に対応することができます。

実際、ダイナミック・レンジは主に入力アンプ A1 ~ A3 のオフセット電流（代表値 0.1 nA）によって制限され、これがバイポーラ・トランジスタを使用する低価格汎用デバイスの入力電圧または電流の下限を設定します。ダイナミック・レンジの上限は、対数トランジスタ内のエミッタ抵抗とベース抵抗によって 1 mA 以下（通常は 100 μA）に制限されます。

3. モノリシック・デュアル・トランジスタの優れた対数適合度による 1 nA ~ 100 μA の電流に関する低い非線形性：適切に設計された回路では、0.05 % の全体的非線形性を実現できます。

実際に実現できる精度とダイナミック・レンジの例として、アナログ・デバイセズの 434 対数/逆対数除算器の（分母の関数として表した）誤差を図 21 に示します。一般に 434B の誤差の代表値は 2 ディケードの分母範囲に対して 0.2 % 未満、3 ディケードの場合は 1 % 以下で、これらはいずれも外部調整なしの場合の値です。分子および分母の入力オフセットを外部的に調整すれば、3 ディケードに対する誤差を 0.2 % に抑えることができます。これは 1000:1 に相当します。

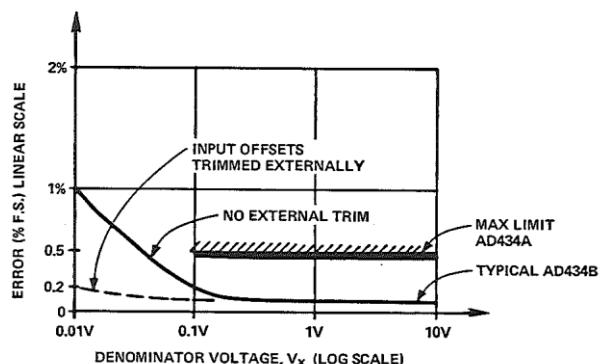


図 21: 対数/逆対数除算器: 分母電圧の関数として表した合計誤差

他の対数回路と同様に、対数/逆対数除算器の帯域幅は入力信号の振幅に依存します。例えば、分子が 10 V の場合の帯域幅が 100 kHz の場合、1 V の分子入力に対する帯域幅は約 10 kHz です。これは、トランジスタダイオード・ログアンプの信号レベルによるループ・ゲインの変化の直接的な結果です。

1 象限アナログ除算器を 2 象限で使用

ここで述べる対数/逆対数回路のような 1 象限除算器は、ユニポーラの分子入力と分母入力だけ受け入れます。多くの場合は、バイポーラの分子（例えば 0 V を中心とする正弦波）とユニポーラの分母を受け入れる 2 象限除算器が不可欠です。

図 22 に概要を示すように、分母入力の一部を使って分子入力をバイアスすれば、つまりオフセットすれば、すべての 1 象限除算器は 2 象限除算器として機能します。除算器回路自体はユニポーラのままでですが、出力はフルスケールの 1/2 だけオフセットされます。オフセットは減算（図 22）または AC カップリング（図 23）によって除去でき、これによりゼロを中心とする出力が得られます。

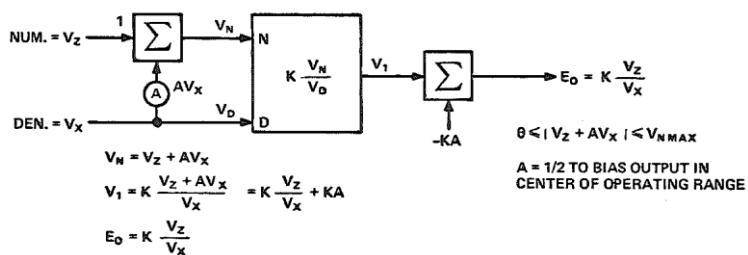


図 22: 1 象限乗算器を 2 象限動作とするためのオフセット

一般に、「オフセット」型 2 象限除算器の性能は 1 象限除算器の性能ほど良くありませんが、精度とダイナミック・レンジに関して言えば、2 象限「逆乗算器」型除算器よりはるかに良くなります。

対数/逆対数除算器を 2 象限動作用にオフセットした場合は、2 つの分野で性能が低下します。

1. 帯域幅: 帯域幅は分子レベルと分母レベルの両方に依存します。分子が負の境界値に向かってスイングすると、回路への入力の大きさはゼロに近付きます。これによって帯域幅が減り、負の半サイクルに歪みが生じる可能性があります。

2. 分母レベルに伴う出力オフセットの変動: オフセット除算器のゼロ出力点は基本回路のハーフスケール点なので、回路の非線形性によって分母とともにオフセットがシフトします（見かけ上 2 象限回路の性能を実現するためにオフセットした 1 象限回路に共通する問題）。

図 23 の回路の 434A 対数/逆対数除算器の性能を計測すると、以下のような代表的結果が得られます。

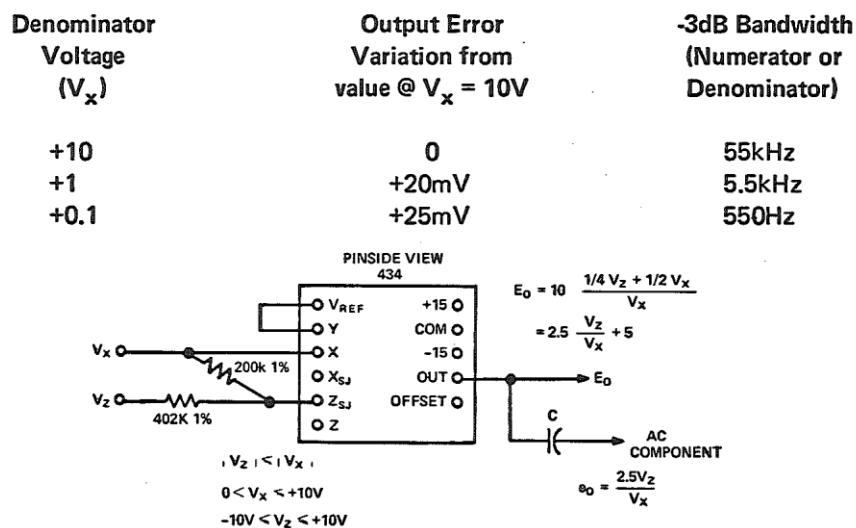


図 23: 2 象限動作用に AD434 をオフセット

1 象限除算器の前段に極性検出機能を備えた絶対値回路を置き、その出力を符号絶対値回路（例えば、3-5 項の図 15）に与えて極性を復元すれば、1 象限除算器を 2 象限で使用することができます。分子がゼロを通過するたびに信号速度が低下するので、オフセットの問題が解消しても、この回路（対数/逆対数除算器を使用）には帯域幅の問題が残ります。

除算器の仕様

従来、アナログ除算器については、アナログ乗算器ほど厳密に仕様が規定されていませんでした。このような状態に至った理由は少なくとも 2 つあります。

1. 最近まで、除算は主に、除算器として接続できる乗算器のアプリケーションの 1 形態として存在していました。モジュラー型および IC 型乗除算器のほとんどのサプライヤは、その基礎をなすデバイスである乗算器に重点を置いてきました。

2. 最近まで、この章で説明した理由から、ほとんどのアナログ除算器の性能は特に優れたものではありませんでした。その有効性がある程度限られていたので、多くのメーカーは、完全な特性評価を行ってあまり意味はなく、時期尚早であると結論付けていました。

このセクションでは、精度や動的性能に関する重要な仕様を包含するフォーマットを与えることを試みるとともに、それらの仕様と分母電圧との関係を示します。1973 年末現在で使われている代表的な各種の市販除算器回路の仕様値の比較を表 2 に示します。これら仕様には、最大および最小有効分母値のところに誤差が含まれています。これらの誤差を分母の関数として表したグラフ（図 24 ~ 30）を、仕様値の後に示します。仕様表に示す除算器が採用する手法には、この章で説明した 3 つの手法がすべて含まれています。

1. 「逆乗算器」型除算器 AD532K IC 乗算器（接続は図 31 の通り）は低価格のトランスコンダクタンス乗除算器で、誤差 1% 未満で乗算ができるよう内部的にトリムされています。除算器としての性能を最大限に高めるには、外部トリムが不可欠です。モデル 427J（接続は図 32 の通り）は、高性能のパルス変調乗除算器です。入手できる「逆乗算器」型除算器の中でも最良のものの 1 つですが、その優れた乗算特性を除算に生かすには、やはり外部トリム調整が必要です。

2. 直接可変トランスコンダクタンス除算器（2 象限）AD531K（接続は図 33 の通り）は、基本的なトランスコンダクタンス・セル（図 14）を使用しています。その誤差は 1% 未満で、帯域幅は 1 MHz をわずかに割る程度です。これは、本書執筆時点で入手可能な最良の IC 除算器です。モデル 436（接続は図 34 の通り）は図 15 の回路を改良した回路を使用して、100:1 のダイナミック・レンジで 0.5% 未満の誤差を実現しています。帯域幅は 500 kHz です。これは外部トリムが必要ですが、ほかのどの 2 象限除算器よりも性能が優れています。

3. 対数/逆対数除算器のモデル 434B（接続は図 35 の通り）は、本書執筆時点で入手可能な 1 象限除算器の中で精度が最高です。この除算器は 100:1 の分母範囲で動作し、外部トリムなしでの最大誤差は 0.25 % です。

仕様の解説

伝達関数 (*Transfer Function*) は、スケール・ファクタを含む除算器の入力と出力の理想的関係で、固定値か、公称値 10 V で設定されます。AD532K は差動分母入力を受け入れることができます（AD531K は差動「X」分子入力を受け入れることができます）、ここに挙げる性能特性を検討する時は $X_1 = V_x$ および $X_2 = 0$ と仮定します。434B と AD531K は 3 入力変数なので、乗算と除算を同時に行うことができます。ここに挙げる仕様は、10 V スケール・ファクタに相当する一定の Y 入力に対して検討されます。AD531K は、電圧入力 V_D で図 33 の回路に接続されているものとします。

動作象限 (*Quadrants of Operation*) は、除算器がバイポーラ分子（2 象限）を受け入れるか、それともユニポーラ分子（1 象限）を受け入れるかを決定します。分母については、これらを含むほぼすべてのアナログ除算器で 1 つの極性（ユニポーラ）に制限されます。分母の極性はタイプごとに異なります。その極性とレンジは「分母、X (Denominator, X)」に示されています。

最大分母時の合計誤差（精度、*Total Error (%)*, *Max. Denominator*）は、誤差、つまり分母と（通常は）出力がフルスケールの時の、除算器の実際の出力と理論的出力の差を規定します。図 24 に示すように、分母の大きさがそのフルスケール値より小さくなるにつれて、誤差は増加するか（AD532K、427J）、ほぼ同じ値に止まります（AD531K、434、436）。デバイスのグループ分類時に述べたように、AD531K、AD532K、および 427J に関して表 2 に示す合計誤差の代表値を実現するには、3 つの外部調整が必要です（調整の手順は「テスト」のセクションで説明します）。この要件はすべての汎用乗除算器に共通しています。これに対し、2 つの特殊タイプは内部トリムされており、表 2 に挙げた最大誤差仕様を満たすために外部トリムを行う必要はありません。

表 2. 除算器回路の仕様^{1,2}

Parameter	WITH EXTERNAL TRIM		
	AD531K	AD532K	427J
Transfer Function	$\frac{10(X_1 - X_2)}{V_D}$	$\frac{10Z}{X_1 - X_2}$	$\frac{10Z}{X}$
Configuration (Figure)	33	31	32
Quadrants of Operation	2	2	2
Total Error (%), Max. Denominator (V) (Figure 24)	1, +10	1, -10	0.2, -10
Total Error (%), Min. Denominator (V)	3, 0.5	3, -1.0	2, -1.0
Small-signal Bandwidth (-3dB, kHz), Max. Denominator (V) (Figure 27)	1000, +10	1000, -10	100, -10
Bandwidth (-3dB, kHz), Min. Denominator (V)	1000, +0.5	100, -1.0	1, -0.1
Output Offset Drift (mV/°C), Max. Denominator (V) (Figure 28)	1, +10	1, -10	0.25, -10
Output Offset Drift (mV/°C), Min. Denominator (V)	2, +0.5	10, -0.5	25, -0.1
INPUT CHARACTERISTICS			
Numerator, Z			
Voltage Range (V)	±10	±10	±10
Maximum safe voltage	±V _s	±V _s	±V _s
Input Resistance (kΩ)	10MΩ ("X")	36	33
Input Current (μA)	8*	10	3
Input Offset Voltage (μV)	N.S. [†]	N.S. [†]	N.S. [†]
Offset Voltage Drift (μV/°C)	N.S. [†]	N.S. [†]	N.S. [†]
Denominator, X			
Voltage Range to Meet Spec ³ (V)	N.S. [†]	N.S. [†]	N.S. [†]
Voltage Range to Meet Spec, External Trim (V)	+0.5 to +10	-1 to -10	-0.1 to -10
Maximum Safe Voltage	±V _s	±V _s	±V _s
Input Resistance (kΩ)	30	10MΩ	10
Input Current (μA)	0.5	3	3
Offset Voltage (μV)	N.S.	N.S.	N.S.
Offset Voltage Drift (μV/°C)	N.S.	N.S.	N.S.
OUTPUT CHARACTERISTICS			
Voltage Range (V, minimum)	±10	±10	±10
Current Range (mA, minimum)	±5	±5	±5
Resistance (Ω)	1.0	1.0	0.1
Capacitive Load (pF)	1000	1000	1000
POWER SUPPLY			
Specified Performance (V)	±15	±15	±15 ±1%
Operating (±V)	12–18	12–18	12–18
Quiescent Current (±mA)	4(AD531 only)	4	15
PHYSICAL SIZE (mm)	I.C. §	I.C. §	41 × 76 × 15
PRICE (\$ U.S., 1-9)	45	36	159

注記:

¹ すべての仕様は、別途注記がある場合を除き 25 °C、±15 V 電源での代表値で、回路は図 31 ~ 35 の除算器構成で接続されているものとします。² % で指定されているすべての誤差は、10 V フルスケールの % です (1 % = 0.1 V)。³ 別途注記がある場合を除き、仕様値を満たすための外部トリムは不要です。

■ 非線形回路ハンドブック

III: 非線形回路を理解する 3-3 除算器（回路）

WITHOUT EXTERNAL TRIM³

436 434B

$10 \frac{Z}{X}$ $Y \frac{Z}{X}, 10 \frac{Z}{X}$

34 35

2 1

0.5, +10* 0.25, +10*

0.5, +0.1* 0.25, +0.1*

500, +10 100, +10

300, +0.1 1, +0.1

0.3, +10 0.1, +10

1, +0.1 1, +0.1

± 10 0 to +10

$\pm V_s$ $\pm V_s$

10 100

± 0.1 ± 0.01

$\pm 100^*$ $\pm 100^*$

15 15

+0.1 to +10 +0.1 to +10

5mV to +10 5mV to +10

$\pm V_s$ $\pm V_s$

25 100

0.1 0.01

$\pm 100^*$ $\pm 100^*$

15 15

± 10 ± 10

± 5 ± 5

0.1 0.1

1000 1000

$\pm 15 \pm 3\%$ $\pm 15 \pm 3\%$

12–18 12–18

10 10

38 x 38 x 15 38 x 38 x 15

80 (Approx.) 87

* 最大仕様

† 仕様値未規定

§ IC は各種のパッケージとチップ・フォームで提供されています。詳細については製品のデータシートを参照してください。

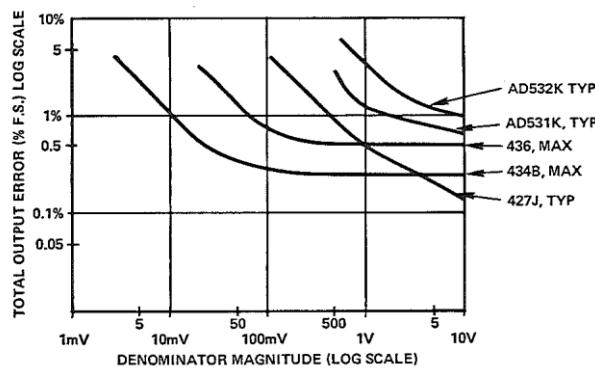


図 24: 合計誤差と分母の関係
(分母は 10 V フルスケールの比で一定、1 % = 100 mV)

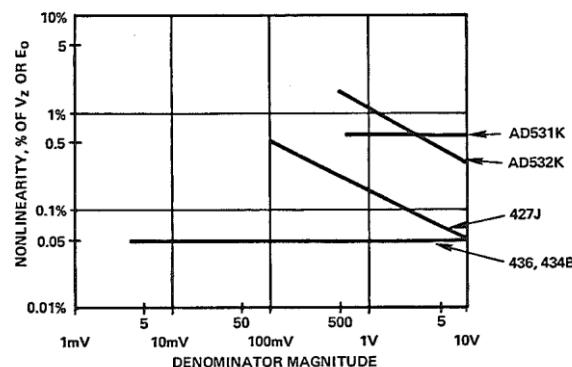


図 25: 非線形性（分母一定時）と分母の関係。
非線形性は分子の % 値（対数スケール）

合計誤差にはすべての誤差源からの誤差が含まれているので、最悪条件を表しています。主な誤差源は以下に示すように 6 つあります。

1. 分子の非線形性（図 25）
2. 分母の非線形性
3. スケール・ファクタ誤差
4. 出力を基準とした分子のオフセット
5. 出力を基準とした分母のオフセット
6. 出力アンプのオフセット

誤差 3 ~ 6 は、温度と分母レベルを固定した状態で理論的にゼロに調整可能ですが、入力の非線形性は本質的なもので、除去することはできません（ただし、3-2 項で説明した「クロス・フィード」手法を、除算器として接続したトランスコンダクタンス乗算器を使って、2 次誤差をある程度軽減することは可能です）。通常はこれら 6 種類の誤差の仕様値を個別に規定するのではなく、その全体的な影響を計測する方が簡単です。これが定義により合計誤差です。

最小分母時の合計誤差 (*Total Error (%)*, *Min. Denominator*) は、上に示した定義と同様に、分母が最小有効値の時の誤差を規定します。誤差はこの時に最大となるので、これは除算器の最悪動作条件を表します。「逆乗算器」型除算器 427J と 532K では、予想されるように、分母電圧が小さい時に誤差が最も大きくなります。対数/逆対数除算器と可変トランスコンダクタンス除算器では、これらの回路の解析から予想されるように、分母電圧がフルスケールの 1/100 になっても仕様誤差は大きくなりません。

532K と 427J の誤差の増加は、主に分子および分母のオフセットが $10/V_x$ だけ大きくなることと、分母の非線形性によるもので、これによりスケール・ファクタにも明らかな誤差が生じます。AD531K では 10:1 の範囲で誤差が 1% のレベルに保たれますが、この範囲を超えると X 入力電流が減少してゲインがゼロに近付くため、急激に誤差が大きくなります（図 9）。436 と 434B は入力オフセットも非線形性も非常に小さいので（入力オフセットは $100 \mu V$ ）、分母電圧が小さくなっても問題になることはありません。

（温度に伴う）合計誤差ドリフトと分母の関係。図 26 に示すように、周囲温度変化 $1^{\circ}C$ あたりの合計誤差の変化量は、分母が減少するとともに増大します。この影響は、逆乗算器型の 427J や AD532K ではより顕著になります。434B と 436 では、下限側（分母 = 100 mV）でドリフトがわずかに増大します。

「合計誤差ドリフト」は、合計出力オフセット・ドリフトとスケール・ファクタ・ドリフトの和です。分子と分母の非線形性は、温度の影響を比較的受けません。

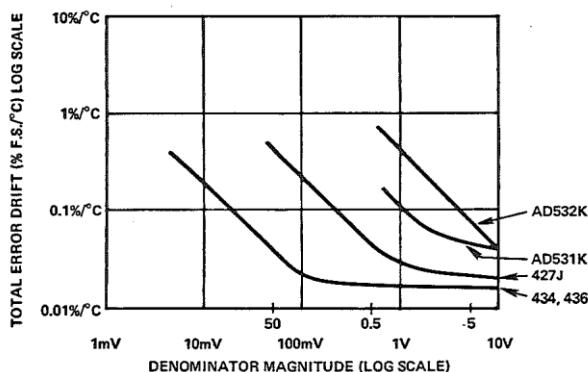


図 26: 合計誤差 ドリフトと分母電圧の関係
(% フルスケール/ °C)

最大分母での帯域幅 (小信号、-3 dB) (Small-signal Bandwidth (-3 dB, kHz), Max. Denominator) :
分子または分母の入出力「ゲイン」がその DC 値の 70 % (-3 dB) まで減少する周波数。過度の歪みを避けるために、入力は「小さく」なければなりません。つまり、フルスケールまたは分母の大きさの 10 % 未満でなければなりません（過度の歪みがあると正弦波解析を行っても有効な結果が得られません）。グラフ（図 27）に示すように、427、AD532K、および 434 の小信号帯域幅は分母の大きさに直接依存します。

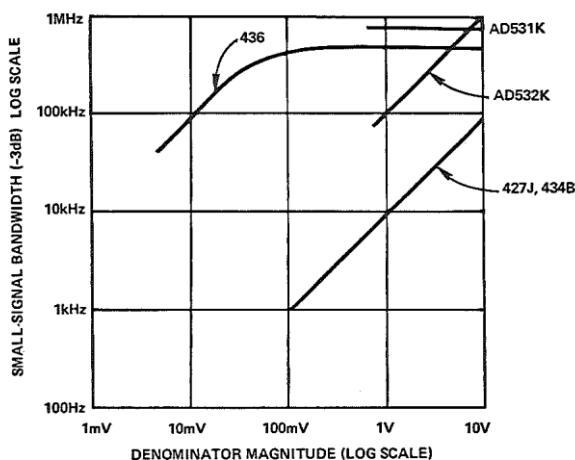


図 27: 帯域幅 (-3 dB) と分母 (K = 10 V) の関係

分母電圧を「1/ゲイン」と解釈すると（図 28）、436 はユニークな特性を備えていることが分かります。その帯域幅が基本的に分母と無関係だからです。436 は、100 mV の分母で 30 MHz のゲイン帯域幅積を実現します。同様に、AD531K は、20:1 の分母レンジに対して約 750 kHz の分子帯域幅を有しています。したがってこのデバイスは、（限定的な分母範囲であれば）絶対帯域幅に関しては最も高速です（ゲイン = 10 V/V_x = 10/0.1 = 100、帯域幅が 300 kHz の場合のゲイン帯域幅 = $100 \times 0.3 \times 10^6 = 30 \text{ MHz}$ ）。

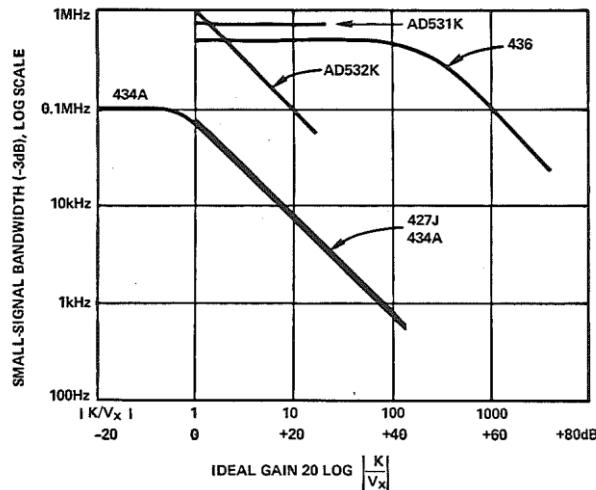


図 28: 帯域幅 (-3 dB) とゲイン (K/V_x) の関係

出力オフセット・ドリフトと分母の関係 (Output Offset Drift)：分母の関数として表した、温度変化に伴う合計出力オフセットの変化率。このドリフトの 2 つの成分は、分子入力オフセット・ドリフトにゲイン (K/V_x) を掛けた値と、出力段のオフセット・ドリフトです。図 29 に示すように、427、434、および 436 には $V_x = 10 \text{ V}$ で約 $0.2 \text{ mV/}^\circ\text{C}$ のドリフトがあり、AD532K は約 $1 \text{ mV/}^\circ\text{C}$ でドリフトします。427 と AD532K のドリフトは、分母が小さくなると増加します。これは、分子のオフセット・ドリフトが出力段のドリフトより大きく、それによって合計値が $1/X$ の関係に支配されるためです。434 と 436 のオフセット・ドリフトは小さいので（約 $10 \mu\text{V/}^\circ\text{C}$ 。これに対し、出力段のドリフトは $300 \mu\text{V/}^\circ\text{C}$ 。出力段ドリフトは、G = 1 または $V_x = 10 \text{ V}$ の時の合計オフセット・ドリフト）、30:1 の分母変化範囲に対して合計出力ドリフトは 2 倍に増加するだけです。

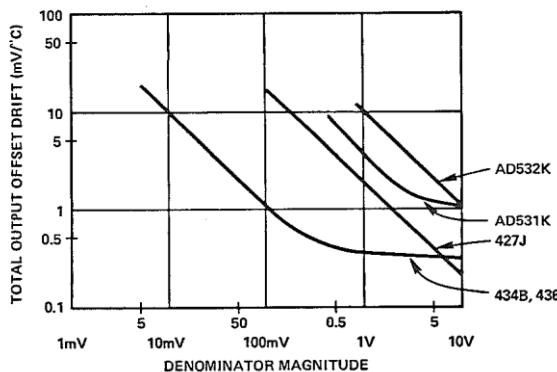


図 29: 合計出力オフセット・ドリフトと分母電圧の関係
(対数スケール)

AD531K のオフセット・ドリフトは温度とほぼ無関係ですが、434 や 436 ほど低くはありません。ただし、他のどの IC よりはるかに低い値です。

合計出力オフセット・ドリフトは次式で表されます。

$$\frac{\Delta V_{os}}{\Delta T} = \frac{K}{V_x} \frac{\Delta Z_{os}}{\Delta T} + \frac{\Delta Y_{os}}{\Delta T}$$

出力ノイズと分母の関係: 図 30 は、除算器出力でのノイズの RMS 値（帯域幅が 5 Hz ~ 10 kHz で一定の場合）と、分母の大きさの関係を示したグラフです。出力の合計ノイズは基本的に次式で表されます。

$$V_N = \sqrt{\left[E_{Nz} \frac{K}{V_x} \right]^2 + \left[E_{Nx} \frac{K}{V_x} \right]^2 + E_{No}^2}$$

ここで、

E_{Nz} = 等価分子入力ノイズ: Vrms、5 Hz ~ 10 kHz

E_{Nx} = 等価分母入力ノイズ: Vrms、5 Hz ~ 10 kHz

E_{No} = 等価出力段ノイズ: Vrms、5 Hz ~ 10 kHz

K = スケール・ファクタ = 10 V

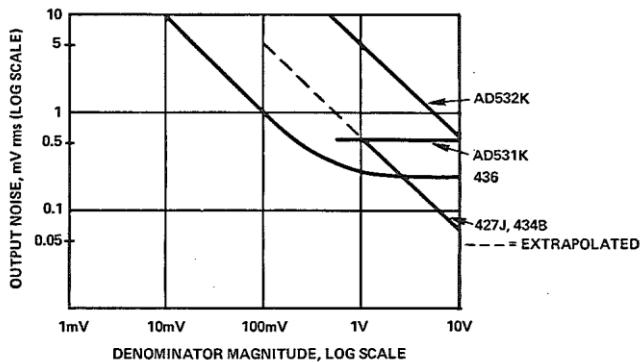


図 30: 出力ノイズと分母の関係 (5 Hz ~ 10 kHz 帯域幅)

全体のノイズ性能は 436 が最も良好ですが、分母電圧が 2 V ~ 10 V の範囲では 427 と 434 の方が静穏です。AD532K は、汎用乗除算器としては十分静穏です。AD531K の出力ノイズは、分母レベルとほぼ無関係です。ピーク to ピーク・ノイズを RMS 値の 6 倍と定義すると、1 mV RMS はピーク to ピークでは 6 mV となります。

入力特性 (INPUT CHARACTERISTICS)

これらの仕様は、分子入力と分母入力での入力電圧範囲と誤差を規定します。

分子 (Z) 電圧範囲 (Numerator, Z, Voltage Range) は、誤差仕様が適用される分子電圧の最大スパンです。ここに示す除算器の分子電圧は分母電圧以下に制限されます*（図 2 と 3 を参照）。AD532K、AD531K、427J、および 436 には、正負両方の分子電圧を使用できます（つまり、これらは 2 象限デバイスです）が、434 では正の分子電圧（1 象限）に制限されます。

分子 (Numerator) : 最大安全電圧 (Maximum Safe Voltage) は、除算器を損傷させることなく、その入力に連続して加えることができる最大電圧です。

* ただし、AD531 と 434 では K を 10 V 未満にスケーリングすることができ、 E_{Omax}/K を掛けた値だけ分子を分母より大きくすることができます。

分子 (Numerator) : 入力抵抗 (*Input Resistance*) は、分子入力端子と電源コモン間の実効抵抗です。入力抵抗は、436 の 10 kΩ から AD531K の 10 MΩ まで、デバイスによって異なる値を取ります。信号源の抵抗は、スケール・ファクタの変動を最小限に抑えるために、分子入力抵抗の 0.1 % 以下とする必要があります。

分子の入力電流 (Input Current) は、 $V_z = 0$ の時に分子端子へ流れ込む、あるいは分子端子から流出するバイアス電流です。通常、AD532K の場合でもこの誤差源は無視できますが、入力を容量カップリングするアプリケーション用の接地抵抗を選ぶ時には、考慮する必要があります。

Z 入力オフセット電圧 (Input Offset Voltage) : 汎用乗除算器 (427J, AD531K、および AD532K) では、分子オフセットの仕様値が規定されていません。436 と 434B の Z オフセットは 100 μV ですが、これによる誤差は 100 mV 入力で 0.1 % に過ぎません。この誤差は、外部トリムによってさらに減らすことができます。

Z 入力のオフセット電圧ドリフト (Offset Voltage Drift) は、Z 入力オフセットの温度特性を表します。これは常に仕様が規定されているわけではありませんが（本書執筆時点）、それでも有効な特性値であることに変わりはありません。これは、フルスケールよりかなり小さい分母電圧では、分子オフセット・ドリフトが出力オフセット・ドリフトの主要な発生源だからです。

$$\text{出力オフセット・ドリフト} = \frac{K}{V_x} \frac{\Delta Z_{os}}{\Delta T} + \frac{\Delta E_{os}}{\Delta T}$$

外部トリムなしで仕様を満たす分母 X の電圧範囲 (Denominator, Voltage Range to Meet Spec) は、オフセットまたはスケール・ファクタを外部的に調整することなく、仕様に規定された精度を維持できる分母電圧の最大スパンです。AD531K、AD532K、および 427J は、除算器として妥当な性能を実現するのに外部トリムが必要なので、限界が規定されていません。436 と 434B は 100:1 を超える分子範囲で動作し、誤差も低く抑えられています。

外部トリムにより仕様を満たす分母範囲 (Voltage Range to Meet Spec, External Trim) : オフセットをトリミングすると、436 と 434 のダイナミック・レンジは 2000:1 に拡大し、427、AD531K、AD532K でも妥当なダイナミック・レンジが得られます。

427 と AD532K には負の分母が必要ですが、434B と 436 には正の分母が必要なことに注意してください。入力端子 (X_1 と X_2) を相互に交換すると、AD532K に負の分母電圧を使用することができます。

最大安全分母電圧 (Maximum Safe Voltage) は、除算器を損傷させることなく、連続して入力に加えることができる最大電圧です。

分母入力抵抗 (Input Resistance) : AD532K の入力抵抗は非常に大きい値 ($3\text{ M}\Omega$) ですが、他の 3 機種の抵抗は $25 \sim 100\text{ k}\Omega$ の範囲です。これら 5 タイプは、ソース負荷誤差をできるだけ小さくするために、低抵抗のソースから駆動する必要があります。ソース抵抗が $10\text{ k}\Omega$ 以上の場合は、AD532K の代表値 $3\text{ }\mu\text{A}$ の入力電流により、その高入力抵抗の利点が部分的に相殺します。

分母入力電流 (Input Current) は、 $V_x = 0$ の時に分母端子へ流れ込む電流、あるいは分母端子から流れ出る電流です。

分母オフセット電圧 (Offset Voltage) は、分母入力と実質的に直列な一定のオフセット電圧です 436 と 434 はオフセット値が小さいので、100: 1 の分母範囲に対する明確なスケール・ファクタの変化が、最小限に抑えられています。

$$\text{Error @ } V_x = 10\text{V}; \frac{10^{-4}}{10} \cdot 100\% = 0.001\%$$

$$\text{Error @ } V_x = 0.1\text{V}; \frac{10^{-4}}{0.1} \cdot 100\% = 0.1\%$$

分母オフセット電圧ドリフト (Offset Voltage Drift) は、分母オフセット・ドリフトの温度に対する感度を表します。仕様に規定する 436 と 434B の $\Delta X_{OS}/\Delta T$ は $15\text{ }\mu\text{V}/^\circ\text{C}$ で、これは、100: 1 の分母電圧範囲と $0^\circ \sim 70^\circ\text{C}$ の温度範囲に対して、0.7 % の誤差変化を発生させる可能性があります。

出力特性 (OUTPUT CHARACTERISTICS)

この仕様グループは、除算器の出力端子の特性を記述します。

電圧および電流範囲 (Voltage Range / Current Range) : 2 象限除算器の AD531K、AD532K、427J、および 436 は、 $\pm 5\text{ mA}$ で最小 $\pm 10\text{ V}$ を出力に供給します。

1 象限の 434 は、5 mA で最小 0 ~ +10 V の範囲をスイングします。出力アンプ付近で外部ループを閉じる必要のあるタイプでは、出力電流が 5 mA を超える場合、「ループ内部」に電流ブースタを使用して出力を上げることができます。

出力抵抗 (Resistance) : これら 5 タイプの除算器はすべて出力インピーダンスが小さいので、負荷電流の変化に伴う出力電圧の変化はわずかです。しかし、出力インピーダンスはループ・ゲインの影響を受けるので、「逆乗算器型」除算器として使われる汎用乗算器では、分母が減少するにつれ出力インピーダンスが増加します。

容量性負荷 (Capacitive Load) は、デバイスの発振を引き起こすことなく、除算器の出力端子とグラウンドの間に直接接続できる最小容量です。

電源 (Power Supply)

仕様性能 (Specified Performance) : 除算器がその精度仕様を満たすのに必要な電源電圧と許容差です。設計の中心電源電圧は、5 タイプすべて ± 15 V です。

電源動作範囲 (Operating) は、除算器に使用可能で、除算器が除算器として動作する電源電圧範囲です。外部トリムを使用すれば、通常、 ± 15 V 電源の場合と同じ精度仕様を満たすように回路を調整することができます。

自己消費電流 (Quiescent Current) は、出力電圧と電流がゼロの時に電源から流れる電流です。出力アンプには「クラス B」出力段があるので、自己消費電流ドレインは負荷電流によって増大します。

物理的サイズ (PHYSICAL SIZE) : IC (AD531K、AD532K) が最も小さく、パルス変調乗除算器 (427J) が最も大きいサイズです。IC タイプはハーメチック・シールのセラミック 14 ピン・デュアル・インライン・パッケージで提供され、AD532 はハーメチック TO-100 10 ピン・メタルキャップ・パッケージでも提供されています。IC タイプは、ハイブリッド構成を必要とするアプリケーション用に・フォームでも入手可能です。

価格 (PRICE) * IC が最も低価格ですが性能は最も低く (AD531K の速度を除く)、妥当な性能を引き出すにはトリムが必要です。意外にも、最も高価な乗除算器 427J が除算器として最も高性能というわけではありません。高性能の 436 と 434B は 427 より低価格ですが、性能は上回っています。ただし、IC ほど低価格ではありません。436 と 434 は外部調整なしでも優れた性能を発揮し、微調整を行えばさらに性能が向上します。

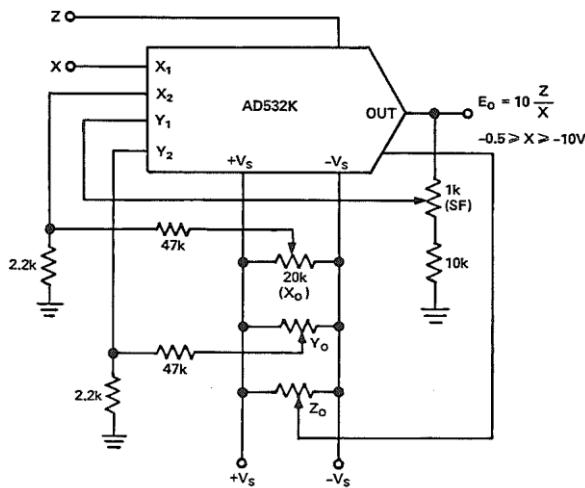


図 31: AD532K 除算器回路（逆乗算器）

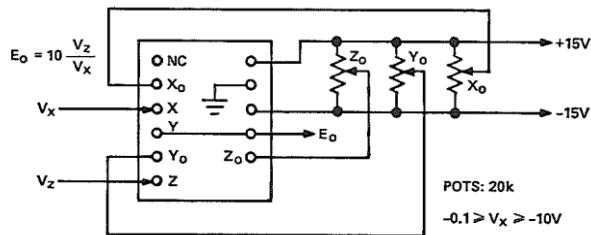


図 32: 427J 除算器のピン接続（逆乗算器）、ピン側

* 1973 年夏現在。価格は相対的コストの目安とするため、営業を目的としたものではありません。 (a) 価格は変更されることがあります、(b) IC 価格は変更される可能性がより高いので、詳しい情報が必要な場合は、最新の製品ガイドまたはプライス・リストを参照するか、最寄りの営業所へお問い合わせください。

また、434 は乗算と除算を同時に行うことができます。これらの事実を考慮すれば、多くのアプリケーションで、IC を使うより 434 と 436 を使う方が経済的だということになります。

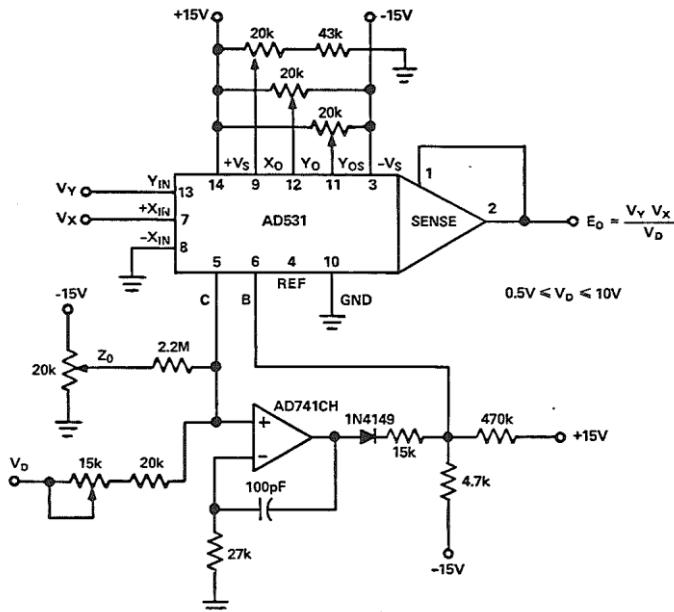


図 33: AD531K 除算器回路 — 直接変数 — トランスコンダクタンス
(分母への電圧入力用回路)

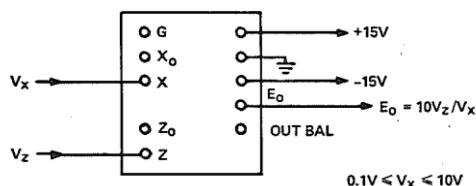


図 34: 436 除算器接続、ピン側（高性能 2 象限可変トランスコンダクタンス）

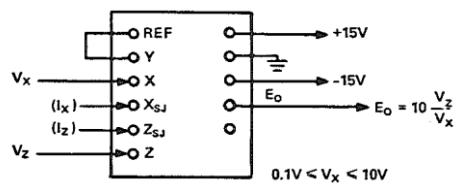


図 35: 434B 除算器のピン接続（対数/逆対数）、ピン側

アナログ除算器のテストと調整

アナログ除算器の性能は広範囲に及び、多くの場合は調整に決定的に依存するので、アナログ除算器にとって適切なテストおよび調整手順は非常に重要です。例えば、汎用「2 %」乗除算器（例: AD532J）を、分母範囲が 10:1 の自己完結型除算器として使用した場合は、最悪の場合で 2 ボルト (20 %) の誤差が生じることがあります。これに対し、用途を特化した高精度除算器（例: 434B）では、同じ条件下での最悪時の誤差がわずか 25mV で、これは汎用デバイスのほぼ 1/100 の誤差です。「2 %」除算器の誤差は、このセクションに示す調整手順によって少なくとも 1/3 に改善できます。

除算器性能のテストは、乗算器の場合と同様 3 つの一般的なカテゴリに分ることができます。

1. 静的精度または誤差
 - a. 合計誤差
 - b. 出力オフセット
 - c. 分子と分母のオフセット
 - d. 分子と分母の非線形性
 - e. スケール・ファクタ誤差
 - f. 誤差の分母への依存性
 - g. 誤差の温度および電源電圧への依存性
2. 動的誤差
 - a. 小信号帯域幅
 - b. 大信号帯域幅
 - c. スルー・レート:
 - d. セトリング時間
 - e. 上記各要素の分母への依存性
3. 端子またはインターフェース・パラメータ
 - a. 入力抵抗と電圧範囲:
 - b. 出力の電圧と電流
 - c. 電源の電圧と電流

端子パラメータの計測は簡単なので、このセクションでは静的誤差と動的誤差のテストに重点を置きます。

除算器用テスト装置

高精度 DC リファレンス: 設定の 0.01 % 以内までの精度、および $\pm 10 \text{ V} \sim 0 \text{ V}$ の範囲、100 mV 以下のステップで $\pm 100 \mu\text{V}$ 。

高精度ディケード分圧器: 0.01 % の比例「精度」で、出力バッファとインバータを備えたもの。これは、ダイナミック・レンジの広い除算器の精度計測には不可欠であり、通常の除算器のテストにも極めて有効です。

少なくとも 4½ 衍の分解能と 0.02 % の精度を持つデジタル電圧計。1 V および 10 V レンジのものが最もよく使われます。

正弦波ジェネレータまたはファンクション・ジェネレータ: 周波数レンジ 1 Hz ~ 5 MHz。可変 DC オフセットは、1 象限除算器のテストを行い、分母に AC 信号を与えるのに便利です。出力振幅レンジが $2 \text{ mV}_{\text{p-p}} \sim 20 \text{ V}_{\text{p-p}}$ のものが最も便利です。校正された出力減衰器があると、ダイナミック・レンジが広い除算器の計測が容易になります。

高価につく「事故」を防ぐための可変出力電圧制限機能（公称 $\pm 15 \text{ V}$ ）と可変電流制限機能を備えたデュアル電源。

クロスプロット・テスト用に垂直および水平電圧入力が校正されたオシロスコープ。望ましい感度範囲は、垂直方向 $10 \text{ mV/cm} \sim 5 \text{ V/cm}$ 、水平方向 $100 \text{ mV/cm} \sim 5 \text{ V/cm}$ です。クロスプロットには 300 kHz の帯域幅が適しています。動的テストには、少なくとも 5MHz の垂直軸帯域幅が必要です。

すべての接続が完了したトリムポット内蔵の除算器テスト・ソケットがあると、モジュラー型と IC の両方のデバイスのテストや調整が容易になります。

静的誤差のテストと調整

分母入力に対する除算器の誤差をクロスプロットするのは、アナログ除算器の精度テストの最も分かりやすく、また最も効率的な方法です。このアプローチは、ポイントごとの DC テストや調整手順につきものの曖昧さや感覚的に把握しにくい点を最小限に押さえます。

図 36 に示すクロスプロット・テスト用のセットアップは、あらゆる 1 象限および 2 象限除算器のテストと調整に使用できます。このセットアップの最も重要な部分は、除算器用とオシロスコープ水平軸用の掃引電圧を提供する、低周波数オフセット（10 Hz 以下）の正弦波ジェネレータです。ユニティ・ゲイン・インバータ A1 は、正入力を必要とする除算器用に 0 ~ +10 V の掃引を提供します。

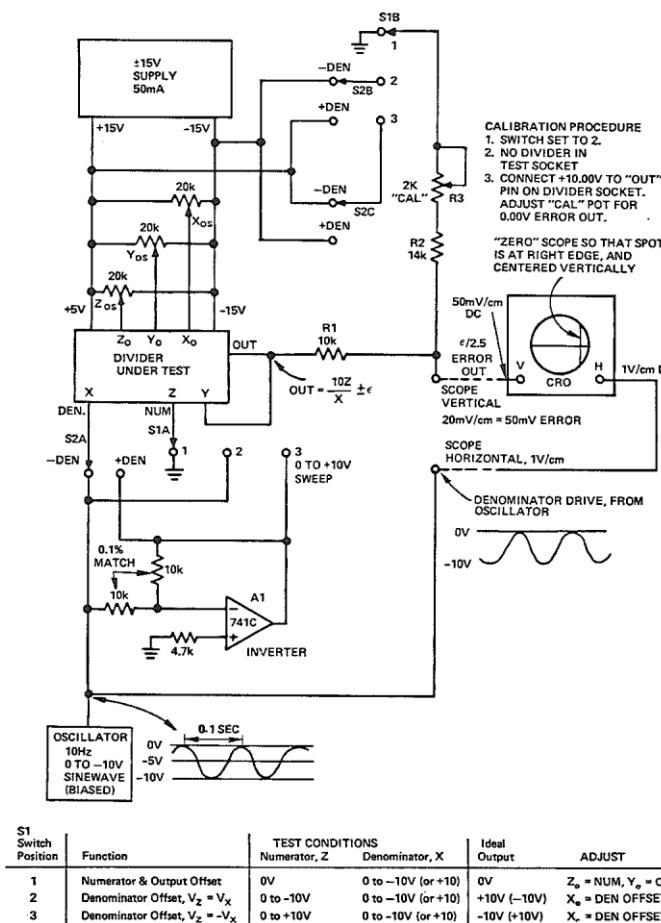


図 36: 除算器誤差クロスプロット回路

このセットアップに使用する掃引テスト条件での除算器出力は、理想的には一定（勾配や曲りがない状態）になるので、ディスプレイ上のゼロからのずれとして誤差を決定するには、実際の除算器出力から理想値の定数を引くことだけが必要です。負の分母電圧を必要とするデバイスの例を下に示します。

Test	Inputs	Ideal Output	Subtract
1. Numerator offset	$V_z = 0, V_x = 0 \text{ to } -10V$	0V	0V
2. Output offset	$V_z = 0, V_x = 0 \text{ to } -10V$	0V	0V
3. Denominator offset	$- V_z = V_x = 0 \text{ to } -10V$	+10V	+10V
4. Denominator offset (1st quadrant of 2-quadrant dividers)	$V_z = -V_x, V_x = 0 \text{ to } -10V$	-10V	-10V
5. Scale factor	$- V_x = V_x = 0 \text{ to } -10V$	+10V	+10V

電源を基準とする単純な抵抗分圧器 R1、R2、R3 を介して減算を行います。より高精度のリファレンス電圧やより高度な減算器を使用することもできますが、大部分の汎用乗除算器のテストには、この単純なアプローチで十分です。良質な電源を使用し、R1-R2、R3 の回路を慎重に調整すれば、434 などの専用除算器をテストするのに十分な精度をテスト回路に持たせることができます。

除算器クロスプロット・テスタの使用

クロスプロット・テスタの動作を理解する最も簡単な方法は、図 37 から図 42 までに示すような代表的 2 象限除算器の調整手順を実際にたどってみることです。この手順は、逆乗算器型、対数/逆対数型、トランスクンダクタンス型の別、あるいはモジュラーと IC の別を問わず、あらゆるタイプの除算器回路に使えます。さまざまな除算器タイプの誤差源（例えば分子オフセット）については、この章のこれまでの部分で説明してきました。とにかく、手順に示すように、これらの誤差は「ブラックボックス」として扱うことができます。

図 37 ~ 38 および図 40 ~ 41 に示すように、「オフセット」誤差を正しく調整すると、室温における除算器の誤差は劇的に減少します。

■ 非線形回路ハンドブック

III: 非線形回路を理解する 3-3 除算器（回路）

しかし、温度が変化すると、トリムされていない値近くまで誤差が増大する可能性があります。特に、除算器として接続した汎用の「乗除算器」は、その傾向があります。温度ドリフトの影響は、除算器自体を（周囲温度の変化にさらされるすべての調整回路とともに）温度テスト・チャンバ内に置けば、掃引テスト回路を使って簡単にモニタすることができます。回路は 25°C で最小誤差となるように調整され、その後に、対象となる温度範囲（例えば $0^{\circ} \sim 70^{\circ}\text{C}$ ）での誤差の変化が観察されます。

(条件: $V_z = 0$, $V_x = 0 \sim -10\text{ V}$, $\epsilon = V_{\text{OUT}}$, テストセットの機能スイッチは 1 にセット)
スコープ・トレースは、分母 V_x がゼロに近付くに従い、スクリーンの右端で急激に上昇または下降します。分母が -2 V の位置では、合計出力オフセットが 400 mV 、あるいはフルスケールの 4% であることに注意してください。

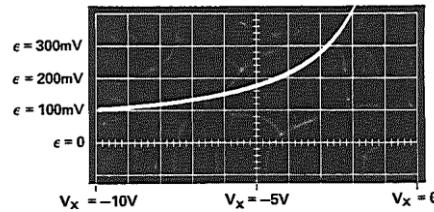


図 37: 合計出力オフセットと分母の関係のテスト

条件: $V_z = 0$, $V_x = 0 \sim -10\text{ V}$, $\epsilon = V_{\text{OUT}}$, テスト機能 1)
 Z_0 ポテンショメータを調整してスコープ・トレースを平らにします。 $V_x \rightarrow 0$ の時、オフセットが劇的に減少することに注意してください。誤差トレースは必ずしも「0」のラインが中心になりません。これは次のステップで調整されます。

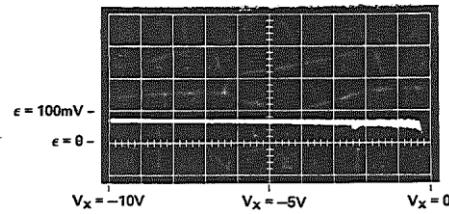


図 38: 分子オフセット Z_0 、調整テスト

条件: $V_z = 0$, $V_x = 0 \sim -10\text{ V}$, テストセット機能 = 1
 Y_0 ポテンショメータを調整して、トレースを中央の 0 誤差ラインに合わせます。 $V_x \rightarrow 0$ の時にノイズが増加することに注意してください。これは、除算器の入から出力へのゲインが増加していることを示しており、その値は分母がゼロに近付くにつれて無限大に近付きます。合計出力オフセットは、図 37 の最初の値から劇的に減少しています。

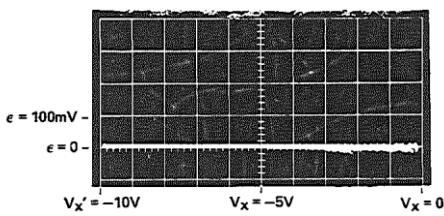


図 39: 出力オフセット Y_0 、調整テスト

(条件: $V_z = V_x = 0 \sim -10\text{ V}$, テストセット機能 2)
スコープのトレースは V_x がゼロに近付くにつれて上または下に曲がります。分子オフセットは図 38 で調整されているので、誤差の増大は主に分母のオフセットによります。

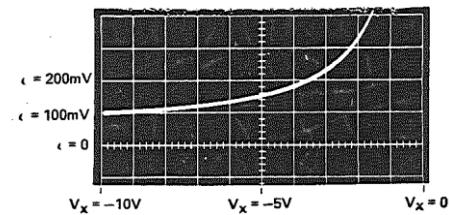
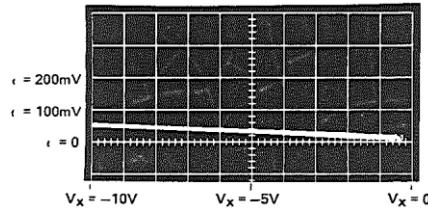
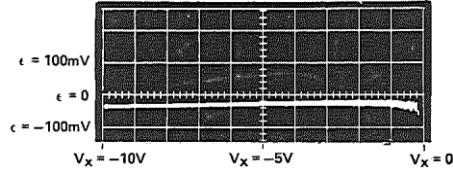


図 40: 合計出力誤差と分母の関係のテスト

条件: $V_z = V_x = 0 \sim -10 \text{ V}$ 、テストセット機能 2)
 X_0 ポテンショメータを調整してトレースを平坦にしますが、通常は、スケール・ファクタ誤差のために「0」誤差ラインには一致しません。

図 41: 分母オフセット X_0 、調整テスト

条件: $V_z = 0 \sim +10 \text{ V}$ 、 $V_x = 0 \sim 10 \text{ V}$ 、テストセット機能 3)
必要なら、 X_0 ポтенショメータを再調整してトレースを平坦にし、図 41 の条件に戻して $V_x \rightarrow 0$ の時にトレースが最も平坦になるようにチェックします。スケール・ファクタのトリミングができる場合は、図 41 と図 42 の入力条件で、誤差トレースとゼロ誤差ラインの差が最小となるように調整します。

図 42: 分母オフセット X_0 、およびスケール・ファクタの調整テスト

分母の周波数応答の計測

除算器の分母入力の周波数応答を、分母レベルの関数として計測するためのテスト・セットアップを図 43 に示します。市販されているすべてのアナログ除算器の分母入力は、1 つの極性、つまりプラスまたはマイナス（あるいはどちらかの差動入力）に制限されているので、 V_{\min} と V_{\max} を分母の入力制限値内に維持するために、信号発生器をオフセットする必要があります。差（つまり p-p 振幅）は、波形の歪みを最小限に抑えるために、かなり小さいレベル（通常はオフセットの 10 %）に維持することができます。AC テスト信号が DC オフセットのかなりの部分にまたがっている場合、歪みは $K / (V_{DC} + V_{AC})$ に比例するので、出力に著しい歪みが生じます。

分母の立上り時間、スルー・レート、およびセトリング時間の決定には、矩形波を使用できます。一般に、分母がゼロに近付く方向の信号では時間応答が遅くなり、分母がフルスケールに近付く方向の信号では速くなります。

DC 精度と温度ドリフトの計測

除算器の精度の計測には掃引テスト、あるいはクロスプロット手法が最も高速で、分母の関数として誤差の全体像を把握するには最良の方法ですが、この方法では（校正に必要となるような）絶対誤差の正確な計測は困難です。

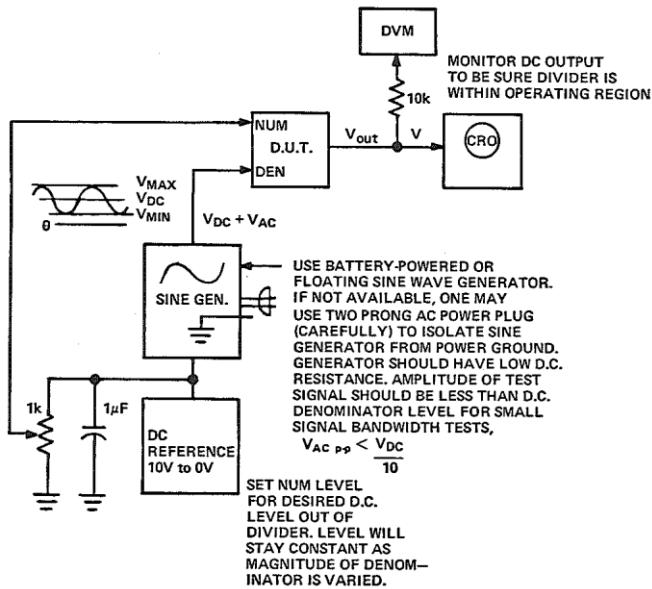


図 43: テスト・セットアップ – 分母の周波数応答と分母の大きさの関係

クロスプロット回路を慎重に校正すれば、絶対計測に使用することができます。しかし、これは分子と分母の比を一定にして除算器をテストするので、分子の非線形性（分母一定）をそのまま示すわけではありません。

さらに、分子と分母はその範囲全体で掃引され、低レベルで経過する時間が比較的短いので、熱の影響による誤差が現れないことがあります。掃引を遅くするか、低周波数の矩形波を使うこともできますが、DC テストほど明確に現れません。

分子の線形性の計測

分子の非線形性は、分母電圧を一定にして、除算器出力と分子入力を比較することによって計測します。その代表的な結果を図 44 に示します。除算器の入力から出力へのゲインまたは減衰は分母レベルに逆比例するので、入力／出力の比較を容易にするには、入力または出力を線形に増幅または減衰しなければなりません。

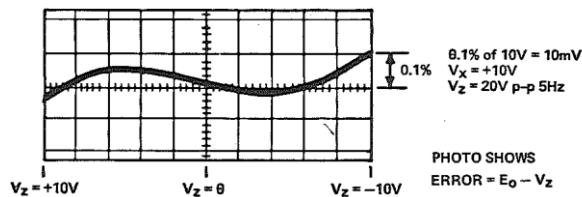


図 44: 2 象限除算器、分子の非線形性

ゲインが 1 を超えると思われる除算器でこれを実現する最も簡単な方法は、分子信号を係数 γ (= X/K) で減衰してから、除算器の出力と減衰器の入力を比較することです。

$$E_o - E_o(\text{ideal}) = K \frac{\gamma V_z'}{V_x} - V_z'$$

高精度の減衰器と正確な DC リファレンスを使用した場合は、このテストから分母の非線形性を予測することができます。除算器出力と分子入力の差の平均勾配は、「ゲイン」誤差（つまり実際のゲインと理想値 K/X の差）に等しくなります。図 44 に示すオシロスコープの写真は、図 45 のテスト・セットアップを使って計測した 436 除算器の非線形性を示しています。

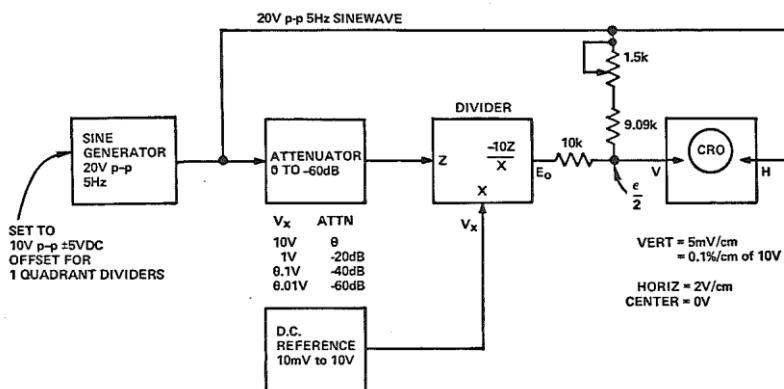


図 45: 分子の非線形性を計測するためのテスト・セットアップ

精度と温度ドリフトの DC 測定

除算器の DC 誤差は、図 46 のテスト・セットアップを使って簡単に計測できます。高精度分圧器（例えば図 47）は、DC 電圧リファレンスの絶対校正とは無関係に、分母電圧を正確に分圧した分子電圧を提供するので、テスト装置の最も重要な部分です。

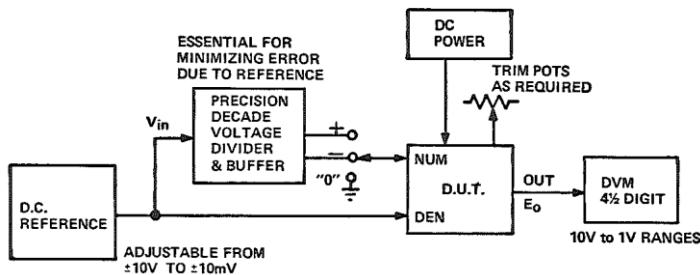


図 46: 除算器の DC 精度テスト・セットアップ

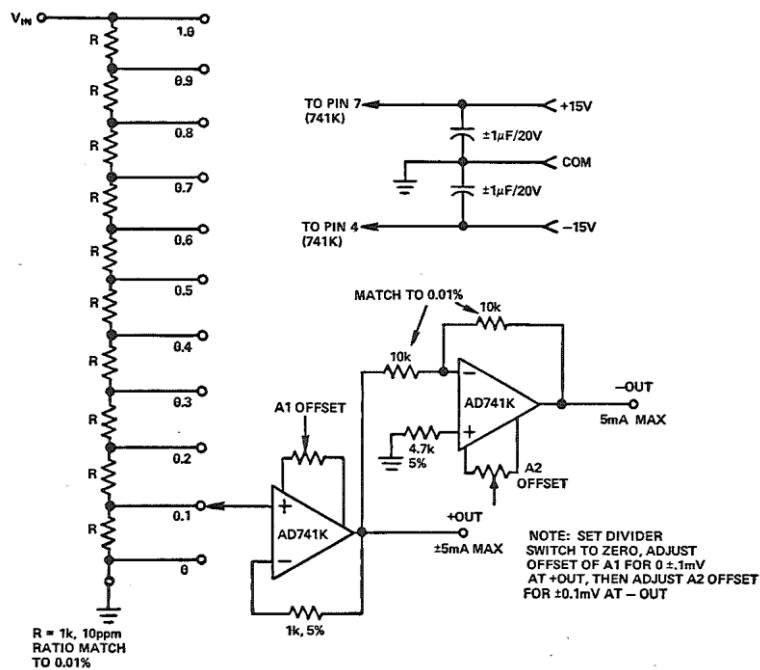


図 47: ディケード分圧器とバッファ

除算器は（理想的には）分子入力と分母入力の比を取るので、分子が分母を正確に分割した既知の値である場合は、DC リファレンスの絶対値校正時の誤差が小さければ（設定の 1% 未満）、その誤差が計測精度に与える影響を無視できます。良好な分解能（例えば 1 mV ステップ）の DC リファレンスを使用できれば便利です。これは、高性能の対数/逆対数除算器をテストするのに特に有用です。

DC 誤差テストの手順は単純です。例えば、2 象限除算器（427 など）の場合は、リファレンスを必要な分母電圧（例えば -10 V）に設定してから、分子分圧器を 1 ボルト・ステップで -10 V から 0 V まで段階的に変化させます。次に、分子の極性を反転させて、減衰器を +10 V まで段階的に変化させます。各ステップでの除算器出力を DVM で読み取って書き取り、理論値と比較することができます。異なる周囲温度で除算器を動作させて同じ手順に従えば、除算器誤差の温度係数を求めることができます。表 3 はサンプルの温度テスト書式で、0° ~ 70 °C の温度範囲における 2 象限除算器のオフセットと全体的な精度ドリフトを決定するために必要な、最小限の測定回数が含まれています。

分子の周波数応答の計測

2 象限除算器に対するこのテストは単純で、1 象限除算器にはあまり関係しません。図 48 に示すテスト・セットアップは基本的な方式です。

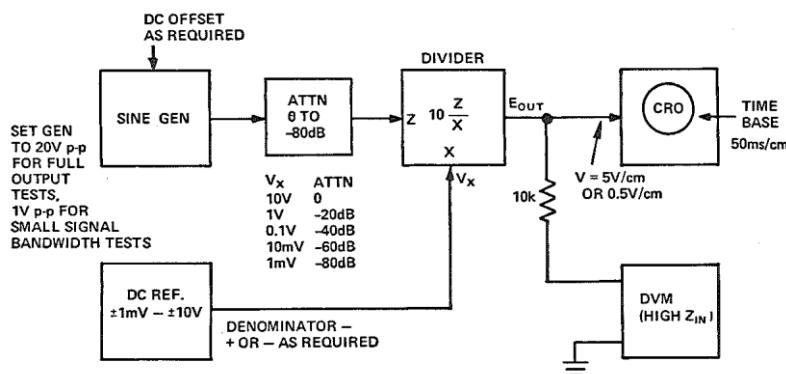


図 48: テスト・セットアップ – 分子の周波数応答と
分母の大きさの関係

表 3:2 象限除算器の精度およびオフセット・ドリフトと温度との関係を
テストするためのテスト・チャート

Denominator V_x	Numerator V_z	Theoretical E_o	E_o Measured		
			0°C	25°C	+70°C
-10.000V	-10.000V	+10.000			
-10.000V	+10.000V	-10.000V			
-10.000V	0.000V	0.000V (Offset)			
-1.000V	-1.000V	+10.000V			
-1.000V	+1.000V	-10.000V			
-1.000V	0.000V	0.000V			

$$\text{Absolute Error} = V_{\text{MEAS.}} - V_{\text{THEO.}} = \delta$$

$$\% \text{ of Full Scale Error} = \frac{\delta}{10V} \cdot 100 = \% \text{ FS} = 10\%$$

$$\%/\text{°C DRIFT} = \frac{\delta \% \text{ FS}}{T_2 - T_1}$$

測定は、予想される最小分母値で行います。ほとんどの汎用 2 象限「逆乗算器」型除算器では最小有効分母が 1V なので、この例では 1V が選択されています。

一定振幅の信号源と校正済み減衰器の代わりに、出力振幅を連続的に変えられる信号発生器を使用することができます。ただし、スケール・ファクタが 10V (K が一定、あるいは V_y が可変) の除算器では、分子入力の信号のピーク振幅が分母の大きさ未満でなければならないという点に留意することが重要です。1 象限除算器は、分子の DC オフセットが分母の DC オフセットに比例する必要があるので、それぞれの分母レベルで分子オフセットを調整する必要があります。

帯域幅テストの手順は以下の通りです。

1. DC リファレンスを希望の分母電圧に設定します。
2. 大信号テストでは、オシロスコープの垂直方向感度を 5V/cm に設定します。合計出力電圧が表示されるように、DC カップリングを使用してください。

これにより、飽和とオフセットの影響が見やすくなります。小信号テストでは、オシロスコープの感度を 0.5 V/cm 以下に設定します。1 象限除算器の出力は、分子入力に必要な DC バイアスのために「オフセット」されるので、1 象限除算器では AC カップリングが必要になります。

3. スコープに表示される除算器出力が、予想される -3 dB 周波数の少なくとも 1/10 の周波数で求められる制限値（例えば 1 Vp-p）内となるように、信号発生器の振幅とオフセットを設定します。

（分子の DC オフセット調整は、図 48 に示すように、DVM を除算器出力に接続することによって行うのが最も簡単です。オフセットは、DC 出力が除算器の動作範囲内の希望レベルとなるように調整します。例えば、1 象限除算器 434 のフル出力周波数テストの場合は +5 V です。）

4. 除算器の出力振幅が 3 dB ($\pm 30\%$) ポイントに低下（あるいは増加）するまで、あるいは明確な歪みが出力に現われるまで、周波数を上げる方向に信号発生器を掃引します。予想動作範囲内のいくつかの分母電圧で、この手順を繰り返します。

矩形波入力を使用し、乗算器やオペアンプの場合と同じ方法で、スルー・レート、立上り時間、およびセトリング時間を決定することができます。

3-4 非線形 IC

「アナログ技術がドードー鳥と同じ運命をたどる兆候はありません。モノリシック処理技術の出現と成熟は、恐らくバイナリ・ビジネスの発展より少し遅れています。しかし、デジタル精度は永遠にビット数によって制限されますが、偏在するヒス雑音を除き、シンプルなアナログ回路の最終的な精度と機能的多様性に制限はありません。」

バリー・ギルバート、1973年1月

このハンドブックが扱っているデバイスの構成や性能クラスの大部分は、主にモジュラー型のディスクリート回路アセンブリの形で提供されていますが、大きな変化が起きつつあります。

アナログ回路の線形機能の分野は、大量の汎用（および専用）オペアンプによって完全に飽和状態となっていますが、集積回路技術は非線形機能回路の開発の方向に向かっています。

これまでモジュール形式でしか提供されていなかった非線形機能が、集積回路としてますます多く提供され始めています。コンパレータ（オペアンプとデジタル特性を組み合わせたもの）を除き、今日までにアナログ IC によって実現された最大の進歩は、乗算、除算、二乗、根、乗算 D/A 変換などの基本機能を実行する回路です。

似て非なる物

大抵は、IC アプローチとモジュール・アプローチの類似点はすぐに分かります。これらはともに同じ回路動作をして、一般に同じシステム設計上の問題を解決するために使用できます。

違いは 2 つのカテゴリに分かれます。つまり、コストやサイズといった IC とモジュールの一般的な違いと、回路の設計や性能に影響する技術的な違いで、これらは利点と制約の両方をもたらします。

最も顕著な違いはコストです。これは、導入時点で競合する同等の IC デバイスのコストだけではなく、あらゆるデバイスのコストが容赦なく下がる傾向にあり、特に使用量が多くなるとその傾向が顕著になります。これは、システム設計者がそれらのデバイスを新しいアプリケーションに使用する強力な動機となります。少し前まで、合計誤差 2 % 未満のモジュラー型乗算器は、25 ~ 30 ドルの価格帯で売られていました。現在、これと同等の IC 乗算器 (AD533JH) は、100 個のロットが 実に 6 ドル未満で売られています。今後数年間で、「ありふれた」IC 乗算器が、今日の汎用 IC オペアンプとそれほど違わない価格で販売されるようになるでしょう。

その他の一般的な違いは、サイズが小さいことと信頼性が高いことです。小型の IC パッケージ (ハーメチック・シールのセラミック・デュアル・インライン・パッケージとハーメチック・シールの TO-100 メタルキャップの両方) はあらゆるアプリケーションでスペースを大幅に節約し、そのうちのいくつかは、モジュラー型のディスクリート部品パッケージでは実現すら不可能なものです (AD532 などのデバイスは外部トリム部品やその他の部品を必要とせず、最小限のサイズを実現します)。同等のモジュラー型機能と比較したモノリシック・アセンブリ技術の信頼性向上の可能性については、これまで非常に多くの文献で論じられてきました。

ディスクリート回路モジュールは、回路の複雑さ、物理的構成、またはパッケージ・サイズなどについての制約が無いので、同等の IC 製品に対して引き続き性能的に優位に立っていますが、汎用、中間帯域幅の 1 ~ 2 % デバイスについては、両者の差は無視し得る程度にまで縮まっています。最先端の精度、速度、安定性、あるいは使いやすさなどが不可欠な場合は、依然として（本稿執筆時点では）モジュールが第一の、そして恐らく唯一の選択肢です。

ディスクリート回路を使用するモジュールは、0.1 % 未満の誤差を実現するためにパルス変調回路を採用することができますが、可変トランスクンダクタンスを使用する現時点の IC デバイスでは、外部トリムを使用した場合で $\pm 0.5 \%$ に止まります (3-2 項で説明したように、「クロスフィード」トリムはこれを 1/2 に減らすことができます)。

パルス変調手法は本質的により正確なものです、モノリシック・チップ上に形成される回路要素に関して厳しい要求を課すので、集積回路に採用するのは困難です。しかし、IC 乗算器設計への新しいアプローチは、将来的に非常に有望なものです。

また、ディスクリート設計では、選択した要素に使用できるモノリシック・チップをビルディング・ブロックとして組み合わせ、今日の最新技術では単一のモノリシック・チップでは妥当な歩留まりを実現することが難しいような組み合わせを提供することができます。一方、チップ上の IC 乗算器の自動レーザー・トリミングは、価格／性能／利便性に関する IC 乗算器の競争力を高める助けとなります。

ダイナミック性能の領域では、IC トランスコンダクタンス・セルは（不完全電流-電流変換デバイスとして）本質的に広帯域です。完全モノリシック乗算器は、レベルシフト出力アンプに使われるラテラル PNP トランジスタの速度に制約があるため、一般に帯域幅が数 MHz に制限されます。不完全電流出力デバイス（乗算器と呼ばれるが、実際は単なる電流セル）には、レベルシフト・アンプを含むいくつかの外付け部品が必要ですが、これらの部品はすべて速度を低下させる傾向があるうえ、新たな誤差を発生させてるので、これらの誤差も基本的なモノリシック・デバイスの誤差に加える必要があります。かなりの外部回路を使用する基本的なトランスコンダクタンス・セルを使用するか、あるいは性能が保証されたモジュールまたは全機能内蔵型の IC を使用するかの経済的な選択では、電流セルの特性がその使用の障害とならない特定の高速アプリケーション分野を除いて、後者が好まれる傾向にあります。

このハンドブックで取り上げる IC 乗算器は完全な自己完結型の動作ブロックで、実働回路を得るために必要なものは、電源、トリム（一部のケースのみ）、および通常の回路実装技術だけです。

最後に、IC 乗算器の性能に影響するテスト方針にも違いがあります。モジュール型乗算器の製造時手動テストのコストが、これらのデバイスのコストに占める割合は大きくありません。一方で、IC 乗算器のコスト削減の可能性を現実のものにするには、自動テストが絶対に必要です。自動化された高速テストの主な欠点は、すべてのパラメータがその最終値に達するだけの十分なウォームアップ時間が取れないことです。

結果として、メーカー（つまりアナログ・デバイセズ）は、予測手法と余裕を持った安全率を併用して、通常の完全にウォームアップされた回路アプリケーションにおいて保証仕様値を実現できるようにする必要があります。その場合の余裕は、良心的な IC メーカーから購入したデバイスは、仕様に示された性能をかなり上回る場合が多いことです。

乗算器の設計

正確なモノリシック乗算器を可能にする基本的な回路構成が考案されたのは、ここ 5 年間のことには過ぎません。さらに、ディスクリート部品使用の回路モジュールに対抗できる程度に誤差を抑えたデバイスを実際に製造できるようになったのは、その最後の 2 年前後と見てよいでしょう。

実現を待たなければならなかった主要な技術的要素としては、以下のものが挙げられます。

1. 高い電流ゲイン、正確なマッチング、さらに、電流と温度の広い範囲にわたって理想的な対数接合特性への極めて高い適合性を示す、ほぼ理想的な NPN トランジスタ。
2. 線形性、安定性が優れ、許容誤差が小さいモノリシック抵抗。
3. モノリシック乗算器が汎用アプリケーションに適した性能基準を実現する助けとなった重要因素は、チップ・レイアウトによって生じる隠れた誤差源について理解が深まったことです。これらの誤差源には、熱の影響、アルミニウム・メタライゼーションの無視できない抵抗、外見上は同じトランジスタのマッチングが取れていないことなどがあります。

モノリシック非線形回路のユーザと設計者には、妥協が求められます。設計者にとって問題となりそうな要素には、以下のものがあります。

1. 入力アンプ、主機能コア、出力アンプ、およびリファレンス電圧やバイアス電源といったすべての補助回路で構成される完全なシステムは、例えば 80 ミル (2 mm) 四方を超えない大きさのチップ上にまとめるこことのできるデバイスを使って実装する必要があります。

2. 回路によって生成されたすべての電力は、ディスクリート回路モジュールがかなり大きなサイズと質量であるのと異なり、比較的小さいパッケージによって放散させなければなりません。したがって、一方の高い負荷駆動能力と、他方の無視できる程度のウォームアップ・ドリフトおよび長期的ドリフトとの間の妥協が特に難しくなります。さらに、大きな電力を消費する出力段と温度の影響を受けやすい対数デバイスの間に密接な熱的結合があるので、慎重なレイアウトにより、重要なトランジスタ・ペア間の熱的なアンバランスを最小限に抑えることが求められます。

3. いくつかの非常に有効な部品が使用できません。コンピュータ・マッチングされたトランジスタ、校正され保証されたリファレンス・ダイオード、高速高ゲインの PNP トランジスタなどの選別デバイスを設計に組み込めないことは明らかです。最も深刻な問題は、ラテラル PNP トランジスタの使用によって帯域幅が制限されることです。他のほとんどの問題には十分に対処可能です。

4. デバイスをその仕様精度内にするために必要な調整の数は、最小限に止めなければなりません。調整がユーザにもたらす不便さや生産コストに及ぼす悪影響とは別に、それぞれの外部調整には少なくとも 1 つのボンディング・パッドと 1 本のパッケージ・ピンが必要で、通常、これらはともに極めて高価につきます（1 つのボンディング・パッドには標準的な NPN トランジスタと同じ面積が必要で、追加ピンが必要な場合は低価格の 10 ピン・バージョン・デバイスを使用できなくなります）。オンチップ抵抗のトリミングは実現可能ですが（AD532 の製造には問題なく使われています）、製造コストが上昇します。したがって、モノリシック設計では、最悪時の許容誤差に関する検討も重要になります。

このように IC は課題をもたらしますが、同時に機会を提供します。ユーザにとっての利点は、価格が低いこと、サイズが小さいこと、そして信頼性が高いことです。設計者にとっては以下のようない点があります。

1. 回路に有効な改良を加える場合のコストの増分が小さいこと。ディスクリート設計の場合は、マッチングの取れたトランジスタ・ペアを 1 つ追加するだけでも慎重な検討が必要で、モジュールの材料費と人件費の両方が目に見えて上昇することが予想されます。

これに対し、モノリシック・トランジスタ・ペアを追加しても材料費や人件費に大きな差は出ず、より多くのチップを正しく機能するようにすることで（つまり歩留まりの向上）、トータル・コストが下がる場合すらあります。たとえば、極めて複雑な回路を使用して精密な電圧リファレンスを生成し、モジュール設計者が使用する校正済みのツェナー・ダイオードに置き換えることができます。実際、モノリシック・デバイスの明らかな「限界」に挑戦するエンジニアによって開発されたこれらの回路が、将来のディスクリート・モジュールにとって望ましい電圧リファレンスになる可能性は、あらゆる所に存在します。

2. モノリシック・アプローチのもう 1 つの利点は、皮肉なことに、チップ上に部品同士を極めて近い位置で配置する結果です。このような配置は、上記 2 に示すように問題も発生させます。その利点とは、製造されたままの状態のデバイスのマッチングと温度トラッキングが極めて良好なことです。つまり、選別の必要がありません。技術が成熟するにつれて、これらの要素は、かつてのように支配的な誤差源ではなく 2 次的な誤差源となりつつあります。したがって、実現可能な性能との関係から見たモノリシック製品のトリミングとテストに要するコストは、今後も低下し続けるでしょう。

一般的な事項についてはこのくらいにして、次に、モノリシック回路設計者が動作上の要求に対応する方法を詳しく見ていきましょう。

回路の比較

今、中程度の精度（例えば 1 %）を持ち、小信号帯域幅が約 1 MHz の 4 象限乗算器を設計したいものとします。まず、使用可能ないくつかの手法をリストアップすることから始め、モノリシック・デバイス製造の実現可能性との関係で、それらの手法の特性を検討します。

二乗差掛け算。この方法には、2 個の高精度二乗演算デバイスと、和と差を生成するためのいくつかのオペアンプが必要です。この方法は、かつては精密な高速乗算を行うための古典的なアプローチでしたが、モノリシック実装には勧められません。いずれにしろ、この手法は、モジュール設計の場合でさえほとんど時代遅れとなっています。実際には、低価格乗算器を使用するのが、恐らく二乗演算を行う最良の方法です。

パルス変調。この方法で 1 MHz の信号帯域幅を実現するには非常に高いキャリア周波数が必要で、4 象限動作に応用するのは、どちらかと言えば困難です。また、恐らく、さまざまなタイミング機能やフィルタリング機能を実現するために、複数の外付けコンデンサを接続する必要が生じます。

ホール効果。標準的な NPN プロセスでホール・プレート*を作ることは可能ですが、これらのプレートは最適なものではなく、生成される出力はミリボルト・レベルの信号です（俗に「The Hall Effect is a small effect（ホール効果は小さい効果）」と言われます）。変数の 1 つに応答する比較的強い磁界が必要です。2 つの入力チャンネルの動的特性は大きく異なります。

対数和の逆対数（3-2 項）。この方法は、1 象限モノリシック実装に確実に使用できます。ただし、完全な 4 象限機能を実現するにはいくつかの難点があり、1 象限のケースよりかなり複雑になり、速度が信号振幅の関数になり、比較的多数のアンプが必要になります。

電流比（線形化可変トランスクンダクタンス）。この方法はモノリシック実装に特に適しており、現在市販されているほぼすべてのモノリシック乗算器に使われています。シンプルで基本的に温度に影響されず、差動電流信号で動作して、4 象限動作を直接実現します。帯域幅が本質的に広く、実際は、レベル・シフトを実現するためにラテラル PNP トランジスタを使用している出力アンプによって制限されるだけです。

設計に関する検討

それでは設計者の椅子に座り、モノリシック的な側面が、電流比セル利用のためのアプローチにどの程度影響するのかを見てみましょう。基本的なコアはすでに説明済みですが（3-2 項）、いくつかの特定ポイントを強調するために、ここでは、説明のしかたをわずかに変えます。

図 1 は代表的なモノリシック・バージョンを示したもので、これ以外にも多くの構成が可能です。2 つの「線形化ダイオード」は、実際には共通のコレクタ・ベース領域内にあるエミッタのペアであることに注意してください。

*ホール効果: 導体中に電流が流れている状態で、その導体に対して直角に磁界をかけると、電流と磁束密度の積に比例した直交電圧が導体に発生します。比例定数（「ホール係数」）は、材質と導体形状の関数です。

これは、設計者がチップ面積を減らす方法の 1 つです。追加のエミッタが占有するのは、完全に絶縁されたトランジスタに必要な面積の 5 % に過ぎません。出力トランジスタのペア Q4-Q6 と Q3-Q5 がコレクタ領域を共有している点に留意すると、同様のスペース節約を実現できます。この場合も、個別のトランジスタを、1 つのコレクタ領域を共有する 2 つのエミッタ・ベース構造に置き換えれば、面積の増加は約 30 % に収まります。

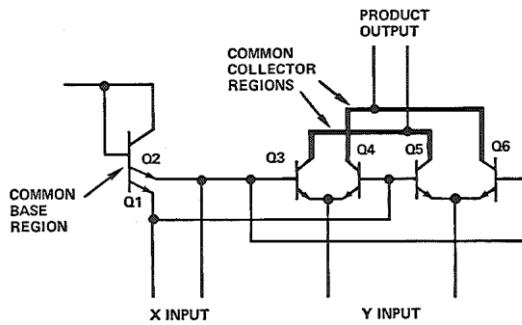


図 1: モノリシック乗算セルの回路。

この図と 3-2 項の図 11 の Q1、Q2、Q3 を比較します。

これら 6箇所の接合部はチップ上の互いに近い位置にあり、そのエミッタ面積が正確に同じでなければなりません。多くの場合は、プロセスの許容誤差の影響を軽減するために大きいエミッタが使われます。ただし、等温マッチングはエミッタのサイズとともに改善されますが、デバイスが大きければそれだけ間隔も大きくなり、チップ上での熱勾配の影響を受けやすくなるので、妥協の必要があります。つまり、特定ペア間での熱勾配 1°C ごとに 0.07 % の歪みが発生し得ます。エミッタ面積を制限するもう 1 つの理由は、適切なカットオフ周波数を維持するためです。

乗算器コア内の面積マッチングは極めて重要ですが、これには 2 つの理由があります。第一に、これらの接合部間での 1 mV のオフセットは、放物線状の非線形性を発生させる可能性があり、その場合はフルスケールの約 1 % が積に上乗せされることが挙げられます。第二の理由は、 $\pm 10 \text{ V}$ の信号を扱うには大量のデジェネレーションが必要なので、オフセットによって入力に対し大きなゼロ誤差が発生することです。比が約 200 なので、 1 mV のトランジスタ・不整合は、X または Y 入力（または両方）の発生場所による）では 200 mV になります。

さらに、このゼロ誤差には kT/q で表される温度依存性があり、上に挙げた例ではほぼ $0.7 \text{ mV/}^{\circ}\text{C}$ になります。高品質のプロセスと慎重なレイアウトがこれらの問題を緩和する上で多くの役割を果たしましたが、さらに回路に関する新しい秘訣が設計者のレパートリーに加わっており、これが残留不整合の大部分を除去するヒントの役割を果たします。

モジュール設計者が遭遇することは滅多にありませんが、このシンプルなセルのもう 1 つの誤差源は、複雑なトポロジと、それに伴う回路の相互接続の問題から生じます（紙の上で、接続線を交差させることなくあらゆる要素を接続してみてください。すべての入力ノードと出力ノードは回路の外側に来なければなりません）。ここは、この問題を扱う興味深い方法を掘り下げて考える場所ではありませんが、払うべき注意の一例として、アルミニウムの相互接続の 1 つに、いくらか迂回的なルートを使用するとどうなるか考えてみてください。1 平方あたり $50 \text{ m}\Omega$ の場合、0.5 ミル ($1/80 \mu\text{m}$) トラックに 20 ミル ($1/2 \text{ mm}$) の長さの差があると、 2Ω の抵抗差が生じます。したがってこの導体に 1 mA の電流が流れる場合は、 2 mV の電圧差が生じます。図 1 の重要接合ループ内でこのようなミスがあると、1% の歪みレベルすら実現できなくなります。

抵抗による過度の電圧降下を避けるためにも、これらのトランジスタの 1 ミリアンペア以下の動作レベルが選択されます。これらの電圧降下が線形性に及ぼす影響により、帯域幅を維持するために非常に高い電流で動作させる必要がある VHF 乗算器は、通常は計装回路よりも線形性が劣ります。

有限の電流ゲイン (β) によって生じる誤差の補償は、モノリシック設計者がこの手段の利点を生かすことのできる方法のもう 1 つの例を提供します。このケースでは、チップのあらゆる場所のデバイスの β が整合し、温度に追従する傾向があります。図 1 の回路では、 α 誤差の 3 倍のスケール・ファクタ誤差が生じることが分かります。つまり、Q3 ~ Q6 の α が 0.99 ($\beta = 100$) だとすると、全体のゲイン誤差は -3 % になります。これは最初のうちはトリムにより除去できますが、 β が変化すると（特に低温時）スケール・ファクタが変化します。

幸い、最新プロセスでは β の値が数百のトランジスタを安定して製造できるので、これは深刻な問題ではありません。高精度乗算器は、 β トラッキング（および電流比の原理）の利点を生かして、ミリタリ温度範囲 (-55 °C ~ +125 °C) でも非常に安定したスケール・ファクタを維持する補償回路を使用することができます。

これは、モノリシック乗算器とディスクリート乗算器の設計の違いのいくつかを簡単に見たものです。非常に特殊な問題なので、この分野について詳細に扱った文献は出版されたことはこれまでありませんし、今後も恐らく無いでしょう。乗算器に関連してこれまで説明してきた事項の大部分は、対数接合に基づく他の非線形回路、特に比やべき乗関数の生成に関わる回路にもあてはまります。ディスクリート回路との比較についても同様です。

仕様と特性

IC およびモジュラー型非線形関数回路は、共通の設計原理を共有しており、同様のアプリケーションに使われる所以、また、ほとんどの IC 非線形デバイスの動作ガイドラインは、その先祖のモジュラー型回路の用語を使って設定されているので、仕様にほとんど違いがなくとも驚くには及びません。実際、IC デバイスの仕様は外部トリムー通常は 4 個の可変抵抗の調整（出力アンプを含むデバイスの場合）一を行うという条件の下に規定されていることに留意すれば（本稿執筆時点では AD532 を除く）、唯一の違いは、すべての IC とそれらと同等のモジュラー型関数回路の間に存在する違い（ウォームアップ時間、消費電力、サイズ、コストなど）だけです。したがって、3-2 項で与えられたフィードスルー、非線形誤差、ゲイン誤差、精度などの定義は、IC とモジュラー型関数回路の両方に等しく適用されます。

パルス幅／振幅変調の原理を使用するモジュラー型回路は、最大誤差 0.1 % 未満で乗算を行います。トランスコンダクタンス原理を使用する最良の IC 回路では（IC の最先端技術は急速に発展しているので、何度も同じ注記の繰り返しになりますが、これも本稿執筆時点の最良の IC 回路です）、0.5 % 未満の乗算誤差が保証されています。

ただし、最良の IC の代表的精度（誤差）の温度特性仕様は $0.01\%/\text{ }^{\circ}\text{C}$ で、これは IC 構造の優れた温度追従性能によるものです（モジュラー型に匹敵する値です）。モジュラー型乗算器は 10 MHz の小信号帯域幅と最小 $120 \text{ V}/\mu\text{s}$ のスルーレートを提供します。電流出力（不完全）IC 乗算器の最良性能は、限定されたレンジで 6 MHz と $30 \text{ V}/\mu\text{s}$ で、電圧出力 IC では 1 MHz と $45 \text{ V}/\mu\text{s}$ です。

本質的に基本的なトランスクンダクタンス乗算機能だけを提供する非線形デバイスがいくつか市販されていますが、得られる電流出力信号は低レベルなので、アンプといくつかの受動部品を追加して、使用可能な信号レベルにする必要があります。外付けするこの回路自体が新たな誤差源（および追加コスト）になりますが、その大きさは 能動部品と受動部品の選択および回路設計の巧妙さに大きく依存します。このケースでは、メーカーが全体の精度を保証することはできず、（オペアンプなどの自由度の高い汎用デバイスと同様の方法で）個々のパラメータの仕様を規定することに止めざるを得ません。アナログ・デバイセズは、全体が確定された回路を提供することを選んだという点に注意することが重要です。アナログ・デバイセズのすべての IC 乗算器は、出力アンプを含む完全なオンチップ回路なので、全体的な性能が保証されています。

非線形 IC と IC オペアンプ

このハンドブックをここまで読み進めてきた読者の多くは、その背景に機能デバイスのアプリケーションにおける経験があるはずです。どのような製造形態（「ボトル」からチップまで）かは問いません。しかし、アナログ（「線形」）回路に関する経験が IC オペアンプだけに限定されている読者も多数存在します。後者には、以下のように、非線形アナログ集積回路と「線形」アナログ集積回路の質的な違いを比較することが、理解の助けになると思われます。

大部分の非線形および線形（つまりオペアンプ）アプリケーションでは、最も高い関心が払われる仕様は信号再生の精度です。しかし、オペアンプは自由度が高いので、メーカーが、ユーザの必要とする精度を保証する単一の仕様でこの関心を満たせることは稀です。

入力バイアス電流、オフセット電流、入力電圧オフセット、電圧オフセット・ドリフト、CMRRなどの全体精度に影響する仕様は、オペアンプの（さまざま）具体的な使用方法に応じて、すべて異なる誤差を発生させます。したがって、IC オペアンプのごく一般的な性質が、全体的な精度仕様を保証しようとするメーカーにとって妨げとなります。メーカーは、 I_b 、 E_{OS} 、ゲイン、CMR などのパラメータの仕様を規定することだけに自らを制限して、全体的な精度の決定をユーザに委ねる必要があります。

他方、非線形関数 IC は、どちらかと言えば限定的なタスクを実行します。その用途は自動ゲイン制御、真の RMS、ベクトル和、絶対値、比の測定など広い範囲に及びますが、ほぼすべてのケースで同じように接続されて、乗算、除算、二乗、平方根といった同じ機能を実行します。IC メーカーがオペアンプの適切な全体精度仕様を提供する妨げとなる自由度の高さは、非線形関数 IC の場合は存在しません。したがってユーザは、トレードオフが必要な多くのパラメータを検討する前に、回路の最悪時精度誤差を計算するという、たいていは手間がかかり、場合によって混乱を招くような要求から解放されます。全体的仕様よりかなり高い性能レベルが求められる場合を除き、フィードスルー、非線形性、およびスケール・ファクタ誤差などの部分的仕様の値を測定し、保証された全体仕様にそれらを含めることにより、（これらの仕様は与えられてはいますが）これらの仕様の影響を理解、解釈、計算する必要はなくなります。

ただし、すでに述べたように、特定の非線形操作の結果得られた信号が、デバイス出力において、それ以上の処理や増幅が必要ないレベルで受け取られるときだけ、144 全体的精度が本当に保証されます（外部トリムの影響は仕様に含まれているので除く）。ポイントは、部分的な乗算器回路は多自由度デバイスとして扱う必要があり、全体的性能の計算には外付け部品の影響を含めなければならぬが、それはメーカーの仕様には含まれていないということです。

テストと選択

3-2 項に示す乗算器用のテスト回路は、技術的観点からはあらゆるケースに使用できます。ただし、乗算器が大量に製造される（あるいは使用される）場合、つまり低コストで大量に製造される集積回路デバイスの場合は、人手の介入を減らしてスループットを大きくすることによって製造コストに見合うコストを維持するために、コンピュータ制御された自動テスト・システムに目を向ける必要があります。自動テスト・システムは、より短い時間でより多くの計測を行い、デバイスをいくつもの異なるカテゴリに分類することができ、しかも熟練テスト技能者を常時配置する必要がありません。

モジュラー型乗算器の代表的なベンチ・テストでは 3 台の装置をセットアップし、モジュールをソケットに差し込んでいくつのスイッチ（または相互接続）を操作し、（例えば）10 の計測を行って、（その特定モジュールが複数のクラスに分類される場合）そのモジュールを分類する必要があります。この手順には、デバイス 1 個あたり 1 分間（以上）を要することがあります。

温度テストではボードにモジュールを取り付け、そのボードを環境チャンバに入れて室温に調整する必要があります。その後、チャンバ（「オープン」）をそれぞれのテスト温度にして、さらに計測を行います。したがって、温度テストではデバイス 1 個および温度レベルごとにさらに時間がかかる他、セットアップと状態安定化のための時間が必要です。

これに対し、自動テストシステムは、（装置と）プログラムを記述してデバッグするための時間への初期投資を済ませてしまえば、5 倍の計測をデバイス 1 個あたり 2 ~ 3 秒で行うことができます。環境チャンバおよび磁気テープなどのデータ・ストレージと組み合わせれば、温度テストやドリフト・テスト（この場合は 2 つの異なる温度で同じテストを行って、両者の差を計算する必要があります）も極めて短時間（約 1 秒）で行うことができます。高速でテストが可能なので、重要パラメータに加え、消費電力、バイアス電流、負荷に対する出力スイング、最大定格などのより重要度の低い（ただし、保証仕様であることに変わりはない）パラメータをテストすることも可能になります。

テスト・システムに自動ハンドリング装置を接続すれば、挿入時間を 1 秒未満に短縮することによって、テスト・システムをより効率的に使用することができます。

ただし、自動テストも万能ではなく、やはり問題と制約があります。その 1 つが、このような高速テストでは、デバイスに、その通常動作温度に達する十分な時間が与えられないことです。これは通常、保証された限界値より厳しい狭い値でテストを行うことによって補償できます。この場合、通常の保証限界値であればすべての仕様を満たす可能性のあるデバイスを一部廃棄しなければならない（あるいは高品質タイプに分類される可能性のあるデバイスを低価格デバイスに格下げする）ことが明らかですが、テスト時間の短縮による利益の方が、不十分なウォームアップ時間によって生じる歩留まりの低下をはるかに上回ります。

乗算器テストの難しさの主なものは、精度、線形性、およびフィードスルーを計測できるようにするために、3 種類のヌル調整を行うことと、スケール・ファクタ ($1/V_r = 0.1/V$) を設定することです。自動システムに使われる基本的な手法は、計測システムで出力をモニタしながら、ソフトウェアに書き込まれた逐次比較ルーチンに応じて、プログラマブル DC ソースによってそれぞれのヌル電圧を変化させることです。正しい出力レベルに達すると、サンプル & ホールドによってヌル電圧が保存され、プログラマブル・ソースが次のヌル端子に切り替わってプロセスが繰り返されます。

ゲイン・テストでは、ユーザが行うように (AD530 または AD533 の) Y 入力の減衰器を設定することによってスケール・ファクタを調整するのではなく、自動システムが、X 入力から出力へのユニティ変換を行うために必要な Y 入力電圧へのプログラマブル信号源を調整します。この電圧値は、後で Y のフルスケール値を必要とするさまざまなテストを行う際に、Y 入力を確立するために使われます。

ヌルを繰り返したり精密調整したりする必要がある場合にヌル・ルーチンが繰り返されるのを避けるために、調整は正しい順序で行われます。つまり、Y フィードスルー ($0 \times Y, X_{os}$ をトリム)、X フィードスルー ($X \times 0, Y_{os}$ をトリム)、 E_{os} ($0 \times 0, V_{os}$ をトリム)、そしてスケール・ファクタの順です*。これは、「線形」フィードスルー調整時の出力の大きさ (トリムされていないオフセット電圧) を無視して (3-2 項の図 34 と図 35 を参照)、入力信号に応じた出力電圧変化を計測するためのサンプル & ディファレンス手法を使うことによって行います。

* このプロセスは、3-2 項、式 13 の Z_{os} 項と $X_{os}Y_{os}$ 項の影響を含めて、出力を直接ゼロにします。

例えば（図 2）、Y フィードスルーをヌル化する場合は、 X_0 S-H（サンプル & ホールド）は トラック状態にゲートされて、基本的にプログラマブル電圧源を乗算器の X_0 ピンに接続します。同時に X 入力がゼロにセットされて、Y 入力が交互に +10 V と -10 V に切り替えられます。+Y 出力が -Y 出力から差し引かれ、差がゼロの時は逐次比較ルーチンが停止して、 X_0 S-H がホールド状態になります。このディファレンス手法は DC オフセットを無くすとともに、乗算器の非線形性によるフィードスルーのトリムできない成分がヌルに影響を与えるのを防ぎます†。4 つの調整すべてを含むヌル手順全体の実行に約 1 秒かかります。

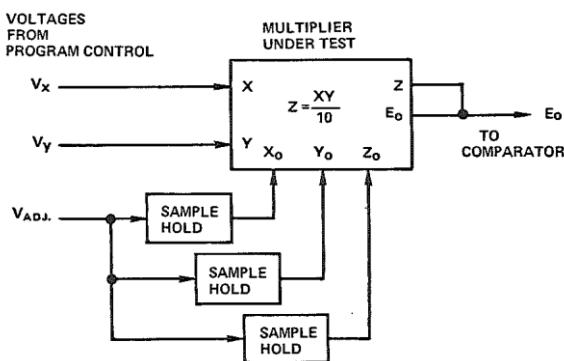


図 2: 自動テスト回路への乗算器接続

温度テストでは、計測された 25 °C でのヌル電圧が磁気テープに保存されて、定格温度レンジの境界値で乗算器をテストする際に、各乗算器に関して正しい 25 °C でのヌル状態を確立するために後で再生されます。この手法は、最終的に 1 時間あたり 500 デバイスのスループットで自動ハンドリング装置を使用することを可能にする一方で、ユーザの回路状態を正確にシミュレートします（ポテンショメータは 25 °C に設定）。このテスト・セットアップを使用し、100 % のデバイスをテストすることによって、全温度範囲での性能を保証し、検証することができます。

このようなテスト・システムは極めて稀なものです（本稿執筆時点ではアナログ・デバイセズ独自のものと考えられています）、完全にモノリシックの乗算器の優れた品質／価格比と、アプリケーションを指向した仕様の維持を実現します。

† 3-2 項で注記したように、これらのデバイスのフィードスルーの非線形性は 2 次曲線状です。

ダイナミック・トリミング

AD532 が登場するまで、IC 乗算器には、仕様に規定する許容誤差内への調整を可能にする、いくつかの外付け部品が必要でした。このような調整はユーザにコストを強いるものであり（デバイスの基本価格に比べて）、新たな熱誤差と偶発誤差を発生させる恐れがあります。

レーザーの微細加工能力と自動計測・位置決めシステムの組み合わせにより、オンチップ薄膜抵抗の値を変えて、乗算器のオフセットとスケール・ファクタを調整することが可能に（また、経済的に実現可能に）なりました。その結果、調整や外付け部品を必要とすることなく、IC 乗算器をそのまま接続して使用できるようになりました。

図 3 は、アナログ・デバイセズが開発した自動ダイナミック・トリム・システムのブロック図です。トリムする各抵抗の開始点と終了点の座標は、パンチテープの連続ループ上に保存されます。デバイス位置制御装置がテープを読み取り、X-Y テーブルを駆動するデジタル・ステッピング・モータに一定数のパルスを与えることによって、レーザー・ビームの下にデバイスを置きます。電源および制御ロジックモジュールは、このロジックにより決定される順に、電源と入力電圧をデバイスに加えます。また、デバイスの出力を調整して、それを計測およびトリム制御システムに与えます。このシステムはデバイスの出力が必要な値に達したことを検出し、制御ロジックを介してレーザー・ビームをオフにします。使用する計測方法は、自動ヌルおよびテスト・システムに関して上で説明した方法と同様です。

レーザー・ビームは、高いエネルギー密度を得るために小さい面積に集中させたコヒーレント光で、抵抗の一部を酸化させ、抵抗値を恒久的に増加させます。

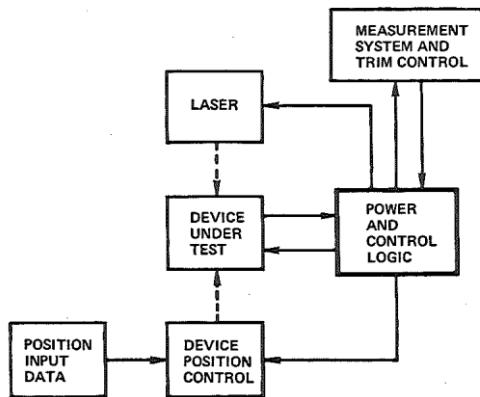


図 3: レーザー・トリミング・システムの構成

図 4 は乗算器セルの簡略回路図です。通常動作時は、X 入力のトランジスタ・ペアのオフセットを調整するために、-X 入力に一定の電圧が加えられます。ダイナミック・トリミング時には X 入力をゼロ・ボルトに保持して (-Y 入力も同様)、+Y 入力をプラスとマイナスの指定電圧ペアの間で切り替えます。その状態でレーザーが R1 または R2 の抵抗値を増加させ、それによってこの段の電流バランスを調整して、線形フィードスルーが最小になるようにします。これは、位相感応チョッピングとデバイスの出力のフィルタリングによって計測されます。フィルタの出力がゼロになるとレーザーがオフしますが、これは、両方の入力レベルでのフィードスルーが等しくなったことを示します。

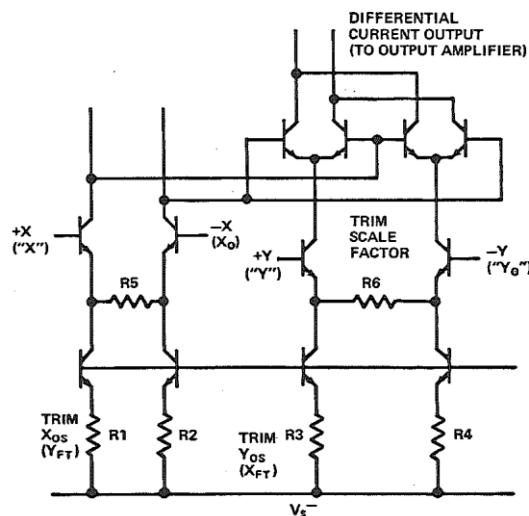


図 4: フィードスルーおよびスケール・ファクタのトリム抵抗を示した乗算器入力回路の簡略回路図

+X 入力のフィードスルーは、Y 入力と -X をゼロに保持して抵抗 R3 または R4 の値を増やすことにより、同様の方法で調整されます。

オフセット電圧は、オンチップ出力アンプ内にある 1 対の抵抗のうちの 1 個を調整することによって、ゼロ調整されます。すべての入力がゼロ・ボルトに設定されて、出力がゼロになるまで抵抗値が増加されます。スケール・ファクタは、最大入力に対する誤差を 4 象限すべてでモニタしながら、意図的にわずかに低めの値にしてある R6 の値を増やすことによって設定されます。抵抗は、4 象限の合計誤差が最小になるまで増加させます。この調整はオフセットに影響するので、最良の歩留まり対コストの関係が得られるように、オフセット・トリミングをもう一度繰り返す（精密トリム）必要があります。

デバイスを接続して X-Y テーブル上で位置を合わせれば、トリム手順は完全自動で行われます。

応用: 最良の結果を得る IC の実用的使用法

ヒント

精度、フィードスルー、線形性に関する仕様と、それらを最小限に抑えることに特別な注意を払ったとしても、デバイスのスケーリング、インターフェース、あるいは調整が不適切だと、メーカーが払った最大限の努力とユーザが支払ったコストが無駄になる恐れがあります。

スケーリング: オフセット・ドリフト、3 次非線形性、およびフィードスルーの影響は、入力と出力をスケーリングして、それぞれのピーク値でフルスケール電圧が得られるようにすることで、最小限に留めることができます。放物線型の非線形性はトランスクンダクタンス乗算器の中で最も多いタイプで、3-2 項の図 14 と 15 の方法によって大幅に減らすことができます。低レベルの入力信号は、最大限の精度とダイナミック・レンジが得られるように、あらかじめ（例えば $\pm 10\text{ V}$ に）増幅します*。高インピーダンス低レベル信号の絶縁とスケーリング両方のために、オペアンプをゲイン付きフォロワとして使用する方法を図 5 に示します。極性の関係から反転が必要な場合は、反転アンプを使用してアプリケーションのゲインを調整することができます。

* 両方の入力がフルスケールではなく半分にスケーリングされた場合は、ダイナミック・レンジの 3/4 が無駄になることに注意してください。回路の出力を 1/4 スケールにする必要がある場合は、乗算器のフルスケール出力の後に減衰器を追加するのが望ましい方法です。

例えば、除算器が、正信号から負の分母入力を必要とする場合です。

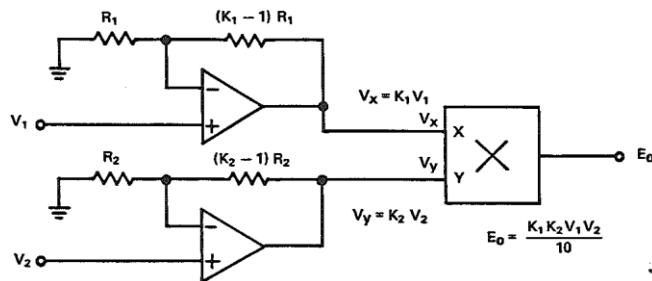


図 5: 乗算器入力を ± 10 V にスケーリングするために
ゲイン付きフォロワとして使用するオペアンプ

バッファリング: どちらかの信号源が高インピーダンスの場合は、乗算器の入力インピーダンスによって、かなりの負荷誤差が発生する可能性があります。これは、仕様に規定された抵抗レベル、バイアス電流（および時間と温度によるその変動）、そしてスケーリングのために付加されるすべての抵抗分圧器の追加シャント抵抗からなります。このような場合には、フォロワ接続したオペアンプによってソースをバッファします。そのアンプが必要な増幅も行うことができる場合は、特に重要です。

トリミング: ほとんどの乗算器のデータシートには、乗算、除算、二乗、平方根など、さまざまなモードで性能を最適化するためのトリム手順が記載されています。一部のモードでは、特定のトリム調整を省くことができます。適切な場合は、乗算器を含む回路の全体的誤差を最小限に抑えるために、回路の隣接部分にトリムを組み込んで、デバイスのトリム端子を接地することもできます。

クロスフィードスルー・トリムの使用については、低価格デバイスから最大限の性能を引き出す手段として、本章すでに述べました。通常必要なのは X トリムだけです。Y フィードスルーは効果低減点に近くなります。

内部トリムされたデバイスが設計中心の設定に正確に一致することはほとんどないので、境界的なケースでは、外部トリムを行うことによって性能を改善することができます。

精度が最も重視される象限では、性能改善のため優先的にトリミングを使用することができます。

最後に、乗算器が、0.1 % の全体誤差を必要とするような極めて高精度の回路の重要な要素である場合は、高精度乗算器を一定温度に維持してその誤差曲面をマップアウトし、複数の低価格乗算器を関数フィッティング構成（1-1 項）で使って誤差曲面をシミュレートし、それを出力から引くことができます。過去には、このような提案は夢のような話だと考えられがちでしたが、今日の乗算器が低価格化したことと、概念モデルをテストするための強力な計算手法が使用できるようになったことで、必要なコストと時間は、決して法外なものではなくなりました。

欠点

多くの場合、ディスクリート部品モジュールには電源デカップリング・コンデンサが組み込まれますが、これらのコンデンサを IC チップに組み込むのは現実的ではありません。IC オペアンプの場合と同様、特に回路の全体ゲインが大きい設計では、コンデンサを常時使用するのが妥当な方法です。各デバイスのバイパス・コンデンサはできるだけデバイスに近い場所に置く必要がありますが、スイッチや回路基板のエッジ・コネクタを介して取り付けないでください。これらのスイッチやコネクタは、望ましくない直列インダクタンスを発生させることができます。代表的な構成として、 $0.01 \mu\text{F}$ のセラミック・コンデンサを、 $1 \sim 10 \mu\text{F}$ のタンタル・コンデンサと並列にして、電源のそれぞれの側とコモンの間に取り付けます。

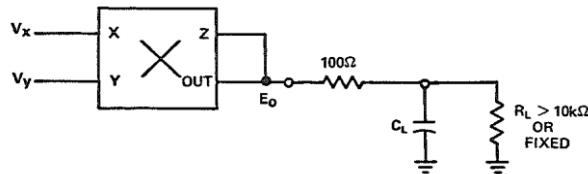
オフセット調整ポテンショメータの位置を決める時は、一定の注意が必要です。リード線が長いと望ましくない影響が生じることがあるので、調整ポテンショメータはデバイスにできるだけ近づけます。

集積回路の場合は、容量性負荷の影響を受けやすくなります。良好な設計には、あらゆる出力レベルで何も変更を加えることなく $500 \sim 1000 \text{ pF}$ 相当の容量性負荷をドライブできる汎用デバイスが必要なので（アナログ・デバイセズ製デバイスはドライブできます）*、比較的大きい容量性負荷が予想される場合は、ある程度の抵抗を負荷と直列に含めるか（図 6a）、適切なバッファを追加する（図 6b）のが賢明です。

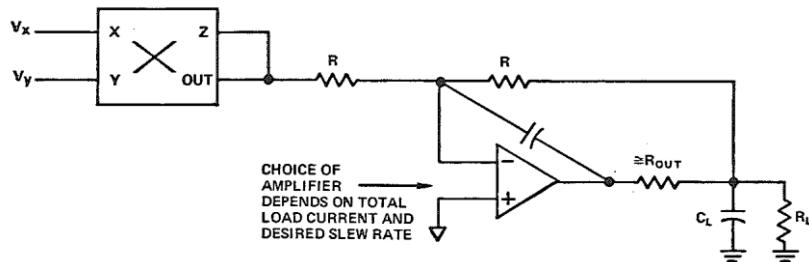
* すべてのメーカーが同様の見方をしているわけではありません。

AD530、531、532、533 の場合は、直列抵抗を 100Ω 程度にします。（注意：非線形関数セルとそのアンプが、逆関数機能、例えば平方根機能（AD530、532、533）を得るために帰還構成で接続されている場合、高レベルではループ・ゲインが倍になるので、容量性負荷能力が悪影響を受ける可能性があります）

ウォームアップ・シフトに関して触れておきます。モジュラー型関数回路は熱質量も消費電力も大きいので、一般に動作温度が低く、ウォームアップ・シフトも小さくなります。これに対し IC 関数回路では、回路の複雑さに応じて電力対体積比が大きくなり、動作温度が非常に高くなることがあります。したがって、最終的なトリム調整、または仕様に対するデバイス精度の計測を行う前に、（自由大気中で）5 ~ 10 分のウォームアップ時間を取り必要があります。ウォームアップの影響は、デバイスをヒート・シンクに取り付ければ、おそらく 1 衍程度軽減できます。



a. 固定抵抗により IC 乗算器を大きい容量性負荷から分離



b. バッファ・オペアンプにより乗算器を負荷から分離

図 6: 乗算器の発振を防ぐために大きい容量性負荷を分離

落とし穴

ディスクリート・モジュラー・デバイスと異なり、基本的に信頼性の高い IC も、使い方を誤ると、その信頼性が簡単に損なわれる可能性があります。図 7 に示すように、IC の「回路基板」は P ドープされたサブストレートと、回路素子間に必要な絶縁を提供するために負の電源電圧レベルにバイアスされた P ドープされた絶縁バリアで構成されています。電源がオフの時は、絶縁が低下して、チップはその入力と出力に現われる電圧ストレスに対して脆弱な状態になります。ほとんどの IC メーカーが、絶対最大入力定格と出力定格を $\pm V_S$ としているのはこのためで、これは、 $\pm V_S = 0$ では 0V であることを強く示唆しています。

AD531 などの一部の IC は入力回路保護機能を組み込んでいますが、多くの IC は保護機能を備えていません。故障より困るのは、保護されていないトランジスタでは単にそのパラメータが変化する可能性があることで、この変化はバイアス電流の増加 (β の減少) や電圧オフセットの増加という形で現れてきます。

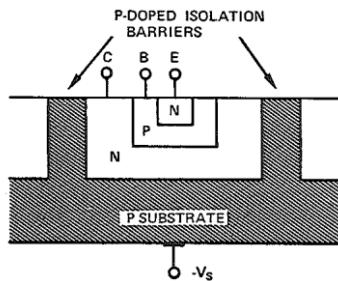


図 7: 機能絶縁を使用したバイポーラ IC の構造

入力が ± 1 V 未満の時は一般に故障が問題となることはなく、 V_{IN} が $V_S \pm 0.5$ V 未満の時はまったく問題ではありませんが、より高い入力レベルには図 8 に示すような入力／出力保護回路を使用することによって対応できます。多くの場合は $1\text{ k}\Omega$ の直列抵抗だけで十分ですが、電源へのダイオード・クランプは、電源がオフになっている場合を除いて、一定の保護効果があります。

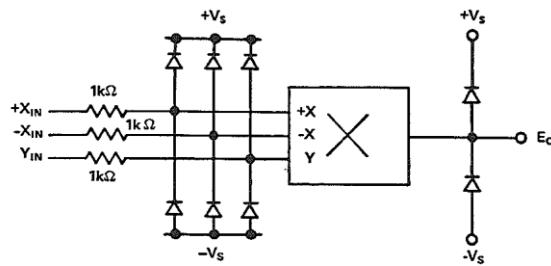


図 8: 過電圧に対する IC デバイスの保護。
ダイオードは電圧スパイクに対して保護し、
抵抗は電源オフ時のストレスに対して保護します。

近い将来 – そしてその後

IC 非線形デバイスの分野は、急速に発展するアナログ（「線形」）IC 産業の中で、まだ手つかずと言ってもいい領域です。わずか 1 年前の時点では、たった 1 つの自己完結型の 4 象限乗算器¹、² (AD530) と、いくつかの乗算器セルだけが発売されていました。モノリシック・マッチング・トランジスタ技術がトランスコンダクタンスおよび対数／逆対数回路手法に最適であることはすでに述べましたが、欠けていた補完要素（オンチップ高精度抵抗）が使用できるようになったのは、ここ 3 年のことです。シリコン半導体技術の特徴である見事にマッチングしたデバイスと、高精度薄膜モノリシック抵抗を組み合わせて利用することにより、現在提供されている 3 種類の基本的な乗算器ファミリ (AD530、AD531、AD532) と AD7520 乗算 D/A コンバータに加えて、長期的には、線形と非線形両方の新しい回路を多数利用できるようになるでしょう。レーザー・トリミング（どんな部品も追加することなく定格精度での動作が可能な AD532 が好例）は、非線形 IC デバイス製造プロセスに調整可能性という重要な能力を追加します。この能力の効果的な利用に関して、基本的な制約を課すように見える唯一の欠点がスピードです。

このスピードに関する未開拓分野すらも、誘電体絶縁とダイナミック・トリムを使用した IC への移行によって乗り越えることができます。

1 "Self-Contained I.C.Multiplier/Divider," by R.S.Burwen, *NEREM 1970 RECORD*, p. 56, Boston Section IEEE.

2 "A Complete Multiplier/Divider on a Single Chip," by R.S.Burwen, *Analog Dialogue*, Vol. 5, No. 1, January, 1971.

これらのプロセス能力の組み合わせにより、10 MHz のダイナミック・トリムされた誤差 0.5 % 未満の乗算器（完全オンチップ）が可能になります。

しかし、このような技術の組み合わせが最終的に利用されるようになる前であっても、回路およびデバイス設計の工夫によって、モノリシック特有のマッチングしたアクティブ・デバイスとダイナミック・トリムされた蒸着薄膜抵抗によって高精度が得られる、広範なアナログ回路を使用することができます。例えば、現在利用可能な技術を慎重に利用すれば、可変トランスコンダクタンス手法を使って、誤差が 0.1 % 程度の乗算器をすぐに実現できるでしょう。

その他にも、極性が限定されたワイド・ダイナミック・レンジの高精度アプリケーション用に、より特化された乗算器の出現が予想されます。まだ商業的に採用されていない（従来の回路概念からかけ離れた）新しい IC デバイス構造が、トランスコンダクタンス手法の基本的制約の 1 つであるノイズを著しく改善することが見込まれます。

乗除算器技術の改良とともに、IC はまもなく高精度の対数／逆対数動作を提供するでしょう。さらにこれは、乗除算器において業界が経験した（そして未だに加速段階にある）発展に匹敵する発展の可能性を秘めています。これらの製品の最初のものは、このハンドブックが発行される頃には提供されているでしょう。これらの回路は高度な集積化が可能です。また、乗算、除算、または対数演算に依存する、より複雑な機能、例えば真の RMS、ベクトル和、高精度 AGC ループなども、まもなくシングル・チップとして登場するでしょう。

したがって、「非線形および線形集積回路」の将来は極めて明るいと言えます。これらの基本的非線形回路の発展とオペアンプ（基本的な線形回路）の歴史の間には、以下のようなおおまかに類似性が見られます。つまり、「乗算器セル」技術は私たちを 709 のレベルに押し上げ、AD532 によって開発は 741 の段階に達しました。この時点で、オペアンプをさまざまなアプリケーションに使用することが現実的になりました。741 に続いて起こった、ほぼあらゆるアプリケーション用の数百におよぶさまざまな IC アンプへと至るオペアンプ発展の波と同様の形で、非線形 IC の使用と普及が急速に進むと予想したとしても危険ではありません。

3-5 不連続近似

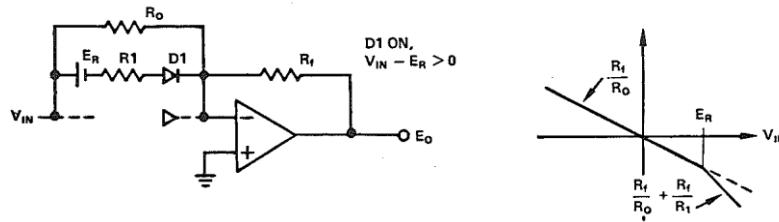
この章では、区間線形の入力と出力の関係を得るために使用する回路について解説します。このような関係の例には、区間線形関数フィッティング、絶対値、デュアルモード線形応答、符号絶対値-バイポーラ変換などが含まれます。また、アナログ関数フィッティングのためのデジタル支援ツールについても簡単に説明します。

多くの場合、非線形応答は曲線でも直線でもなく、入力（または出力）閾値を超える時に回路のゲインを変えることによって希望の応答を近似するように応答する回路によって、うまくシミュレートしたり線形化したりすることができます。

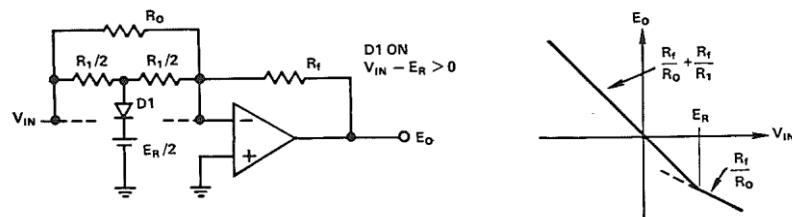
曲線関数の区間線形近似はすでに 2-1 項で紹介し（図 15 と 16）、線形化問題への応用は 2-3 項（図 7）で検討しました。高い精度とはっきりしたブレークポイントを確保するために（後者は必ずしも利点ではありません）、オペアンプと「理想ダイオード」構成のダイオードが推奨されていましたが、それらが唯一の方法というわけではありません。この章では、回路に対するもう少し広い視点でこの問題について検討します。

ブレークポイント

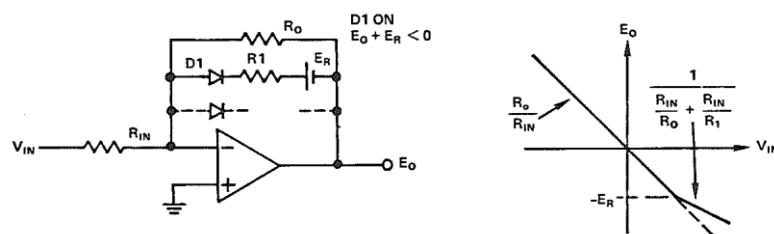
ダイオードを、正電圧を加えた時の電圧降下がゼロで、負電圧を加えた時のリーク電流がゼロの理想的な極性反応型スイッチと見なせるならば、バイアス電圧および抵抗回路とともに使用して、制御された非線形応答を行うオペアンプ回路を構成することができます。



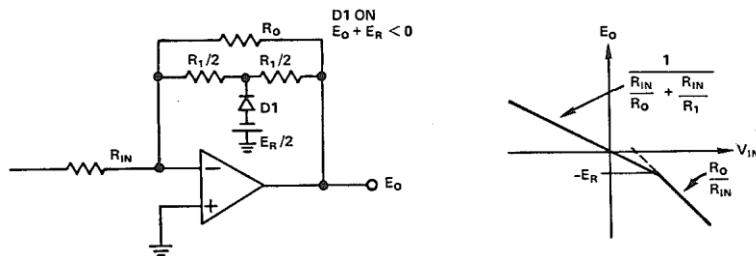
a. 直列ブレークポイント – 入力



b. シャント・ブレークポイント – 入力



c. 直列ブレークポイント – 帰還



d. シャント・ブレークポイント – 帰還

図 1: 単一オペアンプの入力回路と帰還回路に
生成される直列ブレークポイントとシャント・ブレークポイント

図 1 は、順方向パスと帰還パスに理想的な直列ブレークポイントとシャント・ブレークポイントを備えた回路の、入力と出力の関係を示しています。いずれのケースでも、ダイオードとリファレンスはバイアスされており、入力が増加して閾値を超えるとダイオードが導通するように回路が構成されています。

入力を基準とした閾値は、順方向パスのダイオードの場合は E_R に等しく、帰還パスの場合は E_R をゲインで割った値に等しくなります（プロットでは単純に出力を基準としています）。

自由度には以下のものが含まれます。すなわち、直列回路とシャント回路、入力パスと帰還パスの選択、リファレンス電圧とダイオード接続の両方の極性の選択、および抵抗比の選択です。

ブレークポイントを追加するには、 E_{Ri} の値を段階的に増加させながら、加算点と、入力または出力のどちらかとの間に同様の回路を接続します。直列接続が多くの場合優先されます。これは、オン状態で抵抗値を無視できるほど低くするよりも、オフ状態で抵抗値を非常に高くする方が簡単だからです。ただし、シャント回路には、リファレンス源を接地できる（したがって、閾値を可変にしたい場合はオペアンプ出力によって駆動できる）という利点があります。

目的の関数が原点を通過しない場合は、抵抗を介してアンプの加算点にさらにバイアスを追加して、位置を変えることができます。その効果は、ブレークポイントの位置に応じ、入力軸または出力軸に沿った関数の平行移動と見なすことができます。

新たな単調性の形状は、リファレンスまたはダイオード、もしくはその両方の極性を変えることによって得られます。直列入力の場合のさまざまな極性の組み合わせによって得られる理想応答を図 2 に示します。複数のスロープを伴うリファレンスの極性の影響を図 3 に示します。原点での出力がゼロになるのは、リファレンスとダイオードが逆の極性の時（入力ゼロ）であることに注意してください。リファレンスとダイオードが同じ極性の時は外挿された R_f/R_0 応答が原点を通過しますが、ブレークポイントはプロットがゼロに達する前に生じます。ゼロ出力が必要な場合は、上に述べたように、加算点にバイアスを加えることができます。

極性、直列とシャント、および入力と帰還のすべての組み合わせを考慮することによって、すべての種類の形状を網羅することができます。

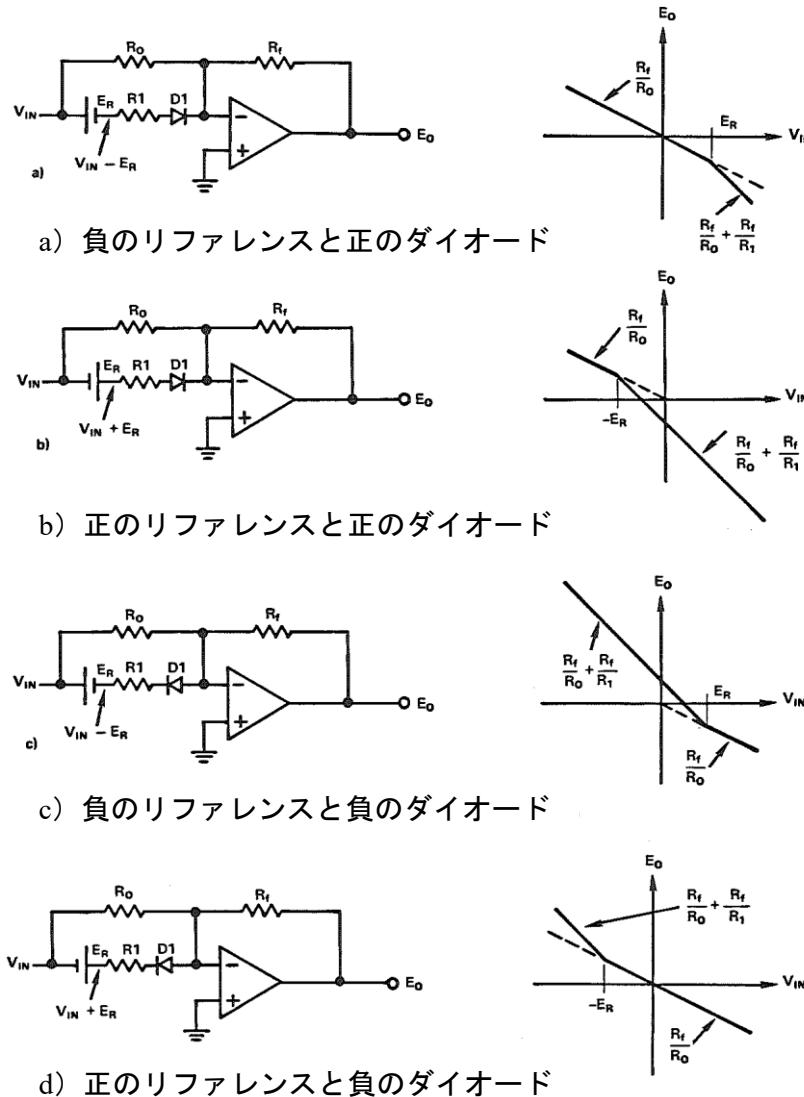


図 2: リファレンスとダイオードの極性が入力と出力の関係に及ぼす影響: 直列ブレークポイント、入力回路

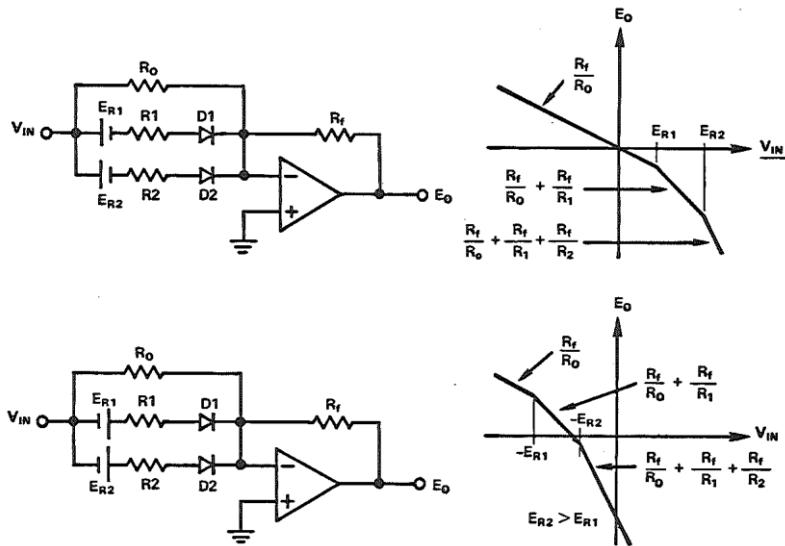
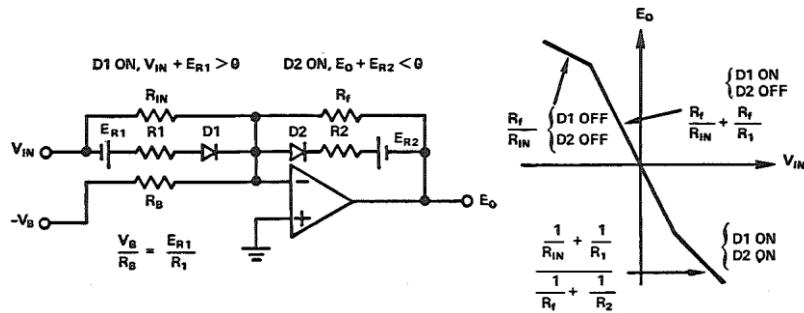


図 3: リファレンスの極性が複数のスロープに及ぼす影響

上に述べた形状の導関数はすべて単調です。つまり、上に凸か、下に凸です。ただし、自由度を組み合わせることによって、逆転させることができます（概念的にはリファレンスとゲインに応じて複数回の逆転が可能です）*。直列入力と帰還を使用し、逆転が 1 回生じる例を図 4 に示します。ゼロ入力時の出力をゼロにするために、入力バイアスが加えられていることに注意してください。

図 4: 単純なアンプで逆転スロープを得るための
入力および帰還ブレークポイントの使用

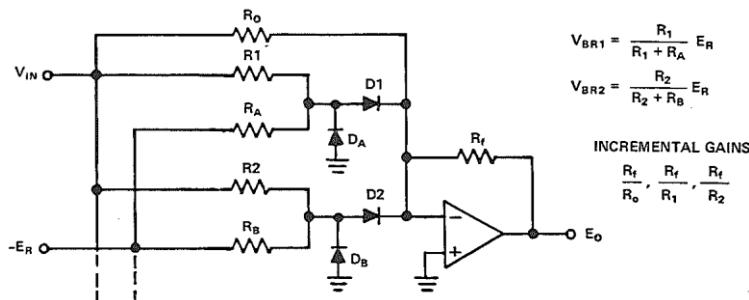
* ただし、+入力を駆動しない限り増加していくスロープは常に負です。

実用回路

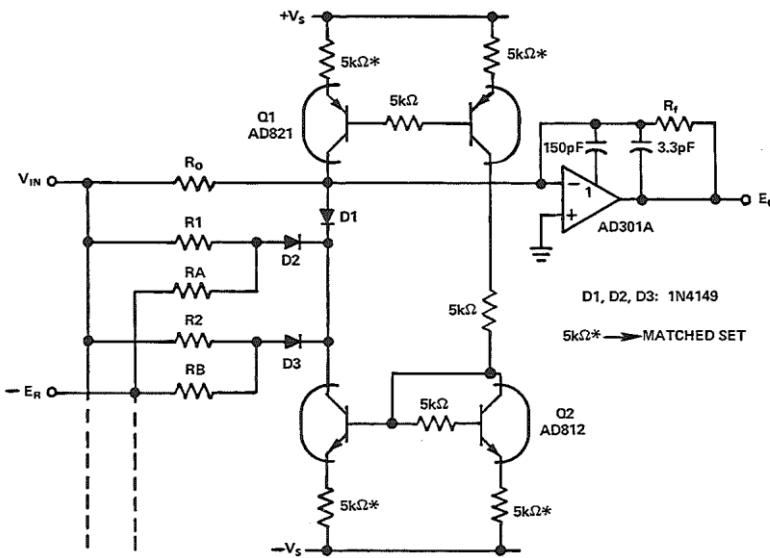
先に触れた理想回路を実装するには、いくつかの問題があります。

- リファレンスはフローティング状態になっています。リファレンスは、単一の（できれば接地した）リファレンスから初めて、抵抗回路を介して得ることが望されます。これにより、良好な安定した電源をリファレンスとして使用することも可能になります。
- ダイオードに電流が流れると、かなりの電圧降下が生じます（約 $0.5^+ V$ ）。ダイオードに明確な閾値はなく、その動作は対数的です。100:1 を超える電流変化領域にわたり、閾値は $25^\circ C$ で少なくとも $120 mV$ シフトします。この時の熱シフトは約 $2 mV/^\circ C$ です。1 mA から $10 \mu A$ までの範囲では、直列抵抗が 25Ω から 2500Ω まで増加します。

オペアンプの順方向パスまたは帰還パスのどちらかに使用できる回路の基本要素を図 5a に示します。これは上記 1 の問題点に対する答えです。理想導通閾値は、最初のブレークポイントでの値が $V_{IN} = E_R R_1 / (R_1 + R_A)$ 、2 番目のブレークポイントでの値が $V_{IN} = E_R R_2 / (R_2 + R_B)$ で、以下同様の値になります。ゲインの増加率はリファレンスに依存します。ダイオード D_A と D_B は、 D_1 と D_2 の逆スイングを制限します（3 個以降についても同様）。



a. リファレンスを接地した未補償入力回路



b. 補償された高速区間線形関数フィッタ

図 5: シャント・バイアスした直列ダイオード区間線形関数フィッタ。

a) は原理を示し、b) は 1 次温度補償したものを示します。

図 5b は同じ基本回路ですが、ダイオード電圧降下と温度に伴うその変化に対する 1 次補償が追加されています。

ブレークポイントをはっきりさせて位置を正確に決め、ドリフトをほぼゼロにする必要がある場合は、極性検出のためにだけオペアンプの帰還パスにダイオードを使い、「理想ダイオード」帰還回路をデュアルモード回路として使用することができます（図 6）。図 6 の回路で、正味入力電流 $V_{IN}/R_1 + V_R/R_4$ が正の場合はダイオード D1 がオン、D2 がオフになって、出力 (1) は次式のようになります。

$$V_1 = -\frac{R_3}{R_1} V_{IN} - \frac{R_3}{R_4} V_R \quad (1)$$

出力 (2) が無負荷の場合、あるいはコモン (または仮想グラウンド) にだけ負荷が接続されている場合は、D2 がオフになって R2 には電流が流れないので、その出力はゼロです。

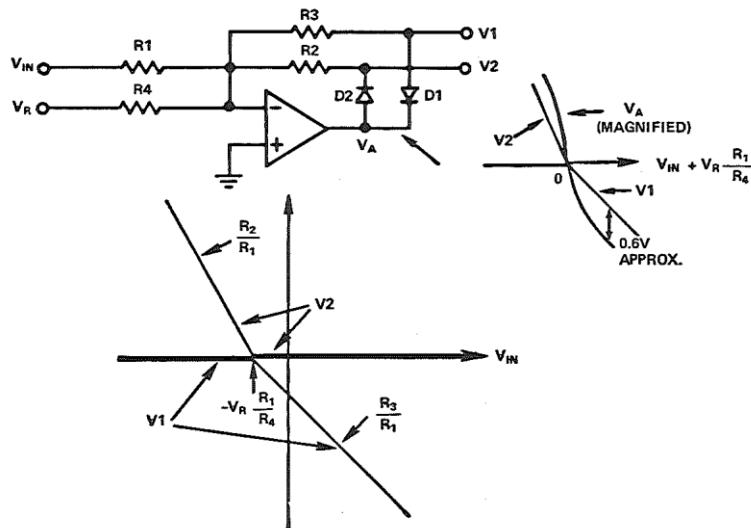


図 6: 理想ダイオード回路

正味入力電流が負の場合は、D1 がオフ (出力 (1) = 0) 、D2 がオンになり、出力 (2) は次のようになります。

$$V_2 = -\frac{R_2}{R_1} V_{IN} - \frac{R_2}{R_4} V_R \quad (2)$$

したがって (1) での回路の出力は、 V_{IN} が $-V_R (R_1/R_4)$ 未満となる場合はすべてゼロになり、差の正の値に比例します。出力 (2) は V_{IN} が $-V_R (R_1/R_4)$ より大きくなる場合はすべてゼロで、負の値に比例します。

複数のブレークポイントを合計するシステムでは、どちらかの出力を段階的な「理想ダイオード」ブレークポイントとして使用できます¹。

¹ 2-1 項の図 15 と 16、2-3 項の図 7 を参照。

2つの出力 ($R_2 \neq R_3$) を合計すると、 $-V_R (R_1/R_4)$ をブレークポイントとする2スロープ応答が得られます。バイアスを加算アンプへ加算して、ブレークポイントをオフセットさせることができます（図7）。

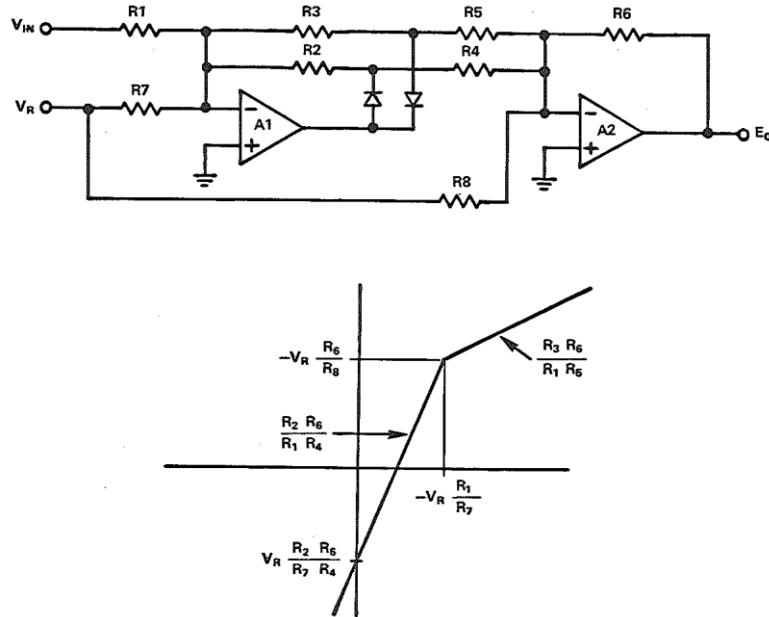


図 7: 高精度デュアルモード回路の理想ダイオード

電流スイッチング

図8の回路は電流出力の「理想ダイオード」です。 V_{IN} が V_R より大きい場合、アンプ出力は、Rにかかる電圧 ($V_{IN} - V_R$) を維持するのに必要な電圧で、エンハンスマント・モード FET のゲートを駆動します。 V_{IN} が V_R より小さい場合は FET がオフし、ダイオードには V_R から R を介して逆電流が流れ、R の電圧を V_{IN} に維持します。

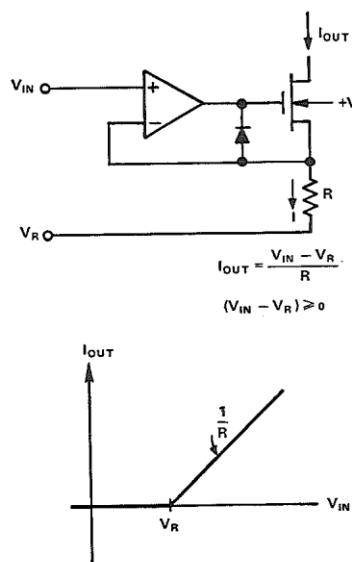


図 8: 一方向線形電圧-電流スイッチ

速度の向上

上に挙げたすべての「理想ダイオード」回路は比較的低速です。ブレークポイントでは、出力が 2つのダイオード電圧降下の不感帯を通って上昇または下降しなければなりません。また、容量性負荷に保存された電荷を、オフ状態で帰還抵抗を通して放電するには時間が必要です。導通状態の回路のダイナミック・インピーダンスは小さいですが、高速でスイッチング中は大きく低下したループ・ゲインに対抗しなければなりません。その理由の 1 つはアンプのオープンループ・ゲインが低下するからで、もう 1 つは、ゼロ付近ではダイオードが高インピーダンスになってループ減衰が増すからです。

図 9 の回路では、スイッチング・ダイオードがトランジスタ Q_2 と Q_1 に置き換えられています。正味入力電流が正になると Q_2 が飽和し、負になると Q_1 が飽和して、出力をグラウンドに近い値に維持します。この回路は、出力インピーダンスが常に非常に低いので、ダイオード回路より速度がかなり速くなります。

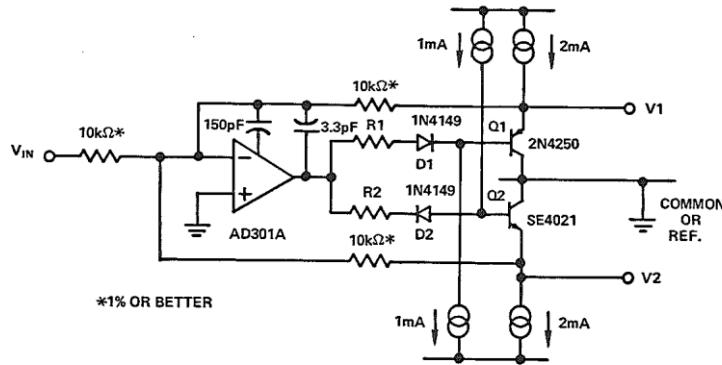


図 9: 出力インピーダンスの低い「理想ダイオード」回路

インピーダンスの値は、飽和状態で約 5Ω 、アクティブ領域ではさらに低く、約 0.01Ω です。D1、D2、R1、R2 は、不感帯を最小限にするために調整することができます。飽和状態での Q1 と Q2 の出力オフセットは約 10mV です。

この回路は、2 つの出力間に差動ローパス (R-C-R) フィルタを接続し、その差を取って整流入力の平均を得ることにより、全波平均値回路として接続することができます。この回路は、 100kHz という高い周波数まで十分に正確な測定を行うことができます。

絶対値回路

絶対値回路の使用については、これまでの各項で多数の例を解説してきました。これらには、大きな測定、1 象限乗算器およびその他の非線形デバイスへの入力のための信号コンディショニング、平均絶対偏差の測定、全波整流、ベクトル計算などが含まれています。絶対値電圧は、正または負のいずれの極性でも使用できるようにすることができます（図 10）。

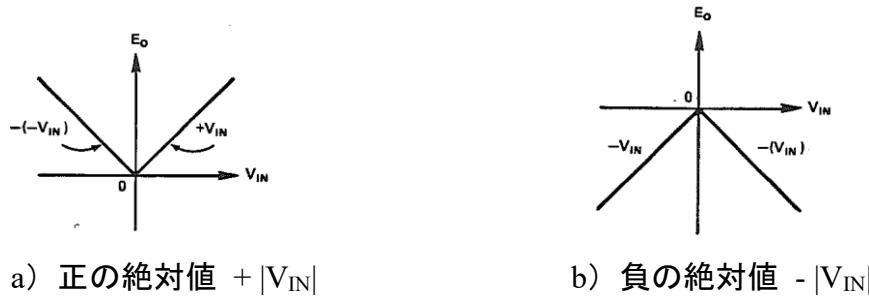


図 10: 正と負の絶対値

図 11 の回路は代表的な絶対値回路です。この回路は、理想ダイオードと差分回路で構成されています。すべての抵抗が等しい場合は、正の入力電圧に対して $V_B = 0$ 、 $V_A = -V_{IN}$ (R_3/R_1) で、出力は次式で表されます。

$$E_o = \frac{R_3 R_5}{R_1 R_4} V_{IN} \quad (3)$$

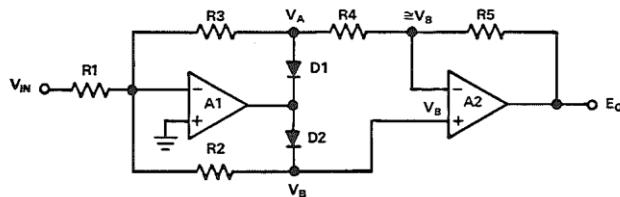


図 11: 実際の絶対値回路

入力が負の場合 D1 は導通せずに D2 が導通し、次式が成り立ちます。

$$-\frac{V_{IN}}{R_1} = \frac{V_B}{R_2} + \frac{V_B}{R_3 + R_4} \quad (4)$$

また、出力は次式で表されます。

$$E_o = V_B \left(1 + \frac{R_5}{R_3 + R_4} \right) \quad (5)$$

この場合も、すべての抵抗が等しい場合は両方の式の右辺が $1\frac{1}{2}V_B$ になるので（式（4）の両辺に R_1 を掛ける）、 $E_o = -V_{IN}$ となります。したがって、正の場合の出力は V_{IN} に等しく、負の場合の出力は $-V_{IN}$ に等しくなります。つまり、 $+|V_{IN}|$ です。

極性検出

絶対値出力とともに、極性信号があると便利なことがあります。例えば、1象限乗算器を4象限乗算器として使う場合は、両方の入力の絶対値を取り、排他的 OR ゲートで極性を比較することができます（第1および第3象限で「0」（+）、第2および第4象限で「1」（-））。必要な場合は、符号絶対値-バイポーラ変換回路を使用して極性を復元できます。もう1つのアプリケーションは、ユニポーラ・コンバータを使用する符号絶対値 A/D 変換です。

図11の回路の後段には、図12に示す極性検出回路を置くことができます。この検出回路は、A1出力の2個のダイオードの電圧降下の遷移領域を利用して、ロジック信号を極性の関数として求めます。回路の出力は、入力信号が正の時にポジティブ・トゥルーの「1」に、負の時は「0」になります。

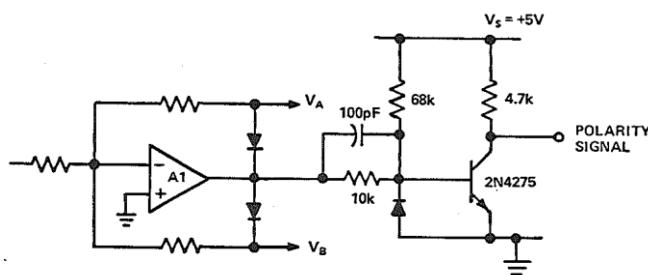


図 12: 理想ダイオード回路からの極性出力信号

特殊用途用絶対値回路

理想ダイオード回路と加減算器を使用した高入力インピーダンスの絶対値回路を図 13 に示します。両方のアンプの負入力は、正入力に追従する必要があります。

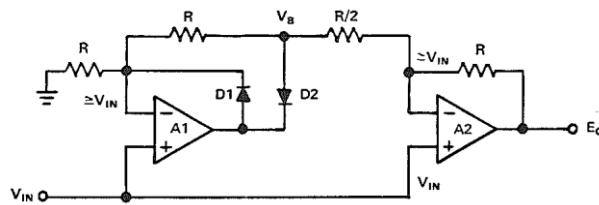


図 13: 高入力インピーダンス絶対値回路

V_{IN} が正の時はグラウンドへの電流 V_{IN}/R が D1 によって供給され、D2 はオフになります。したがって、他の 3 つの抵抗のいずれにも電流が流れず、 E_O は V_{IN} に追従しなければなりません。 V_{IN} が負の時は D2 が導通して D1 がオフになり、 $V_B = 2V_{IN}$ となります。出力は $(+3V_{IN} - 4V_{IN}) = -V_{IN}$ で、正電圧です。したがって、 $E_O = |V_{IN}|$ となります。

図 14 は、差動入力電圧の絶対値を取り、それを電流に変換する回路です。この回路は、図 8 の電流スイッチング回路と同様に動作しますが、全波入力に応答します。これは、積算計器や対数乗除算器など、電流入力を必要とするデバイスへの入力として使用できます。

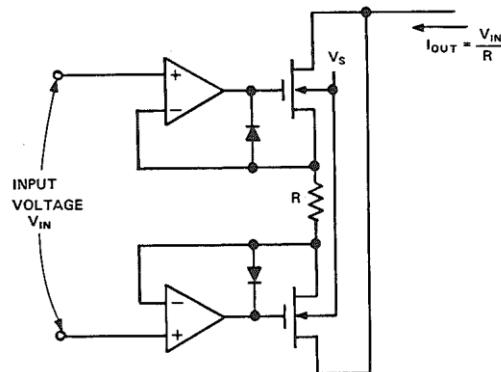


図 14: 差動高入力インピーダンス電圧-電流絶対値回路

符号絶対値-バイポーラ変換

図 15 は、正の大きさ信号とネガティブ・トゥルーの極性信号を受け入れる回路です。出力には、入力によって決定される極性のバイポーラ信号が出力されます。

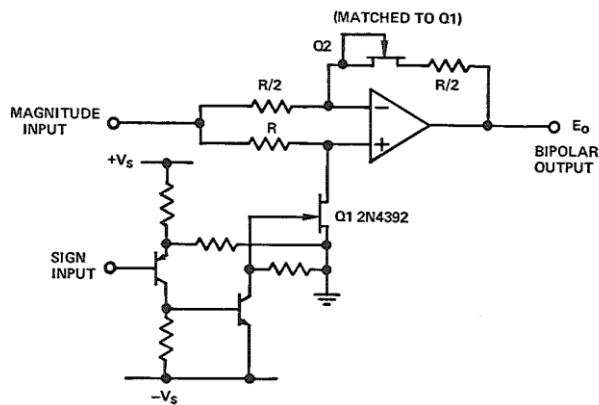


図 15: 符号絶対値-バイポーラ回路

FET スイッチ Q1 がオフの時はアンプ A1 がユニティ・ゲインのフォロワとして動作しますが、その性能は、アンプのコモンモード性能と、入力抵抗のインピーダンス・レベル（バイアス電流とノイズ・ピックアップ）によって制限されます。FET スイッチがオンの時は正の入力信号がグラウンドにシャントされて、アンプはインバータとして機能します。Q1 のオン抵抗はゼロではないので、+ 入力端子にはある程度リークします。ただし、これは Q2 (R2 と直列に接続されている FET) の抵抗によって、（広い温度範囲にわたり）ほとんどすべて補償されます。3 個の同じ抵抗 R を使い、もう 1 つの整合した FET を Q2 と直列に追加すれば、精度を向上させることができます。

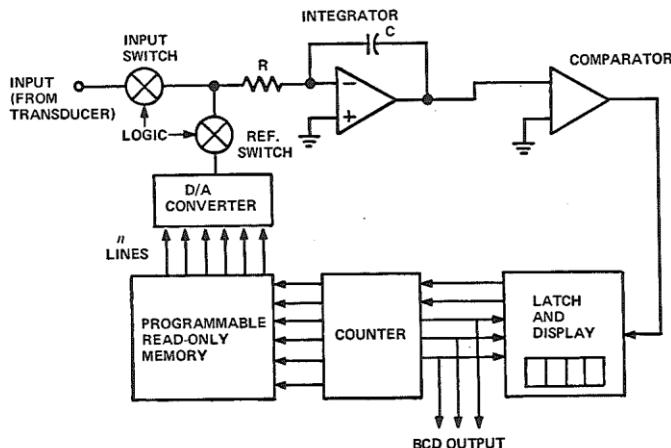
デジタル手法に関する注意

読み出し専用メモリは入力されたデジタル数値（「アドレス」）の任意関数にフィットするようにプログラムできるので（点ごとのフィッティング、 $2^n - 1$ 個の点）、「デジタル関数フィッタ」と考えることができます。

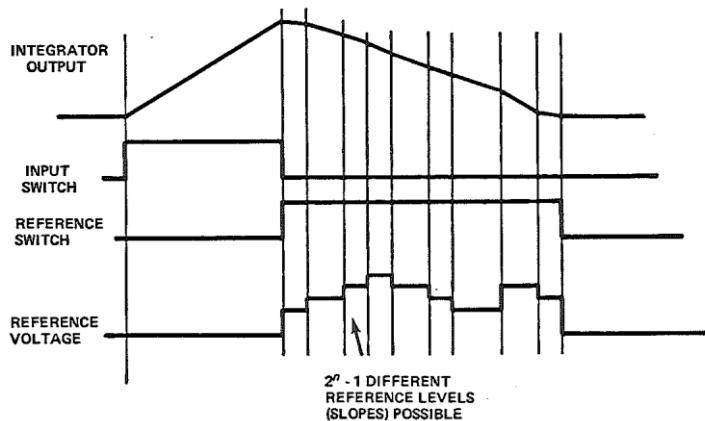
デジタル数値を ROM に適用してデジタルに変換したり、（可能であれば）ROM の出力で得られる変更済みのデジタル数値を再びアナログに戻したりする可能性を考えるのは自然なことです。これは、純粋なアナログ関数フィッティングより面倒になることがあります（ならないこともある）、そのフィッティングの離散性が望ましくないことがあります（そうではないこともあります）。デジタル手法もアナログ手法もコストは低下しており、経験と傾向の重要性に大差はなく、コスト的な差もごくわずかなので、その問題を明確に特定することはできません。

しかし、何らかの形で変換を必要とするアプリケーションは存在し、その場合に線形化のために ROM の使用を考えることは、恐らく極めて妥当なことです。たとえば、従来型のデュアルスロープ積算システム（主にデジタル・パネル・メーターに使われる）では、固定カウント数のあいだ信号入力が積分されます。次にリファレンス電圧が反対の極性で積分器に加えられ、積分されたアナログ電圧によって確立された初期状態からゼロに戻るために必要なカウント数が、アナログ電圧の平均値の大きさを示します。

トランステューサの補償と線形化には、D/A コンバータを使用してリファレンス電圧レベルを調整することができます（図 16）。D/A コンバータへの入力は ROM から与えられ、ROM への入力にはカウンタの出力が使われます。



a. 線形化デュアルスロープ A/D コンバータのブロック図



b. 線形化デュアルスロープ・コンバータの波形

図 16: A/D トランスデューサ線形化回路と A/D コンバータ

ROM のプログラムされた出力はそのプログラムに応じて変化し、D/A コンバータに ある数値を送ります。この数値は、積分器の放電レートを調整するアナログ・リファレンス・レベルに変換されます。このアプローチを使用する場合、積分器レートは $2^n - 1$ もの数になり得ます。ここで、n は ROM と D/A コンバータが使うビット数です。

この手法により、個々のトランスデューサを線形化してゲインを補償することができます。最初に、トランスデューサの出力と真の計測値をコンピュータに入力して、トランスデューサ出力を校正することができます。データを受け取ったコンピュータは、ROM に必要なプログラムの紙テープを作成することができます。作成されたテープは、フィールド・プログラマブル ROM をプログラムするのに使用します。次に、これまで使われてきた校正曲線と同様に、ROM をトランスデューサとともに出荷することができます（同じシリアル番号を付与することも可能）。トランスデューサを設置するとき同時に、対応する A/D コンバータに ROM を取り付けることができます。このようにして、A/D コンバータの出力は、組み合わされる（あるいは多重化される）個々のトランスデューサに完璧にマッチング（線形化とゲイン補償）されます。

3-6 多機能デバイス: べき乗と根

あまり馴染みがないと思いますが、非常に役に立つ非線形デバイスが多機能回路です。この回路は、乗除算機能を、電圧（または電圧比）を任意の正の数または負の数でべき乗する（負の数の場合にはべき乗の逆数）機能と組み合わせたものです。べき乗の大きさは 1 より大きくなるか（べき乗）、小さくなります（根）。このような多機能回路の良い例（そして市場初の製品）が、アナログ・デバイセズのモデル 433 です。その伝達関数を下に示します。

$$E_o = \frac{10}{E_{REF}} V_y \cdot \left(\frac{V_z}{V_x} \right)^m \quad (1)$$

ここで、

$$E_o = \text{出力電圧} \geq 0$$

$$V_y, V_z, V_x = \text{入力} \geq 0$$

$$E_{REF} = \text{定数} \approx +9 \text{ V}$$

$m = 0.2 \sim 5$ の範囲の任意の数で、2 つの抵抗の比によって設定されます。例えば $m = 2.72$ 、または $m = 0.318$

リファレンス電圧の大きさは定数 E_{REF} に等しく、変数が 1 つまたは 2 つの演算の入力として使用するか、リファレンス電圧を必要とするその他の目的に使用することができます。

これら 3 つの関数、つまり乗算、除算、および指数関数を 1 つの小さなモジュール ($38 \times 38 \times 16$ mm) に組み合わせることで、小型の代数アナログ・コンピュータ、あるいは計算尺に匹敵する計算能力が得られます。

多機能回路は簡単に接続可能で、入力、ジャンパ、および（指数の場合は）抵抗を選択することにより、さまざまな用途に使用することができます。使用可能な関数には以下のものがあります。

1. 乗算 $E_o = K V_y V_z$

2. 除算 $E_o = K(V_z/V_x)$

3. 2 乗 $E_o = K V_y V_z$ ($V_y = V_z$)
または $E_o = K V_z^2$

4. 平方根 $E_o = K V_y/E_o$

または $E_o = K V_z/E_o$

または $E_o = K V_z^{0.5}$

5. 比の根 $E_o = K V_y \left(\frac{V_z}{V_x}\right)^m$ $m < 1$

6. 比のべき乗 $E_o = K V_y \left(\frac{V_z}{V_x}\right)^m$ $m > 1$

7. べき乗の逆数 $E_o = K V_y \left(\frac{V_z}{V_x}\right)^m = K V_y \left(\frac{V_x}{V_z}\right)^{-m}$

さらに、1 つの多機能回路とわずかな外付け部品によって他の関数も実行可能です。

8. 真の RMS (2-3、3-7 項) $E_o = \overline{K V_y V_z}/E_o = \sqrt{\overline{K V_{in}^2}}$,
($V_y = V_z \geq 0$)

9. ベクトル和 (2-3 項) $E_o = \sqrt{V_1^2 + V_2^2}$

$$V_1, V_2 \geq 0$$

10. 三角関数 (2-1、2-3、2-5 項) $E_o = K \tan^{-1} (V_2/V_1)$
 $E_o = K \sin \theta$

多機能回路の多用途性を支えている要素は 2 つあります。

1. 対数/逆対数動作原理: 回路の対数部分または逆対数部分（もしくはその両方）のゲインを調整することによって、べき乗またはべき乗根を容易に生成できます。除算器接続 ($m = 1$ 、 V_y 一定) では、対数比入力セクションが、線形比回路で可能なものよりはるかに広いダイナミック・レンジで良好な精度を提供します。除算器としての多機能回路と、従来型の「逆乗算器」型除算器回路 (3-3 項) の比較を図 1 に示します。

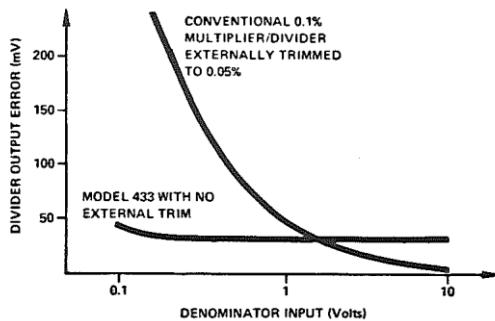


図 1: 分母レベルの関数として表した除算器誤差:
多機能回路 ($m = 1$) と「逆乗算器」型回路の比較

2. 3 つの可変入力を使用可能: ZY/X 伝達関数により、帰還を使用して、二乗平均平方根 (RMS) やベクトル和などの式の陰的解法が可能になります。変数を追加すれば、電圧で調整できるスケール・ファクタによる 2 変数の乗算や除算も可能で、 pV/T を含む理想ガス方程式などの式を直接実装することもできます。

回路説明

多機能回路の簡略回路図を図 2 に、動作ブロック図を図 3 に示します。この回路は、多くの面で、3-2 項（図 20）と 3-3 項（図 20）に示す対数/逆対数乗除算器回路に似ています。

アンプ A1 と A2、およびデュアルトランジスタ Q1 は、入力電圧 V_z と V_x の比の対数（両者の対数の差）に通常の kT/q を掛けた値が Q1B のベースに現われるように接続されています。逆対数回路は基本的に逆向きの対数回路です。入力は Q2B のベースに加えられ、出力（A3）は入力にリファレンス電流を掛けた値の指数に比例します。リファレンス電流は、D1、R4、A4 によって確立されます。指数の引数には q/kT が掛けられるので、温度の影響が相殺されて無くなります。

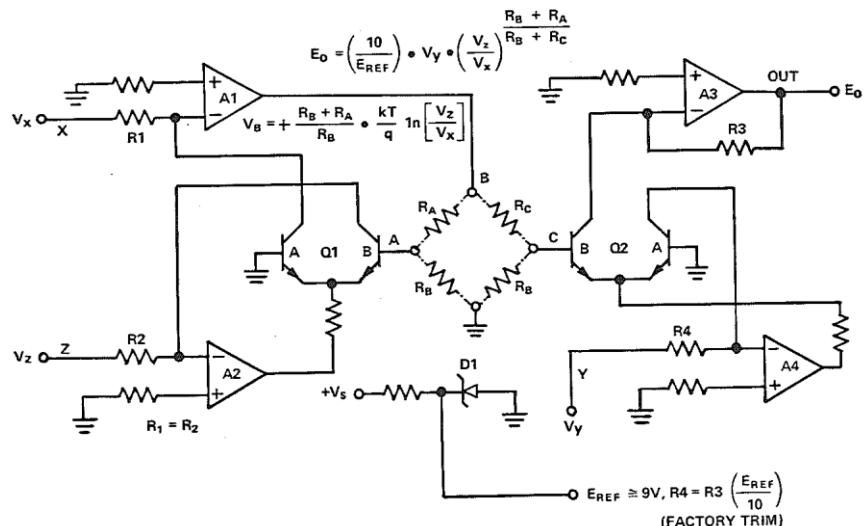


図 2: 多機能回路の簡略回路図

この回路は対称に構成されているので、分母 (V_x) の入力レベルに関わらず、スケール・ファクタとオフセット・ドリフトが非常に小さくなっています。スケール・ファクタの安定性は、主に、ツエナー・リファレンス D1 と、抵抗 $R_1 \sim R_4$ の相対ドリフトによって制限されます。

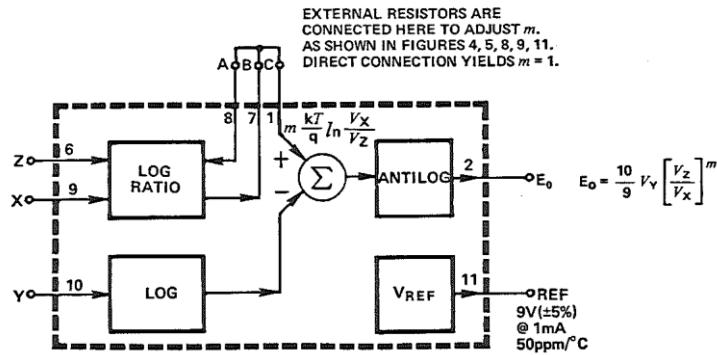
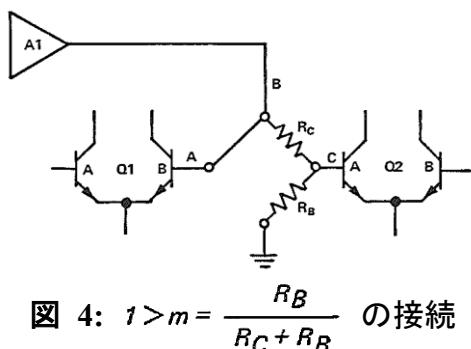


図 3: モデル 433 の機能ブロック図

べき乗とべき乗根

多機能回路の顕著な特長は、電圧比（一方または両方の電圧が可変）のべき乗根またはべき乗を得られることです。

図 2 の回路の「A」点に現われる Z 入力と X 入力の比の対数を減衰または増幅することによって、 $1/5 \sim 5$ のあらゆる指数（例えば、 $1/4.73$ 、 $1/3$ 、 $1/2$ 、 $1/1.7$ 、 1.05 、 2.0 、 2.1 等）を得ることができます。負の指数は、 X 入力と Z 入力に加える信号を入れ替えることによって得られます。

図 4: $1 > m = \frac{R_B}{R_C + R_B}$ の接続

「根モード」（ $1/m > m$ の指数）の接続を図 4 の部分回路図に示します。出力セクションで逆対数を取りるために、抵抗分圧器 R_C 、 R_B が Z と X の比の対数を減衰します。指数 m は減衰値 $R_B / (R_B + R_C)$ に等しい値を取ります。

$$E_o = K V_y e^{m \ln(V_z/V_x)} \quad (2)$$

$$E_o = K V_y \left(\frac{V_z}{V_x} \right)^m = K V_y \left(\frac{V_z}{V_x} \right)^{\frac{R_B}{R_B + R_A}} \quad (3)$$

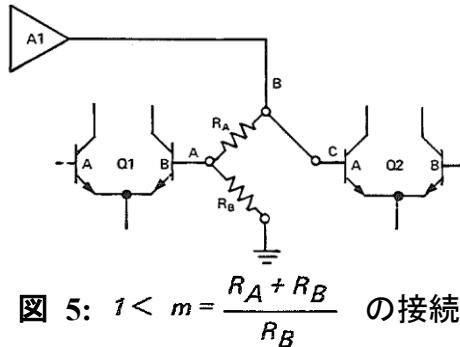
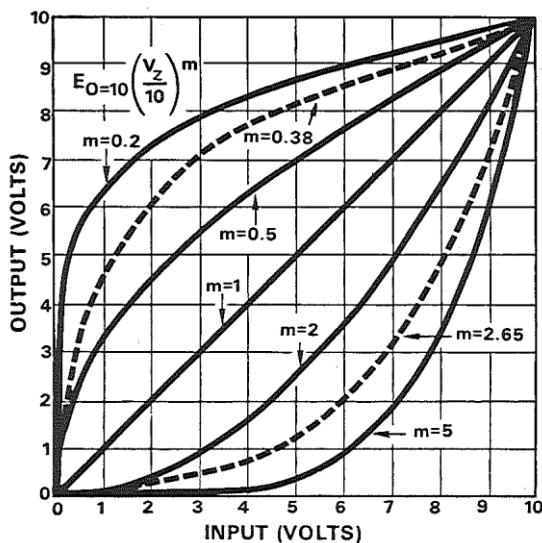
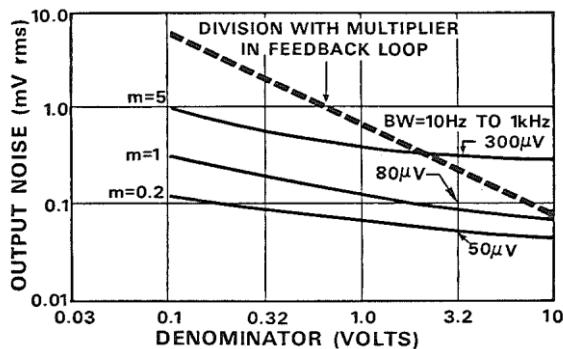


図 5: $1 < m = \frac{R_A + R_B}{R_B}$ の接続

「べき乗モード」（1 より大きい指数）の接続を図 5 の部分回路図に示します。この場合は $R_B / (R_B + R_A)$ によって帰還電圧が減衰されるので、ゲイン m は $(1 + R_A/R_B)$ となります。したがって、

$$E_o = K V_y \left(\frac{V_z}{V_x} \right)^m = K V_y \left(\frac{V_z}{V_x} \right)^{1 + \frac{R_A}{R_B}} \quad (4)$$

$V_x = 10$ 、 $V_y = E_{REF}$ の時の、 m のいくつかの代表的な値に対する関数の正規化されたプロットを図 6 に示します。予想されるように、 $m = 1$ の場合の応答は線形で、勾配は 1 です。 $m > 1$ の場合、勾配は、 $V_z = 0$ でのゼロから、 $V_z = 10$ V での m まで増加します。 $m < 1$ の場合、勾配は、 $V_z = 0$ での無限大から、 $V_z = 10$ V での m まで減少を続けます。したがって、「べき乗」はフルスケール時の最大ゲインが 5 で非常に安定していますが、「べき乗根」は、入力がゼロに近づく（結果としてノイズとドリフトが大きくなる）につれて安定性が低下します。ただし、べき乗根の場合も、入力の比が大きい時の安定性は良好です。幸い、多機能回路はノイズとドリフト（入力基準）が非常に小さいので、100:1 の入力範囲 ($V_z = V_x$) にわたって、最小または最大指数 (1/5 と 5) における誤差が小さくなる傾向にあります。これを図 7 のプロットで確認できます（比を一定にした場合の出力ノイズと分母の関係）。

図 6: 指数 m のいくつかの値に対する出力と入力の関係図 7: 逆乗算器型除算器のノイズ出力と比較した、
433 の出力ノイズと分母電圧の関係（比は 1）（対数スケール）

出力を基準とする入力ノイズの増分は関数の勾配にほぼ比例するので、所定の勾配（図 6 の希望の m に対応する曲線の勾配）となる入力レベルを知っておくと役立ちます。これは、指数関係を微分し、導関数 dE_0/dz （ここで $z = V_z/V_x$ ）を G の特定の値（スロープまたはゲイン）と同じ値に設定して、その時の対応する z の値、つまり z (G) を求めることによって決定します。

$$z(G) = \left(\frac{G}{m}\right)^{1/(m-1)} \quad (5)$$

大きさの大きく異なる G に対応する z の値を以下に示します。

m	$z(G=1)$	$z(G=10)$	$z(G=100)$
1/5	0.134	0.008	0.0004
1/4	0.157	0.007	0.0003
1/3	0.192	0.006	0.0002
1/2	0.250	0.0025	0.00002
1	all values		
2	0.500	5.0	50.0
3	0.577	1.826	5.77
4	0.630	1.357	2.92
5	0.669	1.189	2.115

多機能回路の有効性（および再現性）を示す分かりやすい実例を図 8 に示します。図では 2 個の 433 多機能回路がカスケード接続されており、最初の 433 は $m = 1/5$ に、2 番目の 433 は $m = 5$ に設定されています。最初の 433 への入力は 0 ~ +10 V の 5 Hz 三角波です。最初の 433 の出力は、予想されるように図 6 に示す 5 乗根関係の特性を持ち、その値は $10 (V_{in}/10)^{1/5}$ です。

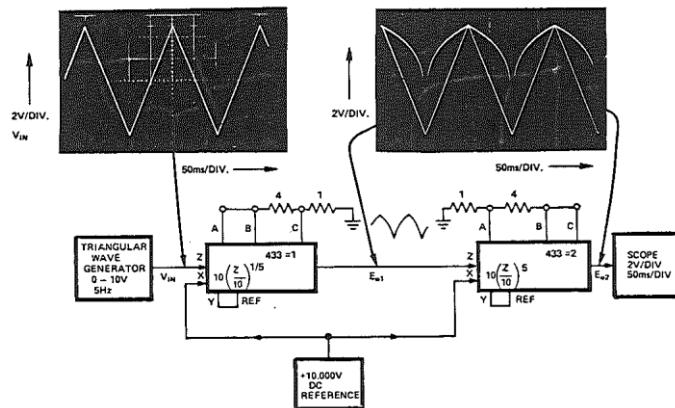


図 8: 5 乗根と 5 乗のカスケード接続

2番めの433の出力は三角波で、ゼロ付近を除き、小さいながらはっきりした歪みが生じています。その応答 $10 (E_{O1}/10)^5$ は E_{O1} の5乗根応答を逆演算して、全体として線形の応答を実現します。

指数調整範囲の調整

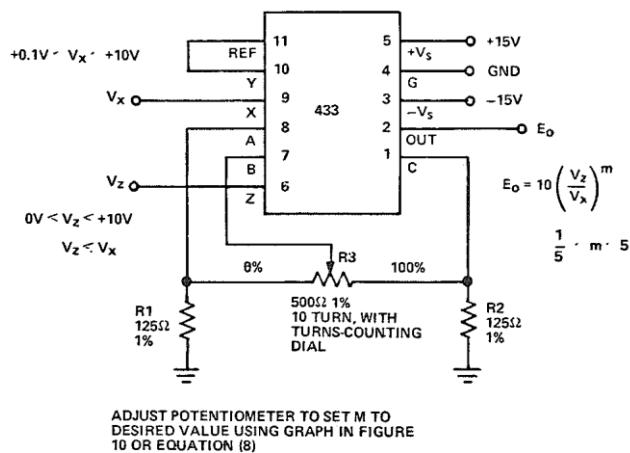


図 9a. 433 多機能モジュールによる連続的に調整可能な比のべき乗または根の計算

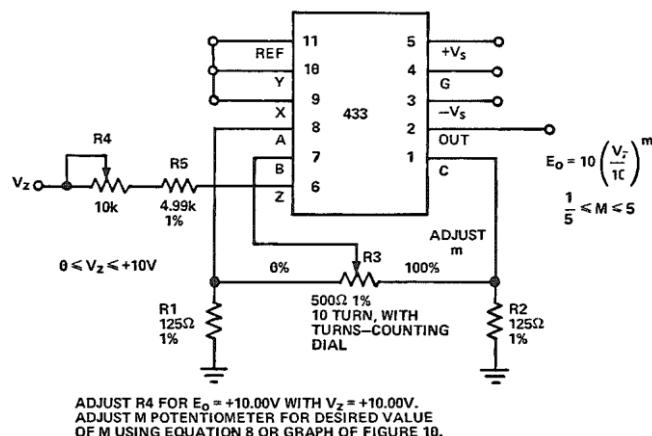


図 9b. 433 多機能モジュールによる 1 变数の連続的に調整可能なべき乗または根の計算

図 9: 広範囲の指数調整

目的によっては、配線をし直したり切り替えたりすることなく、指数を 1 を通って連続的に調整できるようにすると便利です。これは、1 個のポテンショメータを図 9a (V_z と V_x の両方が可変) または図 9b (V_z だけが可変) に示すように接続し、 m を $1/5 \sim 5$ の範囲で連続的に変化させられるようにすることで、簡単に実現できます。このような構成は、出力波形が望みの形状になるまでポテンショメータを調整できるので、線形化や曲線フィッティングに特に有効です。この場合、指数は、校正曲線（図 10）を使うことによって $\pm 5\%$ 以内の（もしくはより良好な）誤差に収めることができます。

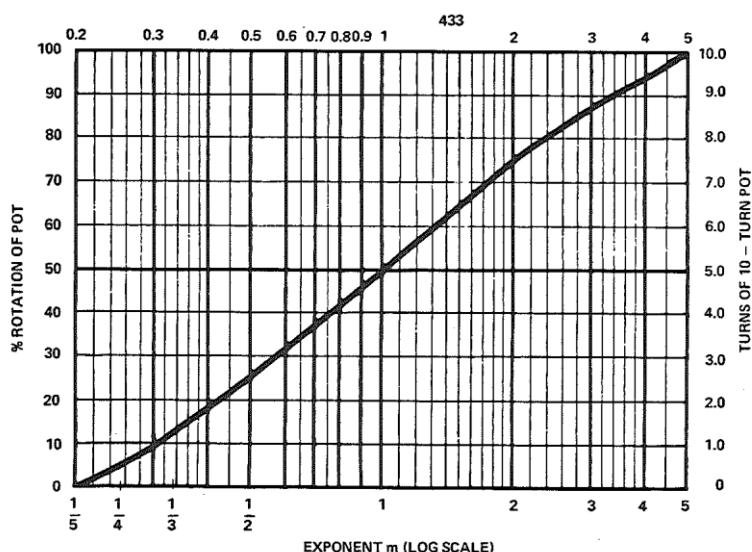


図 10: 指数 m の関数として表したポテンショメータの回転量
(433 を使用した図 9 の回路)

例えば、（線形化アプリケーションで）最も良好な線形性が得られるポテンショメータの設定が、実験により 3.20 回転であることが分かったとします。図 10 を見ると、回転量が 32 % の時の m は校正曲線から 0.6 であることが分かります。したがって、実験に基づいて得られる最適指数は、0.6 であることが分かります。

$$E_o = 10(V_z/V_x)^{0.6} \quad (6)$$

校正曲線は、希望する指数のプリセットにも使用できます。例えば、

$$E_o = 10(V_z/10)^{1.5} \quad (7)$$

で表される伝達関数が求められているとします。最初に図 9b の回路をセットアップして、次に図 10 から指數ポテンショメータの設定を決めます。この場合、 $m = 1.5$ は約 64 % に相当します。ポテンショメータを 6.40 回転に設定してください。

m を正確に校正したい場合は、非線形性が 0.1 % 未満の高精度 10 回転ポテンショメータと、正確に校正された回転量ダイヤルを使用する必要があります。抵抗 R_1 と R_2 は 0.1 % 以内にマッチングされ、なおかつポテンショメータの合計抵抗のちょうど $1/4$ になっていなければなりません。これらの条件の下に、 α をポテンショメータの分数で表した回転量とすると、 α と m の関係は次式で表されます。

$$m = \frac{1 + 4\alpha}{5 - 4\alpha}, \quad \alpha = \frac{5m - 1}{4(m + 1)} \quad (8)$$

これをプロットにしたのが図 10 です。

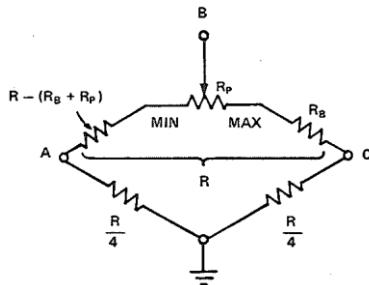


図 11: 指数 m を任意の範囲に調整するための構成

指數の調整範囲を狭くするには、ポテンショメータ回路に（ポテンショメータの片端または両端に）抵抗を含めて、調整範囲を希望の範囲内に設定することができます。抵抗の追加方法を図 11 に示します。

■ 非線形回路ハンドブック

III: 非線形回路を理解する 3-6 多機能デバイス: べき乗と根

R 、 R_B 、および $(R - R_B - R_P)$ の設計式を、 m の最小値と最大値、およびポテンショメータの選択値に関して表すと、次のようにになります。

$$\frac{R_B}{R} = \frac{5 - m_{\max}}{4(1 + m_{\max})} \quad (9)$$

$$R = R_P \frac{\frac{1 + m_{\min}}{5 - \frac{R_B}{R} - m_{\min} \left(\frac{1}{4} + \frac{R_B}{R} \right)}}{4} \quad (10)$$

比 R_B/R と R/R_P は、最大値と最小値から計算します。次いで、 R_P の適切な（低い）値を選び、 R と R_B を計算して、 $(R - R_P - R_B)$ を決定します。

指数と比の表

べき乗／べき乗根設定の精度チェックを容易にするために、1 ~ 5 の整数（およびその逆数）のべき乗値について、 $(V_z/V_x)^m$ の一連の計算値を表 1 に示します。

表 1
指数と比の表

		$(V_z/V_x)^m$ as a function of V_z/V_x and m [in $E_o = KV_y(V_z/V_x)^m$]									
		$KV_y_{\max} = 10V$, except as noted for values of $V_z/V_x > 1$									
		$m \rightarrow$	1/5	1/4	1/3	1/2	1	2	3	4	5
$\frac{V_z}{V_x} < 1$	0.01		0.398	0.316	0.2155	0.100	0.010	0.0001	—	—	—
	0.025		0.478	0.3975	0.2925	0.158	0.025	0.0006	—	—	—
	0.05		0.5495	0.473	0.3685	0.2235	0.050	0.0025	0.0001	—	—
	0.1		0.631	0.5625	0.464	0.316	0.100	0.0100	0.0010	0.0001	—
	0.25		0.758	0.707	0.630	0.500	0.250	0.0625	0.0156	0.0039	0.0010
	0.5		0.8705	0.841	0.7935	0.707	0.500	0.250	0.125	0.0625	0.0312
	1.0		1.	1.	1.	1.	1.	1.	1.	1.	1.
$\frac{V_z}{V_x} > 1$	2.0 (KV_y_{\max})		1.1485 (8.706)	1.189 (8.409)	1.260 (7.937)	1.414 (7.071)	2.000 (5.000)	4.000 (2.500)	8.000 (1.250)	16.000 (0.625)	32.000 (0.312)
	5.0 (KV_y_{\max})		1.3795 (7.248)	1.4955 (6.687)	1.710 (5.848)	2.236 (4.472)	5.000 (2.000)	25.000 (0.400)	125.00 (0.080)	625.00 (0.016)	3125 (0.003)
	10.0 (KV_y_{\max})		1.585 (6.310)	1.7785 (5.623)	2.1545 (4.642)	3.1625 (3.162)	10.000 (1.000)	100.00 (0.100)	1000.0 (0.010)	10,000 (0.001)	—

平方根回路

平方根は $m = 1/2$ に設定することによって計算できますが、高精度抵抗ペアにかかるコストを節約して、 $m = 1$ で平方根を計算することも可能です。これは、図 12 に示すように出力電圧を分母入力に帰還させ、陰的解法によって行います。

$$E_o = 10(V_z/V_x)^1 = 10(V_z/E_o) \quad (11)$$

$$E_o^2 = 10 V_z \quad (12)$$

$$E_o = (10V_z)^{1/2} \quad (13)$$

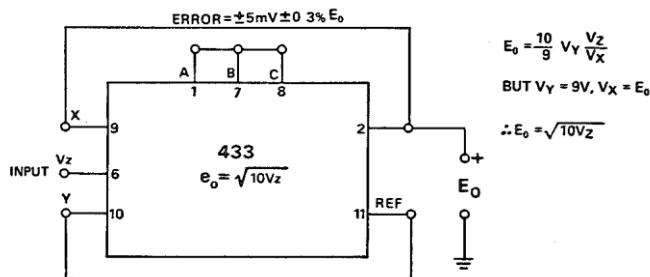


図 12: 帰還ループ付き除算器を使用した平方根回路

図 13 は、この構成で接続した 433 の誤差と、従来型の 0.1 % 乗除算器を使用した「逆乗算器」型平方根回路の誤差を比較したプロットです。入力値が小さい場合 ($<< 0.1V$) は、多機能回路の方がはるかに正確です。

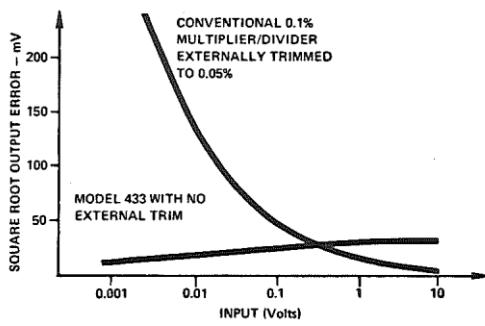


図 13: 平方根演算用に接続した逆乗算器型除算器の
平方根誤差と比較した 433 の平方根誤差

一般に、多機能回路ではこの帰還手法によって V_z の $m/(m+1)$ 乗を求めることができますが、この手法は分母入力を「使い果た」し、いずれにしろ $m' = m/(m+1)$ 乗を直接実装するために使用できる抵抗ペアが必要なので、その有効性は限定的です。

仕様

代表的なモジュラー型多機能回路であるアナログ・デバイセズのモデル 433J/B の仕様を表 2 に示します。一般的な形式は、3-2 項と 3-3 項に示した乗除算器についての仕様と同じなので、ここでは、多機能回路に該当する特定のコメントを除き、詳しく見直すことはしません。

一般式 (General Expression) : 伝達関数は次式で示されます。

$$E_o = \frac{10}{9} V_y \left(\frac{V_z}{V_x} \right)^m \quad (14)$$

係数「9」の初期値は、リファレンス出力電圧 V_{REF} とマッチングするために $9.0V \pm 5\%$ に設定されます。したがって、リファレンス電圧（または校正された等価電圧）を V_y に与える場合は、次のようになります。

$$E_o = 10 \left(\frac{V_z}{V_x} \right)^m \quad (15)$$

伝達ゲインは、Y 入力に直列に抵抗を追加することによって ($10/9 \pm 5\%$) 未満の値にトリムできます。通常、1 に近い値に設定する場合は $25 k\Omega$ の可変抵抗を使います。

入力範囲 (Input)

Y、Z、および X 端子への入力信号範囲は $0 \sim +10 V$ で、すべて正のみです。つまり 433 は 1 象限 (I) デバイスで、負の入力電圧には応答せず、負の出力電圧も生成しません。しかし、**最大安全入力 (Maximum Safe Input)** 電圧の定格値は $\pm 18 V$ です。

■ 非線形回路ハンドブック

III: 非線形回路を理解する 3-6 多機能デバイス: べき乗と根

表 2: 多機能回路の仕様

(別途指定の無い限り +25 °C での代表値)

Model	433J	433B
General Expression	$E_o = + \frac{10}{V_{REF}} V_y \left(\frac{V_z}{V_x} \right)^m$	•
Rated Output ¹	+10.5V @ 5mA	•
Input		
Signal Range	$0 \leq V_x, V_y, V_z \leq 10V$	•
Max Safe Input	$V_x, V_y, V_z \leq \pm 18V$	•
Resistance		
X Terminal	$100k\Omega \pm 1\%$	•
Y Terminal	$90k\Omega \pm 10\%$	•
Z Terminal	$100k\Omega \pm 1\%$	•
External Adjustment of the Exponent, m		
Range for $m < 1$ (Root)	$1/5 \leq m < 1, m = \frac{R_B}{R_C + R_B}$	•
Range for $m > 1$ (Power)	$1 \leq m \leq 5, m = 1 + \frac{R_A}{R_B}$ $(R_1 + R_2) \leq 200\Omega$	•
Accuracy (Divide Mode) ^{2,3}		
Total Output Error @ +25°C (for specified input range)		
Typical (RTO)	$\pm 5mV \pm 0.3\% \text{ of output}$	$\pm 1mV \pm 0.15\% \text{ of output}$
Max Error (RTO)	$\pm 50mV$	$\pm 25mV$
Input Range ($V_z \leq V_x$)	$0.01V \text{ to } 10V, V_z$	•
Over Specified Temp. Range	$0.1V \text{ to } 10V, V_x$	•
Over Specified Temp. Range	$\pm 1\%$	$\pm 1\% \text{ max}$
Output Offset Voltage (Not Adjustable)		
Initial @ +25°C max	$\pm 5mV$	$\pm 2mV \text{ max}$
Offset vs Temp.	$\pm 1mV/\text{°C}$	$\pm 1mV/\text{°C} \text{ max}$
Noise, 10Hz to 1kHz		
$V_x = +10V$	$100\mu V \text{ rms}$	•
$V_x = +0.1V$	$300\mu V \text{ rms}$	•
Bandwidth, V_y, V_z		
Small Signal (-3dB), 10% of DC Level V_y or V_z		
$V_y = V_z = V_x = 10V$	100kHz	•
$V_y = V_z = V_x = 1V$	50kHz	•
$V_y = V_z = V_x = 0.1V$	5kHz	•
$V_y = V_z = V_x = 0.01V$	400Hz	•
Full Output (V_y or $V_z = 5VDC \pm 5VAC$)	$(V_x) \circ (5kHz)$	•
Reference Terminal Voltage ¹		
V_{ref} (Internal Source) vs Temp (0 to +70°C)	$+9.0V \pm 5\% @ 1mA$ $\pm 0.005\%/\text{°C}$	•
Power Supply Range		
Specified	$\pm(14.7 \text{ to } 15.3)VDC @ 10mA$	•
Operating	$\pm(12 \text{ to } 18)VDC$	•
Temperature Range		
Specified	$0 \text{ to } +70\text{°C}$	$-25\text{°C} \text{ to } +85\text{°C}$
Storage	$-25\text{°C} \text{ to } +85\text{°C}$	$-55\text{°C} \text{ to } +100\text{°C}$
Package Outline	FA-7	•
Case Dimensions	$1\frac{1}{4}'' \times 1\frac{1}{2}'' \times 0.62''$ 38 x 38 x 16mm	•

* 433J と同じ仕様。

1 端子はグラウンドへの短絡についてのみ保護されています。

2 精度は、最悪条件である除算モードで規定されています。乗算器として接続した場合の仕様規定精度に対する入力範囲は 10 mV ~ 10 V です。

3 誤差は、仕様に規定された任意の入力電圧ペアにおける測定出力と理論出力の差として定義されます。

仕様は予告なく変更される場合があります。

通常範囲外の電圧は計算には関係なく、このような電圧がユニットを損傷させることはあります。

除算モードの精度 (Accuracy (Divide Mode))

除算器としての精度仕様は 2 つの方法で規定されています。

1. 最悪条件時の最大誤差として規定。ここでの値は $\pm 50 \text{ mV}$ (フルスケール出力の 0.5 %)。
2. 小さい固定誤差、および出力の固定パーセントとして規定。ここでの値は代表値 $\pm 5 \text{ mV}$ 、実際の出力の $\pm 0.3 \%$ 。

上記 2 の方法は、デバイスの実際の誤差により近い形で誤差を記述します。最悪時誤差の $\pm 50 \text{ mV}$ 、あるいはフルスケールの 0.5 % というのは慣例的な全体精度の仕様で、フルスケール付近では有効ですが、低レベル時は実際より大きくなり過ぎる傾向があります。

多機能回路のテスト

乗算器モードと除算器モード ($m = 1$) では、3-2 項と 3-3 項に示す回路と手法を使い、それらを 1 象限デバイスに使用した場合と同様に多機能回路をテストすることができます。多機能回路の特に興味深いテストを図 14 ~ 17 に示します。それぞれ順に、除算器誤差、乗算器誤差、動的誤差、および指数誤差をテストします。

図 14 の除算モード精度テストには、分母を直接駆動し、高精度の分圧器を介して分子を駆動する 1 つの DC リファレンスが示されています。

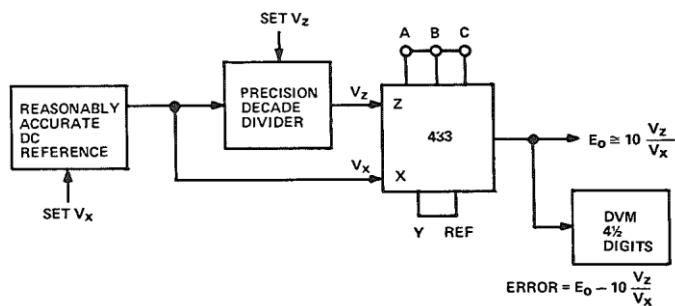


図 14: 除算モードの多機能回路の DC 誤差測定

この方法は、DC リファレンスの絶対精度とは無関係に、真の比の入力を与えます。2 つの独立した DC リファレンスの間に存在し得る一見無視できそうな絶対誤差が、除算器出力で大きい絶対誤差を生じさせる可能性があるので、この方法を 433 などの高精度除算器に使用することは特に重要です。

例えば、ともに十分な精度（例えばフルスケールの 0.01 %）を持つ 2 つの別々のリファレンスを使用し、 $V_z = 10 \text{ mV}$ 、 $V_x = 100 \text{ mV}$ で 433 をテストするものとします。理論的な出力電圧は次のようにになります。

$$E_o = 10 \frac{0.010}{0.100} = 0.1 \times 10\text{V} = 1\text{V} \quad (16)$$

Z リファレンスが $0.01\% \times 10 \text{ V} = 1 \text{ mV}$ 高く、X リファレンスが 0.01 %、つまり 1 mV 低い場合は、実際に行われるテストでの出力電圧は次のようにになります。

$$E_o = 10 \frac{0.011}{0.099} = 10/9\text{V} = 1.11\text{V} \quad (17)$$

これは、除算器全体では、2 つの完璧なリファレンスによって与えられる理想値に対して（表示値で）11 % の出力誤差が生じることを意味します。リファレンスの仕様値が 0.01 % であっても、分子は（設定値の）10 % 高く、分母は 1 % 低くなります。

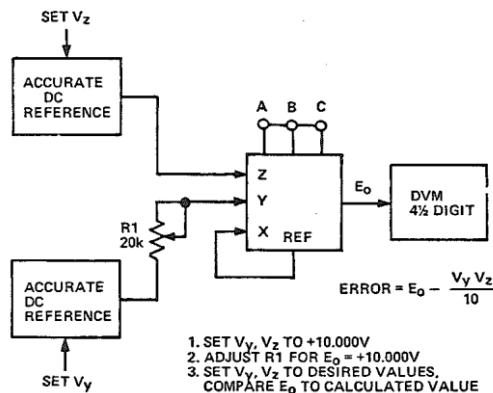


図 15: 多機能回路の乗算誤差測定

不完全なリファレンスによる誤差は、 $100 \mu\text{V}$ （またはそれ以上）の分解能と良好な線形性を備えたDVMを使い、X入力とZ入力を直接測定することによって確認し、原因を把握することができますが、通常は高精度分圧器、または除算器入力用に極めて正確な（絶対誤差が $100 \mu\text{V}$ 以下）リファレンスを使用する方が簡単で、より満足できる結果が得られます。

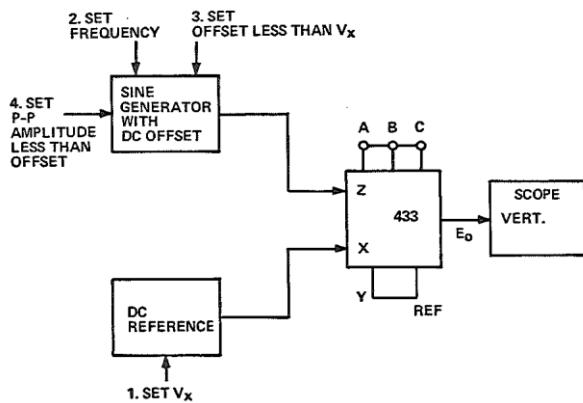


図 16: 分子信号に対する周波数応答を V_x の関数として測定。
オフセット電圧が AC 信号を第 1 象限内に維持。

指数設定 (m) の関数としての精度。これは、測定を機械化できる手段と、比較のための理想出力値の適切な表を使用できる場合を除き、実施するテストの中で最も興味深い（また、難しい）テストです。機械化されていない方法の中で最良のものは、図 17 のテスト・セットアップを使用し、入力（または入力比 V_z/V_x ）の関数としてポイントごとに出力を測定することです。上に述べたように、X および／または Z の入力電圧（あるいは電圧比）は、テスト対象デバイスの精度より高い精度で知られていなければなりません。入力が既知だとすると、さまざまな入力値またはその比について、実際の出力と理論的出力を比較することができます。

テスト対象ユニットの仕様値より高い精度を持つユニットを比較に使用できる場合は、アナログ波形を使用して半自動テストを行うことができます。両方のデバイスの入力に低速の三角波が供給され、ディファレンス・アンプを介して出力が比較されます。

ポイントごとの誤差測定を自動化するもう 1 つの手段は、コンピュータによってプログラムされた D/A コンバータ経由で入力を行うことです。各ポイントのユニットの出力は、デジタル形式に変換されてから、計算で求めた理論値と比較されます。

433 の見かけ上のダイナミック・レンジは、すでに説明して表 1 に示したように、指数 m に大きく依存します。例えば $V_x = 10 \text{ V}$ 、 $V_z = 1 \text{ V}$ とすると、

$$m = 1 \text{ の場合は } E_0 = 10(1/10) = 1 \text{ V}$$

$$m = 2 \text{ の場合は } E_0 = 10(1/10)^2 = 0.1 \text{ V}$$

$$m = 5 \text{ の場合は } E_0 = 10(1/10)^5 = 100 \mu\text{V}$$

一方 $m = 1/5$ の場合、433 のゲインは、電圧比 V_z/V_x がゼロに近づくにつれて無限大に近付きます。入力電圧が上記と同じだとすると、

$$m = 1/2 \text{ の場合は } E_0 = 10 (1/10)^{1/2} = 3.16 \text{ V}$$

$$m = 1/5 \text{ の場合は } E_0 = 10 (1/10)^{1/5} = 6.31 \text{ V}$$

これらの例から、べき乗モードおよび根モードで 433 の誤差を測定（して評価）する際には、特に、 V_z/V_x の値が非常に小さいときは、用心と注意が必要であることが明らかです。慎重なテストを行えば、 Z^5 や $Z^{1/5}$ のように特異なべき乗計算でも、対数回路に基づく多機能デバイスでは驚くほど良好な結果が得られることが分かります。

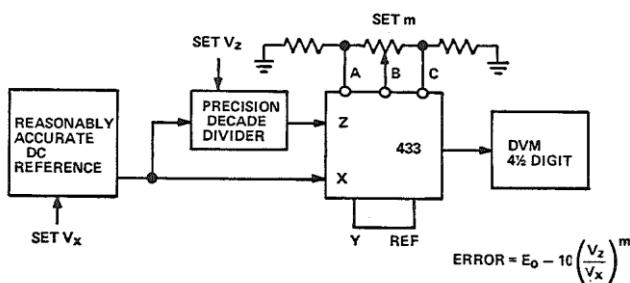


図 17: べき乗モードまたは根モードでの多機能回路の DC 誤差測定

3-7 二乗平均平方根

最初の章と 2-3 項では、二乗平均平方根 (RMS) のいくつかの特性とアプリケーション、およびこの機能を実装する代表的な回路について簡単に説明しました。この章では、RMS 測定の性質について簡単に復習した後、モジュラー RMS デバイスのメーカーが使用する回路、RMS 回路の誤差と仕様、および RMS デバイスをテストするための構成について詳しく検討します。

時間間隔 T における任意の電圧の二乗平均平方根は、次式で表されます。

$$\text{rms} = \sqrt{\frac{1}{T} \int_0^T [f(t)]^2 dt} \quad (1)$$

計算プロセスは、瞬間ごとに電圧 $f(t)$ を二乗してそれを時間間隔 T で積分し、さらに T で割つて平均を求めてから、その平方根を計算します。ここに示した積分は真の時間積分で、 $t=0$ の初期条件で開始し、 $t=T$ （あるいは、ホールド状態で最終値が保持される場合は T 経過後）の測定値で計測を終了します。別の計測を行う場合は、計測開始前に必要な初期条件（例えばゼロ）にリセットする必要があります。

この計測によって真の RMS が得られますが、ほぼ単発的な現象の場合は少し非効率的です。一般には、計測対象の波形はランダムまたは周期的で、（他のものとともに、一定の RMS を含む）固定的な特性を有します。

RMS が適切な範囲で一定の場合は、移動平均に応答する回路によって（二乗された信号の）平均を計測できます。最も簡単な形式の回路が、単純な RC 単位遅延回路で構成されるローパス・フィルタで、RC 時定数は、信号内に存在する最も長い周期よりかなり長くなるように選びますが、過度の遅延誤差を発生させることなく信号の RMS 値の変動に追従できる程度の長さに止めます。

RMS 量に関する 3 つの基本的な特性は、計測器設計者にとって重要です。

1. RMS は、抵抗に加わる電圧または電流の発熱量の基準です。時間間隔 T において、RMS 電圧または電流が同じすべての波形は、その時間変動に関わらず、まったく同じエネルギー量を抵抗で消費します。これは、一定波形、正弦波、バイアス AC、ランダム、またはパルス列など、どのような波形であっても当てはまります。RMS は基本的な物理量です。
2. すべての固定ゼロ平均ランダム・プロセスの RMS 値は、そのプロセスの標準偏差に等しくなります*。電気的波形によって計測された分布が電気的なランダム・ノイズに関するものかベルト・コンベア上のリンゴのサイズに関するものかを問わず、RMS 計測は、大きなサンプル・サイズの標準偏差の計測に有効な方法です。RMS は基本的な統計パラメータです。
3. 互いに直行する量や相関関係のない量を合計する場合、それらの合計の RMS は、個々の RMS 値を二乗して合計した値の平方根に等しくなります。

標準偏差は、サンプルのある集合の平均値からの分散の平方根です。サンプリング数が無限に大きい場合は次式で表されます。

$$\sigma = \sqrt{\int_{-\infty}^{\infty} (x - m)^2 p(x) dx}$$

ここで平均は、

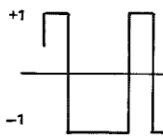
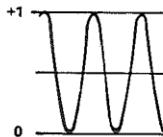
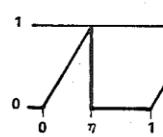
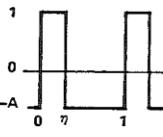
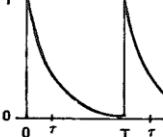
$$m = \int_{-\infty}^{\infty} x p(x) dx$$

また、p (X) は X が所定の値を持つ確率です。

最近まで、小型で広帯域な低価格アプリケーション用に、正確な RMS 計測器を経済的に製造することはできませんでした。代わりに広く使われていたのが、平均絶対値（統計的には平均絶対偏差）でした。平均絶対値（Mean Absolute Value: MAV）、つまり平均絶対偏差（Mean Absolute Deviation: MAD）は、単純に信号を全波整流して、得られた波形を平均することによって得られます。2-3 項の図 14 に示す表には、いくつかの波形とその RMS 値、および MAD 値が示されています。その他いくつかの波形について、同様のデータを表 1 に示します。

表 1. いくつかの一般的波形の特性

正弦波、矩形波、三角波、鋸歯状波、ガウス・ノイズ、ゼロベースの矩形パルス列については、2-3 項の図 14 を参照してください。

WAVEFORM	RMS	MAD	RMS MAD	CREST FACTOR
 AMPLITUDE-SYMMETRICAL RECTANGULAR	1	1	1	1
 SINE-SQUARED (RAISED COSINE)	$\sqrt{\frac{3}{8}} = 0.6124$	$\frac{1}{2}$	1.225	1.633
 SAWTOOTH PULSE	$\sqrt{\frac{\eta}{3}}$	$\frac{\eta}{2}$	$\sqrt{\frac{4}{3\eta}}$	$\sqrt{\frac{3}{\eta}}$
 OFFSET PULSE $(\text{IF AVE} = 0 \quad \eta = A(1-\eta))$	$\sqrt{\eta(1-A^2)+A^2}$ \sqrt{A}	$\eta(1-A)+A$ $\frac{2A}{1+A}$	$\frac{\text{RMS}}{\text{MAD}}$ $\frac{1+A}{2\sqrt{A}}$	$\frac{1}{\text{RMS}}$ $\frac{1}{\sqrt{A}}$
 EXPONENTIAL PULSE	$\sqrt{\frac{\tau}{2T}(1-e^{-2T/\tau})}$ $\approx \sqrt{\frac{\tau}{2T}}$	$\frac{\tau}{T}(1-e^{-T/\tau})$ $\approx \frac{\tau}{T}$	$\sqrt{\frac{T}{2\tau}}$	$\sqrt{\frac{2T}{\tau}}$

正弦波の計測値は広く使われる所以、メーターは RMS 値を表示するように校正されていますが、MAD は測定された実際の電圧です。したがってこれらのメーターは、平均絶対値の $\pi/2 \sqrt{2}$ (= 1.111) 倍の値を表示します。歪んでいない正弦波を除く波形では、この比は誤差に大きく影響する可能性があります。DC または対称矩形波では、誤差が 11 % 大きくなります。三角波または鋸歯状波では、誤差は 4 % 低くなります。また、ガウス・ノイズでも 11.3 % 低くなります。しかしこれらの波形は、その性質が分かれば補正することができます。もっと悪いことに、これらのデバイスでは、未知の波形や可変「デューティ・サイクル」の波形を測定できないことです。たとえば、ゼロベースの矩形パルス列では、25 % デューティ・サイクルの時の RMS/MAD 比が 2 で、デューティ・サイクルが 1 % の場合は 10 です。図 1 は、平均値の 1.111 倍を使用した場合の正弦波の 1/2 サイクルでの RMS の測定誤差を、SCR 回路の点弧角の関数として示したプロットです。

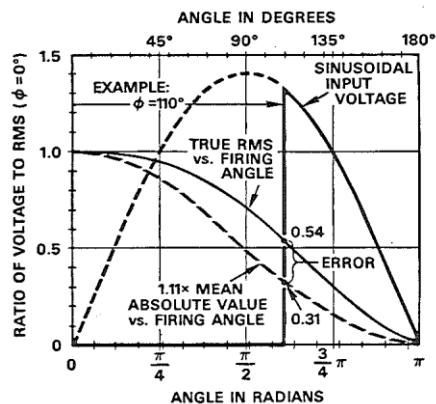


図 1: 点弧角 ϕ の関数として表した理想全波 SCR 出力の RMS と平均値

二乗平均は（したがって RMS も）、既知または未知の形状の信号に含まれる電力を所定の時間間隔で平均し、正確かつ一貫性のある形で表わすので、音響ノイズ、機械的振動、電気的ノイズなどの規則性のない現象や、より確定的な形状の波形によって特性付けられる現象の強度を、有効かつ普遍的、しかも再現性のある形で計測します。

驚いたことに、現在の一部の「望ましい」電圧計も依然として RMS 補正された MAD を使用していますが、真の RMS 計測器への明確かつ急速な移行が進んでいます。この動きは 2 つの傾向、すなわち、時間領域での測定が増えてきたことと、小型の真の RMS 計測器のコストが大幅に低下して入手が容易になったことの結果です。現在は、精度（誤差）0.1 % ~ 0.5 % クラスの RMS-DC コンバータ・モジュールを 50 ドル前後で購入できます。これまで、古典的なサーマル RMS-DC コンバータは高価（1000 ドル程度）だったため、その使用は、極めて高価なデジタル電圧計や特殊な真の RMS アナログ・メーターだけに限られていました。

高価な実験用メーターだけに限られるこのような制約は、ここ数年間のうちに無くなるでしょう。低価格のポータブル・デジタル・マルチメーター や AC 伝送規格の市場の拡大が、正確で信頼できる AC 計測への需要を刺激することは疑いありません。デジタル計測器のユーザは、当然のことながら高い精度と分解能を期待しており、計測器の AC 計測能力が、その DC 能力同様に良好なものになることを望むでしょう。一般にポータブル・メーターは、補助計測器（オシロスコープや実験室用 DVM）を使用できないような場所での複雑な波形の計測に使われます。したがって、AC 精度は波形に無関係でなければなりません。

すでに述べたように、RMS コンバータは工業用の計測や制御に有効です。SCR 波形、ノイズおよび振動解析、ならびに固定抵抗の消費電力はアプリケーションのごく一部に過ぎません。しかし、可変負荷やリアクティブ負荷については、瞬間ごとに乗算を行った後に平均を算出し、平均電力を求めることによって平均電力が計測されます（2-3 項の図 17）。（このようなアプリケーションでは、RMS 値に対して乗算を行うと誤った結果が得られる恐れがあります）

RMS-DC コンバータ回路

現在は、RMS 計測を行うために 3 つの電気的手法が広く使われています。

1. サーマル法: 未知の電圧または電流を、既知の値の抵抗で熱に変換するという原理に基づく手法です。

2. **直接計算法:** アナログ計算手法を使用し、オープンループ構成で入力波形を二乗して平均を算出し、その平方根を求ることによって、RMS 値をそのまま計算します。

3. **陰関数的計算法:** 上記 (2) の手法のバリエーションで、平方根計算を陰関数的に（つまり帰還によって）行います。

これら 3 つの手法のうち、サーマル・コンバータはその性質からして十分満足を与える基本的なものですが、実現には困難が伴います。計算による方法、特に陰的平方根計算を採用するものは、通常、最良のサーマル・コンバータに匹敵する精度と帯域幅をより低価格で提供することができます。

サーマル RMS-DC コンバータ回路

低周波数 ($< 10 \text{ MHz}$) の計測に役立つ最もシンプルなサーマル RMS-DC コンバータ回路が、図 2 に示す固定ゲイン、可変温度のコンバータです。抵抗 R_1 は入力を加えると発熱します。

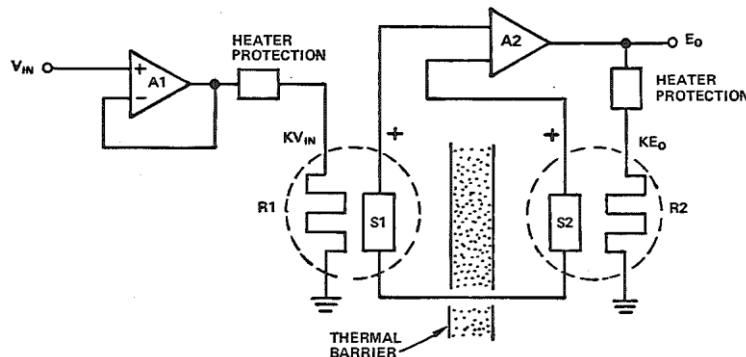


図 2: サーマル型の真の RMS-DC コンバータ（固定ゲイン）

この回路は、 R_2 が R_1 と同じ温度になるような DC 電圧を R_2 に加えて、センサー S_1 と S_2 による測定に従い、その値を連続的に調整して温度差をゼロに保ちます。 R_1 と R_2 がともに同じ環境への熱経路を有している場合は、両方の抵抗で消費される電力は同じで、さらに $(KV_{IN})^2/R_1 = (KE_0)^2/R_2$ なので、出力は次のようにになります。

$$E_0 = \sqrt{\frac{R_2}{R_1}} \cdot (V_{RMS}) \quad (2)$$

入力バッファ・アンプ A1 は、入力信号に対する高いインピーダンスと、低抵抗 ($10 \sim 100 \Omega$) のヒーター R1 を駆動するだけの十分な電流、および適切な帯域幅を提供する必要があります（通常は、このアンプがサーマル・コンバータの入力帯域幅を制限する要素となりますが、特に入力が減少していく場合、熱遅延により RMS が新しい値に落ち着くのが遅くなります）。

ヒーターセンサー・センブリの構造は、サーマル RMS コンバータの精度と帯域幅にとって極めて重要です。最近まで、最良のコンバータには、細いワイヤを巻いた抵抗と熱電対を含む真空シール型抵抗センサー・センブリが使われていました。R2 両端の電圧が V_{IN} の RMS 値とともに線形に変化するように、このワイヤが温度の関数として一定の抵抗値を保つことが不可欠です。R1-S1 と R2-S2 が互いに熱的に絶縁されていることも重要です。かなりの熱が R1 から S2 へ（または R2 から S1 へ）伝わる場合はコンバータの感度が低下し、非線形性が生じこともあります。

熱電対は感度が低いので（例えば $40 \mu\text{V}/^\circ\text{C}$ 程度）、S1 と S2 に熱電対を使用する場合は、A2 が極めて安定した状態になければなりません（チョッパ安定化等を使用）。一部のディテクタは複数の熱電対を直列で使用していますが、それでも信号レベルは 1 ミリボルト以下です。

最近ではバランス・サーマル・ディテクタが開発されていますが、これは、ヒーターに薄膜抵抗を、センサーにトランジスタを使っています。トランジスタのベース・エミッタ間電圧の温度係数は 25°C で約 $-2 \text{ mV}/^\circ\text{C}$ なので、センサーとしては熱電対よりほぼ 2 枠優れています。これによって A2 の性能要件は軽減されますが、熱バランス、入力アンプ、セトリング時間に関する問題はそのままです。

「固定ゲイン」サーマル・コンバータの性能

誤差はごく小さくすることが可能で、狭い振幅幅（通常は 3:1 未満）では、一般に表示値の 0.1 % 未満にすることができます。ヒーター R1 の消費電力は入力 RMS の二乗に比例するので、入力振幅に 3.2:1 の変化があると消費電力の変化は 10:1 となり、これによって相応の温度上昇が生じます。入力振幅の増加が大き過ぎると、R1 が焼き切れる恐れがあります。

他方、信号レベルが低すぎると、R1 の温度上昇が小さ過ぎて満足に動作しません。

サーマル・コンバータの帯域幅は（入力信号応答で表した値）、入力アンプ A1 の帯域幅によって上限が制限され、R1-S1 と R2-S2 の熱時定数によって低周波数域（つまり 1 Hz ~ 10 Hz）が制限されます。DC では平均計算の必要がないので、コンバータは完璧に機能します。したがって、正確な DC リファレンスに対してサーマル・コンバータを校正することができ、さらにリファレンスとほぼ同じ RMS レベル（±50 % 以内）の AC 信号（コンバータの帯域幅内の信号）の計測に使用することができます。

ダイナミック・レンジが制限されるということは、クレスト・ファクタ（ピーク入力と RMS の比）も制限されることになります。ヒーターは、ダイナミック・レンジの上側領域で定常にクレスト・ファクタが低い状態で動作しなければならない（正弦波入力など、c.f.= $\sqrt{2}$ ）、ピークのための「ヘッドルーム」はほとんどありません。例えば、ヒーターへの電流が 10 mA ~ 30 mA の時にヒーター検出器が最も良好に動作し、3 のクレスト・ファクタ能力が必要な場合、入力バッファ・アンプは 30 ~ 90 mA をリニアに供給できなければなりません。クレスト・ファクタが 5 の場合、50 mA ~ 100 mA が必要です。アンプが電流を供給できたとしても、瞬間電力定格を超えるとヒーターが焼き切れるおそれがあります（電力は電圧または電流の二乗に比例します）。

可変ゲイン・サーマル RMS-DC コンバータ: 固定ゲインのサーマル・コンバータではダイナミック・レンジとクレスト・ファクタが制限され、セトリング時間が長くなりますが、これらの点は、ヒーター R1 と R2 を一定の電力（温度）で動作させることによって大幅に改善されます。図 3 に示すように、入力バッファ・アンプのゲインはヌル検出アンプ A2 によって制御され、R1 の電力と、一定電圧 V_{REF} で駆動される R2 の電力を平衡させます。入力アンプのゲインが制御電圧 E_o に逆比例する場合、制御電圧は入力電圧の RMS に比例します。ヌルの時は次の式が成り立ちます。

$$\left(K \frac{V_{IN}}{E_o} \right)^2 \frac{1}{R_1} = \frac{V_{REF}^2}{R_2} \quad (3)$$

したがって、以下のようにになります。

$$E_o = \sqrt{K \frac{R_2}{R_1} \frac{\overline{V_{IN}}^2}{V_{REF}^2}} = K' \sqrt{\overline{V_{IN}}^2} \quad (4)$$

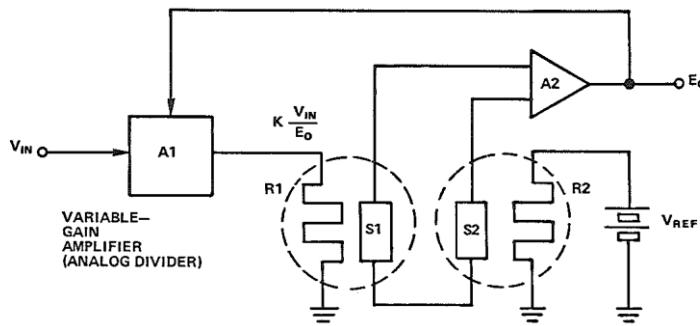


図 3: 可変ゲイン・サーマル RMS-DC コンバータ

可変ゲイン・サーマル RMS-DC コンバータは、固定ゲイン・コンバータより良好なダイナミック・レンジと精度を備えていますが、共通の弱点もいくつかあります。このコンバータのヒーター抵抗はかなり大きい電流（10 mA ~ 100 mA）を必要とするので、グラウンド・パスで大きな電圧降下が生じるのを防ぐために、適切なグラウンド・リターン方法に従う必要があります。

ヒーターセンサー・ペアは室温より高い温度で動作するので、通常は、サーマル・コンバータが使用可能な精度に達するまでに、かなりのウォームアップ時間（5 分間以上）を要します。熱時定数は平均化時間を決定し、そのため、RMS を正確に計測可能な最低周波数（DC を除く）を決定します。ローパス・フィルタを使用して平均化時間を増やすことはできません（計算タイプのコンバータの場合と同様）。このためサーマル・コンバータは、通常、10 Hz 未満の周波数ではうまく動作しません。

直接計算法（陽関数）

波形の二乗平均平方根を計算するには、二乗、平均、および平方根という 3 つの演算が必要です。これらは、図 4 に示すように、乗算器とオペアンプを使って直接的な方法で実装することができます。

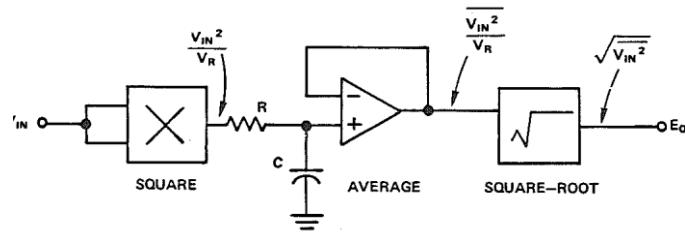


図 4: 陽的 RMS 回路

陽的計算を行うこの方式は、いくつかの理由から十分なものではありません。

- 1.コストと複雑さ: 2 個の乗算器または 1 個の平方根演算器と 1 個のオペアンプが必要です。
- 2.限られたダイナミック・レンジ: 二乗演算器の出力は、100:1 の瞬間入力範囲 (0.1 V ~ 10 V) に対し、10,000:1 のダイナミック・レンジ (1 mV ~ 10 V) で変化します。入力乗算器には 1 mV を超える誤差が生じるので、誤差は信号レベルに大きく依存し、結果として全体的なダイナミック・レンジは 100:1 未満、恐らくは 10:1 程度になってしまいます。この点で、直接計算 RMS 回路には、ダイナミック・レンジに関して固定ゲインのサーマル・コンバータと同様の制限があります。これらの制限はありますが、RMS 値の直接計算は、10:1 の入力範囲に対し極めて正確に行うことができます。0.1 % の乗算器を二乗演算器として使用し、高精度の平方根演算器（例えば 434B）を使用した場合は、フルスケールの ±0.1 % の誤差レベルを実現できます。

陰関数的計算法

信号の RMS 値を計算する最良のアプローチは、恐らく、下に示す RMS 方程式の陰関数的解法を実装する回路を使用することです。

$$V_{\text{RMS}}^2 = \overline{V_{\text{IN}}^2} \quad (5)$$

方程式を解く際には次の式を使用します。

$$V_{\text{RMS}} = \sqrt{\frac{\overline{V_{\text{IN}}^2}}{E_0}} \quad (6)$$

上に示す演算、つまり二乗、平均、さらに出力による除算を行う回路のブロック図を図 5 に示します。信号の平均化時間における出力は基本的に一定なので、平均を求める前に除算を行うことができます。

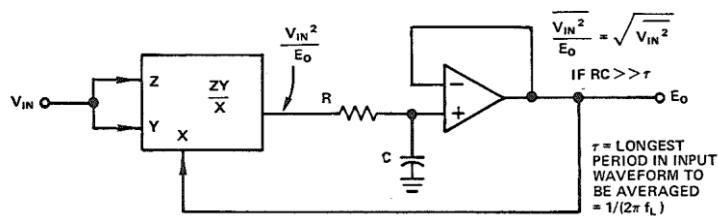


図 5: 陰的 RMS 計算回路

この方式は直接計算法に伴うすべての制限を解消し、可変ゲイン・サーマル・コンバータよりはるかに広いダイナミック・レンジを実現します。また、基本的に RC を任意に選択できるので、非常に遅い波形を扱えるように設計することができます。ただし、 RC の時定数は最長計測対象時間より十分に長く、なおかつ適切なセトリング時間になる程度に短くする必要があります。

この方式を実装する方法は 2 つあります。直接乗除算を行う方法と、対数／逆対数演算を採用した特別設計の真の RMS モジュールを介する方法です。

陰的帰還を行う直接乗除算は、AD531 IC 乗除算器（2-3 項、図 15）、433 多機能モジュール、または 434 乗除算器などの 3 変数デバイスを使って実装できます。

RMS 回路に使用する AD531 には、慎重なトリミングと、少なくとも 1 個の外付けアンプが必要です。回路の精度は、デバイスに関する制限のために 1% あるいは 2% 以内に止まります。433 または 434 を使用すれば、極めて精度が高く (0.1% 以内) 、広いダイナミック・レンジ (1000:1) を持つ RMS 回路を作ることができます。ただし、これは 1 象限デバイスなので、バイポーラ信号の RMS が必要な場合は、高精度の整流器によって駆動する必要があります。433 も AD531 (外部回路使用) も、価格や性能の面では専用の RMS モジュールに太刀打ちできません。

特殊用途用対数／逆対数 RMS-DC 変換は、対数手法と陰的計算手法を組み合わせて、1000:1 のダイナミック・レンジに対する予想値から 15 mV + 0.2% 未満の全体誤差を実現します。

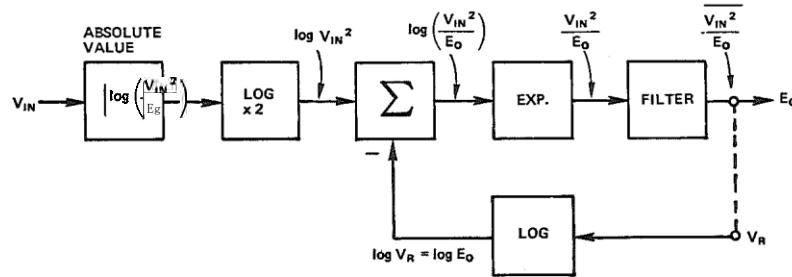


図 6: 対数／逆対数 RMS-DC コンバータ

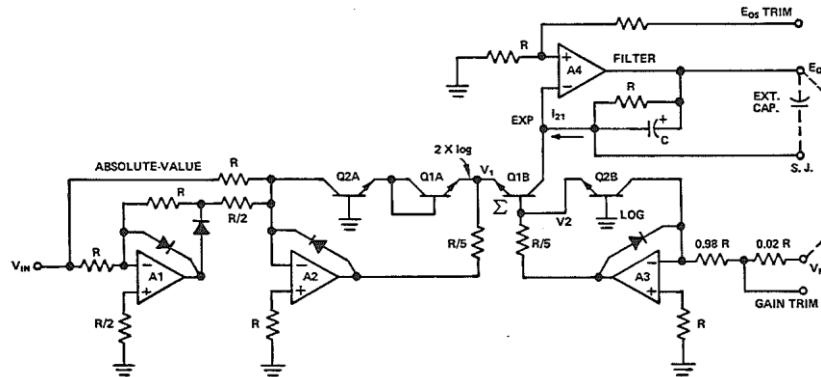


図 7: 対数／逆対数 RMS-DC コンバータの回路図

この回路は、対数／逆対数二乗除算器、絶対値（全波整流器）フロント・エンド、および内部で接続されたフィルタで構成されます。回路のブロック図を図 6 に、回路図を図 7 に示します。

バイポーラ入力信号 V_{IN} は、絶対値回路（アンプ A1 と関連部品）によって大きさを表す電流に変換されます。このユニポーラ電流は、直列に接続された 2 つの接合（A2、Q1A、および Q2A）によって、入力対数の 2 倍に比例する電圧に変換されます（つまり $2 \log x = \log\{x^2\}$ ）。A3 と Q2B によって出力の対数が得られ、それが入力の二乗の対数から引かれます。Q1B と A4 によってその結果の逆対数が取られ、R4 の帰還パスにあるフィルタ RC によって平均化されて、R により出力電圧に変換されます。

この導出過程は、トランジスタ同士がマッチングしており、等温になっている場合に、温度の影響を受けやすい項がどのように相殺されるかを示しています。

$$V_1 = -2 \frac{kT}{q} \ln \left(\frac{V_{IN}}{RI_{ES}} \right) \quad (7)$$

$$V_2 = -\frac{kT}{q} \ln \left(\frac{E_o}{RI_{ES}} \right) \quad (8)$$

$$I_{21} = I_{ES} e^{q(V_2 - V_1)/kT} \quad (9)$$

$$V_2 - V_1 = \frac{kT}{q} \left(2 \ln \frac{V_{IN}}{RI_{ES}} - \ln \frac{E_o}{RI_{ES}} \right) \quad (10)$$

$$= \frac{kT}{q} \ln \left(\frac{V_{IN}^2}{E_o RI_{ES}} \right)$$

$$I_{21} = I_{ES} \frac{V_{IN}^2}{E_o RI_{ES}} = \frac{V_{IN}^2}{RE_o} \quad (11)$$

$$E_o = \overline{I_{21} R} \Big|_{RC} = \left(\frac{\overline{V_{IN}}^2}{E_o} \right) \quad (12)$$

$1/2\pi RC$ に比べて高い周波数では $\overline{E_o} \approx E_o$ なので、次式が成り立ちます。

$$E_o = \sqrt{\overline{V_{IN}}^2} \quad ((5) \text{ と } (6) \text{ を参照}) \quad (13)$$

したがって、ローパス・フィルタのコーナー周波数が入力信号の最小周波数成分より十分に低いと仮定すると、出力電圧は入力電圧の RMS に等しくなります。この回路は、平均化の必要が無い DC 入力に正確に応答します。この RMS-DC コンバータは DC に応答でき、また、比較のために DC リファレンスを使用できるので、簡単に校正可能です。スケール・ファクタを制御する分母入力が、出力からの帰還ではなく一定電圧によって与えられる場合は、この回路を二乗平均出力に使用することもできます。

DC および低周波数入力の場合は、誤差を非常に小さい値（約 0.02 %）にトリムできます。静的誤差の主な発生源は、オペアンプの電圧および電流オフセットです。クレスト・ファクタが大きい（3 ~ 5）場合は、トランジスタの対数適合度誤差によって非線形性が生じます。ただしその場合でも、回路の誤差の増加は c.f.= 10 の時で表示値の 5 % に止まります。

RMS 回路のダイナミック応答は信号レベルによって異なります。440 で入力レベルが 20 V_{p-p} の場合、A1 のスルー・レートによって、全体の -3 dB 正弦波帯域幅が 500 kHz に、1 % 表示誤差時帯域幅が 50 kHz に制限されます。2 V_{p-p} の場合の 1 % 表示誤差時帯域幅は、代表値で約 150 kHz です。ただし、帯域幅は信号レベルがさらに低下するに従って減少します。これは、対数トランジスタ Q1A と Q2B に流れる電流が減少するためです。1 ~ 2 Vrms の範囲での信号の帯域幅は、A1 と A2 に高速アンプを使うことによって、5 MHz 程度まで増やすことができます。

温度あるいは電源の変動に伴うオフセット・ドリフトとスケール・ファクタ・ドリフトは、誤差源としては無視できます。

対数／逆対数トランジスタを対称に配置すると、温度依存項 kT/q と I_{ES} が完全に相殺されます。その結果、スケール・ファクタ・ドリフトは主にトランジスタの温度係数によって決定されます。温度係数の値は $10 \text{ ppm/}^{\circ}\text{C}$ 未満のこともあります。出力ドリフトの主な原因是、出力アンプ A4 および帰還アンプ A3 の電流と電圧のオフセット・ドリフトです。入力オフセットは 1 mV 以下で、ドリフトは約 $20 \mu\text{V/}^{\circ}\text{C}$ です。

RMS-DC コンバータの仕様

真の RMS-DC コンバータの最も顕著な特長は、RMS への間接近似を行っているため、概念的には誤差がないことです。静的誤差は、すべてスケール・ファクタ誤差、線形性誤差、およびオフセット誤差によるものです。動的誤差は、周波数上限付近の領域での不十分な帯域幅、下限付近の領域での不十分な平均化時間、および中帯域のクレスト・ファクタに影響を与える直線性誤差によるものです。

RMS モジュールの特徴的な仕様の概要を、モデル 440 汎用（低価格）RMS モジュールの仕様を一例にして示します（表 2）。図 7 と同様の回路を使用し、出力オフセット調整、スケール・ファクタ・トリム、平均化時間延長のための外付けコンデンサの追加ができるようにしてあります。この章の付録には、外付けフィルタの使用によってリップルを減らす方法や、ゲート積分とサンプリング、および増分加算を使用して、任意の時間間隔で真の時間平均により近い値を近似する方法が示されています。

仕様は以下のように解釈することができます。

最大誤差 (MAXIMUM ERROR)

これは迅速に参照できるように示した包括的仕様で、フルスケール出力の、出力電圧の DC 成分と理論的出力値の最大差です。

精度 (ACCURACY)

無調整時の最大誤差 (*Maximum Error, No Adjustment*) は、理論的な出力値と実際の出力値の差です。これは、固定誤差と理論的出力に比例する成分との合計です。

表 2. 代表的な汎用 RMS-DC コンバータの仕様
(別途注記の無い限り 25 °C での代表値)

Parameter	Model →	440J	440K
MAXIMUM ERROR		0.35%	0.15%
ACCURACY			
Maximum Error, No Adjustment	±15mV±0.2%	±5mV±0.1%	
Maximum Error, Externally Adjusted	±10mV±0.1%	±2mV±0.05%	
Typical Error, Externally Adjusted	5mV±0.05%	1mV±0.05%	
TEMPERATURE COEFFICIENTS			
Output Offset, maximum	0.2mV/°C	0.2mV/°C	
Scale Factor, maximum	0.02%/°C	0.02%/°C	
DYNAMICS			
Frequency for Specified Error, Minimum	10kHz	10kHz	
Frequency for 1%-of-Reading Error			
Sine Wave, 20Vp-p, minimum	50kHz	50kHz	
Sine Wave, 2Vp-p, minimum	100kHz	100kHz	
Sine Wave, 0.2Vp-p	8kHz	8kHz	
-3dB Bandwidth			
Sine Wave, 20Vp-p	500kHz	500kHz	
Sine Wave, 2Vp-p	500kHz	500kHz	
Sine Wave, 0.2Vp-p	100kHz	100kHz	
CREST FACTOR @ 1Vrms Output			
For Specified Error	2	2	
For 1% Additional Error	3	3	
FILTER			
Time Constant (internal)	10ms	10ms	
Time Constant Increase vs. External	50ms/μF	50ms/μF	
INPUT			
Voltage Range, Specified Operation	±10V	±10V	
Voltage Range, Maximum	±Vs	±Vs	
Resistance	10kΩ	10kΩ	
OUTPUT			
Voltage Range, Specified Operation	0 to +10V	0 to +10V	
Current, minimum available	10mA	10mA	
POWER SUPPLY			
Error Sensitivity	0.2mV/V	0.2mV/V	
Range for Specified Performance	±14V±16V	±14V±16V	
Operating Voltage Range	±6V±18V	±6V±18V	
Quiescent Current	±10mA	±10mA	
TEMPERATURE RANGE		0°-70°C	0°-70°C

外部調整時の最大誤差 (*Maximum Error, Externally Adjusted*) は、出力オフセットとスケール・ファクタをトリムした時の出力値と理論値の差です。

温度係数 (TEMPERATURE COEFFICIENT)

出力オフセット (*Output Offset, maximum*) : ゼロ入力時に温度が出力に与える影響の最大値、あるいは、ある温度範囲内での出力プロットに対する平均誤差の最大変位をその温度範囲で割った値。

スケール・ファクタ (*Scale Factor, maximum*) : 温度が出力対入力 (DC) のスロープに与える影響の大きさ。

動的仕様 (DYNAMICS)

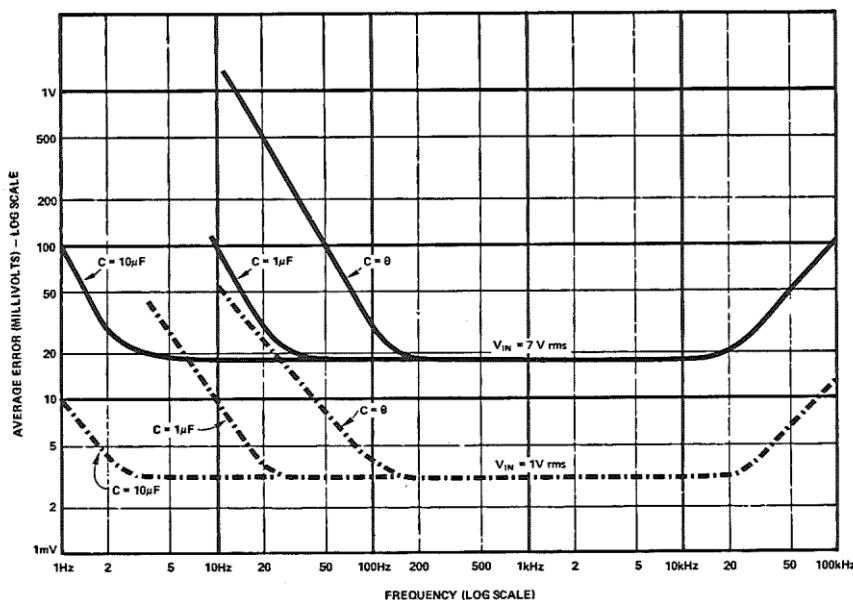
規定誤差の周波数 (*Frequency for Specified Error, maximum*) は、誤差が仕様に規定された中帯域値以下となることが保証されている（上限周波数の）最小周波数値です（正弦波入力）。下限周波数での誤差は、内部および外部両方のフィルタの選択に支配されます。誤差の代表値対周波数のプロットを図 8 に示します。下限での誤差の傾向が、コンデンサなしの時と、 $1 \mu\text{F}$ のコンデンサ追加時および $10 \mu\text{F}$ のコンデンサ追加時（フィルタ時定数は 60 ms と 510 ms）のそれについて示されています。非常に低い周波数では、回路の出力は入力の瞬間的な（→ DC）値に従います。

誤差が表示値の 1 % の時の周波数 (*Frequency for 1 %-of-Reading Error*) は、（オフセットを除く）誤差が表示値の 1 % 以下となることが保証される（上限の）周波数の最小値です。これは、ピーク to ピーク 振幅の関数です*。

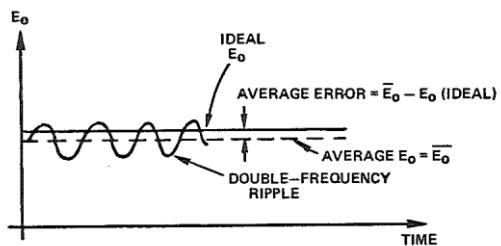
-3dB 帯域幅 (-3dB Bandwidth) は、誤差が 30 % 以下となることが保証された（上限の）周波数の最小値です。

クレスト・ファクタ (*CREST FACTOR*) : クレスト・ファクタは信号の特性の 1 つで、ピーク信号電圧と RMS の理想値の比です。この仕様値は、中帯域周波数信号の誤差が所定の RMS レベルで指定限界内に維持されるクレスト・ファクタの値です。

*正弦波以外の波形については、高調波の減衰によって、この仕様に規定した基本周波数より低い基本周波数で動的誤差が大きくなります。矩形波と矩形パルスは、よく使われる波形であると同時に、高調波が多いので、図 9 には、入力段での周波数応答ロールオフによって生じる（これらの入力に対する）誤差を、パルス幅（秒数）および仕様に規定された -3 dB 帯域幅 (Hz) の関数として示します。



a. 入力振幅、周波数（正弦波）、および外付け容量の関数として示した
440J RMS-DC コンバータの平均誤差



b. 低周波数時の RMS-DC コンバータの誤差の平均成分とリップル成分（正弦波入力）。
フィルタの平均時間が有限なので、2 周波数リップル成分と
平均出力値のオフセットの両方が発生（この章の付録 A を参照）。

図 8: 周波数の関数としての RMS-DC コンバータの出力誤差。プロットされた誤差値は、リップルをフィルタで除去した後に計測した平均誤差。

矩形パルスのクレスト・ファクタ、RMS、および平均をデューティ・サイクルの関数として示したプロットを図 10 に示します。

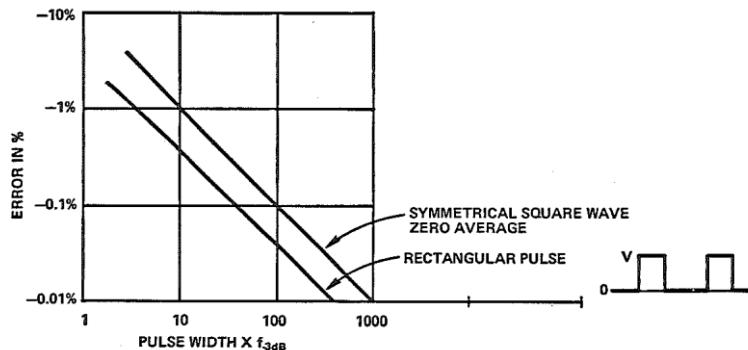


図 9: 帯域幅が有限なことによる RMS-DC コンバータの誤差（パルス入力と矩形波入力）¹。

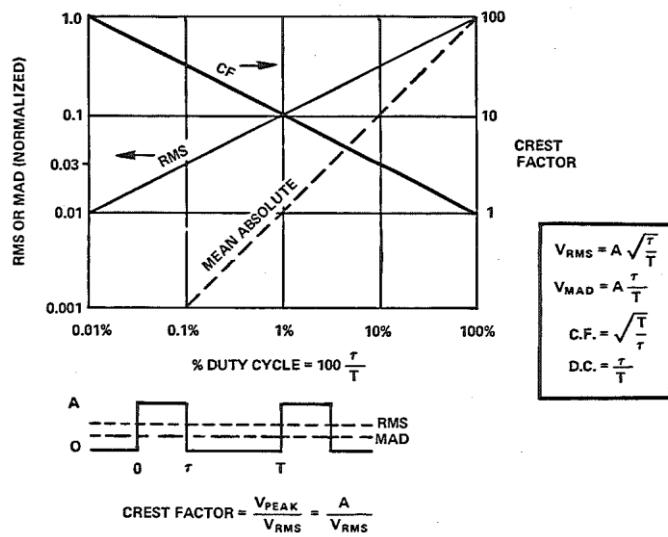


図 10: 矩形パルス列の RMS、平均、およびクレスト・ファクタ

¹ 出展: "RMS Voltage Measurements – Which Method Works Best?" by Roy Chapel, *Electronic Products Magazine*, January 15, 1973, p. 36.

フィルタの時定数と外部容量 (*FILTER*)。内部平均化フィルタの時定数と、追加外部容量 $1 \mu\text{F}$ あたりの時定数増加量。

入力 (INPUT): 仕様に規定する動作が得られる電圧範囲、絶対最大電圧、および実効入力抵抗。

出力 (OUTPUT): 定格性能に対する最大出力、フルスケール出力電圧で使用できることが保証された最小電流、および出力のソース抵抗。

電源 (POWER SUPPLY): 電源電圧が出力誤差に与える影響の大きさ、仕様に規定された性能に対する電源範囲、動作電源範囲、および自己消費電流量。

温度範囲 (TEMPERATURE RANGE): 使用範囲内で動作時の温度変動範囲。温度係数は、計測時に 3 点計測 ($T_H - 25^\circ\text{C}, 25^\circ\text{C} - T_L$) で決定されます。

RMS-DC コンバータのテスト

役に立つ装置類

RMS-DC コンバータのテストや校正には以下の装置類が役立ちます。アスタリスク (*) の付いた装置は必須装置です。

1. * 正確な DC リファレンス。絶対誤差 $\pm 1 \text{ mV}$ (またはそれ以下) で、 $\pm 10 \text{ mV}$ ステップで 0 V から $\pm 10 \text{ V}$ まで調整可能なもの。
2. * 正確な AC リファレンス。絶対誤差 0.05% (またはそれ以下)、 $100 \text{ Hz} \sim 10 \text{ kHz}$ の範囲で RMS 出力が $1 \sim 2 \text{ V}$ のもの。
3. バッファ出力を備えた高精度分圧器。 $1:1 \sim 100:1$ で調整可能なもの。
4. * DC デジタル電圧計。 $4\frac{1}{2}$ または $5\frac{1}{2}$ 枠、誤差 0.01% のもの。
5. * AC デジタル電圧計。分解能 $4\frac{1}{2}$ 枠で、平均絶対値または真の RMS での計測が可能なものの信号発生器の振幅モニタリングと、(クリーンな) 正弦波の比較精度テストに使用します。

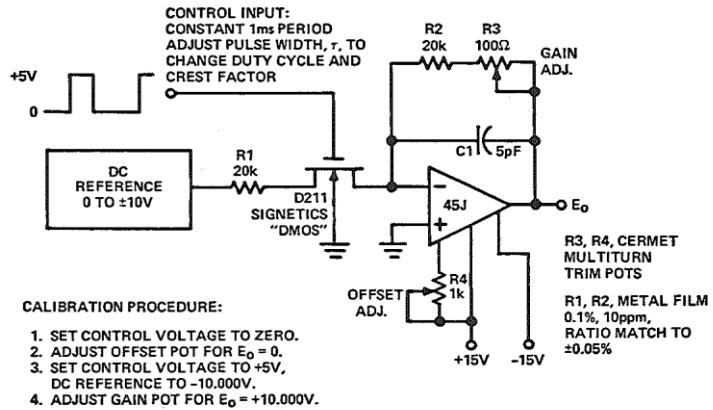


図 11: 振幅が正確で調整可能なパルス発生器

6. 正確なパルス発生器（図 11 参照）。
7. 真の RMS デジタル電圧計。4½ 枠表示で AC および AC + DC 信号を測定できるもの。
8. オシロスコープ。5 MHz 帯域幅のもの。
9. * 正弦波発生器。低歪みで (< 0.1 %) 、10 mVrms ~ 7 Vrms、10 Hz ~ 5 MHz のもの。

テストの方針と手順

RMS コンバータをテストする主な目的は、そのコンバータが、AC 信号（DC 成分を含む複合波）を、入力波形の RMS 値に等しい DC 電圧にどれだけ正確に変換できるかを決定することです。

基本的なテスト方法は、図 12 ~ 17 に示すように、既知の RMS 値の信号を入力に加え、得られる DC 出力を正確なメーターで測定します。

これは簡単に聞こえますが、実際にはそれほど簡単ではありません。第一に、RMS コンバータの誤差は入力波形の特性、つまり振幅、周波数、および波形（クレスト・ファクタ）に依存します。

第二に、正確な RMS 値が分かっている AC 信号（例えば正弦波）を得ることは容易ではありません。

これら 2 つの理由から、通常は、図 12 に示すように、（コンバータが DC に対応できる場合は）正確な DC リファレンスを使って RMS コンバータを較正する方が簡単です。（正確な RMS-DC コンバータを使って入力信号を較正する方法も有効です）

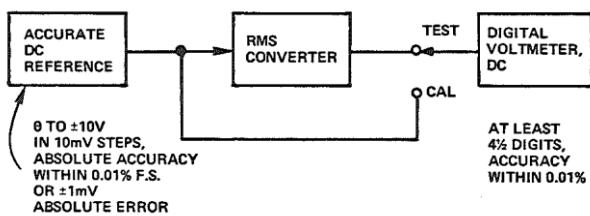


図 12: DC での絶対精度の計測

表 3.RMS-DC コンバータの DC 精度をチェックするためのテスト条件

	V_{IN}	E_o (IDEAL)	Description of Test
1.	0V	0V	Total zero offset, referred to output
2.	+10mV	+10mV	Input offset: + offset will cause output to read > 10mV; - offset vice versa
3.	-10mV	+10mV	Input offset: + offset will cause output to read < 10mV; - offset vice versa
4.	+100mV	+100mV	Low-end accuracy
5.	-100mV	+100mV	Low-end accuracy
6.	+1.00V	+1.00V	Mid-scale accuracy, check for agreement with specification
7.	-1.00V	+1.00V	Mid-scale accuracy, check for agreement with specification
8.	+10.00V*	+10.00V	Full-scale accuracy and symmetry (compare + and - readings)
9.	-10.00V*	+10.00V	Full-scale accuracy and symmetry (compare readings)

* または \pm で指定されたテスト対象デバイスのフルスケール入力

表 3 に列挙された入力電圧には、DC 応答機能に関する最も重要なポイントが含まれています。必要に応じ、RMS コンバータの誤差のプロット用としてさらに詳細な情報を得るために、その他の中間電圧を使用することもできます。

DC 計測は、スケール・ファクタ、出力オフセット、および対称性に影響を与える入力オフセット（内部的に調整できない場合は外部的に調整）を調整するための情報を提供します。

AC 計測

コンバータの DC 誤差をテストして必要な調整がすべて完了すれば、正弦波を入力源に使って AC 誤差をチェックすることができます。オフセットが 0 の AC 標準を使用できる場合は、図 13 の構成を使用できます。AC 標準を使用できなくても、代わりに良好な AC DVM を使用できる場合は、図 14 を使用できます。AC 信号に対する応答は、非線形性、帯域幅制限、デバイスの平均化時間による下限側の制限（外付け容量による目標値を含む）をチェックするために、複数の異なる入力レベルと周波数でテストします。

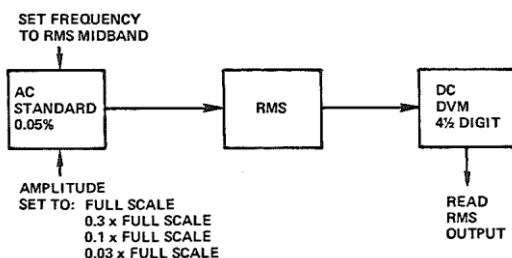


図 13: AC 標準を基準にした絶対精度の計測

入力振幅範囲にわたるコンバータの線形性をテストするための構成を図 15 に示します。入力源の振幅と周波数は 1 回だけ設定します。次に、(a) 波形が変化しないようにするためと、(b) 正確に校正された入力とフルスケールの比が得られるようにするために、低歪みの高精度減衰器を使用して振幅を調整します。

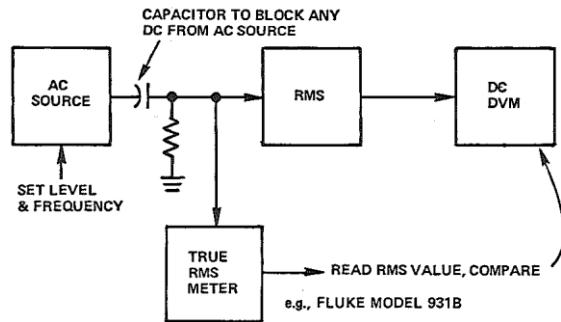


図 14: 真の RMS メータの精度を基準にした RMS-DC コンバータの絶対精度の計測

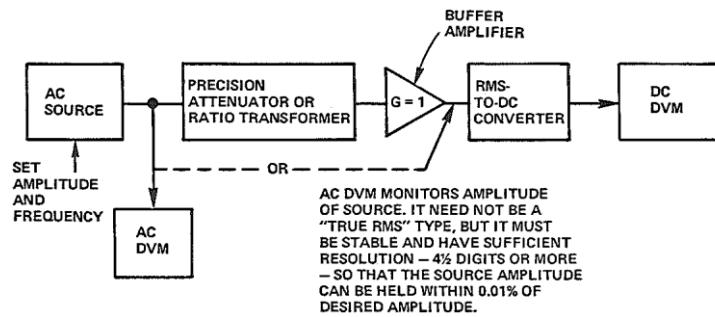


図 15: AC 入力の非線形性の計測

図 11 に示すような高精度パルス源を使い、クレスト・ファクタの関数として誤差を計測するための構成を図 16 に示します。クレスト・ファクタを扱う能力は、既知の振幅とデューティ・サイクルの矩形パルスを使ってチェックするのが最も簡単です。クレスト・ファクタとデューティ・サイクルの関係を、図 10 に図と式で示します。クレスト・ファクタは、出力 RMS または入力振幅（これは定格ピーク入力より小さくなければなりません）に関連付けて設定することができます。

最小パルス反復速度は、従って、中帶域値に関して（所定の精度での）矩形パルスのクレスト・ファクタが減少する周波数は、平均化時定数によって決定されます。一般に、パルス幅と反復速度がコンバータの帯域幅の上限および下限の中に入っている場合、RMS-DC コンバータの誤差はクレスト・ファクタに直接比例して増加します。

RMS-DC コンバータの周波数応答の測定方法を図 17 に示します。

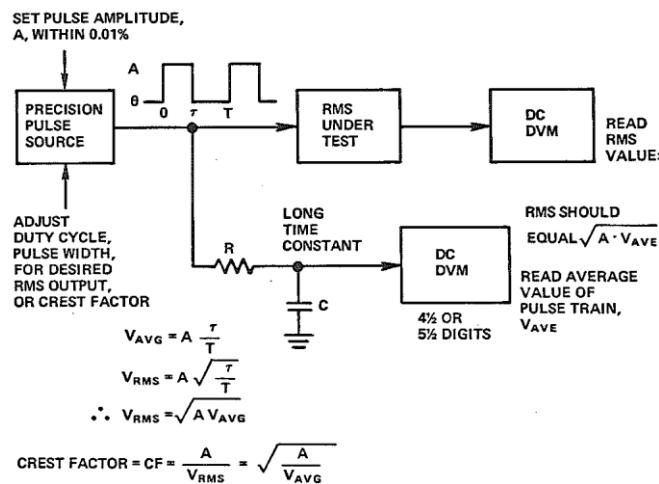


図 16: RMS-DC コンバータの精度をクレスト・ファクタとパルス幅（デューティ・サイクル）の関数として計測

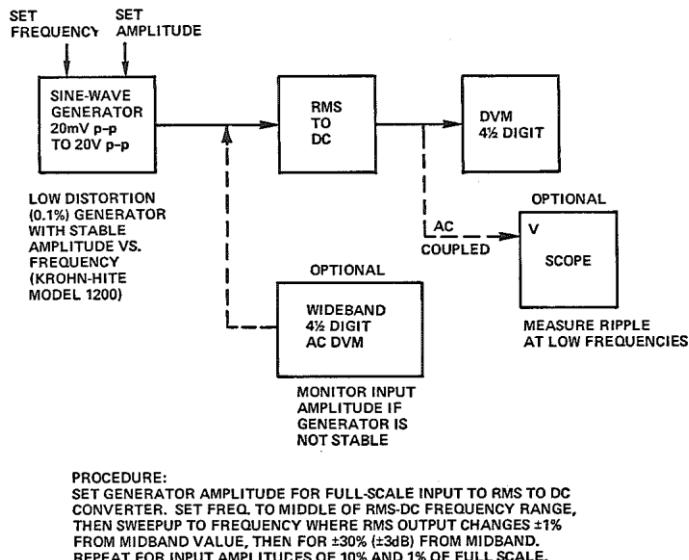
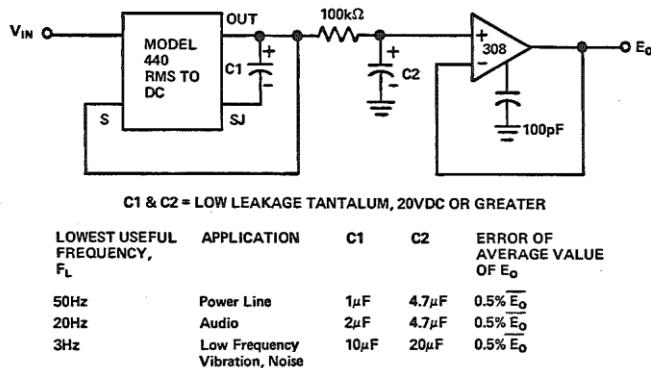


図 17: RMS-DC コンバータの周波数応答をクレスト・ファクタとパルス幅（デューティ・サイクル）の関数として計測

ハンドブック 3-7 項付録

A. 低周波数でのリップルを減らすためのローパス・フィルタの使用

外部容量を接続すれば、440 を使って、極めて低い周波数成分を持つ信号の RMS を正確に計算することができます。出力をアナログ・メーター（機械的に平均化します）で読み取るか、オシロスコープで目測する場合、リップル成分は重要ではありませんが、リップルは、出力をデジタル形態に変換する場合に誤差を発生させたり、デジタル・パネル・メーターを使って観測を行う場合に支障を生じる可能性があります。ローパス・フィルタを RMS 回路の後段に使用して、リップル成分を平均化して減衰させる段を追加することができます*。これを実現するための低価格回路構成を、下図に示します。



A) 低周波数でのリップルを減らすためのローパス・フィルタの追加

B. 平均化時間短縮のための制御された積分とデジタル平均化の使用

多くのアプリケーションでは、RC ローパス・フィルタ（または熱時定数）によって提供される移動平均を、固定された時間間隔にわたる十分な精度の数学的平均を得るために便利な手段として使用することはできません。

* この平均化はループの外側なので、リップル成分の除去にのみ有効です。これは、低周波数での誤差を減らすために大きくしたループ内時定数に代わるものではありません。ループ内時定数が不十分な場合は、リップルをフィルタによって十分除去した時の出力の平均レベルに誤差が生じます。目安としては、ピーク to ピーク・リップルが出力レベルの 10 % 未満の場合、平均誤差成分は無視できる程度にとどまり、外部フィルタリングを使ってリップルを希望のレベルまで下げるることができます。リップルが大きい場合はかなりの平均誤差を伴う可能性が高く、この場合は外部フィルタに加えて、C1 の値を増やす必要があります。

平均区間が非常に長い場合は特にそうですが、これはセトリング時間が長い（多サイクル）ことと、適切な大きさの安定した容量と抵抗を得るのが難しいことによります。

信号内のリップルを平滑化するために必要な平均化時定数と同程度の速さで二乗平均が変化する場合（例えば振幅変調波形の場合）も、移動平均は適していません。

このような場合は、制御された積分やサンプル & ホールド、場合によってはデジタル平均化さえ使用することによって、RMS あるいは二乗平均から DC への変換の精度を大きく改善し、秒単位から時間単位、あるいは数日にさえ達する、任意の実効平均化時間を提供することができます。

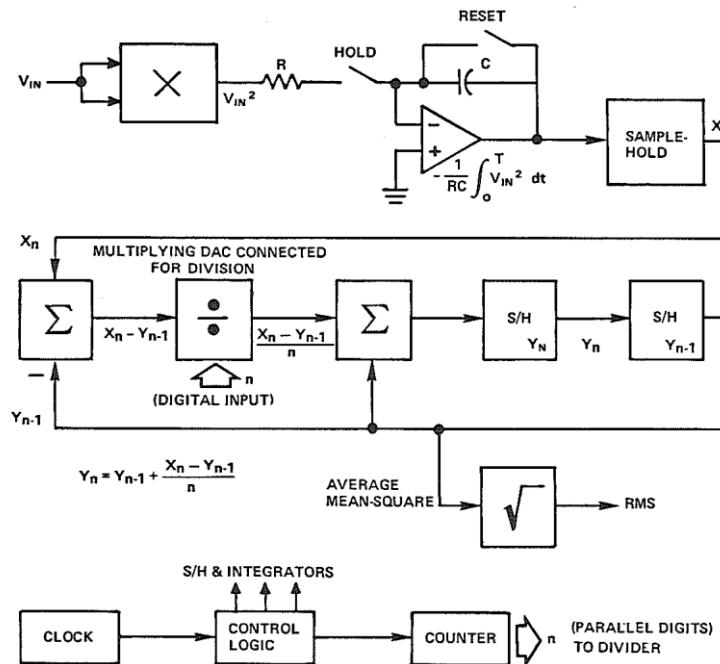
以上すべての手法を使用する直接計算方式を、図 (B) に示します。入力信号は、時間間隔 T の間に、 T に等しい特性時間 (RC) で繰返し二乗され積分されます。したがって、時間間隔 n の後の積分器出力は、 n 番目の時間間隔の二乗平均になります。

各時間間隔の最後には、サンプル & ホールドによって積分器出力が取得され、保持されます。その値 (X_n) が、その時点までの二乗平均値の平均 Y_{n-1} と比較されます。その差を n で割った値が Y_{n-1} に加えられて新しい平均 Y_n が算出され、次の Y 、 Y_{n+1} の計算に使用するために、その値がサンプル & ホールドに保存されます。 n 個の時間間隔にわたる平均の式は次の通りです。

$$Y_n = Y_{n-1} + \frac{X_n - Y_{n-1}}{n} \quad (14)$$

次に、各時間間隔の二乗平均値の平均の平方根を求めて、全体時間間隔の真の RMS が算出されます。例えば各積分時間が 15 分の場合、1000 カウントで 10 日間の RMS が得られます。

n での除算は、適切な速度のクロック駆動カウンタによって提供されるデジタル入力 n を使い、除算器として接続された AD7520 などの乗算 DAC によって行うことができます。（カウントは、ゼロによる除算の可能性を避けるために、あらかじめ設定されたカウント数 1 から開始されます。また、除算器は $n=1$ ではユニティ・ゲインにスケーリングされ、 n の値が大きくなるにつれて減少していきます）



B) 長期的 RMS の計算

積分器とサンプル & ホールドは、基本クロック・パルスから生成される制御ロジック信号によってシーケンスが制御されます。計算時間間隔内では、 Y_{n-1} のサンプル & ホールドがホールド状態で、 X_n と Y_n のサンプル & ホールドが両方とも サンプル状態になり、積分を追跡して、その時間間隔の終了まで Y の次の値（カウント = n ）を連続的に計算します。その時間間隔が終了すると、以下のイベントが順次実行されます。ホールド状態への移行、積分器が迅速にリセットされて次の時間間隔の積分を直ちに開始、 Y_n がホールド状態に移行、 Y_{n-1} が Y_n の最終値をサンプルしてホールド状態に戻り、続いて X_n と Y_n がサンプル状態に戻り、カウンタが $n+1$ にインクリメントされ、次の時間間隔が終わるまで Y の次の値が連続して計算されます。

Y_{n-1} のサンプル & ホールドは、ドリフトを含むその誤差が蓄積されるので非常に重要ですが、これは通常、「サンプルして無限に保持する」回路です（内蔵 DAC から得た出力を備えた A/D コンバータ）。