

## 第5章

### 計装アンプの効果的な利用

#### 両電源動作

計装アンプに電力を供給する従来の方法は、「分離」電源または両極性電源でした。これには、正と負の入力および出力振幅が扱えるという明らかな利点があります。

#### 単電源動作

単電源動作は、最近の計装アンプの特性として求められることが多くなっています。現在のデータ・アキュイジション・システムの多くは、低電圧の単電源から電力を得ています。この種のシステムには、2つのさわめて重要な特性が必要になります。1つは、計装アンプの入力範囲を正側電源電圧と負側電源電圧（またはグラウンド）の範囲にまで拡大しなければならないこと、2つ目は、アンプの出力もレール to レールでなければならないということです。

#### 低電圧で単電源の計装アンプ回路での真のレール to レールデバイスの必要性

設計者がアンプのヘッドルームを考慮せず標準（非レール to レール）製品を低電圧の単電源計装アンプ・アプリケーションで使用すると、問題が発生することがあります。多くの両電源計装アンプでは、各レールの約2V以内の出力振幅しか得られません。ただし、最高性能の製品であっても、単電源デバイスほどレールに近い振幅を得ることはできません。

AD623などの高品質レール to レール計装アンプは、電源電圧の0.5V以内、グラウンドの0.1V以内の範囲の出力振幅を得ることができます。その入力電圧範囲も同等です。これらの数値は控えめな値であり、出力負荷がきわめて軽い場合は、さらに高い性能が得られます。したがって5Vの単電源を使用すると、アンプの出力振幅は少なくとも4V、あるいは多くの場合においてはそれ以上の出力振幅が得られます。

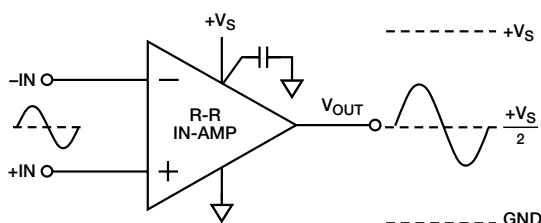


図 5-1. 最新のレール to レール計装アンプは、5V 電源で 4Vp-p 以上の振幅が得られるが、標準の両電源デバイスでこのような振幅を得ることは「不可能」である。通常、最大の出力振幅を得るため、計装アンプの VREF ピンは  $V_S/2$  に設定される。

図 5-1 に示す例で単電源 5V で駆動した場合、p-p 出力振幅は、標準製品ではわずか 1Vp-p 程度であるのに対し、レール to レール計装アンプでは 4Vp-p 以上になります。

#### 電源バイパス、デカップリング、および安定化の問題

電源のデカップリングは、設計者に見過ごされがちですが重要な事項です。一般にバイパス・コンデンサ ( $0.1\mu\text{F}$  の値が標準) は、各 IC の電源ピンとグラウンド間に接続されます。通常はこれで十分ですが、この方法では効果が足りない場合や、あるいはバイパスを実施しないときよりも過渡特性が悪くなってしまう場合があります。回路電流がどこで発生してどこに戻るのか、あるいはどのような経路を辿るのかをよく検討することが重要です。これを把握した上で、グラウンドまわりや他の信号経路のまわりにこれらの電流をバイパスしてください。

オペアンプと同様に、一般に多くのモノリシック計装アンプは、片側または両方の電源ラインを基準に用いた積分器を備えており、出力リファレンス端子に対してデカップリングを施す必要があります。つまり、各電源ピンと、計装アンプのリファレンス端子が接続されているボード上のポイントとの間にバイパス・コンデンサをチップごとに接続しなければならないということです。この様子を図 5-2 に示します。

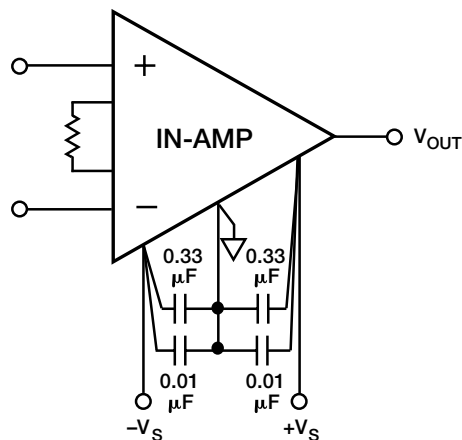


図 5-2. 電源バイパスの推奨方法

これらの問題に関しては、アナログ・デバイセズのウェブサイト [www.analog.com](http://www.analog.com) に掲載されているアプリケーション・ノート AN-202「An IC Amplifier User's Guide to Decoupling, Grounding, and Making Things Go Right for a Change (IC アンプのユーザガイド：デカップリング、グラウンディング、および変化への対処方法について)」(Paul Brokaw 著) でさらに詳しく説明しています。

## 入力グラウンド・リターンの重要性

AC結合は、計装アンプの入力端にDC電圧が現れるのを防ぐ簡単な方法です。ただし、DCリターンを設けずに、高インピーダンスの計装アンプの入力にAC結合を使用すると、回路が機能すらしなくなってしまう。これは、計装アンプ回路を使用するときに生じる最も一般的な応用上の問題の1つです。図5-3は、2つのよくある（誤った）構成を示しています。

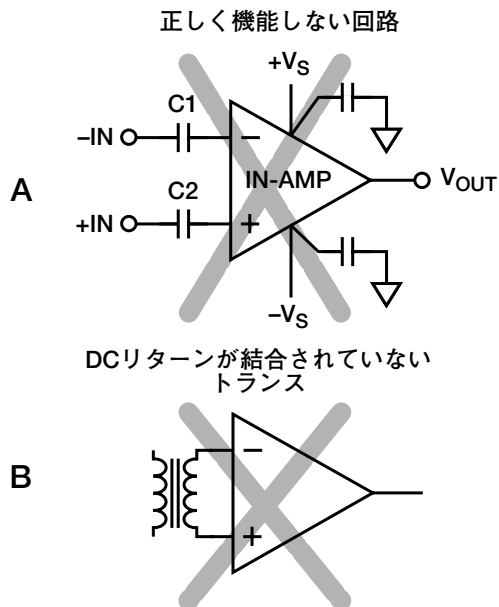


図5-3. 機能しないAC結合の計装アンプ回路

図5-3Aでは、入力バイアス電流がAC結合コンデンサを充電することになり、入力同相電圧を超えてしまいます。つまり、これらのコンデンサは、入力バイアス電流の方向に応じて、電源ラインまたはグラウンドまで充電されるということです。FET入力デバイスと大容量のコンデンサを用いた場合、計装アンプが動作不能状態に陥るのに数分程度かかることがあります。簡単な実験室のテストでは、この問題を検知できないおそれがあるため、完全な防止策を講じておくことがきわめて重要となります。図5-3Bは、DCリターンのためのセンター・タップなどの手段を用いないトランス結合の入力を示しています。したがって、これも同じ問題を引き起こします。

図5-3Aの回路に対する簡単な解決策は、各入力とグラウンドの間に値の大きな抵抗（R1、R2）を追加する方法です。これを図5-4に示します。これで入力バイアス電流は自由にグラウンドに流れ込むことができ、前の回路のように大きな入力オフセットを生じることはありません。

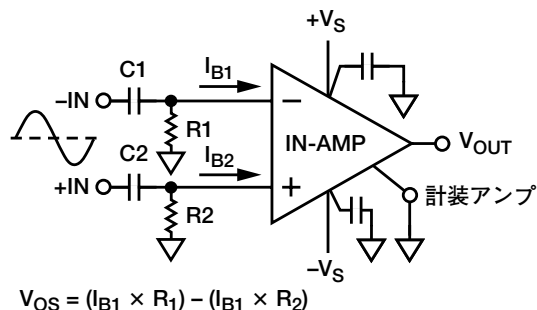


図5-4. 値の大きな抵抗を各入力とグラウンド間に加えることで効果的なDCリターン経路となる（表5-1を参照）

これは両電源の計装アンプ回路のための簡単で実用的な解決策です。抵抗により入力バイアス電流の放電経路が形成されます。このため、両入力はグラウンドが基準となります。2つの同一でない抵抗を流れる入力バイアス電流間のミスマッチのため、わずかにオフセット電圧誤差が残ります。このR1/R2ミスマッチによる誤差を防ぐには、3番目の抵抗（値は2つの抵抗の約1/10）を計装アンプの2入力間に接続します。

図5-5には、トランス結合入力のための推奨DCリターンを示します。

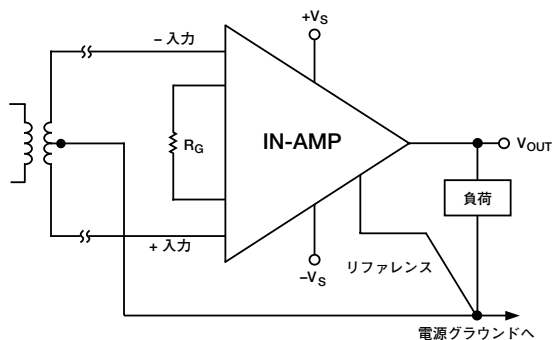


図5-5. トランス結合入力のための推奨DCリターン経路

センター・タップのないトランスに対しては、2つの抵抗を各入力ピンとグラウンドの間にそれぞれ使用することで、DCリターン経路を設けることができます。

単電源の計装アンプの AC カップリング時に、十分な入出力振幅（「ヘッドルーム」）を提供

単電源で駆動される計装アンプを使用した AC カップリングは、両電源動作に比べてさらに複雑で、通常、DC 同相電圧  $V_{CM}$  を両方の入力に加える必要があります。これを図 5-6 に示します。この理由は、一般的な 3 オペアンプ構成の計装アンプの内蔵バッファ・アンプは、信号をクリッピングしなければ負側電源（この場合はグラウンド）より数ミリボルト下にしか振幅できないためです。さらに、出力は負側電源より下に振幅することもできません。

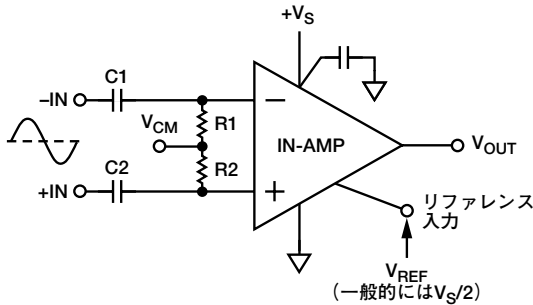


図 5-6. AC 結合で単電源の計装アンプ回路。最大のダイナミック・レンジを得るため、 $V_{CM}$  を最大入力範囲の中央に設定する。 $V_{REF}$  は一般的に  $V_S/2$  に設定。

$V_{CM}$  と  $V_{REF}$  に適切な電圧を選択することは、特に低電源電圧アプリケーションの設計において考慮すべき重要事項です。一般論として、 $V_{CM}$  は想定される入力ダイナミック・レンジの中央に設定し、一方、 $V_{REF}$  は想定出力ダイナミック・レンジの中央に設定する必要があります。例として、入力信号（ $+IN$  と  $-IN$  の差）が  $+1V$  と  $-2V$  の間にあるものと想定します。この条件下で、計装アンプの入力バッファはグラウンドを基準として正と負の両方に振幅する必要があります。計装アンプがユニティ・ゲインで動作していると仮定すると、 $V_{CM}$  は  $+2V$ （または少し大きな値）に設定でき、負方向に  $2V$  分のヘッドルームを残すことが

できます。トレードオフとして、正方向にとれる振幅が  $2V$  少なくなります。計装アンプがあるゲインで動作している場合、 $V_{CM}$  を調整して、クリッピングしなくても（つまり、いずれの方向の最大電圧振幅も超えることなく）バッファ出力が完全に振幅できるようにしてください。

出力のセンタリングも同様です。計装アンプの出力振幅の量と方向を推定し（ほとんどの場合で  $V_{IN} \times \text{ゲイン} + V_{REF}$ ）、その範囲の中央値となるリファレンス電圧を  $V_{REF}$  に加えます。

### RC カップリング部品の選択とマッチング

AC 結合アプリケーションでは、コンデンサの値と DC リターン抵抗の選択は、 $-3dB$  帯域幅、ノイズ、入力バイアス電流、コンデンサの物理的なサイズのトレードオフとなります。RC 部品は、 $R1/C1$  の時定数が  $R2/C2$  の時定数に近い値となるよう、適度にマッチングされている必要があります。そうでないと、同相電圧が差動誤差に変換されるおそれがあります。

入力コンデンサの容量値を大きくすると、周波数帯域は低くなり、入力抵抗値は小さい値で済みます。ただし、容量値の大きなコンデンサは物理的に大きく、ボードスペースを要します。原則として、 $0.1\mu F$  以上のコンデンサは、タンタル・コンデンサなど、サイズの取り扱いが容易な極性タイプを必要とします。ただし、極性コンデンサは、バイアスを適正に保つために既知の一定の極性 DC 電圧が必要となります。

コンデンサの容量値が小さくなるほど、値の大きな入力抵抗が必要となるため、ノイズは大きくなります。さらに、入力抵抗の値が大きくなると、DC オフセット電圧誤差も大きくなります。したがって、ここでも必ずトレードオフが要求されます。

$(I_{B1}R_1) - (I_{B2}R_2) = \Delta V_{OS}$  となるため、 $R1$  と  $R2$  の間に mismatch があると、入力オフセットの不均衡（ $I_{B1} - I_{B2}$ ）を生じます。アナログ・デバイセズの計装アンプの入力バイアス電流は、入力アーキテクチャに依存して広範囲に変化します。ただしその多くは、入力バイアス電流の最大値が  $1.5 \sim 10nA$  の間です。目安として、 $I_B R < 10mV$  に保つことを推奨します。

表5-1. AC結合の計装アンプ入力部品の推奨値

| - 3dB<br>帯域幅 | RC 結合部品       |                | 入力バイアス電流<br>(IB) | 各入力端<br>での $V_{os}$ | R1, R2 のミスマッチが<br>2%時の $V_{os}$ 誤差 |
|--------------|---------------|----------------|------------------|---------------------|------------------------------------|
|              | C1, C2        | R1, R2         |                  |                     |                                    |
| 2Hz          | 0.1 $\mu$ F   | 1M $\Omega$    | 2nA              | 2mV                 | 40 $\mu$ V                         |
| 2Hz          | 0.1 $\mu$ F   | 1M $\Omega$    | 10nA             | 10mV                | 200 $\mu$ V                        |
| 30Hz         | 0.047 $\mu$ F | 115k $\Omega$  | 2nA              | 230 $\mu$ V         | 5 $\mu$ V                          |
| 30Hz         | 0.1 $\mu$ F   | 53.6k $\Omega$ | 10nA             | 536 $\mu$ V         | 11 $\mu$ V                         |
| 100Hz        | 0.01 $\mu$ F  | 162k $\Omega$  | 2nA              | 324 $\mu$ V         | 7 $\mu$ V                          |
| 100Hz        | 0.01 $\mu$ F  | 162k $\Omega$  | 10nA             | 1.6mV               | 32 $\mu$ V                         |
| 500Hz        | 0.002 $\mu$ F | 162k $\Omega$  | 2nA              | 324 $\mu$ V         | 7 $\mu$ V                          |
| 500Hz        | 0.002 $\mu$ F | 162k $\Omega$  | 10nA             | 1.6mV               | 32 $\mu$ V                         |

表5-1は、1%精度の金属皮膜抵抗を使用したAC結合用の代表的なRとCの推奨値と、2つの値の入力バイアス電流を示しています。

### 計装アンプのリファレンス入力の適正な駆動

もう1つの一般的な応用上の問題として、計装アンプのリファレンス端子を駆動するために高インピーダンス信号源を使用したときに生じる問題があります。図5-7に示す例では、R2の抵抗値の増加分が、減算アンプA3内で良好にマッチングされていた抵抗の平衡を崩します。ここでは抵抗分圧器の例を示していますが、同様の問題は、たとえ入力信号がRREFに対して小さな割合であっても、あらゆる入力信号源に対して発生します。これにより、CMR誤差とリファレンス電圧誤差の両方が生じることになります。

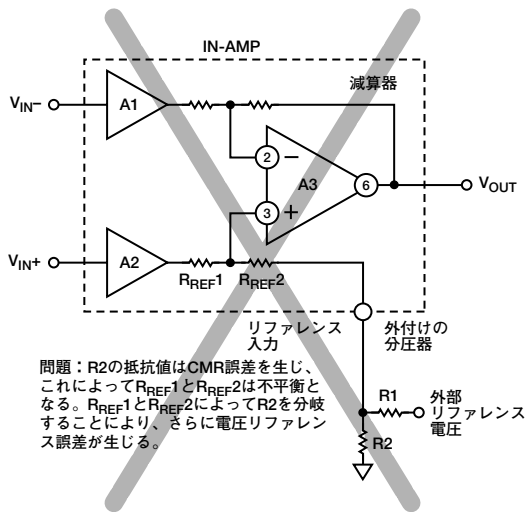


図5-7. この簡単な分圧器を使用すると、RREF1とRREF2に不平衡が生じ、A3に大きなCMR誤差がもたらされる。

RREF2はRREF1と等しくなくなったため（R2が直列に入っている）、CMR誤差が生じます。RREF1とRREF2は常に等しいわけではなく、VREF端子とグラウンド間にかんがりの大きさの直列抵抗を挿入することでA3の平衡が崩れ、CMR誤差を生じることになります。計装アンプのリファレンス・インピーダンスは有限であるため、R2は負荷となり、これによってリファレンス電圧誤差も生じます。

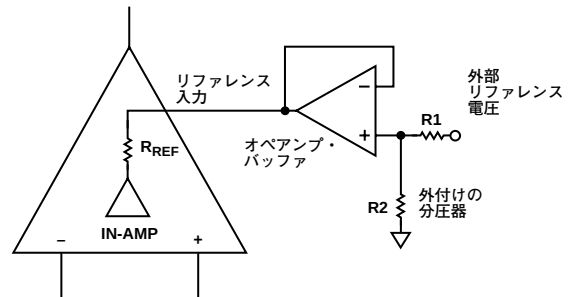


図5-8. 簡単なオペアンプ・バッファにより、計装アンプの入力を駆動するための低インピーダンスを提供

図5-8は、この問題に対する簡単な解決策を示しています。分圧器（またはその他の高インピーダンス信号源）と計装アンプのリファレンス端子の間にオペアンプ・バッファを追加するというものです。こうすることで、計装アンプからは、きわめて低いオペアンプの出力インピーダンスだけが見えます（通常1 $\Omega$ よりはるかに低い値）。

リファレンス端子を駆動しているインピーダンスがきわめて低く保たれている限り、他にもさまざまな解決策が考えられます。

## ケーブル終端

数百kHz以上の周波数で計装アンプを使用する場合、入力と出力の接続部には適正に終端された50Ωまたは75Ωの同軸ケーブルを使用する必要があります。一般に、ケーブル終端は簡単で、ケーブル中心導体とシールド（同軸ケーブル端）の間に50Ωまたは75Ωの抵抗を接続するだけです。ただし、これらの負荷を実用的なレベルにまで駆動するためのバッファ・アンプが必要になる場合があります。

## アナログ・デバイゼズの計装アンプの入力保護の基本

### ESD および DC 過負荷からの入力の保護

データ・アキュイジション・システム用のインターフェース・アンプとして、計装アンプは入力の過負荷状態（すなわち、選択したゲイン範囲に対応するフルスケールを超える電圧レベルや、ときには電源電圧をも超える電圧レベル）に置かれることがよくあります。これらの過負荷状態は、定常状態と過渡状態（ESDなど）の2種類に大きく分類できます。いずれも数分の1秒程度の間に発生します。3オペアンプ構成の計装アンプ設計の場合、低ゲイン（10以下）での動作時、ゲイン抵抗は抵抗入力と直列な電流制限素子として働きます。高ゲインでの動作時は、 $R_G$ の値が小さいため、入力を過剰電流から十分に保護できません。

標準的な対策として、各入力に電流制限抵抗を配置する方法がありますが、この保護を加えることにより回路のノイズ・レベルも上昇します。得られる保護と、それによる抵抗（ジョンソン）ノイズの増大との間に適度のバランスを見出す必要があります。ノイズ・レベルのかなり高い計装アンプを用いた回路ほど、全体としての回路ノイズを極端に悪化させることなく、より多くの直列保護を得ることができます。

もちろんノイズは少ないに越したことはありませんが、一般的な目安として、このような入力保護の追加を必要とする回路の場合、全体の回路ノイズの30%を生成する抵抗値まで許容できるという事実があります。たとえば、定格ノイズ・レベルが $20\text{nV}/\sqrt{\text{Hz}}$ の計装アンプを使用した回路は、さらに $6\text{nV}/\sqrt{\text{Hz}}$ のジョンソン・ノイズが加わっても許容できます。

以下の定番の手法を使用して、この数値に対する実用的な抵抗値を求めてみます。 $1\text{k}\Omega$ 抵抗のジョンソン・ノイズは $4\text{nV}/\sqrt{\text{Hz}}$ で近似されます。この値は抵抗値の平方根に比例して変化します。したがって、抵抗値が $20\text{k}\Omega$ になると、 $1\text{k}\Omega$ 抵抗使用時の $\sqrt{20}$ 倍のノイズを生じます。これは $17.88\text{nV}/\sqrt{\text{Hz}}$  ( $4.4721 \times 4\text{nV}/\sqrt{\text{Hz}}$ ) になります。両方の入力を保護するために2つの抵抗が必要となり、合成ノイズは抵抗の数の平方根に比例して増大します（2乗の和の平方根になる）。この場合、2つの $20\text{k}\Omega$ 抵抗によって加わる全ノイズは $25.3\text{nV}/\sqrt{\text{Hz}}$  ( $17.88 \times 1.414$ ) となります。

図5-9は、AD8221計装アンプの入力アーキテクチャの詳細図です。ここに示すように、各入力トランジスタの接合部と直列に $400\Omega$ 抵抗が内蔵されています。

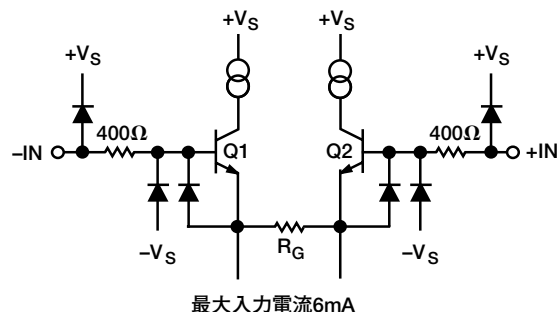


図 5-9. AD8221 計装アンプの入力回路

AD8221は、室温で6mAの定常状態（DC）の最大入力電流を扱えるよう設計されています。内蔵の抵抗とダイオードによって、正側電源電圧を0.7V上回る入力電圧と、負側電源電圧を2.4V下回る電圧（ $6\text{mA} \times 0.4\text{k}\Omega$ ）からデバイスを保護します。このため、15V電源の場合、最大安全入力レベルは+15.7Vと-17.4Vとなります。さらに外付けで直列抵抗を追加すれば、このレベルをかなり大きくできますが、回路のノイズ・レベルが増大するという犠牲を伴います。

AD8221計装アンプは、最大 ( $e_{NI}$ )  $8\text{nV}/\sqrt{\text{Hz}}$ の超低ノイズ・デバイスです。単一の $1\text{k}\Omega$ 抵抗により、約 $4\text{nV}/\sqrt{\text{Hz}}$ のジョンソン・ノイズが加わります。この抵抗を追加することで、最大DCレベルを各電源電圧より約22.5V上回る値、すなわち、±15V電源の場合は±37.5Vにまで上げることができます。

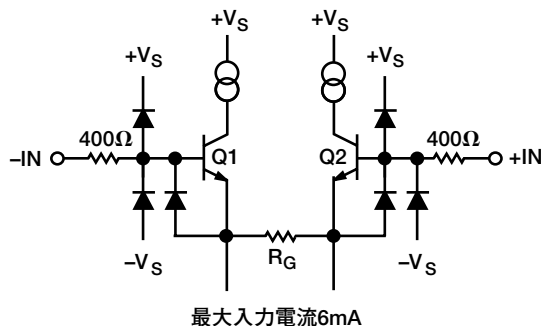


図 5-10. AD8222 と AD8225 計装アンプの入力回路

AD8222とAD8225は、AD8221と合わせてよく似た入力セクションを備えています。6つのダイオードのすべてが $400\Omega$ 入力抵抗のQ1/Q2側に配置されている点が異なります（図5-10を参照）。

図5-11は、AD620シリーズ(AD620、AD621、AD622)計装アンプの入力セクションを示しています。これはAD8221ときわめてよく似ています。いずれも400Ω抵抗を各入力と直列に使用し、保護ダイオードを使用しています。主な違いは、AD8221には、これ以外に4つのダイオードがあるという点です。そのうちの1セットは各入力と正側電源間に接続され、もう1セットは各入力トランジスタのベースと負側電源間に接続されています。AD620シリーズでは、400Ωの内蔵抵抗と1セットのダイオードを使用して負の入力電圧から保護します。正の電圧過負荷については、クランプ・ダイオードとして働くベース・エミッタの入力接合が保護の働きを果たします。

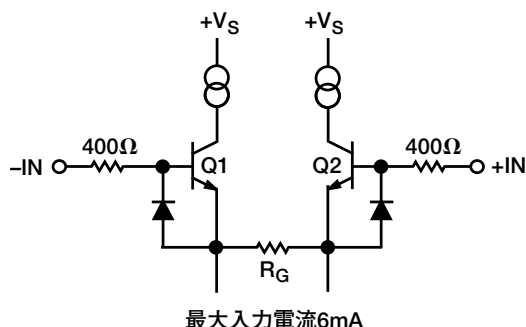


図 5-11. AD620 シリーズ (AD620、AD621、AD622) 計装アンプの入力回路

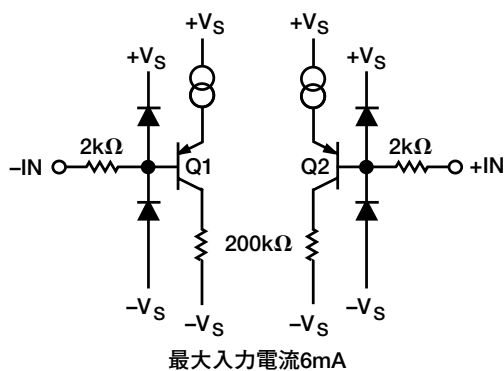


図 5-12. AD627 計装アンプの入力回路

AD627は、20mAの過渡入力電流(図5-12)に耐えることができます。また、2kΩの抵抗を内蔵し、電源ラインより40ボルト(20mA×2kΩ)高い入力電圧を扱うことができます。この保護レベルはきわめて有益です。低消費電力であるため、AD627の多くのアプリケーションは低電圧単電源を使用します。さらに保護を必要とする場合は、きわめて大きな外付け抵抗を追加することが可能で、AD627のノイズ・レベル38nV/

$\sqrt{\text{Hz}}$ を極端に悪化させることはありません。この場合、2つの5kΩ抵抗を追加することで回路のノイズは約13nV/ $\sqrt{\text{Hz}}$ (30パーセント)増大しますが、±100Vの過渡的な過負荷保護を実現できます。

図5-13は、AD623計装アンプの入力アーキテクチャを示します。この設計では、内蔵(ESD)ダイオードが入力抵抗の前段に配置されているため、結果として、上述の設計よりも保護レベルは低下します。AD623は、10mAの最大入力電流に耐えますが、多くの場合、入力電流をこのレベル未満に維持するための外付け直列抵抗が必要となります。

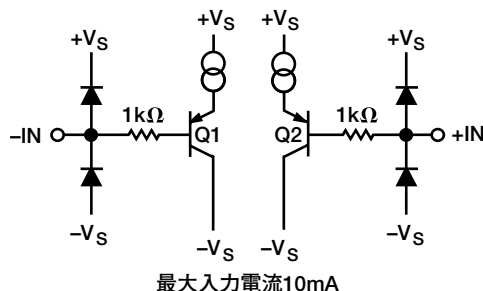


図 5-13. AD623 計装アンプの入力回路

AD623のデバイス・ノイズは約35nV/ $\sqrt{\text{Hz}}$ であるため、最大5kΩの外付け抵抗値を追加することで、50VのDC過負荷保護を実現できると同時に、入力ノイズは合計で38nV/ $\sqrt{\text{Hz}}$ に増大するだけで済みます。

図5-14は、AD8230ゼロ・ドリフト計装アンプの簡略入力回路図です。ここに示すように、AD8230は、各入力と負側電源ライン間にESDダイオードを1つだけ接続しています。このダイオードは、負側電源の0.7V下のレベルよりも大きな負パルスに対してESD保護を提供します。ただし、正の過渡電圧や、長期間に及ぶ正負いずれかの電圧の過負荷から計装アンプを保護する設計にはなっていません。これらから保護するには、図5-20に示す外付けの低リークダイオードと抵抗が必要です。

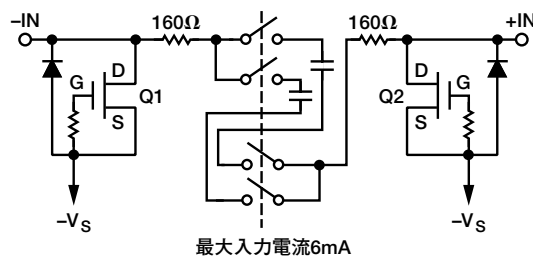


図 5-14. AD8230 計装アンプの入力回路

図5-15は、AD8220 JFET 計装アンプの入力構造を示す簡略回路図です。入力回路のインピーダンスはきわめて高く、通常  $1000\text{G}\Omega$  と  $6\text{pF}$  です。2つのESD保護ダイオードが各入力に接続されていますが、入力端子とJFET入力段の間の直列抵抗は内蔵されていません。このため、入力過電圧状態に置かれるアプリケーションで電流を制限するためには、外付け抵抗が必要です。

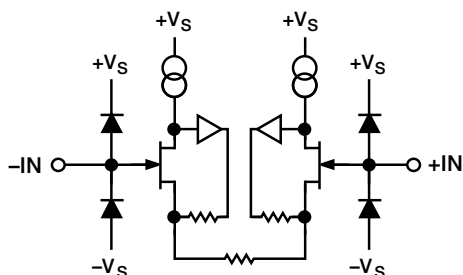


図 5-15. AD8220 計装アンプの入力回路

図5-16は、AD8250の簡易入力回路図です。ここでは、2つの内蔵抵抗と2つのダイオードが各入力を保護しています。AD8250は、 $20\text{mA}$ の最大持続入力電流に耐えることができます。2ペアの入力保護抵抗があり、1つのペアは各入力と2つのESDダイオードの間、もう1つのペアはESDダイオードとトランジスタのベース間にあります。こうすることで、ESDダイオード以上のレベルでトランジスタのベースが保護されます。したがって、設計者はESDダイオードが破壊されないように安全策を配慮する必要があります。

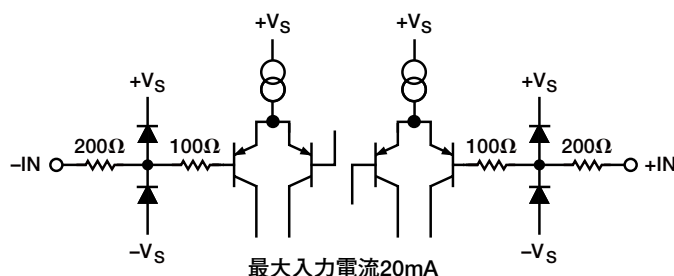


図 5-16. AD8250 計装アンプの入力回路

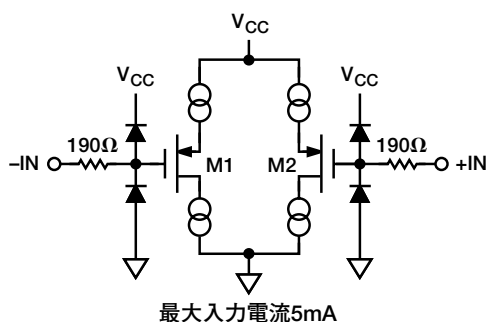


図 5-17. AD8553 計装アンプの簡略入力回路

図5-17は、AD8553ゼロ・ドリフト計装アンプの入力セクションを示しています。各入力ピンとダイオード・クランプ回路との間に  $190\Omega$  の保護抵抗が内蔵されています。

AD8553の最大入力電流は約  $5\text{mA}$  であるため、アプリケーションによってはさらに外付け抵抗が必要となります(表5-2を参照)。

さらに、入力電圧が  $V_{CC} - 0.2\text{V}$  (入力同相電圧範囲外) に近くなると、電流はAD8553の入力に流れ込み始めます。この期間中、イネーブル・ピンもローに保持されていれば、AD8553の出力がハイインピーダンスになることはありません。アプリケーションによっては、複数のAD8553計装アンプ出力をともに接続し、複数入力を1つの出力に合成できます。このようなアプリケーションでは、1つのAD8553のイネーブル・ピンだけをハイにし、他のAD8553のイネーブル・ピンはすべてローにすることになります。

イネーブル・ピンがローの間にAD8553計装アンプのいずれかの入力に $V_{CC} - 0.2V$ 以上の入力過負荷電圧が生じた場合、そのアンプの出力が、出力を駆動しているAD8553（イネーブル・ピンがハイ）に過負荷状態を引き起こすおそれがあります。

AD8555およびAD8556製品は、センサ・アプリケーション用に設計された計装アンプです。図5-18はAD8555の簡略入力回路です。ここでは、保護ダイオードが各入力端子と電源の間に接続されています。入力信号は直列抵抗を通過した後、増幅スイッチング回路に到達します。

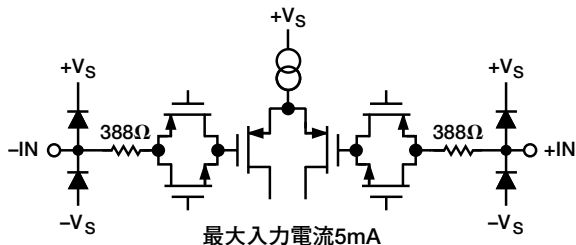


図 5-18. AD8555 計装アンプの簡略入力回路

AD8556入力回路（図5-19）はAD8555と比べてよく似ており、違いは抵抗の値が大きい（ $3.6k\Omega$ ）点と、ダイオードと増幅スイッチング回路との間に別の部品が配置されている点です。これらは、内蔵のRFI/EMIフィルタとしての機能を果たします。

両製品の入力回路には抵抗が内蔵されていないため、十分な過電圧保護を確保するためには通常、1番目のクランプ・ダイオードのセットの前に外付け抵抗が必要です。

表5-2は、回路ノイズの増分がそれぞれ10%と40%の場合の直列保護抵抗の推奨値を示します。

表5-2. 直列保護抵抗の推奨値

| デバイス   | 計装アンプ・ノイズ (eNI)   | 最大入力過負荷電流 | 各ノイズ増分において推奨される外付け保護抵抗 * |               |
|--------|-------------------|-----------|--------------------------|---------------|
|        |                   |           | 10%                      | 40%           |
| AD8220 | $15nV/\sqrt{Hz}$  | 5mA       | $1.74k\Omega$            | $6.98k\Omega$ |
| AD8221 | $8nV/\sqrt{Hz}$   | 6mA       | $500\Omega$              | $2.0k\Omega$  |
| AD8222 | $8nV/\sqrt{Hz}$   | 6mA       | $500\Omega$              | $2.0k\Omega$  |
| AD8225 | $8nV/\sqrt{Hz}$   | 6mA       | $500\Omega$              | $2.0k\Omega$  |
| AD8230 | $160nV/\sqrt{Hz}$ | 6mA       | $4.99k\Omega$            | $4.99k\Omega$ |
| AD8250 | $13nV/\sqrt{Hz}$  | 20mA      | $1.30k\Omega$            | $5.23k\Omega$ |
| AD8251 | $13nV/\sqrt{Hz}$  | 20mA      | $1.30k\Omega$            | $5.23k\Omega$ |
| AD8553 | $30nV/\sqrt{Hz}$  | 5mA       | $6.98k\Omega$            | $28.0k\Omega$ |
| AD8555 | $32nV/\sqrt{Hz}$  | 5mA       | $8.06k\Omega$            | $32.4k\Omega$ |
| AD8556 | $32nV/\sqrt{Hz}$  | 5mA       | $8.06k\Omega$            | $32.4k\Omega$ |
| AD620  | $9nV/\sqrt{Hz}$   | 6mA       | $634\Omega$              | $2.55k\Omega$ |
| AD621  | $9nV/\sqrt{Hz}$   | 6mA       | $634\Omega$              | $2.55k\Omega$ |
| AD622  | $9nV/\sqrt{Hz}$   | 6mA       | $634\Omega$              | $2.55k\Omega$ |
| AD623  | $35nV/\sqrt{Hz}$  | 10mA      | $9.53k\Omega$            | $38.3k\Omega$ |
| AD627  | $38nV/\sqrt{Hz}$  | 20mA      | $11.3k\Omega$            | $45.3k\Omega$ |

\* このノイズ・レベルは2つの抵抗に対する値（各入力と直列に1つずつ）

#### 外付け保護ダイオードの追加

デバイス入力保護は、図5-20に示すように外付けクランプ・ダイオードを追加することで強化できます。高電流ダイオードを使用しているため、入力保護が強化され、これにより、さらに低抵抗値の入力保護抵抗を使用して回路のノイズを低減できるようになります。

ただし、一般のダイオード（ショットキ、シリコンなど）はリーク電流が大きく、計装アンプの出力に大きなオフセット誤差を生じます。さらに、このリーク電流は温度とともに指数関数的に増大します。このため、計装アンプを高インピーダンス信号源とともに使用するアプリケーションでは、外付けダイオードを排除する傾向にあります。

リーク電流がきわめて低い特殊なダイオードも利用できますが、

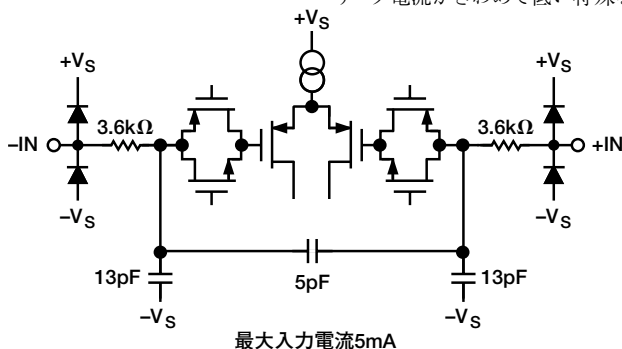
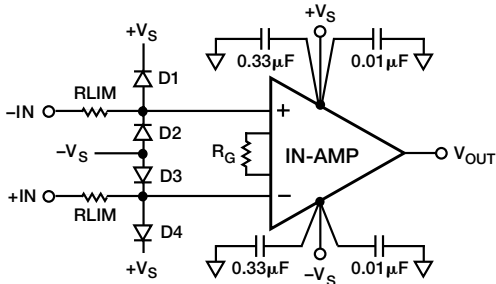


図 5-19. AD8556 の簡略入力回路

一般に入手が困難で高価です。大多数のアプリケーションでは、ESDや長期の過渡入力に対して十分な保護を得るには、制限抵抗を使うしかありません。



D1～D4はIR（インターナショナル・レクティファイア）社の整流器であるSD101シリーズ高速ショットキ・バリア整流器

図 5-20. 外付け部品を使用した入力保護の強化

外付けダイオードは、限界はあるものの、電気ショック除細動器（AED）などのように短期間の高電圧パルスを利用する特殊なアプリケーションで必要とされることが多いものです。計装アンプを十分に保護するには、外付けダイオードときわめて大きな入力抵抗（100kΩ程度）を必要とします。

ダイオードの仕様（規格）を確認し、計装アンプの内蔵保護ダイオードが電流の引き込みを開始する前に外付けダイオードの導通が始まるのを確認することが大切です。これらは優れた入力保護機能を果たしますが、標準的なショットキ・ダイオードは最大数mAのリーク電流を生じるおそれがあります。ただし、図 5-20の例に示すように、IR社のタイプSD101シリーズなどの高速ショットキ・バリア整流器ならば使用できます。このデバイスは、最大リーク電流が200nAで、標準消費電力は400mWです。

### ESD および過渡的な過負荷保護

計装アンプ入力を高過渡電圧とESD事象から保護することは、回路の長期信頼性を確保する上できわめて重要なことです。消費電力は多くの場合、きわめて重要な要素です。入力抵抗は、内蔵または外付けにかかわらず、入力パルスの電力のほとんどを損なうことなく処理できる必要があるためです。

ESD事象は、きわめて高い電圧ではあっても、通常は非常に短期間で単発の事象です。次のESD事象が発生するまでに回路を通常の状態に戻す時間が十分にあるため、デバイスの破壊を防ぐには適度の入力保護で十分です。

一方、頻繁に発生する短期間の過渡入力では、入力抵抗や計装アンプの入力段の過熱や断線が容易に生じるおそれがあります。20mAの電流を引き込む計装アンプ入力端子に、1kΩ抵抗を直列に挿入することで、0.4Wの電力を消費しますが、標準の0.5W以上の表面実装抵抗で容易に処理できます。入力電流が2倍になると、消費電力は入力電流の2乗（または印加電圧の2乗）に比例するため、4倍となります。

高電力保護抵抗を使用することは簡単ですが、危険な面もあります。計装アンプの入力段での消費電力も増大するためです。このため、デバイスの障害を引き起こしやすくなります（前項のアナログ・デバイセズの計装アンプの入力電流制限に対する入力保護の基本に関する説明を参照）。ESD事象を別にすれば、従来の手法を用いてすべての過渡入力信号を連続的に印加される入力として扱うのが、間違いなく最も優れた方法です。

このような長期にわたる事象に対処できる設計では、計装アンプの入力回路を障害から保護するだけの十分な抵抗値と、抵抗の焼損を防ぐのに十分な耐力を備えた抵抗を使用する必要があります。

### DC 精度に影響を与える設計上の課題

最新の計装アンプは随時改良が加えられ、常に高精度で汎用的な製品が低価格で提供されるようになってきています。ただし、製品性能の進歩にもかかわらず、デバイスの精度に深刻な影響を与える基本的なアプリケーション上の課題が残っています。低価格で高分解能のADCが一般に使用されるようになったため、システム設計者は、コンバータ前段のプリアンプとして計装アンプを使用する場合、その計装アンプの精度がADCの精度と一致することを確認する必要があります。

#### オフセット電圧ドリフトを最小限に抑える設計

オフセット・ドリフト誤差には、使用されている能動デバイス（IC計装アンプや、オペアンプを用いたディスクリート計装アンプ設計）に伴うものだけでなく、回路部品や配線の熱電効果に伴うものもあります。また、計装アンプの入力バイアス電流と入力オフセット電流（不平衡な信号源インピーダンスを流れる）も、オフセット誤差を増大させます。オペアンプによるディスクリートな計装アンプ設計では、高精度オペアンプを使用しない限り、これらの誤差は温度とともに増大するおそれがあります。

#### ゲイン・ドリフトを最小限に抑える設計

ゲイン誤差を考慮する場合、ボードのレイアウト、回路の温度勾配、外付けゲイン設定抵抗の特性などが見逃しがちです。ゲイン抵抗の絶対許容誤差、その熱温度係数、同一ゲイン・ネットワーク内の他の抵抗との物理的位置関係、さらにその物理的な向き（垂直か水平か）まで、すべてが高DC精度を必要とする場合の重要な設計上の考慮事項となります。

多くのADCのプリアンプ回路では、ユーザが選択した外付けの抵抗で計装アンプのゲインを設定するため、この抵抗の絶対許容誤差とその温度に対する変化量は、オンチップ抵抗の場合に比べて、回路のゲイン精度に大きく影響します。一般に使用される抵抗には、スルーホール1%精度で1/4Wの金属皮膜タイプや、1%精度で1/8Wのチップ抵抗などがあります。どちらのタイプも通常、温度係数は100ppm/℃です。ただし、チップ抵抗の中には、温度係数が200ppm/℃や250ppm/℃のものもあります。

1%精度の100ppm/℃抵抗を使用した場合でも、計装アンプのゲイン精度は劣化します。抵抗の室温での初期精度は±1%にすぎず、温度が1℃変化するごとにさらに0.01%(100ppm/℃)のドリフトを生じます。初期ゲイン誤差はソフトウェアで容易に除去できますが、温度に対する誤差を補正するには、頻繁な再校正(および温度センサ)が必要となります。

回路が初期校正されている場合でも、全体的なゲイン精度は10℃の温度変化に対して約10ビット(0.1%)の精度にまで低減します。1%精度の標準金属皮膜ゲイン抵抗を使用した計装アンプは、12ビット・コンバータであっても前段に使用することはできません。さらに14ビットまたは16ビット・コンバータを使用しても、その精度はまったく無駄になります。

外付け抵抗に伴う誤差が加わると、これもゲインの精度に影響を与えます。第1に、入力信号レベルによる抵抗熱の変動です。図5-21は、簡単なオペアンプの電圧アンプで、実際的な例を示しています。

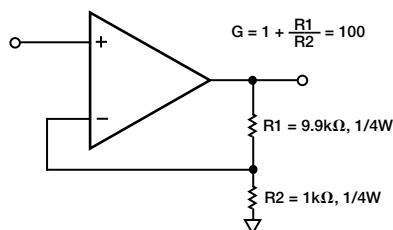


図 5-21. 入力信号レベルの差によってゲイン誤差が生じるおそれのある例

ゼロ信号の条件下では、出力信号や抵抗熱はありません。ただし、入力信号が加わると、オペアンプ出力に増幅された電圧が現れます。アンプがゲインで動作しているときには、抵抗R1はR2より大きくなります。これは、R2両端の電圧よりもR1両端の電圧の方が大きいことを意味します。各抵抗で消費される電力は、その両端電圧の2乗を抵抗値(オーム)で割った値に等しくなります。したがって、消費される電力と抵抗の内部発熱は、抵抗値に比例して増大します。

この例では、R1は9.9kΩでR2は1kΩです。その結果、R1はR2に比べて9.9倍の電力を消費します。このため、ゲイン誤差は入力レベルに応じて変動することになります。温度係数の異なる抵抗を使用した場合もゲイン誤差が生じます。

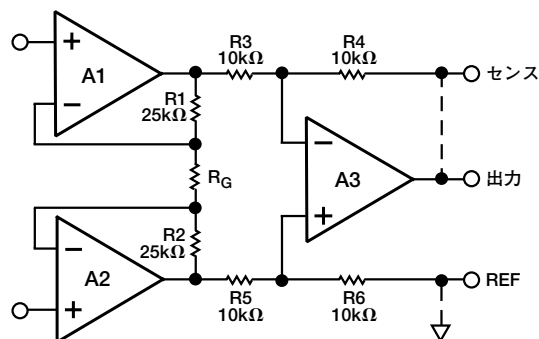


図 5-22. 抵抗値の大きい低 TC の帰還抵抗を使用した、標準的な 3 オペアンプ構成のディスクリート計装アンプ

温度係数(TC)がマッチングされた抵抗を使用しても、入力信号レベルに応じて変動するゲイン誤差が生じることがあります。大きな(つまり高電力の)抵抗を使用すればこれらの影響を低減できますが、高精度で低TCの電力抵抗は高価で入手が困難です。

図5-22に示した3オペアンプ構成のディスクリート計装アンプを使用した場合、これらの誤差は低減されます。この3オペアンプ構成の計装アンプには、2つの帰還抵抗R1とR2、および1つのゲイン抵抗R<sub>G</sub>があります。この計装アンプは2つの帰還抵抗を使用しているため(オペアンプの場合は1つしか使用しない)、計装アンプの各抵抗の消費電力は(同じゲインについて)半分で済みます。AD620などのモノリシック計装アンプは、比較的大きな値(25kΩ)の帰還抵抗を使用しているためにさらに有利です。ある特定のゲインと出力電圧の場合、大きな帰還抵抗を使うほど消費電力は少なくなります(つまりP = V<sup>2</sup>/R<sub>F</sub>)。当然、ディスクリート計装アンプであれば、大きな抵抗値で低い温度係数の抵抗を使用した設計も可能ですが、コストがかさみ回路も複雑になります。

他に、それほど深刻な影響はないものの特筆すべき誤差の原因として、いわゆる熱電対効果と呼ばれるものがあります。これは熱起電力(熱EMF)と呼ばれることもあります。この現象は、銅と金属皮膜のように2種類の導体が結合されたときに発生します。異種金属の接合部に熱が加わると、単純な熱電対が構成されます。銅と銅の接合部のように同じ種類の金属を使用したときには、最大0.2mV/℃の熱電誤差電圧が発生するおそれがあります。この影響の一例を図5-23に示します。

最後にあげる誤差の原因は、外付けゲイン抵抗の両端に温度勾配がある場合に発生するものです。簡単な例としては、ボードスペースを節約するために抵抗を直立させて実装した場合などは、必ず抵抗の両端に温度勾配が生じます。抵抗を横にしてPCボードに配置することで、この問題は解決します。ただし、抵抗の軸方向に沿って気流が存在すると、抵抗の片側がもう片側より冷却される度合いが大きくなるため、問題は解決しません。抵抗の向きが気流に垂直になるようにすれば、この影響を最小限に抑えることができます。

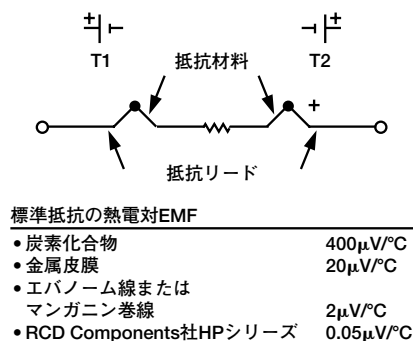


図 5-23. ディスクリット抵抗内部の熱電対効果

## 実用的な解決策

これまでに説明したように、モノリシック計装アンプで外付けの抵抗を使用すると、多くのDCオフセットとゲイン誤差が生じます。ディスクリット設計では、さらに大きな誤差を生じる傾向にあります。この問題については、3つの実用的な解決策があります。高品質の抵抗を使うこと、ソフトウェア補正を使用すること、あるいはより良い方法として、すべてのゲイン抵抗をオンチップに搭載した計装アンプ（AD621など）を使用することです。

## オプション1：高品質ゲイン抵抗の使用

一般的な原則として、通常利用可能な1%精度抵抗を使用して得られるゲイン性能は12ビットか13ビットが限度で、しかもこれはある種の初期校正を実行することを想定しています。

この問題の実用的な解決策として、高品質な抵抗を使用するという単純な方法があります。0.1%精度で1/10Wの表面実装抵抗を使用することで顕著な改善が可能です。初期精度が10倍に向上するだけでなく、通常、TCはわずか25ppm/°Cとなるため、10℃の温度範囲にわたって13ビットを超える精度が確保されます。

これより高精度のゲインが必要な場合は、さらにTCの低い抵抗が専門メーカーから販売されていますが、主として高価な軍事用の製品です。

## オプション2：ゲインを固定した計装アンプの使用

はるかに優れた方法として、すべての抵抗がIC内に実装されているAD621やAD8225などのモノリシック計装アンプを使用することで、全体的に最高のDC性能を実現できます。すべての抵抗は同一のTCで、事実上ほぼ同じ温度環境下にあります。チップ全体の温度勾配はきわめて小さく、ゲイン誤差ドリフトは、きわめて高度の値が保証され規定されています。

AD621は、ゲイン10のとき、2.5μV/°C未満の最大DCオフセット・シフトと±5ppm/°Cの最大ゲイン・ドリフトが保証されています。これはわずか0.0005%/°Cに相当するものです。

AD8225は、固定ゲイン5の計装アンプです。この製品は最大オフセット・シフトが2μV/°C、最大ドリフトは0.3μV/°Cです。

## RTIとRTOの誤差

回路ゲインがDCオフセットやノイズなどの計装アンプの誤差原因に与える影響も、設計上考慮しなければならない重要な事項です。計装アンプは、入力段と出力段の両方を備えた2段アンプと考えることができます。各セクションにはそれぞれ固有の誤差源が存在します。

出力段の誤差は固定ゲイン（通常2）倍されるため、このセクションが、回路ゲインが低いときに主要な誤差源となる傾向にあります。計装アンプが高いゲインで動作するときには、入力段のゲインが増大します。ゲインが大きくなるにつれて、入力セクションが寄与する誤差は増倍されますが、出力誤差は増大しません。このように、高ゲインでは入力段の誤差が主要な誤差源となります。

データシートの仕様は、誤差の表示方式がまちまちであるため、十分に注意しなければ製品間の性能比較が不正確なものになってしまいます。誤差は、4つの基本的な表示（入力誤差、出力誤差、総合誤差（RTI）、総合誤差（RTO））のいずれか（場合によっては複数）によって表記されています。複雑なこれらの誤差をわかりやすくするため、以下にその定義を示します。

入力誤差とはアンプの入力段のみによる誤差で、出力誤差は出力段による誤差です。一般に、入力関連の仕様はひとまとめにして入力換算（RTI）誤差として分類され、出力関連のすべての仕様は出力換算（RTO）誤差と見なされます。

あるゲインに対する、計装アンプの入力誤差と出力誤差は、次式を用いて算出できます。

$$\begin{aligned} \text{総合入力換算誤差 (RTI)} &= \text{入力誤差} + (\text{出力誤差} / \text{ゲイン}) \\ \text{総合出力換算誤差 (RTO)} &= (\text{ゲイン} \times \text{入力誤差}) + \text{出力誤差} \end{aligned}$$

仕様ページには、特定のゲインに対する誤差の項がRTIまたはRTOとして記載されている場合がありますが、それ以外は、所望のゲインに対する誤差を算出する必要があります。

## オフセット誤差

AD620Aを例にとると、この計装アンプがゲイン10で動作中の総電圧オフセット誤差は、その仕様ページに掲載されている個々の誤差を使用して算出できます。AD620の入力オフセット (typ, VOSI) は、30 $\mu$ Vと記載されています。出力オフセット (VOSO) は400 $\mu$ Vとなっています。これらから、総電圧オフセットの入力換算 (RTI) 値は、次式から求められます。

$$\begin{aligned}\text{総合RTI誤差} &= V_{OSI} + (V_{OSO}/G) = 30\mu\text{V} + (400\mu\text{V}/10) \\ &= 30\mu\text{V} + 40\mu\text{V} = 70\mu\text{V}\end{aligned}$$

総合電圧オフセットの出力換算 (RTO) 値は、次式から求められます。

$$\begin{aligned}\text{総合オフセット誤差 (RTO)} \\ &= (G(V_{OSI})) + V_{OSO} = (10(30\mu\text{V})) + 400\mu\text{V} = 700\mu\text{V}\end{aligned}$$

2つの誤差の数値 (RTIとRTO) は異なっています。すなわち、RTO値はゲインが10のときには10倍大きくなり (論理的にそうなるはずですが)、計装アンプの出力の誤差は入力端での誤差の10倍となります。

## ノイズ誤差

計装アンプのノイズ誤差も同様に考慮する必要があります。代表的な3オペアンプ構成の計装アンプの出力段はユニティ・ゲインで動作するため、出力段のノイズの寄与分は通常、さわめて小さくなります。ただし、出力段がより高いゲインで動作する3オペアンプ構成の計装アンプもあり、また2オペアンプの計装アンプでは通常、第2アンプがゲイン段となって動作します。いずれかのセクションがゲイン段として動作すると、そのノイズは入力信号とともに増幅されます。RTIとRTOのノイズ誤差はどちらも、オフセット誤差と同じ方法で算出されます。ただし、2つの段でのノイズは2乗平均平方根で加算されます。すなわち次式になります。

$$\begin{aligned}\text{入力ノイズ} &= eni, \text{出力ノイズ} = eno \text{ のとき、} \\ \text{総合ノイズ (RTI)} &= \sqrt{(eni)^2 + (eno/\text{ゲイン})^2} \\ \text{総合ノイズ (RTO)} &= \sqrt{(\text{ゲイン} \cdot (eni))^2 + (eno)^2}\end{aligned}$$

たとえば、AD620Aのノイズ (typ) は、9nV/ $\sqrt{\text{Hz}}$  eniおよび72nV/ $\sqrt{\text{Hz}}$  enoと規定されています。したがって、ゲイン10で動作しているAD620Aの総RTIノイズは、次式から求められます。

$$\begin{aligned}\text{総合ノイズ (RTI)} &= \sqrt{(eni)^2 + (eno/\text{ゲイン})^2} = \\ &= \sqrt{(9)^2 + (72/10)^2} = 11.5\text{nV}/\sqrt{\text{Hz}}\end{aligned}$$

## 計装アンプ回路のRFI整流誤差の低減

現実のアプリケーションでは、増加する一方の無線周波数干渉 (RFI) に対処することが必要となります。特に懸念されるのは、信号の伝送ラインが長く信号強度が弱い場合で、こうしたアプリケーションには従来から計装アンプが使われています。というのは、計装アンプは本来的に優れた同相ノイズ除去性能を備えているため、強度の高い同相ノイズおよび干渉に乗った微弱な差動信号を取り出すことができるからです。

しかし、見落としがちで1つの問題として、計装アンプ内部の無線周波数整流の問題があります。強力なRF干渉が存在すると、これはICによって整流され、その後でDC出力オフセット誤差として現れます。計装アンプの入力に入り込む同相信号は、一般にアンプの同相ノイズ除去特性で大幅に低減されます。

しかし残念ながら、周波数が20kHzを超えると、最高性能の計装アンプでも同相ノイズ除去性能が実質的に失われてしまうため、RF整流が発生します。強力なRF信号はアンプの入力段によって整流され、その後でDCオフセット誤差として現れます。一度整流が行われると、計装アンプの出力でいくらローパス・フィルタ処理を行っても、誤差は除去されません。RF干渉が断続的な場合は、検出されない計測誤差が発生することがあります。

## 実用的なRFIフィルタの設計

この問題を解決する最良の方法は、差動ローパス・フィルタを用いて、計装アンプの前段でRF減衰を行うことです。フィルタは3つの動作を実行する必要があります。すなわち、入力ラインから可能な限り多くのRFエネルギーを除去すること、各ラインとグラウンド (コモン) との間でAC信号の平衡を保持すること、そして信号源からの回り込みを回避するために測定帯域幅で十分に高い入力インピーダンスを維持することです。

図5-24は、多くの差動RFIフィルタに適用される基本的なビルディング・ブロックを示しています。図に示す部品の数値は、1MHz (typ) の-3dB帯域幅と7nV/ $\sqrt{\text{Hz}}$  (typ) の電圧ノイズレベルを備えたAD8221用に選択した例です。AD8222デュアル計装アンプやAD8220 JFET入力計装アンプについても、同じフィルタを推奨します。R1aとR1bの各抵抗が計装アンプの入力回路を外部の信号源から効果的に絶縁するため、このフィルタはRFIを低減するだけでなく、入力部の過負荷からも保護します。

図5-25は、RFIの簡略回路図です。図から、フィルタがブリッジ回路を形成し、その出力が計装アンプの入力ピンに入ることがわかります。このため、C1a/R1aとC1b/R1bの時定数の間にミスマッチがあるとブリッジが不平衡状態になり、高周波の同相ノイズ除去性能が劣化します。したがって、R1aとR1bの抵抗、C1aとC1bのコンデンサの値は、常に等しくする必要があります。

図に示すように、C2はブリッジ出力の間に接続されているため、実質的に直列接続のC1aおよびC1bと並列になります。この接続によりC2は、ミスマッチによるすべてのAC同相ノイズ誤差を非常に効果的に低減します。たとえば、C2の容量をC1より10倍大きくすると、C1a/C1bのミスマッチで発生するCMR誤差を20分の1に低減できます。なお、このフィルタはDCのCMRには効果がありません。

RFIフィルタには、差動と同相の2つの異なる帯域幅があります。差動帯域幅は、回路の2つの入力、+INおよび-INの間に差動入力信号が加えられたときのフィルタの周波数応答性を定義します。このRC時定数は、2個の等価入力抵抗(R1a、R1b)の合計と差動容量によって設定されます。差動容量は、直列接続のC1aおよびC1bと並列のC2です。

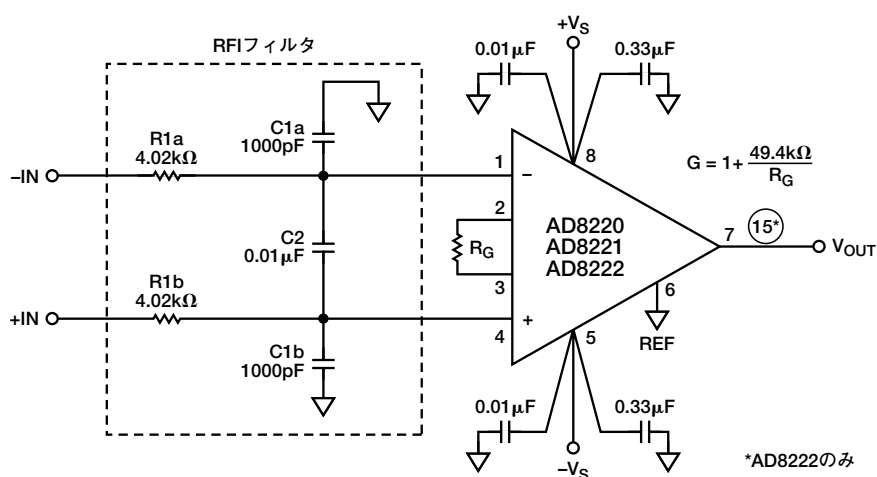


図 5-24. AD8220、AD8221、AD8222 計装アンプの RFI 整流誤差を防止するための LP フィルタ回路

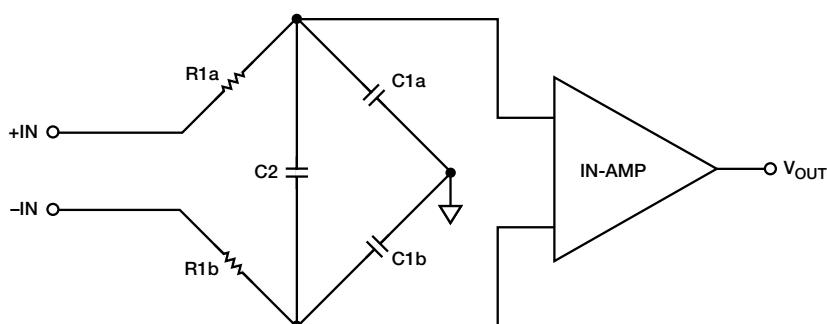


図 5-25. コンデンサ C2 は C1a/C1b をシャントし、部品のミスマッチによる AC 同相ノイズ誤差をきわめて効果的に低減

このフィルタの-3dB差動帯域幅は、次式から求められます。

$$BW_{DIFF} = \frac{1}{2\pi R(2C2 + C1)}$$

同相帯域幅は、相互に接続された2つの入力とグラウンドとの間に現れる同相RF信号を定義します。コンデンサC2は、2つの入力の間に接続されているため(2つの入力を同じRF信号レベルに維持するのに貢献)、同相のRF信号の帯域幅にまったく作用しない点を認識することが重要です。したがって、同相帯域幅は、グラウンド間に接続される2つのRCネットワーク(R1a/C1aおよびR1b/C1b)の並列インピーダンスによって設定されます。

-3dB同相帯域幅は、次式から求められます。

$$BW_{CM} = \frac{1}{2\pi R1C1}$$

図5-24の回路を使用すると、図に示すようにC2の容量が0.01μFのとき、-3dB差動信号帯域幅は約1900Hzです。ゲイン=5で動作時、10Hz~20MHzの周波数範囲におけるこの回路のDCオフセット・シフトの測定値は6μV RTI以下でした。ユニティ・ゲイン時には、DCオフセット・シフトはまったく測定されませんでした。

RFIフィルタは、両面にグラウンド・プレーンを備えたPCボードを使用して構成することが必要です。部品のリード線はすべて、可能な限り短くしてください。入力フィルタのコモンは、アンプのコモンに最短経路で接続します。フィルタ回路と計装アンプ回路を別のボードまたは別の筐体の実装しないでください。余分な長さのリード線が必要となり、これがループ・アンテナを形成するおそれがあるためです。それを避けて、フィルタを物理的に計装アンプの入力端子のすぐ近くに配置してください。さらに注意すべきことは、無誘導性で非熱性(低TC)の高品

質な抵抗を使用することです。抵抗R1とR2は一般的な1%精度の金属皮膜ユニットとします。ただし、3つのコンデンサはすべて、十分に高いQ特性を備えた低損失の部品にすることが必要です。コンデンサC1aとC1bは、回路の同相ノイズ除去の低下を防ぐため、許容誤差±5%の部品を使用する必要があります。従来型の5%シルバー・マイカ、小型マイカ、または新しいPanasonicの±2%PPSフィルム・コンデンサ(Digi-Key社、製品番号PS1H102G-ND)を推奨します。

### RFI入力フィルタ部品値の選択手順

下記の一般的なルールを適用すると、RC入力フィルタの設計がきわめて容易になります。

1. 最初に2個の直列抵抗の値を決定し、前の回路がこのインピーダンスを十分に駆動できることを確認します。通常は2~10kΩですが、その場合、抵抗のノイズが計装アンプ自体のノイズを上回ることがあってはなりません。2kΩの抵抗ペアを使用すると、8nV/√Hzのジョンソン・ノイズが追加されます。ジョンソン・ノイズは、4kΩの抵抗ペアでは11nV/√Hz、10kΩの抵抗ペアでは18nV/√Hzに増加します。
2. 次に、フィルタの差動(信号)帯域幅を設定するコンデンサC2の適切な容量を選択します。入力信号を減衰せずに、可能な限り低い容量を設定するのが最良の方法です。通常は、最高信号周波数の10倍の差動帯域幅が適切です。
3. 続いて、同相帯域幅を設定するコンデンサC1aとC1bの容量を選択します。普通レベルのAC CMRでは、C2の容量の10%以下としてください。同相帯域幅は常に、ユニティ・ゲイン時の計装アンプの帯域幅の10%以下に抑える必要があります。

## 具体的な設計例

### AD620 シリーズ計装アンプの RFI 回路

図 5-26 は、AD8221 よりもノイズ・レベルが高く ( $12\text{nV}/\sqrt{\text{Hz}}$ )、帯域幅が低い AD620 シリーズなどの汎用の計装アンプに対応する回路を示します。したがって、同じ入力抵抗を使用していますが、十分な RF 減衰を行うためコンデンサ C2 の容量は約 5 倍の  $0.047\mu\text{F}$  に増加しました。図の数値の部品を使用すると、この回路の  $-3\text{dB}$  帯域幅は約  $400\text{Hz}$  です。抵抗 R1a と R1b の値を  $2.2\text{k}\Omega$  まで下げると、この帯域幅は  $760\text{Hz}$  に増加します。この帯域幅の増加には注意が必要です。より低いインピーダンス負荷を駆動する回路が計装アンプの前段に必要となるため、入力過負荷に対する保護性能が多少劣化します。

### マイクロパワー計装アンプの RFI 回路

一部の計装アンプは他のタイプよりも RF 整流が発生しやすく、もっと高度なフィルタが必要になる場合があります。AD627 な

どの、入力段の動作電流が低いマイクロパワー計装アンプがその良い例です。2つの入力抵抗 R1a/R1b の値とコンデンサ C2 の容量の両方、または一方の値を大きくする単純な手法によって RF 減衰量は増加しますが、信号帯域幅は低下します。

計装アンプ AD627 は、AD620 シリーズなどの汎用 IC よりもノイズが高い ( $38\text{nV}/\sqrt{\text{Hz}}$ ) ため、回路のノイズ性能を大幅に劣化させることなく、値の大きい入力抵抗を使用できます。図 5-24 の基本的な RC RFI 回路を値の大きい入力抵抗を使用するように修正した回路を図 5-27 に示します。

フィルタの帯域幅は約  $200\text{Hz}$  です。ゲイン=100 では、 $1\text{Vp-p}$  の入力を加えたときの  $1\text{Hz} \sim 20\text{MHz}$  の入力範囲における最大 DC オフセット・シフトは約  $400\mu\text{V RTI}$  です。同じゲイン時に、この回路の RF 信号除去 (出力を RF レベルとし、RF 信号を入力に印加) は  $61\text{dB}$  以上になります。

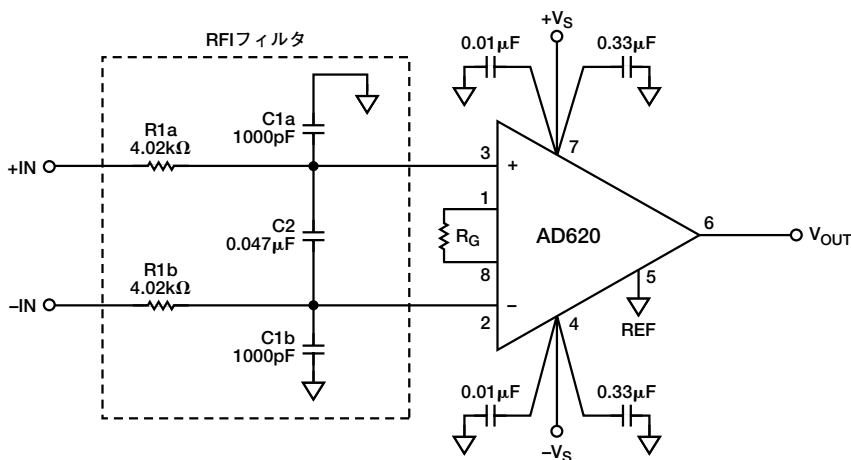


図 5-26. AD620 シリーズ計装アンプの RFI 回路

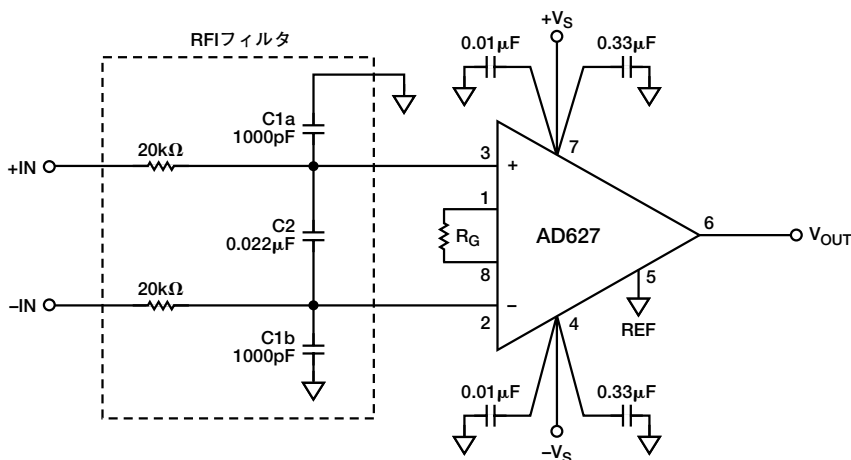


図 5-27. AD627 用の RFI 低減回路

### AD623 計装アンプ用の RFI フィルタ

図5-28は、AD623計装アンプとの使用を推奨するRFI回路を示します。AD623はAD627よりもRFIの発生量が低い傾向にあるため、入力抵抗の値を $20\text{k}\Omega$ から $10\text{k}\Omega$ に下げることができます。これによって回路の信号帯域幅が増加し、抵抗からのノイズ量が小さくなります。しかも、 $10\text{k}\Omega$ の抵抗は非常に効果的な入力保護を維持します。図の数値の部品を使用すると、このフィルタの帯域幅は約 $400\text{Hz}$ です。ゲイン=100の動作時、 $1\text{Vp-p}$ の入力が加えられたときの最大DCオフセット・シフトは $1\mu\text{V RTI}$ よりも低く抑えられます。同じゲイン時に、この回路のRF信号除去は $74\text{dB}$ 以上です。

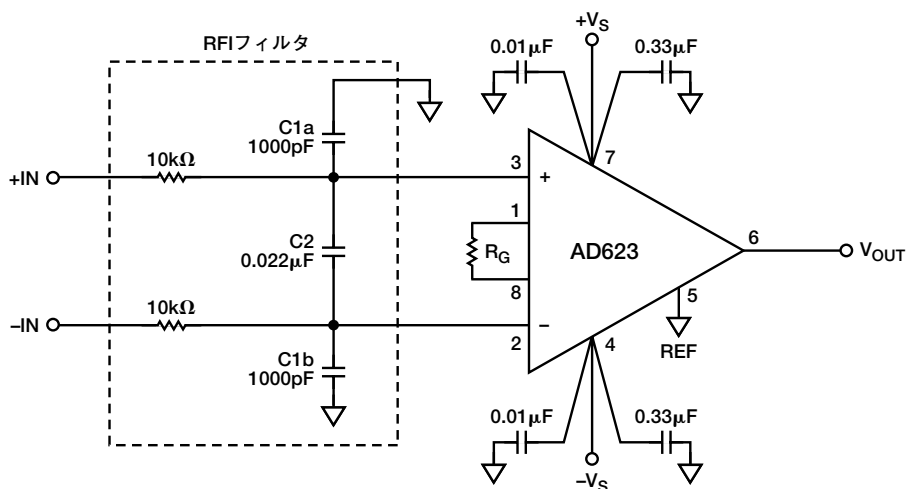


図 5-28. AD623 の RFI 低減回路

### AD8225 の RFI フィルタ回路

図5-29は、この計装アンプ用の推奨RFIフィルタを示します。AD8225計装アンプはゲインが5に固定されており、AD8221より多少RFIの影響を受けやすいデバイスです。RFIフィルタを使用しなければ、 $2\text{Vp-p}$ 、 $10\text{Hz} \sim 19\text{MHz}$ のサイン波の入力時に、AD8225のDCオフセット測定値は約 $16\text{mV RTI}$ になります。 $4\text{k}\Omega$ の代わりに $10\text{k}\Omega$ という大きい抵抗のフィルタを使用しているため、AD8221の回路よりRF減衰量が増加します。これは、AD8225のノイズ・レベルの方が高いため可能になります。このフィルタを使用すると、DCオフセット誤差はまったく測定されませんでした。

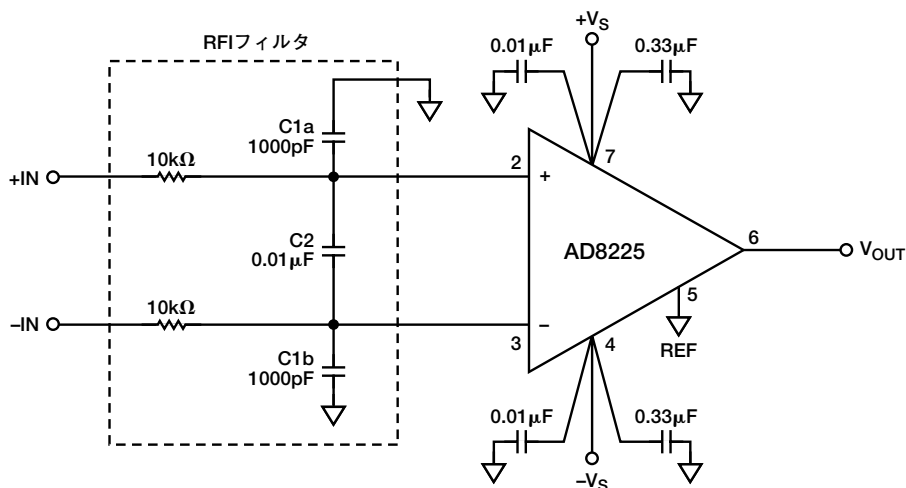


図 5-29. AD8225 の RFI フィルタ回路

## AD8555 センサ・アンプ用の RFI フィルタ

図5-30に示す回路は、AD8555の通過帯域での性能を低下させることなく、良好なRFI低減を実現しています。図の数値の部品を使用すると、このフィルタの同相帯域幅は約40kHzです。AD8555の通過帯域での同相ノイズ除去を維持するためには、コンデンサは5%（シルバー・マイカ）より良好な精度が必要で、また可能な限りアンプ入力に近くに配置する必要があります。抵抗は1%精度の金属皮膜を使用します。C3に0.047 $\mu$ Fの値を使用すると、回路の差動帯域幅は約4kHzとなります。

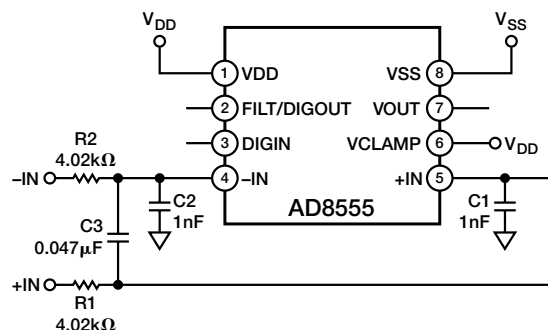


図 5-30. AD8555 の RFI フィルタ回路

オンチップで EMI/RFI フィルタを搭載した計装アンプ AD8556は、AD8555にきわめて類似した製品です。AD8556には、-IN、+IN、FILT、VCLAMPの各ピンに内蔵EMIフィルタが接続されています。ピンに接続されたこれらの内蔵フィルタは、干渉帯域幅を制限し、また良好なRFI低減を示し、計装アンプの通過帯域での性能を低下させることはありません。図5-31は、EMI/RFIフィルタを含むAD8556のブロック図を示します。

AD8556は、入力、VCLAMP、フィルタの各ピンに、オンチップ・フィルタが接続されています。AD8556内の1次ローパス・フィルタは、AD8556外部の配線やPCボード・パターンで生じる高周波EMI信号を除去するのに役立ちます。いずれのアンプの場合でも、RFI/EMI信号に対して最も敏感なピンは、非反転入力ピンです。このピンに現れる信号は同相信号として働き、問題となります。

AD8556の入力のフィルタには、2種類の帯域幅があります。同相モードと差動モードの帯域幅です。AD8556の入力ピンに配置されたEMIフィルタは、同相信号に現れるEMI/RFI低減を除去します。

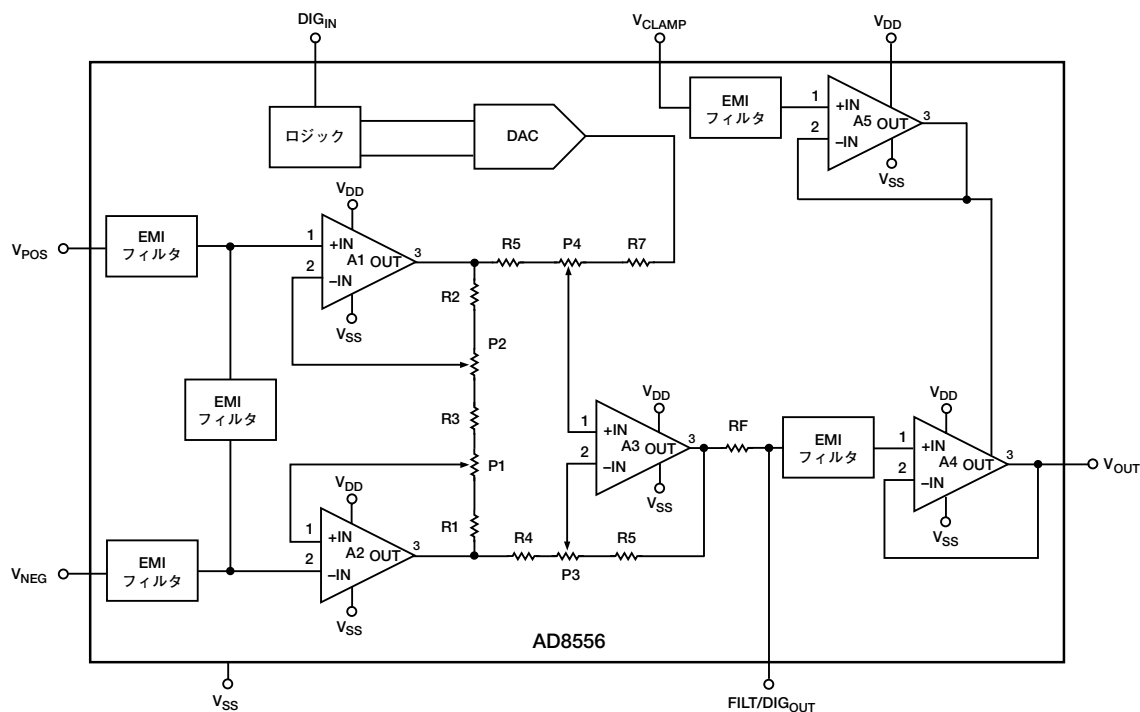


図 5-31. オンチップ EMI/RFI フィルタを示した AD8556 のブロック図

図5-32は、ノイズの多い同相信号の有無をシミュレートしています。また、図5-33は、 $V_{OUT}$  における応答のDC値を示しています。

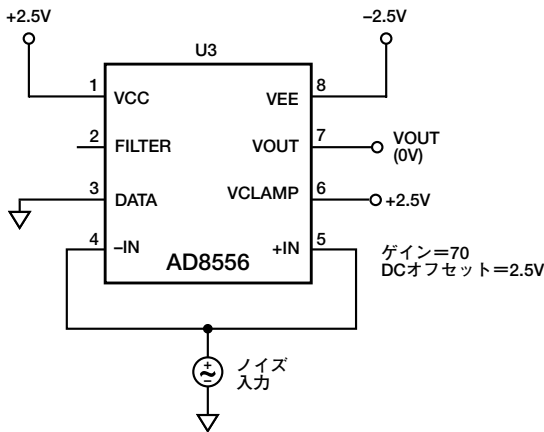


図 5-32. 同相 RFI/EMI 信号を加えたときの AD8556 の性能を検証するテスト回路

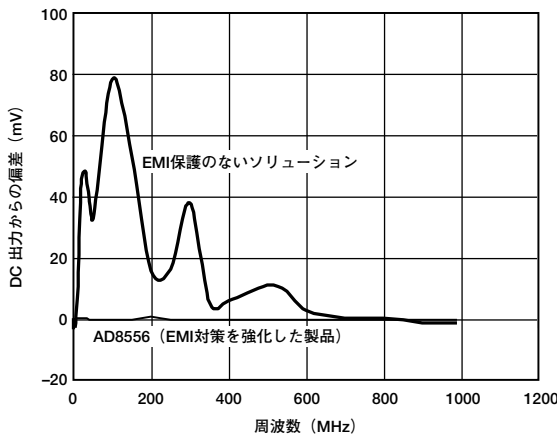


図 5-33. 同相 RFI による  $V_{OUT}$  での DC 入力オフセット値の周波数特性

差動帯域幅は、2つの入力、VPOS (つまり+IN) とVNEG (-IN) 間に差動信号を加えた場合のフィルタの周波数応答を規定しています。図5-34は、AD8556のEMI/RFI感受性を検証するテスト回路を示しています。

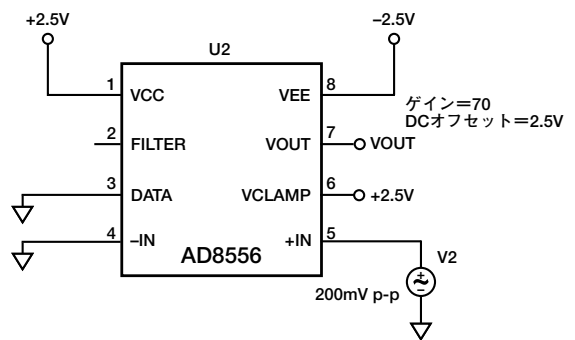


図 5-34. 差動モード RFI/EMI 信号を加えたときの AD8556 の性能を検証するテスト回路

EMI/RFI 差動信号に対する AD8556 の応答特性を図 5-35 に示します。

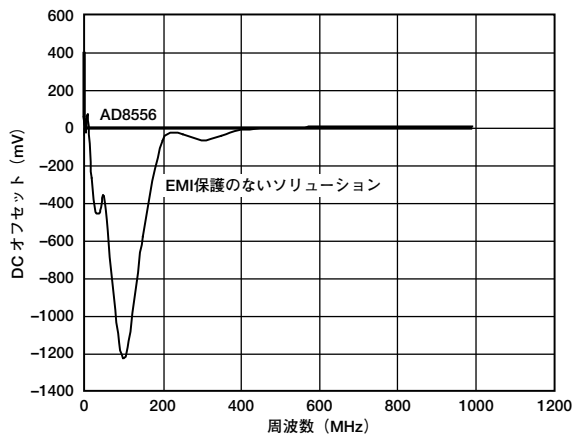


図 5-35. EMI/RFI 差動信号による AD8556 の DC オフセット・シフトの周波数特性

最も効果的にEMIを除去するため、VPOSとVNEGにおけるPCボードのリード線はできる限り同等のリード線にする必要があります。こうすることで、VPOSとVNEGピンが受信するEMIはすべてほぼ同量 (つまり同相入力) となり、AD8556によって除去されます。また、VPOSとVNEGピンにフィルタを追加し、他のピンでのフィルタリングに比べてより効果的に、好ましくない振る舞いを低減する必要があります。

## X2Y® コンデンサ \* を使用した同相フィルタ

図 5-36 に、X2Y コンデンサの内部結線図を示します。これらは超小型の3端子デバイスで、4つの外部接続端子 A、B、G1、G2 を備えています。G1 と G2 端子はデバイス内部で接続されています。X2Y コンデンサの内部プレート構造は、非常に興味深い特性を備えた集積回路を形成しています。静電氣的には、3つの電氣的接点が G1 と G2 端子を共有する2つのコンデンサを形成します。両コンデンサは、製造工程で自動的にきわめて厳密なマッチングがとられます。また X2Y 構造には、効果的な単巻変圧器／同相チョーク・コイルが含まれます。この結果、これらのデバイスを同相フィルタ用に使用すると、フィルタのコーナー周波数より上側での同相信号の減衰が、同等の RC フィルタに比べて大幅に大きくなります。このため、通常はコンデンサ C2 を省くことができ、コストとボードスペースを節減できるようになります。

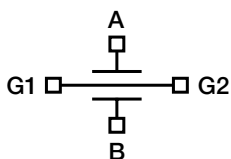


図 5-36. X2Y の静電氣的モデル

図 5-37a は、従来の RC 同相フィルタを示し、図 5-37b は、X2Y デバイスを使用した同相フィルタ回路を示します。図 5-38 は、この両フィルタによって得られる RF 減衰を比較したグラフです。

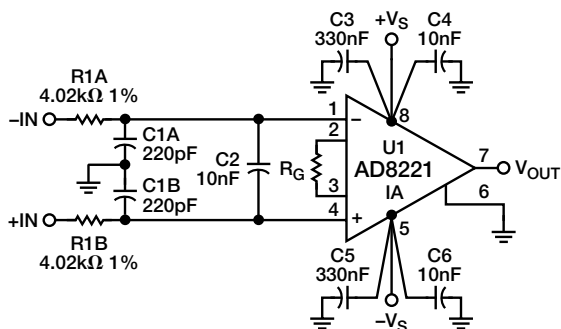


図 5-37a. 従来の RC 同相フィルタ

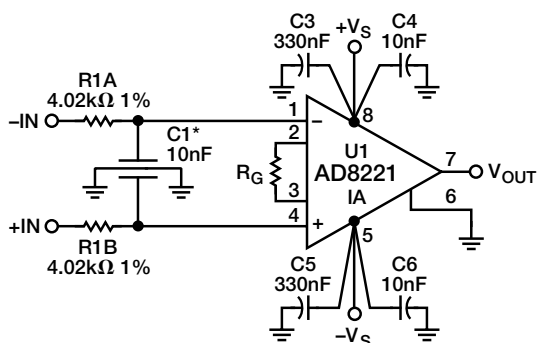


図 5-37b. X2Y コンデンサを使用した同相フィルタ

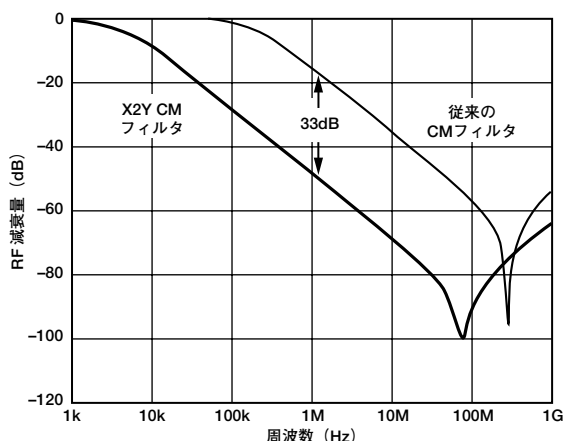


図 5-38. RF 減衰量 (X2Y と従来の RC の同相フィルタ)

\* C1 の部品番号は、500X14W103KV4 です。X2Y 部品は、Johanson Dielectrics 社 ((818) 364-9800) から購入できます。X2Y メーカーの一覧は、[www.x2y.com/manufacturers](http://www.x2y.com/manufacturers) に掲載しています。

計装アンプのRFIフィルタの代わりに同相RFチョークを使用する

RC入力フィルタを使用する代わりに、図5-39に示すように市販の同相モードRFチョークを計装アンプの前段に接続できます。同相チョークは、1個のコアを共有する2巻線のRFチョークです。両方の入力に同相のRF信号がすべてチョークで減衰されます。同相チョークは最少の部品数でRFIを低減する簡易な手段であり、信号通過帯域も高いのですが、効果は実際に使用する同相チョークの品質によって左右されます。内部マッチングの優れたチョークを選んでください。チョークを使用する際のもう1つの問題は、RC RFIフィルタを使用した時に得られる入力部の保護がまったく得られないということです。

**AD620** 計装アンプと指定のRFチョークを使用し、ゲインを1000に設定して、1Vp-pの同相サイン波を入力に加えると、図5-39の回路はDCオフセット・シフトを4.5μV RTIより低く抑えます。表5-3に示すように、高周波の同相ノイズ除去比も大きく低減しています。

表5-3. 図5-39の回路使用時のAC同相ノイズ 対 周波数

| 周波数    | CMRR (dB) |
|--------|-----------|
| 100kHz | 100       |
| 333kHz | 83        |
| 350kHz | 79        |
| 500kHz | 88        |
| 1MHz   | 96        |

一部の計装アンプは他のタイプよりもRFIの影響を受けやすいため、同相チョークの使用が不適切な場合があります。このような場合はRC入力フィルタを選択してください。

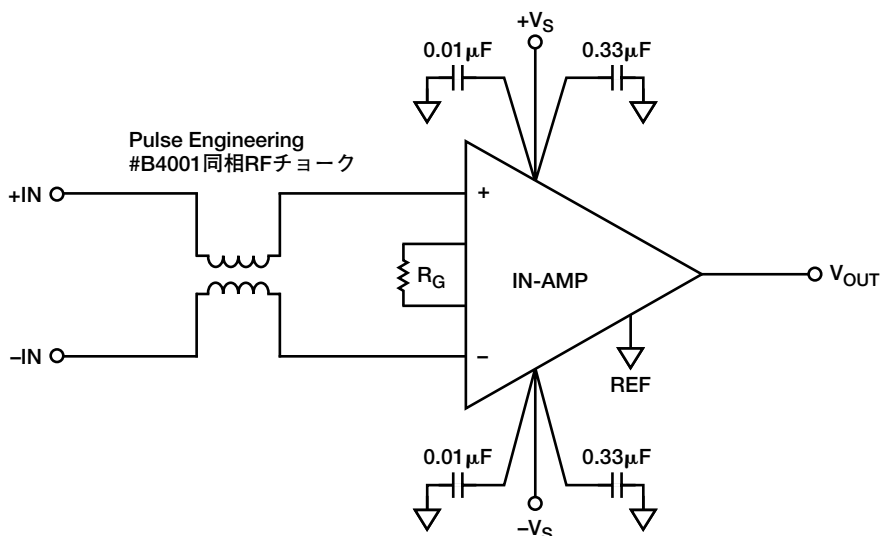


図5-39. 市販の同相RFチョークを使用してRFIを低減する回路

## RFI のテスト

図5-40は、RFI除去測定用の代表的なセットアップを示しています。これらの回路のRFI低減をテストする場合、ごく短いリード線で2本の入力端子間を接続します。良好な品質のサイン波発生器を、50Ωの終端ケーブルを介してこの入力に接続します。

オシロスコープを使用し、ケーブルの発生器接続側で1Vp-pが出力されるように発生器を調整します。計装アンプを高いゲイン（ゲイン=100など）で動作するように設定します。DC オフセット・シフトは、DVMを使用して直接、計装アンプの出力で読み取れます。高周波数CMRを測定する場合、計装アンプの出力に補償済みのプローブを備えたオシロスコープを接続し、入力周波数に対するピーク to ピーク出力電圧（すなわち、フィードスルー）を測定します。CMRR対周波数の計算では、計装アンプの入力終端電圧（ $V_{IN}/2$ ）とゲインを考慮に入れる点を忘れないでください。

$$CMR = 20 \log \frac{\left( \frac{V_{IN}}{2} \right)}{\left( \frac{V_{OUT}}{\text{ゲイン}} \right)}$$

## ローパス・フィルタ処理により S/N 比を改善する

ノイズの多い測定内容からデータを抽出するには、ローパス・フィルタを使用して信号帯域内にないすべての信号を除去することにより、測定のス/N比を大幅に改善できます。場合によっては、バンドパス・フィルタ（信号周波数より上および下の両方の応答を除去）を採用することで、測定分解能をさらに向上できます。

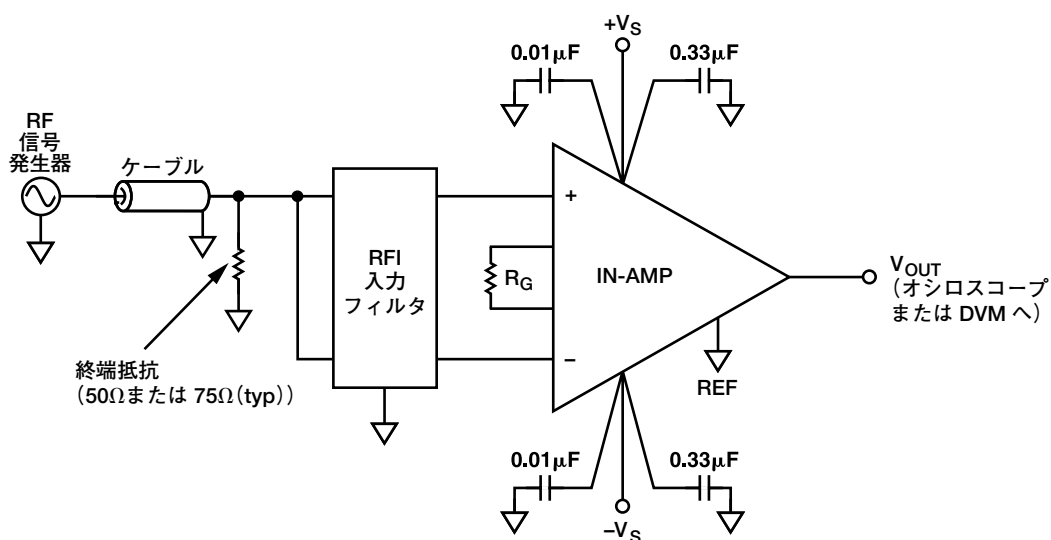


図 5-40. 計装アンプの RFI 除去測定の代表的なテスト・セットアップ



## CMR とセtring時間 の外部調整

超高速で広帯域の計装アンプが必要なとき、1つの一般的な手法として、複数のオペアンプ、またはオペアンプと高帯域減算器アンプを組み合わせる方法があります。このようなディスクリート設計では、外部トリミングによる調整で最高のCMR性能を容易に得られます。代表的な回路を図5-42に示します。常にDC CMRを先に微調整する必要があります。DC CMRは周波数全域にわたってCMRRに影響を及ぼすからです。

+ $V_{IN}$ と- $V_{IN}$ 端子を接続し、2つの入力端子とグラウンド間にDC入力電圧を加えます。10VのDC入力が供給されるように電圧を調整します。次に、DC CMRトリミング・ポテンショメータを調整し、出力が正と負の両方のDC印加電圧に等しくなるよう、また可能な限り低くなるようにします。

AC同相ノイズのトリミングも同様の方法で行いますが、入力にはAC信号を加えます。使用する入力周波数は、回路の-3dB帯域幅より幾分低い値でなければなりません。

入力振幅は、入力を接続した状態で20Vp-pに設定します。次に、AC同相ノイズ・トリマをゼロ設定し、出力が可能な限り低くなるようにします。セtring時間を最良にする必要がある場合は、出力波形をオシロスコープで観察しながら、AC同相ノイズ・トリマを使用して調整します。場合によっては、最良のCMRと最速のセtring時間のいずれか一方を諦めざるを得ないこともあります。

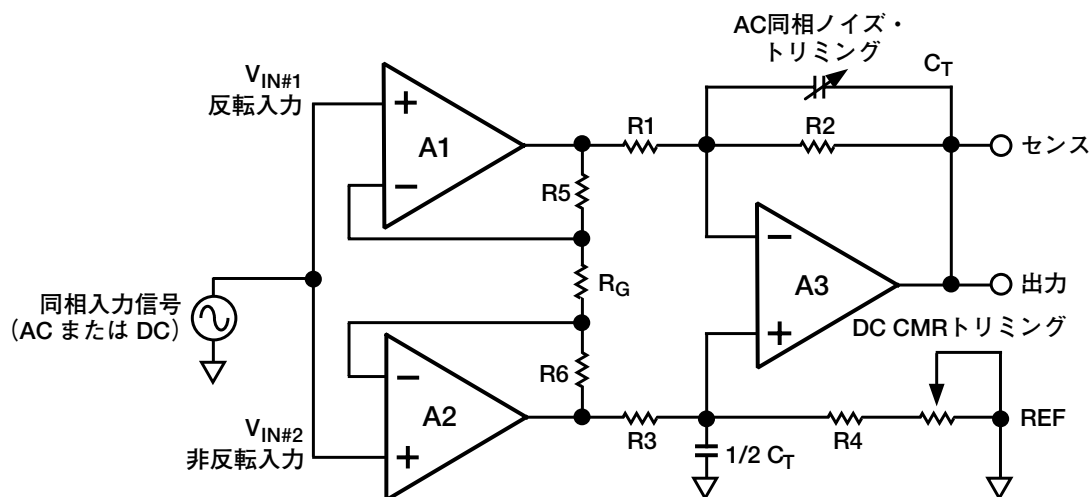


図 5-42. ディスクリートの3 オペアンプ構成の計装アンプのための、外付けのDC およびAC のCMRトリミング回路