

第2章

計装アンプの内部

計装アンプの機能を提供する簡単なオペアンプ減算器
差動ゲイン・ブロックを実装する最も簡単な（ただし、きわめて
有用な）方法を図2-1に示します。

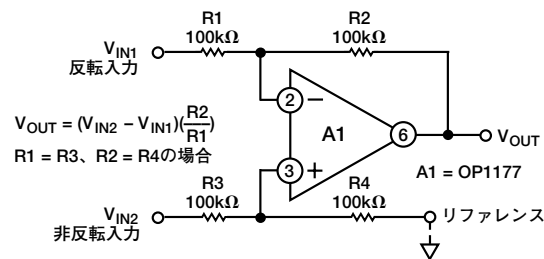


図 2-1. 1 個のオペアンプで構成されるディファレンス計装
アンプ回路の機能ブロック図

R1=R3およびR2=R4とすると、

$$V_{OUT} = (V_{IN2} - V_{IN1}) (R2/R1)$$

この回路は、差動信号を増幅すると同時に同相信号を除去する
という計装アンプの機能を実現しますが、いくつかの限界も
あります。第1に、反転入力と非反転入力のインピーダンスが比
較的低く、両者が等しくないことです。この例では、VIN1に対
する入力インピーダンスは100kΩですが、VIN2に対する入力イ
ンピーダンスは2倍の200kΩとなります。したがって、一方の
入力に電圧を加え、他方の入力を接地すると、電圧を加えた入
力端子がどちらであるかによって流れる電流が異なることにな
ります（この信号源の抵抗の不均衡は、回路のCMRRを低下さ
せることになります）。

さらに、この回路では各抵抗ペアの比R1/R2とR3/R4がきわ
めて高精度で一致する必要があります。そうでなければ、各入
力からのゲインに差異が生じ、同相ノイズ除去に直接影響を及
ぼします。たとえば、ゲインが1で、すべての抵抗が同じ値の場
合、その中の1つの抵抗値だけに0.1%のミスマッチがあっても、
CMRは66dB（2000分の1）のレベルに低下します。同様に、
信号源の抵抗の不均衡が100Ωの場合、CMRは6dB低下し
ます。

このような問題点はあるものの、最小限の機能を備えたこのタ
イプの計装アンプ回路（一般にディファレンス・アンプまたは減
算器と呼ばれる）は、高性能な計装アンプ内の構成要素として
有用です。また、ビデオなどの高速用途や低周波で高同相電圧
（CMV）のアプリケーションの独立した機能回路としても有用
です。この用途では、入力抵抗が入力電圧を分割して降下させ
ると同時にアンプの入力保護としても機能します。アナログ・デ
バイセズのAD629などの一部のモノリシック・ディファレンス・
アンプでは、ある種の簡単な減算器を設計に採り入れています。
こうすることで、ICは供給電圧より高い同相入力電圧を処理
できます。たとえば、供給電源が±15Vの場合、AD629は
±270Vもの高同相電圧を含んだ信号を増幅できます。

簡単な減算器にバッファリングを施して性能を向上
させる

性能を大幅に改善するためのわかりやすい手法として、簡単な
減算器回路の前段に高入力インピーダンスのバッファ・アンプ
を追加する方法があります。この例を図2-2の3オペアンプ構成
の計装アンプ回路に示します。

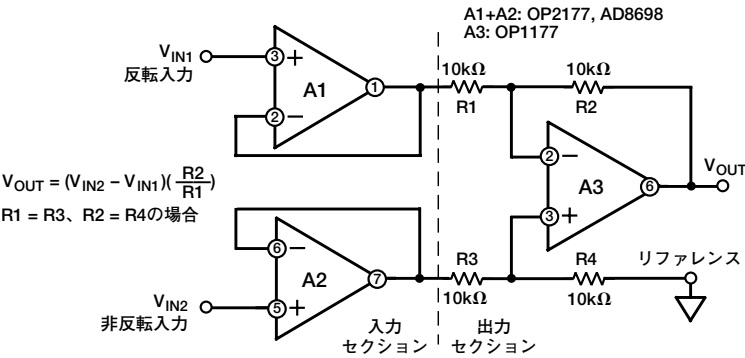


図 2-2. 入力バッファリングを用いた減算器回路

この回路は、マッチングのとれた高インピーダンス入力を実現しているため、入力信号源のインピーダンスが回路の同相ノイズ除去に与える影響を最小限に抑えています。2入力バッファ・アンプとしては、デュアル・オペアンプを使用することを推奨します。このアンプは温度変化に対して互いによく追従し、またボードスペースを節約できるためです。抵抗値は異なりますが、この回路は図2-1の回路と伝達関数が同じになります。

図2-3ではさらに性能が向上します。この例では、入力バッファはゲインを持って動作するため、回路設計に柔軟性をもたらします。R5=R8でR6=R7、また先の例と同様にR1=R3でR2=R4とすると、次式が成立します。

$$V_{OUT} = (V_{IN2} - V_{IN1}) (1 + R5/R6) (R2/R1)$$

図2-3の回路では、差動信号に対する(A₁とA₂)のゲインは等しく増大しますが、同相信号に対するゲインも増大します。

3 オペアンプ構成の計装アンプ

図2-4の回路ではさらに改良が加えられており、これは計装アンプ設計の最も一般的な構成となっています。この従来型の3オペアンプ構成の計装アンプ回路では、図2-3で示したバッファ方式の減算器回路に巧妙な改良が施されています。先の回路と同様、図2-4のオペアンプA1とA2は入力電圧のバッファとして働きます。ただし、この構成ではR6とR7の代わりに、1つのゲイン抵抗R_Gが2つの入力バッファのサミング・ジャンクション間に接続されています。各アンプのサミング・ジャンクションの電圧は、その正側入力に加えられた電圧と等しいため、全差動入力電圧がこのR_Gの両端に現れます。増幅された入力電圧(A1とA2の出力端)は3つの抵抗R5、R_G、R6間に差動的に現れるため、R_Gを変更するだけで差動ゲインを変化させることができます。

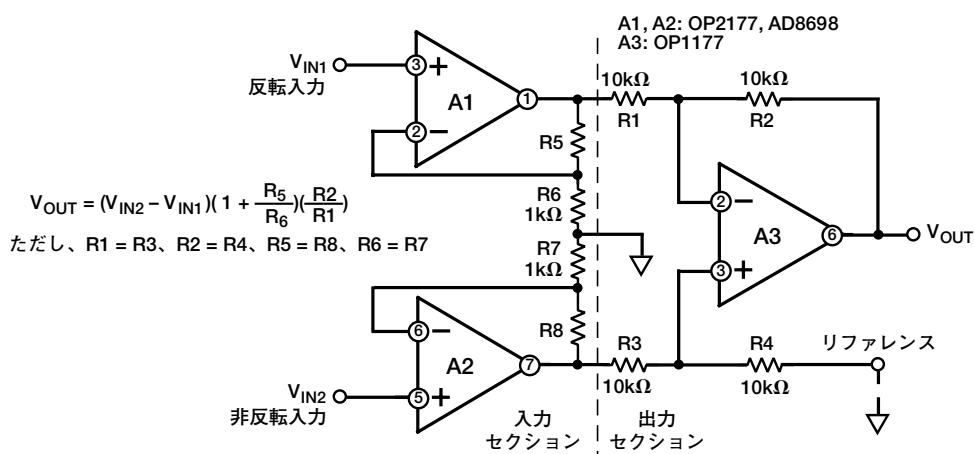


図 2-3. ゲインを持って動作するバッファ・アンプを用いたバッファ方式の減算器回路

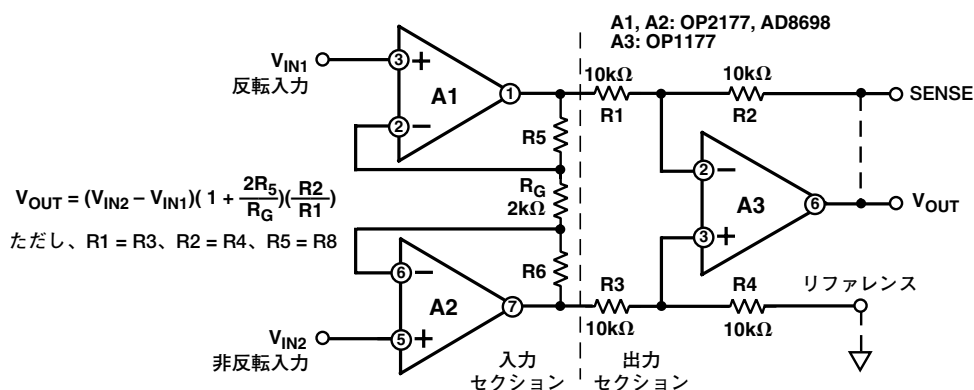


図 2-4. 従来型の3 オペアンプ構成の計装アンプ回路

この接続には、もう1つの利点があります。いったん比率マッチング抵抗で減算器回路をセットアップすれば、ゲインを変更するときにさらなる抵抗マッチングは必要ありません。各抵抗値が $R5=R6, R1=R3, R2=R4$ の場合、次式が成立します。

$$V_{OUT} = (V_{IN2} - V_{IN1}) (1 + 2R5/R_G) (R2/R1)$$

R_G の両端の電圧は V_{IN} と等しいため、 R_G を流れる電流は (V_{IN}/R_G) に等しくなります。したがって、アンプA1とA2はゲインで動作し、入力信号を増幅します。ただし、同相電圧がアンプの入力に加わった場合、 R_G の両側の電圧は等しくなり、この抵抗に電流は流れません。 R_G に電流が流れないため（したがって $R5$ と $R6$ にも流れません）、アンプA1とA2はユニティ・ゲイン・フォロワとして動作します。このため、同相信号はユニティ・ゲインで入力バッファを通過しますが、差動電圧は $(1 + (2R_F/R_G))$ 倍に増幅されます。

したがって理論的には、同相ゲインと誤差を増大させることなく、必要とする十分なゲイン (R_G で決まる) が初段で得られることになります。つまり、差動信号はゲインの分だけ増幅されますが、同相の誤差は増幅されないため、 $(\text{ゲイン} \times (V_{DIFF}) / (V_{ERROR CM}))$ の比は増大します。このように、CMRRは理論的にゲインと正比例して増大することになり、これはきわめて有用な特性です。

最後に、この回路構成は対称であるため、入力アンプ内の同相誤差は（アンプが追従していれば）、出力段の減算器で相殺される傾向にあります。この相殺効果には、周波数に対する同相ノイズ除去などの誤差も含まれます。これらの特長があるため、この構成は広く一般に使われています。

3 オペアンプ構成の計装アンプの設計について

3オペアンプ構成の計装アンプを構築するには、FET入力オペアンプを使用するか、あるいはバイポーラ入力オペアンプを使用するか2つの選択肢があります。FET入力オペアンプは、バイアス電流がきわめて小さいため、一般に信号源インピーダンスがきわめて高い ($10^6\Omega$ 以上) 用途に最適です。FETアンプは通常、バイポーラ・アンプに比べて低CMR、高オフセット電圧、高オフセット・ドリフトの特性があります。所定の電力に対するスルーレートもバイポーラ・アンプより高くなります。

センス端子とリファレンス端子 (図2-4) により、設計者はA3の帰還とグラウンドの接続を変更できます。サーボ・アプリケーションなどでA3のゲインを変動させる必要がある場合、センス端子を外から駆動できます。同様に、リファレンス端子を使用すると、外部オフセット電圧をA3に加えることができます。通常動作の場合、センス端子と出力端子を接続し、リファレンス端子はグラウンドに接続します。

バイポーラ入力段を備えたアンプは、FET入力アンプに比べて、一般に高CMRと低入力オフセット電圧ドリフトを達成しています。スーパーベータ・バイポーラ入力段は、FETとバイポーラ・プロセスの利点の多くを兼ね備え、IBドリフトもFETデバイスよりも低減されています。

3オペアンプ構成の計装アンプの設計時に、不注意な設計にありがちな（ただし見過ごされがちな）問題は、計装アンプが高ゲインで動作しているときに生じる同相電圧範囲の低減です。図2-5は、3オペアンプ構成の計装アンプが1000倍のゲインで動作する場合の回路図です。

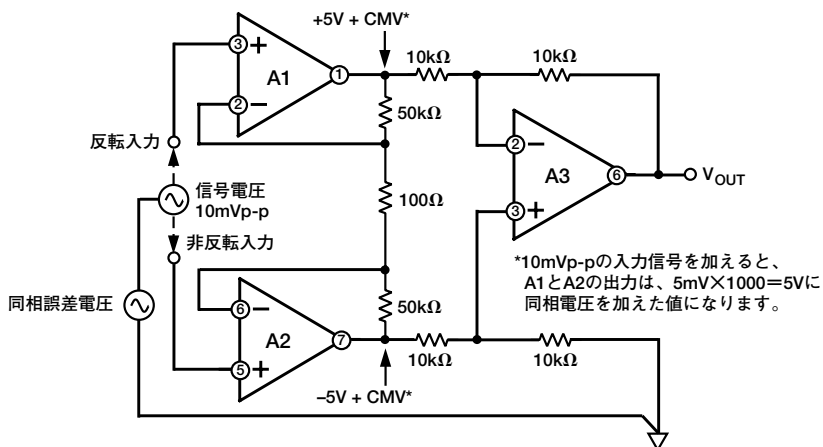


図 2-5. 3 オペアンプ構成の計装アンプで CMV 範囲を低減

この例では、入力アンプA1とA2は1000倍のゲインで動作する一方、出力アンプはユニティ・ゲインで動作しています。つまり、各入力アンプの出力端における電圧は、ピークtoピーク入力電圧の1/2に1000を乗じた値に、入力に現れるあらゆる同相電圧を加えたものに等しくなるということです（同相電圧は、差動ゲインに関係なくユニティ・ゲインで通過します）。したがって、10mVの差動信号をアンプ入力に加えた場合、アンプA1の出力は+5Vに同相電圧を加算した値に等しくなり、A2の出力は-5Vに同相電圧を加算した値になります。アンプが15V電源で動作している場合、通常7V程度のヘッドルームを残すことによって（CMVの全12Vではなく）8Vの同相電圧が許容されます。これは通常、ユニティ・ゲインで利用可能となります（10mV入力の場合）。ゲインを高くするか供給電圧を下げると、同相電圧範囲はさらに低下します。

基本的な2オペアンプ構成の計装アンプ

図2-6は、標準的な2オペアンプ構成の計装アンプの回路図です。この回路の明らかな利点は、オペアンプを3つではなく2つしか必要としないため、コストと消費電力を節減できるという点です。ただし、2オペアンプ構成の計装アンプ回路は、トポロジ（配置）が非対称なため、いくつかの欠点が生じます。最も大きな欠点は、3オペアンプ構成の設計に比べてACのCMRRが低くなるため、回路の実用性に制限が生じるという点です。

この回路の伝達関数を次式で表すことができます。

$$V_{OUT} = (V_{IN2} - V_{IN1}) (1 + R4/R3)$$

ただし、 $R1 = R4$ および $R2 = R3$

入力抵抗値は高かつ平衡しているため、出力インピーダンスが不平衡な信号源に対応できます。この回路の入力バイアス電流は、2つのオペアンプの非反転入力端子の入力電流仕様によって決まりますが、この値は一般にきわめて低い値です。

この回路の欠点として、ユニティ・ゲインで動作できないこと、回路のゲインが下がるにつれて同相電圧範囲が減少すること、AC同相ノイズ除去が貧弱なことなどが挙げられます。CMRが貧弱な理由は、2つの入力 V_{IN1} と V_{IN2} で生じる位相シフトが等しくないためです。つまり、信号はアンプA2によって V_{IN2} から減算される前にアンプA1を通過する必要があります。このため、A1の出力端における電圧はわずかに遅延し、 V_{IN1} に対して位相シフトを生じます。

2オペアンプ構成の計装アンプ回路では、一般に5倍という最小回路ゲインが使用されますが、こうすることで十分なDC同相入力範囲が許容され、ほとんどのアプリケーションに対して十分な帯域幅を提供できます。レールtoレール（単電源）アンプを使うことで、同相電圧範囲を「 $-V_S$ （単電源動作の場合はグラウンド）に本来のレールtoレール出力電圧範囲（つまり $+V_S \sim -V_S$ の出力振幅）を加えた値」にまで拡張できます。

表2-1は、図2-6の回路におけるアンプ・ゲインと回路ゲインを示し、いくつかの一般的な回路ゲインに対する、実際に使われる1%精度の抵抗の値を示しています。

表2-1. 図2-6の回路におけるアンプA1とA2の動作ゲインと実際に使われる1%精度の抵抗値

回路ゲイン	A1のゲイン	A2のゲイン	R2, R3	R1, R4
1.10	11.00	1.10	499k Ω	49.9k Ω
1.33	4.01	1.33	150k Ω	49.9k Ω
1.50	3.00	1.50	100k Ω	49.9k Ω
2.00	2.00	2.00	49.9k Ω	49.9k Ω
10.1	1.11	10.10	5.49k Ω	49.9k Ω
101.0	1.01	101.0	499 Ω	49.9k Ω
1001	1.001	1001	49.9 Ω	49.9k Ω

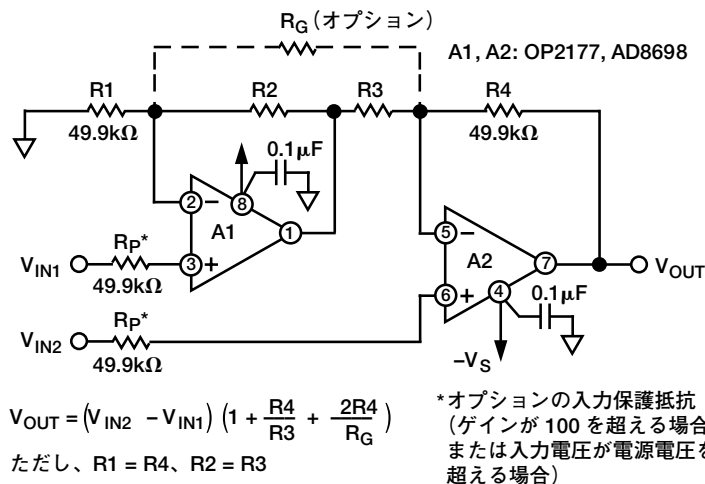


図2-6. 2オペアンプ構成の計装アンプ回路

2 オペアンプ構成の計装アンプ：単電源動作の場合の同相設計について

図2-7の2オペアンプ構成の計装アンプ回路をリファレンス入力から見れば、単に2つのインバータのカスケード接続であることは明らかです。

両方の信号入力端の電圧 V_{IN1} と V_{IN2} を0と仮定すると、A1の出力は次式から求められます。

$$V_{O1} = -V_{REF} (R2/R1)$$

V_{REF} に正の電圧を加えると、一般にA1の出力電圧は負に駆動されますが、これはアンプが単電源電圧 ($+V_S$ と $0V$) で動作している場合は、明らかに不可能です。

アンプA1の出力からA2の回路出力 V_{OUT} までのゲインは、次式から求められます。

$$V_{OUT} = -V_{O1} (R4/R3)$$

V_{REF} から V_{OUT} までのゲインは、これらの2つのゲインの積となり、次式から求められます。

$$V_{OUT} = (-V_{REF} (R2/R1)) (-R4/R3)$$

この場合、 $R1 = R4$ で $R2 = R3$ です。したがって、リファレンス・ゲインは当然+1となります。ただし、これは2つのインバータを使用した結果であって、代表的な3オペアンプ構成の計装アンプ回路におけるリファレンス入力の非反転信号経路とは異なります。

3オペアンプ構成の計装アンプの場合とまったく同様に、2オペアンプ構成の計装アンプの同相電圧範囲は、単電源動作とリファレンス電圧の選択によって制限を受けます。

図2-8は、5V単一電源で動作する2オペアンプ構成の計装アンプの回路図です。リファレンス入力は $V_S/2$ (この例では2.5V) に結線されています。差動入力電圧が0Vで同相電圧が電源電圧範囲 (0 ~ 5V) 内であれば、出力電圧は理想的には2.5Vとなるはずですが。

同相電圧が2.5Vから5Vに上昇するとき、A1の出力電圧 (V_{O1}) は、次式から求められます。

$$V_{O1} = V_{CM} + ((V_{CM} - V_{REF}) (R2/R1))$$

この場合、 $V_{REF} = 2.5V$ で $R2/R1 = 1/4$ です。 $V_{CM} = 4.5V$ のとき、A1の出力電圧は5Vに達します。同相電圧がさらに上昇すると、当然ですが除去は不可能になります。実際、アンプA1とA2の入力電圧範囲の制限によって、計装アンプの同相電圧範囲は4.5V未満に制限されます。

同様に、同相電圧が2.5Vから0Vに低下するとき、A1の出力電圧は、 V_{CM} が0.5Vのときにゼロとなります。明らかなことですが、A1の出力は負の電圧ラインよりマイナスにはなり得ません (チャージ・ポンプがないものと仮定)。単電源接続の場合、この電圧は0Vとなります。この負 (ゼロイン) の同相範囲制限は、**AD627** モノリシック2オペアンプ構成の計装アンプのように、計装アンプの内部レベル・シフトを適切に設計することで克服できます。ただし、優れた設計であっても、ゼロ同相電圧での動作を確保するために、正の同相電圧範囲の一部が犠牲になることがあります。

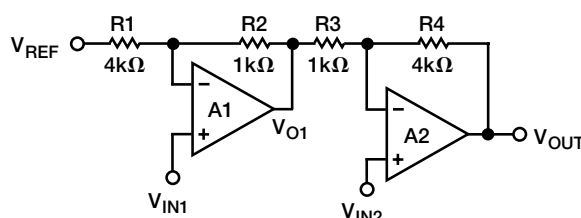


図 2-7. 2 オペアンプ構成の計装アンプのアーキテクチャ

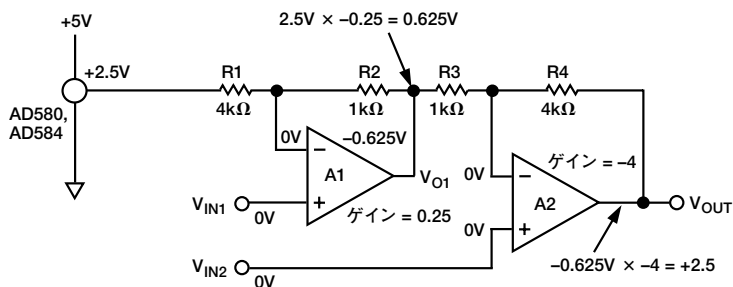


図 2-8. 2.5V リファレンスを使用した2オペアンプ構成の計装アンプの出力振幅制限

標準的な2オペアンプ構成の計装アンプが抱えるもう1つの、そしておそらく(3アンプ構成の設計に比べて)さらに重要な限界は、高AC同相ノイズ除去を達成することが本質的に難しいという点です。この限界は、2アンプ回路の同相信号経路に本来的に存在する不均衡によるものです。

周波数 F_{CM} のサイン波の同相電圧 V_{CM} が入力 V_{IN1} と V_{IN2} に(同相で)加えられているものとします(図2-8)。理想的には、結果として生じる出力AC電圧(同相誤差)の振幅は、少なくとも通常のAC電源ライン(主電源)周波数の範囲(50~400Hz)については、周波数 F_{CM} に関係なく0Vでなければなりません。電源ラインは一般に、大きな同相干渉源となります。

AC同相誤差がゼロであれば、アンプA2とゲイン・ネットワークR3、R4は、 V_{IN2} に直接かかる同相電圧と、A1および付随するゲイン・ネットワークR1、R2によって増幅された同相電圧の間の瞬時差がゼロでなければなりません。DC同相誤差については、R1、R2、R3、R4の比を次式のようにトリミングして平衡を達成することで、すべてゼロにできます(アンプ自身のCMRR誤差は無視できるものと仮定)。

$$R1 \equiv R4 \text{ および } R2 \equiv R3$$

ただし、アンプA1による位相シフト(遅延)のために、 V_{O1} の位相は V_{IN2} に直接加わる同相電圧の位相よりわずかに遅れます。両方の電圧の振幅が最適なレベルにあっても、この位相差が V_{O1} と V_{IN2} の間に瞬時(ベクトル)差を生じます。このため、回路の出力 V_{OUT} に、周波数に依存した同相誤差電圧が生じます。さらに、このAC同相誤差は同相周波数に比例して増大します。これは、A1(単極ロールオフと仮定)を通過する位相シフトが周波数に比例して増大するためです。実際には、A1のクローズド・ループ帯域幅(f_{T1})の1/10未満の周波数について、同相誤差(計装アンプの入力を基準)を次式で近似できます。

$$\%CM \text{エラー} = \frac{V_E / G}{V_{CM}} (100\%) = \frac{f_{CM}}{f_{T1}} (100\%)$$

ここで、 V_E は V_{OUT} 端での同相誤差電圧、 G は差動ゲイン(この場合は5)です。

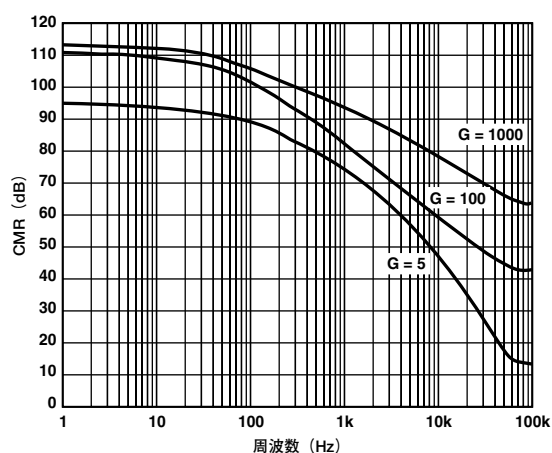


図2-9. AD627 計装アンプ回路のCMRの周波数特性

たとえば、A1のクローズド・ループ帯域幅が100kHz(マイクロパワー・オペアンプの代表値)の場合(R1とR2で決まるゲインで動作)、また同相周波数が100Hzの場合、次式が成立します。

$$\%CM \text{エラー} = \frac{100\text{Hz}}{100\text{kHz}} (100\%) = 0.1\%$$

0.1%の同相誤差は、同相ノイズ除去の60dBに相当します。したがってこの例では、DC時に100dBのCMRが得られるようにこの回路をトリミングしたとしても、1Hz未満の周波数でのみ有効になります。100Hzでは、CMRが60dBを超えることはありません。

AD627モノリシック計装アンプは、先進の2オペアンプ構成の計装アンプ回路を組み込んでおり、上記のAC同相ノイズ除去の限界を克服しています。図2-9に示すように、AD627では、アンプA1とA2の帯域幅がわずか150Hzであるにもかかわらず、8kHzまでの周波数域で80dB以上のCMRを維持しています(ゲイン=1000の場合)。

減算器で使用される4つの抵抗は通常、ICの内部にあり、きわめて高い抵抗値を備えています。高同相電圧のディファレンス・アンプは一般に、電圧を減衰するために選択された入力抵抗を使用しています。したがって、差動信号電圧と同相電圧の両方が減衰された後、同相成分が除去され、次に信号電圧が増幅されます。