



信頼性ハンドブック

UG-311

One Technology Way • P.O. Box 9106 • Norwood, MA 02062-9106, U.S.A. • Tel: 781.329.4700 • Fax: 781.461.3113 • www.analog.com

信頼性ハンドブック

はじめに

アナログ・デバイセズ (Analog Devices, Inc. : ADI) は、その設計ソリューションゆえに当社製品をお選びくださったお客様のおかげで高品質 LSI、VLSI、ULSI のリーディング・サプライヤとなりました。お客様のご愛顧に改めて感謝申し上げます。ADI 製品は革新的で、設計において最先端を歩んでいます。さらに、当社の信頼性データによれば、ADI 製品は極めて堅牢であり、その高い信頼性によって各種工業規格の要件を満たしています。

集積回路技術が広範に利用されるにともない、IC の品質と信頼性に対するお客様の要求はますます高水準になっていますが、アナログ・デバイセズはこのようなご要望に応じてまいりました。ADI は総合品質管理 (TQM) の精神に基づき、高い品質と信頼性を保証するためのさまざまなプログラムによって、お客様の現在のニーズやこれからのニーズに対応します。

この信頼性ハンドブックでは、アナログ・デバイセズが実施している研究、技術開発、品質/信頼性の方針、そして各種プログラムをお客様および将来当社のお客様になっていただける方にご紹介します。このハンドブックが読者の皆様に有益な情報を提供し、同様の手順を構築しようとする方々にとっては役に立つ参考文献となれば幸いです。なお、ハンドブックの内容は予告なく変更されることがあります。

このハンドブックはリファレンスガイドとして発行されたものであり、特定の製品がこのハンドブックに示された基準に適合することを何らかの形で保証するものではありません。特定製品に関する具体的な情報については、該当するデータシートをご覧ください。

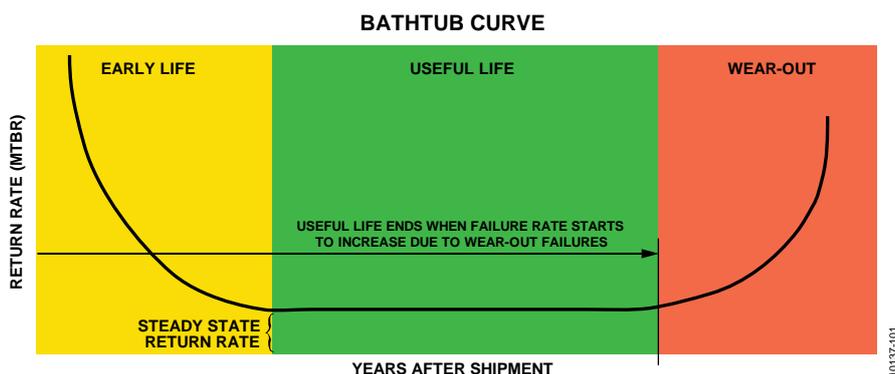


図 1. バスタブ曲線

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2000-2013 Analog Devices, Inc. All rights reserved.

Rev. C

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

はじめに.....	1	装置.....	26
改訂履歴.....	3	試験条件.....	27
概要.....	4	データ分析/モデリング.....	27
目的.....	4	エレクトロマイグレーション.....	28
ADIの信頼性に関する基本方針.....	4	試験方法.....	29
新製品に関する方針.....	6	プロセスモニタリングの結果.....	29
はじめに.....	6	EM試験と分析.....	30
フィージビリティ.....	7	MOSホットキャリア注入.....	31
インプリメンテーション.....	8	試験方法.....	32
ウェーハ製造段階.....	8	寿命予測.....	32
設計検証.....	8	データ分析.....	32
試験検証段階.....	8	DMOSホットキャリア注入.....	33
リリース段階.....	8	DMOSの特性評価.....	33
認定評価計画の立案.....	8	秘訣.....	34
試験策定方法.....	10	バイポーラ・ホットキャリア.....	34
製品の信頼性モニタリングと予想.....	11	試験方法.....	35
はじめに.....	11	バイポーラ寿命計算.....	35
製品/プロセスの信頼性.....	11	ストレス・マイグレーション.....	37
信頼性に関する目標.....	11	プロセスの背景理論.....	37
製品の信頼性ストレス試験.....	11	ストレス・マイグレーション試験と分析.....	37
アナログ・デバイスにおける信頼性試験.....	12	NBTI.....	37
デバイス試験.....	13	回路への影響.....	38
温度加速.....	13	今、問題になる理由.....	38
電圧加速.....	14	NBTIメカニズムとは.....	39
サンプル故障率の計算.....	15	信頼性ストレス試験方法.....	39
ワイブル分布.....	17	デバイス・レベルのNBTIの管理.....	41
正規分布.....	17	バイアス温度ストレスの将来.....	41
対数正規分布.....	17	高電圧耐性.....	42
オートクレーブ.....	18	背景理論.....	42
温湿度バイアス (85°C/85%RH).....	19	データ分析.....	43
高加速ストレス試験.....	20	信頼性の作り込みについて.....	44
温度サイクル.....	21	要約.....	49
高温保管.....	22	パッケージの信頼性.....	50
低温保管.....	23	はじめに.....	50
低温動作寿命.....	23	温度の問題.....	50
信頼性モニタリングプログラム.....	23	信頼性への影響.....	50
ウェーハ製造プロセス・ファミリー.....	23	ディレーティング係数.....	52
組立てパッケージ・ファミリー.....	23	放熱の改善.....	53
サンプル計画.....	23	メーカー間の類似性.....	54
プロセスの信頼性.....	25	部品の取付けが熱抵抗に及ぼす影響.....	54
はじめに.....	25	ソケット取付けとボード取付け.....	54
BIRモニタリング.....	25	熱ギャップ・フィラー.....	54
信頼性の作り込み (BIR).....	25	部品の選択.....	54
酸化膜経時破壊 (TDDDB).....	25	強制空冷とヒートシンク.....	55
背景理論.....	26	ボードの作成と取付け.....	55
試験方法/デバイス.....	26	水分の影響.....	56

信頼性ハンドブック

水分に関連するその他の故障メカニズム.....	60
ストレス・マイグレーション.....	62
熱による金線故障.....	62
パッケージのクラック.....	63
薄膜のクラックとワイヤ・ボンディングの破損.....	64
力の性質.....	64
ワイヤ・ボンディングの破損.....	66
薄膜のクラック.....	67
ボード・レベルの信頼性.....	69
はじめに.....	69
ハンダ付けの信頼性.....	69
機械的衝撃／落下試験.....	70
PCB 曲げ試験.....	71
振動試験.....	72
まとめ.....	74
電氣的オーバーストレス.....	75
はじめに.....	75
ESD の定義.....	75
ESD モデル／試験方法.....	75

ザップされたピンの組み合わせを知ることが大切であること.....	77
帯電デバイス・モデル (CDM : Charged Device Model).....	79
ESD 耐性に関する ADI の目標.....	82
ESD 故障モードと故障メカニズム.....	83
ボード・レベルおよびシステム・レベルの EOS/ESD 保護.....	87
製品解析.....	93
はじめに.....	93
定義.....	93
故障発生源.....	93
顧客からの返品の手順.....	94
社内からの製品解析の要求.....	94
製品解析の追跡.....	94
製品解析のシーケンス.....	94
製品解析能力.....	95
背景情報.....	96
現在の信頼性と将来の展望.....	107
参考文献.....	108

改訂履歴

1/13—Rev. B to Rev. C

Updated Format.....	Universal
Reorganized Layout.....	Universal
Modified Existing and Added New Sections, Tables, and Figures.....	Universal

概要

目的

この文書は、お客様の要求を満たす、極めて高い信頼性と品質の製品を製造するために ADI が実施している活動と、使用している基準をご紹介します。また、製造プロセスのあらゆるステップに具体的に反映され、すべての従業員に共有されている品質と信頼性に関する根本方針をご説明することもその目的のひとつです。さらに、お客様のニーズのための ADI の取り組み、および社内での設計、製造、サポート分野のあらゆるレベルにおける継続的改善によって優れたものをお届けしようという努力についても述べます。

参考文献について

「参考文献」は、このハンドブックの巻末にあります。[1 – 8]のような角括弧内の番号は、信頼性に関する文献への参照番号を表しています。この例で言うと、本文中に[1–8]と示されている場合は、「参考文献」に示す参照番号 1 から 8 までの文献に本文中で論じている事項についての詳細な情報があることを示します。

ADI の信頼性に関する基本方針

ADI は常に、お客様のすべてのニーズに対応する製品を提供すること、そしてその結果としてお客様に完全にご満足いただくことを最も重視しています。これは、今日の集積回路産業において成功し、生き延びていくためにまさに欠かせないものです。そのために、製品と工程のあらゆる設計領域のみならず、製造プロセスにも品質確認と信頼性確認を組み込んでいます。さらに、新規開発や新規設備を当社の施設に導入するにあたって意思疎通とチームワークを活用するなど、設計段階から念入りに計画することも必要です。ADI は、優れた品質と信頼性を実現するには、部門間協力チームが必要であると同時に、各人の努力も欠かすことができないと確信しています。当社の従業員は、会社の掲げる品質と信頼性に関する目標の実現と、アナログ・デバイセズのプロセスおよびサービスの品質と信頼性の継続的改善に世界的規模で取り組んでいます。

このため、工場内のすべての会議室や目につきやすいあらゆる場所に ADI の品質基本方針が掲示されています。これは、お客様にすべてにおいて満足いただけるようにたゆまず努力すること、そしてアナログ・デバイセズの品質目標を実現するのは各人の責任であることを従業員が忘れないようにするためです。

アナログ・デバイセズは、進化するお客様のニーズを満たすことを目標とし、ワールドクラスのシステムとプロセスを確立し、その継続的改善に取り組んでいます。当社は、故障を検出するよりも、まず予防に重点を置く総合品質方針を採用しています。革新的ソリューションを最小限のコストでお客様にお届けする技術、品質、信頼性、サービスとコストに注力しています。

ADI の信頼性の目標

ADI の信頼性グループの基本方針は、製造、新製品、および開発したプロセスの信頼性が、業界の信頼性要件を満たし、さらにそれを上回るよう常に努力することです。ウェーハ製造、新製品設計、パッケージングなどを担当する各開発グループのチームと協力し、製品／プロセス設計のすべての側面に注力し、信頼性を記述するために使われてきた従来のパスタブ曲線や信頼性統計データと、これらチームの知識とを組み合わせることによって目標を達成します。

ADI では、ISO9000、QS9000、TS16949 の手順に完全に準拠した品質システムを導入するとともに、社内で、あるいは国際的に開発されたさまざまな手法を使用し品質と信頼性を改善するための方法を常に模索しています。ADI は、お客様に満足していただくことを重要な目標とし、この目標を実現するために努力を続けています。このハンドブックは、このような目標を踏まえて作成されています。

アナログ・デバイセズは、アナログおよびデジタル信号処理アプリケーションに使われる精密高性能集積回路のリーディング・メーカーです。当社は、それぞれの市場セグメントごとに製品ライン管理体制をもった各種製品ラインによって構成されています。これらの製品ラインは、世界各地の複数の設計／生産拠点に由来する設計リソースや製造リソースを使用しています。当社の拠点は極めて緊密に連携しており、世界各地の主要都市と工業中心地に展開する優秀なセールス・スタッフの支援を受け、常に新しい情報に通じています。

信頼性ハンドブック

所在地

アナログ・デバイセズは、世界各地に設計センターをもち、北米に本社があります。本社住所は以下のとおりです。

Three Technology Way
Norwood, MA 02062
U.S.A.

米国内における ADI の主要製造拠点：

- 804 Woburn Street
Wilmington, MA 01187-3462
- 831 Woburn Street
Wilmington, MA 01187-4601
- 7910 Triad Centre Drive
Greensboro, NC 27409-9605

海外の ADI の主要製造拠点：

- Analog Devices General Trias
Gateway Business Park
Javalera, General Trias
Cavite, Philippines
- Raheen Industrial Estate
Limerick, Ireland

アナログ・デバイセズは、そのほかにも必要に応じ、継続的にウェーハ工場やパッケージング施設と業務提携しています。これにより、協力ベンダーとともに意欲的なプログラムを継続し、最大限の品質標準と信頼性を実現するよう努力を重ねています。このため、すべてのベンダーは、ADI のベンダー保証プログラムの一環として、証明、認定、および所定の監査プログラムに従うことが求められています。ADI は、製品やプロセスの優れた信頼性は、その製品やプロセスを設計する人々に由来すると考えています。アナログ・デバイセズに入社したすべての従業員には、その業務に応じて広範な教育を実施し、その後も継続的に社内外において専門能力を育成します。

新製品に関する方針

はじめに

アナログ・デバイセズは、エレクトロニクス産業の隠れたニーズを掘り起こし、対応する革新的製品を提供することによって、市場のリーダーの地位を確立しました。さらに、このような最先端の製品が市場をリードする製品となり、将来の製品のモデルとなってきました。世界各地のさまざまな拠点で生産されたこれらの製品は、アナログ・デバイセズの大きな特長である強力なチームワークの証です。

表 1. ADI の最先端製品の例

モデル	特長
AD5790	高精度リファレンス内蔵の 20 ビット DAC
AD7541A	世界初の 12 ビット CMOS DAC
AD7572	業界標準の 12 ビット 5 ms ADC
AD5300	世界初の SOT-23 DAC
ADXL362	ナノパワー 3 軸デジタル加速度センサー
AD7714	3 V 低消費電力 24 ビット・シグマ・デルタ ADC
ADT7320	精度 0.25°C のデジタル出力温度センサー
ADG508F	8 チャンネルの過電圧フォルトプロテクト付きマルチプレクサ
AD7723	460 kHz 帯域 16 ビット・シグマ・デルタ ADC
AD7891	多重化 12 ビット DAC
AD7472	最小消費電力の 12 ビット MSPS および ADC
AD5700	HART FSK 半二重工業用モデム
AD9250	JESD204B インターフェース搭載の 14 ビット 250 MSPS デュアル 1.8 V ADC
ADG7xx	最小リーク、最小 R _{ON} のスイッチ・ファミリ
AD7705/AD7706	最小消費電力の 16 ビット・シグマ・デルタ ADC
ADSP-21160 SHARC [®] DSP	単一命令多重データ (SIMD) アーキテクチャ
ADSP-21065L SHARC DSP	単一命令単一データ (SISD) アーキテクチャ
AD9054A	8 ビット、200 MSPS
AD9772	2 倍インターポレーション・フィルタ内蔵の 14 ビット 160 MSPS TxDAC+ [™]
AD9856	CMOS 200 MHz 直交デジタル・アップコンバータ
AD8361	LF~2.5 GHz TruPwr [™] ディテクタ
AD8016	低消費電力高出力電流 xDSL ライン・ドライバ
AD8051/AD8052/AD8054	低コスト高速レール to レール・アンプ
AD8229	210C 動作低ノイズ計装アンプ
ADuM6200	デュアルチャンネル信号・電源アイソレータ
ADF4351	電圧制御発信器内蔵の 4.4 GHz フェーズロック・ループ
ADuC7126	16 チャンネル ADC および 4 チャンネル DAC 内蔵の ARM7 マイクロコントローラ
AD9279	8 チャンネル低ノイズ超音波アナログ・フロントエンド
AD8475	精密アッテネータ内蔵の 18 ビット高精度 ADC ドライバ・アンプ
AD9523	14 個の出力ドライブを備えた 4 GHz 精密クロック・ジェネレータ
ADF7023	ISM バンド RF トランシーバ
AD6643	11 ビット IF ダイバーシティ 3G レシーバ
AD8283	自動車用レーダー・レシーバ・アナログ・フロントエンド
AD8488	デジタル X 線チャージ・アンプ
ADIS16407	3 軸加速度センサー、3 軸ジャイロ、3 軸磁気センサー
ADMP521	デジタル出力付きのハイファイ全方向式マイクロフォン
ADN3000	アンプ付き 11 Gbps 光センサー
ADuM5010	絶縁 DC/DC コンバータ
ADSP-21479	5 MB SRAM 内蔵の 266 MHz 浮動小数点 SHARC DSP
ADIS16228	周波数解析機能付き 3 軸振動センサー
ADA4897	31 nV/√Hz 230 MHz 低消費電力アンプ
AD8124	トリプル Cat 5 ケーブル・イコライザ
AD9739	14 ビット 2.5 GSPS 伝送 DAC

信頼性ハンドブック

ADI がそのリーダーとしての地位を確立したのは、効果的な機能横断的チームワークと、非常に先見的新製品導入の方針によるものです。この方針には、認定評価計画の作成、合意、および実行に至る新製品開発サイクルのすべての側面が組み込まれています。

それぞれの新製品の設計、採用、認定、およびリリースにあたっては、特別な開発チームが編成されます。新製品の開発サイクルにおいては、サポート・グループが開発チームと協力し、(1) 製品リリースプロセスのすべての側面で手順を遵守し、継続的な改善を実施させるとともに、(2) すべての開発分野と製造施設の間の一元的な取りまとめ役となります。

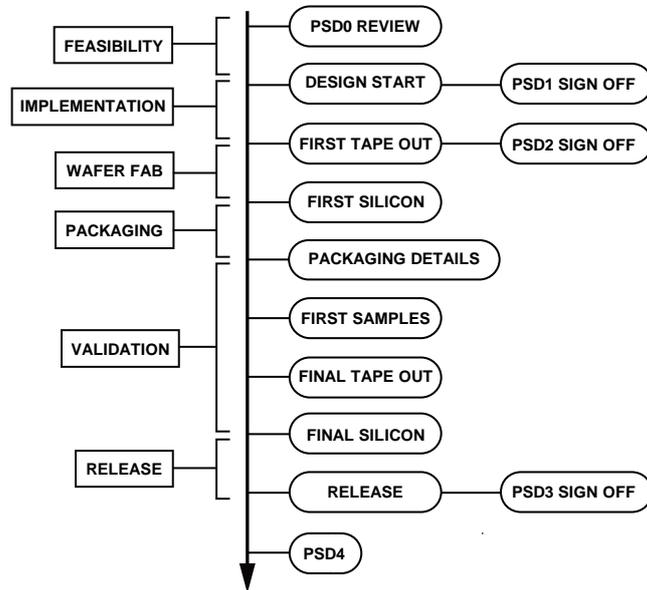


図 2. 新製品開発プロセス

ADI では、新製品をリリースするにあたって、製品の設計から始まり、リリースに至るまでに原則として7つの主要なポイントがあります。各ポイントを達成するためのプロセスは、5つの段階に区別できます。

- フィージビリティ
- インプリメンテーション
- ウェーハ製造
- パッケージングと検証
- リリース

このプロセスに含まれるいずれかのステップが新製品の開発に適用できないと考えられる場合、開発チームはその理由を文書に示さなければなりません。これらの段階を図2に示します。ステップ1は PSD0 の作成です。この文書は、そのプロジェクトの長所と短所を示し、12個の重要な要因について検討します。開発チームは、この PSD0 を使用して質の高い PSD1 を作成します。

フィージビリティ

フィージビリティ・スタディは製品を定義することから始まります。これは、マーケティング部門や技術部門、あるいは顧客から直接提示されるなど、複数のソースに基づくことがあります。製品の定義とフィージビリティについて合意が成立したら、会社の方針に従い、その製品ラインに共通モデル番号が割り当てられます。さらに上級管理職のチーム・スポンサーが指名され、設計、CAD、製造、試験、品質、信頼性などで構成される設計チームも編成されます。このフィージビリティ段階では、設計技術者が市場の要求をどのように満たすかを検討し、さまざまなアーキテクチャとパッケージのオプションについて調査を行います。製造プロセスが選択され、ダイ・サイズが見積もられ、開発とリリースの時間枠が決定されます。これによって、製品開発開始のための文書（PSD1 : Product Start Document）を作成できるようになります。

この段階でさまざまなリソースがそのプロジェクトに割り当てられ、各種の決定がなされます。また、提案されたアーキテクチャに関してバランスのとれた全体像を把握するために、プロジェクトの設計者とプロジェクト・グループ外の設計技術者との間で、徹底的なアーキテクチャの検討が行われます。さらに、製品チームはこの期間内に会議を行い、製品特性に関する計画を決定して責任を割り当てます。設計者は、試験技術者が製品の性能について十分に理解し、試験容易化設計（DFT : Design For Test）の方針を検討することができるように、高水準の製品シミュレーションを行います。

製品開始文書（PSD）の作成を完了する前に、設計技術者は、組立てに関するあらゆる問題について、担当の組立技術者と協議します。CAD の条件に関しても確認が行われ、この時点でリソースも割り当てられます。このステップが完了すると、PSD1 が発行されます。PSD1 は管理対象文書で、これによってプロジェクトが正式にスタートします。PSD は、チームのスポンサー、リーダー、メンバーの役割と責任について概要を示します。PSD を作成するにあたり、新製品リリースチームは製品の開発とリリースのスケジュールを作成し、必要なリソースの概要を示さなければなりません。指名された試験技術者がデータシートの管理コピーを受け取った時点で、試験フィージビリティ段階が始まります。この段階で試験技術者はプロジェクトに伴う技術的なリスクを検討し、可能であればこれらのリスクを除去するよう努めます。試験技術者は、プローブ・試験段階と最終試験段階を最大限網羅する DFT の入力事項を設計技術者に提供します。

インプリメンテーション

細かい設計を開始する前に、開発チームは、設計段階で予定されているシミュレーションのリストを作成します。これらのシミュレーションは設計レビューのもとになるものであり、その時点で細部の設計が完成し、一連の回路図が作成されます。設計技術者は設計レビューのための会議を招集し、その席でシミュレーションのデータを示し、必要な製品性能が実現可能であることを示します。変更の必要がない場合は設計を進め、その間に製品特性に関する計画のレビューと必要に応じて更新が行われます。この時点で指定の設計ルールに従ってレイアウトを開始し、さらにシミュレーションを重ねてフルチップ・シミュレーションを行います。また、同じくこの段階で、バーンイン、高加速ストレス試験（HAST）、温湿度バイアス（THB）試験のための図表を作成し、エレクトロマイグレーションのための電流密度計算も行います。次いで、レイアウト技術者が会議を招集してレイアウトと回路図を照合して確認し、自動チェック手順の結果を解析します。

さらに設計が進展すると、試験実行段階がスタートします。この段階で、ダイ・ソートと最終試験のための試験計画、および被試験デバイス（DUT）ボードの回路図を作成します。また、試験技術者は、合意した試験計画を使用して試験コードと試験ボードを作成します。試験レビュー会議後にボードを発注し、試験プログラムが完了します。この時点で、関係する信頼性技術グループと協力し、製品ラインが作成したストレス試験図表と認定計画が承認されます。これに次いで製造レビューが行われ、製造検討チェックリストに必要な事項を記入します。この段階で特に問題がなければ、ダイの仕上げが行われてマスクが作成されることになります。

ウェーハ製造段階

ウェーハの製造と並行して、試験プログラム、ウェーハ・ソート・プログラム、ハードウェア、および認定評価に必要なストレス試験ボードを作成します。また、設計技術者が機能性試験のためのプログラムを開発し、試験技術者が被試験システムにベクトル解析を移植し、必要な試験シミュレーションを行うのもこの段階です。ウェーハは対象のウェーハ製造施設内にありますが、新製品コーディネータがその進捗状況を追跡・モニタリングします。

設計検証

検証段階は設計と試験の検証で構成され、非常に厳密な基準が適用されます。

ウェーハ製造グループからシリコンを受け取ると、設計技術グループはシリコンの機能性レベルを評価し、結果を定期的に報告し、機能性レポートを作成します。レポートを受け取った新製品開発チームは、性能を検討して適切な措置を決定します。設計評価が完了すると、設計評価グループと協力する設計技術者が、製品特性検討会議で決定されたすべてのパラメータを評価します。この時点で、設計評価技術者が設計評価レポートを発行します。このレポートは、試験技術レポートとともに、認定評価に進むか製品の設計をやり直すかの判断材料になります。同時に、製品性能の目安として、ESD とラッチアップの評価も行います。

試験検証段階

この段階では、すべての試験プログラムとハードウェアのデバッグ、修正を行います。また、認定評価でのストレス試験用のハードウェアとソフトウェアの分析、デバッグも行います。同時に、インプリメンテーション段階で定めた合意済みの特性評価計画に従い、信頼性に関する特性評価試験のためのサンプル収集と検討を行います。試験検証時には、プログラムにさらに修正を加え、歩留り解析レポートを作成してレビューにかけます。

リリース段階

それまでの段階に対して設定されたすべての基準を達成した場合、その製品はリリース段階へ移行します。ESD とラッチアップに関する正式な認定評価試験のほか、認定評価計画に定めるすべての項目について完全な認定評価試験を行います。リリース準備のできた製品の試験を行い、仕分けをし、さらにリリース認可書を作成し、責任者が署名します。PSD4 は市場における製品の実績を予想と比較調査する文書で、リリース後約 18 カ月で作成します。この調査によって得られたすべての結果は、継続的な改善のために新製品開発プロセスにフィードバックされます。

以上が新製品開発プロセスの概要ですが、サンプルの提供やデータシートの作成など、その他の重要なポイントも並行して実施されます。新製品開発スケジュールで特に重視される主要項目のひとつに、新製品の認定評価があります。これは、製品リリース前にクリアしなければならない最後のハードルです。アナログ・デバイスでは、お客様や市場の要求に基づき、先見性のある認定評価手順を定めています。場合によっては、エンド・ユーザのニーズを反映した認定評価計画を作成するために、個々のユーザの意見を取り入れます。

認定評価計画の立案

アナログ・デバイスでは、お客様のニーズに沿った認定評価手順を定めています。さまざまな市場セグメントを把握し、製造プロセスの進化にともなうプロセス能力を考慮します[1-8]。認証済みのプロセス、認可された製品設計とレイアウト・ツールを使用し、継続的改善に努めることが前提となっています。

プロセス開発、プロセス変更評価、および新製品の評価に関する ADI の取り組みと方針は、故障を防止することです。すべての認証は故障メカニズムに基づいて行われており、ADI では特にこの姿勢を強調するために、認可された設計ルールやソフトウェア・ツールを製品開発に使用することを推奨しています。

大きなプロセス変更、新規プロセス、および新製品に関する特性評価計画と認定評価計画の策定は、いずれも、技術検討会議を構成する関係者との共同作業です。この会議は、権限を有する関係者と信頼性技術者で構成されます。これは ADI 標準の認定評価計画策定手順であり、ちょうど専属の信頼性技術者が製品開発のすべての段階に関与するのと同じように、新製品開発プロセスに組み込まれています。

既知の故障メカニズムと想定し得る故障メカニズムの表を作成し、その表に基づき代用データを使用して認定評価計画を策定します。この方法の概要を図 3 の a と b に示します。

信頼性ハンドブック

故障メカニズムを把握したら、適切なストレス試験を定め、それに適した代用データに照らして評価します。そのデータが代用に適切かどうかを判断するにあたって、以下を考慮します。

1. データの作成時期
2. 使用ダイのサイズ
3. 使用するパッケージのタイプ
4. レイアウトの詳細
5. 採用する新たな要素
6. 表面保護タイプやレーザー・トリムなど
7. 設計ルールからの逸脱事項
8. プロセスの開発と変更

上記の設問に回答したうえで、故障メカニズムと試験方法の表を作成し、代用データの適用可否を調査するために、類似性が検討されます。次いで、この表とプロセスまたは製品の信頼性試験基準マトリックスとを関連付けて、最終的な認定評価計画を作成します。さらに、適切な使用パッケージ・タイプ、およびバーンインや温度サイクルなどの試験シーケンスを示す別の表にこの認定評価試験リストの内容を反映させます。最後に、図3のaとbに示す概要に従って、各試験を詳細に記述します。

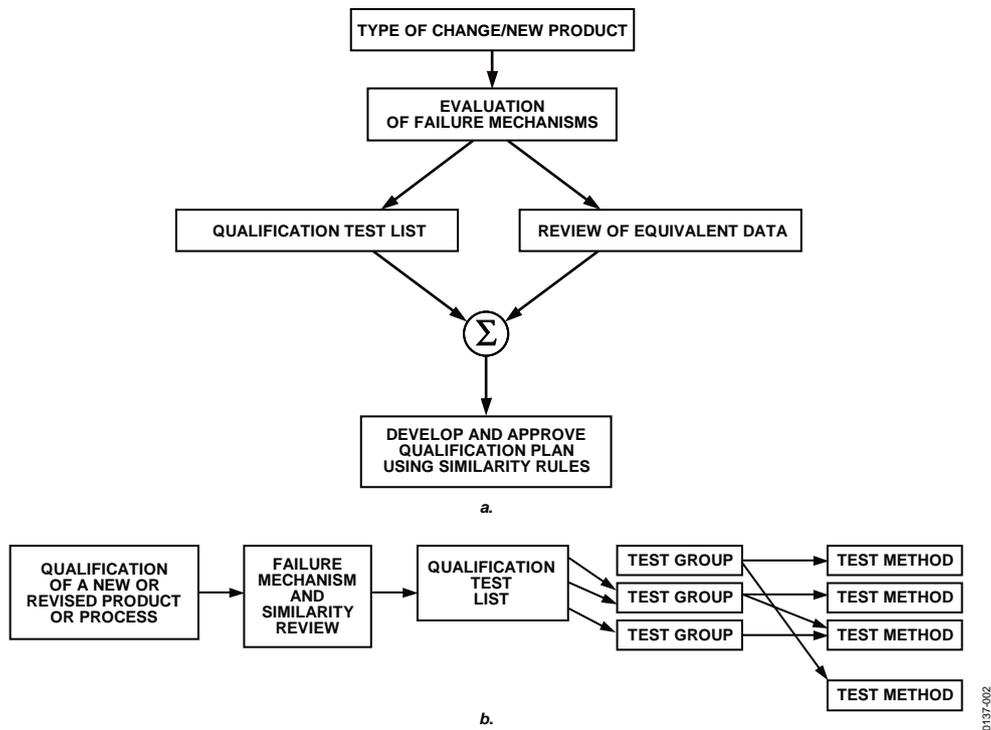


図3. アナログ・デバイスにおける認定評価方針

試験策定方法

この認定評価計画の方法によって、認定評価プロセスや信頼性基準について、その役割上これらの問題について高度な知識を有するプロジェクト技術者のチームが質の高い判断を行うことができます。設計、品質、信頼性、および製造のすべての側面に関するインプットから、十分な情報に基づく判断とすべての部署の合意が生まれます。このようにして、認定評価を正しく終え、標準に準拠して作業を進めることによって、最大限の品質と信頼性を実現することができます。

製品の信頼性モニタリングと予想

はじめに

アナログ・デバイゼスは、非常に意欲的な信頼性モニタリングプログラムを実施しています。主要な生産施設では、最先端の信頼性試験ラボを運用しています。また、小規模な信頼性試験施設を世界各地に戦略的に配置しています。

このモニタリングプログラムの目的は、ADI の出荷する製品に関して最大限の品質を保証することにあります。しかし、モニタリングが可能なのは生産過程の一部に過ぎません。製品の真の信頼性は、信頼性試験だけで評価できるものではありません。信頼性試験には、サンプル・サイズと試験能力によって限界があります。そのほかにプロセス制御、総合品質管理、従業員のトレーニングと教育、信頼性考慮設計や信頼性作り込みプログラムなども、すべて真の信頼性評価を行う上で重要な要素となります。信頼性は作り込まれ、設計に反映されるものであるという信念ゆえに、ADI ではこれらの領域を対象とする意欲的なモニタリングプログラムを開発しました。

製品／プロセスの信頼性

信頼性技術者がよく受ける質問は、「信頼できるプロセスを作るものは何か、そして自分たちのプロセスが信頼できるかどうかを知るにはどうすればよいのか？」です。多くの場合、この質問に対する答えは複雑です。プロセスや製品を信頼できるものにするのは、信頼性プロセスの限られた 1 つの側面ではなく、優れた製品設計方法、良好なプロセス開発とプロセス制御、製造における一貫性といったさまざまな項目の膨大な組み合わせです。

この章では、信頼性の予測とモニタリングに関する ADI の方針について説明します。この方針は、信頼性考慮設計（DFR : Desing for Reliability）、信頼性の作り込み（BIR : Building In Reliability）などの考え方とともに過去のデータ、そして ADI のすべてのプロセスと材料に対する厳密な統計的プロセス制御に基づいて、ADI のプロセスに関して最大限の信頼性をお客様にお届けすることをベースとして確立されたものです。

信頼性に関する目標

IC 産業における信頼性の目標については、一般に、以前からバスタブ曲線を使って論じられています（図 4）。この曲線は製品の欠陥率を時間軸で示したもので、一定故障率、品質欠陥、および摩耗を示す 3 つの曲線で構成されています。

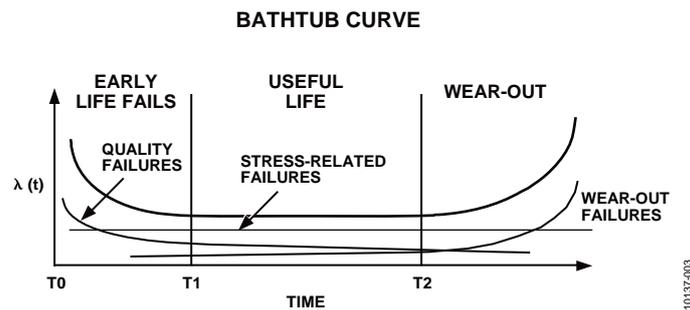


図 4. 標準的なバスタブ曲線

図 4 では、曲線が標準的なバスタブの形状をしています[9]（ただし、これは一般化した図です）。この曲線は 3 つの区別できる領域で構成されています。すなわち、初期故障期間、有効寿命期間、摩耗期間です。それぞれの領域は、品質欠陥、偶発故障、摩耗故障にそれぞれ分類される故障が発生する可能性によって特性付けられます。初期故障は欠陥を誘発するようなプロセスに関連するものと考えことができ、時間とともに減少していくことが予想されます。これに対し摩耗故障はプロセス本来の限界であり、一般に、その特性はプロセス稼働前に十分に予想することができます。これらの故障は酸化物の摩耗、エレクトロマイグレーション、ホットエレクトロン効果などによるもので、すべて製品の寿命を制限します。一般に、これらによる故障率は時間とともに増加します。偶発故障はさまざまな理由によって発生しますが、通常、故障に占める割合はごくわずかです。これらの故障の発生率は一定と考えられています。有効寿命期間が長く、品質欠陥の少ないのが理想的な形状です。

製品の信頼性ストレス試験

集積回路には、その寿命の間にさまざまなストレスが加わる可能性があります。このため、長期にわたるこれらのストレスを評価するために信頼性ストレス試験が策定されています。アナログ・デバイゼスがお客様にお届けするデバイスは、温度ストレスを伴う方法によってプリント基板上にインプリメンテーションされ、自動車用、軍用、あるいは商用環境で使用されるシステムに組み込まれて、その有効寿命を全うします。デバイスはその間に温度や湿度によるストレス、あるいは電気的なストレスにさらされます。したがって、試験が意味あるものとなり、使用環境で予想されるストレスに対する製品の耐性を評価するためには、信頼性試験にこのようなタイプのストレスを含める必要があります。つまり、信頼性ストレス試験の役割は、目的とする機械、システム、および環境でその製品を使用した時に、その製品がどのような性能を発揮するかを評価することにあると言えます。

この信頼性の評価は、そのデバイスの計画段階から始まります。ADI は、お客様の協力の下に、製品を使用するアプリケーションと環境を調査し、理解したうえで、適切なレベルの品質と信頼性を定めます。これは製品の設計と製造工程フローに組み込まれ、新製品開発サイクルの認定評価段階で検証します。

さまざまなタイプの故障が考えられるため、製品に対する信頼性ストレス試験も多様なものとなります。一般に電気、熱、および湿度に関係する試験に分類できますが、いずれも長年にわたって開発と改良が続けられています。加速試験条件を利用して有効寿命を予想するためのさまざまなモデルが存在します。

アナログ・デバイスにおける信頼性試験

アナログ・デバイスでは、その各プロセスにおいて主要なすべてのクラスの信頼性試験を実施しています。品質と信頼性に関するお客様のご要望に対応するために、これらの試験は IC 設計段階と連動して行われ、あらゆる製造レベルに拡張されています。プロセス設計と製品設計の段階ではエレクトロマイグレーション、TDDB、ホットエレクトロンといった信頼性に関する問題の認定評価がプロセス・レベルで行われ、製品設計段階で確認／検証が行われ、堅牢な製品を作り上げます。ここでは、主に製品関連のストレス試験について説明します。摩耗メカニズムを特定して検証するためのプロセス関連のストレス試験については、「製品／プロセスの信頼性」で説明します。

製品ストレス試験では、バスタブ曲線の有効寿命領域に注目します。有効寿命期間を予想するために使われる一般的な試験方法は、定常状態寿命試験です。通常、ADI では静的または動的なバイアスをかけて温度を 125°C、135°C、または 150°C のいずれかに保ち、その製品の最大指定使用電圧で行います。これらの温度の維持時間は、それぞれ 1,000 時間、750 時間、500 時間です。アナログ・デバイスでは、最先端のマイクロプロセッサに基づく設備を使用しています。場合によっては、運用上のニーズにより最大限の汎用性と製品ミックス試験を実現するために、ベンダーと協力して ADI で設計した設備を使用します。製品に対しては加速試験が行われ、これらの結果をもとに標準使用条件を予想します。

アナログ・デバイスでは製品の故障率を決定するためにこれらの試験を使用しているため、加速試験条件で行われるこれらの試験と標準使用条件とがどのような関係にあるのかを理解する必要があります。一般的に、温度と電圧の両方について加速試験を行います。その理由を説明する前に、基礎となる統計的分布 [9 – 11]（指数分布）と、いくつかの関連項を理解しておくことが重要になります。

信頼性に関わる基本的な項目は以下の通りです。

不信頼性 $F(t)$ は、時間 t 内に故障する個体数のパーセンテージを表します。

$$F(t) = r/n$$

ここで、 r は故障個体数、 n は合計個体数です。

信頼度 $R(t)$ は、時間 t 内において良好な状態を維持する個体数のパーセンテージを表します。

$$R(t) = (n - r)/n$$

故障密度 $f(t)$ は、時間 t 内の単位時間あたりに故障した個体数のパーセンテージを表します。

$$f(t, t + \Delta t) = \Delta r/n$$

故障率 $\lambda(t)$ は、時間 t まで良好で、次の時間単位の間には故障する個体数のパーセンテージを表します。

$$\lambda(t, t + \Delta t) = \Delta r/(n - r)$$

その他の項には、平均故障時間（MTTF または MTBF）と有効寿命があります。MTTF は、有意義な数の個体数が故障するまでに要する時間です。故障率一定の指数分布の場合は、MTTF = $1/\lambda$ までに約 63% の個体が故障します。

指数分布は一定故障率に適用され、故障率 λ のみによって決定されます。これは数学的には扱いが容易で、バスタブ曲線の有効寿命部分（故障率一定）を表します。したがって、故障率サンプリング試験の故障率分布に使われます。また、これは信頼性の分野における最も基本的な分布で、分布関数と故障率は次のように表されます。

$$\text{確率分布関数} = f(t) = \lambda e^{-\lambda t} \quad (0 \leq t < \infty)$$

$$\text{累積分布関数} = F(t) = 1 - e^{-\lambda t}$$

$$\text{故障率} = \lambda(t) = \lambda$$

これらの分布を図 5 に示します。

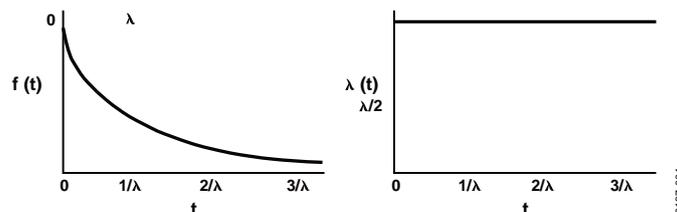


図 5. 指数分布

デバイス試験

長期的故障率を求めるための長期的な信頼性試験を行う現実的かつ効果的な方法は、一定時間にわたってデバイスを電圧および温度の加速条件下に置くことです。ADI の長期的信頼性試験では、マイクロプロセッサ制御の加熱炉を使用します。これらのシステムはすべてソフトウェア制御で、高精度の温度制御と電圧制御が可能です。回路図も制御可能で、コントローラ内にコードが保存されます。主な利点は、1名のオペレータだけで完全にシステムを制御できることです。1名のオペレータがすべての試験作業を実施できるため、このような重要な試験でさまざまなエラーが発生する原因を排除することができます。加速条件で得られた試験結果をもとにして、使用条件の結果を予想します。この予想を有効なものとするには、次に示す2つの要件を満たす必要があります。

1. 加速試験条件によって、新しい故障メカニズムが発生しないようにする必要があります。つまり、温度または電圧、もしくはその両方に関する加速試験条件から通常使用条件下では発生し得ない故障メカニズムを生じないようにしなければなりません。
2. 加速条件をもとにして使用条件を予想できる必要があります。

温度加速

この加速係数 A_T は、アレニウスの式を用いて計算します。式 1 は、活性化エネルギー (E_a) を使用することによって、デバイスの使用/アプリケーション温度を実際のストレス状態に関係付ける式です。

$$A_T = t1/t2 = \text{Exp.}[-E_a/k(1/T_{TEST} - 1/T_{USE})] \quad (1)$$

ここで、

$t1$ および $t2 = T_{TEST}$ および T_{USE} における平均故障時間 (MTTF)

T_{TEST} および T_{USE} = 試験加速度と使用温度 (K)

k = ボルツマン定数 (8.617×10^{-5}) eV/K

E_a = 特定故障メカニズムの熱活性化エネルギー (eV)

試験の性質および試験を実施するさまざまな製品の関係上、アナログ・デバイスでは、プロセスの特性評価とプロセスに関するその知識に基づき、計算に一般活性化エネルギーを使用しています。使用しているのは、0.7 eV の平均活性化エネルギーです。定常期間内に発生すると考えられる代表的な故障メカニズムとその活性化エネルギーを示した表 2 からわかるように、この値は活性化エネルギーとして十分にコンサパティブな値です。

表 2.

Failure Mechanism	E_a (eV)
Oxide	0.8
Contamination	1.4
Silicon Junction Defects	0.8

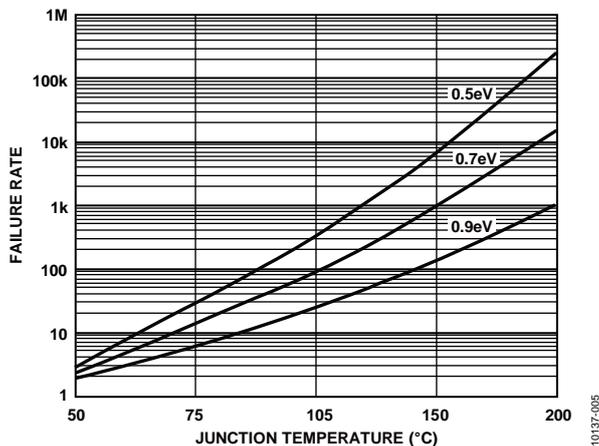


図 6. ジャンクション温度 対 故障率

前述の式は、図 6 に示すように、使用温度が高くなると信頼性が低下する（故障率が増加する）ことも示しています。

電圧加速

電圧加速ストレス試験の結果も、電圧加速係数 (V_{AF}) を適用することによって、上述の温度条件と同様に名目電圧条件に変換することができます。電圧ストレスによる加速係数は、次の指数関係によって計算することができます。

$$V_{AF} = Exp.[\gamma (V_T - V_U)] \quad (2)$$

ここで、

V_T および V_U = ストレス電圧および使用電圧 (単位 : V)

γ = 実験的に導出した定数値

ADI では電圧加速を使用することはめったにありません。使用する場合、電圧加速定数 (γ) は酸化膜経時破壊試験から導出し、その値は 1 になります。

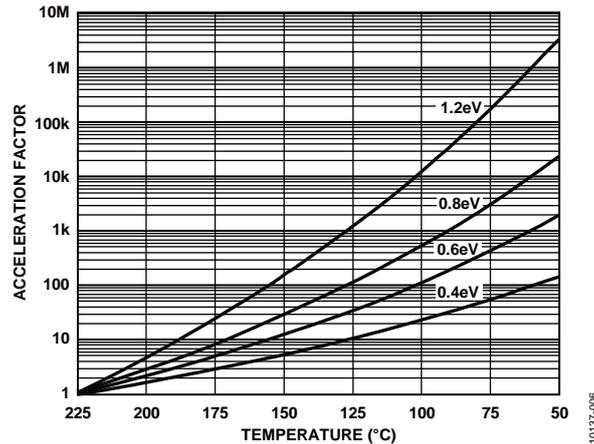


図 7. 温度対加速係数

ADI では通常、温度加速のみを使用します。この係数の温度への依存性をさまざまな活性化エネルギーについて示したものが図 7 です。このグラフは、225°C における 1 時間の試験に正規化されています。

サンプル故障率の計算

一般に、故障率の計算には 2 つの方法が使われます。瞬間値計算と平均値計算です。平均故障率は、バスタブ曲線が一定の値を示す部分に使われます。その製品の寿命試験が行われた時間に基づいてデバイス時間を計算し、適切なジャンクション温度と加速係数も計算します。ADI が製造する製品の大部分は低消費電力 CMOS であり、また加熱炉はさまざまな製品に使用できるため、これらの計算には主に周囲温度が使われます。ADI では、それぞれの故障メカニズムごとに寿命を計算するのではなく、0.7 eV の標準活性化エネルギーを使用して計算します。また、それぞれの計算に対し、カイ二乗分布表を使用して 60% と 90% の上側信頼限界の結果を報告しています。

作成されたデータは通常 FIT (Failures in Time : 時間故障率) で報告します。これは 10 の 9 乗デバイス時間あたりの故障数で、この値を MTTF に換算します。通常はこの計算方法を使用して初期故障率を DPM または PPM で報告します。初期故障率は試験総数に対する単純な故障比率になります。

以下の例は、すべての ADI プロセスに関する計算と追加的な信頼性データを示したものです。表 3 は、125°C と 135°C で 2000 時間、1000 時間、750 時間の寿命試験を行った ADI の CMOS プロセスのデータのサンプルです。

表 3. データ・サンプリング

Model	Test Temperature	Sample Size	Reject 168 Hours	Reject 500 Hrs.	Reject 750 Hrs.	Reject 1000 Hrs.	Reject 2000 Hrs.
AD7357	125°	77	0	0		0	
		77	0	0		0	
		77	0	0		0	
ADA4830	125°	77		0		0	
		77		0		0	
		77		0		0	
AD8229	125°	77		0		0	0
		77		0		0	0
		77		0		0	0
AD9739	135°	45	0		0		
		45	0		0		
		45	0			0	
AD9856	135°	77	0	0	0		
		77	0	0	0		
		77					0
AD7302	135°	45			0	0	
		45			0	0	
		45			0	0	

動作温度 T°C における故障率は次のように表すことができます。

$$Fr = Nf/Ndt$$

ここで、

Nf = 故障数

Ndt = 試験温度 T°C におけるデバイス時間数

$$Ndt = Nd \times Nh \times A_T$$

(3)

ここで、

Nd = 試験したデバイス数

Nh = 試験時間数

A_T = 試験と使用/アプリケーション温度間の加速係数

以下のアレニウスの式は、加速係数を求めるために使用できます。

$$A_T = \text{Exp.} - [E_a/k (1/T_{TEST} - 1/T_{USE})]$$

ここで、T の測定単位は K です。

0.7 eV では、135°C から 55°C (408 K から 328 K)、および 125°C から 55°C (398 K から 328 K) への加速係数は、それぞれ次のようになります。

- 135°C から 55°C A_T = 128
- 125°C から 55°C A_T = 77

(電圧加速を使用する場合、合計加速係数 (A_{TOT}) は 2 つの係数を乗じることによって求めることができます。つまり、A_{TOT} = A_T × V_{AF})

これらの加速係数を上記のデータに適用して、55°C での等価デバイス時間を 125°C および 135°C について計算することができます。

表 4.

Test Temp.	No. of Device Hrs. at Test Temp.	Use Temp.	At	Equivalent Device Hrs. at 55°C
135°C	517000	55°C	128	66176000
125°C	924000	55°C	77	71148000
Total Equivalent Device Hours				137324000

以上から、故障率はいくつかの方法で表すことができます。

FIT (Failures in time : 時間故障率) = $Fr \times 10$ の 9 乗

故障率 (1000 時間あたりの故障%) = $Fr \times 10$ の 5 乗

MTTF (Mean time to failure : 平均故障時間) = $1/Fr$

故障率は基本的に故障の予想頻度であり、MTTF は故障の時間間隔です。

先に述べた故障率の計算 (Nf/Ndt) は予想平均故障率を出すものであり、結果が 50% の信頼レベルにあることを意味しています。つまり、デバイスの 50% がこれ以上の信頼レベルになると予想されることとなります。しかし、試験の限界、および小規模な無作為サンプルの抽出であることから、統計的な影響は大きく、カイ二乗分布を使用して結果に信頼区間を設けます。通常使用する信頼区間はそれぞれ 60% と 90% です。

故障率は、カイ二乗分布表[12]を使用して次のように計算します。

$$\text{故障率 (Fr)} = \chi^2(x, v) / 2Ndt$$

ここで、 χ^2 = カイ二乗値

$$2Ndt = 2 \times (\text{55°C でのデバイス時間})$$

カイ二乗値は特別なタイプの分布に基づくもので、 χ^2 分布表に記載されています。ここで、 $x = (1 - C.L.)$

また、

C.L. は以下の信頼レベルです。

$$v = (2N + 2) \quad \text{ここで } N \text{ は故障数です。}$$

故障ゼロで求めた上記の等価デバイス時間を使用すると、計算は次のようになります。

$$\text{故障率 (Fr)} = \chi^2(x, v) / 2Ndt$$

$$60\% \text{ C.I. } \chi^2 \text{ 値} = 1.83$$

$$90\% \text{ C.I. } \chi^2 \text{ 値} = 4.61$$

$$60\% \text{ C.I. において } Fr = 1.27 \times 10^{-8}$$

$$90\% \text{ C.I. において } Fr = 3.3 \times 10^{-8}$$

これらの値を使用して、表 5 に示すように MTTF、FIT の率を計算することができます。

表 5.

MTTF	60%	78740157 (Hrs.)
MTTF	90%	30303030 (Hrs.)
FIT	60%	11
FIT	90%	27

上記のサンプルを抽出したプロセスについて得られたすべてのデータを使用すると、実際の FIT の率と MTTF の値は表 6 のようになります。

表 6.

MTTF	60%	150080874 (Hrs.)
MTTF	90%	59576572 (Hrs.)
FIT	60%	6
FIT	90%	16

定常状態寿命試験によって ADI がどのようなタイプのデータを収集しているかについては、「[ADI ホームページ信頼性データ](#)」をご覧ください。

MTTF と故障に関する計算を行って、その結果をシステム信頼性に適用するにあたっては、さまざまな問題を理解しておかなければなりません。ベンダーのデータを比較する際にはこれが特に重要です。ベンダーが標準活性化エネルギーを使用する場合、それが現実的なものであることが求められ、どちらの計算にも同じ活性化エネルギーを使用する必要があります。場合によっては、熱加速係数に大きな影響を与えるからです。

関係するサンプルのサイズを知ることは大切です。使用するサンプルのサイズが小さい場合は等価デバイス時間も小さくなり、得られた故障率が実際より高くなってしまう可能性があります。また、製品の使用/アプリケーション温度、またはベンダーがディレーティングした温度を知ることも非常に重要です。これらの温度は、加速係数の計算値や、その係数から得られる故障率に大きく影響します。

信頼性技術に関係するその他の重要な数学的分布としては、ワイブル分布、正規分布、対数正規分布があります。

ワイブル分布

ワイブル分布[9 - 11]は最小値漸近分布です。これは材料の破壊強度の分布を表すために使われ、故障時間が最も弱い部分に依存するような寿命データの分析に非常に有効です。この場合、デバイスまたはシステム内の最も脆弱な構成部品の故障が、そのデバイスまたはシステム全体の故障を引き起こします。ワイブル分布は、摩耗期間すなわちバスタブ曲線のランダムに故障する期間を表すために使用できます。この分布には、3つの基本的なパラメータが関連しています。すなわち、形状パラメータ m 、スケールリング・パラメータ η 、位置パラメータ γ です。ワイブル分布は、以下の式によって記述することができます。

$$f(t) = m/\eta \{[(t-\gamma)/\eta]^{m-1}\} \text{Exp.}\{[-(t-\gamma)/\eta]^m\}$$

$$F(t) = 1 - \text{Exp.}\{[-(t-\gamma)/\eta]^m\}$$

$$\lambda(t) = m/\eta [(t-\gamma)/\eta]^{m-1}$$

正規分布

正規分布[9 - 11]は基本的な統計分布で、主に特性分布の解析や、初期設計時または一定時間経過後の特性変動の解析に使われます。通常、この分布は統計的プロセス制御に関連づけられ、平均偏差 μ と標準偏差 σ によって決定されます。正規分布は、以下の式によって定義することができます。

$$f(t) = [1/(2\pi\sigma^2)] \text{Exp.}\{-0.5 [(t-\mu)/\sigma]^2\} (-\infty < t < \infty)$$

$$F(t) = [1/(2\pi\sigma^2)] \int_{-\infty}^t \text{Exp.}\{-0.5 [(t-\mu)/\sigma]^2\} dx$$

平均が 0 で分散が 1 の場合、正規分布は標準分布と呼ばれます。この場合、 $f(t)$ と $F(t)$ は次のようになります。

$$f(t) = [1/(2\pi)^{0.5}] \text{Exp.}\{-0.5 t^2\}$$

$$F(t) = [1/(2\pi)^{0.5}] \int_{-\infty}^t \text{Exp.}\{-0.5 x^2\} dx$$

対数正規分布

変数を対数に変換すると対数分布[9 - 11]となります。これは正規分布に従います。信頼性の測定においては、寿命およびメンテナンス時間の分布として使われます。この分布は、次式のように平均値 μ と標準偏差 σ によって定義されます。

$$f(t) = [1/(2\pi\sigma^2 t)] \text{Exp.}\{-0.5 [\ln(t-\mu)/\sigma]^2\} (0 < t < \infty)$$

$$F(t) = [1/(2\pi\sigma^2)] \int_{-\infty}^t (1/x) \text{Exp.}\{-0.5 [(\ln(x-\mu)/\sigma)]^2\} dx$$

信頼性に関わる状況に対してどの分布を使用するかは、得られるデータと、未加工データに対してその分布がどの程度適合するかによって決まります。したがって、対象となる故障メカニズムには、プロセスと得られるデータに応じてさまざまなモデルを適用することができます。



図 8. 試験用加熱炉

長期的定常寿命試験と動的寿命試験に加えて、アナログ・デバイスではプロセスの短期的モニタリングも継続的に行っています。これは、初期故障 (IMM : Infant Mortality または ELFR : Early-Life Failure Rate) の PPM を求めることが目的です。このモニタリングでは、製品を 125°C で短時間 (<168 時間) パーンインします。試験に使用するサンプルのサイズは統計的に選び、製品はすべての大量生産プロセスとパッケージ・ファミリーから無作為に抽出されます。

これらの試験を行うための装置はすべてマイクロプロセッサで制御されており、パーンインおよび寿命試験中に製品に刺激を与えるための回路図は 1 つのプログラムとして保存され、使いやすさを配慮するとともに誤った内容がロードされないようにしています。使用する標準的な加熱炉のタイプは場所によって異なりますが、いずれも広範な温度域で使用することができます。標準的な加熱炉の構成を図 8 に示します。

アナログ・デバイスが実施しているその他の試験[13-18]には、湿度・温度複合試験が含まれます。パッケージ組立ておよびウェーハ製造プロセスの観点からすると、これらも同様に重要な試験です。これらの試験は、前述の認定評価プロセスの一部としてアナログ・デバイスの標準信頼性モニタリングプログラムの中で行われます。

オートクレーブ

オートクレーブ試験はプレッシャー・クッカー試験あるいは圧力鍋試験とも呼ばれ、気密封止型以外のパッケージを使用した集積回路の耐湿性を評価するために行われます。この試験では、圧力、湿度、温度に関して実際の使用環境では普通存在しない過酷な条件を採用して、保護材 (モールドディング・コンパウンド) を通って湿気が侵入したり、外部保護材とそこを通る金属製導線の接合部分から湿気が侵入する現象を加速します。

湿気がダイ表面に達すると、製造段階から存在する汚染物質やその他の反応性構成物質がメタライゼーション層を腐食させてパラメトリック性能に影響を与え、最終的にはデバイスの故障を引き起こす恐れがあります。さまざまな温度および湿度に関連した現象など、ダイに関連するその他の故障メカニズムもこの方法によって発生させることができます。

試験条件 (JEDEC-STD-22 METHOD A102)

30 ± 1 psia (206 ± 6.8 kPa、絶対圧) に加圧し、常時飽和状態 (相対湿度 100%) としたチャンバー内にデバイスを置きます。温度は 121°C に維持し、試験時間は 96 時間とします。終了後、デバイスのあらゆる電気的特性を試験して、すべての故障を解析します。

オートクレーブ試験における予測方法

ADI では、この試験は製品の信頼性性能をおおまかに評価するものとみなしています。これは飽和試験であり、使用条件を予測するためのモデルはありません。このため、アナログ・デバイスでは信頼性レポートに未加工データを記載しています。



図 9. オートクレープ・チャンバー

温湿度バイアス (85°C/85%RH)

温湿度バイアス (または 85/85) 寿命試験は、気密封止型以外のパッケージを使用したソリッドステート・デバイスの高湿度環境における信頼性を評価するものです。この試験では、温度、湿度、およびバイアスに関して過酷な条件を採用し、保護材 (モールドディング・コンパウンド) を通って湿気が侵入したり、外部保護材とそこを通る金属製導線の接合部分に沿って湿気が侵入する現象を加速します。この試験における加速の度合はオートクレープ試験ほどではなく、試験を完了するには時間がかかりますが、デバイス性能を基準とした現場でのデバイスの信頼性に関してより現実に近い結果が得られると考えられています。

湿気がダイ表面に達すると、電圧の印加により電解槽が形成され、アルミニウムを腐食させる可能性があります。その結果、導通によって DC パラメータに影響が出たり、場合によっては金属部に穴があいて故障を発生させることがあります。汚染物質が存在すると、この反応が大いに加速します。

試験条件 (JEDEC-STD-22 METHOD A101)

この試験は、温度 85°C、相対湿度 85%に環境を制御して、168 時間と 500 時間で中間的な読出しを行いながら 1000 時間実施します。DC バイアス電圧は、デバイスの電力消費を最小限に抑えながら、最大限の電界槽が形成されるような方法で継続的に印加します。ストレス試験を開始する前に、すべてのデバイスに所定のあらゆる試験を実施して、JEDEC 仕様に定める適切な前提条件を整えてプリント回路基板の製造状態をシミュレートします。ストレス試験が終了したら、デバイスのあらゆる電気的特性を試験し、すべての故障を解析して根本原因を特定します。この試験を行う場合は、湿気がダイ表面に達するようにジャンクション温度を最小に保つよう注意しなければなりません。

温湿度バイアス試験における信頼性予測方法

これは最も一般的に行われている湿度試験です。この試験には 2 種類のストレスが関係するため、アイリングの式に基づいて予測します。加速係数は温度と湿度に適用します。この加速係数は D.S. Peck による次の式[13]によって得られます。ここで、H1 と H2 は分数 ($0 < H < 1$) で表される試験時の相対湿度、T1 と T2 は試験温度と使用温度です。ほかの値 E_a と n は試験から導かれる定数で、 k はボルツマン定数です。

$$A = (H2/H1)^n \text{Exp.}[E_a/k(1/T1 - 1/T2)]$$

E_a と n の値が既知の場合は、この式を使用して故障時間を計算することができます。Peck によって導かれたこれらの値はそれぞれ 2.66 と 0.76 で、電解腐食に関係します。これらの式を用いるときは、評価対象となる特定の故障メカニズムに対応した正しい n と E_a の値を導出するよう注意する必要があります。



図 10. 温度および湿度チャンバー

高加速ストレス試験

高加速ストレス試験（HAST）は、加圧環境を使用して非常に過酷な温度、湿度、バイアス条件を作り出します。HASTは温湿度バイアス試験と同じ故障メカニズムを加速しますが、非常に短時間で実施します。オートクレーブ試験とは異なり、この試験では被試験デバイスをバイアスします。また、湿気をダイ表面に到達させるため、電力消費を最小限に抑えるように注意する必要があります。HAST手法を使用すれば、水の沸点を超える温度でデバイスを作動させながら、結露によって関係のない要因が発生するのを防ぐことができます。

試験条件

試験は、温度 130°C、湿度 85% RH、圧力 33.3 psia (230 kPa) で実施します。DC バイアス電位は、デバイスの電力消費を最小限に抑えながら、最大限に電解槽が形成されるような方法で印加します。この場合も、マイクロプロセッサで装置と回路図を制御します。さらに、このタイプの試験では清浄度が極めて重要になるため、厳密なクリーニング手順を実行します。装置を図 11 に示します。



図 11. 標準的な HAST 試験システム

HAST 試験における信頼性予測方法

HAST 試験は、上述の 85/85 試験を加速させたものです。加速する要素は、圧力、温度、湿度の 3 つです。圧力は、温度および湿度の設定に応じて設定されます。生成される加速係数は 85/85 試験を基準としたもので、使用する式も 85/85 寿命予測におけるものと同様です。Peck [13] の論文と活性化エネルギーを使用して、85/85 を基準に次のような加速係数を計算することができます。

$$85/85 = 1$$

$$120/85 = 10$$

$$130/85 = 18$$

$$140/85 = 33$$

温度サイクル

温度サイクル試験は、ソリッドステート・デバイスを極端な高温下と低温下に交互に置いたときの耐性を確認するものです。温度サイクル試験で、恒久的な電気的特性変化と物理的損傷が生じることがあります。これは主に、熱膨張と熱収縮によって生じた機械的応力によるものです。温度サイクルの影響には、パッケージおよび内部構造のクラックや変形、機械的応力による電気的特性の変化などがあります。



図 12. 標準的な温度サイクル試験チャンバー

試験条件 (MIL-STD-883 Method 1010 Condition C)

デバイスは、個々の装置の間を循環する空気の流れを大きく妨げることがないようにチャンバー内に置きます。この状態で、必要な回数だけ極端な高温条件と低温条件を繰り返します。

温度範囲は $-65^{\circ}\text{C}\sim+150^{\circ}\text{C}$ です。温度維持時間は10分を超えるものとし、被試験デバイスは15分未満でその温度に達しなければなりません。高温から低温、または低温から高温への移行時間は1分以内とします。アナログ・デバイセズで使用している装置タイプの例を図12に示します。上述の条件はアナログ・デバイセズが採用する最大条件で、場合によっては、認定評価を行う技術に応じて、これよりもゆるい条件 ($-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$) を使用することがあります。

熱サイクル試験における予測方法

コフィン・マンソンの式に基づいて熱試験から寿命を予測する方法は数多くあります[19]。その1つについて、概要を以下に示します。予測方法は数多く存在するため、アナログ・デバイセズでは寿命の予測値よりも未加工データをそのまま示す方がよいと考えています。

$$A = N1/N2 = (\delta T1/\delta T2)^{\alpha}$$

ここで、

$N1$ と $N2$ は故障サイクル数、

$\delta T1$ と $\delta T2$ は動作温度範囲と試験温度範囲、

α は実験から導かれる値、

A は加速係数です。

デバイス寿命 (年数) には以下の式を使用します。

$$(N \times A)/365$$

ここで、 N は故障までの日数です。

高温保管

この試験の目的は、電気的ストレスがない状態の高温環境での保管によるソリッドステート電子デバイスへの影響を判定することにあります。

試験条件

デバイスを $+150^{\circ}\text{C}$ ($-0, +4$) の環境下で1000時間 ($-0, +72$) 連続して保管します。ただし、途中で電気的測定を行う場合は、室温条件下に戻すことができます。

高温保管試験における予測方法

この試験から通常使用条件を予測しなければならない場合、ADIではアレニウスの式を使用します。

信頼性ハンドブック

低温保管

この試験の目的は、電氣的ストレスがない状態の低温環境での保管によるソリッドステート電子デバイスへの影響を判定することにあります。

試験条件

デバイスを-40°C (0, -5) の環境下で長時間連続して保管します。ただし、途中で電氣的測定を行う場合は、室温条件下に戻すことができます。

低温動作寿命

この試験の目的は、サイズが1 μm未満のCMOSデバイスのジャンクション温度を-10°C以下にして、バイアスによる酸化膜経時破壊を測定することにあります。

試験条件

-40°C (0, -5) の環境下でデバイスに長時間継続的なバイアスを加えます。ただし、途中で電氣的測定を行う場合は、室温条件下に戻すことができます。

信頼性モニタリングプログラム

ADI が採用している信頼性モニタリングプログラム (RMP) は、社内の製造チームが推進する全社レベルのプログラムです。このプログラムは、同じ作業の繰り返しを防ぎ、信頼性に関する貴重なリソースを認定評価作業チームやエンジニアリング・チームにも利用できるようにするために一元的に実施されています。このプログラムを孤立したものと捉えるべきではありません。RMP だけでは、製造中の製品の信頼性に関して、ある時点におけるスナップショットしか得られないという点に留意する必要があります。統計的プロセス制御、ばらつき低減、歩留りのモニタリング、改善も、RMP を見直す際に考慮しなければならないその他の要因として特に重要な項目です。

RMP は、最近製造された材料に関する信頼性データを継続的に評価するためのものです。寿命を制限する主要な故障メカニズムを特定し、長期的なプロセス・シフトを発見し、不要な EOL 試験を削減し、そして信頼性の取組みを継続的に支援するべく顧客にデータを提供することを目的としています。また、RMP は、組立てやウェーハ製造管理を効果的なものとする役割も果たしています。

RMP 用に作成された手順は、全社レベルで継続的に更新され、常に最新の状態が反映された文書となっています。この手順は、すべてのパッケージ・ファミリー、製造プロセス、製造施設に適用されます。また、製品の選択は、大量生産と信頼性感度に基づいて計画が立てられ、デバイス・タイプは、中程度から一定の大量生産までの生産規模、ストレス感受性、故障解析の容易さ、調達できるかどうかなどの条件に基づいて選択します。

ウェーハ製造プロセス・ファミリー

ADI のウェーハ製造プロセスは、その類似性に従っていくつかのファミリーに分類されます。これらのプロセスは、製造設計ルール、特長、製造施設が共通しているとともに、信頼性に関する特性が同様のものでなければなりません。これらのウェーハ製造ファミリー内の1つまたは複数の製品をモニタリング対象として選択します。可能であれば異なるデバイス・タイプを順番にモニタリングプログラムに交代で採用し、製品とプロセスの組み合わせのベスト・ミックスを実現し、すべてのストレス感度に対応できるようにします。

組立てパッケージ・ファミリー

パッケージの特性や組立て施設は、パッケージ・ファミリーを分類するにあたってまず考慮しなければならないものです。主要な2つのパッケージ・ファミリーとしては気密封止型とプラスチックがあり、ピン数、キャビティ/リードフレームのサイズ、ダイ・アタッチ方法などに基づいてさらに細かく分類されます。これにより、たとえば特定製造施設で製造された14ピンから20ピンまでのSOICパッケージで構成されるグループがひとつのパッケージ・ファミリーとなります。

サンプル計画

ワールドワイド製造グループは、予想生産量に基づき各製造施設に対し3カ月前に予想を提示します。この予想は、各施設に対し、製造工場ごとの合意されたウェーハ製造プロセスと、次回の四半期モニタリング期間においてモニタリング対象となるパッケージ・ファミリー/製造工場についての詳細を示すものです。RMP は生産量に基づくため、ADI 製品の製造に参加するすべての協力会社にも適用されます。生産量ごとのロットの内訳例を表7に示します。

表 7.

Volume	Lots	Size
0-2.5%	1	45/77
2.5-	2	45/77
.	.	.
.	.	.
.	.	.
>20%	5	45/77

RMP で実施する試験は国際標準に基づくもので、以下の試験が含まれます。

- 初期故障率評価試験
- 高温動作寿命試験
- 温度湿度バイアスまたは HAST
- オートクレーブ
- ハンダ濡れ性
- 温度サイクル
- ハンダ熱耐性

考案された RMP はリアルタイムモニタリングに匹敵するものですが、アナログ・デバイスでは、すべての信頼性モニタリングがそうであるように、選択されたロットに関する一時的なスナップショットに過ぎないと考えています。アナログ・デバイスで行っている信頼性モニタリングは、RMP だけではありません。ADI では、非常に意欲的かつ厳密な統計的プロセス制御プログラムやリスク管理プログラムを運用しています。いずれも信頼性に関する問題を早期に発見することで、ライン終了時の信頼性を大幅に改善します。これらのプログラムと組み合わせて使われているのが、すべての製造指示を提供するとともに生産ロットに関連するすべての技術的データを収集する全社的な生産管理情報システムとデータベース（PROMIS）です。このシステムは、不具合の恐れがある製品を迅速に特定し、問題解決や是正措置が行われるまで封じ込めます。

信頼性モニタリング計画で発覚した故障については解析、原因調査が行われその結果は適切なウェーハ製造工場へ報告され、そこで是正措置が策定されます。RMP によって作成された信頼性データは ADI ホームページ[信頼性データ](#)上で公開されており、内容を確認することができます。

プロセスの信頼性

はじめに

すべての製品の信頼性は、製品の試験、設計、組立て、およびウェーハ製造のプロセスに依存しています。これらの各段階にはそれぞれ厳密なルールがあります。ルールの役割は、信頼性に関わる問題なしに新製品を投入できるようにすることにあります。また、信頼性技術グループは、新しいウェーハ製造や組立ての技術が既存の信頼性要件を満たし、将来新しい製品やプロセスを開発していくための強力な基盤になるようにすることを任務としています。

製品およびプロセスの信頼性に関する ADI の方針は、信頼性はあらかじめ考慮され、プロセスに組み込まれていなければならない、後の段階の結果を組み込むことはできないということを前提としています[20-32]。したがって、ADI の信頼性システムは次の 3 つの基本的な活動に基づいています。

1. 既知の設計パラメータの最大/最小値において新しいウェーハ製造プロセスとパッケージ技術について独立した検証、証明、認定評価を行うこと。
2. 製造のすべての段階に統計的プロセスコントロールを使用することにより、継続的改善を推進してプロセスの信頼性を向上させること。
3. 厳密な設計ツールと設計チェッカーを使用し、シリコン製造開始以前の設計段階において信頼性に関わる潜在的な問題を特定すること。

このシステムは、プロセスの開発、制御、設計ルールに重点を置き、高い信頼性を備えた製品を製造します。これは、信頼性作り込み (BIR : Building-In Reliability) プログラムと信頼性考慮設計 (DFR : Design For Reliability) プログラムによって実現します。

内在的な信頼性の低下を確認するためのモデルとしては、JEDEC 仕様により推奨されている業界標準モデルがあり、酸化膜経時破壊 (TDDB)、エレクトロマイグレーション (EM)、ストレス・ボイディング (SV)、ホットキャリア (MOS HC)、 V_{BE} ホットキャリア、負バイアス温度不安定性 (NBTI) の試験を行います。これらのモデルを使用してさまざまな条件における特性データから寿命を予測することにより、各種プロセスに対して安全動作領域 (SOA : Safe Operating Area) を設定します。

BIR モニタリング

BIR モニタリングプログラムは、稼働中のすべての自社独自プロセスをモニタリングするものです。モニタリングプログラムの実施頻度はプロセスの稼働率によって異なり、四半期ごとから 1 年ごとまでの幅があり、該当するあらゆる内在的な摩耗メカニズムを対象とします。可能であれば代用データを使用し、プロセス・ノードごと (たとえば $0.6 \mu\text{m}$) にプロセスの範囲を定めますが、モニタリング範囲としては各製造工場を一単位として扱います。

信頼性の作り込み (BIR)

ADI は、プロセスを信頼できるものとするには基礎的なレベルから信頼性を作り込んでいかなければならないと考えています。生産開始後にプロセスを変更したり修正したりすることは、非常に困難である上にコストもかかるためです。信頼性グループが BIR を改善するために新しい技術を開発するときは、プロセス開発技術者や製造技術者と協力して作業を進めます。信頼性グループは、故障密度を十分なレベルまで低下させ、大幅な歩留まりの低下や信頼性関連のリスクを招かずに製品を製造できるように努力しています。また、すべての摩耗故障メカニズムについて徹底的な特性評価を行い、特別に設計された試験チップに対して加速試験を実施することによって、製品寿命に関する特性を把握します。

プロセスの信頼性に関係する主な活動は、摩耗故障メカニズムのモデル化、潜在的な問題の特定と低減、汚染の除去です。プロセスの信頼性には、EM やホットキャリア効果などの信頼性に関する設計ルールを定めることや、最先端技術製品を使用してプロセスの認定評価を実施することも含まれます。

酸化膜経時破壊 (TDDB)

酸化膜の品質と信頼性を予測するために使われる方法は数多くあります。アナログ・デバイスでは、酸化膜経時破壊試験、一般的には TDDB[23-40]試験と言われる試験方法を使用して、信頼性の観点から酸化膜の特性評価を行っています。ほかに、 Q_{bd} や V_{bd} などの方法も使用できます。ADI では、ウェーハ製造施設内における酸化膜の継続的な品質を判定するための継続的モニタリングとしてこの 2 つの方法を使用しています。

TDDB 試験では、電界または電圧を一定に保ち、温度を固定します。方法としては、コンデンサを一定の電圧に保ち、電流が所定の値に達するまで継続的にモニタリングします。電流が所定の値に達した時点で被試験デバイスは故障したものとみなされ、故障発生ごとに時間が記録されます。故障基準は一般にマイクロアンペア単位で、その被試験デバイス用に作成されたファウラー・ノルトハイム破壊曲線からあらかじめ選択しておきます。図 13 は、 $0.6 \mu\text{m}$ DPDM CMOS プロセスの p 型基板上に形成された $5E4 \mu\text{m}^2$ コンデンサのファウラー・ノルトハイム曲線です。

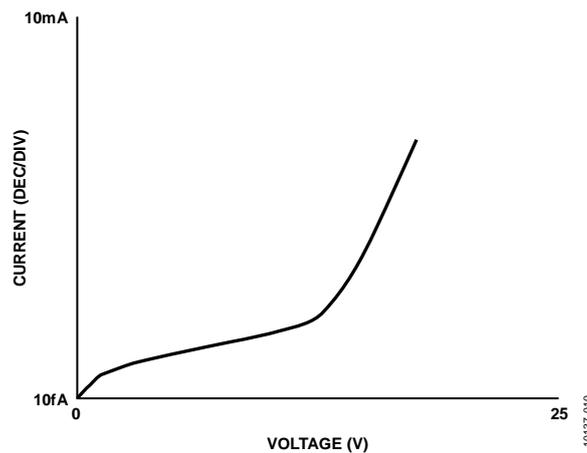


図 13. 絶縁破壊曲線

背景理論

酸化膜経時破壊 (TDDB) は電荷注入メカニズムで、そのプロセスは蓄積段階と暴走段階の2つに分けることができます。

蓄積段階では、電流が流れるとともに酸化膜のさまざまな部分に電荷が必ず蓄積されます。蓄積される電荷は時間とともに増加し、やがて強力な電界 (電界 = 電圧 / 酸化膜厚) と高電流の領域が形成されます。この電界形成プロセスは、暴走段階が始まるまで続きます。

暴走段階では、電荷注入によって形成された電界の合計とデバイスに加わる電界が、絶縁体のどこかにある最弱点において絶縁破壊閾値を超えます。これらのポイントでは大きな電流が流れ始めて絶縁体の温度が上昇し、それによって電流値がさらに増大します。この正帰還ループはやがて電気的および熱的な暴走を招き、最終的に酸化膜を破壊します。この暴走段階は、きわめて短時間で発生します。

ゲート絶縁体は、特定プロセスの MOS トランジスタに使われているゲートの厚さによって異なります。TDDB は、トランジスタ自体に行うこともあれば、より一般的には、MOS 構造と同等のゲート酸化膜厚さを持つコンデンサ構造に対して行うこともあります。通常、コンデンサは小さく平坦な構造をしており、酸化膜は基板上またはウェル上に形成されます。TDDB 試験は、図 14 に示すように積層状態で行われるという点が重要です。

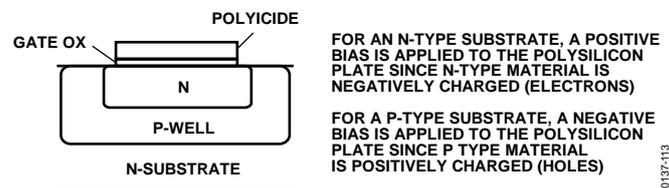


図 14. 積層状態での試験

TDDB 試験は電界または電圧を一定に保ち、温度を固定して行われます。一定の電圧をコンデンサに印加し、電流が所定の値に達するまで継続的にモニタリングします。この値に達した時点で被試験デバイスは故障したものとみなされ、故障発生ごとに時間を記録します。故障基準は一般にマイクロアンペア (μA) 単位で、その被試験デバイス用に作成されたファウラー・ノルトハイム破壊曲線をもとにあらかじめ選択しておきます。

試験方法 / デバイス

MOS トランジスタに使われるゲート絶縁体に対して TDDB 試験を実施し、特定構造の信頼性を測定します。この試験はトランジスタ自体に行うこともあれば、MOS 構造と同等のゲート酸化膜厚さを持つコンデンサ構造に対して行うこともあります。通常はコンデンサ構造が使われます。これらは小さく平坦な構造をしており、酸化膜は基板上またはウェル上に形成されますが、試験は積層状態で行われます。つまり、p 基板のコンデンサでは、ポリシリコン・プレートに負のバイアスをかけます。

装置

試験装置は、購入するか内製することができます。ただし、いずれも摩耗タイプの試験用に特に作成されたものです。試験装置は、通常、マイクロプロセッサ、電圧源を含む制御されたメインフレーム、および電流測定装置で構成されます。被試験デバイスをプリント基板上に置き、加熱炉に入れます。加熱炉は 300°C で使用可能ですが、回路基板の材料上の制約から最大使用温度は 250°C までです。

試験条件

使用する試験条件は、必要とする結果によって異なります。プロセスのモニタリングが目的の場合は、通常、1つの電圧と1つの温度を使用します。プロセスの特性評価を行う場合は、電圧、温度、コンデンサ・サイズのさまざまな組み合わせを使用します。これらの組み合わせを使用することによって、電圧加速係数、 γ (ガンマ)、熱活性化エネルギー、 E_a 、さまざまな面積サイズにおける故障時間の面積依存性を計算することができます。これらはすべて、製品の信頼性を正確に予測する上で必要なものです。

選択したサンプルのサイズは統計的に有意なものあると同時に、内因性欠陥分布と外因性欠陥分布（該当する場合）を明確にできるようなものでなければなりません。

データ分析／モデリング

試験から生成されるデータは故障までの時間という形を取ります。これは、対数正規分布の統計手法を使用して分析し、さまざまな試験条件に対して50%累計故障率までの時間を求めて E_a と γ を計算します。

このようなデータセットを収集すれば、電界加速と熱活性化エネルギーを計算することができます。酸化膜の寿命は、適切なモデルを使用して予測できます。ADIでは、線形Eモデルを使用して酸化膜の信頼性を予測しています。基本式を式4に示します。この式は、ADIのプロセスについて得られたデータに十分に一致することが実証されています。TDDDBデータを分析するときは、使用するコンデンサがすべて同じサイズで、加速パラメータを計算するために分析する分布が内因性欠陥分布であることに注意する必要があります。

$$TTF_{USE} = Exp.[-E_a/k(1/T_{TEST} - 1/T_{USE})] \times Exp. \gamma (V_{TEST} - V_{USE}) \times TTF_{TEST} \quad (4)$$

ここで、

TTF_{USE} と TTF_{TEST} は故障発生までの使用時間と試験時間（たとえば0.1%累積故障）

T_{USE} と T_{TEST} は使用温度と試験温度 (K)

E_a は熱活性化エネルギー（通常は0.7 eV）

k はボルツマン定数 = 8.63 E-5 eV/K

γ は電圧加速係数（通常は2）

V_{TEST} と V_{USE} は試験電圧と使用電圧 (V)

電界加速係数と温度加速係数の計算には、同じサイズのコンデンサを使用することが重要です。これは、電界加速係数と温度加速係数の値が同じであっても、大面積のコンデンサの場合は、小面積のものよりも故障時間が短くなるためです。結果として、面積が大きいトランジスタとコンデンサの寿命は、小さいものの予想寿命よりも短くなります。図15は、225°Cで一定の電圧ストレスをかけた場合の故障時間をさまざまな面積のコンデンサについて示したものです。T50%故障の違いを確認することができます。図16は、温度の逆数と50%故障発生時間の関係をいくつかのコンデンサ・グループについて片対数グラフで示したものです。熱活性化エネルギーは、このデータに対応したグラフの傾きから計算できます。

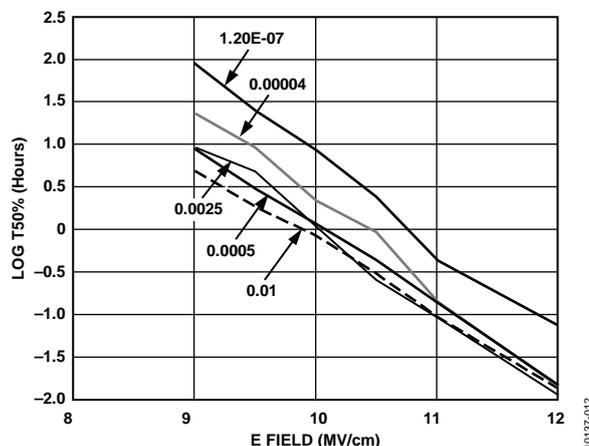


図 15. 電界 対 T50%故障時間

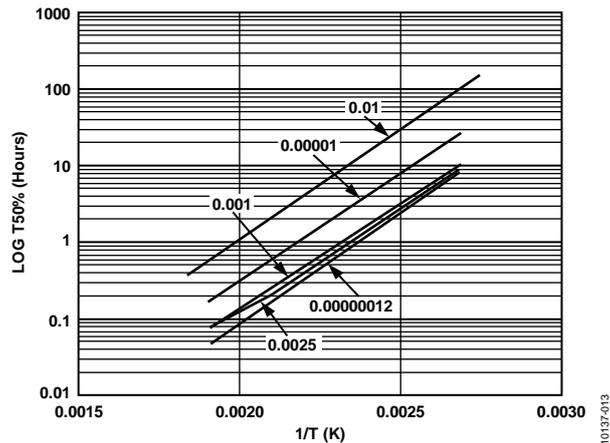


図 16. 1/T(K) 対 T50%故障時間

線形 E モデルをもとに、式 5 に示すようにこれらの実験から有効寿命を計算することができます。

$$TTF_{USE} = Exp \left[\frac{-Ea}{k} \left(\frac{1}{T_{TEST}} - \frac{1}{T_{USE}} \right) \right] \times Exp \gamma (V_{TEST} - V_{USE}) \times TTF_{TEST} \quad (5)$$

TDDB 解析は、一定の電圧と温度で構造を試験する方法として利用でき、その結果をユーザ条件下の値に変換することができます (式 5)。試験ストレス電圧には破壊電圧に近い値を選び、試験温度は一般に 225°C に設定します。ユーザ条件は、そのプロセス/製品の最大ユーザ電圧定格と使用温度に応じて異なります。

TDDB 試験とともに使用する JEDEC 仕様は、以下の通りです。

- JP001.01: Foundry Process Qualification Guidelines (ファウンドリ・プロセス認定評価ガイドライン)
- JEP122: Failure Mechanisms and Models for Semiconductor Devices (半導体デバイスにおける故障のメカニズムとモデル)

エレクトロマイグレーション

エレクトロマイグレーション (EM) は、電子風によって生じた拡散によって金属物質が動く現象です。この現象は、電流が金属の接合部に流れ、そこで電子風が発生すると、その力によってアルミニウム原子が電子風の方向に拡散して起こります。この物質の移動によって図 17 に示すようにボイドやヒロックが成長し、それによって、最終的には断線、隣接トラックの短絡、あるいはライン抵抗の変化による故障が発生します。

イオンのドリフトを決める 2 つの力は、(1) 静的電界から熱活性化イオンにかかる力 (活性化イオンは加えられた力の方向へ動きます) と、(2) 電子風による力 (熱活性化イオンと衝突した電子による力で、電界と反対の方向に作用します) です。この故障モードは、温度と電流が増加するに従ってエスカレートします。このうち大きな影響を与えるのが電子風で、個体表面、結晶粒界、接合部などの拡散経路に沿ってイオン・ドリフトが生じます。EM に関する故障モードの主なもの、陰極すなわち負極の端子に生じるボイドです。これは、空孔を埋めるのは空孔周囲のイオンよりも電子流の上流側にあるイオンのほうが多いためです。一方、正極端子には金属が蓄積して、ヒロックすなわち突起が生じ、結果として短絡が発生することになります。

EM は IC の故障モードとして何年も前から広く知られていますが [49-54]、有効寿命の終わりに近づくにつれこの故障の発生に関する懸念が大きくなります。懸念が強くなったのは、複数レベルのメタライゼーションによりフィーチャ・サイズがサブミクロンへと小型化したことに伴っています。これらの技術上の傾向は、接合部の電流密度を増加させるとともにデバイスの動作温度を引き上げていますが、これらはいずれも EM を促進させます。EM に関する信頼性を保証することは非常に複雑な作業であり、単に電流密度を制限するための設計ルールを定めるだけでなく、ほかに数多くのことを考慮する必要があります。EM 故障には、金属品質から絶縁処理、トポグラフィの厳密さ、回路密度に至るまで、製造プロセスの数多くの側面が影響します。

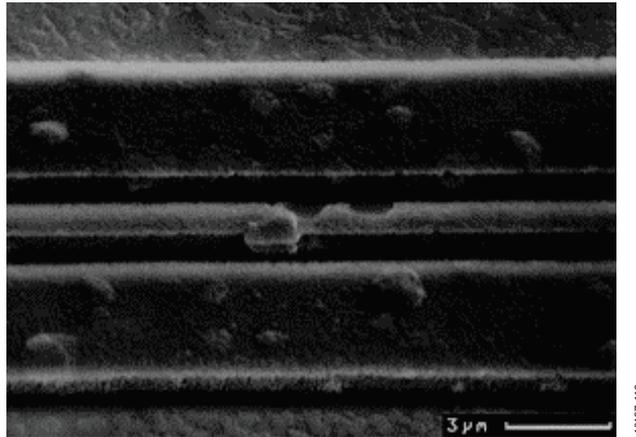


図 17. EM 故障

試験方法

専用の EM 試験構造は、温度（180°C～225°C）および電流密度（20～55 mA/μm²）の加速試験条件で試験します。これらの試験で故障時間を記録し、これを標準的なエンド・ユーザの使用条件の温度および電流密度に変換します。この加速試験条件からエンド・ユーザ条件への変換は、ブラックの式（式 6）を使用します。

$$Tf = A \times J^n \times \exp(E_a/kT) \quad (6)$$

ここで、

- Tf = 故障時間（時間数）
- A = プロセス依存パラメータ
- J = 電流密度（mA/μm²）
- n = 電流密度指数
- E_a = 活性化エネルギー（eV）
- k = ボルツマン定数（eV/k）
- T = 温度（K）

専用 EM 試験構造は ASTM F-1259 設計ルールに従って設計され、平坦なトポグラフィ・基板上のさまざまな幅の金属配線で構成されます。これらの構造の信頼性の判定には、ビア・チェーンと接点チェーンも使います。

プロセスモニタリングの結果

プロセスの特性評価が完了し、所定の設計ルールによって最終的な形態を決定したら、特別に設計された専用試験チップの材料サンプルを月ごとに試験して、その結果をウェーハ工場の製造グループにフィードバックします。図 18 は代表的な結果の一例を示したもので、限界寿命の要件を満たしたモニタリング実験のデータ・ポイントを示しています。データの違いは、EM のさまざまな構造の違いによるものです。ブラックの式を使用して加速試験条件から通常使用条件への変換を行うことにより、そのプロセスの管理線が得られます。試験サンプルの 50% が故障するまでの最小時間と対応するシグマ（Σ）値を使用することによって管理線を決定します。この管理線は、式 7 に示すように、125°C の温度条件下で 10 年間に 0.1% 未満の累積故障率を EM 試験条件から求めるために必要です。

$$Tf(\text{test}50\%) = \text{Exp}.(93.08 \times \Sigma) \times (10 \text{ Yrs. } (A_{JD} \times A_T)) \quad (7)$$

A_{JD} と A_T は、電流および温度を使用条件から試験条件へ変換するための加速係数です。上述の TDDDB 試験と同様の方法で計算します。シグマ値は分布の分散です。

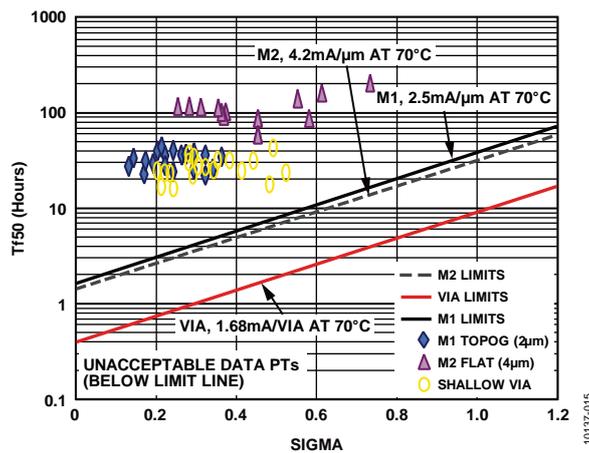


図 18. 0.6 µm プロセスの EM モニタリング結果の選択

試験を実施したすべての製品について試験が完了した時点で分析が行われ、発見された故障が本当に EM 故障であるかどうかを検証します。図 18 は、電流に対するボイド（金属が移動した後にできた空隙）とヒロック（金属が堆積した領域）の位置を示します。

EM 試験と分析

関連する JEDEC 規格は JESD61、JESD87、JESD33A、JESD37、JESD63、および使用した ASTM 構造は ASTM:F1260-96 EIAJ-986 です。

代表的な EM 実験のために行われた試験とデータの分析を図 19 に示します。右下は、DUT の抵抗値が正しいことを確認するためのクイック・チェックを示したものです。左上のグラフは、各 DUT の TCR を計算するための TCR プロットです。右上のプロットは経時的な抵抗の変化を、この例では故障基準が 20% 増加するまでモニタリングしたものです。最後に、左下の図は、EM 寿命計算用の統計データを収集するために使用した、4 つの異なる試験片の対数正規プロットを示しています。

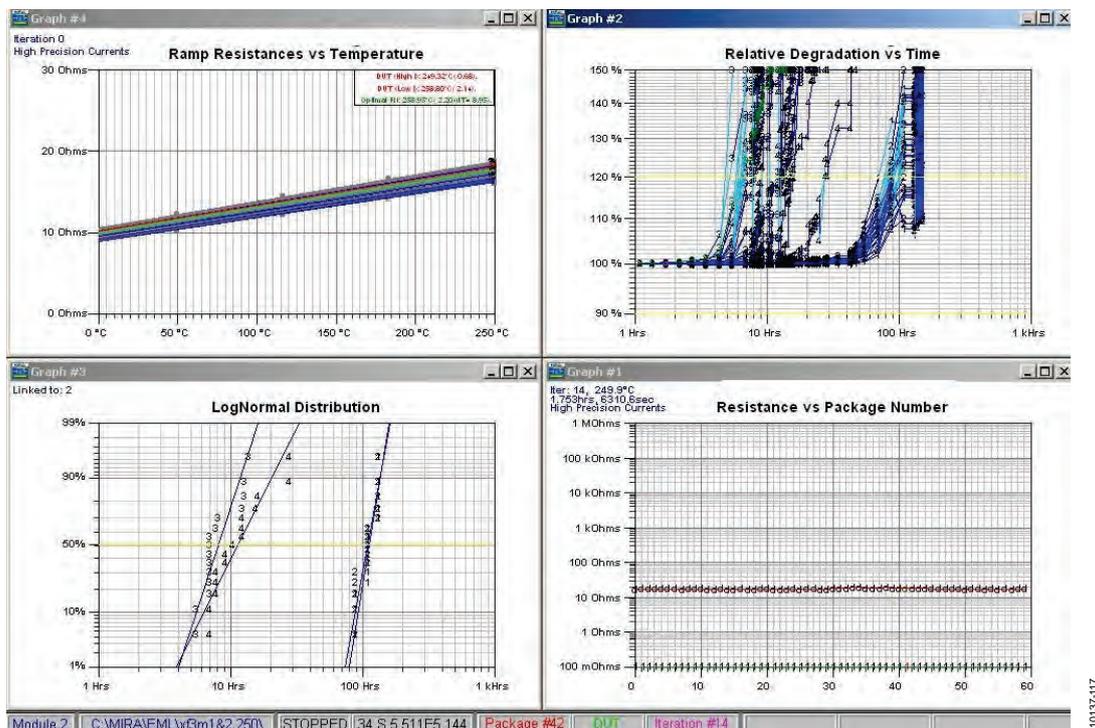


図 19. EM 試験と分析

EM 用の分析方法は、線形回帰分析によって EM モデルのパラメータを計算できることを前提としています。また、EM 実験により得られる MTTF データはブラックの式によってモデル化できるということも前提となっています。

活性化エネルギー (E_a) の計算では、電流密度を一定に保ち、3 つの異なる温度で 3 つの EM 実験を行います。これら 3 つの $1/KT$ 対 MTTF のプロットは直線で、図 20 の例に示すようにその勾配は活性化エネルギーを表しています。

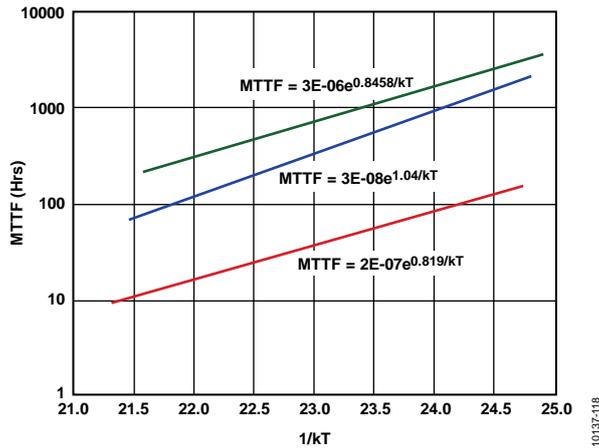


図 20. 活性化エネルギー (E_a)

電流指数の計算では、温度を一定に保ち、3つの異なる電流密度で3つのEM実験を行います。これら3つの1/J対MTTFのプロットは直線で、図21に示すようにその勾配は電流密度指数を表しています。

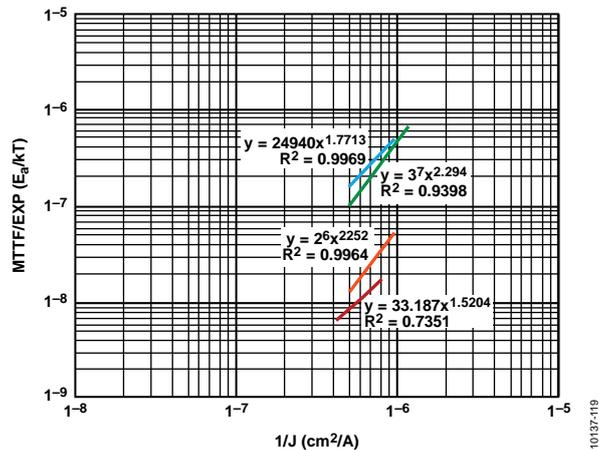


図 21. 電流指数 (n)

ブラックの式のすべてのパラメータが決まり、それぞれの金属レベル、接点、ビアについてデータを収集すれば、プロセスごとにジャンクション温度 (T_j) に対する電流密度を計算することができます。

MOS ホットキャリア注入

現在、MOS のホットキャリアによる劣化[61 – 68]が重要な問題となっています。これは、デバイスの小型化のペースに電源の低電圧化が追いつけず、その結果シリコンおよびゲート酸化膜の電界強度が増大しているためです。pMOS よりも nMOS の劣化の度合はるかに大きいので、通常は nMOS のみを試験します。

図 22 に示すように、ホットキャリアはドレイン領域の大きな電界のためにチャンネル内に発生します。ドーピング・レベルが高くチャンネル長が短いと、この横方向の電界が生じます。チャンネル内の電子が格子のためにエネルギーを失うよりも早く電界からエネルギーを得ることによって、ホットキャリアが生成されます。その結果、キャリアと格子の熱的平衡状態が失われます。これらの高エネルギー電子の衝突電離によって、電子/正孔ペアが生成されます。これらのペアのうち正孔は基板電流となり、電子は、十分なエネルギーを得ることができた場合、エネルギー障壁に打ち勝って、トンネル効果で酸化膜内に入り込みます。これらの酸化膜内に電子がトラップされることで接点が形成され、これによって V_T 、 I_{DS} 、および G_M (トランスコンダクタンス) などのパラメータが影響を受けます。

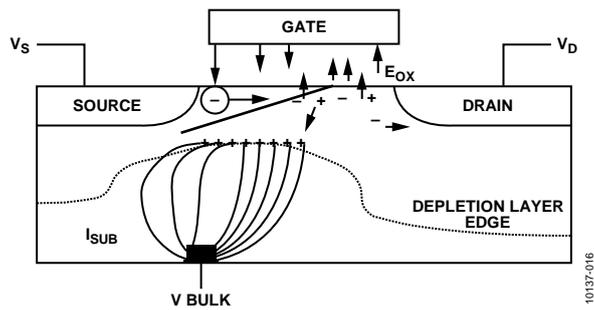


図 22. ホットエレクトロン注入

試験方法

ホットキャリア試験には、そのプロセスにおける公称ゲート長を持つ nMOS 公称 L_{eff} デバイスを使用します。室温における DC バイアスとしてストレスを加えます。通常、使用するサンプルの合計は 24 で、8 個ずつのデバイスにそれぞれ 3 つの（プロセスにより）異なるストレス V_{DS} 条件を加えます。使用する x ストレス電圧は最大ユーザ電圧より高く、オン状態ブレイクダウン電圧より低い値にします。 V_{gs} を最大基板電流に設定し、 V_{SS} と V_{BS} を 0V に設定します。故障基準は、 G_{Mmax} （最大トランスコンダクタンス）が 10%シフトした時点です。

寿命予測

寿命予測には、パークレー・モデルを使用します。

$$t_{tf} \times I_{DS} = Cx^{-m} \tag{8}$$

ここで、

$t_{tf} = 0.1\%$ が故障するまでの時間

C は図 23 の y 軸切片から得られたプロセス固有のパラメータ

x は I_{BS}/I_{DS}

m は図 23 のグラフ勾配から得られた正孔注入または電子注入

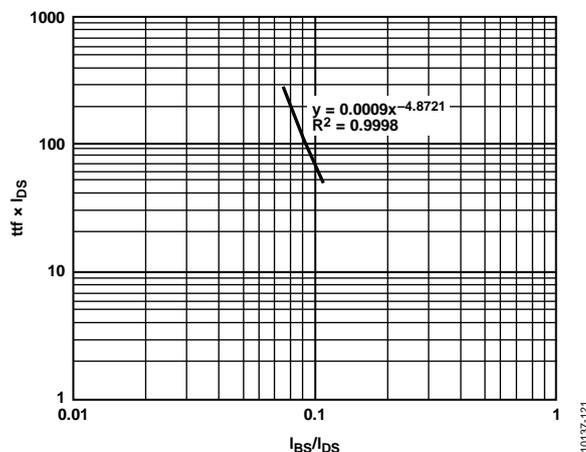


図 23. ホットキャリア注入に関する I_{BS}/I_{DS} 対 標準故障時間の曲線

データ分析

代表的な nMOS ホットキャリア実験から得たデータは、以下のように分析します。

- 図 24 に示すように、各デバイスにおいて 10%の劣化が発生するまでの時間を累積確率プロットにします。0.1%まで時間外挿を行うことで、このグラフから各ストレス・レベルに応じた故障時間が得られます。
- 各ストレス・レベルにつき、 I_{BS}/I_{DS} 対 $T \times 0.1\% \times I_{DS}$ のグラフを両対数スケールでプロットします（図 23 を参照）。べき乗則を使用してデータに合った傾向線を引くことによって得られる式が、寿命予測に使用するモデルになります。一般的に、成熟したプロセスであれば、パークレーの式における係数 m の値は既知の値になります。たとえば、通常、 $0.6 \mu\text{m}$ ノードでは 4.2、 $0.35 \mu\text{m}$ ノードでは 3 です。
- 前述のステップの式を使用して、最悪使用条件下の寿命を計算することができます。この結果は DC 寿命です。AC 寿命の値は、次に示す変換係数を使用することによって計算できます。

$$t_{AC} = t_{DC} \times 170/2.2$$

ここで、170 は DC から AC への変換係数 (Intel による値) で、2.2 は室温から -55°C への変換係数です。この式には熱加速係数 (E_a) はなく、室温変換係数を使用します。格子の安定性の関係上、この故障メカニズムが多く見られるのは低温環境であるためです。代表的な寿命の基準は AC で 10 年、DC で 0.2 年です。

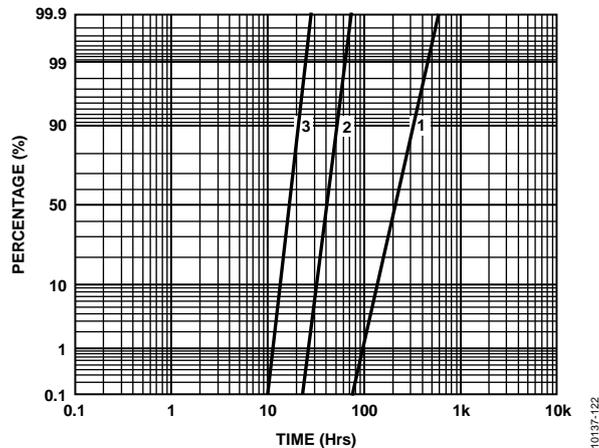


図 24. ホットキャリア劣化の累積確率

ホットキャリア試験の JEDEC 仕様は、JESD28-A 「A Procedure for Measuring N-Channel MOSFET Hot-Carrier-Induced Degradation under DC Stress」(DC ストレス下における N チャンネル MOSFET のホットキャリア劣化測定手順)、および JESD28-1 「N-Channel MOSFET Hot Carrier Data Analysis」 (N チャンネル MOSFET のホットキャリア・データ分析) です。

DMOS ホットキャリア注入

ここでは、図 25 に示すような二重拡散金属酸化半導体 (DMOS) デバイスの特性評価と HC ストレス試験について述べます[69]。これらのトランジスタは最大 $\pm 10\%$ で定格が定められていますが、これらの定格は V_{ds} のみに適用されます。ゲート酸化膜の厚さは 5 V MOS デバイスの酸化膜の厚さと同じで、 V_{gs} の定格は $5\text{ V} \pm 10\%$ です。先に述べた標準 HC 試験の原則は DMOS デバイスにも当てはまりますが、ストレスと実験セットアップに関して追加的な条件があり、DMOS デバイスの特性評価を正しく行うためには、それらの条件も含める必要があります。

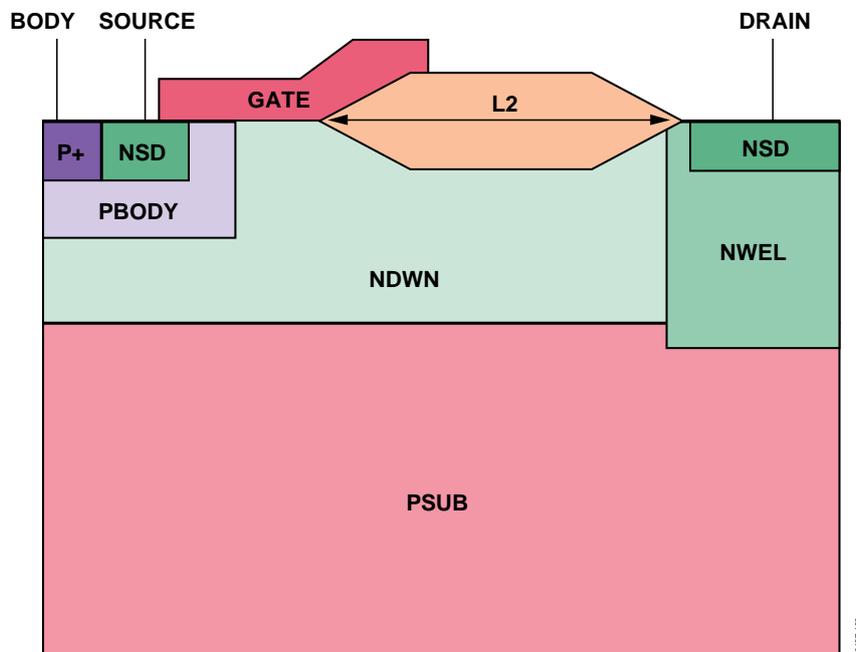


図 25. nDMOS デバイス

DMOS の特性評価

標準 MOS 構造の場合と同様、ストレス条件と使用条件を決定するには、デバイスの初期特性評価を行う必要があります。これらの条件を決定するには、特性評価を行うデバイスの I_d/V_g 曲線と I_{sub}/V_g 曲線を最初に作成しなければなりません。

MOS と DMOS のデバイス特性の大きな違いのひとつは、 I_{submax} に対応する値よりも V_{gs} 値が大きい場合、基板電流が後で増加することです。40 V DMOS デバイスにおける例を図 26 に示します。ここでは、さまざまな V_{ds} 値に対する I_{BS} の値を、 V_{gs} の関数としてプロット

しています。Vgs 値が高いときの電流の第 2 ピークは Isubkick で表し、一般的にバイポーラ・デバイスに対応する Isubkirk と区別します。図に示すように、Isubkick は、Vds 値が高いときに Isubmax より大きくなります。基板電流は一般にホットキャリア現象を示すものとして使われることを考えると、Isubmax 条件だけではなく、Isubkick 条件でもホットキャリアによる劣化をモニタリングすることは合理的です。

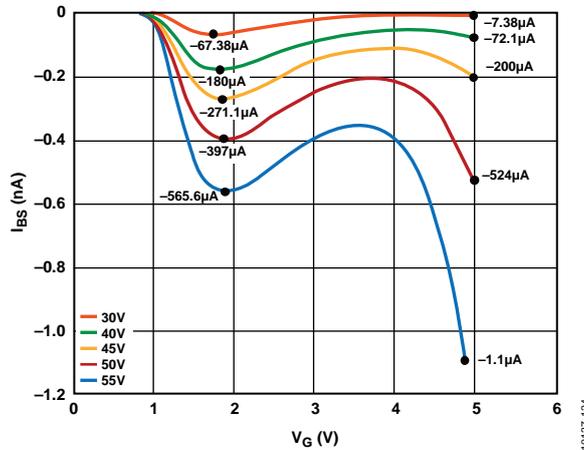


図 26. Vds の関数としてプロットした 40 V HVD MOS IBS/Vgs 特性

Isubkick 条件でストレスを加えると、デバイスの消費電力は Isubmax 条件でストレスを加えた場合の値よりも大きくなりますが、この傾向は HVD MOS デバイスにおいて特に顕著です。このためデバイスの自己発熱がかなり大きくなり、本当のホットキャリアによる劣化が隠れてしまうことがあります。この例を図 30 に示します。

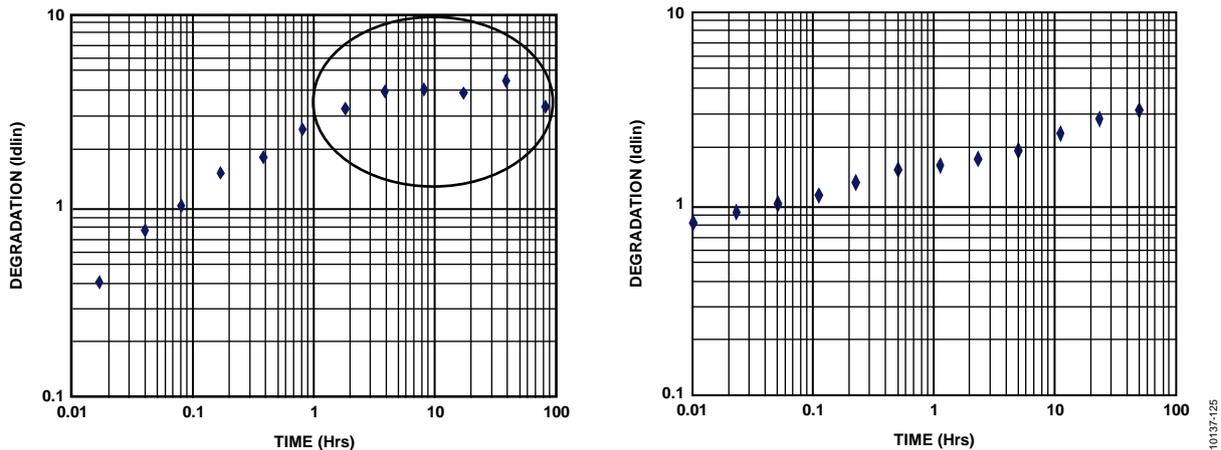


図 27. 回復時間を 1 時間としてポスト処理を行った場合の影響

秘訣

すべての DMOS ホットキャリア・ストレス試験においては（特に HVD MOS におけるもの）、それぞれの暫定ストレス時間の経過後 1 時間の回復時間を設けてからデバイス特性をモニタリングする必要があります。この回復時間は、デバイスを冷却し、デバイスのパラメータを正確に測定して初期 T0 値と比較し、真の劣化率 (%) を得るために必要です。

バイポーラ・ホットキャリア

説明

高性能バイポーラ・トランジスタにおける信頼性に関わる主な問題は、エミッタ・ベース pn 接合の逆バイアス動作時にホットキャリア (HC) が発生することによって、順方向電流利得 (hfe) が減少することです[70]。バイポーラ HC 劣化は、デバイスのサイズに大きく依存します。全体としての目標は、信頼性を中心とした規則を策定することによって HC 劣化を低減してトランジスタの信頼性を向上させることです。

デバイス性能向上のために縦横ともにサイズが小さくなるのに応じて、ドーピング・レベルを上げることによって最適性能を維持する必要があります。エミッタとベースのドーピング密度が高いと、エミッタ周辺に非常に大きな電界ができます。エミッタ・ベース接合に逆バイアスをかける際、この大きな電界のためにホットキャリアが生じ、エミッタ・エッジ周囲のスペーサ酸化膜を劣化させ、順方向バイアス時の再結合電流が増加することがあります。コレクタ電流は変わりません。その結果、IB が増加することによって電流利得が減少し、これによってバイポーラ回路の性能が制限されることがあります。

試験方法

HCによる劣化を加速する方法は2つあります。逆 e-b 電圧によってストレスを加える方法と、逆 e-b 電流によってストレスを加える方法です。ADI では一定電流でストレスを加える方法を採用しています。逆電流は逆電圧よりも電界に対して敏感に反応するため、この方法のほうが一定電圧でストレスを加えるよりも整合性の高い結果を得ることができます。

この試験システムは、プロセスに応じて強制的に一連の電流（通常は3）を加え、デバイスにストレスを与えます。0.01 時間から始まって、対数目盛の 10 倍区間のストレス時間ごとに 3 回測定します。故障基準は、hfe が 10%劣化するまでの時間です。

バイポーラ寿命計算

hfe が 10%減少するまでの時間の累積確率プロットを電流ごとに作成し、T 0.1%故障までの時間を求めます。

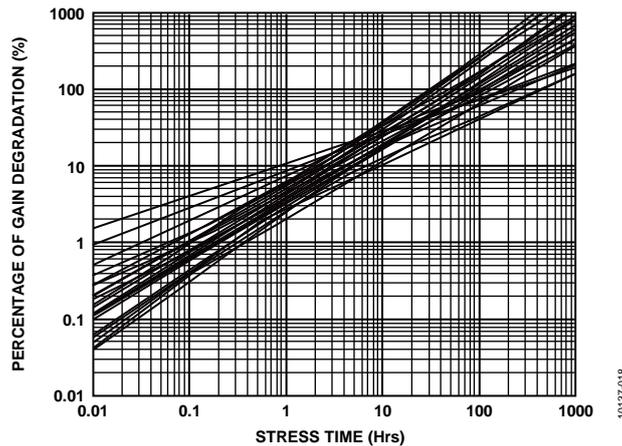


図 28. ストレス時間 対 %利得劣化のグラフ

バイポーラ・トランジスタにストレスを加えると、利得 (hfe) は図 28 に示すようにシフトします。トランジスタの寿命期間内に利得が目に見えるほどシフトした場合、そのトランジスタはもはや仕様通りに動作せず回路故障を引き起こす可能性があり、このため長期的な信頼性を損なう有害要因となります。利得 (hfe) は I_C と I_B の単純な比です。図 29 と図 30 に示すように、これらのパラメータは V_{BE} とともに変化し (ガンメル・プロット)、その結果、利得は I_C とともに変化します。図 29 で、ガンメル・プロットと I_C 値は上側の曲線で、 I_B 値は下側の曲線です。図 30 に示すように、利得も I_C とともに変化します。

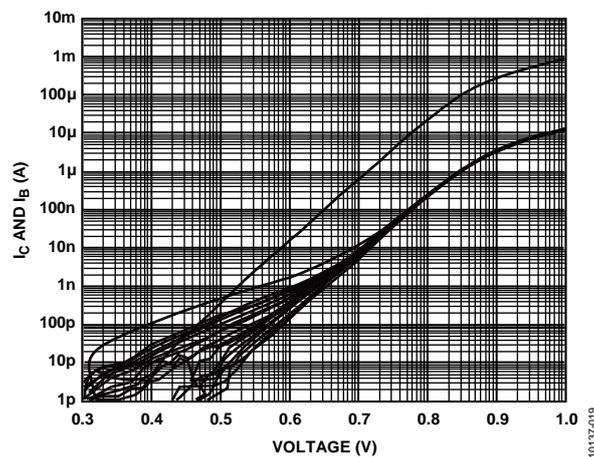


図 29. 電圧 対 ガンメル・プロット I_C (上側曲線) および I_B (下側曲線)

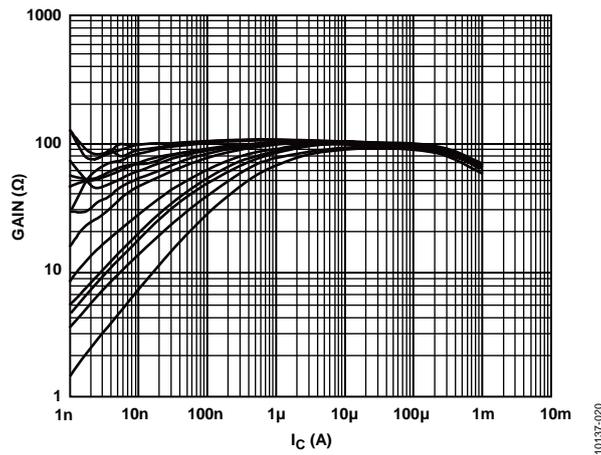


図 30. I_c 対利得のプロット

利得の劣化が判明したら、各被試験デバイスの 10%劣化の時間を計算します。図 31 に示すようにこれをプロットし、対数正規分布を前提して、各サンプル総数における 0.1%累積故障時間を外挿します。

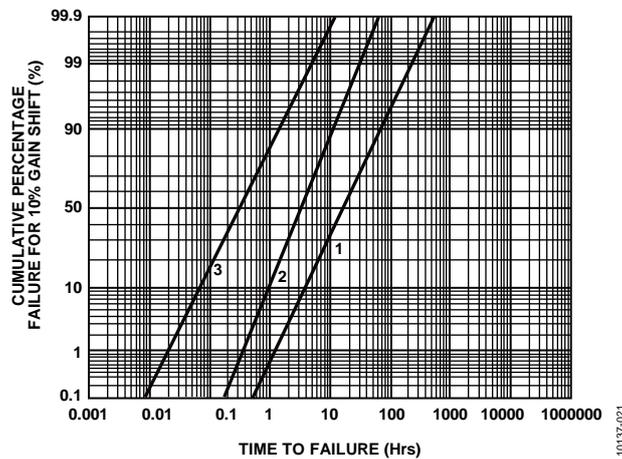


図 31. 故障時間（時間数）対 10%利得シフトの累積%故障

各ストレス条件に対する 0.1%故障までの時間を計算したら、図 32 に示すように、逆 I_E (nA) に対してこれらの値をプロットします。

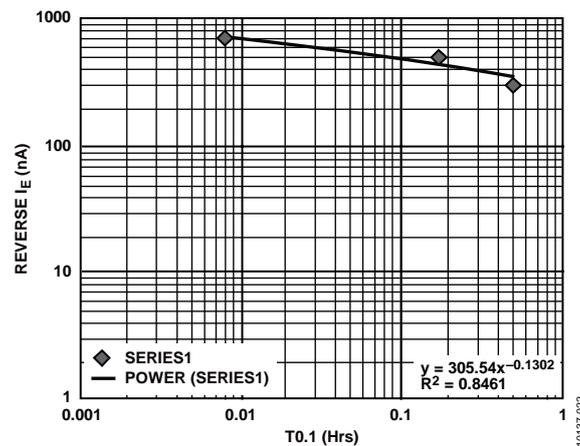


図 32. 逆バイアス I_E 対寿命

使用電圧における故障時間を特定の I_E について計算します。この電流値は、逆 V_{BE} 対逆 I_E 曲線を使用してプロセスの最大逆 V_{BE} 電圧に換算できます。この測定は未使用デバイスを使用するため、指定電圧の等価電流を計算することができます。

ストレス・マイグレーション

金属配線が細くなるにつれて ($<2\ \mu\text{m}$)、高温や熱サイクルによる故障が発生しやすくなります。メタル配線は、ストレスによって断線する可能性があります。これをストレス・マイグレーション、あるいはストレス・ボイディングと言います[71]。この故障メカニズムでは、EMや腐食の場合と異なりバイアスは存在しません。ストレス・マイグレーションは、アルミニウムの相互接続部と、パッシベーション膜あるいは層間絶縁膜の間の熱的不整合によって発生します。アルミニウム原子は、このストレスを緩和するために移動します。ストレスを緩和するためにアルミニウム原子が境界を越えて移動することもあり、これによって境界のボイドが拡大し、最終的には回路が断線することがあります。配線が完全な断線に至らなかった場合でも、この原子の移動によって金属配線の有効幅が減少し、EM故障発生の確率が高くなります。ストレス・マイグレーションへの耐性は、アルミニウム合金や、TiN、TiW、およびTiを金属層構造に使用することによって向上します。

ストレス・マイグレーション試験では、抵抗の変化をモニタリングしながら一定温度/ss(等温)でベーキングを行います。分析にあたっては、特定故障基準までの活性化エネルギーを求め、その後寿命を計算します。

プロセスの背景理論

ストレスによるボイドの発生はプロセス中、保管中、および使用中に発生する可能性があります。ADIの場合、Alベースの合金をオンチップ配線に使用しており、マイクロエレクトロニクス・チップの信頼性に関わる問題となります。ストレスの影響を受けやすいメタライゼーションは配線やWスタッド上下のボイドを成長させる可能性があります。AlSiなどの単純なメタライゼーションでは、これらのボイドが致命的な故障を招く恐れがあります。耐熱性分路層とともに層形成するAl合金のメタライゼーションの場合、ボイドによって抵抗が増大し、EMや機械的故障といったその他の故障メカニズムと連動して、デバイスの寿命を短くします。

ストレス・マイグレーション試験と分析

ストレス・マイグレーションに使用するモデルは、式9に示す温度加速用の標準アレニウス・モデルです。

$$MTTF = \text{Exp}E_a/kT \tag{9}$$

ボイド体積の式およびアレニウス・モデルとの統合化については、ストレス・マイグレーションのJEDEC規格であるJEP139「Constant Temperature Aging to Characterize Aluminum Interconnect Metallization for Stress-Induced Voiding」(ストレスによるボイドに対するアルミニウム相互接続メタライゼーションの特性を評価するための一定温度経年劣化試験)に定められています。

使用する試験構造は $2\ \mu\text{m}$ 以上の配線幅を持つ狭い蛇行型構造で、できればMet1(高ストレス)を選ぶとよいでしょう。配線幅が $1\ \mu\text{m}$ 未満の場合は、バンパー構造によるごくわずかなストレス・ボイドが存在するためです。ストレス条件は、Al合金の場合、 150°C から 250°C までのいくつかの異なる温度に分割することを推奨します。分析用データの測定に使用するグラフは絶対および相対デルタRで、T0.1、T50、およびシグマの対数正規分布に関連付け、アレニウス・モデルによって有効寿命条件に外挿します。

NBTI

負バイアス温度不安定性(NBTI)は、pMOSデバイスに見られる劣化メカニズムです。図33に示すように、これによってpMOSの駆動電流が減少します。ただし、この劣化はpMOSの電源が入っているときだけ見られるもので、電源を切るとほぼすぐに解消されてしまうため、把握したり測定したりすることが困難です。

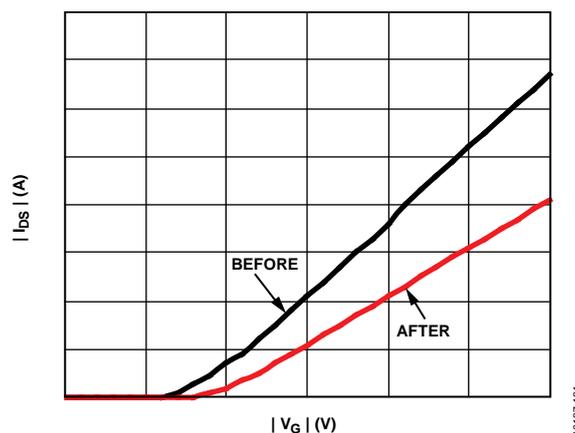


図 33. NBTI 劣化メカニズム

図 34 は、NBTI が発生する可能性があるモードでの pMOS デバイスの断面を示したものです。このモードではソースとドレインが電源に接続し、ゲートが接地されています。電源を入れると正電荷が SiO₂ シリコン界面に集まって V_T にオフセットが生じ、駆動電流が減少します。

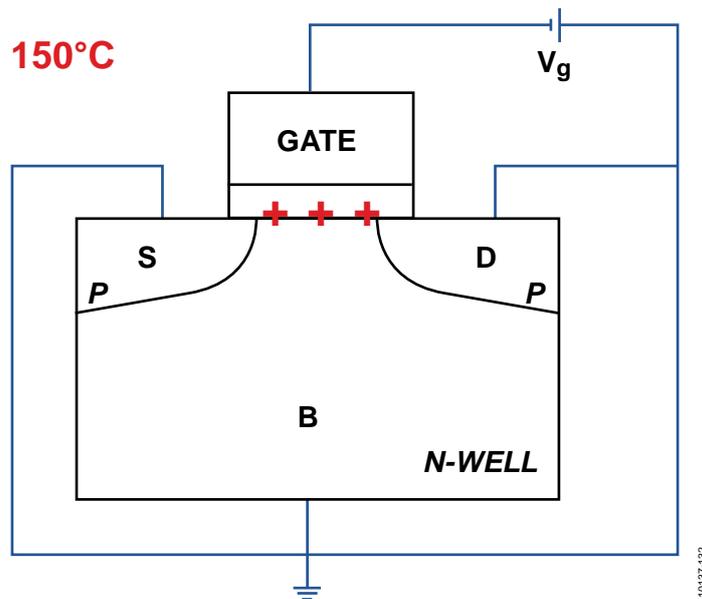


図 34. pMOS の NBTI バイアス状態

回路への影響

NBTI が回路レベルで与える影響を、アンプの入力段を例にとって図 35 に示します。パワーダウン・モードでは、周囲温度が高い場合、M2 ゲートと M3 ゲートがバイアスされます。非対称動作ではさまざまな入力信号があるため、M2 と M3 の動作が異なり、周囲温度が高くなります。これは、ジャンクション温度も高いことを意味します。その結果、I/P VOFFSET のシフトが発生します。

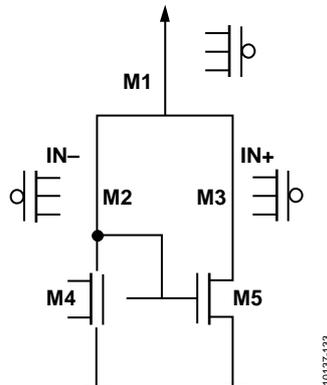


図 35. 回路への影響

今、問題になる理由

これまで考えていなかった NBTI を今問題にするようになったのは、図 36 に示すように、プロセス形状の小型化が進んだ結果、電界が著しく増大したためです[72]。

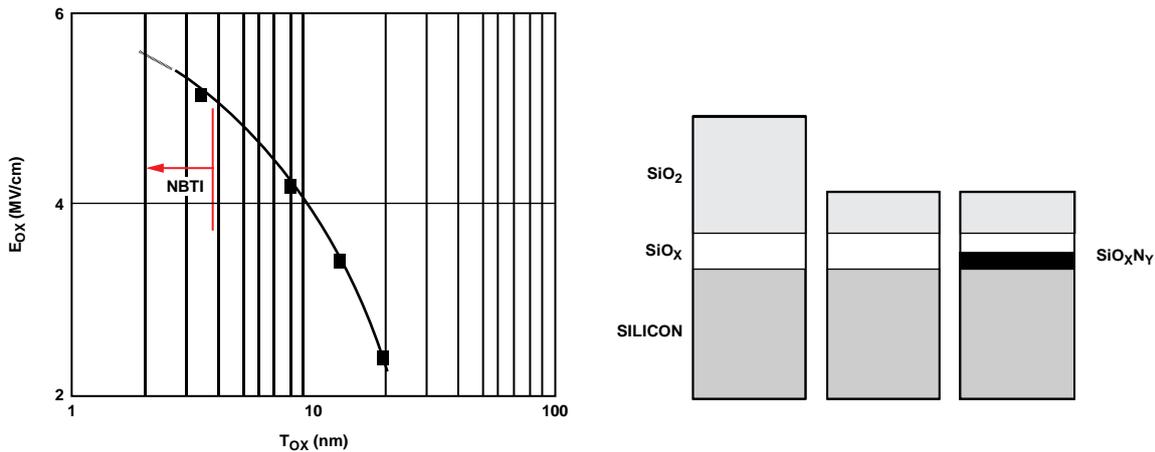


図 36. 形状の小型化と電界の増大

形状の小型化が進んだということはゲート酸化膜が薄くなったことも意味しています。つまり、故障に対する MOSFET の脆弱性が増加したのに、動作性能に対する高い期待は同じであることを意味します。NBTI の影響を低減するというプロセス技術の観点からの主な目標は、アクティブ領域内へのホウ素の侵入を減少することです。ホウ素の侵入は SiO₂ シリコン界面の損傷を招き、結果として NBTI が発生する可能性が増大します。

NBTI メカニズムとは

発表されている文献によれば、NBTI のメカニズムを説明する理論はいくつもあります。以下にいくつかの説明を示します。

- SiO₂ から Si への電子トンネル効果
- 歪み結合反応
- 酸素空孔の形成
- 電気化学反応
- SiO₂ への正孔トンネル効果
- 酸化膜中の正孔トラップ効果
- 固有正孔トラップの正孔トラップ効果

しかし要約すれば、一般的に受け入れられている NBTI メカニズムの定義は、ケイ素の水素化三重結合の欠陥と副生成物として拡散する化学種との拡散反応作用です。プロセスへの影響に関しては、注入されたホウ素の侵入によってゲートからチャンネルへホウ素が拡散する可能性があります。ゲート酸化膜にはプロセスの段階で窒素が成分として組み込まれていますが、Si/SiO₂ 界面部分においては SiON という形で存在しています。また、ソース・ドレイン注入の際にホウ素を運ぶために BF₃ の形でフッ素を使用するため、ここにはフッ素もあります。SiO_xN_y 界面には正電荷がトラップされていることがあり、これによって NBTI メカニズムが引き起こされます。処理の際に窒素を増量して SiON 層を厚くすればホウ素の侵入を低減できますが、NBTI 発生の可能性は高くなります。BF₂ を増やすことでフッ素量が増加すれば、NBTI の可能性は低くなりますが、チャンネルへのホウ素の侵入量が増え、デバイス特性に悪影響を及ぼす結果となります。

ADI が使用するディープ・サブミクロン・プロセスはすべて製造工場ベースのもですが、NBTI に関するプロセス技術は複合的な活動です。NBTI に関連する重要な領域は以下の通りです。

- 表面チャンネル pMOS と埋込みチャンネル pMOS
- ゲート絶縁材
- ゲート絶縁欠陥の低減
- 水素アニールと重水素アニール

信頼性ストレス試験方法

ADI の推奨する NBTI ストレス試験方法は、JEDEC 規格 JESD90 です。この方法では、高 E_{ox} (MV/cm) でのバイアス温度ストレスと、温度ストレス (100°~200°C) を使用します。また、V_{TH} の測定値は外挿した V_{TH} なのか実験による V_{TH} (I_D = 200 μA における値) なのかを定義する必要があります。一方、故障基準は、相対的比率 (%) の変化または MOSFET パラメータのデルタ変化として定義します。JEDEC の定める試験フローを図 37 のフローチャートに示します。

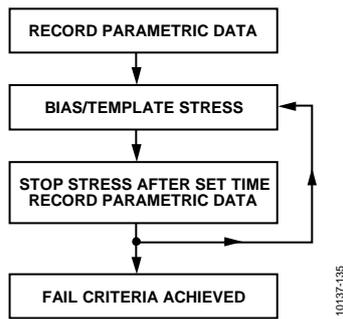


図 37. JEDEC NBTI フローチャート

信頼性データは時間依存性を示します。NBTIに関する文献はデルタ V_{TH} が時間の 4 乗根に比例すること（つまりデルタ $V_{TH} \propto \text{時間}^{0.25}$ ）を示しており、図 38 に示すように、0.18 μm プロセスの評価結果はこれを裏付けるものとなっています。

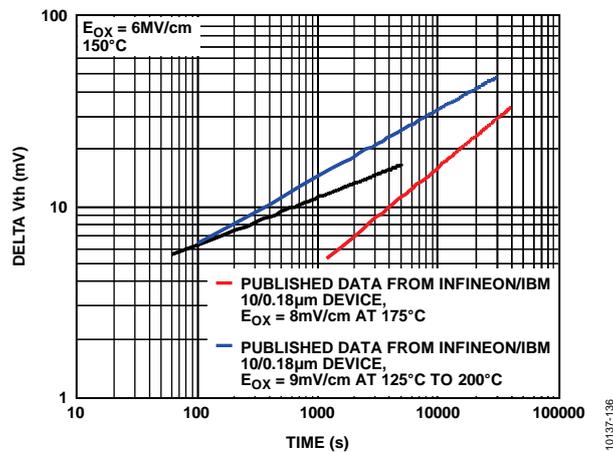


図 38. 時間比例のデルタ V_{TH}

また、信頼性データは E_{ox} への依存性も示しています。文献は $D_{V_{TH}} \propto V_{ox}$ 、あるいは $E_{ox} = V_{ox}/t_{ox}$ であることを示しており、図 39 に示すように、0.18 μm プロセスのデータはこのことを裏付けています。

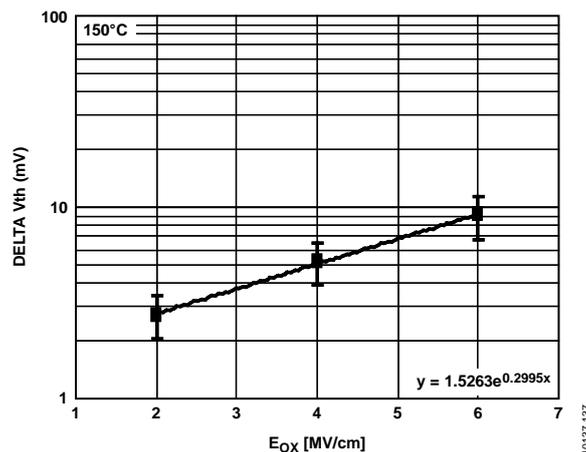


図 39. $D_{V_{TH}} \propto V_{ox}$

信頼性データは温度依存性も示しています。文献にはアレニウスの式と同様の $t \propto 1/T$ の関係にある寿命が示されており、0.25 μm プロセス技術のデータも、図 40 に示すように、やはりこれを裏付けるものとなっています。

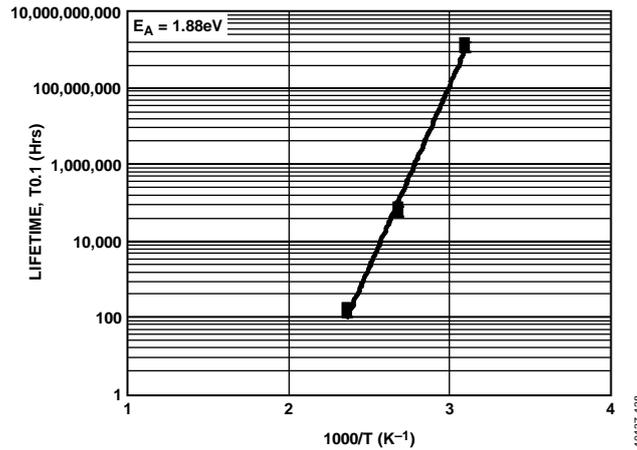


図 40. 1/T 対寿命

メカニズムの回復あるいは緩和に関しては、NBTIによる劣化には恒久的なものと同回復可能なもの両方があり、pMOSにバイアスがかけられている間は回復しませんが、バイアスを取り除くと劣化状態が解消してしまうので、後から測定することが困難になっています。回復メカニズムに関してはいくつかの理論がありますが、これを説明するにはチャージ・ポンピング法を用いる必要があります。この例を図 41 に示します[73]。

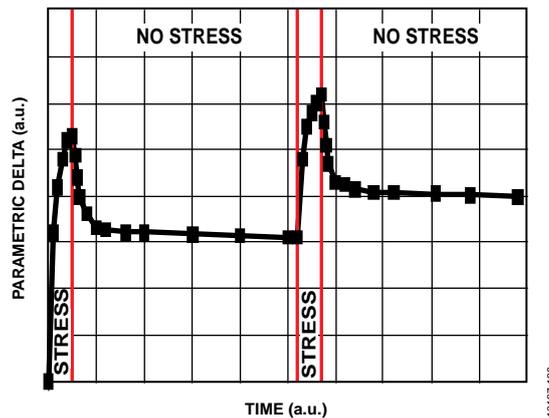


図 41. 恒久的劣化と回復可能な劣化

この回復現象のために、DCのNBTIを深刻にとらえずすぎるのは考えものです。NBTIはストレス/緩和の対称性に依存しており、約40%の回復と寿命の一桁レベルの改善が存在するからです。Vgストレスがユニポーラかバイポーラかによって周波数依存性もあり、さらにデューティ・ファクタの影響もあります。全体としてDCからACにした場合はNBTIが大幅に減少しますが、周波数とデューティ・ファクタの方はさまざまな程度の感受性を示し、当該文献の技術に特に関係しています。

デバイス・レベルのNBTIの管理

NBTIの重要な特徴は電圧加速 (E_{ox}) と温度加速 (アレニウス) です。デバイス・レベルの試験方法はJESD90に基づくものです。

バイアス温度ストレスの将来

業界全体が将来的に行うべきNBTI関連の作業としては、チャージ・ポンピングをベースとしたメカニズムの解明、一般的なDC/AC利得を中心とする取り組み、製品レベルの実施例、ハフニウム・ベースの高K絶縁体 (HfO_2) などのゲート酸化膜技術の開発が含まれます。同時に、(さらに微細化した形状の) pMOS NBTI と nMOS PBTI についての研究も進んでいます。

要約すると、NBTIは、HCIなどの他のメカニズムとは異なる陽極・正孔/反応・拡散メカニズムで、プロセスの特徴がもたらす影響を原因としています。NBTIの信頼性試験は時間依存性があり、温度と電圧を加速して実施します。製品レベルでは、この現象はアナログ回路において発生するもので、回復メカニズムを備えており、DC/AC条件に左右されます。

NBTIは、信頼性に関わる現象としては比較的新しいものです。NBTIは致命的な問題ではありませんが、よく理解して管理できるようにすることは重要です。ADIにおける多くのプロセスはゲート絶縁体が十分に厚いためNBTIの問題はありませんが、最先端の技術に関する最新の工業規格に従ってこの現象をモニタリングしています。

高電圧耐性

HV 耐性とは、ADI 特許の *iCoupler*[®] プロセスに基づく絶縁技術のストレス試験を表す ADI の用語です。高電圧耐性は、損傷を起こすことなくアイソレータ（有機誘電体）の入力ピンと出力ピンの間に連続して印加できる最大電圧を意味します。絶縁体が破壊するまでに受け入れる電荷の量は有限であるため、絶縁破壊を加速する際の電圧、温度、湿度は一定にします。HV 耐性試験の目標は、いつ絶縁体にリーク電流が流れ始めるかを特定して、絶縁の寿命と品質を判定することです。ここでは、試験能力の概要を示すとともに、実験結果を分析するプロセスを具体的に説明します。また、電氣的絶縁材料の寿命モデルの理論についても詳しく説明します。

背景理論

ここでは高電圧（HV）寿命特性について検討し、高電圧絶縁にも使用される SiO₂ などの他の絶縁材料との特性の違いを示します[74]。実証モデルと実験データによれば、使用電圧を最大 400 V rms とした場合の *iCoupler* 製品の HV 寿命は 10 年をはるかに超えます。

支配的な破壊メカニズムは、電極から出た電子が絶縁体の表面領域に直接衝突することによって発生する電荷注入によるものです。HV ac 状態で絶縁体表面に電荷が注入されると、破壊プロセスが始まります。表面にあるいくつかの局所的なトラッピング・サイトに電荷がトラップされることがあります。トラップされるとエネルギーが放出され、蓄えられた静電エネルギーによって局所的に機械的張力が生じます。量子活性化プロセスにより、この張力の結果、最終的に局所的に自由体積、ボイド、マイクロクラックが発生し、さらにこれもまた局所的なトラッピング・サイトになります。HV ac が相当な時間続くと、このプロセスは継続的な絶縁の劣化を招き、最終的に電氣的なパンチスルー現象を引き起こします。

寿命 L は、熱力学的解析により次のように表すことができます。

$$L \approx \frac{e^{-(E-E_t)n}}{(E-E_t)^m} \quad (10)$$

ここで、 E_t は電荷注入が発生しない閾値電界で、 m と n はスケーリング定数です。

これらのデバイスの HV ac 耐性データは ANSI/IEEE 規格 930-1987 「IEEE Guide for the Statistical Analysis of Electrical Insulation Voltage Endurance Data」（電氣的絶縁電圧耐性データの統計的分析のための IEEE ガイド）に指定された手順に従って解析されたもので、次の関係に従うことが確認されています。

$$L \approx e^{V-N} \quad (11)$$

この現象論的近似を使用し、最悪時の寿命を求めました。これは熱力学モデルによって指定されるような閾値電界を仮定しないためです。閾値電界を測定しようとする、HV 試験の時間が桁外れに大きくなってしまいます。図 42 に示すように、式 10（緑の曲線）はデータ（黒丸）によく一致していますが、式 11（赤の曲線）は低電圧での予測寿命がかなり長くなる傾向があります。酸化物など、その他の絶縁材料に基づくアレニウスの式 $L \sim e^V$ （黒の曲線）が、データに一致しないのは明らかです。

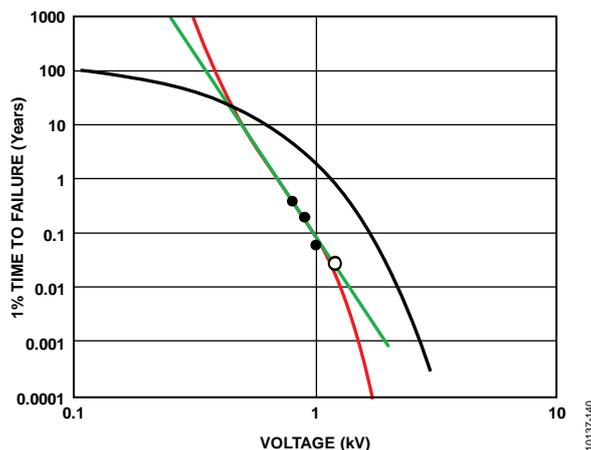


図 42. アイソレータ・デバイスの HV 寿命特性

また、DC またはユニポーラ AC でのアイソレータ・デバイスの寿命はバイポーラ AC での寿命に比べてはるかに長く、少なくとも 2 桁の値で長くなることも確認できました。ユニポーラ波形の場合、トラップされた電荷は電極の周りで内部電界障壁領域を作る傾向があり、図 43 に示すように、この障壁によってポリイミドへのさらなる電荷注入が妨げられます。バイポーラ AC 波形では、逆方向の電界によりこの静電障壁が形成されないため、トラップされる領域がポリイミド内に広がり続け、最終的に電氣的な破壊に至ります。これに対して SiO₂ の場合は、DC またはユニポーラ AC で寿命が短くなる傾向があります。

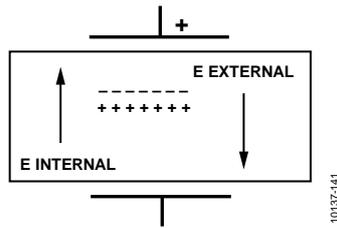


図 43. 正味電界がゼロの時の電界障壁領域

この寿命は、最悪時のバイポーラ AC 波形に基づくものです。ユニポーラ AC または DC 波形の場合、HV 寿命はさらに長くなります。ここに述べたモデルは有機絶縁材に関するもので、絶縁手段として主に SiO₂ 絶縁材を使用するアイソレータには当てはまりません。同様に、SiO₂ ベースのデジタル・アイソレータの HV 寿命を予測するモデルは、ポリイミド・ベースの絶縁システムには当てはまりません。

データ分析

HV 耐性試験における標準的な絶縁破壊のプロファイルを図 44 に示します。

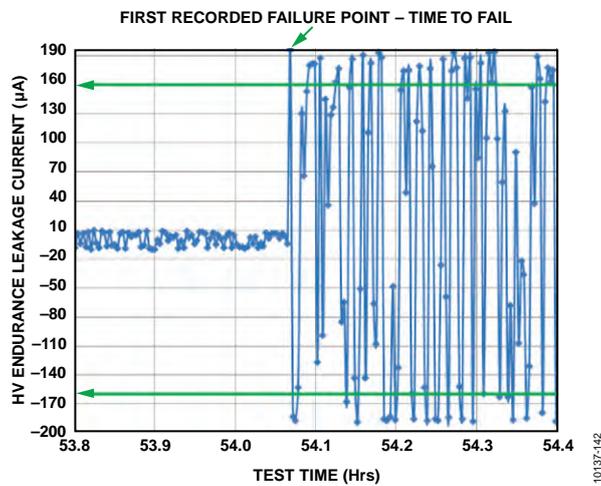


図 44. HV 耐性プロファイル

図 45 は、特定アイソレータ・プロセスについての +25°C および 40%RH で行った HV 耐性試験の結果をワイブル・プロットで表したものです。適合を示す線が平行していることから、それぞれのストレスに対応するメカニズムが同じであると考えられます。

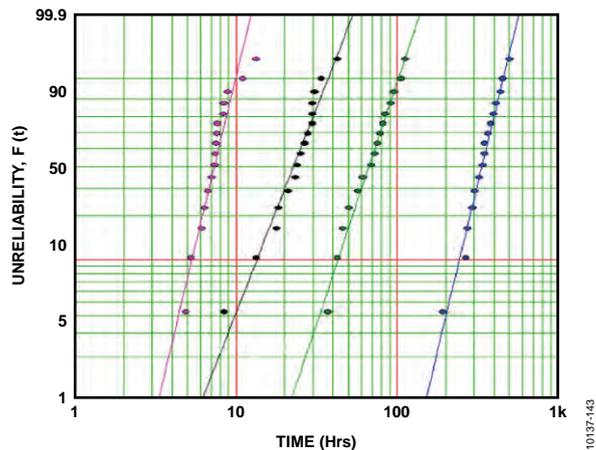


図 45. HV 耐性実験のワイブル・プロット

図 46 は、T50% TTF と使用電圧によってプロットした特定のアイソレータ・プロセスの安全動作領域 (SOA) の例です。

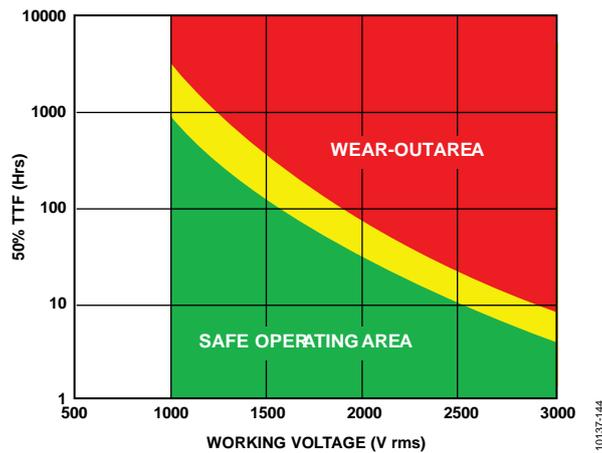


図 46. 安全動作領域 (SOA)

ここでは、有機絶縁体によるアイソレータの高電圧耐性試験に関する詳細な情報と分析を示し、さらに試験のセットアップ、バイアス条件、装置の構成、および分析について詳しく説明します。

信頼性の作り込みについて

歩留まり、品質、および信頼性との関係は、信頼性の作り込み手法における基本的な構成要素です[20, 22, 25, 30 – 32, 75 – 81]。これは、ある種の致命的な基本的故障メカニズムはプロセスによって追跡することができ、プロセスの問題に起因する信頼性の低下の兆候は製造のごく初期の段階で発見できるという考えを前提としています。したがって、特定の故障メカニズムを示す信頼性の低下の兆候を知り、製造段階でそれを除去したり、再設計手順やプロセス変更を進めたりすることによって、そのような故障メカニズムが市場で発生しないようにすることができます。信頼性や性能にとって重要な問題が市場で発見された場合は、プロセス変更や製品の再設計が必要になることがあります。このような作業は時間がかかるため、信頼性の高い高品質の製品を市場に供給し続けるには、暫定的なスクリーニング手順を確立する必要があります。

歩留まり、品質、信頼性は、以下のように定義されます。

- 歩留まり：バーンインやスクリーニング（たとえば初品試験、ウェーハ・ソート、ウェーハ受入れ試験）が行われる以前の製造者の製品上で動作しているデバイスの割合です。
- 品質：短時間のバーンイン（たとえば 48 時間、あるいは 168 時間）で除外された部品の比率によって測定し、通常は PPM で表します。
- 信頼性：寿命を判定するためのストレス試験で不合格となったデバイスの数によって測定し、通常は MTTF で表します。

ウェーハ・ソートや受入れ試験は歩留まりに関係するもので、バーンインは品質、寿命試験は信頼性に関係します。決定的な問題となる市場故障とは、製品が製造施設から出荷された後に発生するすべての故障で、故障解析、すなわち信頼性を調べるために返送されたものと定義することができます。

特定プロセスで製造された製品の初期故障率 (ELF) 評価の際には製品品質のばらつきが認められ、不合格品を分析した結果、すべての例で故障メカニズムが同じであることが分かりました。故障メカニズムは、ポリシリコンと p+チャンネル・ストップで構成されるコンデンサにおけるゲート酸化膜の破損で、これは、ウェーハ・ソート（プローブ）時の IDD が高いことによって確認されました。さまざまな生産段階におけるデータを解析した結果、この故障メカニズムの場合は製品の歩留まり、品質、および信頼性の間に正の相関関係があることが分かりました。その時点における市場からの返送製品のデータも、これが市場で発生した故障の主要な原因であることを示していました。バーンイン品質とウェーハ・ソート時に測定した IDD の相関関係を図 47 に示します。

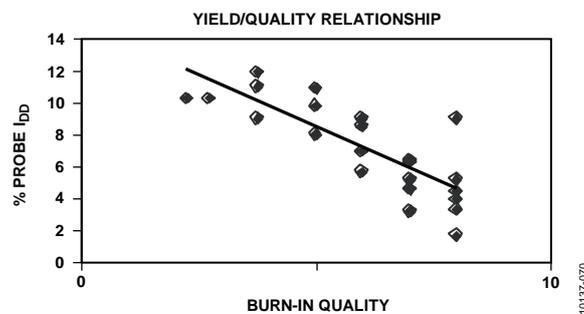


図 47. バーンイン品質と歩留まり

信頼性ハンドブック

この故障メカニズムに関して言えば、高プローブ IDD による故障率が高いロットは、48 時間バーンインによって測定した品質が IDD 故障率の低いロットよりも劣ることがグラフから分かります。図 48 に示すように、バーンインによる品質の結果を寿命試験によって測定したロットの信頼性と比較した場合もこの相関関係が当てはまります。予想通り、バーンイン品質の高いロットは故障率が低く、故障率の高いロットはバーンイン品質が低いことは明らかです。

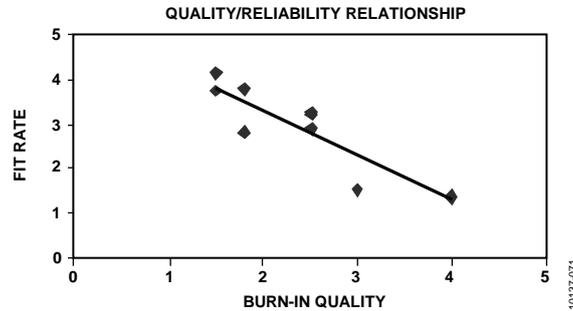


図 48. 品質と信頼性の関係

この故障メカニズムに見られる最終的な関係は、歩留まりと FIT で表した信頼性の間の関係です。この関係を示したのが図 45 で、このグラフから分かるように、故障率が高くなるとプローブまたはウェーハ・ソートにおける IDD 不合格数も多くなることが明らかです。

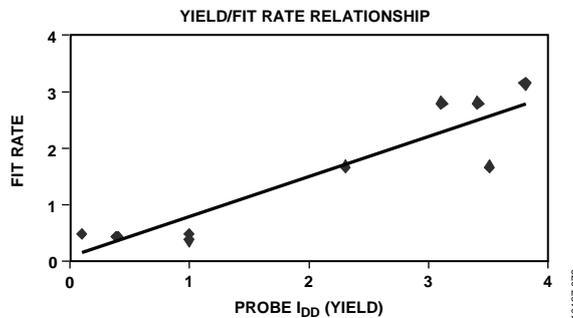


図 49. 歩留まり対信頼性

このデータの信頼性に関わる側面は、その製品の市場での性能の分析によって補われます。図 50 に示すように、データは、この故障メカニズムに関わる顧客返品が多くは、ポリシリコンと p+チャンネルストップで構成される構造におけるゲート酸化膜の破損であることを示しています。

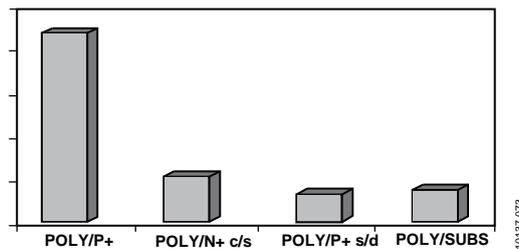


図 50. 顧客返品データ

以上の関係から、歩留まり、品質、および信頼性の間に密接な相関関係があることが分かります。こうしたデータの作成は、より恒久的な対策を進める一方で、故障の恐れのある製品をスクリーニングによって除去し、顧客レベルの信頼性を改善できる可能性が存在することを示しています。

上述のように、欠陥密度と製品品質の相関関係は、品質と信頼性をウェーハ製造プロセスに直接関連付けられることを示しています。図 51 と図 52 は、プロセスの初期故障 (ppm) 品質と、プローブ (ウェーハ・ソート) 時に発見された不合格ダイ数に基づくウェーハ製造時の欠陥密度との関係を示しています。どちらの図も、IME PPM の値が大きくなれば、IME と欠陥密度間の関係を示す値 (欠陥密度×面積) も大きくなることを示しています。

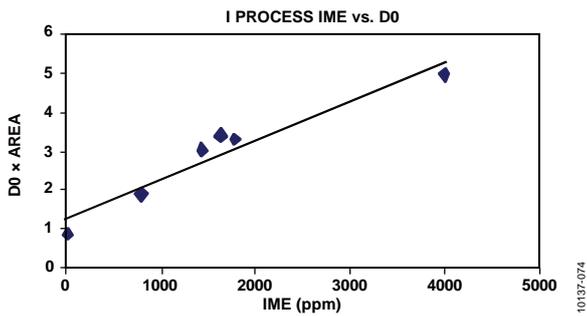


図 51. 欠陥密度 (D0) とダイ面積に関する初期故障率 (PPM)

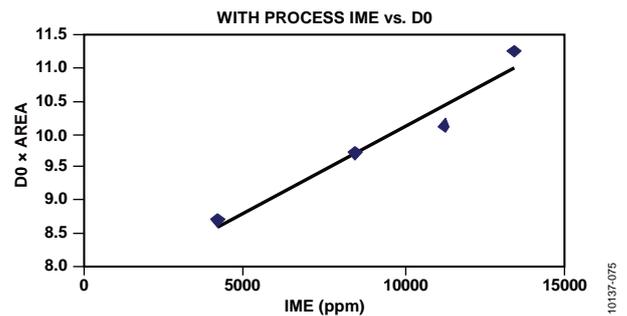


図 52. 欠陥密度 (D0) とダイ面積に関する初期故障率 (PPM)

したがって、上述の歩留まり、品質、および信頼性の各パラメータが関係している場合、ウェーハ製造における品質管理指標は、すべて信頼性の管理要因であり、インジケータになると考えることができます。実験的設計を使用し、信頼性の作り込み手法全体の検証を行った結果、ADI ではすべての信頼性プロジェクトで基本的にこの方針を採用することになりました。その例を次にご説明しましょう。

新しいプロセスの開発と製造への導入の際に、ADI のウェーハ製造施設は信頼性の作り込み手法を採用しました。当時開発中だったプロセスは、150 nm ゲート絶縁体を使用する 0.6 μm デュアル・ポリシリコンのデュアル・メタル・プロセスでした。統合的信頼性プロセス開発の一部として、信頼性に関する特性を理解するために、関係するすべてのグループで部門間協力チームを編成しました。同時に、信頼性測定方法を決め、使用する構造と目標を決定し、そして、目標を達成して最終的な信頼性の認定評価基準を満たすための重要ライン内管理項目について話し合い、評価しました。このアプローチにはチームワークが求められるほか、信頼性、製造、および開発と連携した TQM の概念を確立する必要があります。

採用した手順を図 53 に示します。その目標は、プロセスの認定評価に合格することでした。

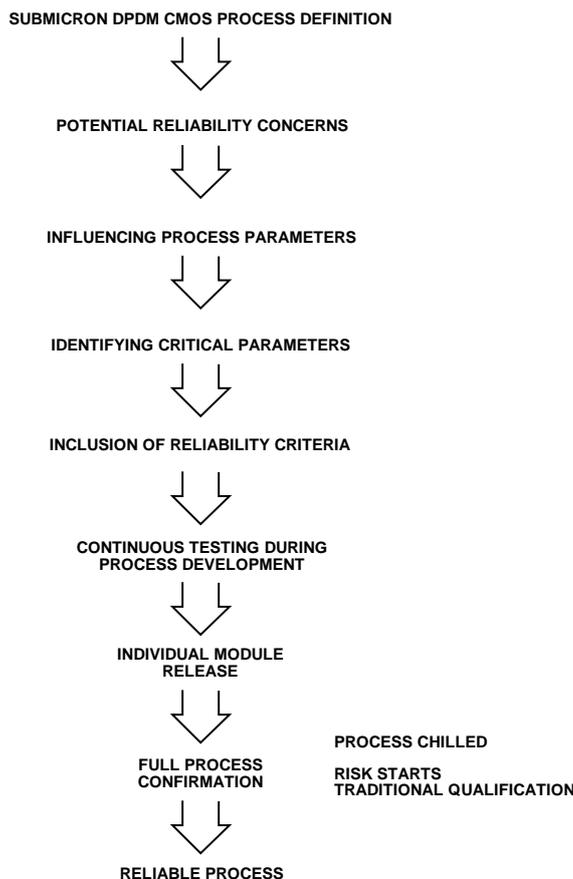


図 53. 信頼性作り込みのフロー

プロセスの定義後は、プロセス技術者と協力して信頼性に関する潜在的な危険要因を特定しました。これには、プロセス開発、プロセス製造、および信頼性が関係します。次いでこれらのメカニズムを分析して、どのプロセス・ステップ、装置、およびプロセス設定がこれらの信頼性パラメータに影響を与えるのかを判定しました。これによって、プロセス開発/信頼性試験の両方に使用できるチップを開発することができました。また、プロセス技術者は自らの活動がプロセスの信頼性にどのような影響を与えるのかを認識することにもなりました。信頼性に関する知識と実施した文献調査に基づき、重要な故障メカニズムは、EM、ストレス・マイグレーション、絶縁体の摩耗、

信頼性ハンドブック

MOS ホットキャリア効果に絞られました。欠陥密度や粒子制御など、品質と信頼性に影響を与えるその他の問題は、開発と製造のみに委ねられました。図 54 は、EM 用に作成された関係図の例を部分的に示したものです。

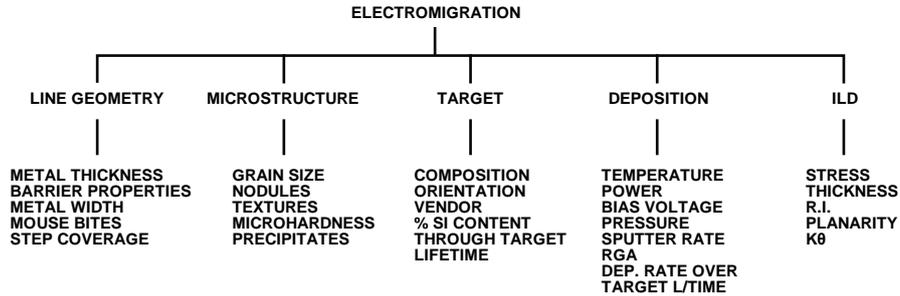


図 54. エレクトロマイグレーション・フローチャートの一部

信頼性に関する目標は、開発プロセス開始時に合意されました。これらの目標は電気的性能や品質的性能とともにモジュール契約に含められ、それぞれのプロセス・オーナーの責任とされました。結果として、合意された基準を実現するまで、プロセス・モジュールの製造を開始することはできませんでした。これによって、事実上、プロセス信頼性のオーナーシップは信頼性技術グループからプロセス開発グループに移ったことになります。

TDDB 試験によるゲート絶縁体の信頼性評価用に作成されたデータの例を、図 55 に示します。この図は、シングル・ポリシリコン、シングル・メタル/シングル・ポリシリコン、デュアル・メタル/デュアル・ポリシリコン、デュアル・メタル処理のデータを積み上げたものです。また、プロセスを最適化するためのさまざまな実験の結果も含まれています。この例は、歩留まり、品質、および信頼性を同時に評価することができる、完全統合化開発試験チップの価値を明らかにしています。このアプローチにはきわめて大きな利点がありました。信頼性技術者はプロセスの各部分について信頼性試験を実施して、プロセス開発の初期段階で信頼性に関する危険要因を特定し、迅速な対策を講じることができました。

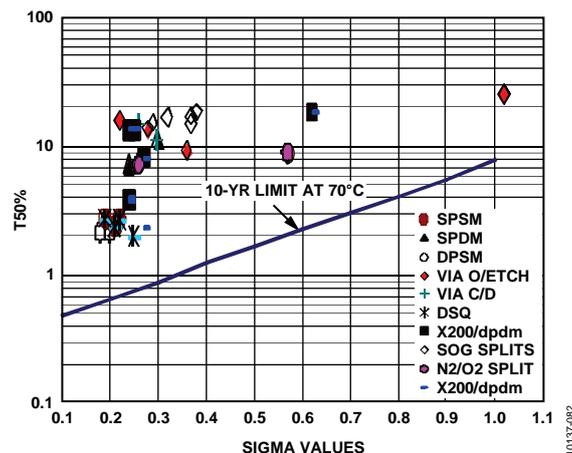


図 55. プロセス開発時におけるゲート絶縁体の信頼性

もう 1 つの例が、EM 目標を満たしていない（特定の層トポグラフィを持つ）アルミニウム接続ビアでした。これには、図 56 に示すように、ほかの構造には認められなかったビア B 上の外因的な粒子が大きく影響していました。モジュール・オーナーと協力しながら、相互接続ビアの性能を最大限まで向上させるという意図の下、この外因的な粒子の原因を理解するために一連の評価が行われました。この原因は、IMD ビア開孔エッチング・プロセスの時間であることがすぐに特定されました。

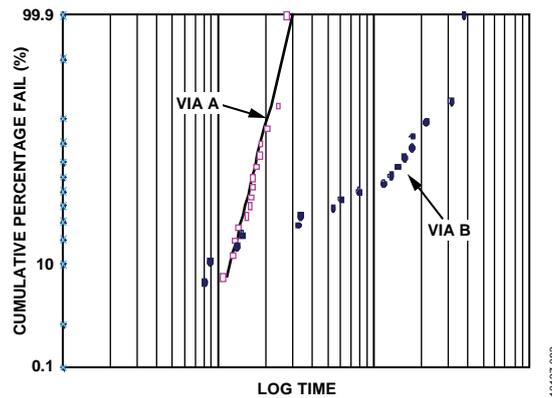


図 56. ビア EM

FMEA を実施した結果、プロセスの後段階においてフロントエンド・パラメータに悪影響（プラズマ帯電などによるもの）が出る恐れのあることが確認されました。その結果、バックエンドの製造プロセスにおける変更は、ゲート絶縁体とホットキャリアの信頼性性能に響く可能性があります。ビア EM に関する問題の解決策は、ビアのエッチング時間を変更することでした。評価は3つの異なるエッチング速度で行われ、3つの速度それぞれについて、ビア EM、ホットキャリア、酸化膜の性能を測定しました。図 57 は、エッチング速度の違いがビア EM に与える影響を示したものです。このデータから、エッチング速度 C が最も良好な信頼性、つまり、非常に狭い σ 値と高い T0.1% 故障時間を実現することが明らかです。

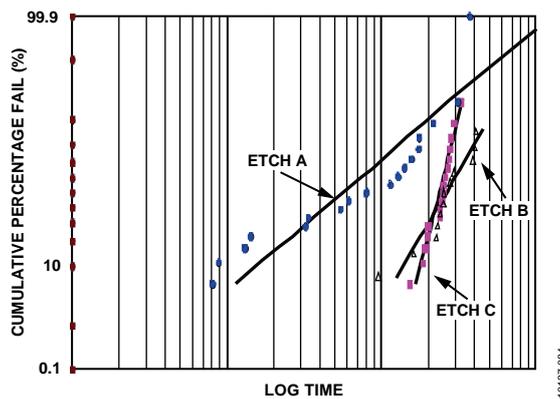


図 57. さまざまなエッチング速度に対する EM 寿命データ

この段階で行った試験がビア EM 試験だけであれば、どのエッチング速度を選ぶかは明白でした。しかしホットキャリア信頼性データは、図 58 に示すように、このエッチング速度で信頼性性能が最も低下することを示していました。

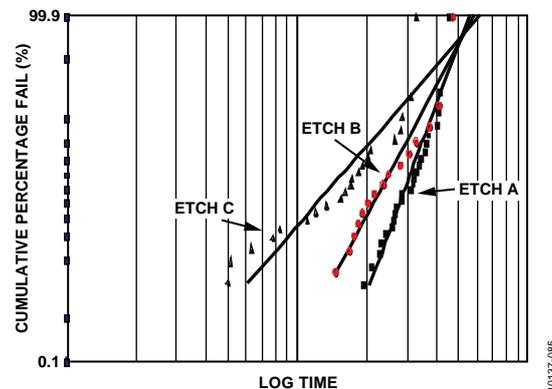


図 58. 各種ビア・エッチング速度 対 ホットキャリア信頼性

図 58 では、エッチング C による T0.1% の値はエッチング A および B に比べて低く、同様にシグマ (Σ) の値が非常に大きくなっています。エッチング A と B によるホットキャリア寿命は受け入れられるものです。エッチング B のビア EM 性能も許容可能な値であり、その結果、このプロセスにはエッチング B を選択しました。信頼性作り込み手法は、信頼性に関する値をインライン・パラメータと相互に関連付けることにもなりました。これによって統計的プロセスと信頼性管理の利用がさらに促進され、図 59 に示すようにプロセスの信頼性を維持するものとなりました。この図では CMOS のホットキャリア信頼性と基板電流の関係を確認できました。

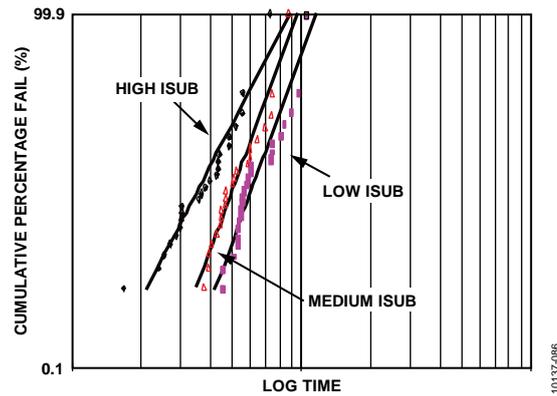


図 59. ホットキャリア寿命と基板電流の関係

信頼性作り込み手法を使用するという事は、予想される問題が認定評価開始前にすべて調査され、除去されてしまうため、従来の認定評価が形式的な手続きとなることを意味していました。

要約

信頼性作り込みプロセスの主な利点は、プロセス・パラメータを理解し、管理し、測定することによって安定した信頼性の高いプロセスを開発できたことでした。プロセス・グループと信頼性グループ間のやりとりが増えることは、互いの要求をより良く理解して、チームワークの精神と部署を越えた協力を実現することにつながります。これは、非常に生産的であることが立証されています。このアプローチによって、あらゆる問題を直ちに確認して、非常に効率的な方法で解決できるようになりました。ここで説明したアプローチを採用することにより、悪影響を及ぼす恐れのあるあらゆる問題に開発段階で対処するため、従来のライン終了時の認定評価は形式的な手続きに過ぎなくなりました。

パッケージの信頼性

はじめに

組立てプロセスの信頼性は、製品の寿命にとってきわめて重要です。パッケージング・プロセスは、プリント回路基板製造技術による苛酷な環境からダイおよびアクティブ回路を保護するための最も基本的な手段となります。

アナログ・デバイスが製造する製品は、気密封止パッケージとプラスチック・パッケージの 2 種類に大別できます。今日の組立てプロセスでは、プロセス技術や管理が改善されたため、腐食やパープル・ブレイグなど、過去にはプラスチック・パッケージング・プロセスに付きものとなっていた問題は解決されました。現在の集積回路の多くはプラスチック・パッケージで製造されています。故障メカニズムの原因が、パッケージなのか、設計なのか、ウェーハ製造上の問題なのかを突き止めることは、それほど容易ではありません。ダイが組み立てられて、試験され、プリント回路基板上に配置された後は、これらすべての分野が密接に相互に依存するからです。この相互依存性と環境ストレス試験の役割を図 60 に示します。

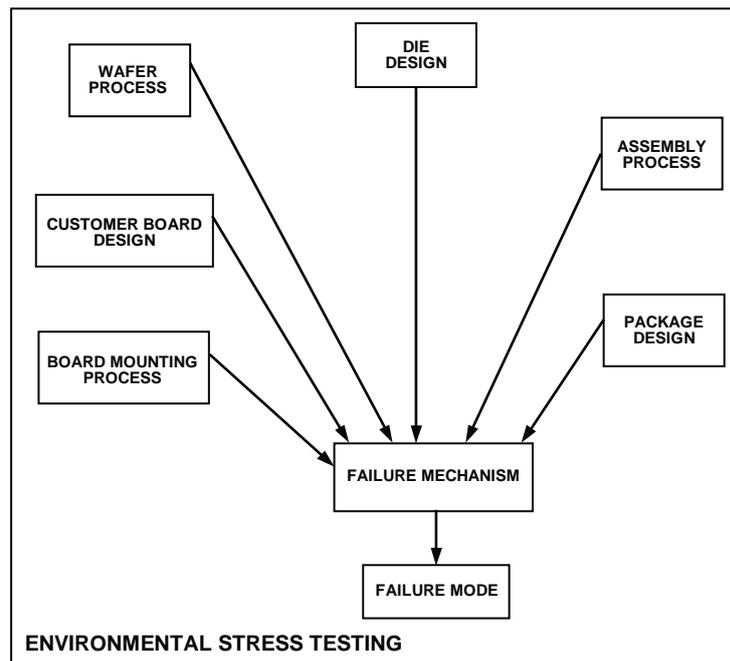


図 60. 故障メカニズムにおけるプロセスの相互関連性

ダイ設計やウェーハ製造プロセスなどが製品の性能にどのように影響するのか、また、この相互関連性がどのように特定の故障メカニズムにつながっていくのかは、容易に理解することができます。しかし、すでに述べたように、温度や湿度によるストレス、あるいは機械的または電気的なストレスといったその他のストレスも、デバイスの信頼性に影響を与えます。これらのストレスは製品の有効寿命の間にごく普通に発生します。

これらのストレス条件は、故障を誘発する熱的、機械的、電気的、湿度的な刺激によって制御された環境下で加速することができ、信頼性データを作成するために使われます。しかし、これらの試験でデバイスを動作させるだけでは十分ではありません。今日、IC メーカーのプロセスは顧客にまで拡大しています。メーカーは前提条件と適切な温度および湿度データを集め、生産する製品の信頼性について正確な予測ができるようにプリント回路基板の生産をシミュレートしなければなりません。

温度の問題

すべての集積回路の信頼性は、環境条件に大きく左右されます。パッケージの信頼性に影響する恐れがあるすべての問題のなかで、熱的ストレスが最も大きく影響します。すべての集積回路は動作中に電力を消費します。このため、集積回路の温度は上昇します。集積回路の温度上昇は、デバイスの構造、電気的動作条件、プリント回路基板上の部品配置、デバイス周囲の空気流（層流または乱流）の複合的な関数です。このうちいくつかの要素は IC メーカーが管理しますが、ユーザやそのデバイスの使用環境に決定される要素もあります。このため、集積回路の熱的特性は IC のユーザとメーカー両方にとって大きな問題となります。部品のジャンクション温度 (T_j) 上昇によるデバイス温度の上昇は、製品の長期的信頼性に悪影響を及ぼす可能性があります。

信頼性への影響

集積回路の信頼性を表す際には、図 61 に示すバスタブ曲線が使われてきました。この曲線は時間と累積故障率の関係を表すもので、初期故障期間、有効寿命期間、そして摩耗段階という 3 つの異なる部分で構成されます。

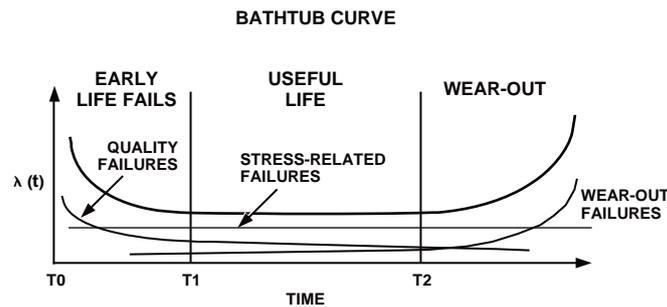


図 61. 古典的なバスタブ曲線

初期故障期間は回路動作の最初の数か月間で、故障率が減少していくこと（上の図では T0 から T1 まで）が特徴です。この期間に見られる故障のタイプは製造プロセスに起因する品質に関わる故障であり、通常はボード・レベルの試験で見発されます。評価の高い IC メーカーのほとんどは初期故障を低減するためのプログラムを実施しており、初期故障率に関するデータを提供するとともに、品質データを公表しています。

有効寿命期間は、故障率 $\lambda(t)$ が一定の値を示すのが特徴で、上の図の T1 から T2 の期間に相当します。ここで、故障率は所定の時間内に故障することが予想されるデバイス数であり、たとえば%で表した 1000 時間あたりの故障率です。これは、故障から故障までの時間的間隔を表す平均故障時間 (MTTF) に変換することができます。これは故障率の逆数です。故障率と MTTF は、ともにデバイスの信頼性を表す基本的な単位です。集積回路の有効寿命期間は通常きわめて長く、摩耗段階に至るまでの数十年間に及びます。摩耗段階に達すると、酸化膜の摩耗やエレクトロマイグレーションなど、寿命を制限する故障メカニズムが作用し始めます。

製品の有効寿命期間の長さは、圧力、湿度、電気的ストレスなど、数多くの要因に影響されます。しかし、ほとんどの故障メカニズムにおける最も重要かつ一般的な要因は、ダイ温度です。デバイスの動作温度はその製品の有効寿命期間を縮め、有効寿命期間内の故障率を増加させ、摩耗期間までの時間を短くします。その結果、ダイ温度は製品の動作に関わる信頼性にとって重要な役割を果たします。集積回路の故障率と温度の関係は明確に定義されており、アレニウスのモデルによって表すことができます。

$$\lambda = A \text{Exp.}(E_a/kT)$$

ここで、

λ = 故障率

A は定数

E_a = 特定の故障メカニズムの活性化エネルギー (0.5~1.2 eV の範囲)

k = ボルツマン定数 (8.63×10^{-5} eV/K)

T = 温度 (K)

故障率は温度ストレスの指数関数です。ストレスが大きいかほど部品の故障率も高くなります。ほとんどの IC メーカーは、製品の信頼性を実証するために、高温で信頼性試験を実施しています。これらの試験条件と実際の使用条件における温度の関係は上の式から求めることができ、次のようになります。

$$\text{加速係数} = \lambda_1/\lambda_2 = \text{Exp.}[-E_a/k(1/T_2 - 1/T_1)]$$

ここで、

T1 と T2 は使用温度と試験温度 (K)

λ_1 と λ_2 は使用温度と試験温度 (K) における故障率

上の式に基づき、図 62 に示す正規化グラフを描くことができます。このグラフは、ジャンクション温度が故障率に与える影響を表しています。

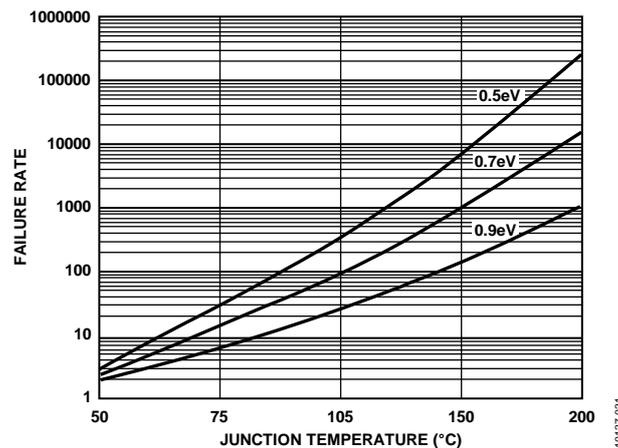


図 62. 温度 (C) 対 故障率

このグラフは正規化されていますが、故障率がジャンクション温度によってどのように変化するかがよく分かります。このグラフは、ジャンクション温度を下げれば信頼性が向上することを示しています。表 8 は、アプリケーションにおいてジャンクション温度を 10 の 5 乗°C から 75°C に下げた場合の活性化エネルギーの変化を示したものです。

表 8.

Activation Energy	Improvement
0.9	10×
0.7	8×
0.5	4×

表から分かるように、信頼性の向上の度合は活性化エネルギーに左右されます。アプリケーションにおけるデバイスのジャンクション温度を下げることににより、大幅な信頼性の向上 (0.9 eV では 10×の改善が可能) を実現することができます[82 – 85]。

空間内にある 2 点間の熱抵抗は、一方の点から他方の点へ 1 ワットの率で熱を移動させるために必要な温度差です。この値は、IC パッケージの中心部から外部表面あるいはパッケージ周囲の空間への熱の放出のしやすさを表す尺度として使われます。熱抵抗が大きいということは、それだけ熱の放出が困難であることを意味します。熱抵抗は 2 点間、一般的には 2 つの平面間で計測します。たとえば、X と Y の間、あるいはジャンクションとケースの間の熱抵抗と言います。

ジャンクションとケース間の熱抵抗とは、回路のダイオード接合部からパッケージ表面の最も温度の高い点まで、1 ワットの率で熱を移動させるために必要な熱勾配のことです。実際には、チップ表面の任意の点からチップ中心直下にあるパッケージ表面の点までの温度勾配です。後者の位置については、チップ中心の直上にあるパッケージ表面の点を使用の方が便利な場合も少なくありません。このパラメータは「シータ J-C」とも言われ、多くの場合は θ_{JC} と表記されます。

θ_{JC} の測定値については、これを求めるための標準的方法が詳しく定義されています。たとえば、SEMI Standard Methods G38-87 および G43-87 や、MIL STD 883C の Method 1012 などがあります。

ジャンクションから周囲の空間への熱抵抗とは、回路のダイオード・ジャンクションからパッケージ周囲の空気やその他の周囲環境まで、1 ワットの率で熱を移動させるために必要な熱勾配のことです。

実際には、チップ上の任意の点からパッケージ周囲の空気中の点 (パッケージから 1.5 インチ、上流側へ 1 インチの位置) までの温度勾配として計測します。このパラメータは「シータ J-A」とも言われ、多くの場合は θ_{JA} と表記されます。

この場合も、測定方法については詳細な標準が定められています。たとえば、SEMI Standard Method G38-87、および SEMI Standard Specification G42-88 を参照してください。

ディレーティング係数

ディレーティングとは、周囲温度が特定のレベルを超えた場合に、デバイス内の消費電力をどの程度減少させなければならないかを指定するために使われる言葉です。このような状況では、パッケージがチップの熱を周囲の高温環境へ放出できないために、そのデバイスの最大ジャンクション温度を超えてしまう恐れがあります。

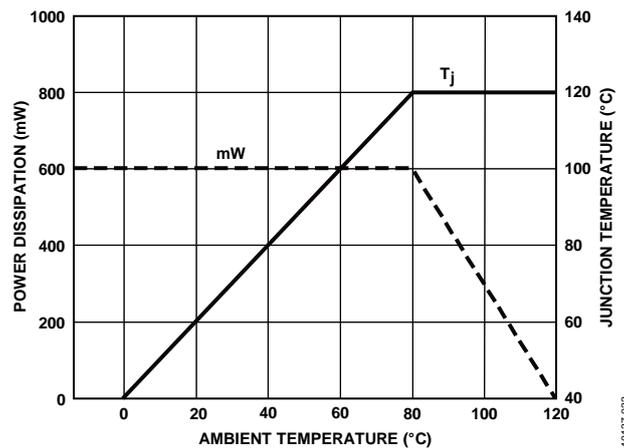


図 63. 周囲温度 対 消費電力 (mW) およびジャンクション温度 (°C)

図 63 では、デバイスの消費電力は最大 600 mW です (破線で表示)。デバイスのジャンクションから周囲への熱抵抗は 67°C/W です。1W の電力消費でジャンクション温度は 67°C 上昇します。したがって、600 mW で最大ジャンクション温度を超えることはありません。

この例では、ジャンクション温度が 120°C を超えないように定められています。これは、周囲温度 80°C で消費電力が 600 mW になると最大許容ジャンクション温度に達することを意味します。80°C を超える周囲温度でデバイスを使用するには、消費電力を低減するしかありません。

周囲温度が 80°C を超える場合は、1°C につき消費電力を 15 mW ディレーティングすることによって、ジャンクション温度を 120°C に保つことができます。つまり、ディレーティング係数は 0.015 W/°C になります。この値は、ジャンクション部分から周囲への熱抵抗 67°C/W の逆数となります。

電源コントローラなどの一部のデバイスの消費電力は、ほぼ完全にアプリケーション次第です。上の例におけるデバイスは、理論的には周囲温度 119°C の条件において 15 mW で使用することができ、この条件であれば最大ジャンクション温度を超えることはありません。

場合によっては、メーカーが、標準的なアプリケーション環境よりも低い周囲温度でディレーティングを開始するように設定することがあります。たとえば、電力消費 1700 mW のデバイスについて、25°C を超える条件でディレーティングが必要とメーカーが指定する場合があります。1°C につき 20 mW ディレーティングすることになるかもしれません。この場合、70°C の環境におけるデバイスの消費電力は 800 mW に制限されます。

放熱の改善

すべての IC アセンブリは、2 つの標準的な構造タイプに大別されます。ひとつは、チップが密閉空間に封入され、チップのベース部分の全面がパッケージの内表面に接着しているものです。それ以外にチップとパッケージの接着面はありません。もう 1 つのタイプは、個体のプラスチック・モールドの中央部分にチップが封入されているものです。パッケージをプリント回路基板に取り付けるためのピンもこのモールドで固定します。

気密封止パッケージでは、チップが取り付けられているパッケージ部分の温度はチップとほぼ同じ温度まで上昇し、熱は、そこからパッケージのほかの部分に伝わります。熱は、ピンからプリント回路基板に伝導することによって放出されるほか、周囲雰囲気との対流によってパッケージ・ボディ表面からも放出されます。通常はパッケージ・ボディの上面が最も温度が低く、チップからの熱的経路が最も長い。そのため、周囲に放出される熱の量は多くありません。一般的に、ほとんどの熱はピンを通じてプリント回路基板に伝わります。しかし、パッケージがダイダウン形式で構成されている場合はパッケージ上面の温度が最も高くなり、この場合はヒートシンクを追加するとよいでしょう。ヒートシンクによって、周囲雰囲気との接触面積が大幅に増大します。これによってパッケージの熱抵抗が大幅に減少し、特に十分な冷却空気流が存在する場合はさらに効果が増します。

ヒートシンクのメーカーは製品の熱的性能に関するデータを提供しており、取り付け面から周囲雰囲気への熱抵抗を指定しています。ヒートシンクはパッケージの最も温度が高い部分に取り付けられるため、アセンブリ全体の熱抵抗 (つまりジャンクションと周囲雰囲気間の熱抵抗) は、パッケージの θ_{JC} とヒートシンクの熱抵抗から予測できます。

プラスチック封入パッケージ (PEP) 内のチップは、金属製パドル (通常は銅製) に取り付けられています。プラスチックはチップとパドルのすべての面を包み込んでいるため、熱はチップからすべての方向に伝わります。プラスチックの熱伝導性はよくありませんが、全方向に熱が伝わるため、標準的なプラスチック・パッケージは、全体として少なくとも気密封止パッケージと同等の熱的性能があります。

プラスチック封入デバイスの熱的性能は、以下の方法によって改善できます。

1. パッケージ内部に金属製のヒート・スプレッダを組み込みます。
2. パドルの代わりに厚い銅製スラグにチップを取り付けて、スラグの反対側をパッケージ表面に露出させます。
3. ダイを取り付けたパドルにピンの一部を直接接続します。
4. パドルからピンへの熱の流れが最大になるようにピンとパドルのレイアウトを調整します。

外付けのヒートシンクは、厚い銅製スラグを使用したパッケージの場合、そのスラグ面に直接取り付けると非常に効果的ですが、それ以外ではプラスチック封入パッケージにはほとんど使われません。熱性能を改善するために、高熱伝導率のプラスチックが使われることもあります。しかし、このようなコンパウンドは生産性やパッケージの信頼性の点で問題が多いため、可能であれば避けるべきです。

メーカー間の類似性

ほとんどの場合、IC メーカーは同じパッケージ材料と同じパッケージ作成方法を使用しており、その製品の外観はよく似ています。したがって、同様の外形を持つパッケージは、同じ条件で測定する限り、ほぼ同じ熱性能を持つと考えられます。ところが、データシートに記載されている熱的性能はメーカーによって大きく異なります。同じパッケージの場合、実際、同じ工場で同じ材料を使い、同じ日に製造されており、違いはチップ上の回路の詳細だけということがあります。このような場合、データシートに記載されている熱的性能の違いは、測定を行った条件だけによるということになります。

部品の取付けが熱抵抗に及ぼす影響

集積回路の放熱の主要経路は、パッケージ（および使用している場合はヒートシンク）から周囲の空気への輻射と、回路基板への伝熱です。放出された熱は、最終的にはすべて周囲環境へ移動します。アナログ・デバイス製品の公表されている熱抵抗は、標準 SEMI ボード上で測定したものです。SEMI 標準ボードは両面ボードで、それぞれの面の 20%は 1 平方フィートあたり 1 オンスの銅で覆われています。これによって、ジャンクションと周囲の間の熱抵抗の測定値を控えめに設定することができます。デバイスのユーザにとって、ダイのジャンクション温度に影響を与える制御可能な要因を理解しておくことが重要です。

ソケット取付けとボード取付け

アナログ・デバイス製品の公表されている熱データは、デバイスのすべてのピンをハンダ付けして、ボードに直接取り付けることを前提としています。ソケットの場合は、ボードへの直接取付けよりも熱的効率が劣るため、デバイスのジャンクション温度は高くなります。大消費電力の製品にソケットを使用する場合は、デバイスとソケットを組み合わせた状態で熱抵抗を測定することを推奨します。

熱ギャップ・フィラー

ボードや個々の部品の熱抵抗を低くする必要がある場合、熱ギャップ・フィラー材を使用することもひとつの方法です。これはエラストマを充填した柔軟性のある非導電性のシートで、適当なサイズにカットして対象部品の上に取り付け、部品上のエンクロージャや表面との間の隙間を埋めてヒートシンクにします。このシートは柔軟性があるため各種部品の高さが異なっても対応でき、表面の凹凸にも従うため熱的な接触抵抗を減らすことができます。通常、フィラーには、窒化ホウ素や酸化アルミニウムなどの伝熱性の高いセラミックが使われます。適切なアプリケーションであれば、これらの材料は消費電力関連の問題を解決するコスト効果の高いソリューションとなります。

部品の選択

熱抵抗の問題に対応する場合、ひとつの方法として、スペースに余裕があれば、パッケージの異なる同じチップ製品を選ぶことも検討すべきでしょう。20 ピンのデバイスを SEMI 標準ボードに取り付けて静穏空气中に置いた場合の例を、表 9 に示します。消費電力 0.5 W のデバイスを最大許容ジャンクション温度 125°C 以下で 80°C の環境で動作させる場合、パッケージを SSOP から SOIC に変更することで、ヒートシンクを追加せずに問題を解決することができます。

表 9.

0.150" SOIC	5.3 mm SSOP	4.4 mm TSSOP	Delta
79	126	134	θ_{JA} °C/W
119.5	143	147	< Junction temperature (°C) while dissipating 0.5 W in 80°C ambient.

強制空冷とヒートシンク

特に断りのない限り、アナログ・デバイスが提供している熱データは SEMI G42-88 に指定する静穏空気中における値です。周囲温度が高すぎて容易に下がらないアプリケーションの場合、ひとつの方法として、ヒートシンクを使用している場合でも使用しない場合でも強制空冷が考えられます。図 64 は、ヒートシンクを使用した場合としない場合の強制空冷の効果を示したものです。

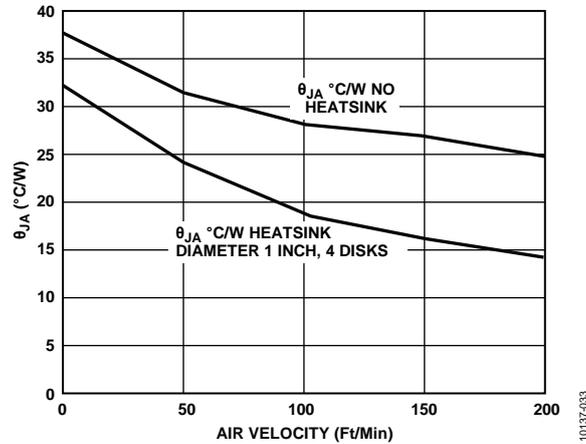


図 64. 空気流 対 θ_{JA}

ヒートシンクを選ぶ際は、そのヒートシンクのメーカーが熱抵抗データをどのように作成しているのか考慮することが重要です。ヒートシンクのベース・プレートに断熱ブロックを取り付けてベースからの放熱を防ぎながら測定を行うメーカーもあれば、ヒートシンクをそのまま空気中に置いて測定するメーカーもあります。後者の場合は、すべての表面から熱が放出されることになります。前者のほうが、ヒートシンクの実際の使用方法をよく反映しています。

ヒートシンクを使用する場合の消費電力は次式で表すことができます。

$$Q = (T_J - T_A) / (J_C + J_{CH} + J_{HA})$$

ここで、

Q = 消費電力 (W)

T_J = シリコンのジャンクション温度 (°C)

T_A = 空気温度 (°C)

J_C = ジャンクションとケース間の抵抗 (°C/W)

J_{CH} = ケースとヒートシンク間の抵抗 (°C/W)

J_{HA} = ヒートシンクと周囲空気間の抵抗 (°C/W)

製造プロセスによる製品のばらつきと空気流も考慮する必要があります。

ボード配置は垂直方向が最も適しています。こうすると自然対流がよくなり、水平配置のボードよりも熱抵抗が 8%~10%減少するためです。ボードの垂直方向の長さも影響します。垂直方向に長いほど、空気が高い部分に届くまでに低い部分で温められてしまいます。これは強制空冷の場合にも当てはまります。ボードの幅の短い方を空気流に平行にする必要があります。

ボードの作成と取付け

通常の静穏空気中では、熱は主に取付け部品のピンから回路基板に放出されます。重要になるのは基板の熱抵抗です。これは、GND プレーンヒートシンクとして最大限に利用することによって低減できます。また、たとえば基板取付けシャーシへの熱伝導などの放熱手段を最適化したり、自然対流による冷却を最大限に利用したりすることによっても低減できます。基板に占める銅のパーセンテージが大きいかほど、熱抵抗は低くなります。8 ピン SOIC の熱モデル化では、ボードの伝熱率 (W/M K) を 2 倍にすると、部品のジャンクション温度は 130°C から 98°C に低下します。太いパターンやグラウンド・プレーンへのサーマル・ビアを使用すると、さらに効果が上がります。

基板の端面をシャーシに取り付ける位置の近くに発熱量の大きい部品を配置すると、ヒートシンクや強制空冷を使用しなくても、さらに冷却効果を上げることができます。最大限の効果を得るには、高性能デバイス同士を近づけ過ぎないように配置し、放熱面積をできるだけ大きく取ることを推奨します。

現在のパッケージ小型化の傾向による影響の 1 つが、サイズの減少に伴うパッケージの熱抵抗の上昇です。今や、半導体パッケージのユーザは熱抵抗の増大によって引き起こされる問題だけでなく、正しい部品の選択や取付け手法を理解することがこれまで以上に重要になっています。おそらく、熱データを比較する際に留意すべき最も重要な点は、半導体パッケージ、ヒートシンク、あるいはギャップ・ファイラーのいずれであろうと、使われている試験方法を理解することです。試験方法が明記されていない場合は、その値の取り扱いには注意が必要です。

水分の影響

プラスチック表面インプリメンテーション部品 (PSMC) の出現により、プリント回路基板 (PCB) 設計者は基板上の部品の密度を高め、基板両面を利用して部品を配置できるようになりました。この進歩によって、PSMC の利用が大幅に増えました。しかし、残念ながら、その結果ボード上に部品を配置する際に高い温度を使用しなければならなくなりました。現在の表面インプリメンテーション手法では、表面インプリメンテーション部品が最大 260°C の温度にさらされることがあります。これによって各種部品にさらにストレスが加わり、新しい故障メカニズムが問題になりました[86-98]。結果として、ポップコーン現象や層間剥離などのメカニズムが発生しました。PSMC に使用するプラスチック・モールディング・コンパウンドは親水性で周期の空気から水分を吸収し、周囲の環境条件によっては飽和レベルにまで達します。吸収する水分の量は周囲雰囲気に含まれる水分の量に左右され、吸収速度はその部品が置かれた環境の温度に左右されます。温度が高いほど吸収速度も速くなり、パッケージと周囲の空気が平衡状態に達するのも早くなります。図 65 と図 66 のグラフは、この影響を示したものです。

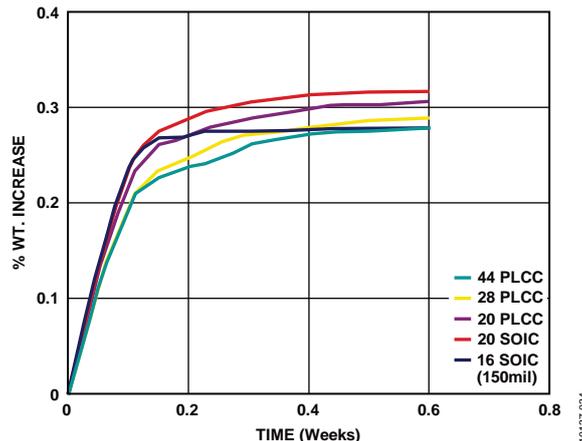


図 65. 85°C、85% R/H における各種パッケージの吸湿グラフ

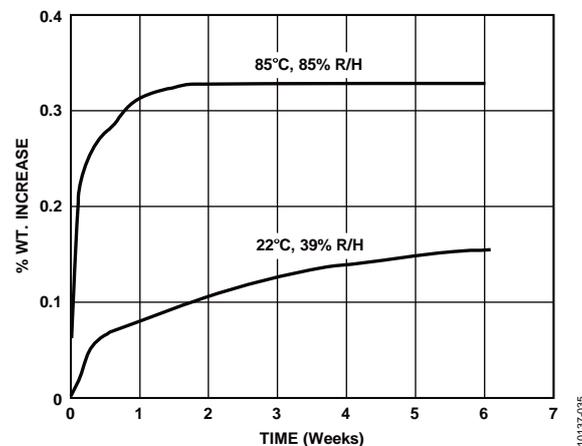


図 66. 各種条件下における 44 PLCC パッケージの吸湿グラフ

この特別なパッケージをさまざまな時間にわたって管理環境下に置き、吸湿量を測定しました。選択したパッケージを識別し、パッケージの含水率を初期化するためにベーキングを行った後、時間ゼロでの重量を測定しました。さらに、これらのパッケージをさまざまな温度および湿度条件下に一定時間放置して、グラフを作成しました。このグラフから、湿度によって異なるあるレベルでユニットが飽和状態に達して、それ以上吸湿しなくなることが分かります。水分は、図 67 に示すようにパッケージ・ボディ内の特定の場所に集まる傾向があります。

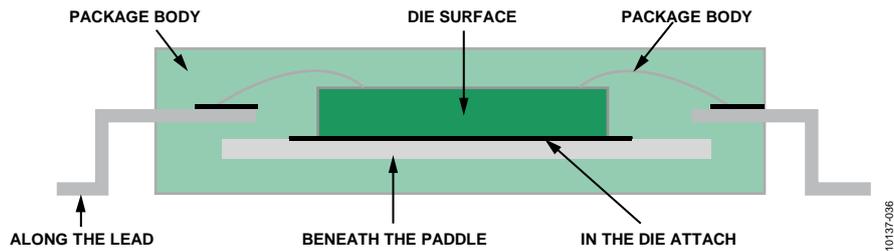


図 67. 代表的なパッケージの断面

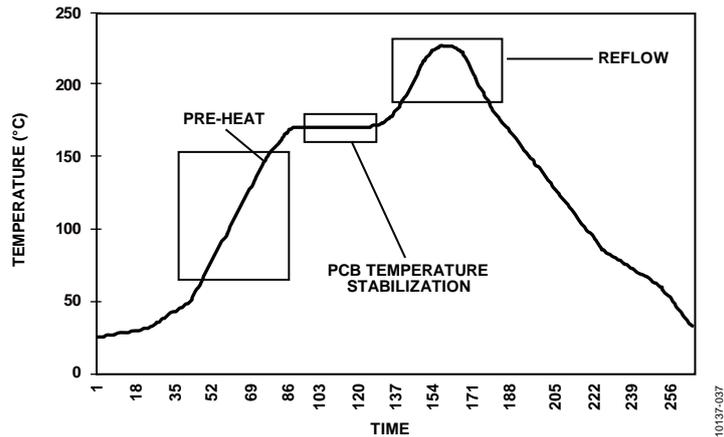


図 68. 代表的なハンダ・プロファイル

水分とともにパッケージのボディ内に不純物が混入しない限り、水分が製品の信頼性に及ぼす影響はそれほどひどくはありません。しかし、図 69 の対流プロファイルが示すように、その後のプリント回路基板製造プロセスで基板は非常に高温下に置かれます。

プリント回路基板の製造では、部品の温度が数秒間で最大 260°C に達することがあります。この急激な温度上昇によってパッケージ内の水分が蒸発し、膨張します。この蒸気の膨張、特にダイ・アタッチやリードフレーム部分における膨張によって、モルディング・コンパウンドのダイ表面からの剥離（ポップコーン現象）やリードフレームの剥離が生じることがあります。さらに、この剥離によってダイの上部やリードフレームの裏側に隙間ができて、製品の信頼性に悪影響を及ぼす恐れがあります。リードフレーム・パドルの裏側に剥離が発生すると、製品の熱的性能が低下します。また、ダイ表面が剥離すると、隙間ができて、プリント回路基板プロセスで発生する水分や汚染物質が蓄積され、デバイスの故障に至ります。

非常に高レベルの湿度に置かれたために大量の水分を吸収していた場合、重大なダメージが生じる可能性があります。図 69 に示すように、ダイやパドルなどの硬い表面からパッケージの外側にまでクラックが広がる可能性があります。こうしたクラックはパッケージの耐湿性を大幅に低下させ、ボンド・ワイヤを切断してデバイスを故障させることがあります。図 69 では、固定面上に赤色で示したものが剥離で、ストレス点から広がるクラックは黄色で示しました。通常、クラックはダイやリードフレームなどの固定面に発生して、パッケージの外側に広がっていきます。場合によっては、クラックでボンド・ワイヤが切断されてダイと外部の接続が失われ、デバイスが正常に機能しなくなることがあります。

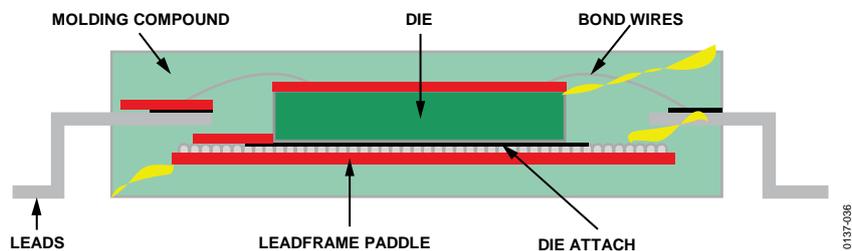


図 69. パッケージの剥離（赤）とクラック（黄）（断面図）

IC メーカーは、特定の信頼性試験によって、上記のような故障メカニズムへの耐性を測定することができます。これらの試験では、超音波顕微鏡によって剥離とクラックの規模を確認したりします。さまざまな温度および湿度条件でハンダ付けプロセス環境をシミュレーションし、その環境にデバイスを置くことによって剥離とクラックを発生させます。

図 70 は、高温高湿度条件下に置いた 44 ピン PLCC パッケージの超音波顕微鏡画像です。

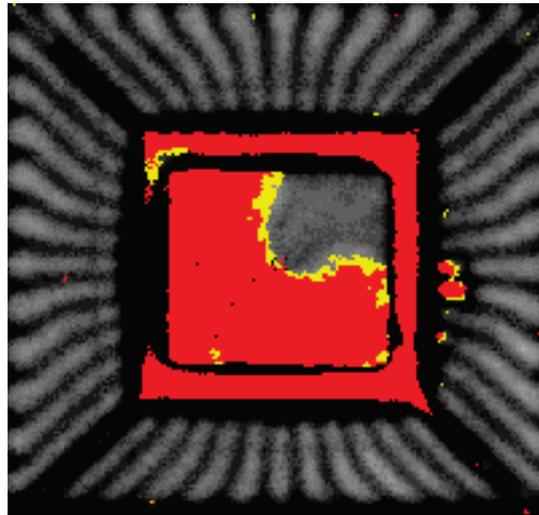


図 70. 剥離した 44 PLCC の超音波顕微鏡画像

図の赤い部分はダイ表面の剥離を示しており、グレーの部分はダイ表面とプラスチック・モールドング・コンパウンド間の接着が正常な状態であることを示しています。研究の結果、パッケージのクラックと剥離に影響する要因として以下が確認されています。

1. ハンダ・リフロー中のピーク温度
2. ダイ・パドルの寸法
3. モールドング・コンパウンドの吸湿率 (%)
4. モールドング・コンパウンドとダイおよびリードフレームの接着
5. パドル下のモールドング・コンパウンドの厚さ

フクザワらは、上記の要因を単純なモデルにまとめました。図 69 のパドルの下の隙間内の蒸気の圧力でモールドング・コンパウンドがパドルから剥離して隆起します (ポップコーン現象)。高いハンダ付け温度において、プラスチックの最大曲げ応力 S_{MAX} が使用しているモールドング・コンパウンドの破壊ストレス特性値を超えると、クラックが発生します。

したがって、クラックは以下の場合に発生します。

$$S_{MAX} > S_{CRIT}(T_{SOLDER}) \quad (12)$$

最大曲げ応力はダイパドル長辺の中央部で最初に発生し、次式で表すことができます。

$$S_{MAX} = 6K(a/t)^2P \quad (13)$$

ここで、

K = 無次元の応力集中係数 (パドルのアスペクト比に左右されます)

a = パドルの短辺側の長さ

t = パドルの下のモールドング・コンパウンドの厚さ

P = 隙間内の水蒸気圧

上の式によれば、ダイ・パドルが大きく、ダイ・パドルの下のモールドング・コンパウンドが薄いパッケージは、クラッキングが発生しやすいこととなります。フクザワは、 (a/t) の比が 5 未満の場合はパッケージ・クラッキングが発生しないことを発見しました。

水分の飽和やドライアウトの関数としてクラッキングの発生しやすさを予測するために、式 12 の P に対するモデルが必要になります。これは、次のように導出されています。

$$P = H \times P_{SAT}(T_{SOLDER}) \quad (14)$$

ここで、

H = ハンダ熱衝撃が加わる前の飽和周囲雰囲気相対湿度

P = 隙間内の水蒸気圧 (ピーク・ハンダ温度によって異なります)

吸湿に伴う第二の故障メカニズムは、クレータリングです。このタイプの故障は、高いリフロー温度による水分の突然の蒸発とアルミニウム内のシリコン粒の量によって水蒸気圧が過大になる結果、金ボール・ボンディング部分が持ち上がります。この状態を図 71 に示します。

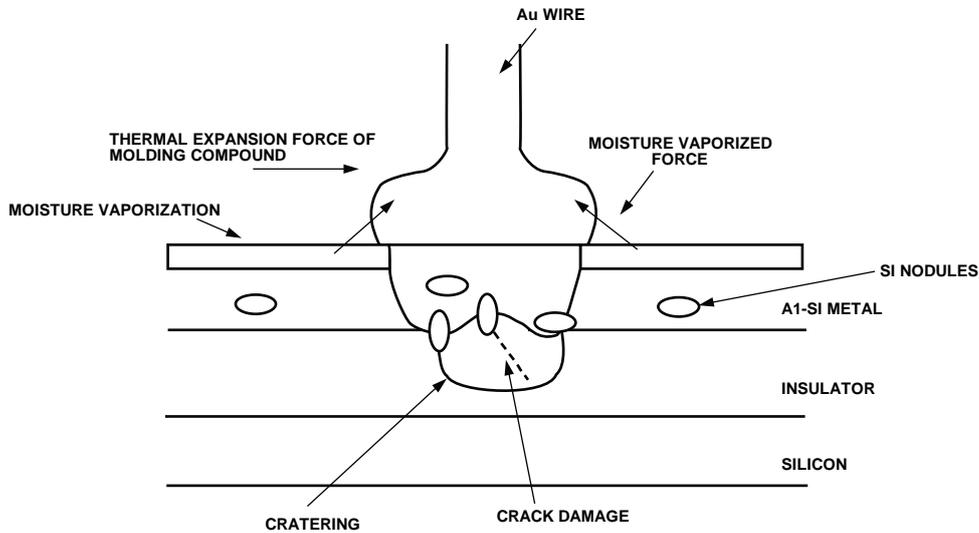


図 71. ボンド・パッド・クレータリング

Si 粒は、蒸着した Al-Si メタライゼーションでアルミニウムとシリコンが結合することによって絶縁体上に形成されます。ワイヤ・ボンディング時に過大なボンディング力が加わると、シリコン粒によってボンディング・プロセス中に絶縁体が損傷し、付随する超音波振動によってその損傷が拡大して、ボール・ボンド下の絶縁体にマイクロクラックが生じることがあります。モルディングを行うと、パッケージが水分を吸収し、その水分がダイ表面に浸透します。ハンダ・リフロー中に加わる高温によってこの水分が気化し、ボール・ボンド周辺の圧力が非常に高くなります。その下にある絶縁体は、マイクロクラックによって強度が低下します。モルディング・コンパウンドの熱膨張力と水分の気化による力が一緒に加わり、ボール・ボンドが持ち上げられる結果、図 72 に示すようにシリコン層にクレーターができます。

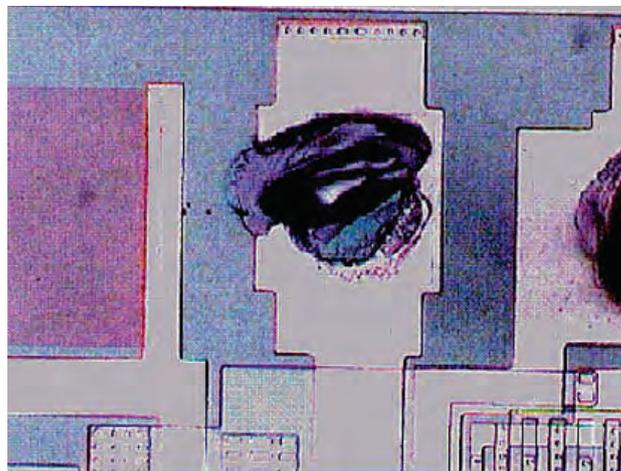


図 72. クレータリング発生後のボンド・パッド

デバイスが水分を吸収するのと同様に、回路基板製造前のベーキングによって水分がパッケージから放出されることがあります。これを図 73 に示します。ここでは、飽和するまで湿気にさらされたパッケージが、ベーキングによってドライアウト状態になっています。

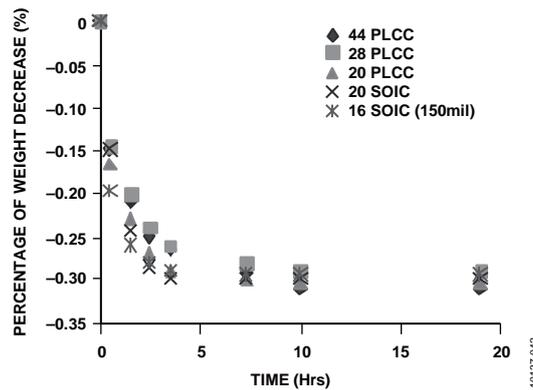


図 73. 各種パッケージのベークアウト

アナログ・デバイセズでは、信頼性に関わるこの問題について理解を深めました。これによって、ハンダ付けシミュレーション後の ADI 製品の信頼性を評価するための社内信頼性試験と、その手順を開発しました。大型パッケージでは、部品をベークングしてすべての水分を放出させ、乾燥剤および湿度インジケータとともに防湿バッグに密封するという作業手順を定めています。製品は定められた期間内に使用しなければならず、再ベークは一度だけしかできません。ADI の手順の詳細をご希望の場合は、弊社までお問い合わせください。

水分に関連するその他の故障メカニズム

プラスチック・パッケージの水分侵入に伴う故障メカニズムは、ポップコーン現象と層間剥離だけではありません。現在では 10 年前ほど多発していませんが、腐食などのその他の故障メカニズムも存在します。プラスチック・パッケージの水分に関連する故障メカニズムが発生するには、4つの前提条件があります。

1. 水分の侵入経路が存在すること。
2. 水分が存在すること。
3. 電圧が存在すること。
4. 汚染物質が存在すること。

プラスチック・パッケージにはこれら 4 つの要因すべてが多かれ少なかれ存在しており、目標はこれらの要因をできるだけ少なくして、水分に関連する製品故障の率を減少させることにあります。

先に述べたように、プラスチック・パッケージは親水性であり、平衡状態になるまで周囲の雰囲気から水分を吸収します。したがって、最も重要な問題は、汚染物質や不純物の侵入経路が存在するかどうかになります。不純物がダイへ達するまでの経路は、リードフレーム/パッケージ間などの界面沿いになりますが、これはパッケージ構造の一部として形成されます。製造工程での予期しないクラック、ボイドや隙間から、こうした経路ができます。図 74 は、パッケージ構造固有の界面と、不純物がこのような経路からどのようにダイに達するかを示しています。これらの汚染物質がダイ表面に達した場合の結果を図 75 に示します。腐食タイプの故障が最も発生しやすいのは、ダイ表面までの経路が最も短いピンであることが明らかになっています。

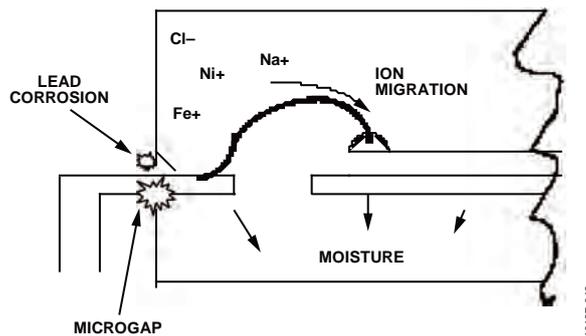


図 74. 侵入経路

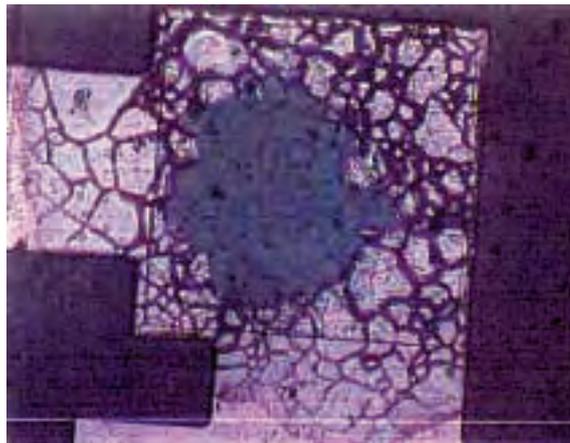


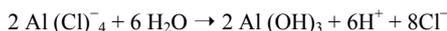
図 75. 腐食したボンド・パッド

分析から、不純物がエポキシ/リードフレーム間の界面に沿って拡散し、そこからボンドワイヤを伝ってダイ表面に達し、腐食プロセスを進めることが分かります。腐食プロセスは、塩素が存在する場合のアルミニウム腐食の場合の以下の式に示すように繰り返し進行します。結果として、わずかな量の汚染物質でも、著しい腐食を発生させる可能性があります。

アルミニウムは、次のような形で塩素と反応します。



さらに、 $\text{Al}(\text{Cl})_4^-$ は次のように水と反応します。



この反応によって塩素イオンが生じるため、さらに腐食が進みます。これを再生作用と言います。この反応によって生成される物質が水酸化アルミニウム $\text{Al}(\text{OH})_3$ で、その拡散の規模はパッシベーション層にクラックを発生させるのに十分です。

以下の要因によって発生するクラックも、水分と汚染物質の侵入経路となります。

- モールドの突出し
- バリ取り、トリム、成形時のツール不良
- 熱衝撃
- ハンダ・リフロー
- IC 製造における試験プロセス

水分と不純物がダイに達した場合は、以下のような要素がアクティブ回路への経路となります。

- パッシベーション層のピンホール
- アルミニウム段差上のパッシベーション層のステップ・カバレッジが不適切なことによるパッシベーション層のクラック
- 熱機械的ストレスによるパッシベーション層のクラック
- パッシベーションにおける不適切なゲッターリング
- ダイ表面ボンド・パッド部分の不適切なステップ・カバレッジ

汚染物質は、これらの 1 つまたはすべての経路を通じてアクティブ回路に達します。あるいは、ウェーハの製造や組立てプロセスにおける汚染物質管理が不適切なために取り込まれることもあります。これらが温度、湿度、バイアスによって加速されると、アルミニウムの腐食やその他の故障メカニズムが発生します。アルミニウム腐食は回路の重大な故障になりますが、 V_T シフトのようなその他の軽微な故障はパラメータの不具合を引き起こします。アルミニウム腐食による故障メカニズムは十分に理解されており、その発生メカニズムは 2 つあります。

- 水分がリンと結合してリン酸が形成されます。リンは製造プロセスに不可欠なもので、プロセス内のリンケイ酸ガラス (PSG) に含まれています。これが、バイアスの有無に関係なく腐食を引き起こします。バイアスのある状態では腐食は陰極に発生し、リンは、EDX や SIMS などの分析手法によって検出することができます。PSG は、パッシベーション層のクラックや、アライメントの合っていないパッシベーション開口部などによって水分に触れる可能性があります。
- 陽極アルミニウム腐食を最も促進させる物質の 1 つが塩素イオンです。上述の例に示したように、この反応は再生的なものです。塩素の主な供給源は、薬品によるバリ取り、旧世代のモールドイング・コンパウンド、ハンドリング、酸化膜除去剤などです。

ナトリウムによって、局所的な V_T のシフトといった比較的軽微な故障メカニズムが発生することもあります。こうした故障はごく軽微なものです。製造プロセスや組立てプロセスにおけるハンドリングが不適切な場合は、このタイプの故障が発生する可能性があります。

プラスチック・パッケージでは、金属腐食はもはやそれほど重大な故障メカニズムではなくなっています。ガラスのリン成分と水分の接触は慎重に管理されています。さらに、塩素イオンや、鉄あるいはナトリウムといったその他のイオン成分は、新世代のモールドディング・コンパウンドやプロセス材料では大幅に減少しています。また、製造プロセスから汚染物質をなくすために、厳密な汚染物質の管理とモニタリングが導入されています。アルミニウム腐食や、関連するその他の故障メカニズムが除去されていることは、これらのメカニズムに関わる故障率が減少していることによって実証されています。これは、ADI が毎年発行している信頼性データや、HAST その他の試験方法に関して過去 10 年間に発行された論文や資料などから明らかです。

ピン仕上げやトリム、成形、バリ取りプロセスに係るその他の故障メカニズムも、水分や湿度に起因して発生することがあります。しかし、これらの故障メカニズムは稀で例外的なものであるため、特に検討する必要はないでしょう。

ストレス・マイグレーション

金属配線が細くなるにつれて ($<2\mu\text{m}$)、高温や熱サイクルによる故障が発生しやすくなります。金属製の相互接続配線は、ストレスによって断線する可能性があります。これをストレス・マイグレーションと言います。この故障メカニズムでは、エレクトロマイグレーションや腐食の場合と異なりバイアスは存在しません。ストレス・マイグレーションは、アルミニウムの相互接続部と、パッシベーション膜あるいは層間絶縁膜の間の熱的不整合によって発生します。アルミニウム原子は、このストレスを緩和するために移動します。ストレスを緩和するためにアルミニウム原子が境界を越えて移動することもあり、これによって境界のボイドが拡大し、最終的には回路が断線することがあります。配線が完全な断線に至らなかった場合でも、この原子の移動によって金属配線の有効幅が減少し、エレクトロマイグレーションによる故障発生確率が高くなります。ストレス・マイグレーションへの耐性は、アルミニウム合金や、TiN、TiW、および Ti を金属層構造に使用することによって向上します。

熱による金線故障

ワイヤ・ボンディング・プロセスも、IC プロセスにおける潜在的な故障原因です。Au と Al は化合しやすい異種金属で、パープル・プレイング (AuAl_2) のような中間相をすぐに形成します。ボンド・パッド上で容易に識別できる紫がかった色が特徴のパープル・プレイングは、一般に組立てプロセスにおける過剰なボンディング温度が原因で発生していました。Au または Al における原子流束の不均衡は、空格子点束によって均衡します。これらの空格子点束が合体して中間相内にカーケンダル・ボイドと呼ばれる空隙を形成すると、中間相の強度が低下します。このためボンディング強度が最適値よりも低くなり、ボンディング後の熱サイクリングにおいてボンディングが破損することがあります。

大部分のモールドディング・コンパウンドには少量の塩素を含む臭素などの難燃剤が含まれています。高温下でモールドディング・コンパウンドから臭素が放出されると、やはりモールドディング・コンパウンドから放出される塩素によって活性化されて Br^- となります。 Br^- は金とアルミニウムの間に形成された中間相に作用してボンディングを劣化させ、故障を引き起こします。正常なボンディングと、高温下での長時間寿命試験によって劣化したボンディングの断面図を図 76 と図 77 に示します。国際的な仕様によって要求されている難燃剤は 150°C を超えると放出され、これがボンディングの寿命を制限します。高温エレクトロニクスの場合や、 150°C 以上のジャンクション温度で長時間にわたる寿命試験を行う場合には、これは重大な問題となります。



図 76. 良好なボール・ボンディング

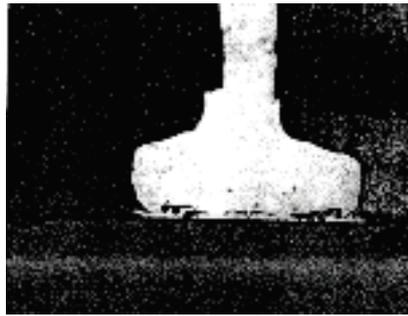


図 77. 熱によって劣化したボール・ボンディング

ボンド・パッド上の汚染物質の存在も、ボール・ボンディングの信頼性に影響を与えます。ソーイング・プロセスや不十分なクリーニングによって発生するシリコン・ダストは、Au-Al 間の相互拡散を加速させます。残留パッシベーションやボンド・パッドの汚れといったその他の問題も、ボール・ボンディングの信頼性に悪影響を及ぼします。

今日のプロセスでは、プロセス温度が低いいため、熱によるワイヤ・ボンディングの劣化はそれほど大きな問題ではありません。これはサーモソニック・ボンディングが使用されるようになったため、超音波エネルギーを使うためにボンディング温度がはるかに低いものになりました。その結果、約 350°C から 260°C 前後の範囲まで温度を下げるできるようになりました。

パッケージのクラック

チップ・サイズが大きくなるにつれて、配線の微細化とチップ・サイズの拡大が急速に進んでいます。このような進歩の結果として、アルミニウム・スライドやせん断応力による IC メタライゼーションの損傷リスクが増大しています。シーリング樹脂による熱的ストレスや、IC の個々の部品の膨張係数の違いが、これらの故障メカニズム発生の可能性を助長しています。IC 部品の代表的な膨張係数を表 10 に示します。これらの係数は一致しておらず、そのことから内部に応力が発生することは容易に理解できます。

表 10.

Component	TCE
Silicon	3 ppm/°C
Molding Compound	20 ppm/°C
Copper Leadframe	17 ppm/°C
Alloy42	4.7 ppm/°C

エポキシ接着剤によるダイ取付けの場合、ストレスが発生しない組立てプロセスの平衡温度は約 170°C です。この温度ではストレスがゼロになり、温度が低下するほど TCE の差から生じるストレスが大きくなります。TCE の値とプロセス温度が分かれば、有限要素法 (FEM) を使用してストレス条件をモデル化することができます。

FEM 解析を行えば、ダイの取付けによって曲げモーメントが生じ、それによってダイ上面に引張応力、ダイ底面に圧縮応力が加わることが分かります。引張応力の大きさはダイの厚さによって異なり、ダイの厚さはプロセスに合わせて最適化する必要があります。モールドイング・プロセスでダイに対してさらに圧縮応力がかけられます。これによってモールドイング・コンパウンドに引張力がかかり、その結果モールドイング・コンパウンド内にクラックが広がる可能性があります。すでに述べたように、これらのクラックは汚染物質の侵入経路となっており、製品の信頼性を低下させる恐れがあります。

モールドイング・コンパウンドにクラックが生じると、温度サイクリングによってそのクラックが拡大する可能性があります。ニシムラはこのクラック成長メカニズムを研究し、クラック伝播の速度を次式で表しました。

$$da/dN = C (\delta K)^m$$

ここで、

a はクラック長

N はサイクル数

δK はストレス拡大係数の範囲

C と m は定数

パッケージのクラックは、以下に示すようにいくつかの方法で制御できます。

- ダイの上とダイ・パドルの下のモールドイング・コンパウンドの厚さがほぼ同じになるように、ピン面の下のダイ・パッドを下の方に配置します。
- クラック伝播特性を制御するためにモールドイング・コンパウンドを修正します。充填粒子コーティングの変更や充填粒子のサイズおよび量の調整などがあります。
- ボイドの発生を最小限に抑えるためにライン内モニタリングと管理を実施します。

薄膜のクラックとワイヤ・ボンディングの破損

プラスチック・モールド部品で問題となるのは、パッケージのクラックだけではなく、モルディング・コンパウンドはダイを完全に包み込んでおり、これによって、すでに述べたようにパッケージとダイにさまざまな応力が生じます。モルディング・コンパウンドとダイは完全に密着しているため、図 78 に示すように、モルディング・コンパウンドにはダイの形状を忠実に再現する跡が残ります。この写真は、パッケージからダイを機械的に除去した後のモルディング・コンパウンドの一部を示しています。これにより、熱サイクル試験や温度サイクル試験の際にモルディング・コンパウンドからダイとボンディング・ワイヤに力が伝わり、それがボンディング・ワイヤやダイに関係する故障を招くことが分かります。これについては、2つの異なる側面を考慮する必要があります。

- パッケージのクラックとその伝播
- パッケージ内部の応力に対するボンディング・ワイヤの反応

これらの問題を理解するには、パッケージ内部の力を理解する必要があります。

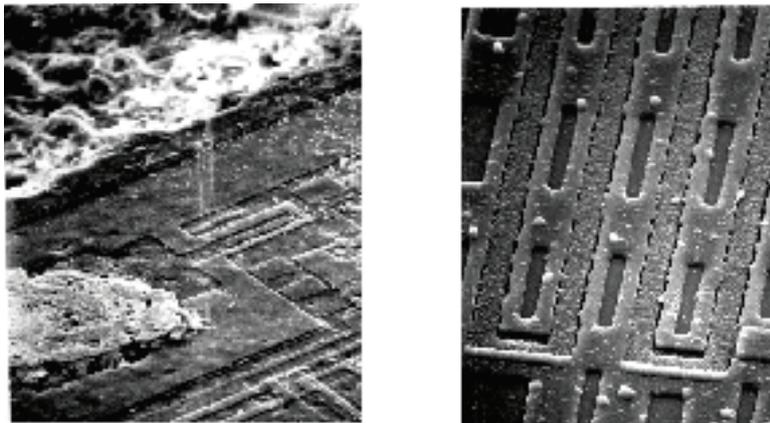
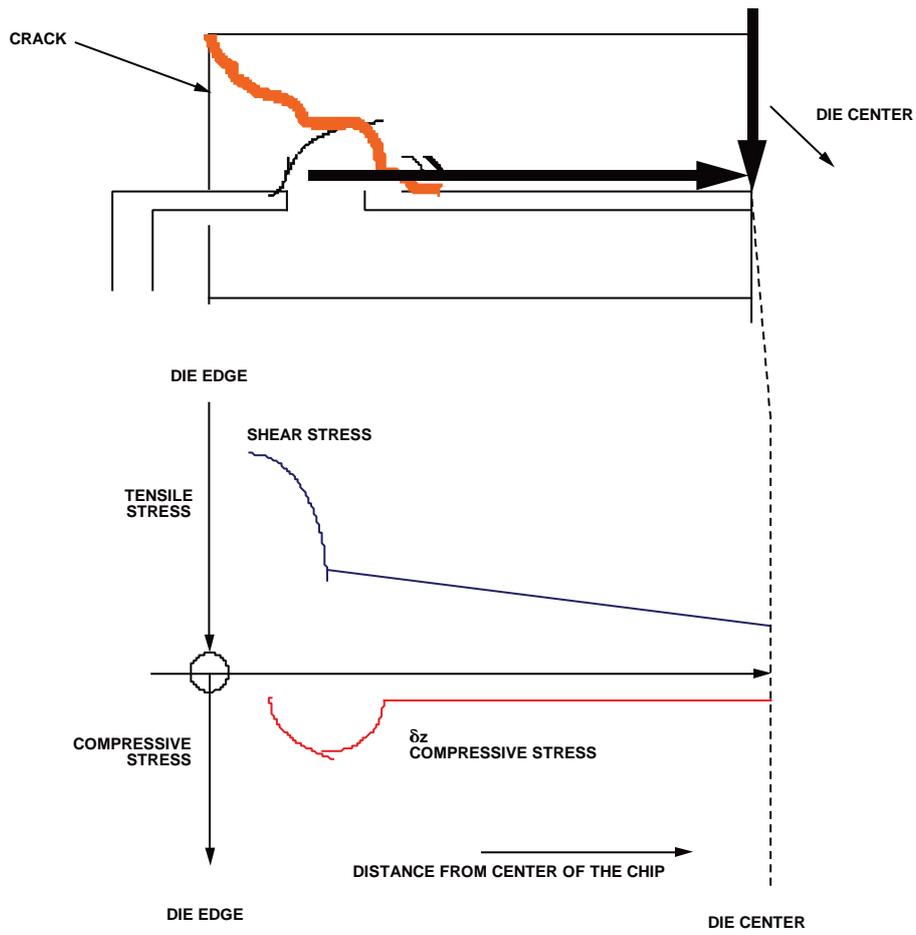


図 78. 処理後のプラスチック・モルディング・コンパウンドに残ったダイの跡

力の性質

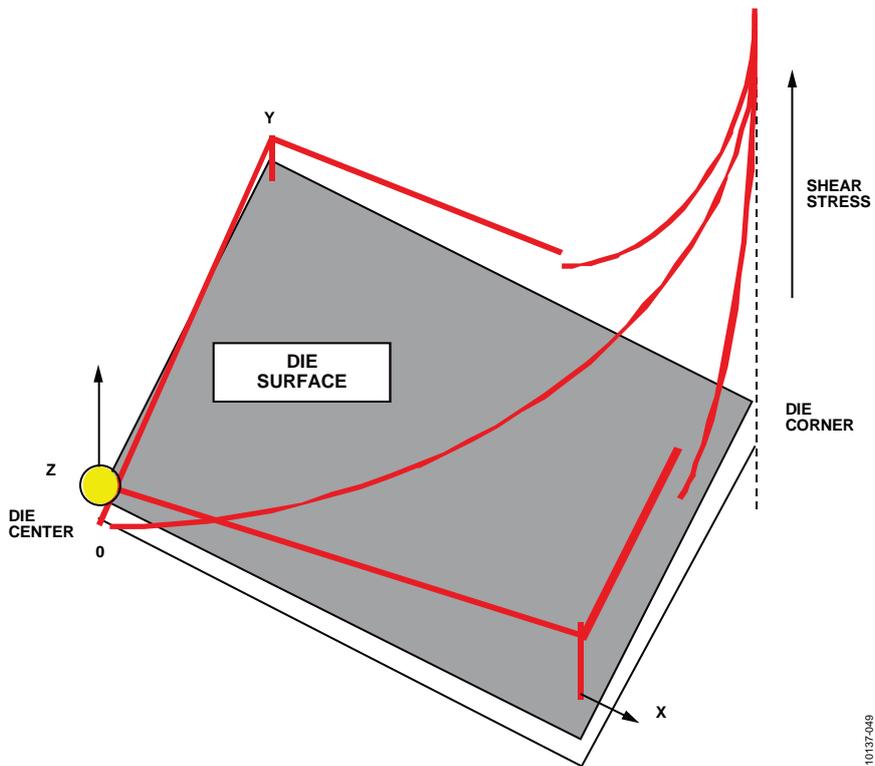
ダイ表面に加わる力を図 79 に示します。ゼロ応力点は約 170°C で、ダイ・アタッチやモルディングのプロセスはこの温度で行われます。すべての熱試験は+150°C～-65°C または-45°C 前後の範囲で行われます。この温度は、大部分の製品の動作範囲に相当します。図 79 は、応力がかかった状態を示しています。

ダイにかかる力の成分は 2 つあります。ダイの中心方向にはせん断力が加わり、これは中心へ向かうに従って減少して中心でゼロになります。垂直な圧縮力はダイ表面に沿ってほとんど一定ですが、きわめて大きな値となることがあります。したがって、クラックがダイ上面の角部分に発生すると、ダイ表面に加わる力の分布がそのクラックによって変化します。クラックは、ダイのエッジ付近に作用するせん断応力を増加させ、応力が圧縮から引張に変わることもあります。せん断力を図に描くと、図 80 のようになります。



10137-048

図 79. ダイの応力



10137-048

図 80. せん断応力

ワイヤ・ボンディングの破損

図 80 は、パッケージ内の Au ボール・ボンディングと Au ワイヤの構造を示しています。この図は、パッケージ内にクラックが発生した場合のワイヤの相対位置を示しています。クラックは、水分の侵入とハンダ・リフローの組み合わせによって発生することがあるほか、温度サイクル試験や熱衝撃試験の際に発生して広がる場合もあります。

クラックはワイヤを横切り、ワイヤにもクラックが発生しています。ボールに加わる通常のせん断応力は、ダイとプラスチックの剥離によって増大します。ボール・ボンディングにかかる応力によって、これがせん断する場合も少ない場合もあります。ボンディングのせん断がなかったとしても、ボール・ボンディングのネック部分で Au ワイヤ（金線）が切断されてしまうくらいの応力が働くことがあります。このような現象が発生するのは、Au ワイヤがプラスチックとともに動くのに対して、ボール・ボンディング部分がダイにしっかりと固定されているためです。ボール・ボンディングのネック部分のワイヤは、ボール・ボンディング処理の際にアニールされた状態になるため特に破損しやすくなっています。アニール効果によって一般的にボール・ボンディングのネック部がワイヤ部分より細くなり、その結果、ネック部分は破損しやすくなります。

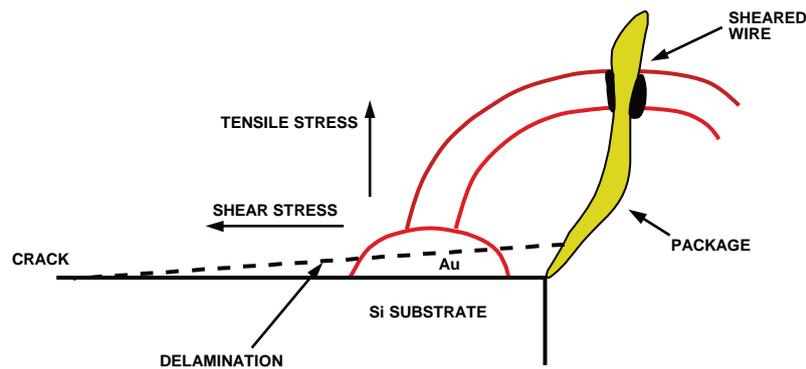


図 81. マイクロクラックによるボンディング・ワイヤのせん断

この種の破損に、先に述べたクレタリングなどの別の破損を伴うことがあります。図 82 は、長時間にわたる熱サイクル試験によってクレタリングが発生したボンディング・パッドの SEM 画像です。図 83 は、クレタリングが発生したボール・ボンディング部分で、ボンディング部分の底面に剥離した Si が見えます。

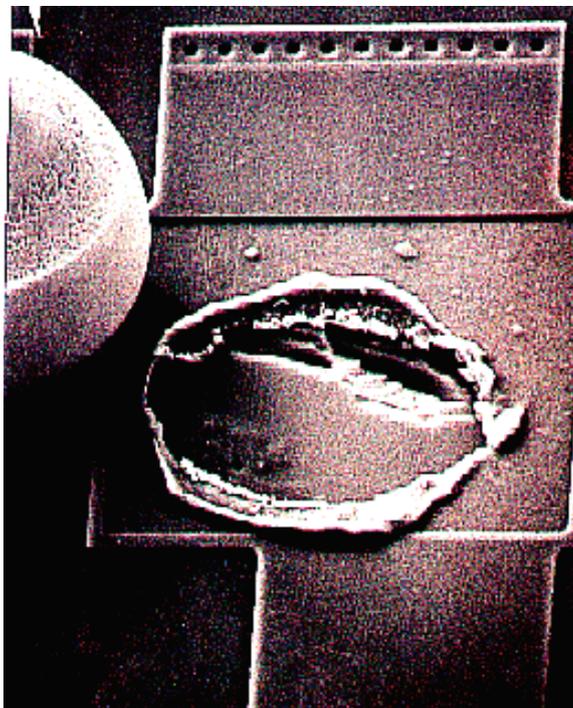
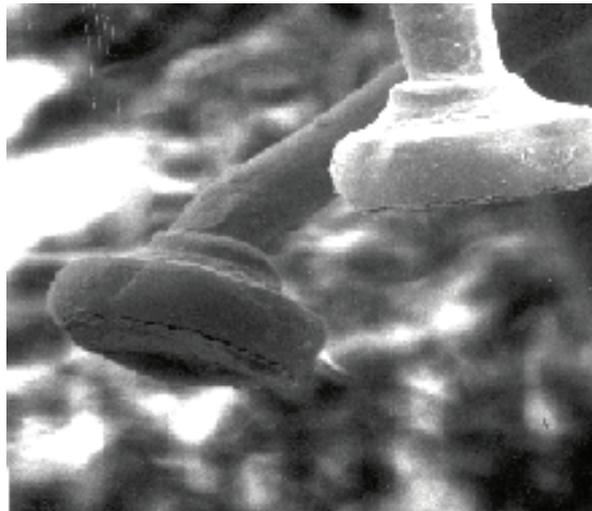


図 82. 長時間の温度サイクル試験によってボンディングが外れた状態のボンディング・パッド

図 82 は、この試験チップのボール・ボンディング部分が長時間の温度サイクル試験によって外れてしまった状態を示しています。プラスチック・パッケージの開封時にボール・ボンディングがボンディング・パッドから外れ、このため写真の上側部分にクレタが形成されています。図 83 ではボンディングの底面が見えており、底面には剥離したシリコンが付着しています。

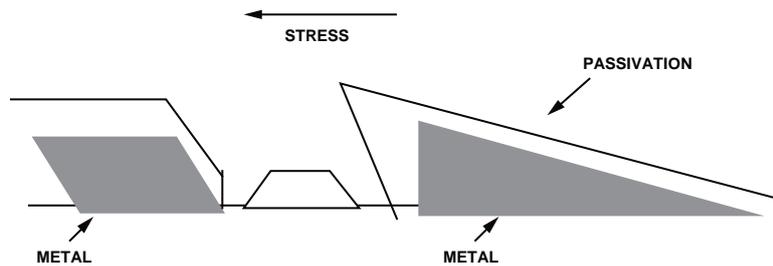


10137-052

図 83. 長時間の温度サイクル試験によって外れたボール・ボンディング

薄膜のクラック

パッケージによってダイにかかるせん断力は、薄膜構造を破損させることがあります。特に、応力が大きいダイのエッジ部分では、破損の可能性が高くなります。これは、PLCCのような大面積のパッケージで特に顕著です。アルミニウムの相互接続部に加わるせん断力の大部分は、パッシベーション層を通してアルミニウムの表面に直接作用します。作用する力がパッシベーション層の降伏強度を超えるとクラックが発生し、パッシベーション層を通してアルミニウムに加わる力がアルミニウムの降伏強度を超えると、アルミニウムが変形します。この故障メカニズムを図 84 に示します。



10137-053

図 84. せん断力による金属の変形

金属はせん断応力の方向にスライドして、大きな変形や金属トラックの曲り、ボンディング・パッド周囲の金属変形などを発生させます。長時間の温度サイクル試験によって特別に設計された試験チップに発生した損傷を図 85 に示します。



10137-054

図 85. せん断力による金属の変形

上の写真では、ボンディング・パッド周囲の金属が弓なりに変形していることによって、変形したラインが明確に確認できます。ダイのエッジ部分にある金属ラインが特に太い場合は、それだけラインに働く応力が大きくなるため、アルミニウムの破損が生じやすくなります。

モルディング・コンパウンド内の充填粒子によって、局部的にアルミニウムが変形することがあります。このような変形は、樹脂からの圧縮応力とせん断応力成分が、モルディング・コンパウンド中の充填粒子を通じて局部的に加わった場合に発生します。この種の金属変形は、特にチップ内の位置に依存するわけではありません。この故障メカニズムを図 86 に示します。

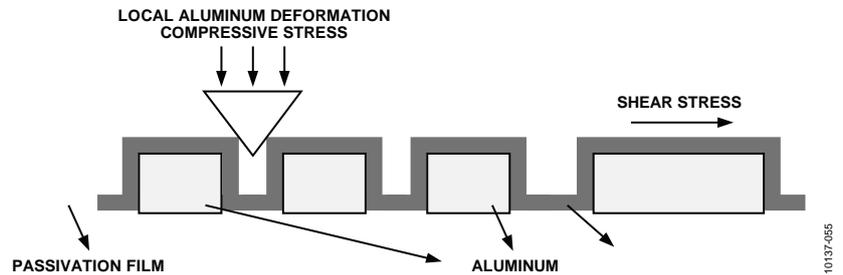


図 86. 充填粒子による金属の変形

局部的なアルミニウムの変形は、充填粒子の大きさに左右されます。この現象が懸念すべきものであるのは、細い金属ラインを断線させてデバイス故障を引き起こす可能性があるためです。以上に述べた 2 種類の薄膜クラックに影響を及ぼす要素は、以下に示すようにさまざまです。

- ダイのサイズ
- 使用するモルディング・コンパウンドの充填粒子サイズ
- 使用するモルディング・コンパウンドの種類
- アルミニウム・トラックの幅、つまり設計ルール
- ダイ・オーバーコートの使用

故障力学に基づく熱サイクルまたは熱衝撃の熱範囲に関し、ADI は、これらの故障メカニズムが顧客のアプリケーションで発生しないようにするための広範なプログラムと取り組みを実施しています。また、アナログ・デバイスは、これらの故障メカニズムが認定評価を終えたパッケージに発生することがないように、総合的な品質管理手順と信頼性管理手順を採用しています。新しいパッケージの認定評価を行う前に、これらの故障メカニズムやその他の潜在的な故障メカニズムを念頭に特別に設計された信頼性試験チップを使って特性の評価を実施しています。このような試験チップは、新しいパッケージの特性評価のためだけでなく、パッケージング、組立て、ウェーハ製造の既存プロセスの評価や変更の際にも使用されます。

ボード・レベルの信頼性

はじめに

携帯電子機器はさまざまな市場分野で増大し続けており、機器メーカーの「ボード・レベルの信頼性」(BLR: Board Level Reliability)の厳しい要求を満たす集積回路(IC)を提供することが半導体サプライヤにますます求められるようになっていきます。

JEDECやIPCなどのコンソーシアムは、BLR性能の重要性を鑑みて、業界で従うべき標準的なBLR試験方法を公表しています。同時に、主要ユーザーの中には独自の試験方法を策定しているところもあり、BLR性能は今や携帯市場のビジネスにおいて競争に勝つために必要な条件であるという事実を裏付けています。

これらの市場の要求に対応し、ADIはBLRの評価能力を開発してきました。これらの能力により、ADIは製品展開に先立ってチップ・スケール・パッケージング(CSP)を評価し、製品リリースのリスクを低減し、顧客アプリケーションの市場における信頼性を向上させます。ここでは、これらの能力の概要を示します。

部品レベルの試験ではICをハンダ付けしませんが、BLR試験の場合にはプリント回路基板(PCB)にICをハンダ付けします。PCBにハンダ付けされたICはPCBの表面に力学的に拘束されるため、応力と変形の分布と応答はハンダ付けされていないICとは完全に異なったものとなります。さらに、PCB取り付け部品については固定や試験用ハードウェアについて、関連する独特の課題があります。これは、部品レベルの試験では生じることがない課題です。

このような理由に加えて、リアルタイムのin-situデータを収集しやすくするために、BLR試験ではデバイスをデジチェーン接続にします。in-situデータを蓄積してプロットすることによって寿命分布を明らかにし、さらにそれを市場寿命の予測と統計的信頼区間に関連付けることが可能になります。

部品レベルの信頼性試験はダイおよびパッケージのレベルにおける広範な故障メカニズムを対象とするものですが、BLR試験ではICと回路基板の相互接続に影響を与えるプロセスと材料を対象としています。

一連のBLR試験は、重要なCSP技術と技術変更があるたびに実施します。試験は、ハンダ付け信頼性(SJR: Solder Joint Reliability)試験、機械的衝撃/落下試験、PCB曲げ試験、および振動試験の4つの試験方法で構成されています。

ハンダ付けの信頼性

SJR試験は、JEDEC JESD22-A104による温度サイクル試験で構成されます。試験用デバイスは、デジチェーン接続でPCBに取り付けます(図87参照)。



図 87. SJR 試験ボード

デバイスに加える温度サイクルの範囲は -40°C ~ $+125^{\circ}\text{C}$ で、1時間あたり1サイクルで試験を行います(図88を参照)。

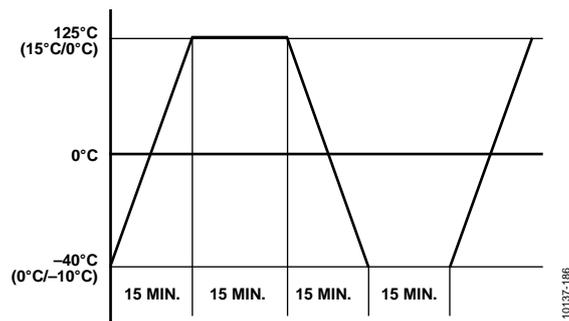


図 88. SJR 温度サイクル・プロファイル

温度サイクル試験によって、使用中の極端な温度条件（自動車のダッシュボード上への放置、冬のバス停でのバス待ちなどを想定）下での携帯・デバイス内の IC の応答を短時間で判定することができます。

デジチェーン接続のデバイスを PCB にハンダ付けした場合の接続部分の不具合は、in-situ モニタリングで検出されたデバイスの物理的故障の解析によって特定します。故障解析によって確認された故障メカニズムを寿命分布と比較し、さらにそこからプロセス改善の目標を導き出します。

機械的衝撃／落下試験

機械的衝撃／落下試験では、デジチェーン・デバイスをハンダ付けした PCB を所定の重りに取り付けて、落下経路となるガイドレールに重りを固定します（図 89 と図 90 を参照）。ADI ウィルミントンの BLR ラボでは、Bluelec 落下試験システムを使用しています。



図 89. Bluelec 落下試験システム

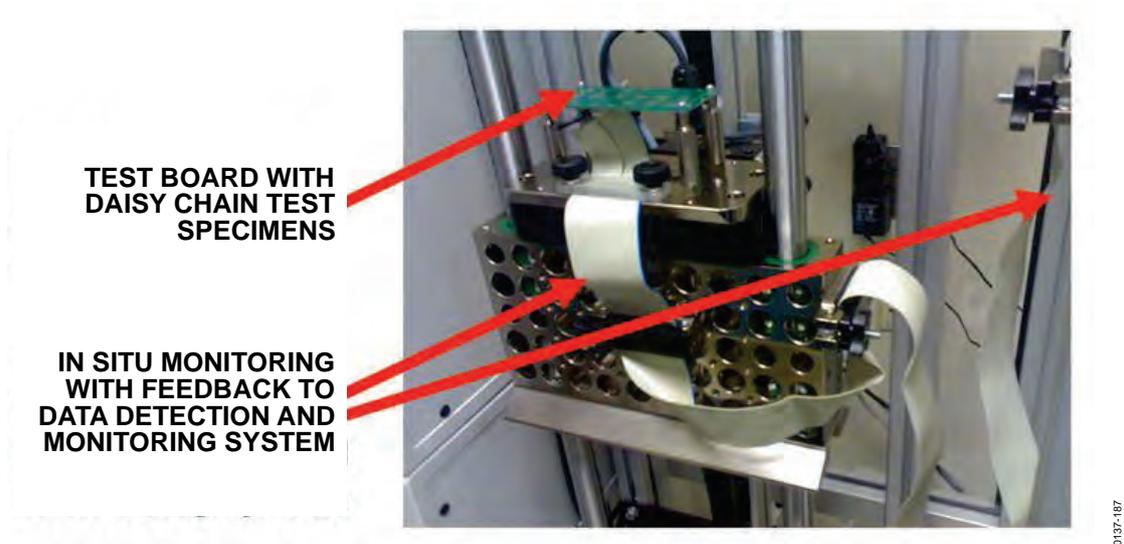


図 90. 機械的衝撃／落下試験システム

落下の高さと重りは、あらかじめ校正して 1500 g (PCB に取り付けられたデバイス上での測定値) まで加速するようになっています。衝撃波形は正弦半波パルスで、振幅は 1500 g、持続時間は 0.5 msec です。

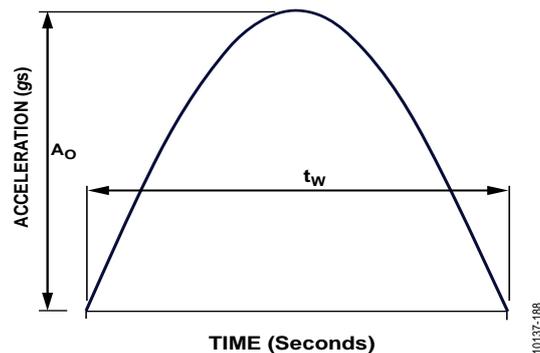


図 91. 機械的落下／衝撃プロファイル

この衝撃レベルは、JEDEC 仕様 JESD22-B111「携帯電子製品用部品のボードレベル落下試験方法」に規定されています。機械的落下／衝撃試験を行う根拠は、携帯電話やスマートフォン、PDA を床に落としたことがある人にはすぐに分かるでしょう。落とした後も動いてもらいたいからです。

SJR と同様、落下試験用のセットアップでもボード上のデージーチェーン・デバイスの in-situ モニタリングが行われ、導通の遮断を検出して記録します。

そして、やはり SJR の場合と同様に、デージー・チェーンが PCB にハンダ付けされている接続部の不具合は、in-situ モニタリングで明らかになるデバイスの物理的故障の解析によって確認します。

PCB 曲げ試験

PCB に取り付けられた IC デバイスのハンダ付け接続部には、ボードの組立て、PCB のハンドリング、市場での使用時などに PCB のたわみによって変形が生じます。ADI では、PCB の曲げ試験によって、ADI CSP におけるハンダ付けの本質的な破壊強度について特性評価を行うとともに、使用条件下における歪み速度と故障時間を把握しています。

PCB 曲げ試験は、IPC/JEDEC-9702「ボード・レベルの相互接続の単調曲げ特性評価」と、JEDEC JESD22-B113「携帯電子製品の相互接続部信頼性特性評価のためのボード・レベル繰り返し曲げ試験方法」に従って行われます。

PCB の曲げ試験の方法はきわめて単純です。in-situ モニタリング機能をもつデージーチェーン・デバイスを PCB に取り付け、1 回だけ曲げ破壊試験 (固有強度) を行うか、小さい変位量で繰り返し曲げ試験を行います。PCB 曲げ試験の概要を図 92 に示します。

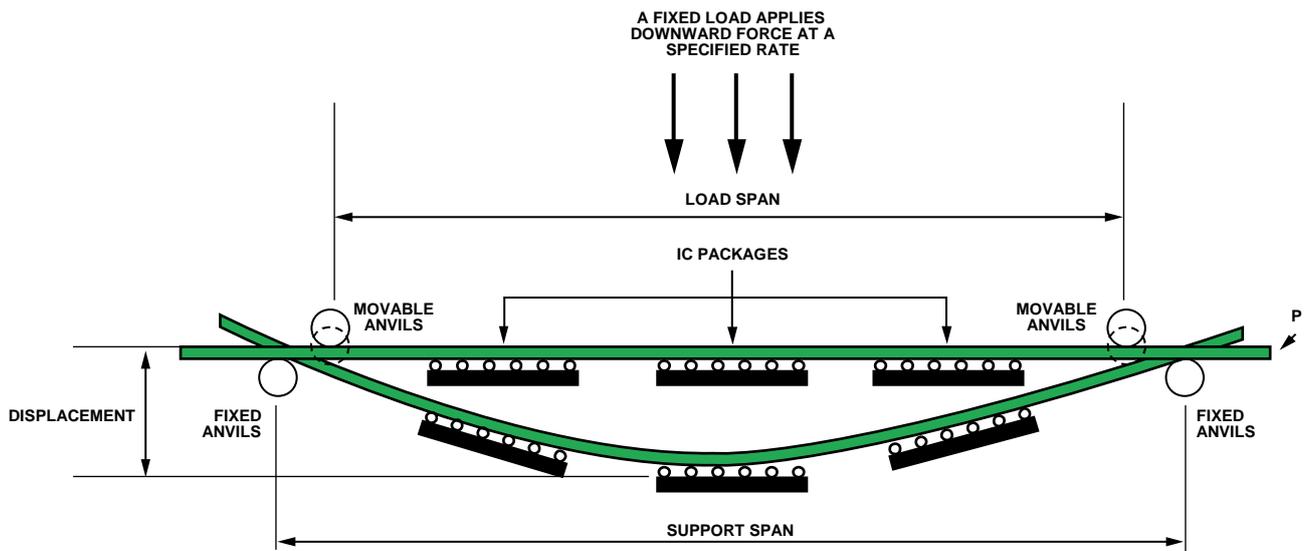


図 92. PCB 曲げ試験の概要

図に示す構成は 4 ポイント曲げ試験と呼ばれるものです。この構成では、負荷スパン内のすべてのデバイスについて一様な応力レベルが得られます。負荷と支持幅を変化させることで、異なる応力レベルが得られます。3 ポイント曲げ試験というものもあります。この場合は、可動アンビルを 1 つにして、下向きの力をかけます。ADI では、Instron 4455A 曲げ試験機を使用して PCB 曲げ試験を行っています (図 93 を参照)。



図 93. Instron 4455A 曲げ試験機

SJR 試験や落下試験同様、PCB の曲げによる故障についても根本原因にさかのぼって解析します。最終的な故障率は、信頼性適合レベルを決定するために分類されます。

振動試験

振動試験は一連の BLR 試験の中で最も新しい項目です。ADI の CSP および MEMS 技術の特性評価と信頼性試験の両方について商業分野と自動車分野における厳しい要求を満たすために、振動試験を追加しました。振動試験が必要な理由は明白です。ADI の部品を使用する電子システムは車載アプリケーションや工業用アプリケーション環境でも使用されますが、こうした環境では電子機器に力学的な振動が発生します。この振動によって、弱いハンダ付け接続部が損傷する可能性があります。

信頼性ハンドブック

振動試験に使われる主要な動作仕様には、これらのアプリケーション環境が反映されています。

- MIL-STD-883G Method 2007.3 Condition B (20 Hz から 2000 Hz の 50 g 掃引) —Standard Group D Vibration Test
- ISO 16750-3:2007 Test IV (Table 7) Automotive-Car (振動と温度)
- ISO 16750-3:2007 Test VII (Table 12) Automotive-Truck (振動と温度)
- ISO 16750-3:2007 Test VII (Table 13) Automotive-Truck (振動と温度)

ADI が振動試験用に使用するシステムは、図 95 に示す Thermotron DXS-2250 温度振動システムです。

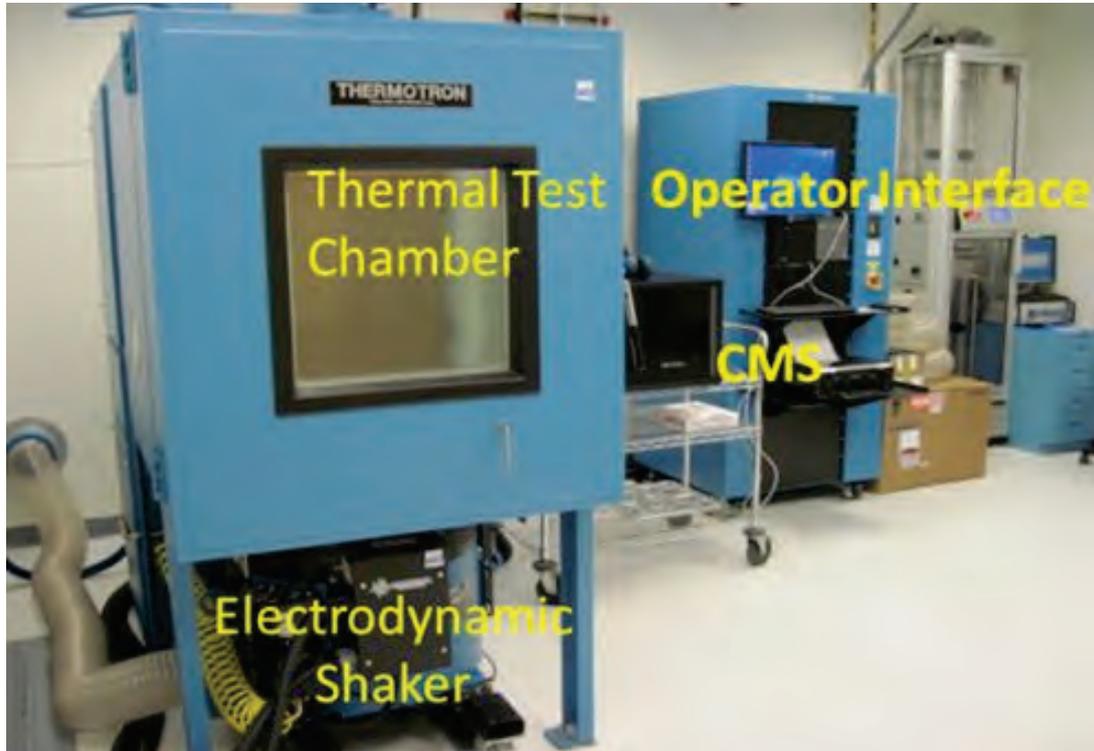


図 94. Thermotron DXS-2250 振動試験機



図 95.
Thermotron DSX-2250 温度／振動システム
操作画面に 50 g の衝撃プロファイルを表示

このシステムには、試験チップの in-situ 試験を連続的に行うことができる連続モニタリングシステム (CMS) が含まれています。データの in-situ モニタリングは故障分布プロットを作成するための前提条件であり、これによって試験中に発生した故障を定量化するとともに、発生に関する統計的基礎となります。振動試験で発生した故障については、物理的な故障解析が行われ、根本原因を特定して、改善サイクルを進めます。

まとめ

ADI は、その CSP 技術に関しボード・レベルの信頼性の広範な特性評価試験を実施し、携帯市場の厳しい要求を満たす製品を提供しています。

電氣的オーバーストレス

はじめに

電氣的オーバーストレス（EOS : Electrical OverStress）は、半導体メーカーの別を問わず、従来から IC 故障の主要原因の 1 つでした。一般的に、電氣的オーバーストレスとは、IC の 1 つまたは複数のピンに、IC のデータシートに定める最大定格値を超える電流または電圧レベル、もしくはその両方がかかる状態と定義することができます。EOS イベントがもたらす結果はそのエネルギーと持続時間によって異なり、損傷が生じない程度から電氣的動作に異常をきたすようなもの、あるいは深刻な電氣のおよび物理的損傷をもたらすような致命的なものまでさまざまです。EOS には広範な過電圧／過電流を伴うイベントが含まれ、静電放電（ESD）、ラッチアップ（LU）、電源オン／オフ時の電源過渡現象や、過大な DC 電流／電源レベルなどがあります。ESD は、持続時間が 1 マイクロ秒に満たない EOS イベントのことです。アナログ・デバイスでは、顧客アプリケーションにおいて最大限の信頼性を実現するためには、あらゆる形態の EOS に対して十分な堅牢性を備えた IC 設計が必要であると認識しています。

ESD の定義

静電放電

静電放電（ESD）は、静的電位の異なる 2 つの物体間での電荷移動によって生じる電流です。IC への電荷移動は、性質の異なる 2 つの物質間の摩擦が外部の電界による帯電から生じます。IC または IC 上の経路からグラウンドへの放電は時間が短く（1 秒未満）、電流と電圧の振幅が大きいパルスであることが特徴で、絶対最大定格の値を超えるものとなります。

ESD パス電圧

ESD 試験モデルにおける ESD パス電圧とは、デバイスのすべてのピンに当該モデルの ESD イベントが発生するが、その後の電氣的試験においてデータシートに記載されているすべての試験限界値に合格する最も高い電圧レベルを言います。

ESD モデル／試験方法

概要

ESD 故障の兆候を示す IC について ADI が行った故障解析（FA）では、その大部分が帯電デバイス・モデル（CDM : Charged Device Model）か人体モデル（HBM : Human Body Model）によってシミュレートできることが一貫して明らかになっています。すべての ADI 製品（大きな製品仕様変更を含みます）は、リリース前に CDM 試験法および HBM 試験法に従って試験されています。

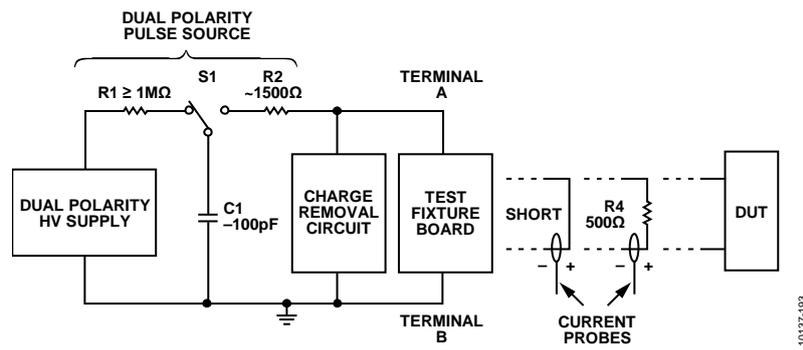
半導体業界でマシン・モデル（MM）と呼ばれている第三の ESD モデルは、実際にはあり得ないような最悪条件下での人体モデルに対応するものです。ADI および業界の研究によれば、実際の ESD イベントと MM との間に相関関係はないことが分かっています。このため、ADI ではこのモデルを重視していません。ただし、社内での限定的な MM 試験とその後の FA によれば、HBM シミュレーションと MM シミュレーションにおける故障の特徴には高い相関性があります。したがって、CDM と HBM での ESD に対する堅牢性を実現するための ADI の設計ルールと ADI 独自の設計手法は、同時に MM での耐 ESD 性をも保証しています。

人体モデル（HBM）とマシン・モデル（MM）

人体モデルは、最も古く、最も知られている ESD モデルです。このモデルが半導体業界に最初に採用されたのは 1960 年代後半で、米国のタイタン III 宇宙計画のフライト・コントロール・コンピュータに使用する接合型電界効果トランジスタ（JFET）の故障をシミュレートする方法として導入されました。このモデルは単純な直列 RC 回路で構成されており、R と C の値は、立っている人間の指先が IC に触れたときの放電をシミュレートするように選択されています。HBM は 1970 年代を通じて広く使用されましたが、試験システムの標準（特に使用する R と C の値について）に関する合意が成立せず、異なる ESD 試験システムを使用して測定した各種の HBM 閾値間に十分な相関関係が存在しませんでした。

各種試験機間の相関性は、1979 年に MIL-STD-883 Method 3015「静電放電に対する感度分類」[99]が策定されてから大幅に改善されました。この HBM 試験方法には、図 97 に示すように、 $R_2 = 1500$ 、 $C_1 = 100$ pF の RC ネットワークに関する仕様が定められています。このモデルを使用している現行の業界規格は、ANSI/ESDA/JEDEC JS-001 HBM 規格です。実際の RC 値は人によって大きく異なり、その人の衣服、靴、位置、周囲環境を含む数多くの変数で構成される関数です。したがって、1500-100 pF モデルは、人の指先からの放電についての実際的なモデルというより、1 つのベンチマークと見なす必要があります。図 97 に示すように、コンデンサ C_1 は抵抗 R_1 に直列に接続された高電圧発生器によって充電されます。高電圧リレー S_1 のスイッチが入ると、充電されたコンデンサ C_1 （電圧は VESD）が、直列に接続された放電抵抗 R_2 と被試験デバイス（DUT）に流れる電流 IESD として放電されます。IESD のピーク値は次式で計算することができます。

$$I_P = V_{ESD} / (R_2 + R_{DUT}) \quad (15)$$



R1 = 106 to 107

C1 = 100 pF ±10% (insulation resistance 1012 minimum)

R2 = 1500 ±1%

S1 = High voltage relay (bounceless, mercury wetted, or equivalent)

S2 = Normally closed switch (open during discharge pulse and capacitance measurement)

図 96. HBM ESD 試験回路 (ANSI/ESDA/JEDEC JS-001-2011 から抜粋)

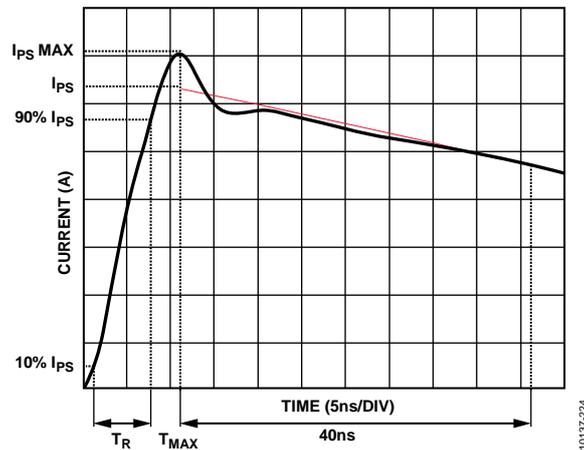


図 97. 短絡線に流れる電流の波形 (Ips MAX)

HBM ESD 短絡電流波形 (ANSI/ESDA/JEDEC JS-001-2011 から抜粋)

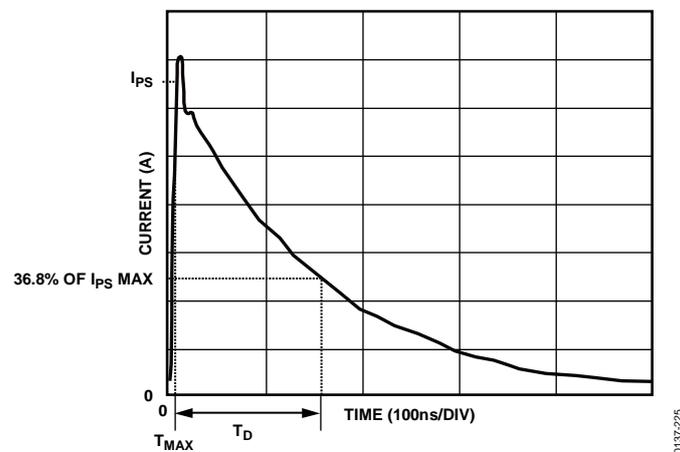


図 98. 短絡線に流れる電流の波形 (td)

HBM ESD 短絡電流波形 (ANSI/ESDA/JEDEC JS-001-2011 から抜粋)

電流パルスは、以下の特性を有しているものとします。

- T_{RISE} (立上がり時間) <10 ns
- T_{di} (遅延時間) 150 ± 20 ns
- I_p (ピーク電流) は、電圧ステップの選択された IR (リングング) に対して表 11 の I_p 値の $\pm 10\%$ 以内。減衰はスムーズで、リングング、ブレイク・ポイント、二重時定数、または不連続性が I_p の 15%未満としますが、パルス開示時点から 100 ns の間はこれらが認められないものとします。

図 96 に示す HBM ESD 試験回路は、基本的に DUT に電流を流す理想的な電流ソースとして機能します。図 97 は、DUT が短絡回路である場合 ($R_{DUT}=0$) の時間と ESD 電流 I_{ESD} の関係を示します。この HBM ESD 波形は二重指数関数の特性を有しており、立上がり時間は通常 6 ns~8 ns の範囲で、立下がり時間は $\tau = R_2 \times C_1 = 1500 \times 100 \text{ pF} = 150$ ns です。

表 11 に、標準的な最小ストレス電圧を使用して ADI 製品の HBM ESD 耐性を分類するための短絡回路 ($R_{DUT}=0 \Omega$) に対するピーク HBM ESD 電流 I_p を示します。式 15 に $R_{DUT} = 0 \Omega$ を代入すると、 $I_{p(0\Omega)} = V_{ESD}/R_2$ 、すなわち $I_{p(0\Omega)} = V_{ESD}/1500$ となります。したがって、短絡回路の 1000 V HBM イベントでは、 $I_{p(0\Omega)} = 1000 \text{ V}/1500 \text{ V}$ 、つまり 0.67 アンペアとなります。

表 11. ADI の HBM ESDS 試験ストレス・レベルと対応する分類

Stress Voltage	Peak Current, I_p ($\pm 10\%$)	Sample Size	Corresponding HBM ESDS Classification for any Electrical Failures at this Stress Voltage
$\pm 500 \text{ V}$	$\pm 0.33 \text{ A}$	3	Class 1
$\pm 1000 \text{ V}$	$\pm 0.67 \text{ A}$	3	Class 1
$\pm 1500 \text{ V}$	$\pm 1.00 \text{ A}$	3	Class 1
$\pm 2000 \text{ V}$	$\pm 1.33 \text{ A}$	3	Class 1
$\pm 2500 \text{ V}$	$\pm 1.67 \text{ A}$	3	Class 2
$\pm 3000 \text{ V}$	$\pm 2.00 \text{ A}$	3	Class 2
$\pm 3500 \text{ V}$	$\pm 2.33 \text{ A}$	3	Class 2
$\pm 4000 \text{ V}$	$\pm 2.67 \text{ A}$	3	Class 2

¹ すべてのサンプルが 4000 V までのストレス試験をパスした場合、HBM ESDS 分類はクラス 3 となります。

ADI は、ESD 協会/JEDEC が共同作成した HBM 文書、ANSI/ESDA/JEDEC JS-001 [100]に従っています。

ANSI/ESDA/JEDEC JS-001 にも、500 Ω 負荷に対する波形仕様が定められています。ストレス試験における DUT の抵抗は明らかに有限値 (ゼロ以外) なので、この仕様によって、より現実的な ESD 試験システムの評価ができます。式 15 に $R_{DUT}=500 \Omega$ を代入すると、 $I_{p(500\Omega)} = V_{ESD}/(R_2 + R_{DUT})$ となります。したがって、500 Ω の負荷での 1000 V の HBM イベントの場合、 $I_{p(500\Omega)} = 1000 \text{ V}/(1500 \Omega + 500 \Omega)$ 、つまり 0.50 アンペアとなります。表 12 に示すように、ESD 電流波形の立上がり時間は、 $R_{DUT} = 0 \Omega$ の場合よりも $R_{DUT} = 500 \Omega$ の場合のほうが遅くなります。

表 12. 工業用 HBM ESD 仕様間での重要な相違

Test Parameter	ANSI/ESDA/JEDEC JS-001
Rise Time into a Short Circuit	2 ns to 10 ns
Rise Time into a 500 Ω Load	5 ns to 20 ns (for $V_{ESD} = 500 \text{ V}$)
Number of pulses per pin combination in Figure 99	1 positive + 1 negative
Failure criteria	Testing to data sheet limits (both functional and parametric)

ザップされたピンの組み合わせを知ることが大切であること

ADI は、ANSI/ESDA/JEDEC JS-001 に従い、すべての新設計製品と再設計製品に HBM ESD 分類試験を行っています。この試験では、表 13 に指定するすべてのピンの組み合わせについて、0.3~1 秒の間隔で 1 回ずつ正放電と負放電 (ザップ) を加えます。HBM 試験は、通常、 $\pm 500 \text{ V}$ 、 $\pm 1000 \text{ V}$ 、 $\pm 1500 \text{ V}$ 、... $\pm 4000 \text{ V}$ で行われ、それぞれのストレス電圧レベルで 3 個の新品サンプルを使用します。MM 試験でも、HBM 試験と同じサンプル・ピンの組み合わせを使用します。

表 13. ADI の HBM および MM ESD 試験におけるピンの組み合わせグループ

Group	Connection to Terminal A in Figure 96	Connection to Terminal B in Figure 96
1	Each pin one-at-a-time (other pins floating)	Power Supply 1
2	Each pin one-at-a-time (other pins floating)	Power Supply 2
n	Each pin one-at-a-time (other pins floating)	Power Supply n
N + 1	Each nonsupply pin one-at-a-time	All other nonsupply pins as a group

表 13 において、各電源 (1、2、...n) はオンチップまたは IC パッケージ内で金属により互いに短絡されたピンまたはピンのグループで、固有の電源グループを形成します。たとえば、2 本の Vdd ピンが金属によって互いに短絡されていない場合、これら 2 本のピンは別々の電源ピンとして扱われます。表 13 のアプリケーションを説明するために、NTSC/PAL エンコーダへの AD724 RGB を考えてみましょう。図 99 のピン配置に示すように、この製品には n=4 の異なる電源、APOS、DPOS、AGND、DGND があります。HBM ESD 分類試験の際には、図 99 <http://www.analog.com/ad724> に示す 72 通りのピンの組み合わせを使用して、AD724 に合計 144 回のザップ (72 回の正ザップと 72 回の負ザップ) を加えます。端子 A または端子 B に接続されていないすべてのピンは、フローティング状態のままです。

半導体メーカーの中には、HBM ESD 試験時にザップを加えるピンの組み合わせについて、ADI ほど厳しい条件を使用しないメーカーもあります。AD724 の例で言うと、会社によっては、APOS 電源と DPOS 電源を単一の正電源ピン・グループとして扱い、同様に AGND 電源と DGND 電源も 1 つの GND ピン・グループとして扱う場合があります。このように電源をグループ化することによって、AD724 に加えるザップは、合計で 84 回になります (42 回の正ザップと 42 回の負ザップ)。さらに、APOS ピンには効果的なオンチップ ESD 保護があるが DPOS ピンにはない場合、ザップを加える際にこれら 2 つのピンをまとめてグループ化すると、DPOS ピンの脆弱性が分からなくなってしまう。したがって、このような試験では、ADI の厳密な試験の場合より HBM ESD バス電圧がかなり高い値になる可能性があります。こうした高いバス電圧は、静電気の問題が存在する環境で使用する場合、製品の安全性についてユーザーに誤った判断をさせる恐れがあります。

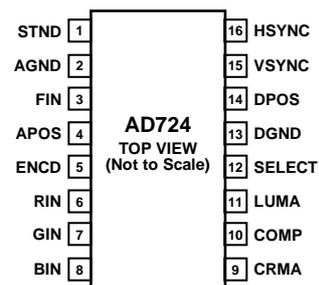
PIN	TERMINAL A	TERMINAL B
1	STND	APOS
2	AGND	APOS
3	FIN	APOS
4	ENCD	APOS
5	RIN	APOS
6	GIN	APOS
7	BIN	APOS
8	CRMA	APOS
9	COMP	APOS
10	LUMA	APOS
11	SELCT	APOS
12	DGND	APOS
13	DPOS	APOS
14	VSYNC	APOS
15	HSYNC	APOS

PIN	TERMINAL A	TERMINAL B
16	STND	DPOS
17	AGND	DPOS
18	FIN	DPOS
19	APOS	DPOS
20	ENCD	DPOS
21	RIN	DPOS
22	GIN	DPOS
23	BIN	DPOS
24	CRMA	DPOS
25	COMP	DPOS
26	LUMA	DPOS
27	SELCT	DPOS
28	DGND	DPOS
29	VSYNC	DPOS
30	HSYNC	DPOS

PIN	TERMINAL A	TERMINAL B
31	STND	AGND
32	FIN	AGND
33	APOS	AGND
34	ENCD	AGND
35	RIN	AGND
36	GIN	AGND
37	BIN	AGND
38	CRMA	AGND
39	COMP	AGND
40	LUMA	AGND
41	SELCT	AGND
42	DGND	AGND
43	DPOS	AGND
44	VSYNC	AGND
45	HSYNC	AGND

PIN	TERMINAL A	TERMINAL B
46	STND	DGND
47	AGND	DGND
48	FIN	DGND
49	APOS	DGND
50	ENCD	DGND
51	RIN	DGND
52	GIN	DGND
53	BIN	DGND
54	CRMA	DGND
55	COMP	DGND
56	LUMA	DGND
57	SELCT	DGND
58	DPOS	DGND
59	VSYNC	DGND
60	HSYNC	DGND

PIN	TERMINAL A	TERMINAL B
61	STND	ALL OTHER I/Os
62	FIN	ALL OTHER I/Os
63	ENCD	ALL OTHER I/Os
64	RIN	ALL OTHER I/Os
65	GIN	ALL OTHER I/Os
66	BIN	ALL OTHER I/Os
67	CRMA	ALL OTHER I/Os
68	COMP	ALL OTHER I/Os
69	LUMA	ALL OTHER I/Os
70	SELCT	ALL OTHER I/Os
71	VSYNC	ALL OTHER I/Os
72	HSYNC	ALL OTHER I/Os



10137-134

図 99. AD724 のピン配置と、AD724 の HBM ESD 試験時にザップを加える 72 種類のピンの組み合わせ

帯電デバイス・モデル (CDM : Charged Device Model)

帯電デバイス・モデルは、HBM 試験でシミュレートできなかった市場故障による損傷をシミュレートするための新しい ESD モデルとして、1974 年に AT&T によって作られたものです[101]。この CDM のコンセプトは、DUT が電荷の供給源となる状態を表しており、DUT の任意の 1 本のピンとグラウンドの間で放電を発生させます。このモデルでは、摩擦電気効果（つまり、ほかの物質との摩擦接触を介するもの）による直接帯電か、外部電界の影響による間接的帯電のどちらかによって IC パッケージが帯電するものと仮定しています。その後、1 本または複数のパッケージ・ピン（たとえばリード、ハンダ・ボール）を接地電位またはそれに近い電位にある導通面に接触させます。このときダイおよびパッケージ内の関連導通材（たとえばボンディング・ワイヤやリード・フレーム）に蓄積された電荷が、きわめて短時間に火花放電によって放出されます。パッケージ内のこれらの導通材の抵抗（通常は約 1）やインダクタンス（一般に数 nH）の値は低いので、放電はほぼ瞬間的に発生します。

CDM 放電を引き起こす摩擦帯電の代表的な例としては、次のものが挙げられます。

- IC が自動試験装置 (ATE : Automatic Test Equipment) のハンドラ・シュートを滑り落ちることによって帯電し、接地されたストップ・ピンにコーナー・ピンが接触して放電が起こります。
- IC がプラスチック製の SHIPPING・チューブ内を滑り落ちることによって帯電し、接地されたベンチ・マットにコーナー・ピンが接触して放電が起こります。

CDM 放電を引き起こす外部電界による帯電の代表的な例としては、次のものが挙げられます。

- レーザー・マーキング装置のゴム製ローラーによって発生した強い電界が IC を帯電させ、接地されたストップ・ピンにコーナー・ピンが接触して放電が起こります。
- PCB 組立て作業時にテープ・アンド・リール形式の IC のカバー・テープが高速で除去されることで強力な電界が発生して IC を帯電させ、PCB 上の導通性トラックに各 IC のピンが接触することによって放電が起こります。

帯電デバイス・モデルは、自動装置や自動出荷／ハンドリングによって発生する ESD 損傷のシミュレーションに非常に効果的です。上の例では、接地された導電性ゴム・ロール、帯電防止 SHIPPING・チューブ、帯電防止テープ・アンド・リール式カバー・テープなどを使用することによって、帯電を最小限に抑える自動装置や IC 用梱包材を設計することが可能です。帯電量は、多数の環境変数による関数となります。たとえば、湿度と空気のイオン化レベルが増大すると、帯電量は急速に減少します。しかし、どのような予防策を講じたとしても、IC パッケージが異種の物質と接触してその上を移動する限り、どうしてもある程度の帯電は発生します。実際、IC および PCB の製造工程の自動化によって、CDM ESD は ESD イベントの主要な実世界モデルと見なされるようになり、半導体産業では HBM ESD 損傷よりも普及しています[102]。このため、ADI では CDM イベントと HBM イベントの両方に対する堅牢性を備えた IC を設計することに重点を置いています。

CDM 試験では、フィールド・プレート上にデバイスを置き、このフィールド・プレートをグラウンドに接続するか、デバイスが帯電するような電圧で駆動します。このデバイスの静電容量は、帯電プローブを使用して直接帯電させたり、帯電フィールド・プレートを使用して間接的に帯電させたりすることができます。後者は電界誘起帯電デバイス・モデル (FICDM : Field-Induced Charged Device Model) 試験と呼ばれますが、ADICDM 分類プログラムではこの方法を使用しています。図 100 に示すように、フィールド・プレートを使用して DUT を必要なストレス電圧（正または負）に帯電させた後で、ロボット型の POGO プロブを使用し、 1Ω 抵抗を介して各ピンの電荷をグラウンドに放電させます。

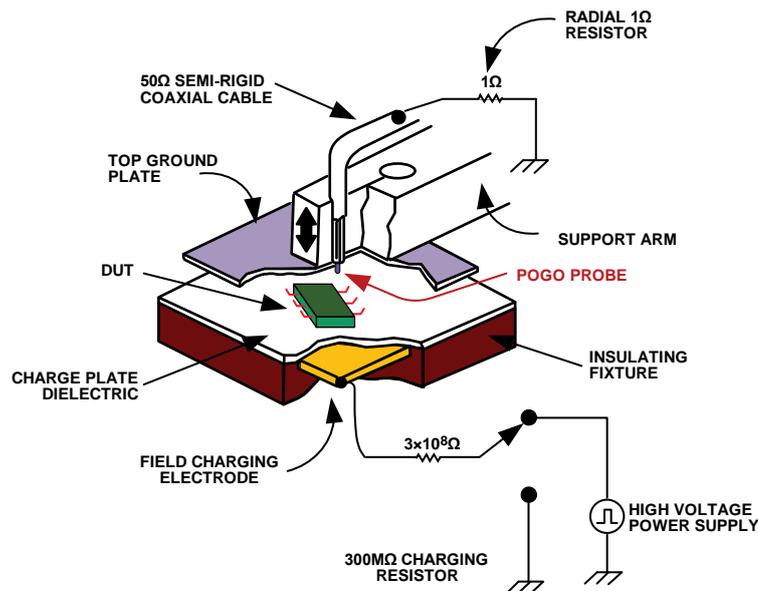


図 100. 電界誘起 CDM ESD 試験回路 (JEDEC Test Method JESD22-C101 から抜粋)

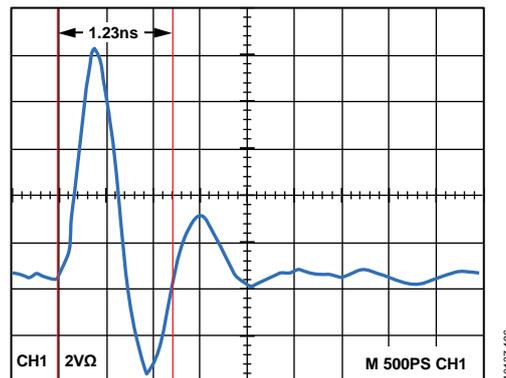


図 101. +250 V 放電時の電界誘起 CDM ESD 電流波形
30 pF 試験モジュールと 3 GHz BW オシロスコープを使用 (10 GS/s のサンプリング・レート)

1 Ω 抵抗を介した 2 V/div. の垂直スケールは 2 A/div.、 $I_{PEAK} \approx 9.6$ A、水平スケールは 500 ps/div.、 T_{RISE} (10%~90% I_{PEAK}) ≈ 200 ps です。

表 14 は、4 pF 試験モジュール ($C_D = 4$ pF) と 1 GHz オシロスコープを使用した場合の 1 Ω 放電抵抗を介した FICDM ESD 電流 I_P を、ADI 製品の FICDM 堅牢性を分類するために使用する代表的な最小 ESD ストレス電圧のセットについて示したものです。

表 14. ADI の CDM ESDS 試験ストレス・レベルとその分類

Stress Voltage	Peak Current, I_P ($\pm 20\%$) ¹	Minimum Sample Size	Corresponding CDM ESDS Classification for any Electrical Failures at this Stress Voltage
± 125 V	± 1.13 A	3	Class C1
± 250 V	± 2.25 A	3	Class C2
± 500 V	± 4.5 A	3	Class C3
$\pm 1,000$ V	± 9.0 A	3	Class C4
± 1500 V ²	± 13.5 A	3	Class C5

¹ このピーク電流は 4 pF 試験モジュールと 1 GHz 帯域幅測定システムを使用して測定した値です。

² すべてのサンプルが $\pm 1,500$ V までのストレス試験をパスした場合、FICDM ESDS 分類はクラス C6 となります。

CDM 波形は、最も短時間で発生する現実の ESD イベントを再現するものです。図 101 は、+250V に帯電させた 30 pF 校正モジュールを $R = 1$ Ω の抵抗を介して GND に放電した場合の時間対 ESD 電流 I_{ESD} のグラフです。CDM ESD イベントの発生にかかる時間はきわめてわずかで、合計持続時間は非常に短いものとなります。3 GHz オシロスコープを使用して測定した発生時間は約 200 ps で、放電イベント全体の持続時間は約 2 ns です。これに対し HBM イベントの持続時間は、表 14 に示すように、これより 100 倍ほど長くなります。CDM ESD イベントの本当の立上がり時間は分かっていません。これを知るには、現在使用できるオシロスコープよりも高速のオシロスコープが必要です。残念ながら、CDM 波形測定が困難であることや、さまざまな競合する試験方法が存在することによって CDM 試験はあまり普及していません。しかし、ADI はこのモデルがますます重要になると認識しています。したがって、ADI は現在、製品リリース前にすべての新製品と大幅なダイ・リビジョンを CDM によって分類しています。

MIL-STD-883 には、CDM 試験の試験方法は規定されていません。半導体産業において最も一般的に使われている 2 つの CDM 規格を以下に示します。

- ANSI/ESD S5.3.1, *ESD Association Standard for Electrostatic Discharge Sensitivity Testing: Charged Device Model (CDM) Non-Socketed Mode—Component Level*. [103]
- JEDEC Test Method JESD22-C101, *Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components*. [104]

ADI の CDM ESD 分類プログラムは、JESD22-C101 に準拠しています。

HBM 試験の際に使われる比較的複雑なピンの組み合わせとは異なり、FICDM ストレス試験は単純です。ここに示すように、DUT の各ピンを正帯電と負帯電でそれぞれ 1 回ずつ帯電/放電させます。

1. DUT を必要な電圧レベルまで正電圧で帯電させて、P1 から放電させます。このシーケンスをさらに 2 回繰り返します。
2. DUT を同じ電圧レベルまで負電圧で帯電させて、P1 から放電させます。このシーケンスをさらに 2 回繰り返します。
3. DUT の各ピンすべてについて、ステップ 1 とステップ 2 を繰り返します。

人体モデルのパス電圧とは異なり、CDM パス電圧はパッケージの種類に大きく左右されます。複数のパッケージがある製品の場合、一般的に小型パッケージのほうが大型パッケージより CDM 損傷を受けやすくなります。これは主に、電荷を蓄えるためのリード・フレーム面積が小型パッケージでは大型パッケージより小さいためです。したがって、複数のパッケージで提供される新製品や変更製品の FICDM 試験を ADI が実施するときは、すべてのパッケージで試験を行うか、前回の CDM 試験結果に基づいて最悪条件のパッケージ (通常は大型製品) を選択して試験を行います。

競合製品の ESD 結果と比較する場合の注意点

同種の競合製品の ESD データと比較する場合は、そのデータがどのように作成されたのか、また、どのような故障基準が使われているのかを正確に理解することが不可欠です。ADI は、ESD 協会の規格と JEDEC 仕様に基づく厳しい ESD 試験要件に従っています。しかし、半導体メーカーの中には、まだそれほど厳格ではない試験方法を用いているところがあります。半導体メーカーの提供する ESD データに統一がない大きな理由の 1 つは、ESD ストレスを加えた後でサンプルを試験する際に使われる故障基準の違いにあります。ADI では、ESD 協会と JEDEC の規格に忠実に、ストレス印加後の故障基準としてデータシートの限界値について電氣的試験（すべての機能試験とすべての AC および AC パラメータ試験を含む）を実施しています。ザップ印加後にデータシート限界値に適合しないサンプルはすべて故障と見なされます。たとえば、最大バイアス電流 (I_B) 仕様が 1.0 pA のオペアンプの場合、ESD ストレスを加えたことによって I_B が 1.1 pA となった場合、そのサンプルは故障したものと見なされます。ほかの半導体メーカーではこれを許容し得る故障としてカウントしないことがあります。ADI では正式な故障として扱います。さらに、単純にカーブ・トレーサ試験または断線／短絡試験を故障基準として使用するメーカーもありますが、このようにすると ESD パス電圧が不自然に高い値になってしまいます。

以上をまとめると、異なるサプライヤの ESD 試験結果を比較する場合は、次の点を明らかにする必要があります。

- サプライヤが使用した試験方法
- ザップを加えたピンの組み合わせ
- 使用した故障基準

このようにしないと、単に数値だけを不適切な方法で比較することになり、ESD 耐性について誤った結論を出す恐れがあります。

HBM および FICDM 試験方法の概要

表 15 は、ADI が展開する人体モデルと電界誘起帯電デバイス・モデルの概要を比較したものです。この表が示すように、これら 2 つのモデルは基本的に異なる ESD イベントを表しています。したがって、これら 2 つのモデルの試験結果には最小の相関性しかありません。

表 15. HBM および FICDM 試験方法の概要

Basis of Comparison	Human Body Model	Field-Induced Charged Device Model
Simulates	Discharge from finger of a standing person	Discharge when a charged IC contacts a grounded surface
First Used for ICs	Late 1960s	1974
Basis for ADI Test Methods	ANSI/ESDA/JEDEC JS-001	JEDEC JESD22-C101
RC	1500 Ω , 100 pF	1 Ω , typically 1 pF to 20 pF
Rise Time	<10 ns (typically 6 ns to 8 ns)	<400 ps (with a 1 GHz scope)
I_{PEAK} at +1500 V	1.0 A	13.5 A (with a 1 GHz scope)
Energy for $V_{PEAK} = +1500$ V	~1.5 μ J	~2.0 μ J
Total Duration	~500 ns	~2 ns
Number of Discharges Per Pin	Variable; function of pin-out	1 (1 positive and 1 negative)
Failure Criteria	Testing to data sheet limits	(both functional and parametric)
Package Dependency	No	Yes
Relevance to Real World	Moderate, but decreasing due to increased automated handling/assembly	Very high

ESD 耐性に関する ADI の目標

一般的なお客様の半導体仕様を検討し、さまざまなお客様と相談を重ね、さらに社内の故障解析の結果を踏まえ、ADI は、新製品や大幅なダイ変更を対象として以下のような ESD 分類試験の目標合格レベルを設定しました。

- 人体モデル： ≥ 2000 V
- 電界誘起帯電デバイス・モデル：コーナー／外側ピンについては ≥ 750 V、その他のピンについては ≥ 500 V

コーナー／外側ピンを対象とした FICDM の堅牢性については、その他のピンよりも高い目標が設定されています。これは、実際の CDM イベントの多くが、コーナー／外側ピンを持つパッケージで発生しているためです。ハード・グラウンドや仮想グラウンドに接触して CDM 放電を引き起こす可能性は、帯電した IC のコーナー／外側ピンのほうがほかのピンよりも高くなっています。たとえば、16 ピン SOIC で CDM 放電を起こす可能性が最も高いのは、1、7、8、16 の各コーナー・ピンです。44 ピンのクワッド・フラット・パッケージでその可能性が最も高いのは、1、11、12、22、23、33、34、44 のコーナー・ピンです。また、最後の例として、225 ボールの 15×15 構成プラスチック・ボール・グリッド・アレイ (PBGA) パッケージでは、外側の列にある 56 個のボールが最も CDM 放電を起こしやすくなっています。

ADI 製品の大部分は、上に示した ESD 分類試験の目標レベル以上の要求を満たしています。しかし、一部の製品では電気的性能と仕様に関する厳しい条件があるため、標準的なオンチップ ESD 保護セルを使用できないことがあります。その例としては以下のようなものがあります

- 非常に低いバイアス／リーク電流仕様 (pA～fA の範囲) が定められた IC
- 電源レールを超える動作／試験電圧のピンが 1 つまたは複数ある IC
- 高周波ピンが 1 つまたは複数ある IC (一般的に > 800 MHz)

このような場合は、IC 上の大部分のピンが ESD 耐性に関する ADI の目標を満たしますが、特別な電気的性能条件が定められたピンは目標を満たさないことがあります。このようなピンは、可能な限りコーナー／外側パッケージ・ピンにしないようにしています。こうすることで、現実の環境で ESD イベントが発生する可能性が最小限に抑えられます。

RS-232 および RS-485 トランシーバなどの一部の ADI 製品は、高電圧 ESD イベントおよび EOS イベントが特に起きやすい環境で使用することを意図したものです。これらの製品については、上に示した目標 ESD レベルをはるかに上回る堅牢性レベルを実現するために、独自の、あるいは特許取得の設計／レイアウト手法を用います。さらに、追加的なモデルや試験方法を使用して ESD/EOS 試験を行います。たとえば、最新バージョンの RS-232 トランシーバ [ADM2209E](#) および [ADM3311E](#) 上の入力／出力ピンは、以下に示すすべての試験に合格しています。

- IEC 61000-4-2 Air Discharge HBM (RC = 330 Ω, 150 pF) [103]による±15,000 V ESD 分類試験レベル
- MIL-STD-883 Method 3015 HBM (RC = 1500 Ω, 100 pF) による±15,000 V ESD 分類試験レベル
- IEC 61000-4-2 Contact Discharge Model (RC = 330 Ω, 150 pF) による±8,000 V ESD 分類試験レベル
- IEC 61000-4-4 [104]による≥±2 kV 電気的高速過渡現象 (EFT : Electrica Fast Transient) 試験

この試験および ESD/EFT 保護方式の詳細については、[ADM2209E](#) と [ADM3311E](#) のデータシートを参照してください。

ESD 故障モードと故障メカニズム

概要

ESD が発生した IC には、通常、明らかな故障が現れます。ESD による最も一般的な故障モードは、I/O ピンにおけるリークや抵抗短絡です。その他の故障モードとしては、過大な電源電流、ピンの断線、機能不具合などがあります。これらの故障を引き起こすピンは、ピンとピンの間の電流電圧 (I-V) カーブ・トレーサーによる試験によって特定できる場合もあります。しかし、特に CDM の場合はオンチップ I/O 回路のレベルを越える損傷が生じることがあるため、I-V 試験では検出できません。このような場合は、ESD による損傷を特定するために、高度な故障解析 (FA) 手法が必要になることがあります。

ESD に関連する大部分の故障は、次の 3 つの故障メカニズムの 1 つまたは複数の原因で発生します。

- 導体／抵抗の溶融
- 絶縁体の損傷
- ジャンクションの損傷／コンタクト・スパイク

これらの故障メカニズムは、どの IC でも発生する可能性があります。しかし、関係するウェーハ製造プロセスの主要な特性によって (たとえば、非常に薄いゲート酸化膜、サブミクロン単位のライン幅、薄膜抵抗など)、主に発生する故障メカニズムを絞ることができます。

導体／抵抗の溶融

導体や抵抗の溶融は、薄い金属相互接続、薄膜または厚膜抵抗、ポリシリコン製の抵抗／相互接続などで発生し得ます。これは、最も理解しやすい ESD 故障メカニズムです。ESD イベントは局部的に大きなジュール熱を発生させ、導体や抵抗の材料を溶かします。通常、現実の HBM イベントにおけるエネルギーは現実の CDM イベントのエネルギーよりも大きいため、HBM ESD が発生した IC にはよく導体／抵抗の溶融が見られます。ほとんどの場合、ESD イベントによって導体／抵抗が完全に溶けて断線するため、その結果 IC の機能障害が発生します。しかし、薄膜抵抗や厚膜抵抗の場合は抵抗材料の溶融が部分的なものに止まり、この場合は、抵抗値が変化することで IC の関連パラメータに関わる故障が発生します。

図 102 は、高機能バイポーラ IC 上のアルミニウム製 MET1 相互接続線の溶融断線の例を示す写真で、この IC は±2000 V の HBM ストレスを加えたことによって機能しなくなりました。

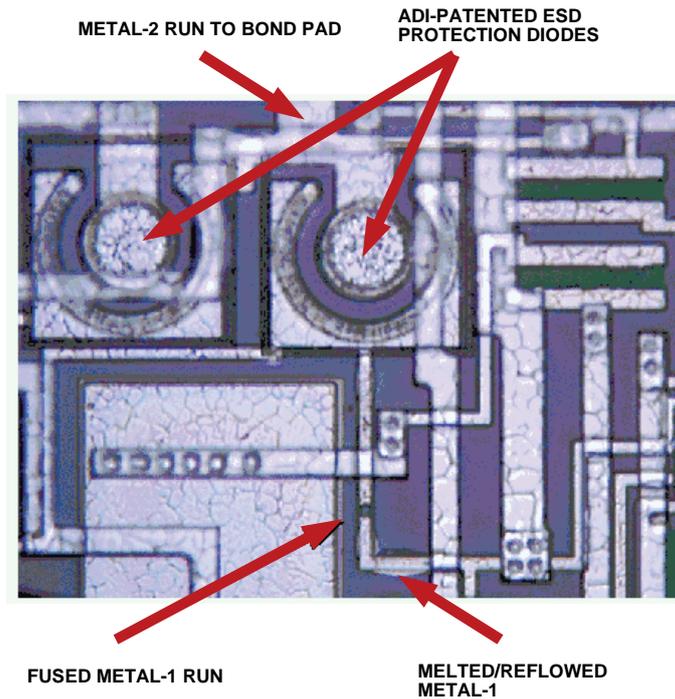


図 102. ±2000 V HBM のサンプル・ストレスを加えた 4 μm 幅 MET1 相互接続線の光学顕微鏡写真

この損傷は、デプロセッシングなしで観察可能です。

上の IC では、4 μm MET1 ランが ESD ストレスがかかったときの ESD 電流の主要経路でした。対応策は、単純に金属線の幅を 8 μm にすることでした。その結果、IC の HBM 分類試験レベルは±4,000 V に向上しました。ADI では、ESD ストレスを加えたプロジェクト・チップや新製品から得られた故障解析 (FA) 結果に基づき、IC 設計ルールとレイアウト規則を定期的に更新して、優れた ESD 耐性を実現する最良の方法を反映させています。

絶縁体の損傷

絶縁破壊は、絶縁体層（二酸化ケイ素や窒化ケイ素など）にかかる電圧が酸化膜経時破壊 (TDDB) 電圧の最大値を超えると発生し、パンチスルー現象を引き起こします。この TDDB メカニズムは発生時間がきわめて短く、結果としてあらゆる ESD の中で最も過大なオンチップ電圧を発生させやすいため、一番多く発生する CDM 故障メカニズムです。絶縁体の損傷を引き起こす現象は次のような経過をたどります。

1. 強電界ポイントの電圧が絶縁破壊電圧を超えます（通常は、絶縁層の端、コーナー、または段差のサブミクロン部分）。
2. 破壊ポイントから大量の電流が流れ、直近部分が断熱状態で（きわめて局所的に）加熱されます。
3. 導通部分に沿って熔融フィラメント（アモルファス・シリコンやポリシリコンなど）が形成されます。

図 103 と図 104 はこの種の損傷の一例で、サンプルを±1500 V に帯電させてドレイン／出力ピンから FICDM 放電を発生させ、これによってリーク症状を示した pMOS 出力ドライバ・トランジスタのゲート酸化膜損傷部分を示したものです。この場合、ドレイン／出力ピンが瞬間的に接地したときのゲート・ポリシリコンは、ほぼ±1500 V でした。この結果、上記のステップ 1 からステップ 3 に示すように、絶縁破壊が生じて高電流が流れ、熔融フィラメントが形成されました。

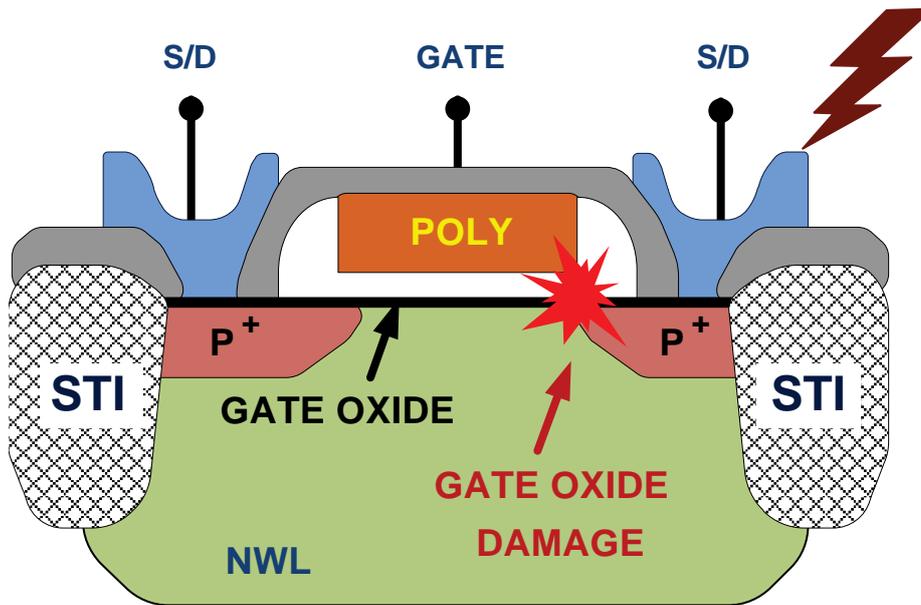


図 103. 代表的な FICDM ゲート酸化膜の損傷場所

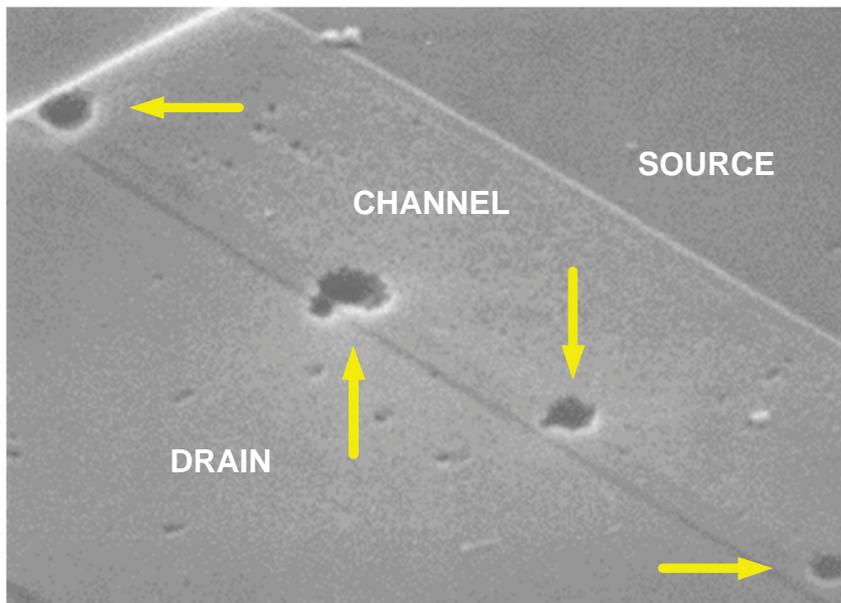


図 104. シリコン・レベルまでデプロセッシングを行った後の走査電子顕微鏡 (SEM) 画像
±1,500 V FICDM でストレスを加えたサンプルに 4 個のピットが発生。

これらのピットの直径は約 $0.2\ \mu\text{m}$ ~ $0.5\ \mu\text{m}$ で、シリコンが溶けてゲート酸化膜に流れ込んだ箇所にできています。

ADI は、ボンディング・パッドの隣に独自の ESD 保護セルを設け、ボンディング・パッドと影響を受けやすい絶縁層の間に適切な直列抵抗を配置することによって、比較的絶縁体が損傷しにくい IC を設計しています。ESD イベントが発生すると瞬時に ESD 保護セルが起動し、ボンディング・パッドの電圧をクランプないし制限する設計となっています。

ジャンクションの損傷/コンタクト・スパイク

ジャンクションの損傷やコンタクト・スパイクは、通常、浅い P-N ジャンクション (たとえば、バイポーラ・トランジスタのエミッタ/ベース間のジャンクションや、nMOS トランジスタのドレイン/サブストレート間のジャンクション) にアバランシェ破壊が生じた後、二次的な破損が引き起こされ、最終的に熱暴走に至ったときに発生します。ジャンクションの損傷が発生してコンタクト・スパイクに至る経過は次のとおりです。

1. 逆バイアスがかかった P-N ジャンクションの電圧が、アバランシェ破壊電圧を超えます。
2. これに続き、P-N ジャンクションの温度が上昇すると、熱によってキャリアが発生し、キャリア発生アバランシェの限界を超えて、二次破壊が起こります。
3. 二次破壊部分から大量の電流が注入され、直近部分が断熱状態で (非常に局所的に) 加熱されます。

- この局所的な加熱によって、熱によるキャリアの生成が加速します。これによって、さらに電流量が増加して熱暴走状態となり、熱によるキャリア生成が一層激しくなり、電流量がますます増大します。最終的に温度が 1415°C を超えると、最初に破壊された部分のシリコンが溶融します。
- 隣接するコンタクト開口部の金属が溶融するほどの加熱に達すると、電界によって溶融金属がジャンクションを乗り越えて移動し始め、ジャンクションの抵抗短絡になります。

P-N ジャンクションの二次破壊部分の溶融シリコンが ESD イベント後に再凝固すると、シリコン溶融時に P 型と N 型のドーパントが混ざり合うため、ドーパント・プロファイルに乱れが生じます。さらに、再凝固の過程でシリコンの結晶特性が変化します。このドーパント・プロファイルとシリコン結晶特性の変化によって、逆方向降伏 I-V 特性がソフトなものになります。また、無視し得る程度のリーク電流の増加から、1 つまたは複数のデータシート・パラメータが仕様値を外れてしまうような大幅なリーク電流の増加まで、ジャンクションの損傷程度によって IC にさまざまな影響が生じます。ADI の故障解析の結果、ESD に起因する P-N ジャンクション部における結晶構造の損傷は、125°C で 24 時間の無通電ベークの後にアニールを行うことによって部分的に解消できる場合もあることが分かっています。ただし、その場合でも I-V 特性は通常よりソフトになるでしょう。これは、ESD の損傷を受けた IC ジャンクションの場合、市場で使用されている間にリーク電流が減少する場合もあることを示しています。特に、ジャンクション温度が 25°C をはるかに上回る場合はその傾向が強くなります。

熱暴走状態に伴う加熱によって隣接するコンタクト開口部の金属が溶融し、その金属がジャンクションを越えて移動した場合は、通常その結果として起こる抵抗短絡によって、IC 上の対応ピンにハードの故障が発生します。IC に高温ベークを行っても、この抵抗短絡にはほとんど、あるいはまったく効果がありません。

コンタクト・スパイク耐性を高めるために、トランジスタの場合、通常、外部ピンに接続するコンタクトについてはジャンクションとの間隔を広く取るようにレイアウトのルールで定められています。二次破壊や熱暴走に対するジャンクションの耐性を高めるために、特別な設計手法とレイアウト・ルールが利用されることもあります。導体/抵抗の溶融の場合と同様、ジャンクションの損傷とコンタクト・スパイクは、HBM ESD が発生した IC で最も多く見られます。これは、HBM イベントのほうが CDM イベントよりエネルギー量が多いことによります。

図 105 と図 106 は、ドレイン/出力ピンに ±2000 V の HBM ストレスを加えたことで抵抗短絡を起こした NMOS 出力トランジスタのドレイン・チャンネル・ジャンクションの損傷とドレイン・コンタクトのスパイクの例です。

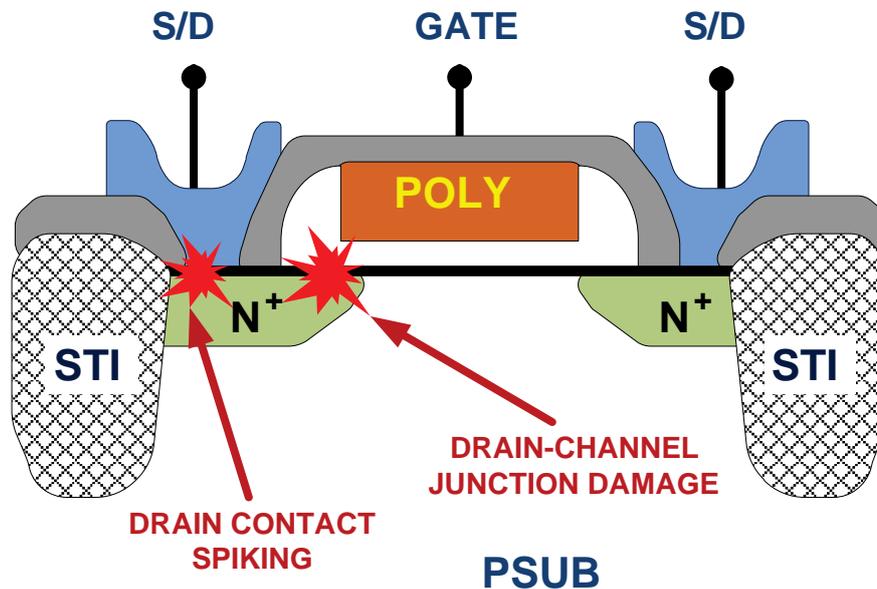
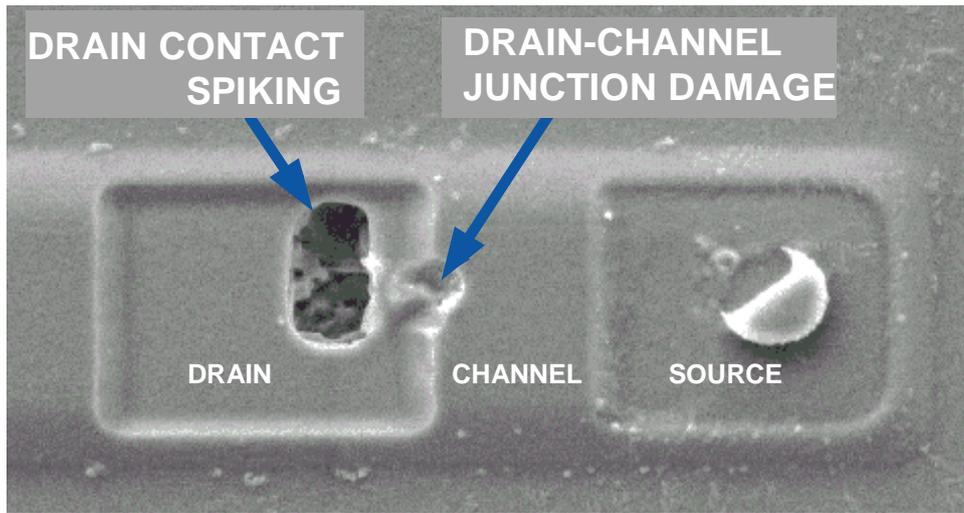


図 105. 代表的な HBM コンタクト・スパイクとジャンクション損傷の場所



10137-201

図 106. シリコン・レベルまでデプロセッシングを行った後の走査電子顕微鏡（SEM）画像
±2000 V の HBM ストレスを加えたサンプルに生じたドレイン・チャンネル・ジャンクションの損傷とドレイン・コンタクトのスパイク

上の IC の場合は、nMOS 出力トランジスタを大きくして、ドレインと出力ピンの間に直列抵抗を追加しました。これによって、このトランジスタは、少なくとも±4000 V の HBM ストレスを加えた場合の ESD 損傷に耐えるものとなりました。

HBM および FICDM 試験方法の概要

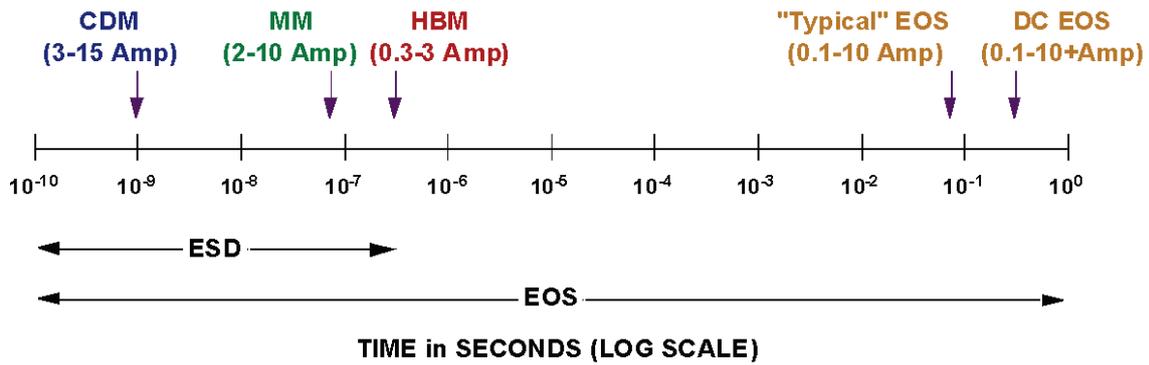
表 16 に、ESD に起因する 3 種類の主要な故障メカニズムをまとめました。

表 16. ESD 故障メカニズムの概要

故障	導体/抵抗の溶融	絶縁体の損傷	ジャンクションの損傷/コンタクト・スパイク
故障発生箇所：	薄膜、厚膜、ポリシリコン、金属	任意の絶縁層、特にゲート酸化物などの薄い相	任意のジャンクション、特にエミッタ・ベース、ドレイン・チャンネル、その他の小さいジャンクション
故障モード：	抵抗値のシフトと断線	リークと抵抗短絡	ジャンクションの損傷：リーク コンタクトのスパイク：抵抗短絡
故障の特徴：	導体/抵抗の部分的または完全な溶融	絶縁体を貫通するサブミクロンの導通性溶融フィラメント	ジャンクションの損傷：ジャンクション両側での結晶構造の損傷 コンタクト・スパイク：コンタクト領域の穴
この故障が最も多いモデル：	人体モデル（HBM）故障	帯電デバイス・モデル（CDM）故障	人体モデル（HBM）故障
ベークによる回復可能性：	なし	なし	部分的（抵抗短絡の場合を除く）
通常環境での回復可能性	なし	なし	なし

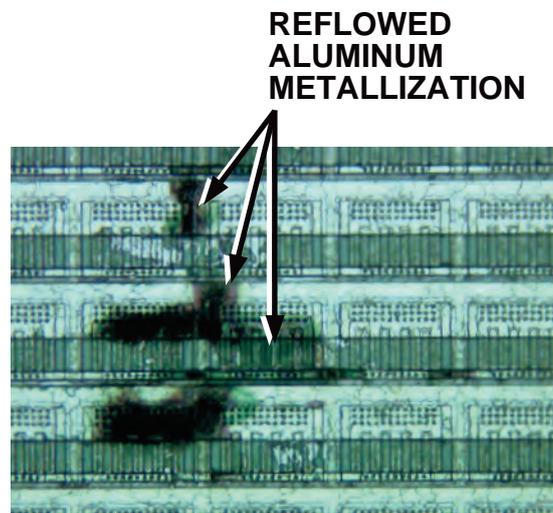
ボード・レベルおよびシステム・レベルの EOS/ESD 保護

人体モデル（HBM）と電界誘起帯電デバイス・モデル（FICDM）は、無限に存在する電氣的オーバーストレス（EOS）形態のうちの 2 つを表しているにすぎません。図 107 に示すように、EOS はあらゆる現象にわたり、FICDM と DC 過電圧/過電流はそれぞれ対極に位置しています。ただし、代表的な EOS イベントの持続時間は 50 ms 前後です。代表的な EOS イベントよりも持続時間が長い場合は、IC に加わるエネルギーもはるかに大きくなります。たとえば、+1500 V の HBM 放電は約 1.5 ジュール、CDM 放電には約 2.0 ジュールのエネルギーがありますが、代表的な EOS イベントのエネルギーは 1 ジュールを超えます。したがって、ESD と EOS は関連する故障メカニズムが似ていますが、一般に物理的損傷の程度は EOS による故障のほうがはるかに大きくなります。これを図 108 と図 109 に示します。これらの例では、プラスチック・パッケージを開封すれば、EOS による損傷の例を光学顕微鏡で簡単に確認することができます。当然ながら、IC が同じであれば、EOS イベントのエネルギーが大きいほど、損傷が恒久的なものとなる可能性も高くなります。



10137-202

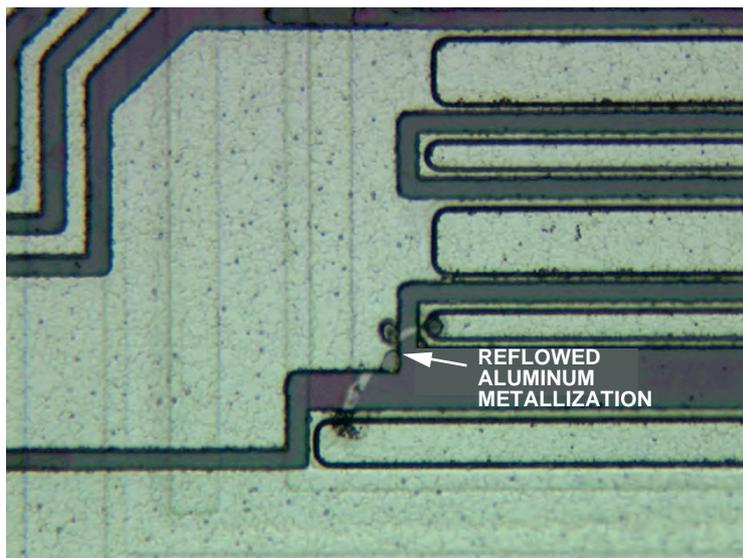
図 107. 一般的な EOS/ESD イベントの持続時間範囲



10137-203

図 108. 重度の電氣的オーバーストレス (EOS) の光学顕微鏡画像

図 108 は、バイポーラ出力トランジスタに生じた損傷です。黒く焼け焦げた跡が確認でき、この部分ではアルミニウムのメタライゼーションが溶融して流れ出しています。



10137-204

図 109. バイポーラ出力トランジスタにおける EOS 損傷の光学顕微鏡画像

黒く焼け焦げた部分ではアルミニウムのメタライゼーションが溶融して流れ出し、白っぽい弧を形成してトランジスタを短絡させています。

EOS/ESD 保護のための設計

ADI では、すべてのピンにおける EOS/ESD 過渡現象に対する製品の堅牢性を最大限まで高めるために当社独自もしくは特許取得のオンチップ保護回路を使用しています。ADI 製品には、ウェーハ製造プロセスと製品上の各ピンの電気的性能条件に応じて、さまざまな EOS/ESD 保護回路が使われています。ADI の IC は、通常、サブストレートに組み込まれていない各ボンディング・パッドのすぐ隣に独立した保護回路を配置する設計になっています。理想的な保護回路機能は完璧なスイッチとして機能し、次のように動作します。

- 通常の IC 動作中は、常に電氣的に開いています（つまり、抵抗値無限大、容量ゼロ、インダクタンスもゼロ）。
- EOS/ESD 過渡状態が発生すると、瞬時のうちに電氣的に閉じた状態になります（つまり、抵抗値ゼロ、容量ゼロ、インダクタンスもゼロ）。

ただし、デバイスの基本的な物理特性のために、いかに巧妙に保護回路を設計しても完璧なスイッチにはなりません。具体的に言うと、通常の IC 動作中は保護回路が寄生リーク電流、寄生容量、寄生インダクタンスの原因になります。さらに、どんな保護回路でも EOS/ESD 過渡に対するターンオン時間とオン抵抗は有限です。こうした非理想的な特性のために保護回路の設計は非常に難しく、高性能 IC では特にその傾向が顕著です。ADI では、ESD 技術者、デバイス技術者、設計技術者、レイアウト技術者、故障解析技術者、信頼性技術者のチームの力を結集して、ADI 製品用に多数の革新的かつ効果的な保護回路を開発することによって、この課題に取り組んできました。

一例として、PD1 から PD4 の 4 個の保護デバイスと抵抗 R で構成される、I/O ピン用の一般的な H ネットワーク保護回路を図 110 に示します。PD1 と PD2 が一次的な保護を提供し、PD3 と PD4 が二次的な保護を提供します。PD1 と PD2 の機能は、できるだけ多くの EOS/ESD 電流を電源レールの 1 つ（V+または GND）に分路することです。直列抵抗 R は、PD1 または PD2 では十分に減衰（クランプ）できなかった非常に高速の過渡現象の速度を低下させるとともに、PD1 または PD2 によって電源レールに迂回できなかった残留電流の大きさを制限します。この残留電流は、二次保護デバイスの PD3 または PD4 のいずれかによって電源レールへ迂回させられます。PD3 と PD4 は、CDM 放電イベントの際に内部回路素子にかかる電圧をクランプするように設計されています。

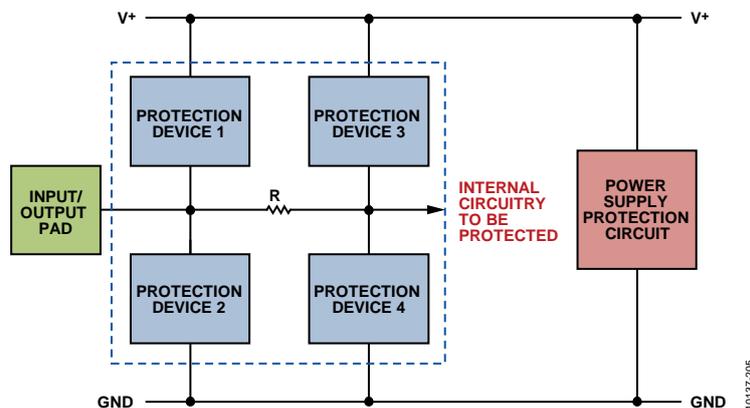


図 110. 一般的なオンチップ H ネットワーク (青い破線で囲まれた部分)

入力/出力ピンに使用する EOS/ESD 保護回路

EOS/ESD に対する保護を十分効果的なものとするには、過渡現象の発生が予想されるすべてのピンの組み合わせに対してオンチップ EOS/ESD 保護回路を設ける必要があります。たとえば、図 110 に示す回路は以下の要領で I/O パッドを保護します。

- V+に対する正の過渡現象が I/O パッドに発生すると PD1 と PD3 がオンになり、EOS/ESD 電流を V+に流して内部回路を保護します（抵抗 R が PD3 を通る電流を制限するため、大部分の電流は PD1 によって分路されます）。
- GND に対する正の過渡現象が I/O パッドに発生すると、電源保護回路と PD1 および PD3 がオンになります（この場合も、大部分の電流は一次保護デバイス PD1 を通じて流れます）。EOS/ESD 電流は I/O パッドから V+へ安全に流れ、さらに GND へ流れて、内部回路が保護されます。
- GND に対する負の過渡現象が I/O パッドに発生すると、PD2 と PD4 がオンになります（PD4 を通る電流は R によって制限されるため、大部分の電流は PD2 によって分路されます）。EOS/ESD 電流は I/O パッドを出てサブストレート（GND）から安全に流れ、内部 IC 回路が保護されます。
- I/O パッドに V+に対する負の過渡現象が発生すると、電源保護回路と PD2 および PD4 がオンになります（この場合も、大部分の電流は一次保護デバイス PD2 を通じて流れます）。EOS/ESD 電流は I/O パッドを出て V+から GND へ安全に流れて、内部 IC 回路が保護されます。

ボード・レベルおよびシステム・レベルの EOS/ESD 保護

ファーストメイト、ラストブレイク式のグラウンド接続

システムにバイアスがかけられている場合の EOS の主要な原因は、コネクタの不適切な接地方法や誤った接地方法です。これは一般にホット・プラグと呼ばれ、IC がこのような状態に耐えられるように設計されていない限り、IC を故障させる恐れがあります。

ファーストメイト、ラストブレイク (FMLB : First-Mate, Last Break) 接地とは、対象となるシステムのグラウンドに最初に接点を接続し、最後にシステムのグラウンドから取り外す (あるいは遮断する) 設計を言います。これらのコネクタが浮遊電圧/電流を安全にグラウンドに分路する経路となり、システムのホット・プラグ時に生じるオーバーストレスによる損傷を防ぎます。この種のコネクタは自動車業界によって推奨され、採用されています。接地配線が長い場合、最初にグラウンドに接続することができます。ZVEI (ドイツ電気電子産業グループ) の自動車 EOS ワーキング・グループの調査[110]によれば、自動車用コネクタに使われている長い接地ピン (やはり FMLB グラウンド接続と呼ばれます) が車載電子装置の EOS/システム・レベル ESD 損傷の発生を大幅に減少させることが分かっています。業界は、コネクタに起因する EOS/システム・レベル ESD 損傷を除去する、実績豊富でエラーが発生しにくいこの方法に移行しつつあります。したがって、エンド・ユーザがまだこの方法を導入していないのであれば、ADI ではこのような業界の動きに従うことをお勧めします。関心がある方は、この問題に関する業界のホワイト・ペーパー[110]をご覧ください。アナログ・デバイセズは、EOS 耐性を確保するために、すべてのシステムにこれらのコネクタを使用することを推奨しています。

過渡電圧サプレッサ (TVS)

製造工程やエンド・ユーザのアプリケーションにおいてボード・レベルおよびシステム・レベルで EOS/ESD からデバイスを保護するための効果的な方法の 1 つは、図 111 に示すように、システム電源プレーン間に過渡電圧サプレッサ (TVS : Transient Voltage Suppressor) デバイスを使用することです。TVS は、保護するデバイスの破壊/パンチスルー電圧を超える過渡現象に対し通常 1 ns 未満で反応するディスクリット部品で、過大な電流 (最大数十アンペア) を内部回路から安全に分路します。TVS には表面インプリメンテーションパッケージとスルーホール・パッケージの両方があります。また、広範な電圧範囲から選択可能で、容量やリークが微小なバージョンもあるので、非常に広範なアプリケーションに対応することが可能です。

TVS の主な特性を以下に挙げます。

- サージ電流/電圧への対応能力が高い
- 応答時間がきわめて短い (< 1 ns)
- オン抵抗が非常に小さい

TVS の詳しい使用方法については、AN-311「電源過電圧に対して CMOS 回路を確実に保護する方法」[108]と、AN-397「標準リニア集積回路に電氣的に導入される損傷：最も一般的な原因と再発防止策」[107]を参照してください。

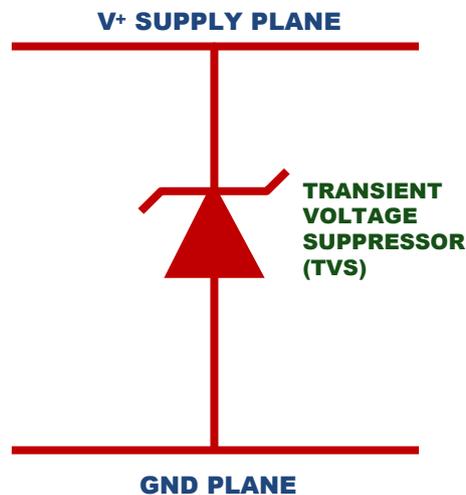


図 111. システム・アプリケーションの電源/グラウンド・プレーン間における TVS 保護

ESD/EOS 保護のために、電源レールとグラウンド・レール間にデカップリング・コンデンサを使用する場合があります。しかし、以下のような理由から、コンデンサだけを主要なボード/システム・レベル ESD 保護方法とすることは避けるべきです。

- コンデンサの過渡応答は遅く、時間がかかります。
- 過渡状態では、コンデンサにもかなりの電圧が発生します。
- 過渡時のコンデンサの電流分路能力は限られています。コンデンサは、容量が小さいと高周波での電流分路能力が優れていますが、容量が大きいとその逆になります。

ボード・レベルおよびシステム・レベルの EOS/ESD 保護の概要

ボード/システム・レベルの EOS/ESD 損傷を最小限に抑えるための非常に効果的な方法は、コネクタの接地ピンを長くして、電源プレーンとグラウンド・プレーン間に過渡電圧サプレッサを使用することです。EOS 耐性を確保するために、ADI はシステムに関して以下を確認されることをユーザに推奨しています。

1. アプリケーションを見直して、ADI 部品の外部ピンに外付けコンデンサや誘導負荷が接続されているかどうか確認してください。充電された外付けコンデンサの急速な放電や、インダクタ電流の急激な変化による過渡電圧が、集積回路のボード/システム・レベル EOS/ESD 損傷の主要な原因となっています。外付けコンデンサや誘導負荷によってピンに電圧負荷が発生すると思われる場合は、電流を安全なレベルに制限するために、これらのピンに外付けの直列抵抗を追加することを検討する必要があります。あるいは、これらのピンに過渡電圧サプレッサ（この場合、TVS を選択するのはピン電圧が絶対最大定格を超えないようにするためです）を使用することもできます。
2. 製造作業中にディスクリット・コンデンサを PCB 上に置くときに充電しないようにしてください。充電してしまうと大量の電流が放出されて、集積回路を損傷する恐れがあります。この問題を防ぐための効果的な方法の 1 つが、ピックアンドプレース装置に静電拡散チップを使用することです。これらの先端チップがコンデンサの両方の端子をブリッジすることで、コンデンサをボード上に置く前に電荷を安全に放電させることができます。
3. 高速オシロスコープを使用して、動作中の IC ピンの絶対最大定格を超える過渡電圧、特にパワーアップ・シーケンスとパワーダウン・シーケンス、およびロードダンプなどの自動車故障状態時の過渡電圧を調べます。これらの過渡現象を確認できても防止できない場合は、ボード・レベルでそれらのピンに外部直列抵抗または TVS を追加することを推奨します。

これらのステップは、ボード/システム・レベル EOS/ESD 損傷の最も一般的な原因に対応するものです。

ラッチアップ

ラッチアップは、IC 内で発生するオーバーストレス状態です。これは、寄生 NPN および PNP バイポーラ・ジャンクション・トランジスタをオンにする意図せぬ過電圧状態、過渡変位電流、または電離放射線によるもので、寄生トランジスタがクロス接続されて *pnpn* を形成します。

図 112 は一般的な基本 CMOS 技術の断面図です。*pnpn* 構成で表される寄生バイポーラ構造が含まれています。この物理現象を理解するために、図 112 に示すように、極性が逆の 2 つの隣接 MOS トランジスタである nMOS と pMOS、および 4 つの *n* 拡散と *p* 拡散、すなわち *n+*、*p* サブストレート、*n* ウェル、および *p+* を考えてみましょう。*p+*、*n* ウェル、および *p* サブストレートは寄生 PNP バイポーラ・デバイスを形成し、*n+*、*p* サブストレート、および *n* ウェルは寄生ラテラル NPN を形成します。PNP デバイスのベースは NPN のコレクタであり、同様に NPN のベースは PNP のコレクタになるため、NPN および PNP バイポーラ・トランジスタはクロス結合となっています。電流が *n+* 拡散または *p+* 拡散に注入されるバイアス状態下では、ラテラル電流から生成された電圧によってバイポーラ・トランジスタのエミッタ・ベース・ジャンクションに順方向バイアスがかかり、2 つとも動作させます。2 つのバイポーラの電流ゲインの積が 1 よりも大きい場合、これらのバイポーラは再生的な動作をし、その結果ラッチアップが発生します。これは、*pnpn* 構造が低インピーダンス、大電流状態のときに発生します。この状態は、*p+* と *n+* の間の電圧が同じバイポーラ動作を維持できる高さを保っている限り、最初のきっかけとなった刺激要因が消えても続きます。

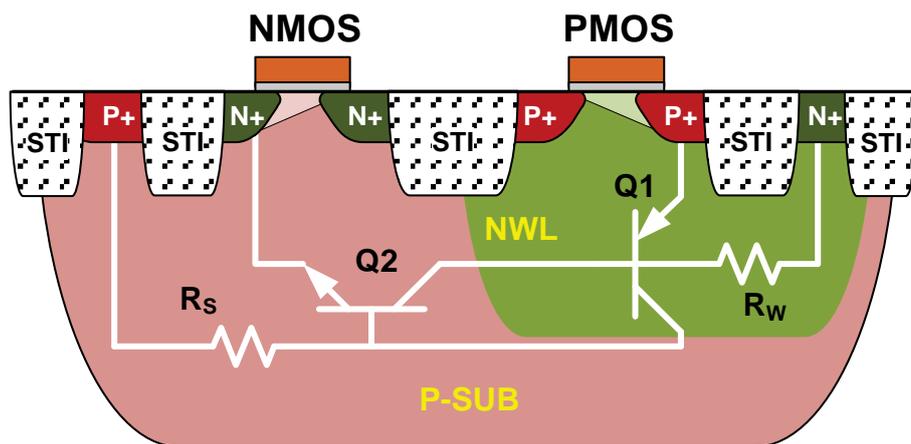


図 112. 一般的な CMOS プロセス技術ノードにおける寄生バイポーラ・トランジスタの断面図と回路図

ラッチアップによる有害な影響は数多くあります。特に顕著な影響としては、*pnpn* 構造に流れる過電流による nMOS/pMOS ジャンクションの損傷、金属の焼損に起因するリーク電流増大や恒久的機能喪失があります。製品のラッチアップに対する堅牢性は試験で確認しますが (JEDEC 規格 JESD78)、この試験では、その製品に最大許容電源電圧までストレスを加えて、あらかじめ定められた時間 (通常は、5 μ s のストレス・パルス立上がり時間で約 5 ms) にわたり個々のピンに電流を注入します。最大ラッチアップ・トリガ電圧に達しても持続的な過電流が発生しない場合、もしくはデバイス・ピンへの最大注入電流、またはデバイス・ピンからの最大ソース電流によっても持続的な過電流状態が発生しなかった場合、その製品はラッチアップ試験に合格したものと見なされます。

ラッチアップの概要

ADI は、静電放電 (ESD) やラッチアップなど、部品の電氣的オーバーストレス (EOS) 過渡現象に対して高レベルの堅牢性を備えた IC を開発、販売する努力を続けています。新製品にはすべて、人体モデル (HBM) および電界誘起帯電デバイス・モデル (FICDM) による ESD 試験とラッチアップに対する ESD 試験を実施しています。ADI では、最新の工業規格に従った厳格な方法で HBM 試験と FICDM 試験を行っています。オンチップ EOS/ESD 保護回路における ADI の知識と経験は、この分野における広範な数々の特許を取得していることによって実証されています。さらに、ADI 製品の堅牢性を最大限まで高めることに継続的に傾注することによって、ESD 損傷による顧客返品数が減少傾向にあるという結果が出ていることは特筆すべきでしょう。

製品解析

はじめに

製品解析または故障解析は、アナログ・デバイセズの全体的な品質改善に寄与する重要な要素です。その成果を維持するには、ADI のサプライヤとしての能力にお客様が高い信頼を置いてくださることが不可欠です。製品解析をあらかじめ組み込むという方針においては、製品解析は製品の品質および信頼性に寄与する重要な要素であるという認識の下に、継続的な品質改善というコンセプトを特に大切にします。製品解析によって確認された問題をフィードバックし、プロセス改善を必要とする領域をピンポイントで正確に指摘することを通じて、製品解析グループは ADI の優れた品質と信頼性のために計り知れない貢献をしています。

アナログ・デバイセズの製品解析グループは、どのようなことであれ、お客様に妥協のないサポートを提供することに専念しています。ADI では、製品解析手法が完璧なものであること、そして高度なトレーニングを受け、豊富なスキルを身に付けた専門家によって解析チームを構成することが求められています。品質保証部の指揮下にある技術者集団として、チーム・メンバーは問題管理手法のあらゆる側面に通じていなければなりません。製品解析に対する要求は社内外から寄せられるため、解析者はさまざまな範囲の問題に直面します。このように多様なクライアントや問題に対処する能力において、製品解析グループは半導体製造プロセスのすべての段階を熟知するかけがえのない存在となっています。

ADI には 3 つの製品解析センターと地域カスタマー・サポート・センターがあり、故障解析という形でお客様に技術的支援を提供しています。これらのセンターはアイルランドのリムリック、フィリピン、マサチューセッツ州ウィルミントンに置かれています。高度な専門的技術支援サービス、先進的製品解析手法、顧客支援プログラムを提供し、迅速かつ適時の故障解析に基づき一定時間内にお客様に対応するセンターは、ADI の総合品質管理方針を反映する組織です。以下に、ADI の品質目標を満たすための製品解析技術グループの責務について説明します。

定義

ここでは、製品解析に関して以下の定義を使用します。

製品解析または故障解析 (FA : Failure Analysis)

これは、集積回路がその予定された仕様を満たさなかった場合に行われる活動を表す一般的な定義で、物理学、電気的測定、材料解析、化学などに基づく先進的な解析手法を組み合わせて故障の原因を特定します。

故障検証

これは、解析対象となるデバイスが本当に故障していることを確認することを言います。

故障モード

報告された故障の特性のことで、たとえば回路の断線や I_{DD} といったものを言います。

故障メカニズム

発見された故障を引き起こした物理的なメカニズムまたは条件で、たとえばゲート酸化膜の破壊やボンディングの剥離のことを言います。

故障部分

パッケージ内またはダイ上における故障箇所の正確な物理的位置です。

故障の根本原因

故障の実際の原因、あるいは直接的か間接的かを問わず、故障発生の引き金となった最初のイベントまたは条件です。たとえば、ボンディング・ワイヤの剥離が故障メカニズムだった場合は、その剥離が発生した理由を根本原因と呼びます。

是正対策

故障メカニズムの再発を除去または回避するために講じられる 1 つまたは複数の対策のリストです。

故障発生源

製品解析の要求はさまざまな顧客層から出されるため、その出所を明確にする必要があります。FA の要求は、社外の顧客（つまり顧客返品）によって行われるほか、信頼性評価、新製品の認定評価、工場プロセスの歩留まりの問題などに基づいて社内からも行われます。

顧客からの返品の手順

製品品質に関する顧客からの苦情報告は、以下のいずれかの方法で行われます。

- ADI 代理店への連絡：代理店からの報告により「顧客注意・返品環境」(CARE : Customer Alerts and Returns Environment) 書を発行します。
- 返品承認 (RMA : Return Materilas Authorization) プロセス。

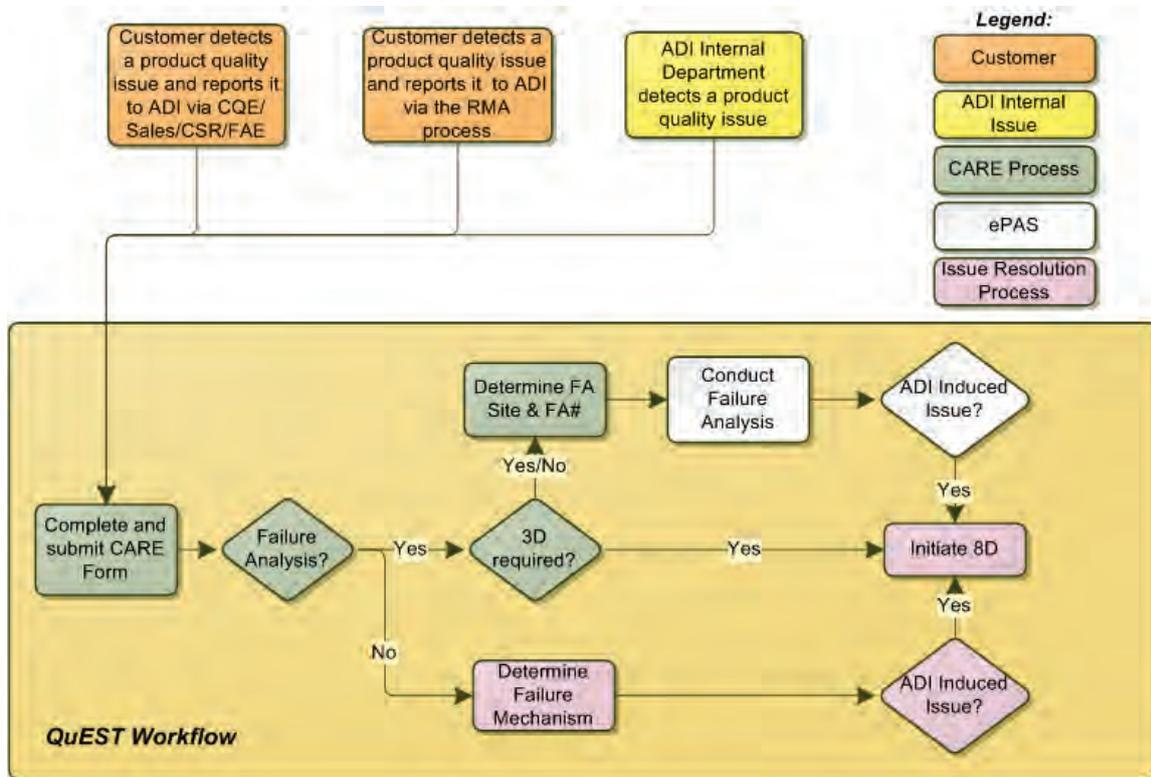


図 113. 顧客返品フローチャート

社内からの製品解析の要求

故障解析担当サービス・グループの作業の多くは、社内の要求から発生しています。これらは信頼性に関する技術的故障で、信頼性モニタリング、ELF プログラム、信頼性の認定評価などの過程で発生したものです。

さらに、バーンイン、寿命試験、HAST、オートクレーブ試験、温度サイクル試験、熱衝撃試験、ハンダぬれ性試験などの信頼性ストレス試験で明らかになった故障も含まれます。また、新製品の認定評価で判明したすべての故障、ウェーハ工場プロセスにおける歩留まりの問題 (不良) も対象になります。これらの故障は根本原因にまでさかのぼって解析が行われ、その結果は品質、歩留まり、信頼性の改善にとって非常に重要なものになります。

製品解析の追跡

電子的製品解析システム (EPAS : Electronic Product Analysis System) は、ADI の一元的な故障解析データベースです。このシステムで進行中または完了した FA 要求を調べたり、データ傾向解析用のさまざまな情報 (顧客、製品、故障メカニズムのサイクル時間など) を保存することができます。このシステムは、故障解析レポートの作成、保存、電子的な出力と承認にも使われます。

製品解析のシーケンス

図 114 のフローチャートは、標準的な FA の流れに関する一般的なガイドラインです。順番はあらかじめ決まっているわけではなく、手順の流れは故障解析要求の詳細によって決定されます。ただし最小限の要求として、通常すべての解析には、自動電氣的試験、外観目視検査、さらに最も重要な故障の検証と場所の特定のための手順が含まれます。

製品解析の前提条件

故障解析を開始する前に、考慮すべき詳細がいくつかあります。

- デバイスに関する情報：必要事項をすべて記入した CARE 書式、信頼性追跡シート、もしくは部品の種類、シリアル番号、日付コード、製造ロット番号などの詳細を記したその他の書式。
- 故障発生場所：そのデバイスの故障はプロセスのどこで発生したのか。
- 故障モード：故障状態に関する記述。

信頼性ハンドブック

- 動作条件：デバイスの用途、環境条件、故障までの時間。
- 自動電氣的試験：予想される故障については、製造用試験機により適用 QA 試験プログラムに従って試験を実施し、その結果を記録しなければなりません。

上記の情報をすべて収集した後、FA の妥当性確認を行う FA 予備処理チームが解析します。

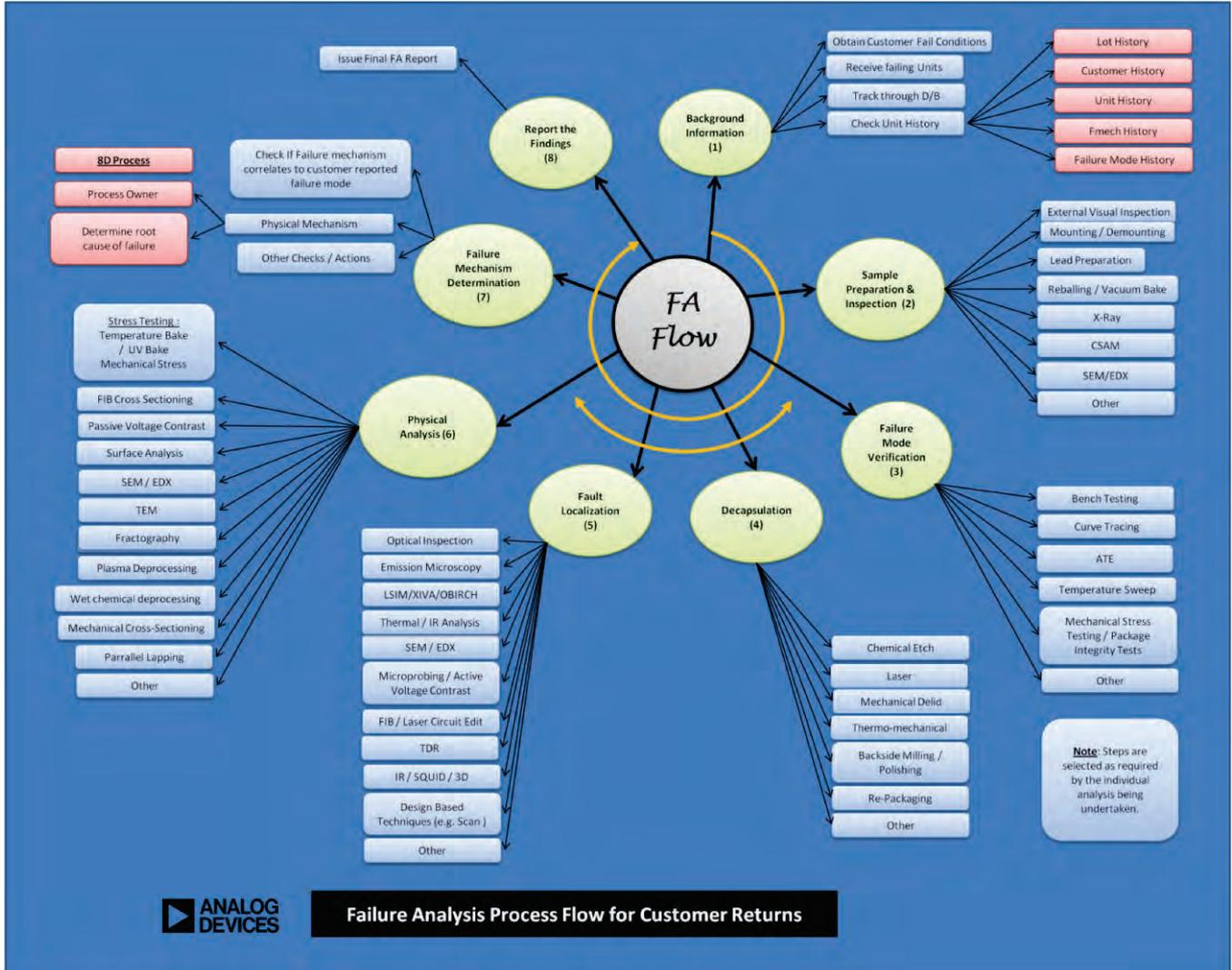


図 114. 故障解析フロー

製品解析能力

製品解析グループが使用する広範な解析手法は、品質に関わる能力を育成してきた努力のあらわれです。ADI では、均衡のとれたさまざまな解析手法を使用するとともに、新しい手法の導入にも継続的に取り組んでいます。では直接使用できない手法についても、必要な場合は、ADI では直接利用できない技術を外部に委託契約して利用しています。

現在使用できる手法は以下の通りです。

- パッケージ解析：光学的検査、X線、超音波顕微鏡検査
- 高機能ベンチテスト装置
- すべての製品のパッケージ開封手法
- 内部目視検査
- 欠陥の特定：エミッション顕微鏡検査、マイクロプローブ検査、機械的断面作成
- 化学的および乾式パッシベーション層除去法
- 走査電子顕微鏡検査
- FIB マイクロサージェリーおよび断面作成

背景情報

- 既知の良品デバイスの入手
- FA ソケット能力および評価ボード能力の確認（すべてオープン・トップ）
- 優先順位については信頼性技術者に確認
- 同様の故障に関する認定評価とデバイス履歴については、信頼性技術者、試験技術者、または設計技術者に確認
- 新製品や設計変更など、何のための認定評価かを明確にする

外観目視検査

デバイスのピン、パッケージ、パッケージ・マーキングなどの欠陥／異常／不適合などについて部品を検査します。これは通常、適切な倍率の光学顕微鏡を使用して行います。

X 線解析

パッケージのクラック、重度のダイ・クラック、ボンディング・ワイヤの断線、ボール・ボンディングの剥離などを確認するパッケージ評価手法の一部として、X 線システムを使用します。ボンディングの剥離やワイヤのクラックはパッケージの層間剥離部分に発生すること多いため、X 線解析と超音波顕微鏡検査をともに使用すると非常に効果的です。三次元 X 線解析も可能です。

共焦点走査超音波顕微鏡検査（CSAM）

超音波顕微鏡は、パッケージやダイの物理的性質の変化を検出する非破壊検査法です。その動作は単純な超音波の原理に基づいています。検査対象デバイスを純水の入った大きな容器内に置き、超音波振動子を水中にあるデバイスの表面近くに配置します。この振動子が一連の高周波を発生し、その高周波がさまざまなパッケージ部品に当たります。この音波は、材料の性質に応じて部品を貫通する場合もあれば反射する場合があります。全反射あるいは部分反射された音波を振動子が検出します。超音波顕微鏡は、この反射波の振幅と位相に基づいて内部のパッケージ・クラック、ダイ・クラック、ダイ・アタッチのボイド、界面の剥離などを検出することができます。

カーブ・トレーサ

ピンの I-V 曲線の特性評価に使用するツールで、デバイスのピンに電圧を印加し、発生した電流をプロットすることによって評価します。通常は、良品であることが確認されたユニットを基準として使用します。カーブ・トレーサによって、回路の断線や短絡、リーク傾向などのデバイス特性を検出することができます。

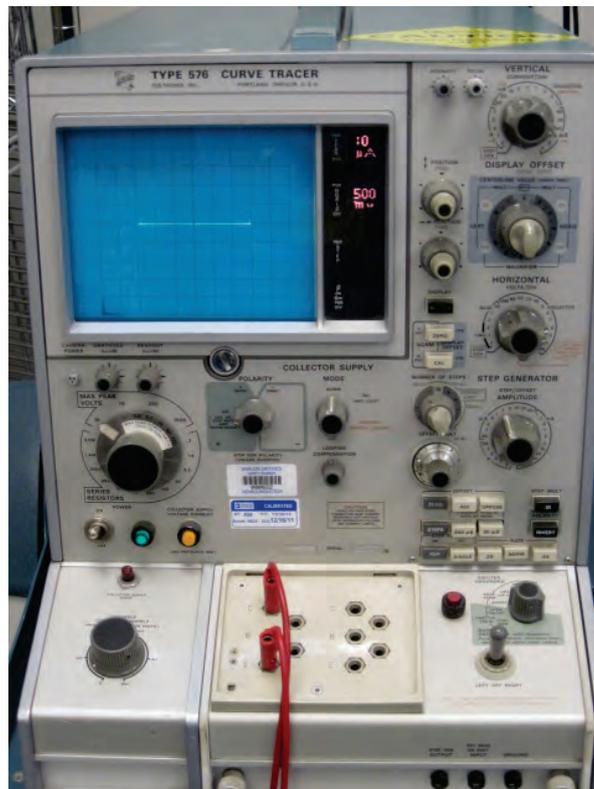
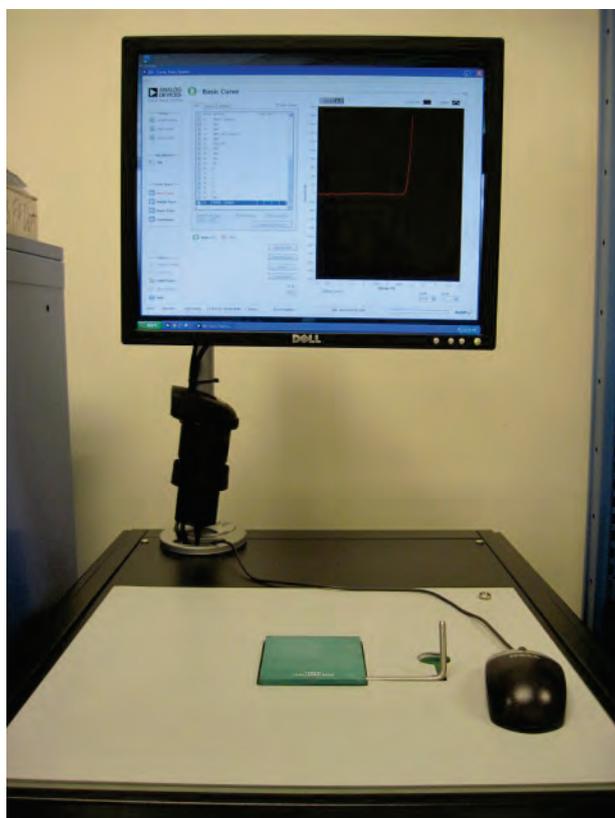


図 115. カーブ・トレース・オシロスコープ

通電カーブ・トレース解析

ベンチテストと同様に、故障モード状態でデバイスの電源を入れてカーブ・トレースを行います。この手法を使用すれば、内部回路、つまり ESD 保護の及ばない回路までカーブ・トレース機能を適用することができます。



10137-211

図 116. 自動カーブ・トレース

自動試験装置（ATE : Automated Test Equipment）による試験

返品されたデバイスが製造試験プログラムに合格するか不合格となるかを検証するために使用します。室温状態、高温状態、または低温状態で試験することができます。

ベンチテスト

必要なベンチテスト装置を使用して、不合格デバイスに電氣的な刺激を与えます。製品データシートと ATE データログを使用し、デバイスの電源を入れて故障モードを検証します。必ず電氣的検証を実施した上で破壊解析を行う。

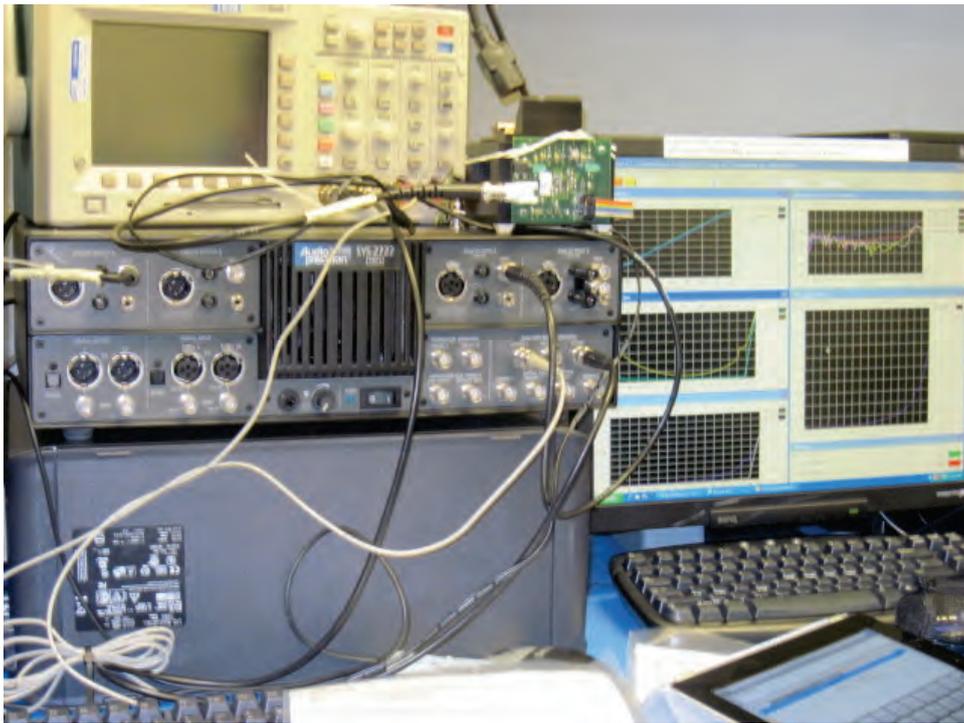


図 117. ベンチテストのセットアップ

ベークアウト

ベークアウトは、電氣的に検証された故障について故障メカニズムに関する情報を補充します。代表的なベークアウト条件は、バイアスなし、150°C、24時間です。

バーンイン

125°Cでのバイアス動作を行う手法であり、故障メカニズムを再現するために場合によって使用します。

バーンインは、デバイスの加速寿命試験です。

パッケージの開封

該当するすべての非破壊解析を実施してから、この手順を実行します。ADIで最も一般的に行われているのは、化学的手法によるパッケージ開封です。この開封システムでは、パッケージ内部を検査するために高温の硝酸または硫酸を使用し、プラスチック・パッケージを化学的にエッチングします。機械的な開封方法はあまり使用しませんが、気密封止パッケージとプラスチック・パッケージに対して機械的な開封ツールを用います。



図 118. JetEtch 開封装置

背面 IC シンニング／準備加工

スルーシリコン解析が必要な場合に行います。プロセスはパッケージの種類と IC の厚さによって異なりますが、その目的は、シリコンを露出させてシンニングを行い、さらに研磨して、スルーシリコン IR 検査または背面故障分離解析（光子放射解析、LSIM 解析、熱解析）を実施できるようにすることです。パッケージの一部を精密フライス加工して対象部分を露出させたり、サンプルのごく一部だけを研磨して材料層を部分的に除去したりします。



図 119. Ultra Tec 製の背面シンニング装置

内部目視検査

露出したダイに対して徹底的な光学検査を行います。通常、適切な倍率の標準的な光学顕微鏡を使用します。暗視野顕微鏡検査を行うこともできます。

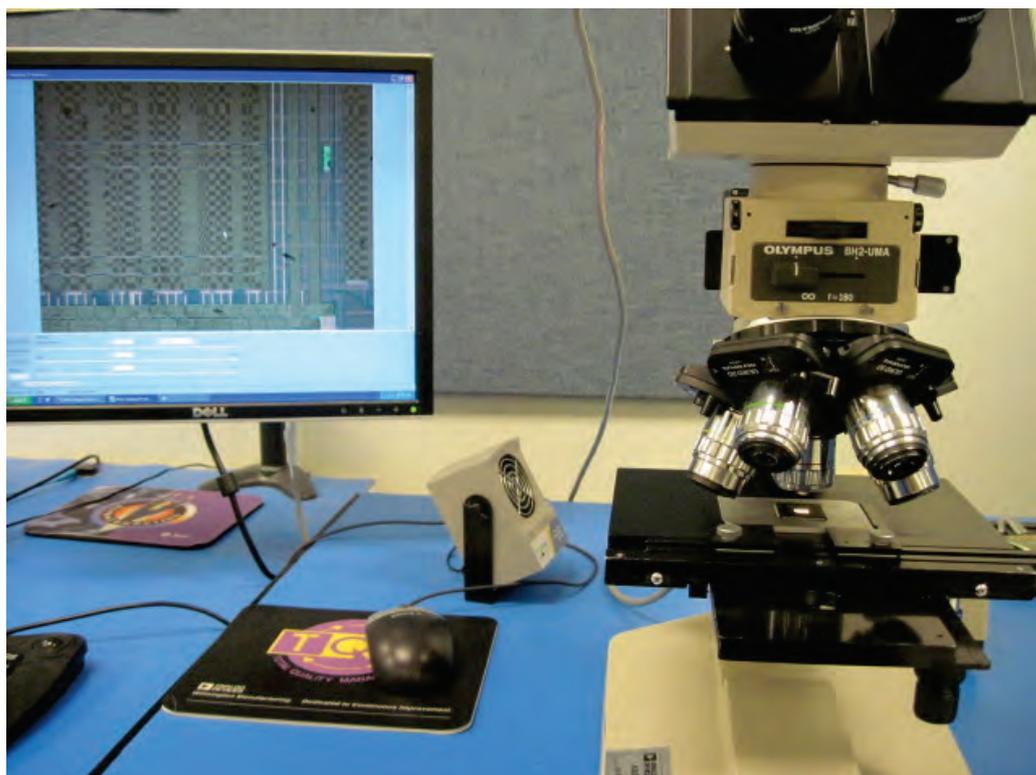


0037214

図 120. 内部目視検査ステーション

赤外線 (IR) 検査

この手法は、スルーシリコン検査と画像作成に使用します。フリップ・チップ・パッケージや、IC 上の機械的部品を保護するためにシリコン・キャップを利用する MEMS デバイスの検査に適しています。

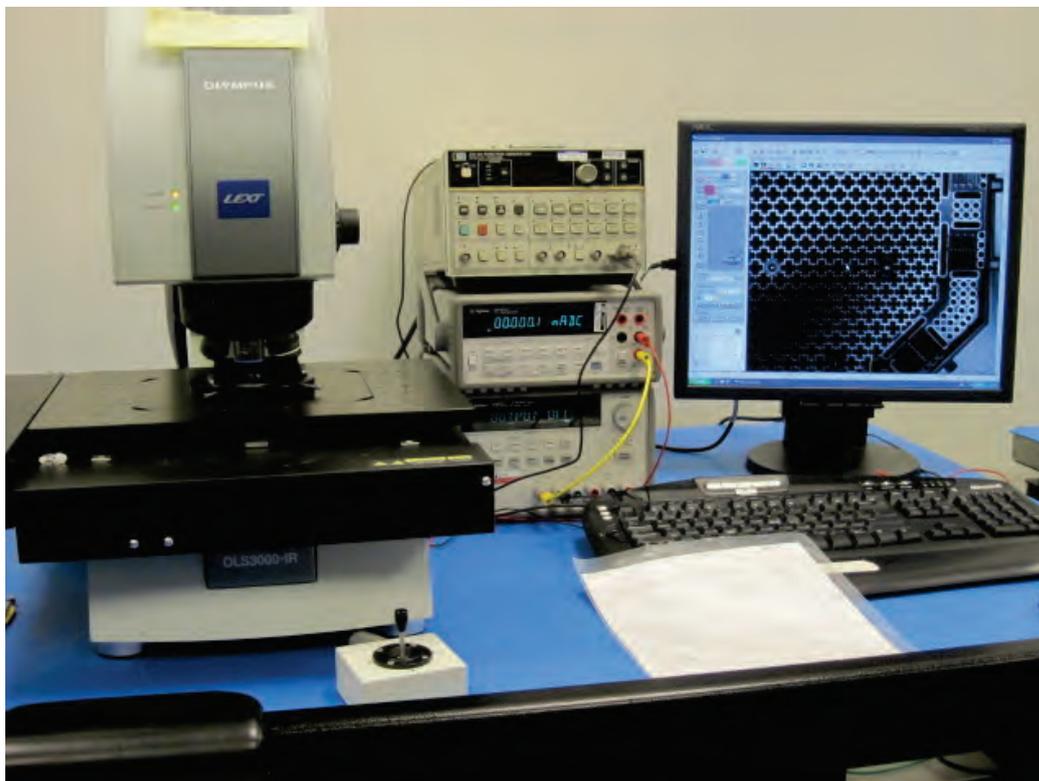


10137-215

図 121. 赤外線検査ステーション

エミッション顕微鏡検査

エミッション顕微鏡検査は、バイアスがかかった IC から放射される可視光線を検出する故障分離手法です。通常、シリコン・デバイス内の再結合が原因で異常な光子放射が発生します。良品であることが確認されたユニットを使用することで、故障デバイス上の異常放射部分を確認します。



10137-216

図 122. エミッション顕微鏡検査ステーション

熱/IR 解析

この故障分離手法では、InGaAs デテクタを利用して被試験デバイスの温度プロファイルを作成します。良品であることが確認されているユニットを使用して、故障デバイス上の異常を確認します。

レーザ信号挿入顕微鏡検査 (LSIM : Laser Signal Injection Microscopy)

このツールを使用して、外部誘起電圧変化 (XIVA : eXternally Induced Voltage Alteration) 手法または光学ビーム誘起抵抗変化 (OBIRCH : Optical Beam Induced Resistance Change) 手法を実行します。どちらの手法も、走査レーザを利用して被試験デバイスを加熱 (1340 nm レーザ) またはデバイス内の光子キャリアを誘起 (1064 nm レーザ) して、レーザによって生じる抵抗の変化を調べるために電源をモニタリングします。良品であることが確認されているユニットを使用して、被試験デバイス上の異常を確認します。

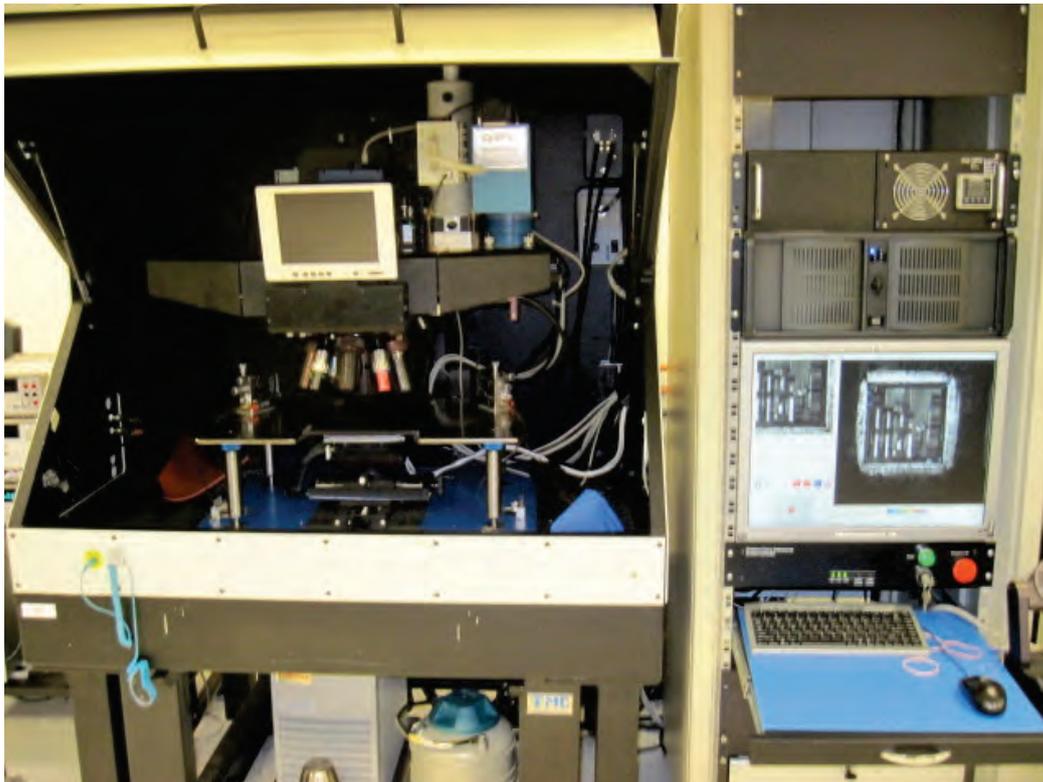
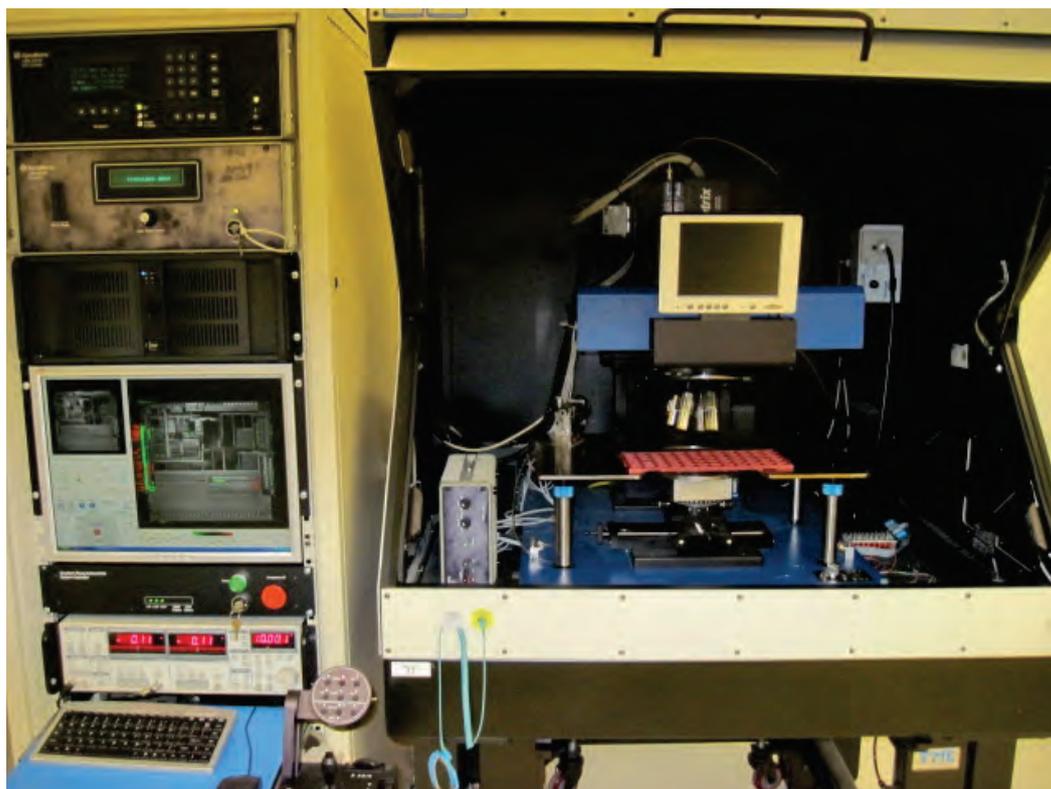


図 123. レーザ信号挿入顕微鏡検査ステーション

電氣的マイクロプローブ検査

マイクロプローブは、ダイに直接接触させて使用します。マイクロプローブ検査では、デバイスを動作させるために必要な電氣的ベンチテスト装置とプローブ・ステーションを併用します。



10137-218

図 124. 電気的マイクロプローブ検査ステーション

電気的ナノプローブ検査

分解能の高いマイクロプローブ検査であるナノプローブ検査は、プローブ・マニピュレータを精密制御し、SEM チャンバ内で行います。この手法では非常に微細な形状に接触できるため、ダイのさまざまな層について個々のデバイスの電気的特性を評価することができます。このツールには、高機能の専用電位計／カーブ・トレーサが組み込まれています。



10137-220

図 125. 電気的ナノプローブ検査ステーション

反応性イオン・エッチャー (RIE : Reactive Ion Etcher)

この手法では、複数のガスを組み合わせて、エッチングによりパッシベーション層や絶縁層を除去します。六フッ化硫黄、酸素、四フッ化炭素、またはトリフルオロメタン、もしくはそのすべてをさまざまな比率で混合して、プラズマを生成します。プラズマ・エッチングでは、RF出力、バイアス、およびガス圧を最適条件に設定した状態で、エッチングにより対象のターゲット物質を除去します。



図 126. 反応性イオン・エッチャー

化学的デプロセッシング

ICの層を選択的に除去するには、さまざまな化学的エッチング法と関連手法を使用することができます。

断面加工手法

ADIで使用している断面作成手法は、封入状態で作成する方法と非封入状態で作成する方法の2つに大別できます。封入法の場合は、不合格ユニットをエポキシ混合物中に入れ、断面加工ホイールに取り付けます。研削シートを使用してこのユニットを所定の位置まで研削し、微細な研磨剤を含むコロイド懸濁液を付けた布で研磨します。非封入法では、ダイまたはパッケージを断面作成用スタブに取り付けます。この場合も、断面作成ツールを使用して、目標の部分までダイを研削します。

パラレル研磨

この手法は、パッケージ・レベルとダイ・レベルのどちらのデプロセッシングにも使用できます。サンプルに応じて、パラレルツールを使用するか手作業で研磨します。ダイに対して精密なシンニングや研磨を行って、エミッション顕微鏡検査にかけることもあります。

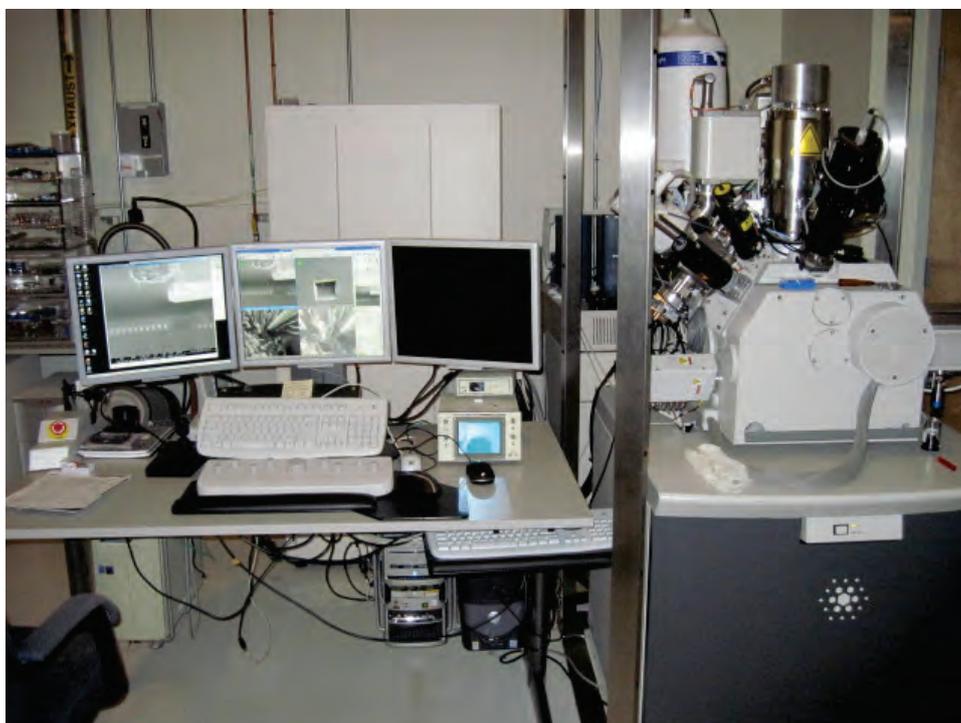


10137-222

図 127. パラレルツール

走査電子顕微鏡検査

走査電子顕微鏡検査 (SEM: Scanning Electron Microscopy) は、サンプル画像作成用として ADI で最も高い倍率と分解能を備えた検査方法であり、ディープ・サブミクロン形状まで対応することができます。電子ビームを絞り込んで対象領域上を走査し、これによって得られる二次電子をもとに画像を作成します。一部の SEM アプリケーションでは、ビームを使用してデバイスを電子的に刺激します。これには、電子線励起電流法 (EBIC: Electron Beam Induced Current)、電圧コントラスト法、電荷誘導電圧修正法 (CIVA: Charge Induced Voltage Alteration)、抵抗コントラスト画像作成法 (RCI: Resistive Contrast Imaging) などがあります。環境制御型 SEM (ESEM: Environmental SEM) アプリケーションを使用すれば、電子ビームによるサンプルの帯電を最小限に抑えることによって絶縁性の高いサンプルも解析することができます。



10137-223

図 128. 走査電子顕微鏡検査ステーション

エネルギー分散 X 線検査 (EDX : Energy Dispersive X-Ray)

EDX は、サンプル表面における元素の組成 (原子番号 5 以上) を定性的または半定量的に調べるために、SEM と併用して使用します。この手法は、汚染が疑われるような場合に適しています。

透過電子顕微鏡検査 (TEM : Transmission Electron Microscopy)

電子のビームをシンニング加工したサンプルに透過させて、透過時のサンプルとビームの相互作用を利用する顕微鏡検査手法です。ビームをサンプルに透過させた後、回折ビームを検出して処理します。

収束イオン・ビーム (FIB) による断面作成とデバイス修正操作

収束イオン・ビーム (FIB : Focused Ion Beam) システムは、ADI における最も先進的な断面作成法です。FIB は、故障解析のために精密断面作成から故障位置特定までさまざまな目的に使用することができます。相互接続部を選択的に切断ことができ、タングステン・プローブ・パッドを堆積させて故障を特定したり、電気的な特性評価を行ったりすることができます。埋もれたパターンを露出させて切断したり、導線を別の場所に接続させるなどしてデバイスを修正することができます。こうしたデバイスの修正によって、ほかの方法では望めない迅速なプロセス検証、故障分離、電気的試験が可能になります。デュアルビーム FIB では、イオン・ビームと SEM カラムを組み合わせて、小さいサンプル領域の断面作成と画像作成を同時に行うことができ、これによって液晶解析の代わりに精密な故障分離法を使用できます。

現在の信頼性と将来の展望

エレクトロニクス産業は、最大限の品質レベルと信頼性レベルを実現するためにたゆみなく努力を続けています。この業界の人なら誰でも、業界がどのようなテンポで進歩しており、また高レベルの品質と信頼性を保証するために業界がどのような方法を使用しているかを知っています。この 20 年間、その重点はライン終了時における統計ベースのストレス試験から、より予防的な手法に移行してきました。ADI でも採用しているこうした予防的な手法は、信頼性に関するオーナーシップと重点項目が信頼性エンジニアリングからプロセスと製品のエンジニアリングへと移行したことを意味しています。したがって、信頼性技術グループは、製品およびプロセスの信頼性に関する結果をモニタリングするとともに、これを解釈する役割を担います。信頼性技術者は、あらゆる問題を解決するためにプロセスや製品の開発者と協力しながらチームのメンバーとして予防的な活動を実施しています。

信頼性技術グループは、本格的な生産に技術を使用する前に新しいプロセスとパッケージの信頼性に関わる問題について積極的に調査を行う重要なリソースです。信頼性に対する予防的アプローチの有効性については、Schafft、Gerling、Riordan、Prendergast、その他によって、その概要を示す論文が発表されています[1~7、20~22、25、30~32]。

信頼性の作り込み、予防的プロセス制御、および信頼性考慮設計はすべて、エレクトロニクス産業における新たな信頼性革命を定量化するために作られた言葉です。これらは、製品の信頼性を向上させるための系統的な方法となっています。これらの言葉は、信頼性に関わる統計データ、コンセプト、戦略、および手法を製品およびプロセス開発のあらゆるレベルに展開している部署間の垣根を越えた協力、チームワーク、およびトレーニングによって実った方法論と考え方を表しています。

ADI では、製品およびプロセスの信頼性については、製品およびプロセスの開発が進んだ段階で判定と特性評価を行うという方針をとってきました。この方針を示す例は多数あります[83~93]。1993年に発行された IEEE 国際信頼性物理シンポジウムの論文は、特定故障メカニズムにおける歩留まり、品質、および信頼性の相関付けを行っています。

参考文献

- [1] Riko Radojic and R. W. Thomas. 1993. "Building in Reliability, Customer and Supplier Perspectives." *International Integrated Reliability Workshop*.
- [2] R. W. Thomas. 1993. "Customers Role in Building in Reliability." *International Integrated Reliability Workshop*.
- [3] R. Radojic. 1993. "Universal Qualification A Qualification Strategy for Super ASICs." *International Integrated Reliability Workshop*.
- [4] J. M. Frary. 1993. "Reliability Indicators." *International Integrated Reliability Workshop*.
- [5] H.S. Rathore, R. A., Wachnik, R. Filippi, and J. Gajda. 1993. "Building in Reliability During Product Development in IBM Microelectronics." *International Integrated Reliability Workshop*.
- [6] W. Gerling. 1993. "Integration of Efforts for the Reliability of Microelectronic Devices." *Fourth European Conference on Reliability of Electron Devices, Failure Physics, and Analysis*.
- [7] W. Gerling. 1991. "Modern Reliability Assurance of Integrated Circuits—A Strategy Based on Technology Capability Assessment and Production Reproducibility Control." *Quality and Reliability Engineering International*, Vol. 4, No. 7, Page 207.
- [8] JEDEC Standard 29. "Failure Mechanism Driven Reliability Monitoring of Silicon Devices."
- [9] F. Jensen. 1995. *Electronic Component Reliability*. Wiley and Sons. ISBN 0-471-95296.
- [10] W. Nelson. 1990. *Accelerated Testing*. Wiley and Sons.
- [11] AT&T Reliability Handbook.
- [12] J. A. Barnes and J. Murdoc. 1998. *Statistical Tables*. Macmillan Press.
- [13] S. Peck. 1986. "Comprehensive Model for Humidity Testing Correlation." *24th International Reliability Physics Symposium*, Pages 44-50.
- [14] J Ferro. "An Accelerated Method for Effective Process Control of Plastic Encapsulated Nichrome PROMs." *IEEE/IRPS*, Pages 143-160
- [15] J. Gunn and S. Malik. 1981. "Highly Accelerated Temperature and Humidity Stress Test Technique (HAST)." *IEEE/IRPS*, Pages 45-81.
- [16] D. Danielson, et al. 1989. "HAST Applications: Acceleration Factors and Results for VLSI Components." *IEEE/IRPS*, Pages 144-121.
- [17] JEDEC Standard 22, Method A102, "Accelerated Moisture Resistance—Unbiased Autoclave."
- [18] T. Wada, et al. 1986. "Moisture Resistance Test Using Unsaturated Pressure Cooker Equipment." *ISTFA*, Pages 189-194.
- [19] S. Groothuis, et al. 1985. "Computer Aided Stress Modeling for Optimizing Plastic Package Reliability." *IEEE/IRPS*, Pages 184-191.
- [20] D. L. Crook. 1990. "Evolution of VLSI Reliability Engineering." *Proceedings 28th IEEE International Reliability Symposium*, Page 2.
- [21] H. A. Schafft, D. A. Baglee, and P. E. Kennedy. 1991. "Building in Reliability, Making it Work." *Proceedings 29th IEEE International Reliability Physics Symposium*, Page 1.
- [22] A. Cristou. 1994. "Integrating Reliability into Microelectronics Manufacturing." John Wiley and Sons. ISBN No. 0471944076.
- [23] D. Betel, Oren Bar-Ilan, and A. Burger. "Correlating Observable Defects and Yield." *Semiconductor Intl.*, Vol. 14 No. 11, Pages 128-130.
- [24] S. Illyes and D. Baglee. Feb. 1992. "Statistical Bin Limits—An Approach to Wafer Disposition in I.C. Fabrication." *IEEE Transactions on Semiconductor Manufacturing*, Vol. 5, No. 1, Page 59.
- [25] F. Jensen. 1991. "Yield Quality and Reliability—A Natural Correlation." *New Reliability Concepts Course Notes*.
- [26] D. Baglee, L. Nannemann, and C. Huang. 1990. "Building Reliability into EPREOMS." *28th Proceedings. IEEE International Reliability Physics Symposium*. Page 12.
- [27] W. C. Riordan and R. M. Vasquez. 1992. "Statistical Bin Limits Containing Factory Excursions Near the Source." *18th Annual Reliability Testing Institute*.
- [28] H. H. Huston and C. P. Clarke. 1992. "Reliability Detection and Screening during Processing." *Proceedings 30th IEEE International Reliability Physics Symposium*, Page 268.
- [29] C. Gounelle, M. Marty, B. Sautreuil, G. Lormand, P. Queriolo, C. Caprile, and P. Mortini. 1991. "Building in Reliability of Metallization Using a Design of Experiments." *Second European Symposium on Reliability of Electron Devices, Failure Physics and Analysis*, Page 97.
- [30] J. Prendergast. 1992. "Reliability, Yield and Quality—A Link." *Third European Symposium on Reliability of Electron Devices, Failure Physics and Reliability*, Page 27.
- [31] J. Prendergast. 1993. "Reliability Yield and Quality—Correlation for a Particular Failure Mechanism." *Proceedings 31st IEEE International Reliability Physics Symposium*, Page 87.
- [32] J. Prendergast, E. Murphy, and M. Stephenson. 1995. "Building In Reliability—Implementation and Benefits." *International Journal Of Quality and Reliability Management*, Vol. 13, No. 5, Page 77.
- [33] D. W. Crook. 1979. "Method of Determining Reliability Screens for Time-Dependent Reliability Breakdown." *Proceedings IEEE 17th International Reliability Physics Symposium*, Page 1.
- [34] A. Berman. 1981. "Time Zero Dielectric Reliability Test by a Ramp Method." *Proceedings IEEE 19th International Reliability Physics Symposium*, Page 204.
- [35] J. W. McPherson and D. A. Baglee. 1985. "Accelerated Factors for Thin Gate Oxide Stressing." *Proceedings IEEE 23rd. International Reliability Physics Symposium*, Page 1.

- [36] I.C. Chen, S. E. Holland, and C. Hu. 1985. "Electrical Breakdown of Thin Gate and Tunneling Oxides." *IEEE Transactions on Electron Devices*, Vol. ED-32, No. 2, Page 413.
- [37] J. C. Lee, I.C. Chen, and C. Hu. 1988. "Statistical Modeling of Silicon Dioxide Reliability." *Proceedings IEEE 26th International Reliability Physics Symposium*, Page 131.
- [38] R. Moazzami, J. C. Lee, and C. Hu. 1989. "Temperature Acceleration of Time-Dependent Dielectric Breakdown." *IEEE Transaction on Electron Devices*, Vol. ED-36, No. 11, Page 2462.
- [39] P.S.D. Lin, R. B. Marcus, and T. T. Sheng. Sept. 1983. "Leakage and Breakdown in Thin Oxide Capacitors—Correlation with Decorated Stacking Faults." *Journal of Electrochemical Society*, Vol. 130, No. 9, Page 1878.
- [40] M. Liehr, G. G. Bronner, and J. E. Lewis. May 1988. "Stacking Fault Induced Defect Creation in SiO₂ on Si(100)." *Applied Physics Letters*, Vol. 52, No. 22, Page 1892.
- [41] K. Honda, A. Oshawa, and N. Toyokura. Aug. 1984. "Breakdown in Silicon Oxides—Correlation with Cu Precipitates." *Applied Physics Letters*, Volume 45, No. 3, Page 270.
- [42] K. Honda, A. Oshawa, and N. Toyokura. March 1985. "Breakdown in Silicon Oxides II—Correlation with Fe Precipitates." *Applied Physics Letters*, Volume 46, No. 6, Page 582.
- [43] H. Wendt, H. Cerva, V. Lehmann, and W. Palmer. Nov. 1989. "Impact of Copper Contamination on the Quality of Silicon Oxides." *Journal of Applied Physics*, Volume 65, No. 6, Page 2402.
- [44] J. Lee, I. C. Chen, and C. Hu. Dec. 1988. "Modeling and Characterizing Gate Oxide Reliability." *IEEE Transactions on Electron Devices*, Volume 35, No. 12, Page 2268.
- [45] J. Suehle, P. Chaparala, C. Messick, W. M. Miller, and K.C. Boyoko. 1994. "Field and Temperature Acceleration of Time-Dependent Dielectric Breakdown in Intrinsic Thin Film SiO₂." *Proceedings IEEE 32nd International Reliability Physics Symposium*, Page 120.
- [46] K. C. Boyoko and D. L. Gerlach. 1989. "Time-Dependent Dielectric Breakdown of 210 Angstrom Oxides." *Proceedings IEEE 27th International Reliability Physics Symposium*, Page 1.
- [47] N. Shino and M. Isumi. 1993. "A Lifetime Prediction Model Using Series Model and Acceleration Factors for TDDDB Failures of Thin Gate Oxides." *Proceedings IEEE 31st International Reliability Physics Symposium*, Page 1.
- [48] J. Prendergast, J. Suehle, P. Chaparala, E. Murphy, and M. Stephenson. 1995. "TDDDB Characterization of Thin SiO₂ Films with Bimodal Failure Populations." *Proceedings IEEE 33rd International Reliability Physics Symposium*, Page 124.
- [49] JP001.01. *Foundry Process Qualification Guidelines*.
- [50] EP122. *Failure Mechanisms and Models for Semiconductor Devices*.
- [51] J. R. Black. 1974. "Physics of Electromigration." *IEEE/IRPS*, Pages 142–149.
- [52] F. M. DeHeurle. 1971. "Electromigration and Failure Electronics—An Introduction." *IEEE/IRPS*, Pages 10 の 9 乗–118.
- [53] P. B. Gbate. 1982. "Electromigration Induced Failures in VLSI Interconnects." *IEEE/IRPS*, Pages 292–299.
- [54] E. Pollino. 1989. *Microelectronic Reliability*, Vol. 2, Artech House, Norwood.
- [55] C. L. Bauer. 1991. "Stress and Current Induced Electromigration of Thin Film Conductors." *ESREF*, Pages 161–170.
- [56] G. L. Baldini, et al. 1990. "A New Wafer Level Resitometric Technique for Electromigration." *ESREF*, Pages 245–252.
- [57] Paul S. Ho and Thomas Kwok. 1989. *Electromigration in Metals*. Rep. Prog. Phy. 52, Pages 301–349.
- [58] James R. Black. April 1969. Electromigration—A Brief Survey and Some Recent Results. *IEEE Transactions on Electron Devices*. Vol ED-16, No. 4.
- [59] ASTM 1259M-96. *Standard Guide for Design of Flat, Straight-Line Test Structures for Detecting Metallization Open-Circuit or Resistance-Increase Failure Due to Electromigration*.
- [60] JEP122B. *Failure Mechanisms and Models for Semiconductor Devices*.
- [61] K–L. Chen. "The Case of AC Stress in the Hot Carrier Effect." *IEEE Transactions on Electron Devices*, Vol. ED-33, No. 3.
- [62] J. Y. Choi et al. 1987. "Hot Carrier Induced MOSFET Degradation." *AC vs. DC Stressing Symposium VLSI Technology*.
- [63] R. Bellens et al. 1988. "Analysis of Hot Carrier Degradation in AC Stressed N Channel MOSFET Using the Charge Pump Technique." *J. Physics*, Vol. 49.
- [64] R. Bellens et al. Jan. 1990. "The Influence of the Measurement Set Up on Enhanced AC Hot Carrier Degradation of MOSFETs." *IEEE Transactions on Electron Devices*. Vol. 37. No. 1.
- [65] G. Grosseneken et al. "A Reliable Approach to Charge Pumping Measurements in MOS Transistors." *IEEE Transactions Electron on Devices*, Vol. ED-31.
- [66] JESD28-A. *A Procedure for Measuring N-Channel MOSFET Hot-Carrier-Induced Degradation Under DC Stress*.
- [67] JESD28-1. *N-Channel MOSFET Hot Carrier Data Analysis*.
- [68] Groeseneken, R. Bellens, G. Van den Bosch, and H. E. Maes G. *Understanding Of The Hot Carrier Degradation In Submicron MOSFETs From Uniform Injection Towards The Real Operating Conditions*. IMEC, Kapeldreef 75, 3001 Leuven, Belgium.
- [69] V. Donovan et al. 2000. "Hot Carrier Reliability of Lateral DMOS Transistors." *IEEE/IRPS*.
- [70] D. Burnett et al. 1990. "Hot Carrier Reliability of Bipolar Transistors" *IEEE/IRPS*.
- [71] JEDEC JEP139, *Guide for Isothermal Aging Method to Characterize Aluminum Interconnect Metallization for Stress-Induced Voiding*.

- [72] N. Kmizuka et al. 2000. *IEEE Symposium on VLSI Technology*, Page 92.
- [73] M. Ershov et al. 2005. *Microelectronics Reliability*.
- [74] www.analog.com/icoupler
- [75] Riko Radojic and R. W. Thomas. 1993. "Building in Reliability, Customer and Supplier Perspectives." *International Integrated Reliability Workshop*.
- [76] R. W. Thomas. 1993. "Customers Role in Building in Reliability." *International Integrated Reliability Workshop*.
- [77] R. Radojic. 1993. "Universal Qualification A Qualification Strategy for Super ASICs." *International Integrated Reliability Workshop*.
- [78] J. M. Frary. 1993. "Reliability Indicators." *International Integrated Reliability Workshop*.
- [79] H.S. Rathore, R. A. Wachnik, R. Filippi, and J. Gajda. 1993. "Building in Reliability during Product Development in IBM Microelectronics." *International Integrated Reliability Workshop*.
- [80] W. Gerling. 1993. "Integration of Efforts for the Reliability of Microelectronic Devices." *Fourth European Conference on Reliability of Electron Devices, Failure Physics and Analysis*.
- [81] W. Gerling. 1991. "Modern Reliability Assurance of Integrated Circuits—A Strategy Based on Technology Capability Assessment and Production Reproducibility Control." *Quality and Reliability Engineering International*, Vol. 4 No. 7, Page 207.
- [82] M. Aghazadeh. "Thermal characteristics of Single and Multi Layer High Performance Packages." *Proceedings 40th. Electronic Components Conference*.
- [83] V. W. Antonetti et al. "Heat Transfer in Electronic Packages."
- [84] A. F. Bastawros et al. 1990. "Direct Thermal Strain Measurements in Electronic Packages." *Sixth IEEE Semi Therm. Symposium*.
- [85] B. Simon et al. 1990. "Thermal and Mechanical Finite Element Analysis of VLSI Package Including Spatially Varying Thermal Contact Resistance." *Sixth IEEE Semi Therm. Symposium*.
- [86] M. Kitano et al. 1988. "Analysis of Package cracking During Solder Reflow." *IEEE/IRPS*, Pages 90–95
- [87] I. Fukuzawa et al. 1985. "Moisture Resistance Degradation's of Plastic LSIs by Reflow Soldering." *IEEE/IRPS*, Pages 192–197.
- [88] T. Steiner et al. 1987. "Investigations of Large PLCC Package Cracking during Surface Mount Exposure." *IEEE CMT-10*, No. 2, Pages 209–216.
- [89] Paul V. Robock. "Electronic Materials Handbook Packaging". Vol. 1, ASM International
- [90] S. F. Gordon et al. "Moisture Effects on Package Cracking in PSMCs." *SME Quarterly*, Vol. 3, No. 4.
- [91] R. Lin et al. 1988. "Moisture Induced Package Cracking in Plastic Encapsulated Surface Mount Components During Reflow Soldering." *IEEE/IRPS*, Pages 83–89.
- [92] R. Galo. 1984. "Epoxy Degradation Induced Au-Al Intermetallic Void formation in Plastic Encapsulated MOS Memories." *IEEE/IRPS*, Pages 37–47.
- [93] M. Khan. 1988. "Effect of High Thermal Stability Mold material on the Gold-Aluminum Bond Reliability in Epoxy Encapsulated VLSI Devices." *IEEE/IRPS*, Pages 40–46.
- [94] A. Gallo. 1990. "Effect of Mold Compound Components on Moisture Induced Degradation of Gold-Aluminum Bonds in Epoxy Encapsulated Devices." *IEEE/IRPS*, Pages 244–251.
- [95] G. Harman. "Reliability and Yield Problems of Wire Bonding Microelectronics." *Application of Materials and Interface Science*.
- [96] T. B. Ching et al. 1988. "Bond Pad Structure Reliability." *IEEE/IRPS*, Pages 64–70.
- [97] H. Koyama et al. 1988. "A New Bond Failure—Wire Bond Crater in Surface Mount Devices." *IEEE/IRPS*, Pages 59–63.
- [98] ESREF 1992 Tutorial Notes.
- [99] MIL-STD-883 Method 3015.7. *Electrostatic Discharge Sensitivity Classification*.
- [95] ESD-STM5.1-1998. *ESD Association Standard Test Method for Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)*. Electronic Industries Association, Rome, NY.
- [96] EIA/JEDEC Test Method A114-A. 1997. "Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)," Electronic Industries Association.
- [97] ESD-STM5.2-1999. "ESD Association Standard Test Method for Electrostatic Discharge (ESD) Sensitivity Testing: Machine Model (MM)—Component Level," ESD Association, Rome, NY.
- [98] T.S. Speakman. April 1974. "A Model for Failure of Bipolar Silicon Integrated Circuits Subjected to Electrostatic Discharge," *12th Annual Proceedings, Reliability Physics*, Pages 60–69.
- [99] L.R. Avery. 1987. "Charged Device Model Testing; Trying to Duplicate Reality," *Electrical Overstress/Electrostatic Discharge Symposium Proceedings*, ESD Association, Rome, NY.
- [100] A. Olney. 1996. "A Combined Socketed and Non-Socketed CDM Test Approach for Eliminating Real-World CDM Failures," *Electrical Overstress/Electrostatic Discharge Symposium Proceedings*, ESD Association, Rome, NY.
- [101] ESD-DS5.3.1-1996, "ESD Association Draft Standard for Electrostatic Discharge Sensitivity Testing: Charged Device Model (CDM) Non-Socketed Mode—Component Level," ESD Association, Rome, NY.
- [102] EIA/JEDEC Test Method C101. 1995. "Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components," Electronic Industries Association.

- [103] IEC 61000-4-2 (1995-01). 1995. “Electromagnetic Compatibility (EMC)–Part 4: Testing and Measurement Techniques – Section 2: Electrostatic Discharge Immunity Test,” International Electrotechnical Commission, Geneva, Switzerland.
- [104] IEC 61000-4-4 (1995-01). 1995. “Electromagnetic Compatibility (EMC)–Part 4: Testing and Measurement Techniques – Section 4: Electrical Fast Transient/Burst Immunity Test,” International Electrotechnical Commission, Geneva, Switzerland.
- [105] EIA/JEDEC Test Method C101. 1995. “Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components,” Electronic Industries Association.
- [106] ESD ADV-2.0-1994, “ESD Association Advisory for Protection and Sensitivity Testing of Electrostatic Discharge Susceptible Items – Handbook,” ESD Association, Rome, NY.
- [107] N. Lyne, “Electrically Induced Damage to Standard Linear Integrated Circuits: The Most Common Causes and the Associated Fixes to Prevent Reoccurrence,” Analog Devices, Inc. Application Note AN-397, 1995. Available on the ADI Web Site at http://www.analog.com/techsupt/application_notes/AN-397.pdf.
- [108] M. Byrne, 1995, “How to Reliably Protect CMOS Circuits Against Power Supply Overvoltage,” Application Note AN-311. Analog Devices, Inc.
- [109] P.R. Bossard, R.G. Chemelli, and B. Unger. 1980. “ESD Damage from Triboelectrically Charged IC Pins.” *Electrical Overstress/Electrostatic Discharge Symposium Proceedings*, ESD Association, Rome, NY.
- [110] *First-Mate-Last-Break Grounding Contacts in the Automotive Industry (White Paper)*. July 2011. ZVEI.



ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

法的条項

アナログ・デバイスズの標準販売条項が適用される評価用ボードの購入の場合を除き、ここで説明する評価用ボード(すべてのツール、部品ドキュメント、サポート資料、“評価用ボード”も含む)を使用することにより、以下に定める条項(“本契約”)にお客様は合意するものとします。お客様は、本契約を読んで合意するまでは評価用ボードを使用しないものとします。お客様が評価用ボードを使用した場合は、本契約に合意したものと見なすものとします。本契約は、“お客様”と One Technology Way, Norwood, MA 02062, USA に本社を置く Analog Devices, Inc. (“ADI”)との間で締結されるものです。本契約条項に従い、ADI は、無償、限定的、一身専属、一時的、非独占的、サブライセンス不能、移転不能な、評価用ボードを評価目的でのみ使用するライセンスをお客様に許諾します。お客様は、評価用ボードが上記目的に限定して提供されたこと、さらに他の目的に評価用ボードを使用しないことを理解し、合意するものです。さらに、許諾されるライセンスには次の追加制限事項が適用されるものとします。すなわち、お客様は (i) 評価用ボードを賃借、賃貸、展示、販売、移転、譲渡、サブライセンス、または頒布しないものとし、さらに (ii) 評価用ボードへのアクセスを第三者に許可しないものとします。ここで言う“第三者”には、ADI、お客様、その従業員、関連会社、および社内コンサルタント以外のあらゆる組織が含まれます。この評価用ボードはお客様に販売するものではありません。評価用ボードの所有権などの、本契約にて明示的に許諾されていないすべての権利は、ADI が留保します。本契約と評価用ボードはすべて、ADI の機密および専有情報と見なされるものとします。お客様は、この評価用ボードの如何なる部分も、如何なる理由でも他者に開示または移転しないものとします。評価用ボード使用の中止または本契約の終了の際、お客様は評価用ボードを速やかに ADI へ返却することに合意するものとします。追加制限事項。お客様は、評価用ボード上のチップの逆アセンブル、逆コンパイル、またはリバース・エンジニアリングは行わないものとします。お客様は、ハンダ処理または評価用ボードの構成材料に影響を与えるその他の行為に限らず、評価用ボードに発生したすべての損傷や修正または改変を ADI へ通知するものとします。評価用ボードに対する修正は、RoHS 規制に限らずすべての該当する法律に従うものとします。終了。ADI は、お客様に書面通知を行うことで、何時でも本契約を終了することができるものとします。お客様は、評価用ボードをその時点で ADI に返却することに合意するものとします。責任の制限。ここに提供する評価用ボードは「現状有姿」条件にて提供されるものであり、ADI はそれに関する如何なる種類の保証または表明も行いません。特に ADI は、明示か黙示かを問わず、評価用ボードにあらゆる表明、推奨または保証（商品性、権原、特定目的適合性または知的財産権非侵害の黙示の保証を含みますがこれらに限定されません）を排除します。如何なる場合でも、ADI およびそのライセンサーは、利益の喪失、遅延コスト、労賃、またはのれん価値の喪失など（これらには限定されません）、評価用ボードのお客様による所有または使用から発生する、偶発的損害、特別損害、間接損害、または派生的損害については、責任を負うものではありません。すべての原因から発生する ADI の損害賠償責任の負担額は、総額で 100 米ドル (\$100.00) に限定されるものとします。輸出。お客様は、この評価用ボードを他国に直接的または間接的に輸出しないことに同意し、輸出に関する該当するすべての米連邦法と規制に従うことに同意するものとします。準拠法。本契約は、マサチューセッツ州の実体法に従って解釈されるものとします(法律の抵触に関する規則は排除します)。本契約に関するすべての訴訟は、マサチューセッツ州サフォーク郡を管轄とする州法廷または連邦法廷で審理するものとし、お客様は当該法廷の人的管轄権と裁判地に従うものとします。本契約には、国際物品売買契約に関する国連条約は適用しないものとし、同条約はここに明確に排除されるものとします。