

GSPS レベルの高速 ADC への給電方法：スイッチング・レギュレータで LDO を置き換える

Umesh Jayamohan 著

アナログ・デバイスズ 高速コンバータ担当アプリケーション・エンジニア

概要

A/D コンバータ (ADC) は、外部からアナログ信号を取得する必要があるシステムに不可欠なコンポーネントです。そうしたシステムは、通信用のレーザパヤ、テスト/計測システム、防衛/航空宇宙など、さまざまな分野のさまざまな用途で使われています。いずれの場合も、ADC は、外部の情報を含むアナログ信号をデジタル・データに変換し、デジタル領域で処理するために使用されます。最近の ADC 製品 (IC) は、65nm~28nm クラスの CMOS プロセスなど、半導体の製造技術が進化したことにより、GSPS (ギガサンプル/秒) レベルのサンプル・レートという大きな障壁を克服しています。その結果、システム設計者は、より広い帯域幅を対象としてアナログ信号のサンプリングを行い(つまりは RF 信号のサンプリングを行い)、より高度なデジタル処理を実施できるようになりました。その一方で、システム設計者は、環境やコストへの対応を図るために、絶えず消費電力の削減にも取り組んでいます。従来、ADC のメーカーは、GSPS レベルのサンプル・レートに対応する ADC (以下、GSPS ADC) で最高の性能を得るために、低ノイズの LDO レギュレータ (以下、LDO) によって電力を供給することを推奨していました。LDO とは、ドロップ

アウト電圧の小さいリニア・レギュレータのことです。しかし、LDO は、電源供給回路 (PDN : Power Delivery Network) の構成要素としては高い電力効率が得られるタイプのものではありません。そのため、システム設計者には、ADC の性能を大幅に低下させることなく、高い効率で電力供給を行えるようにすることが求められています。つまり、スイッチング方式の DC/DC コンバータ (以下、スイッチング・レギュレータ) から GSPS ADC に直接電力を供給するということです。そのためには、GSPS ADC の性能が損なわれないように、PDN のレイアウト/実装を注意深く行わなければなりません。

本稿では、まず LDO とスイッチング・レギュレータのそれぞれを使用する場合の違いについて説明します。そのうえで、システムの電力効率を高めるためにスイッチング・レギュレータを適用しても、GSPS ADC の性能を低下させずに済むことを示します。また、実装方法の異なる複数種の PDN を使用した場合の GSPS ADC の性能を紹介します。さらに、コストと性能の比較も行います。

従来推奨されていた PDN

帯域幅が広く、サンプル・レートの高い ADC (その代表例が GSPS ADC) には、通常、アナログ回路用の AVDD やデジタル回路用の DVDD など、複数の電源ドメインが存在します。また、半導体製造プロセスの微細化に伴い、電源ドメインの数だけではなく、必要な電圧の種類も増加しました。例えば、アナログ・デバイス (ADI) の「AD9250」¹は、分解能が 14 ビット、サンプル・レートが 170MSPS (メガサンプル/秒) /250MSPS で、JESD204B に対応するデュアル ADC です。この IC は 180nm の CMOS プロセスで製造されています。AVDD、DVDD、DRVDD の 3 つの電源ドメインがありますが、いずれのドメインにも 1.8V の電圧を供給します。

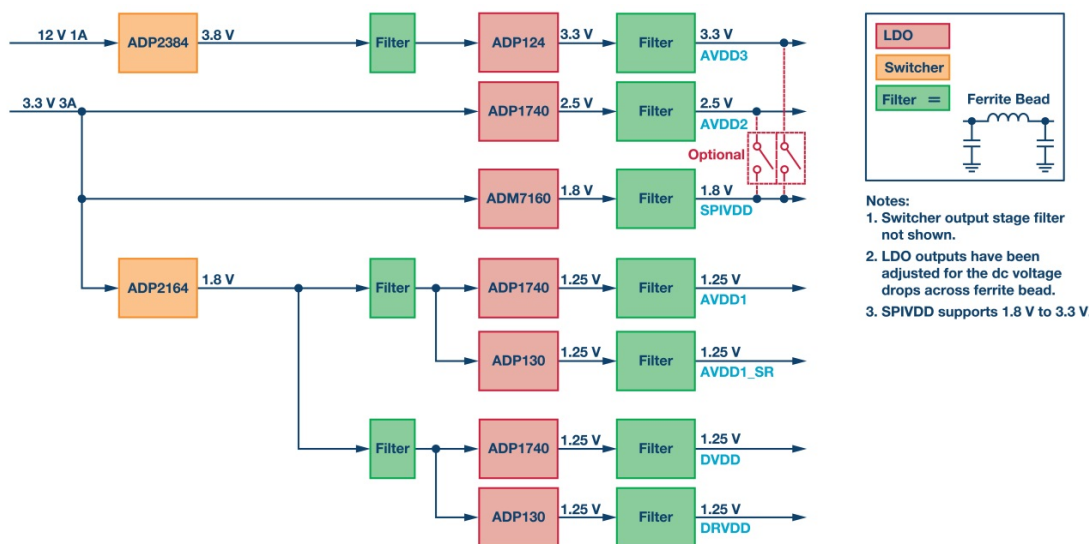


図 1. AD9680 の評価用ボードに実装されたデフォルトの PDN

アナログ・デバイスズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイスズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2016 Analog Devices, Inc. All rights reserved.

一方、「AD9680」²は、分解能が14ビット、サンプル・レートが1.25GSPS/1GSPS/820MSPS/500MSPSで、JESD204Bに対応するデュアルADCです。このICは、65nmのCMOSプロセスを使用して製造されています。AVDD1、AVDD1_SR、AVDD2、AVDD3、DVDD、DRVDD、SPIVDDという7種の電源ドメインがあり、1.25V、2.5V、3.3Vの3種の電圧を使用します。

このように電源ドメインと電圧の種類が増加している理由は、高いサンプル・レートでの動作に必須だからです。さまざまな回路ドメイン（サンプリング、クロック、デジタル、シリアライザなど）の間に適切なアイソレーションを確保し、最高の性能を実現するうえで必要になるということです。このような理由から、ADCのメーカーは、各製品向けの評価用ボードを自ら設計し、リスクを最小限に抑えつつ最高の性能を実現できるように綿密な電源設計を行うことを推奨しています。図1に示したのは、AD9680の評価用ボードで使用されているデフォルトのPDNのブロック図です。この評価用ボードは、VITA 57.1規格に準拠したFMC(FPGAメザニン・カード)コネクタから供給される12V/1Aと3.3V/3Aを主電源とします。サーマル・シャットダウンの状態に移行することなくLDOを制御できるように、「ADP2384」³と「ADP2164」⁴の両スイッチング・レギュレータを使用して、管理可能なレベルまで2つの主電圧を降圧しています。

このPDNは、計7個のLDO（ドメインごとに1個ずつ）を使用した高コストの実装であることに気づくでしょう。性能面では最適だと言えますが、最も優れた費用対効果、最も効率的な運用コストを実現するものではありません。システム設計者にとって、

複数のADCを搭載するシステムを実装するのは容易なことではありません。例えば、フェーズド・アレイ・レーダーでは同期のとれた数百個のADC（AD9680）を使用します。数百個のADCに対し、電源ドメインごとに1個のLDOを配置するといった設計を行うのは合理的ではありません。

より簡素なPDN

PDNにおいて、電圧の値が等しい複数のドメインに1つのLDOから電力を供給するという設計も考えられます。例えば、1.25Vの複数のアナログ・ドメインをひとまとめにして給電することです。この方法であれば、費用対効果が高くなります。また、部品点数（部品にかかるコスト）も削減できます。実際、このような設計が適しているアプリケーションも存在します。図2に、AD9680の評価用ボード向けに、実装を簡素化したPDNを示しました。この実装では、3.3Vの単一の主電源を基に、AD9680に必要なすべての電源電圧を生成/供給しています。

スイッチング・レギュレータによる給電

1.25Vのすべてのドメインに電力を供給するLDOを取り除けば、PDNをさらに簡素化できます。これは最も効率的で費用対効果の高いソリューションだと言えます。その場合の課題は、ADCの性能に影響が及ばないようにスイッチング・レギュレータの動作を安定させることです。図3のPDNでは、1.25Vのすべてのドメイン（AVDD1、AVDD1_SR、DVDD、DRVDD）に、ADP2164から電力を供給しています。

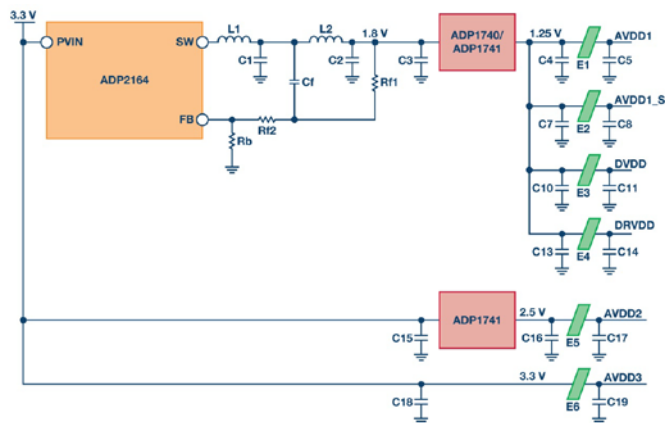


図 2. AD9680 用の簡素化した PDN

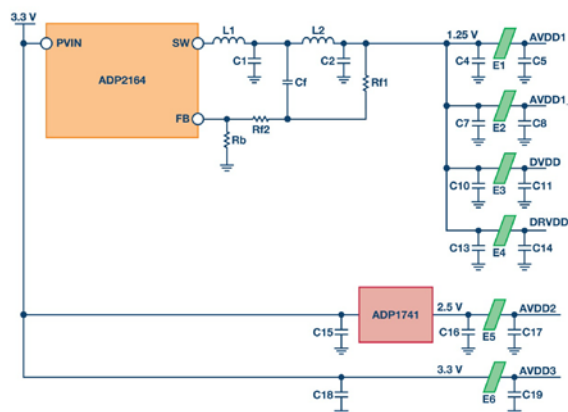


図 3. AD9680 にスイッチング・レギュレータから直接給電する PDN

各種 PDN の比較

上述した3種のPDNを使用した場合に、それぞれどのような特性が得られるのか評価を行いました。比較のために、AD9680の評価用ボード上でベンチトップ型の電源装置から電力を供給した場合の評価結果も示します。表1は、計4種の電源供給方法についてまとめたものです。

表 1. 電源供給方法の一覧

PDN Setup	Description
Bench	AD9680 run using bench supply
PDN #1	Default PDN on evaluation board (shown in Figure 1)
PDN #2	All 1.25 V domains driven from one LDO (shown in Figure 2)
PDN #3	All 1.25 V domains driven from a dc-to-dc converter (shown in Figure 3)

なお、SPIVDD (図1参照)には1.8V~3.3Vの電圧を使用できます。これは重要なノードではないと考えられるので、1.8V出力のLDOによって電力を供給しました。現実のシステムでは、SPIVDDは2.5Vまたは3.3Vの電源ドメインに接続するよう実装することができます。ただし、多数のADCやD/Aコンバータ(DAC)がSPI (Serial Peripheral Interface) バスを共有しているシステムでは、SPIVDDを監視しなければなりません。

その場合、通常のSPIの動作によってSPIVDDのドメインで電源の過渡的な変動が生じないように注意する必要があります。そうした変動により、SPIVDDがパワーオン・リセット(POR)の閾値より低くなり、同機能にトリガがかかってしまうかもしれませんからです。

表 2. S/N 比の比較 [dBFS]

Frequency (MHz)	Bench	Default (PDN #1)	Simplified (PDN #2)	Switcher (PDN #3)
63	66.5	66.5	66.6	66.7
170	66.4	66.1	65.9	66.2
340	64.8	64.5	64.5	64.7
450	64.0	63.7	63.6	63.8
765	62.5	62.2	62.2	62.3
985	61.3	61.0	61.0	61.1
1283	59.8	59.5	59.5	59.5
1725	57.7	57.4	57.4	57.5
1983	56.7	56.4	56.5	56.6

表 3. SFDR の比較 [dBFS]

Frequency (MHz)	Bench	Default (PDN #1)	Simplified (PDN #2)	Switcher (PDN #3)
63	83	82	88	83
170	86	85	85	84
340	77	76	76	76
450	72	72	71	71
765	77	76	76	82
985	77	76	76	83
1283	74	74	74	75
1725	67	67	68	67
1983	60	60	60	60

表2、表3は、各PDNを使用した場合にAD9680のS/N比とSFDRがそれぞれどのようなようになるのかを示したものです。各ナイキスト・ゾーンに対応するためのフロントエンド回路とレジスタの設定については、AD9680のデータシートに記載された推奨値に従いました²。

よりシンプルな GSPS ADC 用の PDN

表中の「PDN #3」は、スイッチング・レギュレータによってAD9680の1.25Vドメインに電力を供給する図3のPDNを使用した場合の結果です。ご覧のように、入力周波数の全体にわたって良好な性能が得られています。これは、複数のドメインに単一のスイッチング・レギュレータから電力を供給しても、ADCの性能は大幅に低下していないということを意味します。つまり、良好な性能を維持したまま、高い電力効率と費用対効果が得られるということです。また、ベンチトップ型の電源装置を使えば、最もノイズが少ない電源電圧を得ることができます。このことから、電源装置を使用するPDNでは最高のノイズ性能が得られます。その一方で、PDN #3を使用した場合、デフォルトのPDN (PDN #1)を使用した場合よりもS/N比が0.1dB~0.2dBほど高くなっています。この点は注目に値します。LDOは低い周波数のクリーンアップには有効ですが、数100kHzを上回るとそれほどの効果は得られません。そのため、このような結果になるのです。

FFT による分析

図4と図5は、PDN #3を使用し、それぞれ170MHz、785MHzのシングルトーンを入力した場合の出力をFFTした結果です。1.25Vのすべてのドメインに単一のスイッチング・レギュレータから電力を供給しても、特性は劣化しないことがわかります。

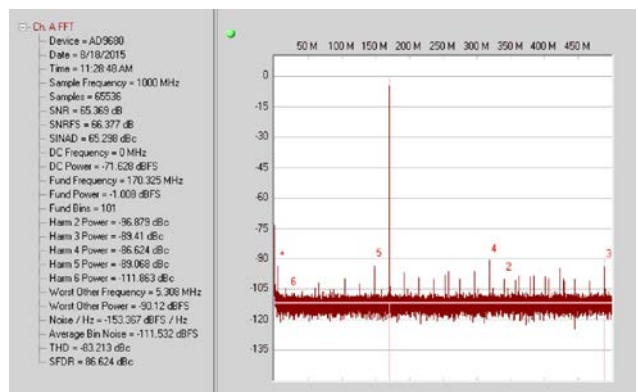


図 4. 170MHz のシングルトーンを入力した場合の FFT 結果

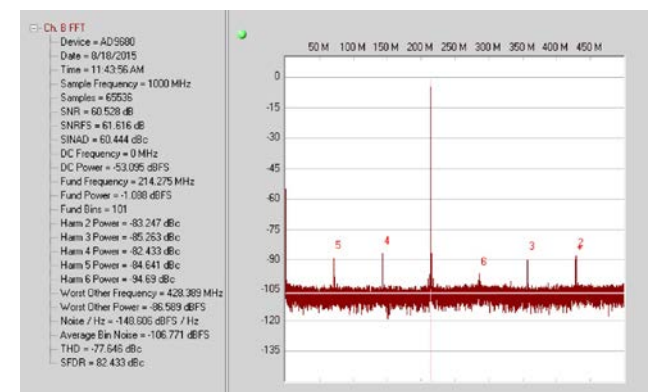


図 5. 785MHz のシングルトーンを入力した場合の FFT 結果



図 6. 170MHz のシングルトーンを入力した場合に、基本波から 1.2MHz の位置に生じるスイッチング・スプリアス (スプリアスのレベルは-105dBFS)



図 7. 785MHz のシングルトーンを入力した場合に、基本波から 1.2MHz の位置に生じるスイッチング・スプリアス (スプリアスのレベルは-94dBFS)

スイッチング・スプリアス

スイッチング・レギュレータを使用する場合、ノイズ性能に加え、スイッチング素子と磁性部品によって生じるスプリアスに注意する必要があります。また、グラウンド・ループとグラウンド・バウンスを低減できるよう慎重に PDN のレイアウトを行う必要があります。それにより、良好な結果を得ることが可能になります。スイッチング・レギュレータのノイズ測定に役立つリソースはたくさんあります^{5, 6}。

スイッチング・スプリアスは、基本波の両側に、スイッチング周波数 (この例では 1.2MHz) の分だけオフセットした位置に現れます。図 2、図 3 を見ると、スイッチング・レギュレータの出力部には 2 段構成の出力フィルタが配置されています。このフィルタがスイッチング・ノイズ (リップル) の低減に大きく寄与し、ADC のノイズ性能 (S/N 比) が維持されます。また、このフィルタは、FFT 結果に現れているスイッチング・スプリアスの低減にも役立ちます。図 6、図 7 に、170MHz、785MHz のシングルトーンを入力した場合のスイッチング・スプリアスを示しました。

スイッチング・スプリアスのレベルは、電源電圧変動除去比 (PSRR) や ADC の電源ドメインについて把握することで推定できます⁷。

レギュレータ回路のシミュレーション

スイッチング・レギュレータの出力に配置する 2 段構成のフィルタは、「ADIsimPE」などのツールを使用してシミュレーションすることができます⁸。図 8 に、ADIsimPE で PDN の出力ノイズと安定性をシミュレーションするための回路図を示しました。ADIsimPE は、システム設計者が電源回路の設計、最適化、解析を行ううえで非常に役立つ強力なツールです。

図 9 に、ADIsimPE によるシミュレーションの結果を示しました。2 段構成のフィルタにおける 1 段目の出力リップルと、2 段目の出力をプロットしています。リップルの大きさは約 3mVp-p です。

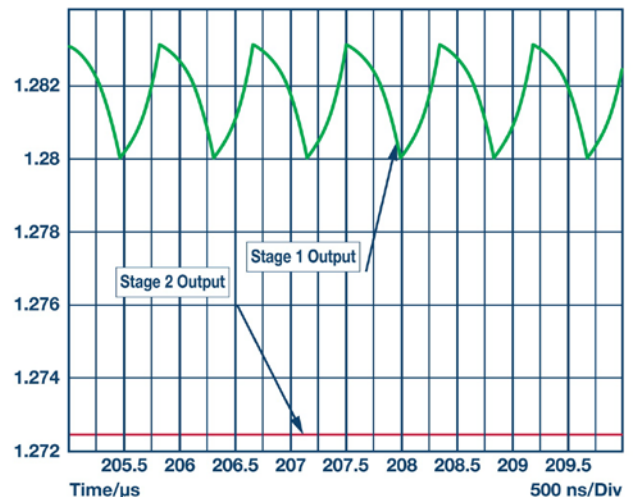


図 9. ADIsimPE によるシミュレーション結果 (1 段目、2 段目の出力をプロットしている)

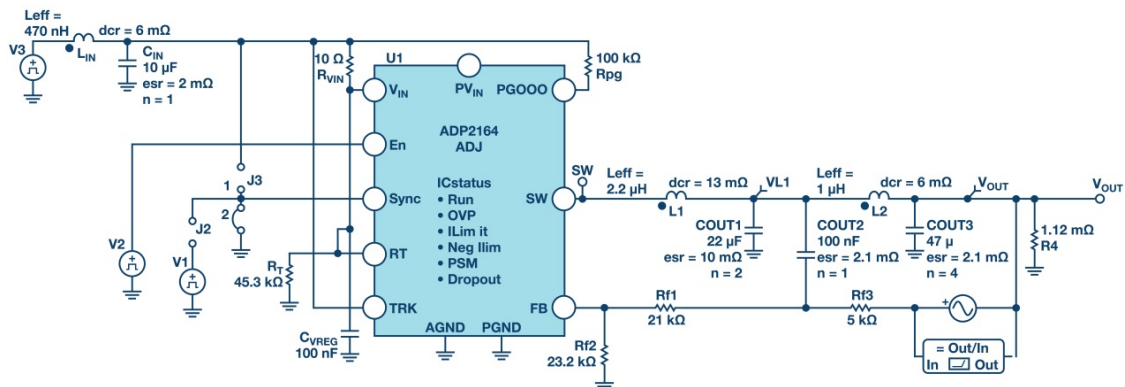


図 8. ADIsimPE でシミュレーションするための回路図

表 4. 図 2 に示した PDN の部品表

REFDES	Qty	Description	MFG	Part Number	Value
C1	1	22 μ F, 6.3 V, X5R 0805 capacitor	Murata	GRM21BR60J226ME39L	22 μ F
C2	4	22 μ F, 6.3 V, X5R 0805 capacitor	Murata	GRM21BR60J226ME39L	22 μ F
Cf	1	0.1 μ F, 10 V, X5R 0402 capacitor	Murata	GRM155R61A104KA01D	0.1 μ F
C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, 14, C15, C16, 17, C18, C19	17	4.7 μ F, 6.3 V, X5R 0402 capacitor	Murata	GRM155R60J475ME47D	4.7 μ F
E1, E2, E3, E4, E5, E6	6	Ferrite chip 10 Ω 0402	Murata	BLM15AX100SN1D	10 Ω
L1	1	1.0 μ H shielded power inductor, 10 m Ω	Coilcraft	XAL5030-102ME	1.0 μ H
L2	1	2.2 μ H shielded power inductor, 0.1 Ω	Coilcraft	ME3220-222ML	2.2 μ H
Rf1	1	4.99 k Ω , 1% 1, W/10 W 0402 resistor	Panasonic	ERJ-2RKF4991X	4.99 k Ω
Rf2	1	41.2 k Ω , 1% 1, W/10 W 0402 resistor	Panasonic	ERJ-2RKF4122X	41.2 k Ω
Rb	1	23.2 k Ω , 1% 1, W/10 W 0402 resistor	Panasonic	ERJ-2RKF2322X	23.2 k Ω
ADP2164	1	IC, REG, buck ADJ, 4 A, sync, 16-lead LFCSP	Analog Devices	ADP2164ACPZ-R7	
ADP1741	3	IC, REG, LDO, ADJ, 2 A, 16-lead LFCSP	Analog Devices	ADP1741ACPZ-R7	
ADP171	2	IC, REG, LDO, ADJ, 0.3 A, 5-lead TSOT-23	Analog Devices	ADP171AUJZ-R7	

部品表

前掲の図 2 は、AD9680 の評価用ボードにデフォルトで実装されている PDN を簡素化したものです。この PDN は、表 4 に示した部品によって構成されています。それに対し、図 3 に示した PDN であれば、部品にかかるコストを 40%~45%削減することができます。なお、部品のコストは、一般的な電子部品ベンダーのウェブサイトに掲載されている 1000 個単位の価格を使って見積もります。

部品の選択とレイアウト

本稿で紹介したように、ADC 用の PDN にはいくつかのバリエーションが考えられます。ADC の性能は PDN に依存するので、その設計は慎重に行う必要があります。PDN に使用する部品とプリント回路基板のレイアウトにより、ADC の性能が大きく変動する可能性があるということです。プリント回路基板には、マッチング回路で使われるインダクタや、アナログ信号/クロック信号のカップリングに使用するトランスなどの磁性部品が実装されます。それらの部品には、スイッチング・レギュレータで生成される大電流によって、強力な磁界がカップリングされます。そうした磁界から重要な信号に影響が及ぶことを避けるには、プリント回路基板のレイアウトを慎重に行わなければなりません。

インダクタの選択

出力フィルタで使用するインダクタとコンデンサは、大量の電力の供給に使われます。そのため、これらの部品は慎重に選択する必要があります。本稿の例では、シールド付きのインダクタとシールドがないインダクタを組み合わせて使用しました。フィルタの 1 段目には、シールド付きのインダクタを使っています。そうすれば、2 段目はシールドのないインダクタで対応できます。ただし、EMI（電磁波干渉）の放射を最小限に抑えたい場合には、1 段目、2 段目ともにシールド付きのインダクタを使用することをお勧めします。インダクタの飽和や過剰な電圧降下が発生しないように、飽和電流（ISAT）と DC 抵抗（DCR）について十分なヘッドルームを確保できる製品を選択しました。

コンデンサの選択

出力フィルタでは、X5R または X7R のコンデンサを使用することを推奨します。その際には、必ず等価直列抵抗（ESR）の小さい製品を選択してください。ESR が小さければ、スイッチング・レギュレータの出力リップルを抑えることができます。また、コンデンサを並列に接続すれば、トータルの ESR と等価直列インダクタンス（ESI）を最小限に抑えることが可能です。図 3、表 4 に示したように、フィルタの 1 段目では 22 μ F のコンデンサを 2 個使用し、2 段目では 22 μ F のコンデンサを 4 個使用しています。

コンデンサを選択する際には、定格電圧も重要な要素となります。DC バイアスの増加に伴って、セラミック・コンデンサの誘電性が低下するからです。定格電圧が 6.3V で容量が 22 μ F のコンデンサは、4V の DC バイアスによって誘電性が最大 50%低下します^{9, 10}。本稿の例では、1.25V の電源用に定格電圧が 6.3V のコンデンサを使用しました。出力に多くのコンデンサを追加すると、基板上的占有面積とコストが増加します。しかし、それによって、ADC の性能を低下させる原因となるスイッチング・ノイズとリップルを低減することができます。

フェライト・ビーズの選択

図 3 に示すように、各ドメインのアイソレーションにはフェライト・ビーズを使用しています。フェライト・ビーズの DC 抵抗が必要以上に高いと、各ドメインにおける供給電圧が最適な値よりも低くなります。したがって、フェライト・ビーズの選択も重要です。供給電圧が下がると、ADC の最適な性能（S/N 比や SFDR）が得られません。フェライト・ビーズのインピーダンス特性、DC 特性の最大許容値、DC 抵抗には十分な注意を払わなければなりません¹¹。

基板レイアウトで考慮すべき事柄

スイッチング・レギュレータが ADC に及ぼす影響を最小限に抑えるには、スイッチング・レギュレータとそのスイッチング素子を、ADC に影響を及ぼすあらゆる磁性部品から十分に離れた場所に配置する必要があります。そうした磁性部品は、フロントエンドのマッチング回路やクロック回路などで使われているはずですが、また、ループ電流を最小限に抑えるには、2 段構成のフィルタをスイッチング・レギュレータのできるだけ近くに配置する必要があります。

謝辞

測定やデータ収集に協力していただいた Justin Correll 氏に感謝します。

まとめ

GSPS ADC を使用すれば、広範な帯域幅を対象としてアナログ信号をデジタル化することができます。それにより、システム設計には大きなメリットがもたらされます。GSPS ADC を使用する場合は、PDN の複雑さを軽減し、実装面積とコストを削減することが重要になります。設計、部品の選択、プリント回路基板のレイアウトに十分な注意を払うことで、ノイズが少なく費用対効果が高い PDN を実現することが可能になります。そのように実装されたスイッチング・レギュレータを使えば、GSPS ADC の性能を低下させることなく、電源システムの効率を向上し、部品と運用にかかるコストを削減することができます。

参照先

- ¹ [AD9250](#), Analog Devices
- ² [AD9680](#), Analog Devices
- ³ [ADP2384](#), Analog Devices
- ⁴ [ADP2164](#), Analog Devices
- ⁵ Akdrick Limjoco 「[スイッチング・レギュレータの出力ノイズを理解し、電源の設計を加速する](#)」 Analog Dialogue 48-08
- ⁶ 「[Output Ripple and Noise Measurement Methods for Ericsson Power Modules](#) (Ericsson 社製電源モジュールの出力リップル/ノイズを測定する)」 Ericsson
- ⁷ Rob Reeder, 技術記事 MS-2210 「[高速 ADC の電源回路設計で考慮すべきこと](#)」 Analog Devices
- ⁸ [ADIsimPE](#), Analog Devices
- ⁹ [GRM21BR60J226ME39L](#)、村田製作所
- ¹⁰ Istvan Novak, Kendrick Barry Williams, Jason R. Miller, Gustavo Blando, and Nathaniel Shannon 「[DC and AC Bias Dependence of Capacitors](#) (DC/AC バイアスに対するコンデンサの依存性)」 DesignCon 2011

¹¹ Jefferson Eco, Akdrick Limjoco AN-1368 アプリケーション・ノート「[フェライト・ビーズの特性を知る](#)」 Analog Devices

著者について

Umesh Jayamohan は、米ノースカロライナ州グリーンズボロにある ADI の高速コンバータ・グループに所属するアプリケーション・エンジニアです。ADI には 2010 年に入社しました。1998 年にインドのケララ大学で学士号を取得し、2002 年にアリゾナ州立大学で修士号を取得しています。ADI の EngineerZone® では、[High Speed ADC Support Community](#) (高速 ADC コミュニティ) のメンバーとして活動しています。[EngineerZone](#) に登録 (無償) し、「UmeshJ」とコンタクトをとってみてください。

オンライン・サポート・コミュニティ

オンライン・サポート・コミュニティに参加すれば、ADI の技術者とコミュニケーションをとることができます。設計上の難問について問い合わせたり、FAQ を参照したり、話し合いに参加したりすることが可能になります。

ez.analog.com