



プログラマブル 高 g デジタル 衝撃センサー／レコーダー

ADIS16204

特長

- 2 軸検出、 $\pm 70\text{ g}$ 、 $\pm 37\text{ g}$
- 14 ビット分解能
- 衝撃ピークレベルのサンプル&ホールド
- 2 軸加速度の RSS 出力
- プログラマブル・イベント・レコーダ
- 400 Hz 2 極ベッセル・センサー応答
- デジタル制御の感度とバイアス
- デジタル制御のサンプル・レート (最大 4096 SPS)
- 状態監視用のプログラマブル・アラーム
- 補助デジタル I/O
- デジタル制御セルフ・テスト
- 温度センサーを内蔵
- プログラマブル・パワーマネージメント
- SPI 互換シリアル・インターフェース
- 補助 12 ビット ADC 入力と DAC 出力
- 単電源動作: $+3.0\text{ V} \sim +3.6\text{ V}$
- 4000 g の衝撃耐性

アプリケーション

- 衝突／衝撃検出
- 貴重品の状態監視
- 安全性、シャットオフの検出
- 衝撃イベントの記録
- セキュリティ検知と機器破壊検知

概要

アナログ・デバイセズの iSensor™ ADIS16204 は、シングル小型パッケージでデジタル衝撃検出とレコード機能を完全に統合したプログラマブル衝撃センサーです。アナログ・デバイセズの iMEMS® センサー技術と組み込み信号処理ソリューションを組み合わせた ADIS16204 は、シリアル・ペリフェラル・インターフェース (SPI) の便利なフォーマットで調整可能なデジタル・センサー・データにアクセスできます。SPI 通信を経由して、2 軸線形加速度、2 軸加速度の二乗和平方根 (RSS)、温度、電源電圧、補助アナログ入力、イベント・キャプチャ・バッファ・メモリの測定データへのアクセスが可能です。ユーザーはシステムへの導入が即可能なデバイスを使用する事によりデジタル・センサー・データへのアクセスが簡単になり、開発期間、コストおよびプログラム・リスクを削減できます。

便利なサンプル・レート制御機能に加え、シングル・コマンドによるシステムに対するバイアス・ゼロ/オフセット補正のような複数の機能を内蔵しているため、エンド・システムの固有の特性に容易に対応できます。

Rev. B

機能ブロック図

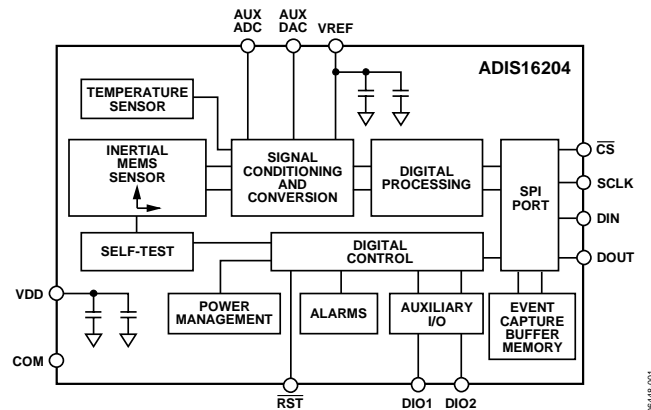


図 1.

ADIS16204 には下記の機能が内蔵されているので、外付け回路が削減でき、システム・インターフェースが容易になります:

- ピーク・サンプル&ホールド
- プログラマブル・イベント・レコーディング (デュアル、 $1\text{K} \times 16\text{ bit}$)
- RSS 出力 (XY 面の全衝撃)
- 設定可能なアラーム
- 補助 12 ビットの ADC と DAC
- 設定可能なデジタル I/O ポート
- デジタル・セルフ・テスト機能

ADIS16204 にはシステム・レベルの消費電力を管理する低消費電力モードと設定可能な動作停止モードの 2 つのパワーマネージメント機能があります。

ADIS16204 の温度範囲は $-40^\circ\text{C} \sim +105^\circ\text{C}$ で、パッケージは $9.2\text{ mm} \times 9.2\text{ mm} \times 3.9\text{ mm}$ ラミネート・ランド・グリッド・アレイ (LGA) を採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
 ※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2007-2009 Analog Devices, Inc. All rights reserved.

目次

特長	1	衝撃/ショック応答	10
アプリケーション	1	補助 ADC 機能	11
機能ブロック図	1	基本動作	12
概要	1	シリアル・ペリフェラル・インターフェース	12
改訂履歴	2	データ出力レジスタへのアクセス	13
仕様	3	プログラミングと制御	14
タイミング仕様	5	コントロール・レジスタの概要	14
絶対最大定格	6	コントロール・レジスタの構成	14
ESD に関する注意	6	グローバル・コマンド	15
ピン配置と機能の説明	7	補正	15
推奨パッド形状	7	動作制御	16
代表的な性能特性	8	ステータスと診断	17
動作原理	10	アラーム検出とイベント・キャプチャ	18
概要	10	実装工程	21
加速度センサー	10	外形寸法	22
温度センサー	10	オーダー・ガイド	22

改訂履歴

12/09—Rev. A to Rev. B	
Changes to Figure 23	13
10/07—Rev. 0 to Rev. A	
Changes to Power Supply Current Specification	4
Changes to Overview Section	10
6/07—Revision 0:初版	

仕様

特に指定のない限り、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$, $V_{DD} = 3.3\text{ V}$ 。

表 1.

Parameter	Conditions	Axis	Min	Typ	Max	Unit
ACCELEROMETER						
Output Full-Scale Range		X	± 70			g
		Y	± 37			g
Sensitivity		X		17.125		mg/LSB
		Y		8.407		mg/LSB
Nonlinearity				0.2		%
Sensor-to-Sensor Alignment Error				0.1		Degrees
Cross-Axis Sensitivity			-5		+5	%
Resonant Frequency				24		kHz
OFFSET						
Zero-g Output ¹		X		0.2		g
		Y		0.2		g
NOISE						
Noise Density	10 Hz – 400 Hz, no postfiltering			1.8		mg/ $\sqrt{\text{Hz}}$
FREQUENCY RESPONSE						
Sensor Bandwidth (-3 dB)	2-pole Bessel		360	400	440	Hz
Temperature Drift	$ 25^\circ\text{C} - T_{\text{MIN}} $ or $ T_{\text{MAX}} - 25^\circ\text{C} $			2		Hz
ACCELEROMETER SELF-TEST STATE²						
Output Change When Active	At 25°C	X		254		LSB
Output Change When Active		Y		518		LSB
TEMPERATURE SENSOR						
Output at 25°C				1278		LSB
Scale Factor				-2.13		LSB/ $^\circ\text{C}$
ADC INPUT						
Resolution				12		Bits
Integral Nonlinearity (INL)				± 2		LSB
Differential Nonlinearity (DNL)				± 1		LSB
Offset Error				± 4		LSB
Gain Error				± 2		LSB
Input Range			0		2.5	V
Input Capacitance	During acquisition			20		pF
ON-CHIP VOLTAGE REFERENCE						
Accuracy	At 25°C		-10		+10	mV
Reference Temperature Coefficient				± 40		ppm/ $^\circ\text{C}$
Output Impedance				70		Ω
DAC OUTPUT						
Resolution	5 k Ω /100 pF to GND			12		Bits
Relative Accuracy	For Code 101 to Code 4095			4		LSB
Differential Nonlinearity (DNL)				1		LSB
Offset Error				± 5		mV
Gain Error				± 0.5		%
Output Range				0 to 2.5		V
Output Impedance				2		Ω
Output Settling Time				10		μs
LOGIC INPUTS³						
Input High Voltage, V_{INH}			2.0			V
Input Low Voltage, V_{INL}					0.8	V
Logic 1 Input Current, I_{INH}	$V_{\text{IH}} = V_{\text{DD}}$			± 0.2	± 1	μA
Logic 0 Input Current, I_{INL}	$V_{\text{IL}} = 0\text{ V}$			-40	-60	μA
Input Capacitance, C_{IN}				10		pF
DIGITAL OUTPUTS						
Output High Voltage, V_{OH}	$I_{\text{SOURCE}} = 1.6\text{ mA}$		2.4			V

Parameter	Conditions	Axis	Min	Typ	Max	Unit
Output Low Voltage, V_{OL}	$I_{SINK} = 1.6 \text{ mA}$				0.4	V
SLEEP TIMER						
Timeout Period ⁴			0.5		128	Seconds
START-UP TIME						
Initial				130		ms
Reset recovery				2.5		ms
FLASH MEMORY						
Endurance ⁵			20,000			Cycles
Data Retention ⁶	$T_J = 85^\circ\text{C}$		20			Years
CONVERSION RATE						
Maximum Throughput Rate				4096		SPS
Minimum Throughput Rate				2.066		SPS
POWER SUPPLY						
Operating Voltage Range, VDD			3.0	3.3	3.6	V
Power Supply Current	Normal mode, $SMPL_PRD \geq 0x08$ ($f_s \leq 910 \text{ Hz}$), at 25°C			12	15	mA
	Fast mode, $SMPL_PRD \leq 0x07$ ($f_s \geq 1024 \text{ Hz}$), at 25°C			37	43	mA
	Sleep mode, at 25°C			150		μA

¹ 重力はこの値に影響を与える可能性があるので注意してください；ゼロ g の条件は両軸が地球の重力に対して垂直にあると仮定します。

² セルフ・テスト応答は VDD の 2 乗に比例して変化します。

³ 入力は+5 V 系です。

⁴ 設計保証です。

⁵ 書き換え回数は JEDEC 規格 22、Method A117 に準拠し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+105^\circ\text{C}$ の温度条件で測定されます。

⁶ JEDEC 規格 22、Method A117 に準拠し、ジャンクション温度(T_J)= 55°C での等価データ保持寿命期間です。データ保持寿命期間は、ジャンクション温度に伴って短くなります。

タイミング仕様

特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +3.3\text{ V}$ 。

表 2.

Parameter	Description	Min ¹	Typ	Max ¹	Unit
f_{SCLK}	Fast mode ²	0.01		2.5	MHz
	Normal mode ²	0.01		1.0	MHz
t_{DATARATE}	Chip select period, fast mode ²	40			μs
	Chip select period, normal mode ²	100			μs
t_{CSHIGH}	Chip select high	$1/f_{\text{SCLK}}$			
t_{CS}	Chip select to clock edge	48.8			ns
t_{DAV}	Data output valid after SCLK edge			100	ns
t_{DSU}	Data input setup time before SCLK rising edge	24.4			ns
t_{DHD}	Data input hold time after SCLK rising edge	48.8			ns
t_{DF}	Data output fall time		5	12.5	ns
t_{DR}	Data output rise time		5	12.5	ns
t_{SFS}	$\overline{\text{CS}}$ high after SCLK edge	5			ns

¹ これらの仕様についてはテストを行っていません。設計保証です。

² サンプル・レートの選択に基づきます。

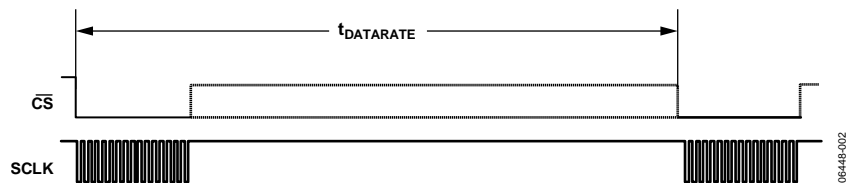


図 2. SPIチップ・セレクト・タイミング

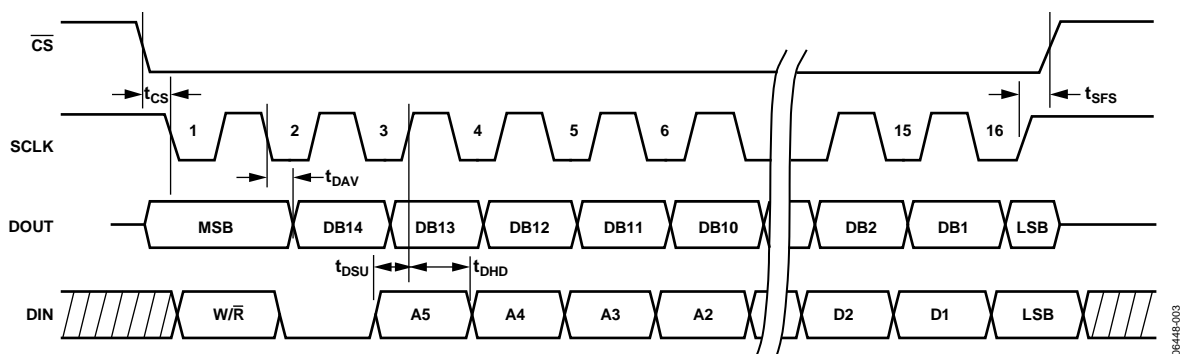


図 3. SPI タイミング

(フェーズ=1、極性=1の代表的な SPI 設定を使用)

絶対最大定格

表 3.

Parameter	Rating
Acceleration (Any Axis, Unpowered, 0.5 ms)	4000 g
Acceleration (Any Axis, Powered, 0.5 ms)	4000 g
V _{CC} to COM	-0.3 V to +6.0 V
Digital Input/Output Voltage to COM	-0.3 V to +5.5 V
Analog Inputs to COM	-0.3 V to +3.5 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この定格はストレスについてのみを規定するものであり、デバイスの動作機能についてはこの定格あるいはこの仕様の動作部分に記載する規定値以上のいかなる条件についても定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与える可能性があります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

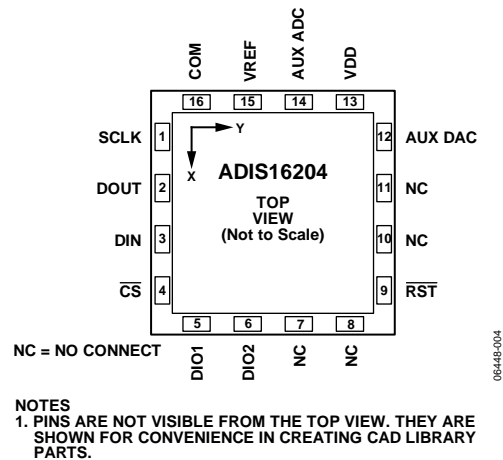


図 4. ピン配置（上面図）

表 4. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	SCLK	I	SPI、シリアル・クロック。
2	DOUT	O	SPI、データ出力。
3	DIN	I	SPI、データ入力。
4	$\overline{\text{CS}}$	I	SPI、チップ・セレクト（アクティブ・ロー）。
5, 6	DIO1, DIO2	I/O	多機能デジタル入出力ピン。
7, 8, 10, 11	NC	—	無接続。
9	$\overline{\text{RST}}$	I	リセット（アクティブ・ロー）この入力は組込型マイクロコントローラを既知の状態にリセットします。
12	AUXDAC	O	補助 DAC のアナログ電圧出力。
13	VDD	S	電源 3.3 V。
14	AUX ADC	I	補助 ADC のアナログ入力電圧。
15	VREF	O	高精度リファレンス電源。
16	COM	S	コモン。回路全体の基準点。

¹ S = 電源； O = 出力； I = 入力； I/O = 入出力

推奨パッド形状

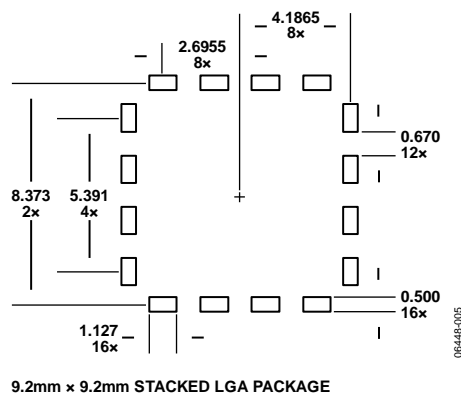


図 5. パッド・レイアウトの例

代表的な性能特性

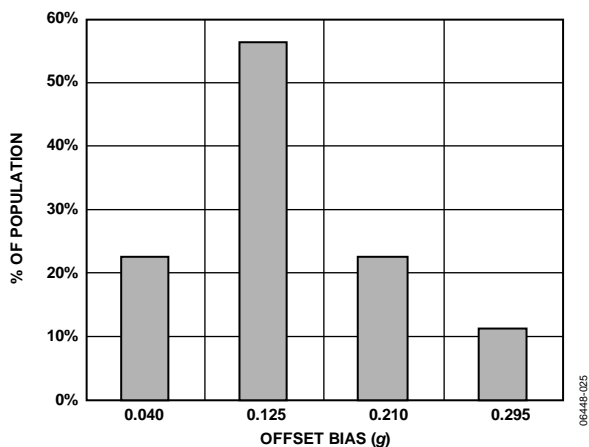


図 6. バイアス・オフセット分布、X 軸

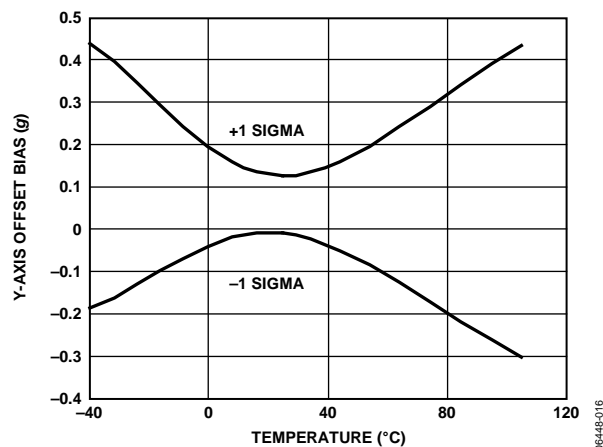


図 9. オフセット・バイアス変化対温度、Y 軸

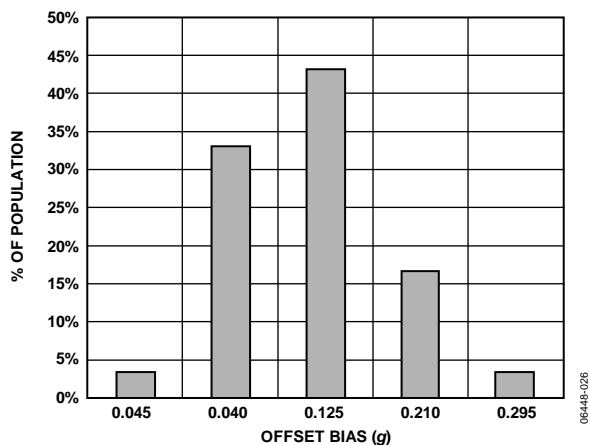


図 7. バイアス・オフセット分布、Y 軸

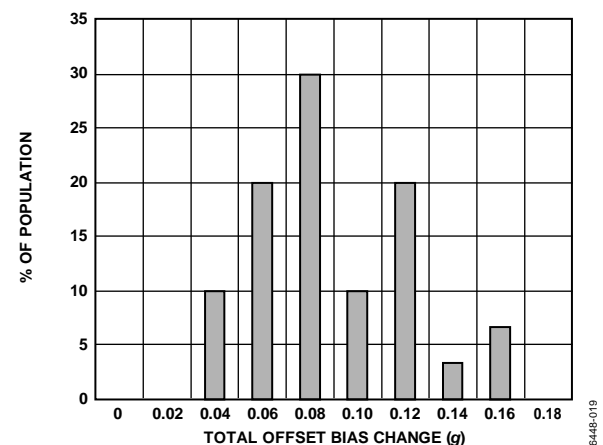


図 10. オフセット・バイアス変化、X 軸対電源 (3.0 V ~ 3.6 V)

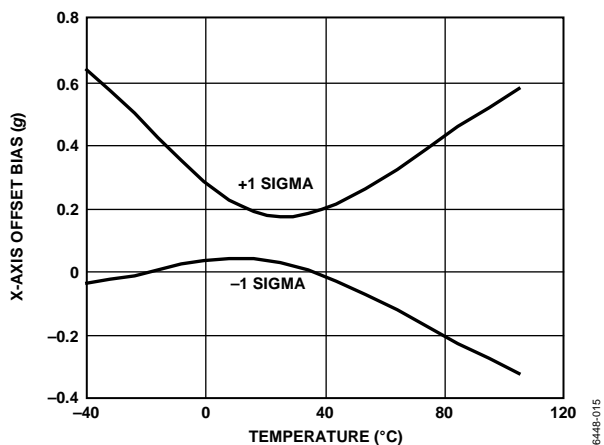


図 8. オフセット・バイアス変化対温度、X 軸

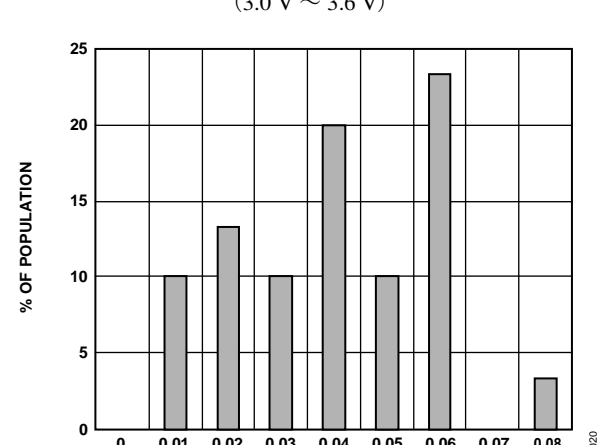


図 11. オフセット・バイアス変化、Y 軸対電源 (3.0 V ~ 3.6 V)

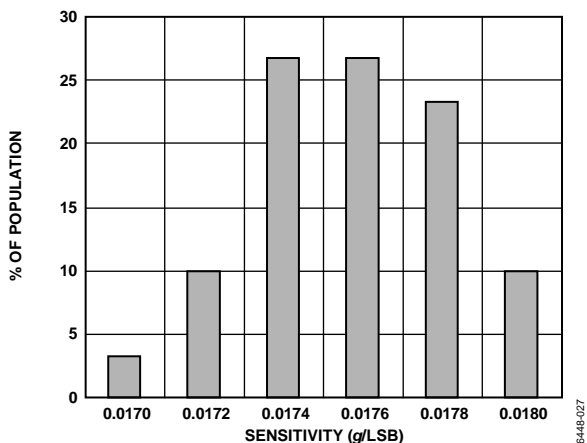


図 12. X 軸 感度分布

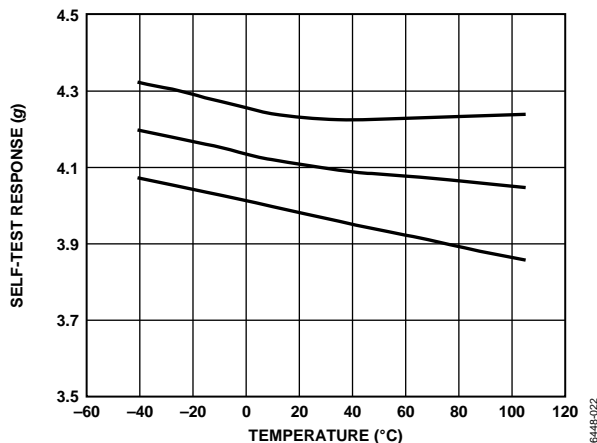


図 15. セルフ・テスト応答 (X 軸と Y 軸) 対 温度

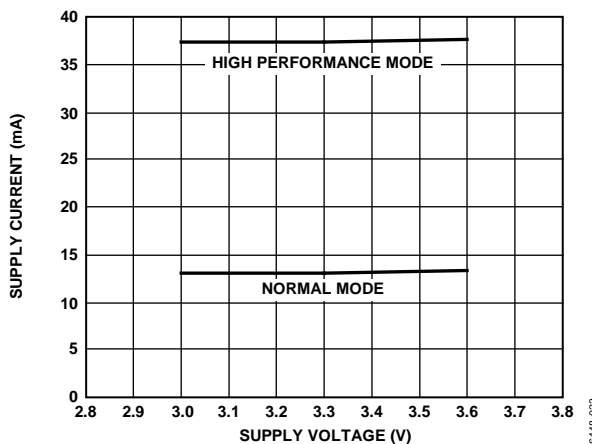


図 13. 電源電流 対 電源電圧

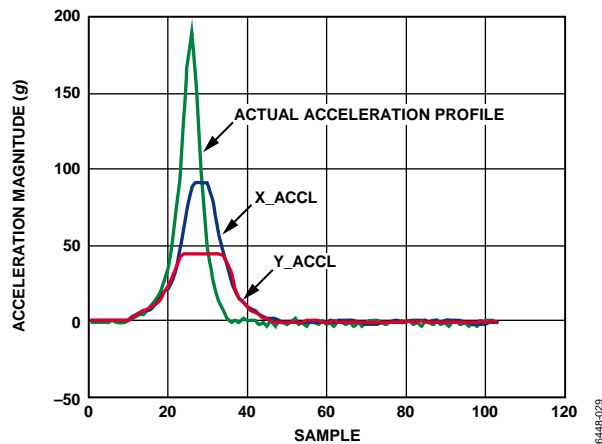


図 16. 出力飽和に対する X 軸, Y 軸の応答、
サンプル・レート=4096 SPS

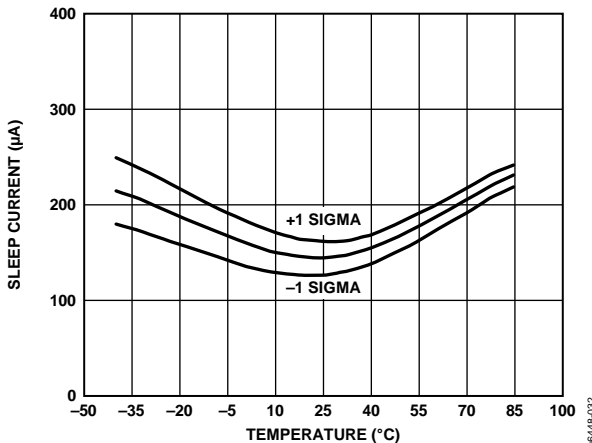


図 14. スリープ電流 対 温度

動作原理

概要

ADIS16204 は 2 軸 $\pm 70 \text{ g} \pm 37 \text{ g}$ MEMS 加速度センサーを完結的な衝突／衝撃の測定／記録システムに統合しています。統合されたミックスド・シグナル処理回路はセンサー・データをデジタル化し、補正係数を加え、多数のユーザー設定可能な機能を提供し、簡単な通信経路のシリアル・ペリフェラル・インターフェース (SPI) を利用できます。

加速度センサー

ADIS16204 のセンサーコアは、全差動のセンサー構造と回路バスを提供するため、電磁干渉 (EMI) に対する耐性を持っています。ADIS16204 は、電気的なゼロ・フォース・フィードバック構成を採用しているため、精度と安定性に優れています。センサーの共振周波数はフィルタのカットオフ周波数よりかなり高いため、センサー信号処理回路に対するノイズ除去がより高くなっています。

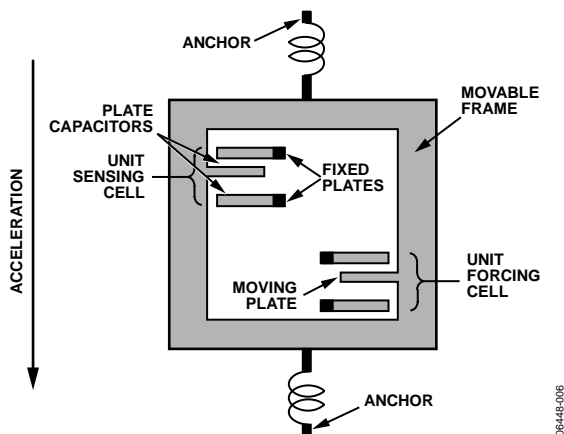


図 17. 加速度が加わった状態でのセンサーの簡略図

図 17 は一つの差動センサー素子の簡略化した図です。各センサーには複数の差動コンデンサ・ユニット・セルが内蔵されています。各セルはサブストレートに取り付けられた固定プレートとフレームに取り付けられた可動プレートから構成されています。フレームの変位により差動容量が変化し、この変化が内部回路によって測定されます。

固定プレートは 200 kHz の相補方形波によって駆動されます。可動プレートでの AC 信号が 0 V になるように、電氣的帰還により方形波の振幅が調整されます。帰還信号は、加えられた加速度に直線的に比例します。この独自の帰還技術によりセンサーに加えられる正味の静電気力はゼロになります。フィルタの入力には差動帰還制御信号も入力され、フィルタされた後に、シングルエンド信号に変換されます。

温度センサー

温度センサーは、センサーのジャンクション温度を反映し、システム・レベルの特性評価や補正に便利な温度測定値を提供します。

衝撃／ショック応答

センサーの機構部の加速度測定範囲は各軸の実際の出力測定範囲の 8 倍あります。従って、高 g、短時間イベントに対する応答を考えると、2 極、400 Hz ローパス・ベッセルフィルタ回路が出力応答に影響を与えるようになります。図 18 に、このシグナル・チェーンの周波数応答を示します。図 19 で、X 軸の加速度センサーに 0.1 ms 間に 560 g の衝撃イベントが加わった時、出力応答が 70 g に達しています。出力飽和を避ける必要のあるユーザーにとって、イベントの加速度応答の積分 (図 19 の場合における加速度・時間の積) を 56 g-ms 以下に保つ事が重要です。

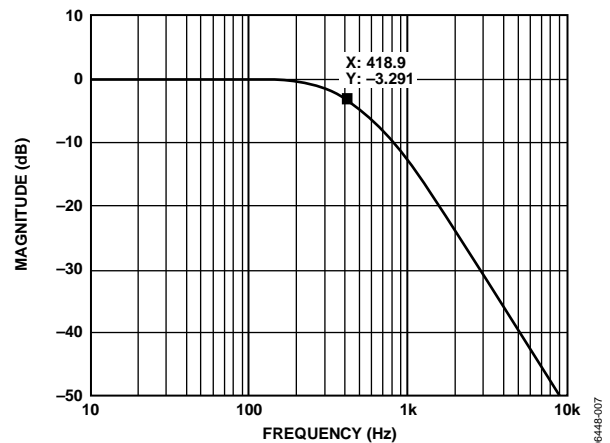


図 18. ADIS16204 の周波数応答

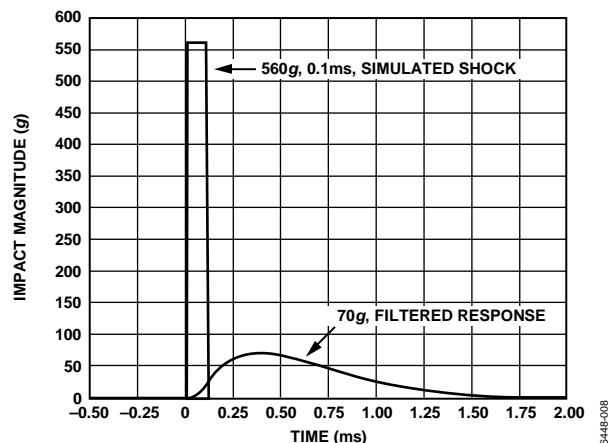


図 19. ADIS16204 の衝撃応答

補助 ADC 機能

他のシステム・レベルのアナログ信号をデジタル化するために、ADIS16204には標準 12ビット ADC が内蔵しています。ADC の出力は、表 6 に定義されているようにコントロール・レジスタ AUX_ADC を介してモニターする事ができます。ADC は 12 ビット逐次比較型コンバータです。出力データはフルスケール範囲が $0\text{ V} \sim V_{\text{REF}}$ で、2 の補数フォーマットです。高精度、低ドリフトで出荷時に較正される 2.5 V リファレンス電源も内蔵しています。

ADC のアナログ入力等価回路は、図 20 に示します。入力容量 (C1) は 4 pF typ で、パッケージによる寄生容量が主な要因と考えられます。2 個のダイオードはアナログ入力に対して ESD 保護機能を果たします。アナログ入力信号が電源レールより 300 mV 以上高くないよう注意する必要があります。300mV 以上になると、これらのダイオードが順方向バイアスになり導通し始めます。ダイオードは 10mA までは破損することなく扱えます。抵抗はスイッチのオン抵抗を表す集中定数素子です。この抵抗値は 100 Ω type です。コンデンサ C2 は ADC サンプル容量を表し、16pF typ です。

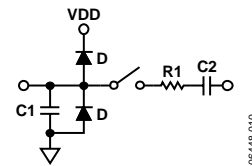


図 20.アナログ入力等価回路
変換フェーズ：スイッチ開
トラック・フェーズ：スイッチ閉

AC アプリケーションの場合は、該当するアナログ入力ピンにローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去する事をお勧めします。

高調波歪みと信号対ノイズ比が重要であるアプリケーションでは、アナログ入力を低インピーダンス・ソースで入力する必要があります。ソース・インピーダンスが大きいと、ADC の AC 性能に大きな影響を与えるため、入力バッファ・アンプを使うことが必要となります。入力アンプを使わないでアナログ入力を駆動する時は、ソース・インピーダンスを 1k Ω 以下の値に制限する必要があります。

基本動作

ADIS16204 は産業用システム設計へ簡単に組み込めるように設計されており、電源と業界標準の 4 線式 SPI 接続のみで動作可能です。SPI 通信により ADIS16204 のレジスタにアクセス可能です。レジスタは全センサー出力データへのアクセスを制御し、デバイスのプログラマブル機能を制御します。各レジスタは 16 ビット長でそれぞれ固有のビットマップを持っています。各レジスタの 16 ビットは上位バイト（ビット 8～ビット 15）と下位バイト（ビット 0～ビット 7）で構成されており、各バイトはそれぞれ 6 ビットアドレスを備えています。

ADIS16204 の SPI ポートには 4 種類の信号があります：チップ・セレクト (\overline{CS})、シリアル・クロック (SCLK)、データ入力 (DIN)、データ出力 (DOUT)。 \overline{CS} ラインは ADIS16204 の SPI ポートを有効にし、各 SPI イベントをフレーム化します。この信号が「ハイ」の時、DOUT ラインは高インピーダンス状態になり DIN と SCLK の信号は動作に影響しません。データ・フレーム全体は 16 クロック・サイクルです。SPI ポートは full-duplex mode で動作するので、同じデータ・フレームの中で同時に 16 ビットの受信 (DIN) と送信 (DOUT) が行えます。

SPI ポートのタイミングと動作の詳細については表 2、図 2、図 3 を参照してください。

図 21 にコントロール・レジスタへコマンドを書き込む標準的なデータ・フレームを示します。この場合、DIN シーケンスの最初の読み出し/書き込みコマンド・ビット (R/W=1) は「1」で、その後に「0」、6 ビットのアドレス・ビット (A5～A0)、8 ビットのデータ・コマンド (DC7～DC0) と続きます。各書き込みコマンドは 1 バイト・データあるので、レジスタの全 16 ビットのスペースに書き込むには、2 つのデータ・フレームが必要になります。DIN ビットは、クロックにより SCLK の立ち上がりエッジで ADIS16204 に入力されます。

レジスタの値を読み出すには、図 21 に示された DIN シーケンスのシーケンスを変更する必要があります。図 22 に示すように、DIN シーケンスの最初の読み出し/書き込みコマンド・ビット (R/W) とその後のビットは「0」で、その後 6 ビットのアドレス・ビットが続きます。各レジスタには 2 つのアドレス（上位、下位）がありますが、その 16 ビット全体のデータをアクセスするためにどちらか一方のアドレスを使用できます。DIN シーケンスの最後の 8 ビットは無視され、読み出しコマンドの間は don't cares とみなされます。16 ビットデータは次のデータ・フレーム間の DOUT シーケンスに含まれます。ADIS16204 は \overline{CS} ラインの立下りエッジで最初の DOUT ビットをクロック・アウトし、SCLK 信号の立下りエッジで DOUT ビットの残りをクロック・アウトします。一つの読み出しコマンドは 2 つの別々のデータ・フレームを必要としますが、full-duplex mode ではこの負荷が最小限に抑えられ、連続してサンプリングする時には一つだけ余分なデータ・フレームが必要となるだけです。つまりレジスタからの読み出しは、最初の 16 ビット・シーケンスでは DIN 上で読み出しコマンドを送信し、2 つ目のシーケンスで DOUT からのデータを受信します。

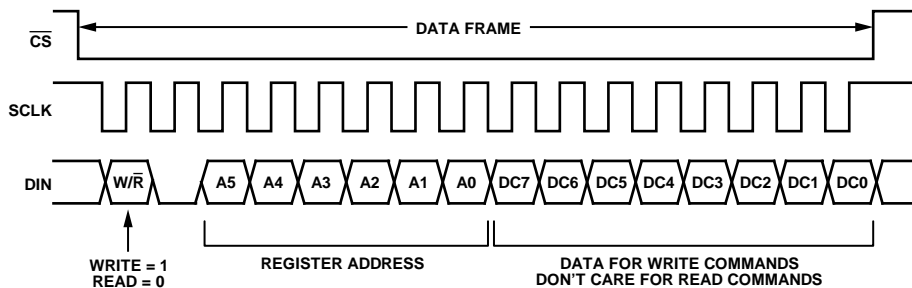


図 21. DIN ビット・シーケンス

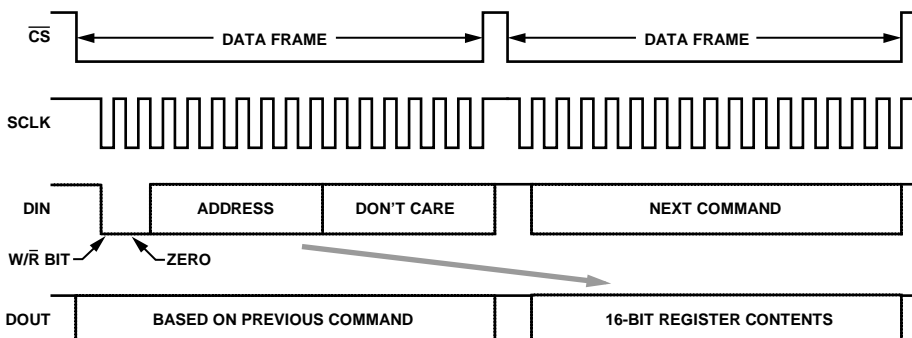


図 22 読み出しコマンドの SPI シーケンス

データ出力レジスタへのアクセス

表 6 に各データ出力レジスタの一覧とともに、それらの機能、アドレス、関連したデコーディング情報を示します。

センサー出力データ

ADIS16204 は X 軸と Y 軸の加速度値、RSS 値（X 軸と Y 軸の加速度の 2 乗和平方根）、ピーク加速度値、電源測定値、温度測定値、補助 12 ビット ADC チャンネル、イベント・キャプチャ・バッファ・メモリにアクセス可能です。

ピーク・サンプル&ホールド出力レジスタ

ADIS16204 は X 軸、Y 軸と X、Y 軸の RSS 出力の測定値を監視し、各パラメータの最大値と極性を保持します。これらの最大値を得るには X_PEAK_OUT レジスタ、Y_PEAK_OUT レジスタ、XY_PEAK_OUT レジスタにアクセスします。これらのレジスタをクリアする方法についてはコマンド・レジスタを参照してください。

レジスタ・アクセス

この出力データはユーザーの読み出しレートに関係なく、内部で継続的に更新しています。表 5 のビットマップは ADIS16204 の全出力データ・レジスタの構成を表しています。

上位バイトは常にレジスタ読み出しシーケンスの初めになります。

表 5.出力ビット配置

MSB				LSB			
ND	EA	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

MSB は新規データ (ND) 表示信号を保持します。出力レジスタが新規データで更新されると、ND ビットが状態「1」になります。このビットは出力データが読み出された後には状態「0」に戻ります。エラー/アラーム・ビット (EA) は、電源電圧が規定の動作範囲を外れた場合など、数々の条件の結果より起こる可能性のあるシステム・エラー状態又はアラーム状態を表すために使用されます（詳細については「ステータスと診断」セクションをご覧ください）。出力データは 12 ビット長か又は 14 ビット長です。12 ビット出力データの場合はすべてビット D13 とビット D12 が「don't care」になります。

表 6 に示す出力データ・レジスタ・マップは各レジスタ・データにアクセスするためのすべての必要な詳細です。図 23 は SPI シーケンスの例を示します。

表 6.データ出力レジスタ情報

Name	Function	Register	Resolution (Bits)	Data Format	Scale Factor (per LSB)
SUPPLY_OUT	Power supply	0x03, 0x02	12	Binary	1.22 mV
XACCL_OUT	X-axis acceleration	0x05, 0x04	14	Twos complement	17.125 mg
YACCL_OUT	Y-axis acceleration	0x07, 0x06	14	Twos complement	8.407 mg
AUX_ADC	Auxiliary analog input data	0x09, 0x08	12	Binary	0.61 mV
TEMP_OUT ¹	Sensor temperature data	0x0B, 0x0A	12	Binary	-0.47°C
X_PEAK_OUT ²	Peak, X-axis acceleration	0x0D, 0x0C	14	Twos complement	17.125 mg
Y_PEAK_OUT ²	Peak, Y-axis acceleration	0x0F, 0x0E	14	Twos complement	8.407 mg
XY_RSS_OUT ³	XY combined acceleration (RSS)	0x19, 0x18	14	Binary	17.125 mg
XY_PEAK_OUT ^{2,3}	Peak, XY combined output (RSS)	0x1B, 0x1A	14	Binary	17.125 mg
CAPT_BUF_1 ⁴	Capture Buffer 1 Output Register	0x1D, 0x1C	「アラーム検出とイベント・キャプチャ」セクション、表 37、表 38 をご覧ください。		
CAPT_BUF_2 ⁴	Capture Buffer 2 Output Register	0x1F, 0x1E			

¹ 25°C、公称出力は 1278 LSB に等しくなります。

² これらのレジスタのピーク値は、COMMAND レジスタによりクリアされるまで、測定された最大値を保存し蓄積していきま（極性は取り込まれません。XY_PEAK_OUT は除く）。

³ これは XY 平面上のパッケージによって吸収される全衝撃の大きさで、X 軸と Y 軸の加速度測定値の 2 乗和平方根の結果です。

⁴ 詳細については、「アラーム検出とイベント・キャプチャ」のセクションを参照してください。

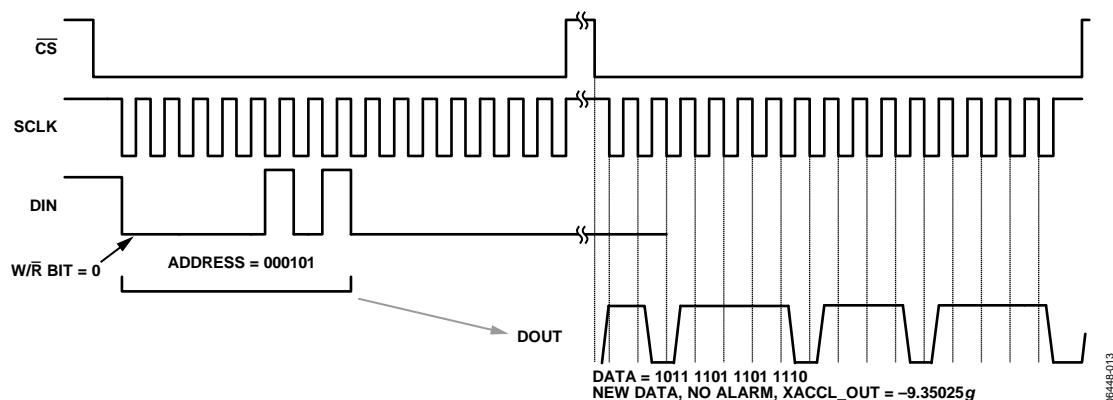


図 23 出力タイミング/コーディング図の例

プログラミングと制御

コントロール・レジスタの概要

ADIS16204には適切なコントロール・レジスタにコマンドを書き込む事により制御される多くのプログラマブルな機能があります。設定可能な機能を下記に示します。

- グローバル・コマンド
- 補正
- 動作制御
 - サンプル・レート
 - パワーマネージメント
 - DAC出力
 - デジタル I/O
- 動作状態と診断
 - セルフ・テスト
 - ステータス
 - アラーム
- イベント・キャプチャ

コントロール・レジスタの構成

ADIS16204は表7に表示されたコントロール・レジスタに対応するために一時的なSRAMベースのメモリを使用します。スタートアップの設定はフラッシュ・メモリに保存されますが、これはスタートアップ・シーケンスの間にコントロール・レジスタに自動的にロードされます。各不揮発性レジスタには対応するフラッシュ・メモリ領域があり、最新の設定値を保存します。フラッシュ・メモリには書き換え回数の制限があるので、各不揮発性レジスタの値を手動でフラッシュ・メモリに保存する必要があります。コントロール・レジスタの値はそれらをフラッシュ・メモリに保存した時のみ不揮発性になる事に注意してください。この機能は、COMMANDレジスタのフラッシュ更新コマンドを設定することによって行われます。ENDURANCEレジスタにて、バックアップの累積回数を確認できます。

表7. コントロール・レジスタ・マッピング

Name	Type	Volatility ¹	Address	Bytes	Function	Reference Table
ENDURANCE	R	Nonvolatile	0x01, 0x00	2	Flash memory write counter	Table 26
			0x02 to 0x0F	14	Output data registers	Table 6
XACCL_NULL	R/W	Nonvolatile	0x11, 0x10	2	X-axis offset null calibration register	Table 10
YACCL_NULL	R/W	Nonvolatile	0x13, 0x12	2	Y-axis offset null calibration register	Table 11
XACCL_SCALE	R/W	Nonvolatile	0x15, 0x14	2	X-axis scale factor calibration register	Table 12
YACCL_SCALE	R/W	Nonvolatile	0x17, 0x16	2	Y-axis scale factor calibration register	Table 13
			0x18 to 0x1B	4	Output data registers	Table 6
CAP_BUF_1	R	Volatile	0x1D, 0x1C	2	Capture buffer output register 1	Table 37, Table 38
CAP_BUF_2	R	Volatile	0x1F, 0x1E	2	Capture buffer output register 2	Table 37, Table 38
ALM_MAG1	R/W	Nonvolatile	0x21, 0x20	2	Alarm 1 amplitude threshold	Table 32, Table 34
ALM_MAG2	R/W	Nonvolatile	0x23, 0x22	2	Alarm 2 amplitude threshold	Table 33, Table 34
			0x24 to 0x27	2	Reserved	
ALM_CTRL	R/W	Nonvolatile	0x29, 0x28	2	Alarm source control register	Table 30, Table 31
CAPT_PNTR	R/W	Volatile	0x2B, 0x2A	2	Capture register address pointer	Table 39, Table 40
			0x2A to 0x2F	6	Reserved	
AUX_DAC	R/W	Volatile	0x31, 0x30	2	Auxiliary DAC data	Table 19, Table 20
GPIO_CTRL	R/W	Volatile	0x33, 0x32	2	Auxiliary digital I/O control register	Table 21, Table 22
MSC_CTRL	R/W	Nonvolatile ²	0x35, 0x34	2	Miscellaneous control register	Table 24, Table 25
SMPL_PRD	R/W	Nonvolatile	0x37, 0x36	2	ADC sample period control register	Table 15, Table 16
CAPT_CFG	R/W	Nonvolatile	0x39, 0x38	2	Capture configuration register	Table 35, Table 36
SLP_CNT	W	Volatile	0x3B, 0x3A	2	Counter used to determine length of power-down mode	Table 17, Table 18
STATUS	R	Volatile	0x3D, 0x3C	2	System status register	Table 27, Table 28
COMMAND	W	N/A	0x3F, 0x3E	2	System command register	Table 8, Table 9

¹ 不揮発性状態を確定するためにはコントロール・レジスタを更新した後にフラッシュ・メモリを更新する必要があります。

² 内部のセルフ・テスト・シーケンスが完了後、ビット8はクリアされ、実質的にこのビットを揮発性にします。

グローバル・コマンド

ADIS16204には多くの共通動作を簡略化するためのグローバル・コマンドがあります。COMMANDレジスタには、各機能のためのコマンド・ビットがあり、該当のコマンド・ビットに「1」を書き込むとその機能が実行されます。フラッシュ更新 (Flash update) を行うと、すべての不揮発性レジスタの内容が該当する不揮発性フラッシュ・メモリ領域にコピーされます。この処理は約 50ms かかり、規定された動作範囲内の電源供給が必要です。フラッシュ更新が完了したら、STATUSレジスタを読み出して処理が正常に終了したかを確認してください (正常に終了した場合、フラッシュ更新エラーの値は0になります)。もしフラッシュ更新が正常に行われなかった場合、このエラービットを読み出す事により2つの事が実行されます: (1) システムプロセッサに処理を再実行するように警告する、(2) エラーフラグをクリアする (フラッシュ・メモリのアクセスのために必要です)。

ソフトウェア・リセット (Software reset) コマンドは内蔵されたプロセッサを再起動し、全レジスタにフラッシュ・メモリ領域の値をロードします。DAC データ・ラッチ (DAC data latch) コマンドは、AUX_DACの値をDACラッチにロードします。AUX_DACの値は1バイトずつ更新する必要がありますが、このコマンドにより更新中にDAC出力電圧を一定に保つ事ができます。

補正・コマンド

自動ゼロ補正 (Autonull) コマンドにより、センサー出力からオフセットを簡単に除去できます。このコマンドは各軸 (X, Y) について別々の 64 サンプル測定値を取得し、平均化した逆符号の値を各軸のオフセット・ゼロ点 (offset null) レジスタにロードします。この処理の精度は、64 サンプルの測定期間中に力あるいはモーションの印加をいかに最小限に抑えるか、に依存します。工場出荷時の較正值への復帰 (Factory calibration restore) コマンドは、スケール・レジスタやオフセット・ゼロ点レジスタ (たとえば XACCL_NULL) の値をデフォルトに戻します。ADIS16204の補正に関するさらに詳しい情報については「補正」セクションを参照してください。

イベント・キャプチャ・コマンド

COMMANDレジスタにはイベント・キャプチャ機能を使用する上でプロセスを簡略化する4つの異なる機能があります。Reset-capture pointer機能はキャプチャ・ポインタの値をその初期値「0x0001」にセットします。「Clear capture flash」コマンド、「Clear capture buffer」コマンドと「Capture flash copy」コマンドは自己記述型です。「Capture flash copy」の目的はキャプチャ・バッファを不揮発性フラッシュ・メモリにコピーする事です。完了するまでに約 120 ms かかります。詳細については、「アラーム検出とイベント・キャプチャ」セクションを参照してください。

表 8.COMMAND レジスタの定義

Address	Default	Format	Access
0x3F, 0x3E	N/A	N/A	W only

表 9.COMMAND ビットの説明

Bit	Description
15:11	Not used
10	Reset-capture pointer (set CAPT_PNTR to 0x0001)
9	Clear capture flash (nonvolatile back-up)
8	Clear capture buffer (SRAM)
7	Software reset
6	Copy capture buffer to nonvolatile flash
5	Clear peak output registers, (reset them to 0x0000)
4	Clear status register (reset all bits to 0)
3	Flash update—saves nonvolatile register settings
2	DAC data latch
1	Factory calibration restore
0	Autonull

補正

ADIS16204には工場出荷時の較正に加え、精度の向上が必要なシステムのためにユーザー設定可能な補正機能があります。たとえば、車載システムでは急ブレーキ・イベントと小さな衝突を切り分けるために高い分解能が要求されるかもしれません。このような場合、ADIS16204にはX軸とY軸両方のオフセットと感度 (ゲイン) を調整する設定レジスタがあります。下記の関係式は補正機能を説明しています:

$$y = mx + b$$

ここで:

yは補正した出力データ。

mはスケールファクタ乗算器[XACCL_SCALE/YACCL_SCALE]。

xは補正前のデータ。

bはオフセット加算器[XACCL_NULL/YACCL_NULL]。

ゼロ・オフセットで公称スケールファクタ (感度) と仮定すると、X軸のオフセット調整範囲は ± 35.054 gで、Y軸のオフセット調整範囲は ± 17.527 gです。ゼロ・オフセットと仮定すると、スケールファクタの調整範囲は0~2です。

表 10.XACCL_NULL レジスタの定義

Address	Scale ¹	Default	Format	Access
0x11, 0x10	17.125 mg	0x0000	Twos complement	R/W

¹ Scaleは1LSBあたりの大きさです。

表 11.YACCL_NULL レジスタの定義

Address	Scale ¹	Default	Format	Access
0x13, 0x12	8.407 mg	0x0000	Twos complement	R/W

¹ Scaleは1LSBあたりの大きさです。

表 12.XACCL_SCALE レジスタの定義

Address	Scale ¹	Default ²	Format	Access
0x15, 0x14	0.0488%	0x0800	Binary	R/W

¹ Scaleは1LSBあたりの大きさです。

² スケールファクタは「1」です。

表 13.YACCL_SCALE レジスタの定義

Address	Scale ¹	Default ²	Format	Access
0x17, 0x16	0.0488%	0x0800	Binary	R/W

¹ Scale は 1LSB あたりの大きさです。

² スケールファクタは「1」です。

表 14. 補正・レジスタ・ビットの説明

Bit	Description
15:12	Not used
11:0	Data bits

動作制御

内部サンプル・レート

内部サンプル・レートは、SPI ポートで読み出されるレートにかかわらず、どのくらいの頻度で出力データが更新されるかを規定します。ADIS16204 の内部サンプル・レートは、SMPL_PRD レジスタによって制御され、タイムベースと乗数の 2 つの部分があります。次式からサンプル・レートが得られます：

$$T_S = T_B \times (N_S + 1)$$

ここで：

T_S はサンプル間隔です。

T_B はタイムベースです。

N_S はインクリメント設定です。

デフォルト値は最大 4096 SPS で、このレジスタの値は不揮発性です。

表 15.SMPL_PRD レジスタの定義

Address	Default	Format	Access
0x37, 0x36	0x0001	N/A	R/W

表 16.SMPL_PRD ビットの説明

Bit	Description
15:8	Not used
7	Time base 0 = 122.07 μ s, 1 = 3.784 ms
6:0	Multiplier

下記は ADIS16204 のサンプル間隔の計算例です：

$$\text{If SMPL_PRD} = 0x0007, B7 - B0 = 00000111$$

$$B7 = 0 \rightarrow T_B = 122.07 \mu\text{s}$$

$$B6..B0 = 000000111 \rightarrow N_S = 7$$

$$T_S = T_B \times (N_S + 1) = 122.07 \mu\text{s} \times (7 + 1) = 976.56 \mu\text{s}$$

$$f_S = 1/T_S = 1024 \text{ SPS}$$

サンプル・レートの設定は、SPI 通信のデータレートへ影響を与えます。1024 SPS 以上のサンプル・レートの場合、SPI SCLK は最大 2.5 MHz までのレートで動作が可能です。1024 SPS 未満のサンプル・レートの場合、SPI SCLK は最大 1 MHz までのレートで動作が可能となります。

サンプル・レートの設定は、消費電力にも影響します。

サンプル・レートを 1024 SPS 未満に設定すると、消費電力は 68% typ 減少します。2 つの異なる動作モードの選択によりシステム・レベルで性能（サンプル・レート、シリアル転送レート）と消費電力のどちらを優先するか決めることができます。

パワーマネージメント

ADIS16204 には消費電力を最適化するために 2 つ異なる動作モードに加えて、周期的に動作停止期間を設定することができます。SLP_CNT レジスタに適切なスリープ時間を書き込む事により、デバイスは規定された周期で、動作停止します。次の例は、この関係についての説明です。

$$B7 \dots B0 = 00000110$$

$$\text{スリープ期間} = 3 \text{ 秒}$$

ADIS16204 はスリープ期間完了後、通常動作に戻ります。

表 17.SLP_CNT レジスタの定義

Address	Scale ¹	Default	Format	Access
0x3B, 0x3A	0.5 sec	0x0000	Binary	W only

¹ Scale は 1LSB あたりの大きさです。

表 18.SLP_CNT ビットの説明

Bit	Description
15:8	Not used
7:0	Data bits

補助 DAC

補助 DAC は、アナログ・レベルの制御が必要なシステムに便利な機能であり、12 ビットで出力レベル調整が可能で AUX_DAC レジスタにより制御されます。

補助 DAC は 0 V ~ 2.5 V の範囲のレール to レール・バッファ出力を提供します。電流をシンクしていない時は、グラウンド・リファレンスの 5mV 以内で出力を駆動することができます。出力がグラウンドに近づく、直線性が（100 LSB のポイントから）劣化し始め、シンク電流が増大すると、非直線な範囲も拡大します。COMMAND レジスタの DAC 出力ラッチ機能により、このレジスタの各バイトに書き込みを行っている最中にも補助 DAC 出力を一定の値で継続して出力することができます。補助 DAC レジスタの値は揮発性であり、リセットやパワーサイクル後に必要な出力レベルを再度設定する必要があります。

表 19.AUX_DAC レジスタの定義

Address	Scale ¹	Default	Format	Access
0x31, 0x30	0.6105 mV	0x0000	Binary	R/W

¹ Scale は 1LSB あたりの大きさです。この場合、出力電圧の 2.5 V 範囲全体で 4095 コードになります。

表 20.AUX_DAC ビットの説明

Bit	Description
15:12	Not used
11:0	Data bits

汎用 I/O

ADIS16204にはSPI接続によりデジタルI/O制御が可能な2つの汎用ピンがあります。GPIO_CTRLコントロールレジスタによって、これらのピンの設定ができ、SPI to ピン制御を行う事ができます。各ピンは入力（読み出し）動作と出力（書き込み）動作のどちらにも柔軟に設定することができます。たとえば、このレジスタに「0x0202」を書き込むとライン1は入力、ライン2は状態「1」の出力として設定されます。このレジスタに「0x0000」を書き込むと、両方のラインは入力として設定されます。これらのラインの1つ（又は2つ）が入力として設定されると、該当するビット（ビット8、ビット9両方または、どちらか）を読み出す事により入力ピンの入力へのアクセスが可能となります。

デジタルI/Oラインはデータ・レディとアラーム/エラー・インジケータとしても使用できます。競合が起こった時、デジタルI/O設定は次の優先順位になります：

1. GPIO_CTRL
2. MSC_CTRL
3. ALM_CTRL

表 21.GPIO_CTRL レジスタの定義

Address	Default	Format	Access
0x33, 0x32	0x0000	N/A	R/W

表 22.GPIO_CTRL ビットの説明

Bit	Description
15:10	Not used
9	General-purpose I/O Line 2 polarity 1 = high, 0 = low
8	General-purpose I/O Line 1 polarity 1 = high, 0 = low
7:2	Not used
1	General-purpose I/O Line 2, data direction control 1 = output, 0 = input
0	General-purpose I/O Line 1, data direction control 1 = output, 0 = input

ステータスと診断

ADIS16204には多くのステータス機能と診断機能があります。表 23に、これらの機能の一覧とそれらの適切なコントロールレジスタを示します。

表 23.ステータス機能と診断機能

Function	Register
Data-ready I/O indicator	MSC_CTRL
Self-test, mechanical check for MEMS sensor	MSC_CTRL
Software check for error conditions	STATUS
Flash memory endurance	ENDURANCE

データ・レディ I/O インジケータ

データ・レディ機能は新規出力データを表示します。MSC_CTRL[2:0]ビットにより、いずれか一方の汎用I/Oピン（DIO1とDIO2）をデータ・レディ・インジケータ信号として設定することができます。

データ・レディ・インジケータとして設定された時、デューティ・サイクルは20%（許容誤差±10%）となります。

セルフ・テスト

MSC_CTRLレジスタには、MEMSセンサーの機構部を動かすことで、センサーのシグナル・コンディショニング回路全体の動作検証を行うセルフ・テスト機能があります。内部セルフテスト・ルーチンを実行する場合は、簡単な2ステップの工程を行います：(1) MSC_CTRLレジスタの「ビット8」に「1」を書き込む事により工程を開始する、(2) 35 ms 間待機する、そして(3) STATUSレジスタの「ビット5」を読み出す事により結果をチェックする。

デバイスは電源起動時にセルフ・チェックを実行するように設定されます。MSC_CTRLレジスタの「ビット10」に「1」を書き込む事によりその後のスタートアップ・シーケンスでこの機能が無効になり、スタートアップ時間が短縮されます。参考までに、各軸の静電気偏向の結果はXACCL_OUTレジスタ、YACCL_OUTレジスタ両方または、どちらかを読み出す事により得られます。セルフ・テストの追加のインジケータとして、新規データビットはこのモードの間はアクティブではありません。

表 24.MSC_CTRL レジスタの定義

Address	Default	Format	Access
0x35, 0x34	0x0000	N/A	R/W

表 25.MSC_CTRL ビットの説明

Bit	Description
15:12	Not used
11	Store capture to flash after capture buffer fills up 1 = enabled, 0 = disabled
10	Self-test at power-on 1 = disabled, 0 = enabled
9	Not used
8	Self-test enable (temporary, bit is volatile) 1 = enabled, 0 = disabled
7:3	Not used
2	Data-ready enable 1 = enabled, 0 = disabled
1	Data-ready polarity 1 = active high, 0 = active low
0	Data-ready line select 1 = DIO2, 0 = DIO1

フラッシュ・メモリの書き換え回数

ENDURANCEレジスタはフラッシュ・メモリへの書き込み累積回数を保持します。これは内蔵メモリの信頼性を管理するために便利なツールです。一度それがその最大値の32,767に達すると、ゼロに戻り、再び開始します。

表 26.ENDURANCE レジスタの定義

Address	Default	Format	Access
0x01, 0x00	N/A	Binary	R only

ステータス

ステータス・レジスタには次のエラー状態フラグが含まれています：アラーム状態、セルフ・テスト状態、SPI通信不良、キャプチャ・バッファ満杯、コントロール・レジスタ更新不良、規定範囲外の電源電圧。適切なレジスタ・アクセスと各フラグのビット配置については表 27 と表 28 を参照してください。電源電圧範囲確認用に割り当てられたビットはエラー状態が解消されると自動的にゼロにリセットされます。一回の書き込みコマンド（ビット 4 へ「1」を書き込む）により残りのエラー・フラグ・ビットがクリアされます。

COMMAND レジスタの設定の詳細については表 8 と表 9 を参照してください。ビットをクリアし COMMAND レジスタを実行した後もまだエラー状態の場合は、次のサンプリング・サイクル期間中に適切なエラー・フラグ・ビットが「1」に戻ります。STATUS レジスタの全ビットは揮発性です。

表 27.ステータス・レジスタの定義

Address	Default	Format	Access
0x3D, 0x3C	0x0000	N/A	R only

表 28.ステータス・ビットの説明

Bit	Description
15:13	Not used
12	Capture buffers full
11:10	Not used
9	Alarm 2 status 1 = active, 0 = inactive
8	Alarm 1 status 1 = active, 0 = inactive
7:6	Not used
5	Self-test diagnostic error flag 1 = error condition, 0 = normal operation
4	Not used
3	SPI communications failure 1 = error condition, 0 = normal operation
2	Flash update failed 1 = error condition, 0 = normal operation
1	Power supply above 3.625 V 1 => 3.625 V, 0 =< 2.975 V (normal)
0	Power supply below 2.975 V 1 =< 2.975 V, 0 => 2.975 V (normal)

アラーム検出とイベント・キャプチャ

ADIS16204 には内部と外部の重要な動作条件を監視するアラーム検出機能とイベント・キャプチャ機能があります。

ADIS16204 の通常動作は 6 つの工場標準アラームによって監視されます。2 つの設定可能なアラームがシステム上重要な条件を監視するので、この機能の外付け処理回路を削減できます。

アラームの監視にはソフトウェア（STATUS レジスタ）とハードウェア・オプション（DIO1 と DIO2 の設定、ALM_CTRL レジスタ）があります。さらに、設定可能なアラームはイベント・キャプチャ機能をトリガする事ができ、デジタル・オシロスコープのシングル・イベント・キャプチャ機能のように時間を記録します。表 29 はアラームを設定することができる機能の一覧です。

アラームの設定

1. 監視する出力データを設定する

ALM_CTRL レジスタの上位バイトを設定する事によりトリガ・ソースを決めます。適切なビット配置については表 31 を参照してください。たとえば、次のコード例は X 軸加速度をアラーム 2 のトリガ・データ・ソースとして設定し、Y 軸加速度をアラーム 1 のトリガ・データ・ソースとして設定します。

- Write 0x23 to Address 0x29 [ALM_CTRL].

2. トリガ・レベルと極性を設定する。

各アラームのために ALM_MAG1 レジスタと ALM_MAG2 レジスタへの 2 つの書き込みコマンドを必要とします。たとえば、両方のチャンネルのトリガ・スレッシュホールドとして 7.4 g 以上に設定するには次のコード例を使います：

- Write 0x81 to Address 0x21 [ALM_MAG1].
- Write 0xB0 to Address 0x20 [ALM_MAG1].
- Write 0x83 to Address 0x23 [ALM_MAG2].
- Write 0x70 to Address 0x22 [ALM_MAG2].

ALM_MAG1 値と ALM_MAG2 値は次のように計算されます：

$$X = 7.4 \text{ g} = 432 \text{ codes} = 00 \ 0001 \ 1011 \ 0000 \ (\text{Bit } 0 \text{ to Bit } 13)$$

$$Y = 7.4 \text{ g} = 880 \text{ codes} = 00 \ 0011 \ 0111 \ 0000 \ (\text{Bit } 0 \text{ to Bit } 13)$$

「greater than polarity」を表すために 2 つのレジスタのビット 15 を「1」に設定する必要があります。

3. デジタル I/O ラインをアラーム・インジケータとしてセットアップする。

このステップでは、ALM_CTRL の下位バイトの設定が必要です。もし STATUS レジスタを使ったソフトウェア監視がアラーム検出方法として望ましい場合は、このステップは必要ありません。次のコード例によりデジタル I/O ライン 2 が正信号（アラーム・インジケータ）として設定されます。

- Write 0x07 to Address 0x28 [ALM_CTRL].

この機能の設定オプションについては表 31 をご覧ください。前述したように、デジタル I/O ラインは共用されるのでそれらをアラーム・インジケータとして使用した場合、データ・レディあるいは汎用 I/O ピンとして使用できません。

表 29. アラームとイベント・キャプチャ設定レジスタ

Register	Parameter/Function	Default Setting
ALM_CTRL	Alarm trigger source	None
ALM_CTRL	Capture buffer triggers	Disabled
ALM_CTRL	Digital alarm output	Disabled
ALM_MAG1/ ALM_MAG 2	Alarm trigger levels	0
ALM_MAG1/ ALM_MAG 2	Alarm trigger directions	Less than
CAPT_CFG	Capture data sources	1:X acceleration 2:Y acceleration
CAPT_CFG	Capture buffer size	1024 samples
CAPT_CFG	Pretrigger data size	128 samples
COMMAND	Reset capture pointer	N/A
COMMAND	Clear capture buffer	N/A
COMMAND	Clear capture flash	N/A
COMMAND	Clear buffer full flag	N/A
COMMAND	Save captured data to nonvolatile flash	N/A
MSC_CTRL	Autosave captured data to nonvolatile flash	Disabled
SMPL_PRD	Sample rate	4096 SPS

表 30. ALM_CTRL レジスタの定義

Address	Default	Format	Access
0x29, 0x28	0x0000	N/A	R/W

表 31. ALM_CTRL ビットの説明

Bit	Value	Description
15:12		Trigger source selection, Alarm 2
	0000	Disable
	0001	Power supply
	0010	X-acceleration
	0011	Y-acceleration
	0100	Auxiliary ADC
	0101	Temperature sensor
	1000	XY RSS acceleration
11:8		Trigger source selection, Alarm 1 (See Alarm2)
7		Not used
6		Capture trigger activation, Alarm 2 1 = enabled, 0 = disabled
		Not used
4		Capture trigger activation, Alarm 1 1 = enabled, 0 = disabled
		Not used
2		Alarm indicator, using DIO1/2 1 = enabled, 0 = disabled
		Alarm indicator polarity 1 = active high, 0 = active low
0		Alarm indicator line selection 1 = DIO2, 0 = DIO1

表 32. ALM_MAG1 レジスタの定義

Address	Default	Format	Access
0x21, 0x20	0x0000	N/A	R/W

表 33. ALM_MAG2 レジスタの定義

Address	Default	Format	Access
0x23, 0x22	0x0000	N/A	R/W

表 34. ALM_MAG1/ALM_MAG 2 ビットの説明

Bit	Description
15	Comparison polarity 1 = greater than, 0 = less than
14	Not used
13:0	Data bits: format matches source data format (see Table 5 and Table 6)

イベント・キャプチャの概要

ADIS16204 には 2 チャンネルのキャプチャ機能もあります。図 24 に取り込まれた波形の例を示します。コントロール・レジスタによりこの機能の動作を規定し、データ・ソースを制御します：トリガ設定（レベル、方向、データソース）、メモリ深さ、プリトリガ・データ長、データ保存。個別のイベント監視が必要なシステムでは、この機能によりシステムのプロセッサの負荷が軽減され、システム統合が簡略化できます。トリガ・ソースを取り込まれるデータ以外に設定することも可能です。

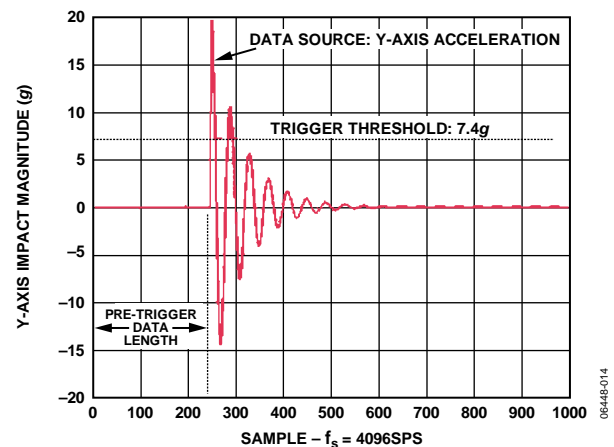


図 24. イベント・キャプチャの例

イベント・キャプチャの設定。

イベント・キャプチャ・バッファは、トリガ・ソースとしてアラームを使います。従って、最初の 2 つの設定ステップはアラーム設定と同じです。トリガ・データ・ソースとスレッシュホールドを設定した後、ステップ 1 からステップ 5 に従い、イベント・キャプチャのセットアップを完了させます。

1. 取り込むデータ・ソースを設定する。

CAPT_CFG レジスタの上位バイトを設定するために 1 回の書き込みサイクルを必要とします。たとえば X 軸の加速度と Y 軸の加速度をそれぞれ Capture Buffer 2 と Capture Buffer 1 のデータ・ソースとして設定するためには次のコード例を使用します：

- Write 0x23 to Address 0x39 [CAPT_CFG].

2. キャプチャ・バックアップ・メモリを設定する。

MSC_CTRL レジスタのビット 11 を「1」に設定する事によりイベント・キャプチャのバックアップ機能が有効になり、現実それが不揮発性になります。有効時、この機能によりキャプチャ・バッファの値がフラッシュ・メモリにコピーされ、リセット又はデバイスの電源投入時に保存されます。それは COMMAND レジスタを使ってバッファがクリアされるまで継続されます。この機能を有効にするには、次のコード例を使用します：

- Write 0x08 to Address 0x35 [MSC_CTRL].

3. キャプチャ・メモリ領域をクリアする。

通常のキャプチャ領域 (SRAM) とそれら各々のフラッシュ・メモリ領域の両方をクリアするには次のコード例を使用します：

- Write 0x03 to Address 0x3F [COMMAND].

4. デジタル I/O ラインをアラーム・インジケータとしてセットアップする。

5. 各アラームをバッファのトリガ・ソースとして設定する。

これらのステップでは ALM_CTRL の下位バイトを設定する必要があります。次のコード例では、デジタル I/O ライン 2 が正信号のアラーム・インジケータとして設定されます。同時にこの 2 つのアラームがイベント・レコーダのトリガ機能として設定されます。

- Write 0x57 to Address 0x28 [ALM_CTRL].

デジタル・アラーム・インジケータ機能が必要でない場合は、コード例は次のようになります：

- Write 0x50 to Address 0x28 [ALM_CTRL].

表 35. CAPT_CFG レジスタの定義

Address	Scale	Default	Format	Access
0x39, 0x38	N/A	0x327A	N/A	R/W

表 36. CAPT_CFG ビットの説明

Bit	Description
15:12	Data source for Capture Buffer 2 0001= power supply 0010= X-axis acceleration 0011= Y-axis acceleration 0100= auxiliary ADC 0101= temperature sensor 1000= XY RSS acceleration
11:8	Data source for Capture Buffer 1 (See Capture Buffer 2 for binary coding)
7:4	Pretrigger length Power of two setting determines length. 0111b = 7d, which corresponds to $2^7 = 128$ samples. If this setting is greater than the data length, its value is truncated and all captured samples are prior to the trigger
3:0	Capture buffer length Power of two setting determine length. 1010b = 10d, which corresponds to $2^{10} = 1024$ samples. The lowest setting is a 3, which corresponds to 8 samples

イベント・キャプチャ・データのアクセス

ADIS16204 のキャプチャ・バッファへの必要なアクセスは、CAPT_BUF_1 と CAPT_BUF_2 の 2 つの出力レジスタから行う事ができます。キャプチャ・イベントの完了時、これらのレジスタの値は各バッファからの最初のサンプルになります。図 25 の図はこの処理の中の CAPT_PNTR の果す役割を表します。このレジスタはポインタ機能を果たし、CAP_BUF_x レジスタの 1 つが読み出されるごとに自動的にインクリメントされます。他のバッファに移る前に 1 つのバッファの全部の値を読み出すことで、効率的なデータ転送レートを実現できます。CAPT_PNTR は読み出し用アクセスと書き込み用アクセスの両方が可能なので、個々のバッファ領域には、このレジスタにサンプル番号を書き込む事によりアクセスできます。

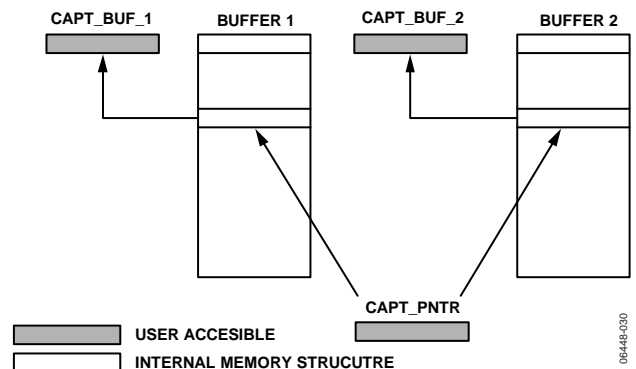


図 25. イベント・キャプチャ・バッファ・メモリ構造

表 37. Capture レジスタの定義

Address	Address	Format	Access
CAPT_BUF_1	0x1D, 0x1C	The format and scale match that of the output data being monitored	R only
CAPT_BUF_2	0x1E, 0x1F		

表 38. CAPT_BUF_1 ビットと CAPT_BUF_2 ビットの説明

Bit	Description
15	Not used
14	Error/alarm condition (use to identify transition between pre-trigger and post-trigger data)
13:0	Data bits. Format matches that of the data source

表 39. CAPT_PNTR レジスタの定義

Address	Scale	Default	Format	Access
0x2B, 0x2A	N/A	N/A	Binary	R/W

表 40. CAPT_PNTR ビットの説明

Bit	Description
15:11	Not used
10:0	Capture address pointer: A binary number from 1 to 1024, which identifies the address of each individual capture buffer sample.

実装工程

ADIS16204 は Sn63（又は相当品）あるいは鉛フリーハンダを使用してアセンブリ基板に実装することができます。図 26 と表 41 に各ハンダタイプの許容ハンダ・リフロー・プロファイルを示します。これらのプロファイルは必ずしもお客様のアプリケーションに最適ではない場合がある事に注意してください。いずれの場合も 260°C を超える事はできません。ユーザーは、リフロー・プロファイルを個別のアプリケーションに基づいて開発されることをお勧めします。

一般的に、ハンダの溶解温度以上においては、できるだけ低いピーク温度で、できるだけ短い滞留時間を採用する事により製品へのショックとストレスが少なくなる事にご留意ください。さらに冷却率とピーク温度を測る事により、より高い信頼性のアセンブリが可能となります。

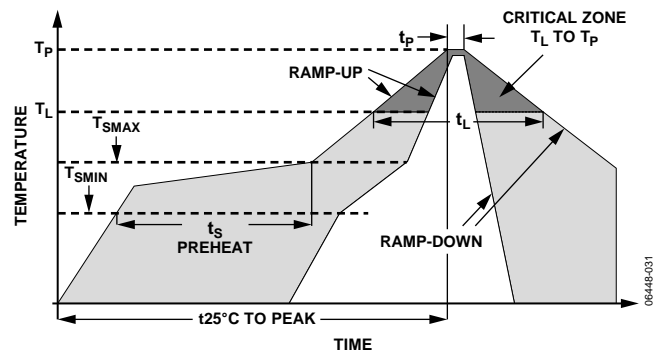


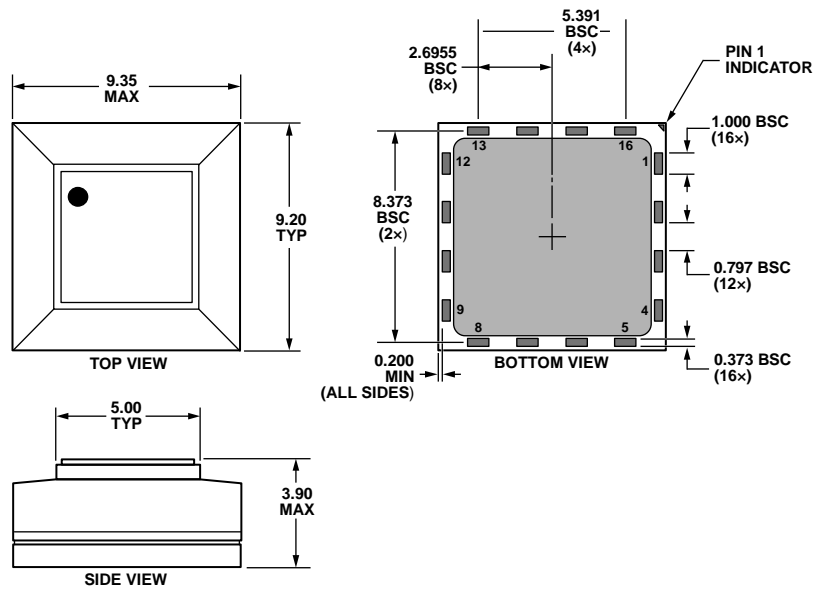
図 26. 許容ハンダ・リフロー・プロファイル

表 41. 許容ハンダ・リフロー・プロファイル¹

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate (T_L to T_P)	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time (T_{SMIN} to T_{SMAX}) (t_s)	60 sec to 120 sec	60 sec to 180 sec
T_{SMAX} to T_L		
Ramp-Up Rate	3°C/sec	3°C/sec
Time Maintained Above Liquidous Temperature (T_L)		
Liquidous Temperature (T_L)	183°C	217°C
Time (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240°C + 0°C/-5°C	260°C + 0°C/-5°C
Time Within 5°C of Actual T_P	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec max	6°C/sec max
Time 25°C to T_P	6 min max	8 min max

¹ IPC/JEDEC J-STD-020C に基づきます。

外形寸法



022007-B

図 27. 20 ピン・ランド・グリッド・アレイ [LGA]
(CC-16-2)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADIS16204BCCZ ADIS16204PCBZ	-40°C to +105°C	16-Terminal Land Grid Array [LGA] Evaluation Board	CC-16-2

¹ Z = RoHS 準拠製品