

クロックの難しい問題 (マルチクロック同期およびデータ・コンバータ・クロック生成) を解決する、クロック分配回路を内蔵した1.4GHz低ジッタPLL

Chris Pearson

クロック・システム設計者が直面するより困難な2つの課題は、複数のシステム・クロックを同期させることと、低ジッタのデータ・コンバータ・クロックを生成することです。LTC6950は、リニアテクノロジーの使いやすいEZSync™ 技術を特長とし、付加ジッタが100fs RMS未満の5つのクロック出力を供給することにより、これらの課題を克服します。

他のマルチクロック同期ソリューションでは、きわめて高精度の時間枠内 (場合によっては数ns以内) で、2つ以上の高速入力信号のエッジを揃える必要があります。こうしたデバイスは、この同期方法に信頼性がないことを踏まえて、同期の良否や再試行の必要性を示すためのSYNCRESULTピンを組み込んでいることがあります。EZSyncの優秀な点は、高速入力信号を高精度で揃える必要がない一方で、1つまたは複数のEZSyncクロック・デバイス上のすべての出力の均一なエッジ整列を保証していることです。EZSyncを使用すれば、複数のデバイス、複数のボード、さらには複数のシステム・レベル・クロック・エッジの同期が、ボタンを押すのと同じくらい簡単です。

LTC6950は、5つの低ジッタ、高スルーレートの差動クロックを生成します。これらのクロック特性により、設計者は複数の高速データ・コンバータのクロックを直接生成することが可能です。通常であれば、基板に実装するクロック・フィルタリング部品やクロック整形部品の追加費用がかかるところです。LTC6950は、従来のデータ・コンバータのクロック・アーキテクチャと比較して、システム設計全般を簡素化しており、低コストになっています。

この記事の第1部では、LTC6950の特長と動作の仕組みについて要約しています。第2部では、LTC6950のEZSync機能について説明します。第3部では、LTC6950を使用してA/DコンバータとD/Aコンバータのクロックを直接

制御する利点について説明します。最後に、リニアテクノロジーのClockWizard™ ツールを使用して標準的なLTC6950アプリケーションを設計することがいかに簡単かを、LTC6950の完全な設計例によって正確に示します。

LTC6950の概要

LTC6950が3つの主回路ブロック (フェーズロック・ループ (PLL) 部、クロック分配部、およびデジタル制御部) にどのように分割されているかを図1のブロック図に示します。

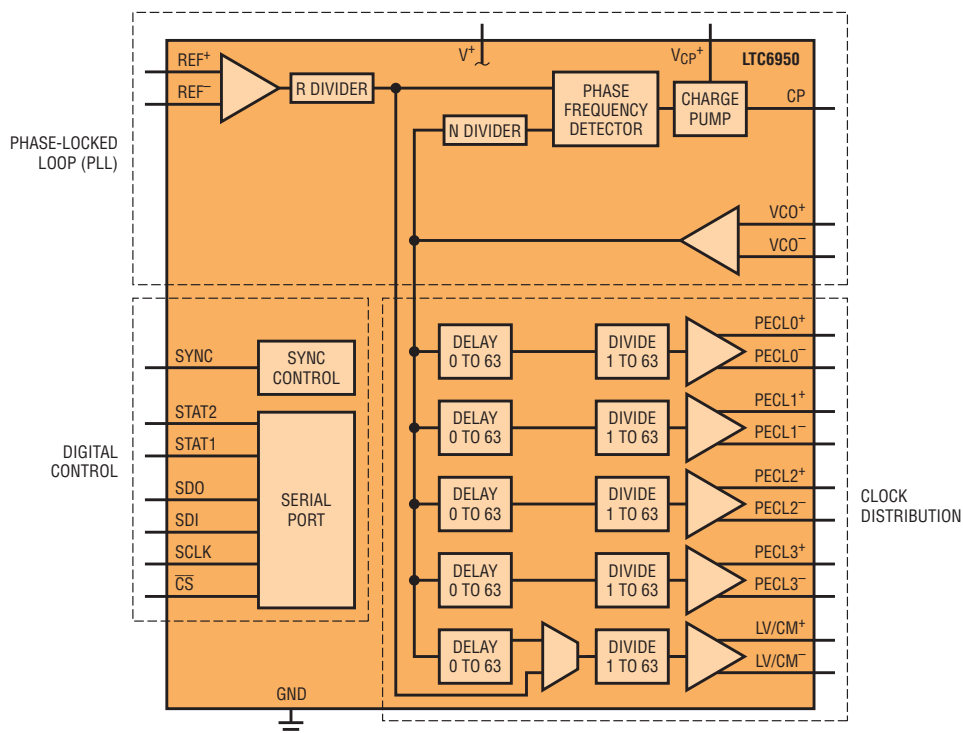
PLL部は外部リファレンスおよび外部VCOと連携して動作し、次式に従って目的のVCO周波数 (f_{VCO}) を生成します。

$$f_{VCO} = f_{REF} \cdot N/R \quad (1)$$

ここで、 f_{REF} はリファレンス入力周波数、 R はリファレンス入力の分周値、 N はVCO帰還分周値であり、 f_{VCO} はクロック分配部に供給されます。

クロック分配部は f_{VCO} で信号を受信し、異なる5つのチャンネルにこの信号を分配します。5

図1. LTC6950のブロック図



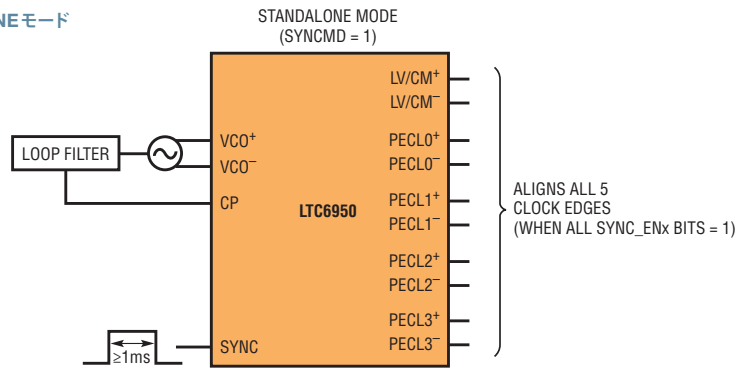
LTC6950はリニアテクノロジーのEZSync技術を実現する最初のデバイスで、複数のデバイス、ボード、およびシステムにまたがって複数のクロックを揃える作業を単純化します。LTC6950の性能レベルならば、高性能データ・コンバータの直接クロック生成、システム設計の簡略化、システム・コストの低減が可能となります。

つのチャンネルのそれぞれは、最初の同期クロック・エッジを0～63のVCOクロック・サイクルだけ遅延させ、1～63の任意の整数で f_{VCO} を分周する独立した機能を備えています。

分周器からの出力信号はバッファに送られ、ここで出力信号の種類が決まります。4つのチャンネルは、最大1.4GHzの出力周波数に対応できるきわめて低ノイズの差動LVPECLクロック信号を生成します。5番目のチャンネルは、構成可能な差動LVDS出力または1組のCMOS出力を生成します。LVDS出力は最大800MHzのクロック周波数を生成できますが、CMOS出力は250MHzに制限されています。

3番目と最後の部分は、デジタル制御部です。図1でSYNC CONTROLと表記されている

図2. EZSync STANDALONEモード



四角はEZSync制御回路で、機能を以下に詳しく説明します。デジタル制御部には標準的な4線式シリアル・インタフェースと2つのピンが

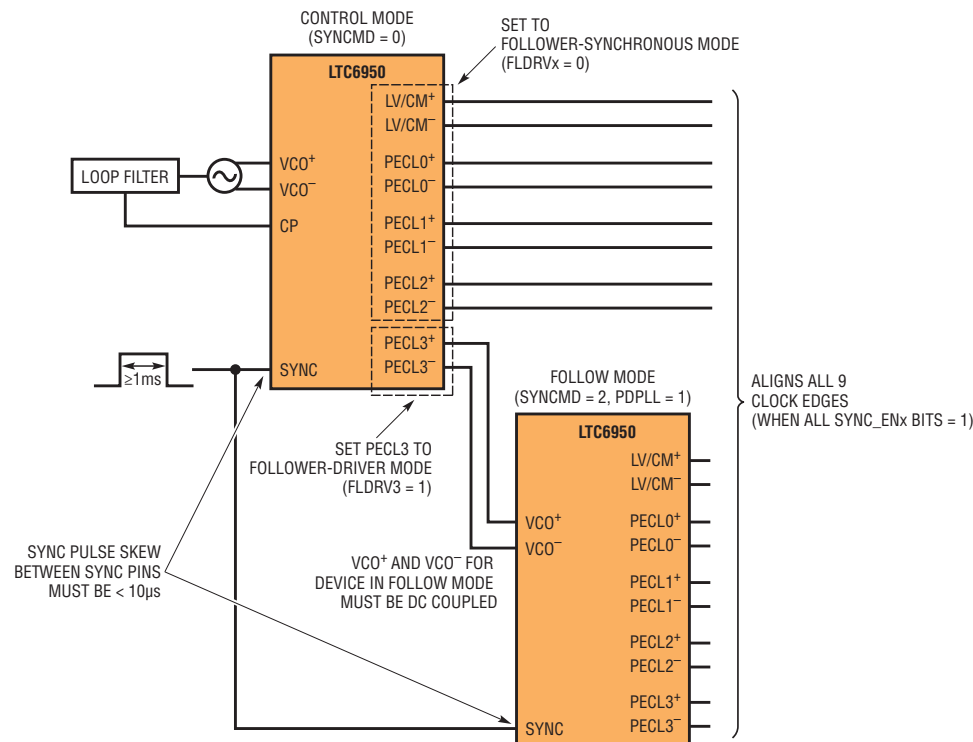
あり、特定のレジスタ・ビットの状態をモニタします。

マルチクロック同期を保証するEZSync

前述したように、タイミングの制約条件が厳しくアーキテクチャの信頼性が低いため、複数の高速クロック制御デバイスを同期させるのは困難なことです。対照的に、EZSyncではクロック同期を保証し、タイミングの制約条件を緩和しました。図2、3、および4に示すように、EZSync機能は視覚的に記述すると良く分かります。EZSyncには次の3つのモードがあります。それは、STANDALONE (図2)、CONTROL (図3および4)、およびFOLLOW (図3および4)です。

図2に示すように、STANDALONEモードでは、LTC6950のSYNCピンに1msの“H”パルスを入力した後に、5つのLTC6950クロック出力が同期します。SYNCピンが“H”になった後、同期可能なすべてのクロック出力は、ロジック“L”の状態に移行するとその状態で保持されます。SYNCピンが“L”に戻った後、同期可能なすべてのクロック出力は、クロックの生成を同期状態で再開します。設計者は、出力

図3. フォロワ・ドライバおよびフォロワ同期出力を使用したEZSync FOLLOWモードおよびCONTROLモード



リニアテクノロジーのClockWizardツールに組み込まれているScope Plotシミュレーション・ツールを使用すると、ユーザーはSTANDALONEモード、FOLLOWモード、またはCONTROLモードでの出力遅延応答を素早く予測することができます。

のSYNC_ENxレジスタ・ビットをロジック“L”に設定することにより、出力ごとに同期をディスエーブルするよう選択することもできます。これらの出力が同期動作中に乱されることはありません。

図3および4に示すように、LTC6950のクロック出力を別のEZSyncデバイスのVCO入力に接続する場合、CONTROLモードとFOLLOWモードは直列で使用します。図3および4では、いくつかの新しい用語を導入しています。それはCONTROLLER、FOLLOWER、フォロワ・ドライバ、およびフォロワ同期で、定義は以下のとおりです。

- **CONTROLLER**: CONTROLモードに設定されたEZSyncデバイスです。CONTROLモードのデバイスは、それ以外のすべてのEZSyncデバイスのタイミングを制御します。
- **FOLLOWER**: FOLLOWモードに設定されたEZSyncデバイスです。FOLLOWERのクロック入力には、CONTROLLERのクロック出力からのDC結合接続があります。
- **フォロワ・ドライバ**: FOLLOWERのクロック入力に接続されているCONTROLLERのクロック出力です。CONTROLLER出力とFOLLOWER入力の間にはDC結合が必要です。
- **フォロワ同期**: FOLLOWERデバイスのクロック出力に同期しているCONTROLLERのクロック出力です。

図3では、EZSyncのCONTROLLERアーキテクチャとFOLLOWERアーキテクチャは、両方のLTC6950のSYNCピンに1msの“H”パルスが入力された後に、CONTROLLERの4つのフォロワ同期出力と5つのFOLLOWER出力を同期させます。

図4では、EZSyncのCONTROLLERおよびFOLLOWERアーキテクチャは、5つ全部のLTC6950 SYNCピンに1msの“H”パルスが入力された後に、20のFOLLOWER出力と1つのフォロワ同期出力を同期させます。

STANDALONEアーキテクチャと比較すると、CONTROLLERおよびFOLLOWERアーキテクチャには、すべてのSYNC信号間での最大スキューが10 μ s未満であるという適度な追加タイミング要件があります。SYNCピンがロジック“H”の値に設定されている時間中と、SYNCピンがロジック“L”に戻った後の数

サイクルの追加VCOサイクルの間、出力はロジック“L”の状態に保持されます。ユーザーは、該当するSYNC_ENxレジスタ・ビットをロジック“L”に設定することにより、任意の出力の同期をディスエーブルするよう選択することができます。これらの出力が同期動作中に乱されることはありません。

EZSyncをより簡単に

LTC6950のSYNCピンに1msの“H”パルスを入力するのは簡単ですが、LTC6950のSYNCピンがロジック“L”状態に戻った後、出力がどう応答するか予測するため、EZSyncの

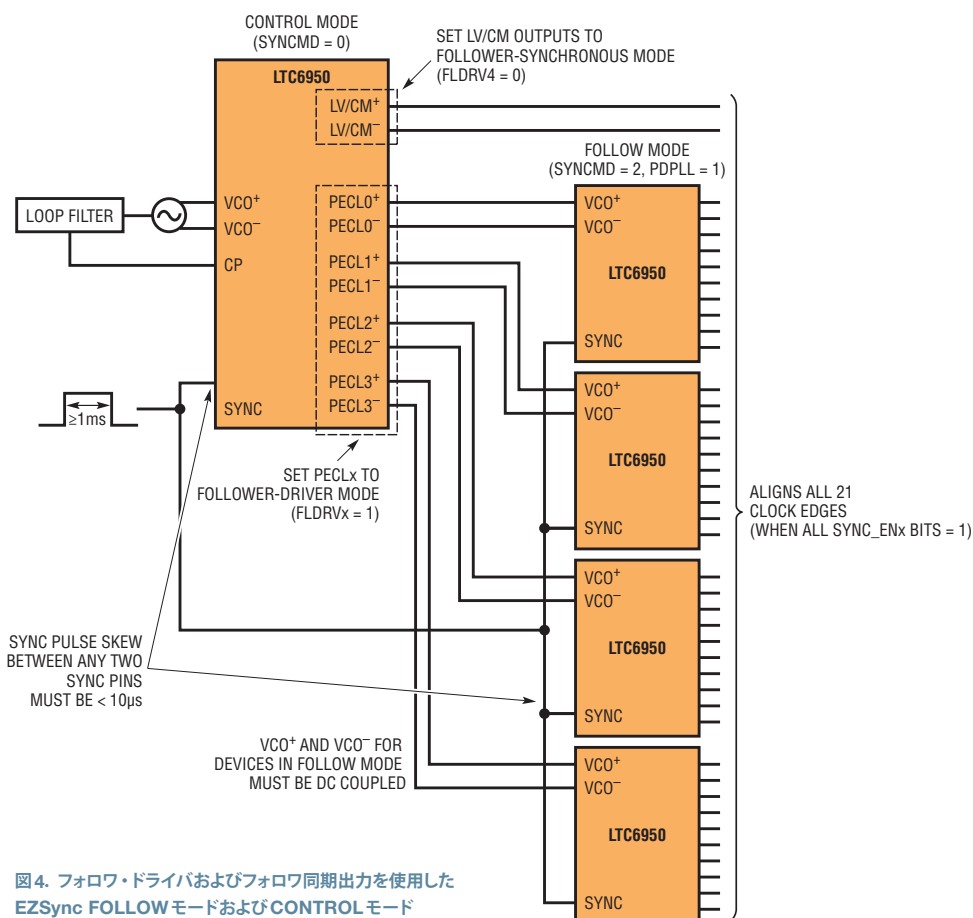


図4. フォロワ・ドライバおよびフォロワ同期出力を使用したEZSync FOLLOWモードおよびCONTROLモード

1. 「Loop Design」を選択する

2. 「Sync」を選択する

3. 「STANDALONE」に設定する

4. 各出力を「Synchronized」に設定し、「Output Delay」を0に設定する

5. 「Scope Plot」を選択する

6. 「Plot」をクリックする

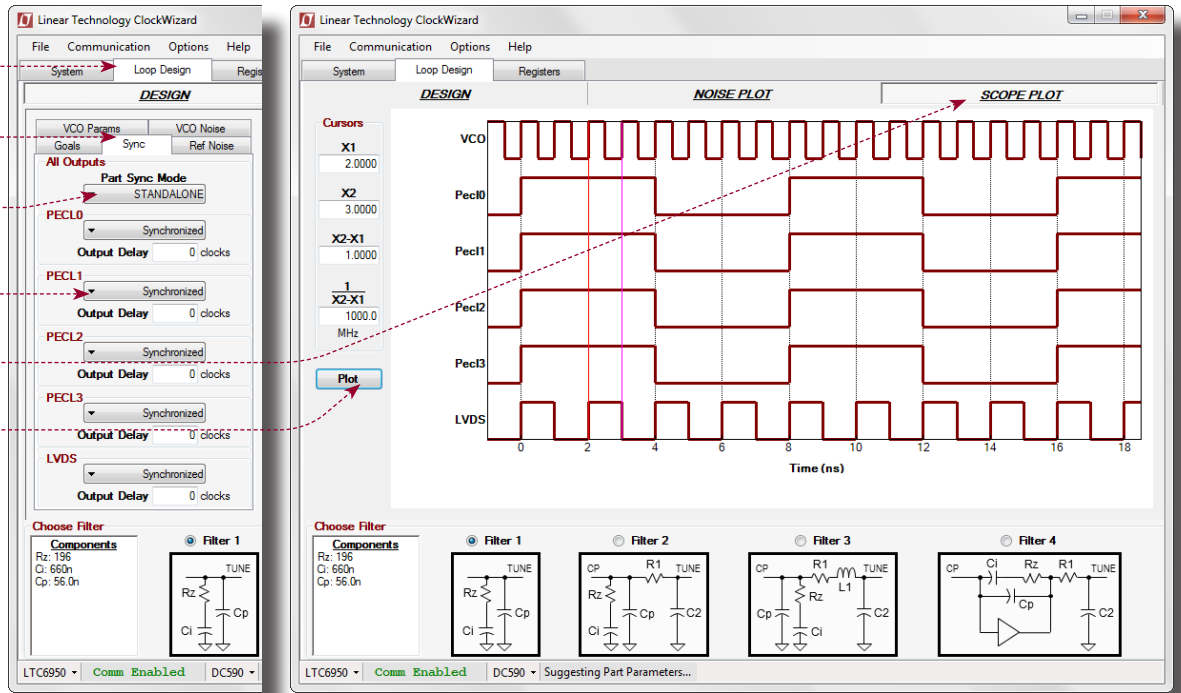


図5. ClockWizardの使用によるSTANDALONEモードでのLTC6950の出力周波数および出力遅延のシミュレーション

仕様についてある程度深く知っていることが必要です。リニアテクノロジーのClockWizardツールに組み込まれているScope Plotシミュレーション・ツールを使用すると、ユーザーはSTANDALONEモード、FOLLOWモード、またはCONTROLモードでの出力遅延応答を素早く予測することができます。図5および6は、ClockWizardのScope Plotシミュレーション機能の実例を示しています。

LTC6950による高速コンバータの直接クロック制御

高性能クロックが駆動するデバイスのなかで、クロック・ジッタ要件が最も厳しいことから、高速A/Dコンバータが事実上のベンチマークになっています。高速A/Dコンバータのクロックを制御するための要件および推奨事項について考察する文献は膨大な量がありますが、すべては次の文に要約することができます。A/Dコンバータは、信号対ノイズ比(SNR)の目標を満たすために、位相ノイズ/ジッタが非常に低いクロックを必要とします。また、A/Dコン

バータの入力クロックが差動クロックで、クロック・エッジが高速であることが推奨されます。

これらの高速A/Dコンバータのクロック制御の要件は、従来から実現可能でしたが、必ずコストがかかりました。このセクションでは、高速A/Dコンバータのクロックを直接制御するLTC6950の能力、特に簡略性と性能に関する値について説明します。

A/Dコンバータの資料は、次の2つの式から始まるのがよくあります。

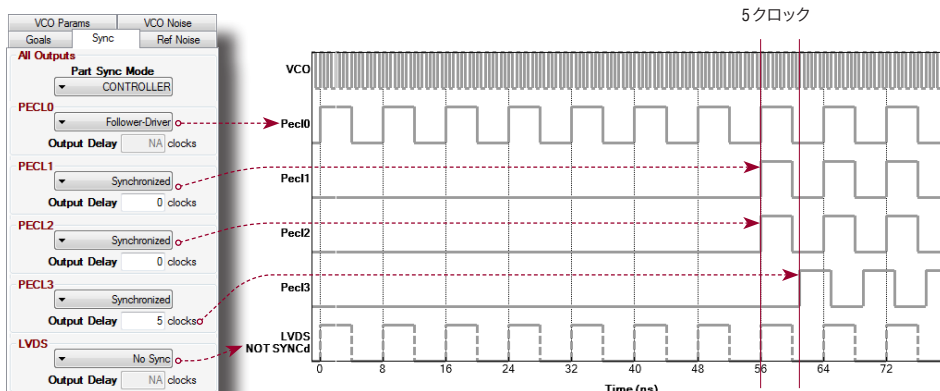
$$\begin{aligned} \text{JITTER}_{\text{TOTAL}} &= \\ &= \sqrt{(\text{JITTER}_{\text{CLK_IN}})^2 + (\text{JITTER}_{\text{APERTURE}})^2} \quad (2) \end{aligned}$$

$$\text{SNR}_{\text{ADC}} = 20 \cdot \text{LOG} \frac{1}{2\pi f_{\text{IN}} \cdot \text{JITTER}_{\text{TOTAL}}} \quad (3)$$

ここで、 f_{IN} は、A/Dコンバータのアナログ入力周波数です。

式2は、A/Dコンバータ内部のクロック回路にも、アパーチャ・ジッタとして知られるジッタがあることを示すものです。A/Dコンバータのほとんどのデータシートでは、式2で使用する数

図6. ClockWizardのScope Plotツールが示すLTC6950 CONTROLモードのシミュレーション結果



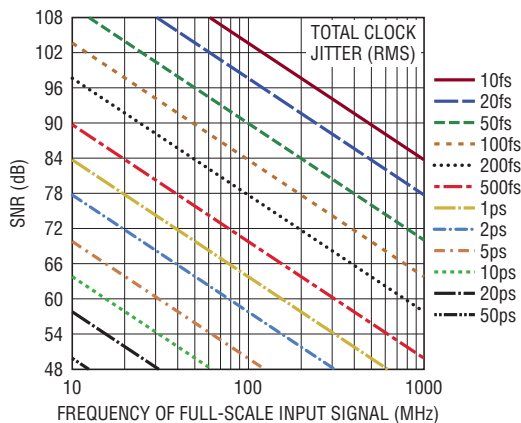


図7. 式3のグラフ表示

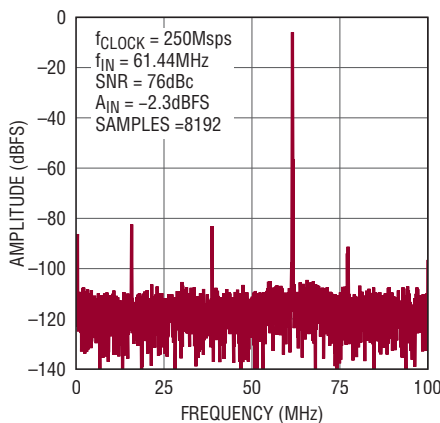


図8. LTC6950によるA/Dコンバータ・クロックの直接制御の性能

値として、アパーチャ・ジッタの標準値を示しています。式2では、その後、A/Dコンバータの入力でのA/Dコンバータのアパーチャ・ジッタとクロック・ジッタを二乗和の平方根をとる方法で互いに加えて、クロック・ジッタの合計を算出します。

式3は、クロック・ジッタ合計値をA/DコンバータのSNR性能に結び付けています。この式は、たいいていの場合、図7のように視覚化するのが最善です。式3で念頭に置くべき主な点は、A/Dコンバータの入力周波数とSNRレベルが高くなるにつれて、クロック・ジッタ合計値の要件がより厳格になるということです。式3が依存するのはA/Dコンバータのアナログ入力

周波数であり、クロック周波数ではないことは、明確にしておく必要があります。

LTC6950は、100fs未満のRMSジッタを実現します。図8は、LTC2107 16ビットA/Dコンバータを $f_{IN} = 61.44\text{MHz}$ で使用した場合のSNRプロットです(図8を参照)。従来から、このレベルのSNR性能をA/Dコンバータから引き出すには、実装回路を追加してクロック信号を調整することが必要でした。例えば、図9では、従来の1チャンネルA/Dコンバータ・クロック・アーキテクチャをLTC6950のA/Dコンバータ直接クロック制御アーキテクチャと比較しています。個々のLTC6950は、4つのA/Dコンバータ・クロックを同時に駆動できる4つ

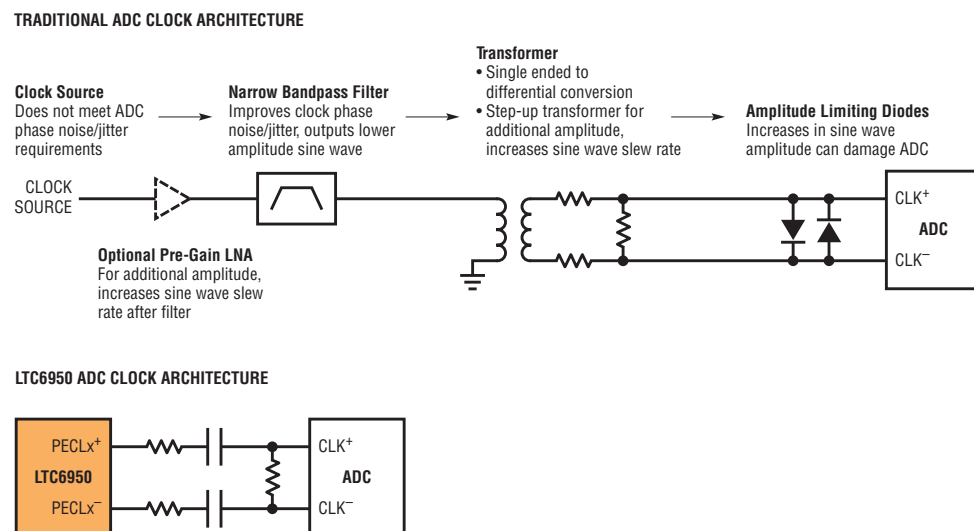
「どんなに難しいことでも、
できてしまえばあつけないものだ。」
—Thomas Fuller

の差動PECLチャンネルを内蔵しています。4つのA/Dコンバータ・クロックを駆動するため、従来のクロック・アーキテクチャは4回反復します。その結果、LTC6950は設計を簡易にし、基板スペースを節約して、基板設計全体のコストを低減します。

LTC6950の設計例とシミュレーション例

ClockWizardは、クロック・システムの設計過程を大幅に易くするツールです。ClockWizardは、LTC6950のSPIレジスタに対する読み出しと書き込みが可能に加えて、PLLループ・フィルタ設計ツール、クロック出力分周器/遅延構成ツール、位相ノイズ・シミュレーション・ツール、およびクロック出力タイミング・シミュレーション・ツールを備えています。LTC6950の標準的な設計では、4つの差動PECL出力を使用して4つのデータ・コンバータのクロックを制御し、残りのLVDS/CMOS出力を使用してFPGAのクロックを制御します。次の例は、標準的なアプリケーション回路を設計する場合のClockWizard設計機能およびシミュレーション機能を示しています。

図9. LTC6950によるA/Dコンバータ・クロックの直接制御の利点



PLLの設計

www.linear-tech.co.jp/ClockWizard でClockWizardをダウンロードしてインストールします。ここで示す設計では、LTC6950のデモ回路DC1795Aに実装された状態で届く基板のVCOおよびリファレンスの使用を前提にしています。これらの実装部品の値は、図11に示すClockWizardの「VCO Params」タブ、「VCO Noise」タブ、および「Ref Noise」タブにあらかじめプログラムされています。図11に示すように、ClockWizardを使用して、設計の完成に必要な設計目標と部品を入力してください。

図 10. LTC6950 の標準的応用例

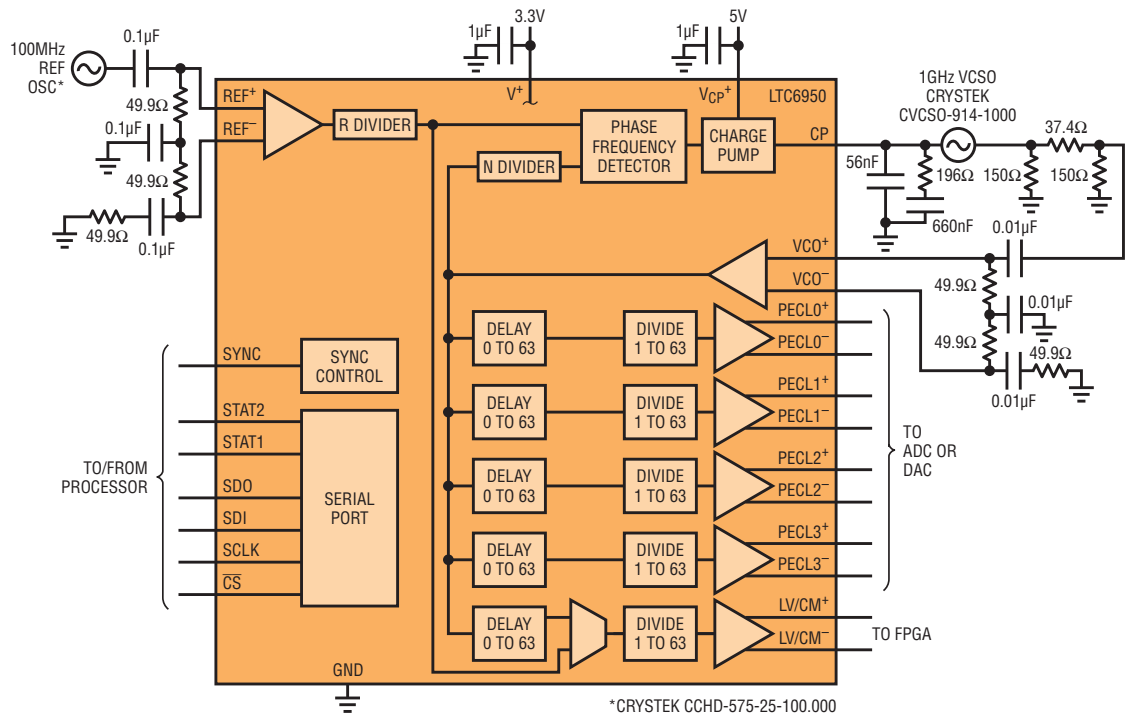
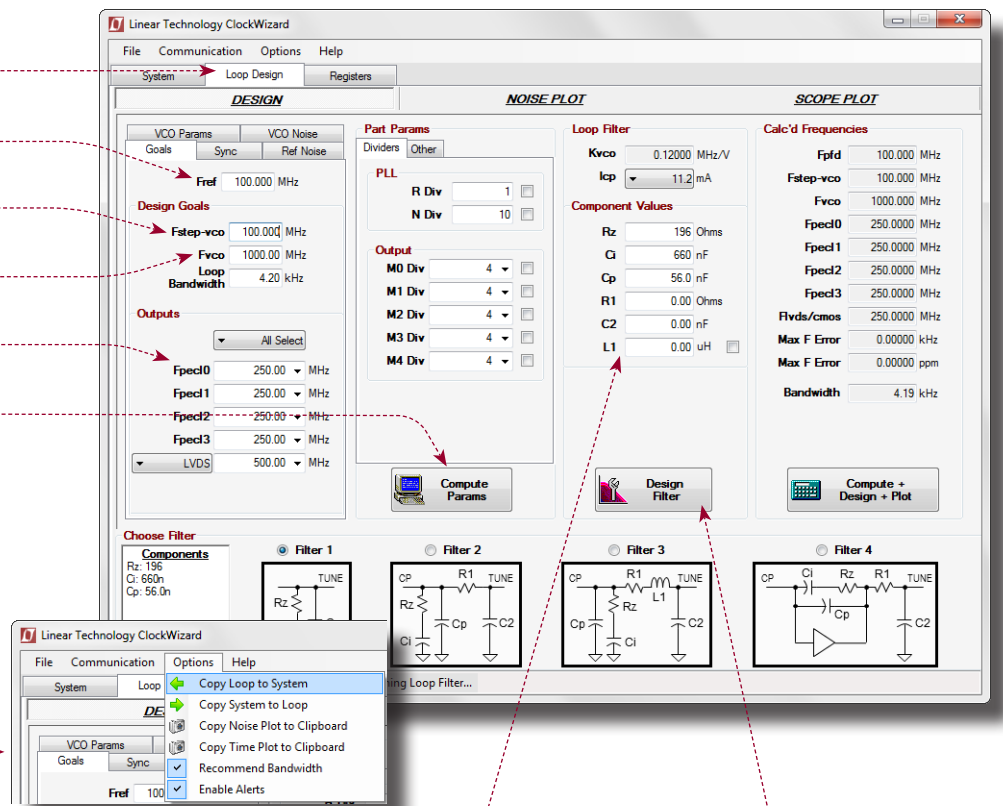


図 11. ClockWizard による LTC6950 ループ・フィルタ設計

1. 「Loop Design」を選択する
2. リファレンス周波数を入力する
3. 目的の PFD 周波数を入力する
4. VCO 周波数を入力する
5. 5つのクロック出力ごとにクロック周波数を入力する
6. 「Compute Params」をクリックする
7. 「Design Filter」をクリックし、「Filter 1」をクリックする
8. 表示された実用的な部品値を使って部品値を更新する
9. 「Options」メニューの「Copy Loop to System」を選択する。
(これにより、「System and Register」タブが正しいシリアル・インタフェース値で更新される。デモ・ボードを接続している場合は、そのシリアル・インタフェース・レジスタも更新される。)



PLLのシミュレーションおよび構築

図11に示すように、ClockWizardで求めたフィルタ部品の値を標準値に最も近い部品の値に置き換えます。図12では、ノイズ・プロットで選択されている5つのクロック出力のいずれかについて、LTC6950の位相ノイズと新しいループ・フィルタをClockWizardが予測しています。このプロットは、VCOとリファレンスの位相ノイズがノイズ全体にどのように影響するかを示しており、設計者がVCOとリファレンスの部品を選択する上で役立ちます。出力位相ノイズのシミュレーション結果がその設計目標を達成したら、シミュレートで得たループ・フィルタの値の部品をDC1795Aに取り付けてください。

PLLの評価

この時点でLTC6950に電源を投入し、DC1795Aを使用して評価することができます。DC1795Aデモ回路のマニュアルをlinear-tech.co.jp/product/LTC6950#demoboardsでダウンロードして、クイック・スタート手順のもとで電源投入の指示に従います。DC1795AのPECL出力のいずれかを信号源アナライザ(AgilentのE5052など)に接続することにより、この例の出力を確認します。図13に測定結果を示しますが、図12でのClockWizardのシミュレーション結果と厳密に整合しています。

まとめ

LTC6950はリニアテクノロジーのEZSync技術を実現する最初のデバイスで、複数のデバイス、ボード、およびシステムにまたがって複数のクロックを揃える作業を単純化します。LTC6950の性能レベルならば、高性能データ・コンバータの直接クロック生成、システム設計の簡略化、システム全体のコスト低減が可能となります。設計過程をさらに簡略化するため、ループ・フィルタを設計し、位相ノイズをシミュレートして、クロック出力のタイミングおよびサイクル遅延をシミュレートするClockWizardが開発されました。■

図12. ClockWizardを使用したLTC6950ループ・フィルタ性能のシミュレーション

1. 「Noise Plot」を選択する
2. 目的の「Plot」オプションを選択する
3. プロットする出力を選択する
4. 「Plot」をクリックする
5. 結果を表示する

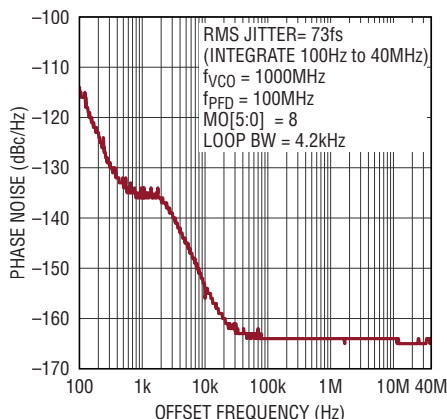
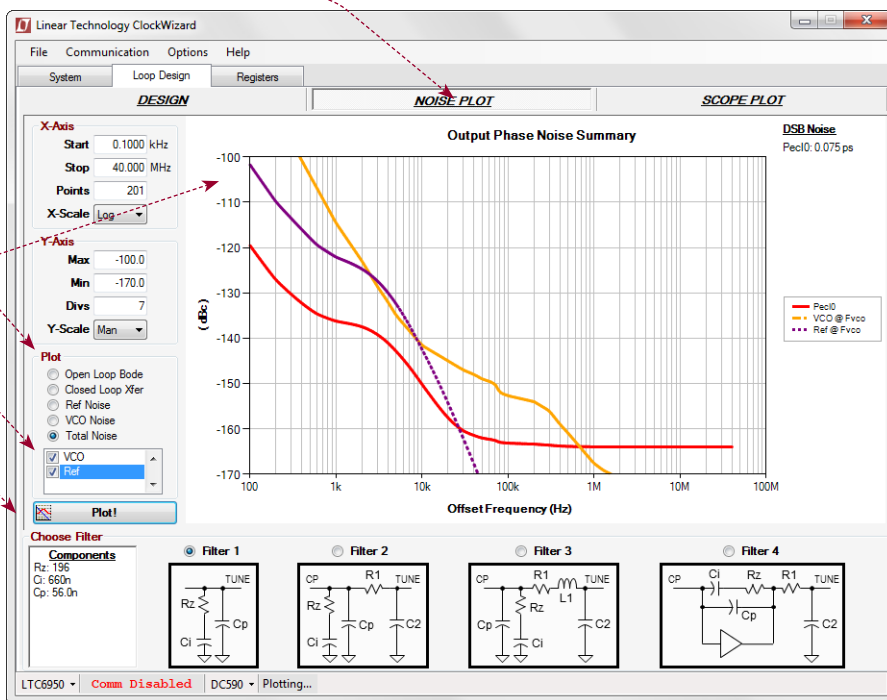


図13. LTC6950 PECL0+の125MHzでの測定結果