



ハードウェアによるサーボ（FOC）コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

TMC9660

概要

TMC9660 は高集積化されたモノリシック・ゲート・ドライバおよびモータ・コントローラ IC で、降圧コンバータを搭載しています。

このデバイスには、スマート・ゲート・ドライバ、ハードウェアベースのベクトル制御（FOC）機能付き高性能モーション・コントローラとサーボ・コントローラ（速度、位置、ランプ・ジェネレータ）、モータ位置フィードバック・インターフェース（A/B/N エンコーダ、ホール）、および下側シャント電流測定用のアナログ信号処理ブロック（プログラマブル電流検出アンプ [CSA] と A/D コンバータ [ADC]）が組み込まれています。また、強力かつ柔軟なパワー・マネージメント・ユニット（PMU）と降圧コンバータ、およびプログラマブル低ドロップアウト（LDO）レギュレータも含まれています。更に、全体的な制御、および SPI または UART を通じた外部プロセッサとの通信のために、事前にプログラムされた 32 ビットのマイクロコントローラが組み込まれています。このプロセッサ・システムは、すべてのモータ制御ペリフェラルへの低レベルの直接レジスタ・アクセス、または拡張機能と使いやすさを実現する、より高レベルのパラメータ・モード・アクセスをサポートしています。システム・ハードウェア接続とソフトウェア選択の初期設定にはブートローダを使用することができ、この設定をワン・タイム・プログラマブル・メモリ（OTP メモリ）に永続的に保存することも可能です。

アプリケーション

- ロボット
- パワー・ツール
- ガーデニング機器
- 無人搬送車（AGV）／倉庫自動化
- ポンプ（例：蠕動ポンプ）
- 産業用 3D プリント
- ファクトリ・オートメーション
- デスクトップ・マニファクチャリング
- 電動自転車／軽量電気自動車（LEV）

利点と特長

- 三相永久磁石同期モータ（PMSM）／ブラシレス DC（BLDC）モータ、二相ステッピング・モータ、およびブラシ付き DC モータをサポート
- 単電源動作範囲：7.7V～70V
- 最大 1A ソース／2A シンクまで強度を調整できるスマート・ゲート・ドライバ
- 広帯域電流制御ループ用のハードウェアによるベクトル制御／FOC
- 高速精密制御用のハードウェアによる位置、速度、およびトルク制御
- ハードウェアによりリアル・タイムでランプ計算を行う 8 ポイント・ランプ・ジェネレータ
- 120MHz クロックを使用する高速空間ベクトル・パルス幅変調（SVPWM）エンジン（2kHz～100kHz）
- フィードバック位置センサーをサポート（ホール、A/B/N、SPI）
- 下側シャント電流測定（プログラマブル CSA および ADC）
- 5.8V/600mA 降圧コンバータ
- それぞれが 150mA の電流で外部回路に給電を行う 2 個の設定可能 LDO（2.5V、3.3V、または 5V）
- 電圧ダブラ付きチャージ・ポンプ
- 100% PWM デューティ・サイクルのトリクル・チャージ・ポンプ
- デバイスの初期設定（OTP）と直接ハードウェア／レジスタ・アクセスまたはパラメータ・モード・アクセスをサポートする、事前にプログラムされた 32 ビット／40MHz マイクロコントローラ
- メイン／アプリケーション・コントローラとの通信用の SPI および UART インターフェース
- SPI フラッシュ・メモリまたは I2C EEPROM へのパラメータ保存（オプション）
- フェーズ・ロック・ループ（PLL）付きの内部発振器と、オプションの外部水晶発振器またはクロックをサポート
- 別体の内部発振器を使用するウォッチドッグ
- ウェイクアップ・ボタンとタイマーをサポートする低消費電力ハイバネート・モード
- コンパクトなモノリシック・ソリューション、64 ピン 9mm × 9mm TQFN パッケージ

オーダー情報はデータシート末尾に記載されています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

簡略化したブロック図

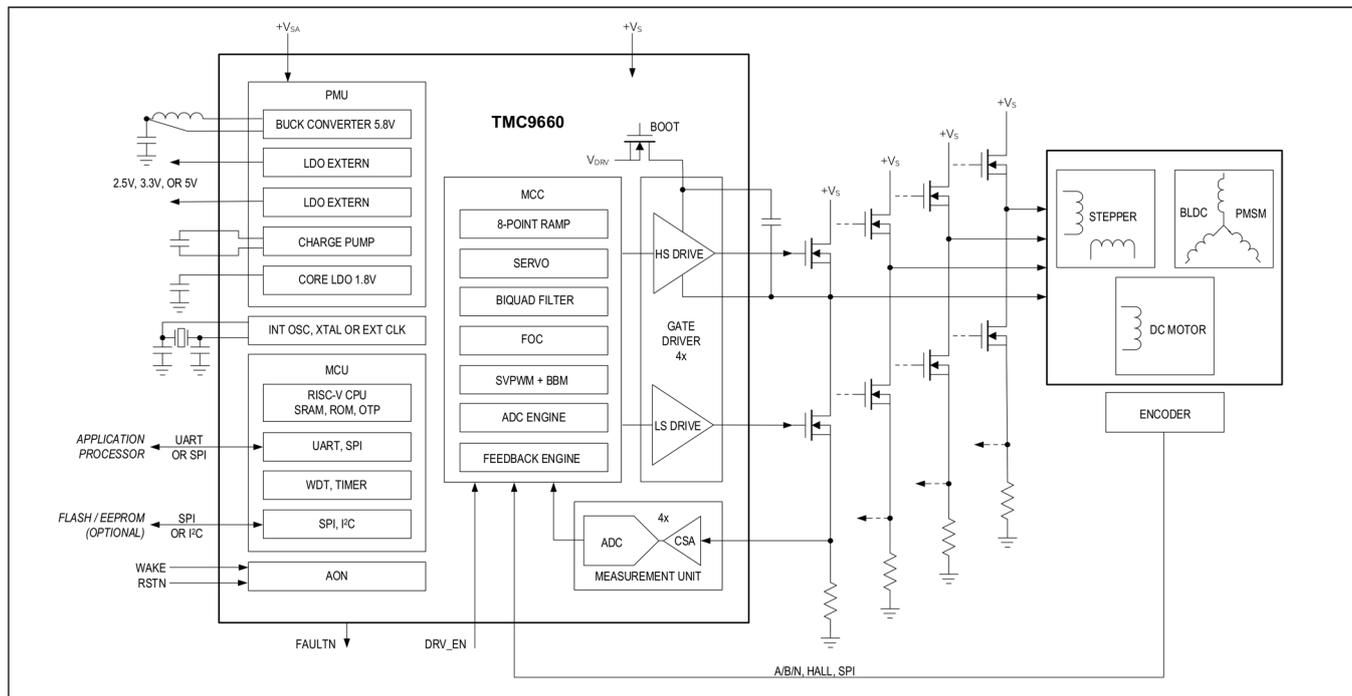


図 1. TMC9660 の簡略ブロック図

目次

概要	1
アプリケーション	1
利点と特長	1
簡略化したブロック図	2
絶対最大定格	9
パッケージ情報	10
ピン配置	11
端子説明	12
機能図	15
アプリケーション・モード	16
省電力モード	16
電源 — 電気的特性	17
汎用入出力に関する説明	19
GPIO の電気的特性	22
マイクロコントローラ・ユニットの説明	23
タイマー	23
システム・タイマー	23
基本タイマー	23
拡張タイマー	23
ウォッチドッグ・タイマー	23
UART	23
SPI	25
I ² C	27
SPI ペリフェラル—タイミング図	27
SPI ペリフェラル—電気的特性	27
モータ制御コアの説明	29
ベクトル制御	29
サーボ・コントローラ	30
ランプ・ジェネレータ	31
エンコーダ・フィードバック	32
モータ・タイプ	32
パワー・マネージメント・ユニットの説明	34
PMU の機能一覧	34
TMC9660 の PMU 接続図	35
パワー・マネージメント・ユニット	35

パワー・マネージメント・ユニットの電気的特性.....	38
ゲート・ドライバ・ユニットの説明.....	41
はじめに.....	41
GDU の機能一覧.....	41
詳細説明.....	41
ゲート・ドライバ・ユニットの電気的特性.....	48
測定ユニットの説明.....	50
MU の機能一覧.....	50
プログラマブル電流検出アンプ.....	50
測定ユニットのブロック図.....	52
アナログ入力の測定.....	52
A/D コンバータ.....	53
IC 温度の測定.....	53
電源電圧測定.....	53
測定ユニットの電気的特性.....	54
保護機能の説明.....	56
はじめに.....	56
ドライバ保護回路図.....	57
出力段の過電流および短絡保護.....	57
ゲート保護—VGS 保護.....	59
ブランキングとデグリッチ.....	59
過熱保護.....	61
低電圧ロックアウト.....	61
フォルト・ピン (FAULTN).....	61
保護機能—電気的特性.....	61
クロックと制御の説明.....	63
クロック.....	63
水晶発振器.....	63
リセット (RSTN).....	64
ドライバ・イネーブル (DRV_EN).....	64
ウェイクアップ (WAKE).....	65
FAULT 出力 (FAULTN).....	65
クロックと制御—電気的特性.....	65
ブートローダ.....	68
チップ・ブートストラッピングの概要.....	68
ブートローダの FAULTN 信号.....	68
通信プロトコル.....	70

UART 通信	70
RS485 通信	71
RS485 のブートストラップ	71
SPI 通信	72
メモリ・アクセス	72
外部メモリ	73
外部メモリのパーティション	73
SPI フラッシュ	74
I ² C EEPROM	75
OTP メモリ	76
アプリケーション	76
アプリケーションの起動	76
コマンド	76
コマンドの概要	76
応答ステータス・コード	77
GET_INFO	78
GET_BANK	79
SET_BANK	79
GET_ADDRESS	79
SET_ADDRESS	79
READ_32	79
READ_32_INC	79
READ_16	79
READ_16_INC	80
READ_8	80
READ_8_INC	80
WRITE_32	80
WRITE_32_INC	80
WRITE_16	80
WRITE_16_INC	80
WRITE_8	81
WRITE_8_INC	81
NO_OP	81
OTP_LOAD	81
OTP_BURN	81
MEM_IS_CONFIGURED	82
MEM_IS_CONNECTED	82

FLASH_SEND_CMD.....	82
FLASH_ERASE_SECTOR	82
MEM_IS_BUSY.....	82
BOOTSTRAP_RS485.....	83
設定.....	83
実行時再設定.....	83
設定ストレージ.....	84
設定リスト.....	84
LDO の設定.....	84
ブートストラップの設定.....	84
UART の設定	85
RS485 の設定.....	85
SPI の設定.....	86
SPI フラッシュの設定	86
I ² C EEPROM の設定	87
クロックの設定.....	87
GPIO の設定	88
チェックサム計算.....	89
CRC8 の計算.....	89
CRC32 の計算例.....	91
アプリケーション情報.....	92
ブートストラップ・コンデンサの選択	92
降圧用の推奨インダクタとコンデンサ	93
チャージ・ポンプ用の推奨外部コンデンサ.....	93
シャント抵抗信号の配線の引き回し	93
ゲート・ドライバ・ユニットのゲート信号の配線の引き回し.....	93
ゲート・ドライバ・ユニットの保護信号の配線の引き回し.....	93
標準アプリケーション回路	94
ホール・センサー付き BLDC/PMSM	94
エンコーダ付き BLDC/PMSM.....	94
エンコーダ付き BLDC/PMSM + 2 個目のアブソリュート・エンコーダ	96
エンコーダ付きステッピング・モータ	97
オーダー情報.....	98
エラー.....	99
エラー 1 : ブートローダの OTP_BURN コマンド	99
エラー 2 : SPI スレーブの MISO 動作.....	99

図一覧

図 1. TMC9660 の簡略ブロック図	2
図 2. TMC9660 のピン配置	11
図 3. 詳細ブロック図	15
図 4. GPIOx - 汎用デジタル入出力のブロック図	21
図 5. AINx - アナログ入力と汎用デジタル入出力のブロック図	21
図 6. ブートローダの UART コマンド・メッセージ (受信)	24
図 7. ブートローダの UART 応答メッセージ (送信)	24
図 8. 外部トランシーバを実装した UART	25
図 9. プリ/ポスト遅延設定オプションを備えた UART トランシーバ・イネーブル信号 UART_TXEN	25
図 10. SPI ペリフェラルとしてアプリケーション・プロセッサに接続された TMC9660 とブートローダ・モードの SPI 通信	26
図 11. ブートローダ・モードでの SPI コマンドと応答データグラム	26
図 12. SPI を通じて接続された外部フラッシュ・メモリ	26
図 13. I ² C を通じて接続された外部 EEPROM	27
図 14. ブートローダ・モードにおける SPI ペリフェラルのタイミング図	27
図 15. ベクトル制御電流コントローラ (FOC)	30
図 16. MCC サーボ・コントローラ	30
図 17. 疑似的な S 形の速度プロファイルで形成された 8 ポイント・ランプ・ジェネレータ	31
図 18. エンコーダ・フィードバック・エンジン	32
図 19. パワー・マネージメント・ユニット	35
図 20. ハーフブリッジを 1 つ使用したゲート・ドライバ・トポロジ	42
図 21. ゲート・ドライバ・シーケンサの図 - 適応モード	45
図 22. ゲート・ドライバ・シーケンサの図 - 非適応モード	46
図 23. ブレーキ・チョップと電気機械式ブレーキ	47
図 24. 測定ユニットのブロック図	52
図 25. アナログ入力測定の回路図	53
図 26. 過電流およびゲート短絡保護の回路図	57
図 27. ブランキングとデグリッチ	60
図 28. TMC9660 のクロック・オプションとクロック・ツリー	63
図 29. TMC9660 リセットピン (RSTN) の外部回路	64
図 30. FAULTN 出力信号のオプション	65
図 31. ブートローダの FAULTN ピン: パワーオンからブートローダの準備完了まで	68
図 32. ブートローダの FAULTN ピン: モータ制御システムからブートローダへの復帰	69
図 33. ブートローダの FAULTN ピン: 設定の更新	69
図 34. ブートローダの FAULTN ピン: BL_EXIT_FAULT を使用するモータ制御システムの起動	69
図 35. ブートローダの FAULTN ピン: BL_CONFIG_FAULT を使用するモータ制御システムの起動	69
図 36. UART の要求/応答ペアの例	71
図 37. UART タイミング図	71
図 38. 最初のデータグラムの SPI データグラム例	72
図 39. コマンドのチェックサム計算	91
図 40. コマンドのチェックサム計算	92
図 41. ホール・センサー付き BLDC/PMSM アプリケーションの接続図	94
図 42. エンコーダ付き BLDC/PMSM アプリケーションの接続図	95
図 43. エンコーダ、インクリメンタル A/B/N、ブレーキ・チョップ、および電気機械式ブレーキ	96
図 44. ギア・アプリケーションにおけるエンコーダ付き BLDC/PMSM + 2 つ目のアブソリュート・エンコーダの接続図	97
図 45. エンコーダ付きステッピング・モータ・アプリケーションの接続図	98
図 46. SPI スレーブ動作、外部コンポーネントによる回避策	100

表一覧

表 1. 推奨動作条件	9
表 2. それぞれのアプリケーション・モードで TMC9660 がサポートする機能	16
表 3. 代替機能の対応表	19
表 4. ペリフェラル・ピンの説明	20
表 5. UART ボー・レート	23
表 6. モータ接続の対応表	33
表 7. PMU レギュレータ	35
表 8. I _{SOURCE} の表	43
表 9. I _{SINK} の表	43
表 10. 実効値ノイズとセtring時間の関係	50
表 11. 過電流保護閾値	58
表 12. 過電流保護	58
表 13. ゲート・ドライバ出力の保護	59
表 14. ブランキングおよびデグリッチの設定可能値	60
表 15. XTAL 出力電流と水晶振動子周波数の関係	64
表 16. ブートローダ UART 要求通信のバイト・フォーマット	70
表 17. ブートローダ UART 応答通信のバイト・フォーマット	70
表 18. ブートローダ SPI 要求通信のバイト・フォーマット	72
表 19. ブートローダ SPI 応答通信のバイト・フォーマット	72
表 20. ブートローダ・メモリ・バンクのデコード	72
表 21. 外部メモリのパーティション・ヘッダ・アドレス	73
表 22. 外部メモリのパーティション・エントリ・アドレス	74
表 23. ブートローダ・コマンドの概要とデコード	76
表 24. ブートローダ・コマンド GET_INFO のデコード	78

絶対最大定格

$V_S, V_{SA} \sim GND$	-0.3V ~ +87.0V
$SW \sim GND$	-0.3V ~ $V_{VSA} + 0.3V$
$V_{BUCK} \sim GND$	-0.3V ~ +6.5V
$CPI \sim GND$	-0.3V ~ $V_{VBUCK} + 0.3V$
$CPO \sim GND, V_{VBUCK}$	-0.3V ~ $\min(V_{VDRV} + 0.3, V_{VBUCK} + 6.5)V$
$V_{DRV} \sim GND$	$V_{CPO} - 0.3V \sim \min(+13.0, V_{CPO} + 6.5)V$
$V_{EXT1}, V_{EXT2} \sim GND$	-0.3V ~ $\min(+6.0, V_{VBUCK} + 0.3)V$
$1V8, A1V8 \sim GND$	-0.3V ~ $\min(+2.2, V_{VBUCK} + 0.3)V$
$V_{CC_IO} \sim GND$	-0.3V ~ +6.0V
$GPI_O \sim GND$	-0.3V ~ $V_{CC_IO} + 0.3V$
$AIN_ \sim GND$	-0.3V ~ $V_{CC_IO} + 0.3V$
$DRV_EN \sim GND$	-0.3V ~ $V_{CC_IO} + 0.3V$
$FAULTN, RSTN \sim GND$	-0.3V ~ 6V

$WAKE \sim GND$	-0.3V ~ $V_{SA} + 0.3V$
$GNDA, GNDP, EP \sim GND$	-0.3V ~ 0.3V
$BM_ \sim GND$	$\max((BS_ - 16), (V_S - 87))V \sim \min(V_S + 6, 87)V$
$BS_ \sim GND$	-0.3V ~ $\min(BM_ + 16, 87)V$
$HS_ \sim GND$	$BM - 0.3V \sim BS_ + 0.3V$
$HS_ \sim BM_$	-0.3V ~ $BS_ + 0.3V$
$LS_ \sim GND$	-2.7V ~ $V_{DRV} + 0.3V$
$CSP_ \sim GND$	-2.7V ~ 2.7V
$CSN_ \sim GND$	-2.7V ~ 2.7V
ゲート・ドライバのソース電流 ($HS_/LS_$)	内部で制限
ゲート・ドライバのシンク電流 ($HS_/LS_$)	内部で制限
連続消費電力 (多層基板) ($T_A = +70^\circ C, +70^\circ C$ を超える温度では 43.9 mW/ $^\circ C$ でディレーティング)	2412mW
動作温度範囲 (Note 1)	-40 $^\circ C$ ~ 125 $^\circ C$
ジャンクション温度	+150 $^\circ C$

Note 1: ジャンクション温度が+125 $^\circ C$ を超えると、動作寿命が短くなります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 1. 推奨動作条件

PARAMETER	SYMBOL	CONDITION	TYPICAL RANGE	UNIT
Motor Supply Voltage (V_S)	V_S		7.7 to 70	V
Core Supply Voltage (V_{SA})	V_{VSA}	$DCR_{LBUCK} < 300m\Omega$	7.7V to 80.0	V
Logic Input Supply Voltage	V_{CC_IO}		2.5 to 5	V
High-Side Gate Drive Current	$IGATE_HS$		0 to 25	mA
Low-Side Gate Drive Current	$IGATE_LS$		0 to 25	mA
External Load Current on V_{EXT1}	I_{EXT1}		0 to 150	mA
External Load Current on V_{EXT2}	I_{EXT2}		0 to 150	mA
PWM Drive Frequency	FPWM		1.83 to 100	kHz
Trickle Charge Pump Maximum External Load Current per Pin	ITKCHP		2	μA

Ambient Temperature Range	TA			-40 to 125	°C
---------------------------	----	--	--	------------	----

パッケージ情報

TQFN 64 – 9mm x 9mm	
Package Code	T6499+2C
Outline Number	21-100060
Land Pattern Number	90-100053
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction-to-Ambient (θ_{JA})	22.8°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	0.69°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、<https://www.analog.com/jp/resources/packaging-quality-symbols-footprints/package-index.html> で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、<https://www.analog.com/jp/resources/technical-articles/thermal-characterization-of-ic-packages.html> を参照してください。

ピン配置

パッケージは TQFN 64 ピン、0.5mm ピッチの 9mm × 9mm で、ピン配置は以下のとおりです。

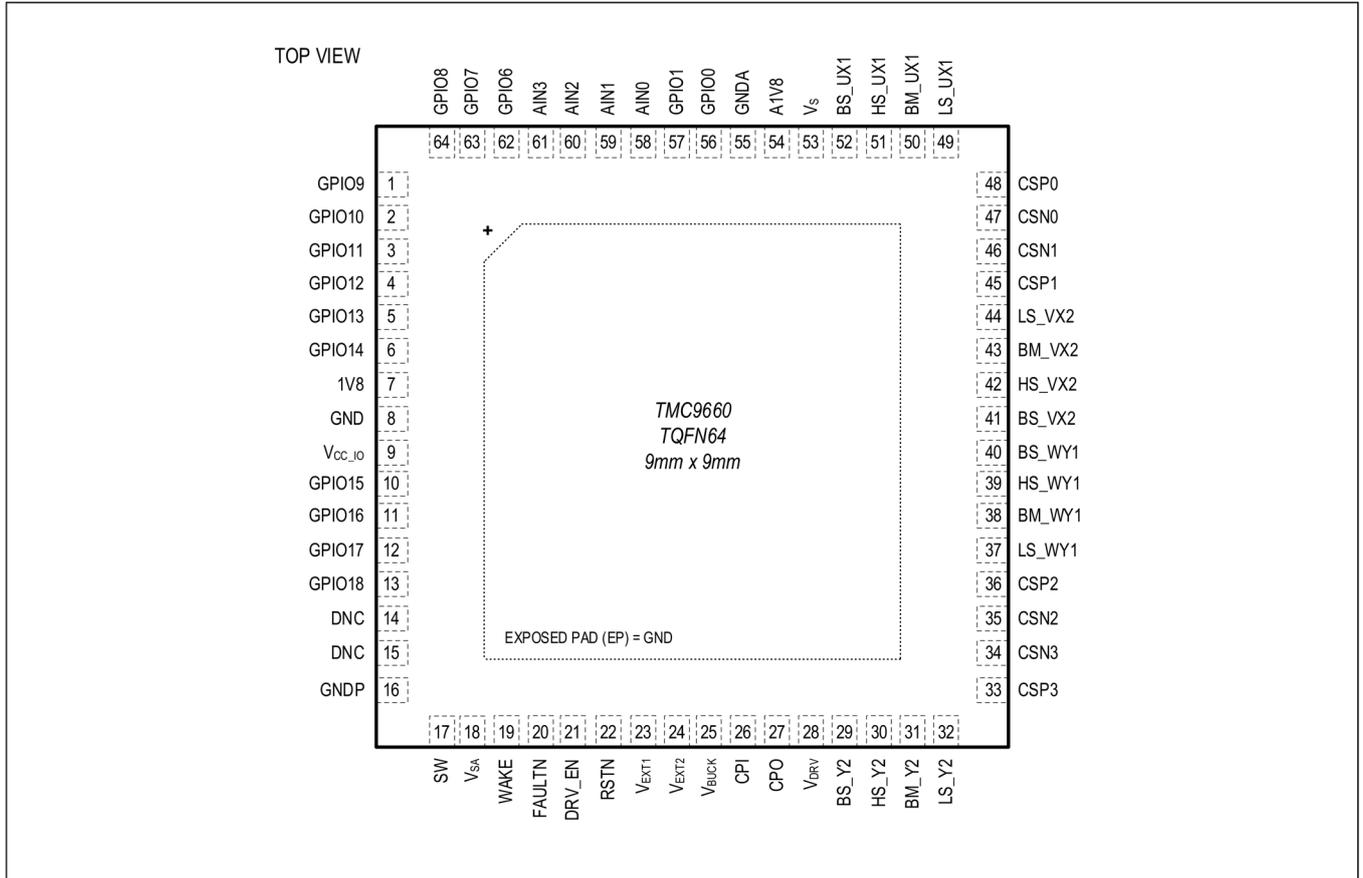


図 2. TMC9660 のピン配置

端子説明

ピン	名称	説明	リファレンス 電源	タイプ
PMU				
53	V _S	ゲート・ドライバ電源電圧入力。V _S と GND の間のできるだけ IC に近い位置に、容量 1μF 以上、定格 V _{V_S_RNG} のセラミック・コンデンサを接続します。	VS	POWER
18	V _{SA}	コア回路および降圧電源電圧入力。V _{SA} と GNDP の間のできるだけ IC に近い位置に、容量 0.5μF 以上、定格 V _{V_{SA}_RNG} の低 ESL セラミック・コンデンサを接続します。また、V _{SA} リップルを制限するために、容量 10μF、定格 V _{V_{SA}_RNG} の大きいバイパス・コンデンサを、できるだけ IC に近い位置に接続してください。	VSA	POWER
17	SW	降圧スイッチング出力。 アプリケーション情報 のセクションに示す推奨事項に従い、SW と V _{BUCK} の間にインダクタ L _{BUCK} を接続します。		
25	V _{BUCK}	降圧出力電圧、チャージ・ポンプ、および LV LDO の電源電圧入力。 アプリケーション情報 のセクションに示す推奨事項に従い、V _{BUCK} と GND 間のできるだけ IC に近い位置に、セラミック・コンデンサ C _{VBUCK} を接続します。	VBUCK	POWER
28	V _{DRV}	チャージ・ポンプ出力電圧、ゲート・ドライバ電源電圧入力。OTP プログラミング電圧入力。 アプリケーション情報 のセクションに示す推奨事項に従い、V _{DRV} と GND 間のできるだけ IC に近い位置に、セラミック・コンデンサ C _{VDRV} を接続します。	VDRV	POWER
26	CPI	チャージ・ポンプ用フライ・コンデンサの低電圧側。 アプリケーション情報 のセクションに示す推奨事項に従い、CPI と CPO の間のできるだけ IC に近い位置にセラミック・コンデンサ C _{FLY} を接続します。		
27	CPO	チャージ・ポンプ用フライ・コンデンサの高電圧側。 アプリケーション情報 のセクションに示す推奨事項に従い、CPI と CPO の間のできるだけ IC に近い位置にセラミック・コンデンサ C _{FLY} を接続します。		
23	V _{EXT1}	エンコーダ、センサー、スイッチ、マイクロコントローラなどを含む外部回路の電源用 5.0V/3.3V/2.5V 出力。V _{EXT1} と GND 間のできるだけ IC に近い位置に、容量 1.6μF 以上、定格 6V のセラミック・コンデンサを接続します。		
24	V _{EXT2}	エンコーダ、センサー、スイッチ、マイクロコントローラなどを含む外部回路の電源用 5.0V/3.3V/2.5V 出力。V _{EXT2} と GND 間のできるだけ IC に近い位置に、容量 1.6μF 以上、定格 6V のセラミックコンデンサを接続します。		
54	A1V8	アナログ・コア電源電圧入力。A1V8 と GND 間のできるだけ IC に近い位置に、容量 10μF 上、定格 2V のセラミック・コンデンサを接続します。	A1V8	POWER
7	1V8	デジタル・コア電源電圧入力。1V8 と GND 間のできるだけ IC に近い位置に、容量 10μF 上、定格 2V のセラミック・コンデンサを接続します。	1V8	POWER
55	GND _A	アナログ・グラウンド。		GND
16	GND _P	降圧電源グラウンド。		GND
8	GND	グラウンド。		GND
9	V _{CC_IO}	ロジック電源電圧入力。V _{CC_IO} と GND 間のできるだけ IC に近い位置に、容量 1μF、定格 V _{V_{CCIO}_RNG} 以上のセラミック・コンデンサを接続します。	VCCIO	POWER
ゲート・ドライバ				
52	BS_UX1	昇圧フライング・コンデンサ接続部。ハイサイド MOSFET ドライバの電源用に、BS_UX1 と BM_UX1 間のできるだけ IC に近い位置に定格 V _{DRV} のセラミック・コンデンサを接続します。		
51	HS_UX1	ハイサイド・ゲート・ドライバ出力。ハイサイド MOSFET ゲートのドライバ出力。		
50	BM_UX1	ハイサイド MOSFET のソース接続部。ハイサイド・ドライバのリターンとしても機能します。		
49	LS_UX1	ローサイド・ゲート・ドライバ出力。ローサイド MOSFET ゲートのドライバ出力。		

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

41	BS_VX2	昇圧フライング・コンデンサ接続部。ハイサイド MOSFET ドライバの電源用に、BS_VX2 と BM_VX2 間のできるだけ IC に近い位置に定格 V_{DRV} のセラミック・コンデンサを接続します。		
42	HS_VX2	ハイサイド・ゲート・ドライバ出力。ハイサイド MOSFET ゲートのドライバ出力。		
43	BM_VX2	ハイサイド MOSFET のソース接続部。ハイサイド・ドライバのリターンとしても機能します。		
44	LS_VX2	ローサイド・ゲート・ドライバ出力。ローサイド MOSFET ゲートのドライバ出力。		
40	BS_WY1	昇圧フライング・コンデンサ接続部。ハイサイド MOSFET ドライバの電源用に、BS_WY1 と BM_WY1 間のできるだけ IC に近い位置に定格 V_{DRV} のセラミック・コンデンサを接続します。		
39	HS_WY1	ハイサイド・ゲート・ドライバ出力。ハイサイド MOSFET ゲートのドライバ出力。		
38	BM_WY1	ハイサイド MOSFET のソース接続部。ハイサイド・ドライバのリターンとしても機能します。		
37	LS_WY1	ローサイド・ゲート・ドライバ出力。ローサイド MOSFET ゲートのドライバ出力。		
29	BS_Y2	昇圧フライング・コンデンサ接続部。ハイサイド MOSFET ドライバの電源用に、BS_Y2 と BM_Y2 間のできるだけ IC に近い位置に定格 V_{DRV} のセラミック・コンデンサを接続します。 注：ローサイド MOSFET ゲートの駆動に HS_Y2 を使用する場合は、このピンを V_{DRV} に接続します。		
30	HS_Y2	ハイサイド・ゲート・ドライバ出力。ハイサイド MOSFET ゲートのドライバ出力。		
31	BM_Y2	ハイサイド MOSFET のソース接続部。ハイサイド・ドライバのリターンとしても機能します。 注：ローサイド MOSFET ゲートの駆動に HS_Y2 を使用する場合は、このピンを GND に接続します。		
32	LS_Y2	ローサイド・ゲート・ドライバ出力。ローサイド MOSFET ゲートのドライバ出力。		
ゲート・ドライバ				
CSA				
48	CSP0	チャンネル 0 電流検出アンプの正のアナログ入力。ローサイド・ドライバのリターンとしても機能します。		
47	CSN0	チャンネル 0 電流検出アンプの負のアナログ入力。		
45	CSP1	チャンネル 1 電流検出アンプの正のアナログ入力。ローサイド・ドライバのリターンとしても機能します。		
46	CSN1	チャンネル 1 電流検出アンプの負のアナログ入力。		
36	CSP2	チャンネル 2 電流検出アンプの正のアナログ入力。ローサイド・ドライバのリターンとしても機能します。		
35	CSN2	チャンネル 2 電流検出アンプの負のアナログ入力。		
33	CSP3	チャンネル 3 電流検出アンプの正のアナログ入力。ローサイド・ドライバのリターンとしても機能します。		
34	CSN3	チャンネル 3 電流検出アンプの負のアナログ入力。		
その他のアナログ・ピン				
56	GPIO0	GPIO0 (パワーアップ時のブルダウン付き入力)	VCCIO	AIDIOpd
57	GPIO1	GPIO1 (パワーアップ時のブルダウン付き入力)	VCCIO	AODIOpd
58	AIN0	アナログ入力 0 (パワーアップ時に高インピーダンス)	VCCIO	AIDIOpd
59	AIN1	アナログ入力 1 (パワーアップ時に高インピーダンス)	VCCIO	AIDIOpd
60	AIN2	アナログ入力 2 (パワーアップ時に高インピーダンス)	VCCIO	AIDIOpd
61	AIN3	アナログ入力 3 (パワーアップ時に高インピーダンス)	VCCIO	AIDIOpd
GPIO 信号と制御信号				

ハードウェアによるサーボ（FOC）コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

22	RSTN	外部システムのリセット入力（アクティブ・ロー）。このピンがアクティブ状態のときは、デバイスがリセット状態のままになります。このピンはプルダウン抵抗を内蔵しています。		Dlpd
14	DNC	接続しないでください（内部で接続されています）。	VCCIO	
15		接続しないでください（内部で接続されています）。もしくは GND に接続してください。		
21	DRV_EN	ドライバ・イネーブル入力（アクティブ・ハイ）。このピンはプルダウン抵抗を内蔵しています。	VCCIO	Dlpd
62	GPIO6	GPIO6（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
63	GPIO7	GPIO7（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
64	GPIO8	GPIO8（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
1	GPIO9	GPIO9（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
2	GPIO10	GPIO10（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
3	GPIO11	GPIO11（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
4	GPIO12	GPIO12（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
5	GPIO13	GPIO13（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
6	GPIO14	GPIO14（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
10	GPIO15	GPIO15（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
11	GPIO16	GPIO16（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
12	GPIO17	GPIO17（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
13	GPIO18	GPIO18（パワーアップ時のプルアップ付き入力）。	VCCIO	DIOpud
20	FAULTN	FAULT 出力信号（オープン・ドレイン）。内蔵プロセッサがエラーやエラー詳細を通信できなくなった場合に、ブートストラッピング・エラーまたは深刻なエラー（例えば 1V8 UVLO）時にビジー状態であることを示します。		DOod
19	WAKE	パワーアップをイネーブルしてハイバネート・モードを終了するには、このピンをハイにします。WAKE ピンが V_{SA} に短絡されていない場合は、外部プルダウン抵抗の使用を推奨します。	VSA	DI

機能図

TMC9660

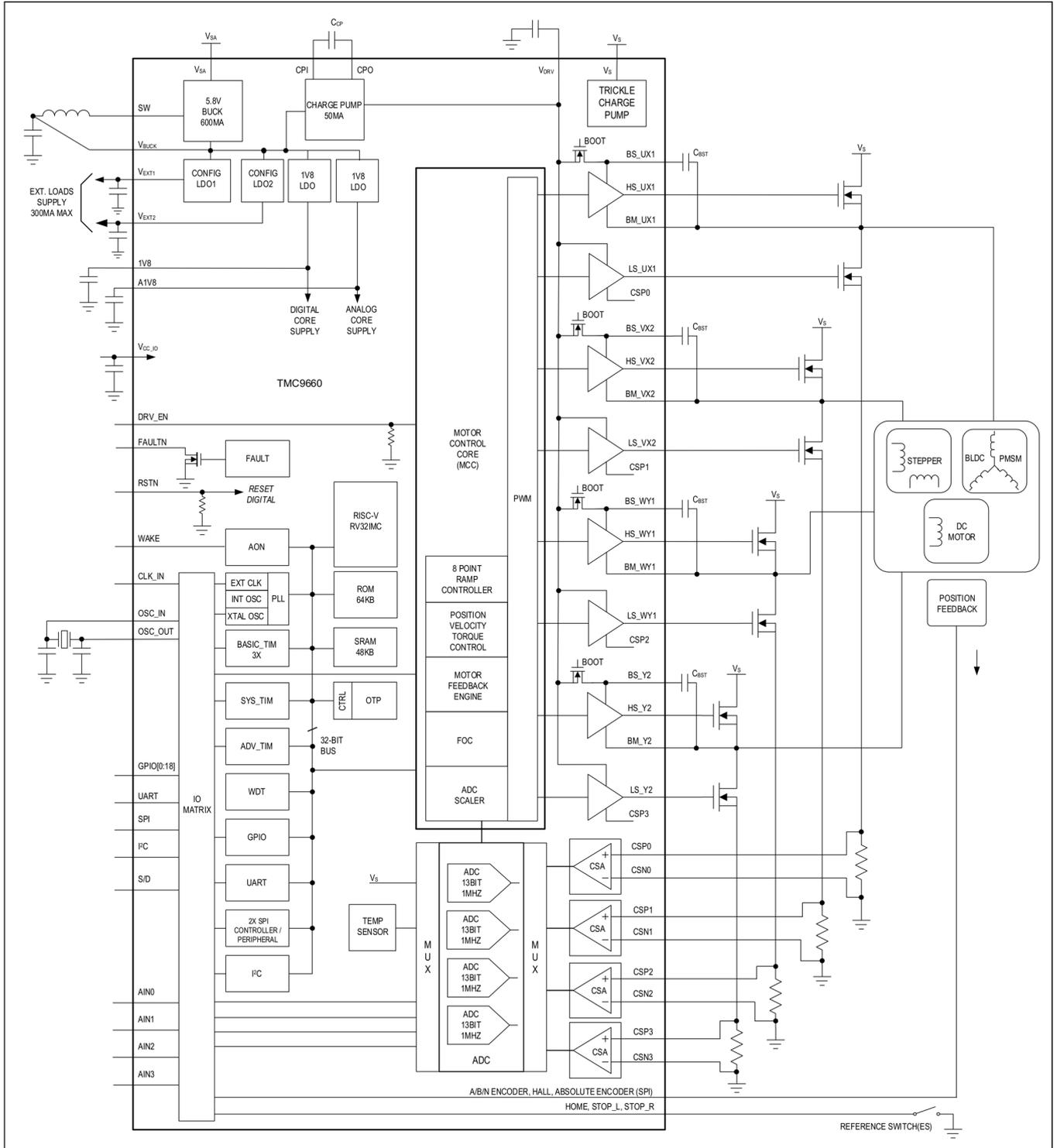


図 3. 詳細ブロック図

アプリケーション・モード

TMC9660 では、その内蔵マイクロコントローラを通じて 2 つの異なるアプリケーション・モード、つまり、より高レベルのパラメータ・モードと低レベルのレジスタ・モードを使用できます。アプリケーション・モードの選択は、チップ・ブートストラッピング・シーケンスの一部です。

レジスタ・モードでは、特別な機能を使わずにハードウェア・レジスタに直接アクセスできます。パラメータ・モードではソフトウェアによる追加支援機能を使い管理された形でハードウェアにアクセスできるので、システムの能力が向上します。

表 2. それぞれのアプリケーション・モードで TMC9660 がサポートする機能

FEATURE	PARAMETER MODE	REGISTER MODE
FOC motor control in hardware	Y	Y
Hall and ABN feedback	Y	Y
Secondary AB feedback	Y	N
SPI encoder feedback	Y	N
BrakeChopper support	Y	N
Mechanical brake support	Y	N
StepDir	Y	N
Extended gate driver fault handling	Y	N
Communication heartbeat monitoring	Y	N
Motor parameter storage	Y	N
Script execution from external memory	Y	N
Automated GDRV bootstrapping	Y	N
Automated ADC calibration	Y	N
Configurable supply voltage monitoring	Y	N
ABN encoder initialization	Y	N
Basic reference switch support	Y	Y
Automated reference switch homing	Y	N

省電力モード

TMC9660 は、使用しないブロックをスイッチ・オフすることで消費電力を減らすオプションを複数備えています。加えて、ハイバネート・モードも使用できます。このモードに入ると、ドライバ段、降圧レギュレータ、外部的に使用できるすべての電圧、メモリとペリフェラルを使用するマイクロコントローラ、常時オン (AON) のブロックを除くアナログ・ブロックを含め、TMC9660 内部のすべてがスイッチ・オフされてリセットされます。AON ブロックには、ステータス情報を保持するための 16 個のレジスタに加えて、そのブロック用のレギュレータと 32.768kHz の内部発振器が含まれています。V_{SA} がオフになると、AON レジスタの内容と設定がリセットされます。AON ブロックは、「プッシュボタン」によるパワーオンとタイマーベースのパワーオンをサポートしています。デバイスのスタートアップをイネーブルしたりハイバネート・モードを終了したりするには、AON ブロックに接続された専用の WAKE 入力ピンをハイにする必要があります。このピンは、主電源電圧 (V_{SA}) までの電圧に耐えることができます。タイマー・ウェイクアップが設定されている場合、デバイスは、予め決められた時間が経過すると自動的にパワーアップします。

代表的なパワーダウン/ウェイクアップ手順は以下のとおりです。

- プロセッサが、外部 WAKE ピンまたはウェイクアップ・タイマーを通じてウェイクアップ方法を設定します。
- プロセッサがプロセッサ自体を含むすべてのコンポーネントをパワーダウンし、消費電力を最小限に抑えるためにデジタル部分がリセット/ハイバネート・モードに置かれます。
- 選択に応じ、デバイスは WAKE ピンの立上がりエッジまたはウェイクアップ・タイマーのオーバーフロー時にリセット・モードとハイバネート・モードを終了して、再度パワーアップします。

電源 — 電気的特性

(特に指定のない限り、 $V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、 $V_{CC_IO} = 2.2V \sim 5.5V$ 、 $L_{BUCK} = 27\mu H$ 、 $DCR < 300m\Omega$ 、 $C_{BUCK} = 8\mu F$ 、 $CPP1 = 220nF$ 、 $CVDRVE = 4.7\mu F$ 、ジャンクション温度 = $-40^\circ C \sim 125^\circ C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL	
OPERATING VOLTAGE RANGE								
Core Supply Voltage Range (V_{SA})	V_{VSA_RNG}		7.7		80	V	II	
Driver Operating Voltage Range (V_S)	V_{VS_RNG}	12V gate drive – Buck = 5.8V	7.7		70	V	II	
GPIO Supply Voltage Range (V_{CC_IO})	$V_{VCC_IO_RNG}$		2.2		5.5	V	II	
CURRENT CONSUMPTION								
V_{SA} Quiescent Current Consumption	I_{VSA_Q}	PMU, GDU, MU and digital core enabled. Quiescent operation (not switching).	$V_{VSA} = 24V$		13		mA	VI
			$V_{VSA} = 48V$		10			VI
V_S Quiescent Current Consumption	I_{VS_Q}	GDU enabled. Quiescent operation (not switching).	$V_{VS} = 24V$		2.1	3	mA	II
V_{BUCK} Quiescent Current Consumption	I_{VBUCK_Q}	PMU, GDU, MU and digital core enabled. Quiescent operation (not switching).	Entire Chip Enabled		36	47	mA	II
V_{DRV} Quiescent Current Consumption	I_{VDRV_Q}	GDU enabled. Quiescent operation (not switching).	$V_{DRV} = 11.6V$		1.4	2	mA	II
Quiescent Current Consumption V_{CC_IO}	I_{VCC_IO}	GPIOx stable PU disabled			3.8	15	μA	II
V_{SA} Current Consumption - Hibernate Mode	I_{VSA_HIB}	Hard hibernate mode	Buck and Driver and Logic shut down.		12.7	40	μA	II
V_S Supply Leakage Current - Hibernate Mode	I_{VS_HIB}	Hard hibernate mode	Buck and Driver and Logic shut down.			6	μA	II

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested

IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

汎用入出力に関する説明

TMC9660 には、19 個の汎用デジタル入出力 (GPIO) があります。それぞれの GPIO ピンは、デジタル入力または出力として個別に設定できます (プッシュプル)。入力は、 V_{CC_IO} への内部プルアップ抵抗または GND へのプルダウン抵抗を使い、個別に設定できます。GPIO ピンは、ペリフェラル・ブロックからの代替デジタル入力/出力およびアナログ入力と共用され、これはピンごとに設定できます。

パワーアップ時には、4 つのアナログ入力 AIN0~3 すべてがピン 58~61 のデフォルトとして選択され、その他 GPIO は入力として設定されます。GPIO0 と GPIO1 については内部プルダウン抵抗がイネーブルされ、その他の GPIO6~18 についてはすべてプルアップがイネーブルされます。アナログ入力にはイネーブルするプルアップ抵抗やプルダウン抵抗はありません。これらのピンを使用しない場合は、外部の定められた電圧レベルに接続する必要があります (例えば GND)。

初めてのパワーアップ時には、内蔵のブートローダが UART および SPI ペリフェラル・インターフェースを設定して、どちらかのインターフェースでコマンドを受け入れます。UART 通信の場合、ピン 63 では GPIO7 ではなくシリアル・データ入力信号 UART_RX が選択され、ピン 62 では GPIO6 ではなくシリアル・データ出力信号 UART_TX が選択されます。ブートローダは UART_RX を通じて受け取るすべてのコマンドをリスニングし、有効なコマンドを受信すると、UART_TX を通じて応答メッセージが送信されます。

SPI 通信の場合は、SPI ペリフェラル・ブロックが初期化されて SPI0_MOSI、SPI0_SCK、および SPI0_CS0 に送られてくるデータ、クロック、およびチップ・セレクトの信号をリスニングし、SPI0_MISO を出力に切り替えて、SPI0_CS0 が外部的にプルダウンされるとすぐにデータを送信します。ピン 1 では GPIO9 ではなく SPI0_MISO が選択され、ピン 2 では GPIO10 ではなく SPI0_MOSI、ピン 3 では GPIO11 ではなく SPI0_SCK、そしてピン 4 では GPIO12 ではなく SPI0_CS0 が選択されます。

ブートローダは、アプリケーション回路の要求に従って代替ピン機能を選択することもあります。設定は内部 OTP メモリに書き込んで永続的に保存できます。この設定は、その後のすべてのパワーアップ時のデフォルトとして使われます。

図 4 と図 5 は、GPIO とアナログ入力 GPIO の等価入力回路図です。ピンをアナログ入力として設定した場合はその範囲が 0V~1.2V に制限され、アナログ・ピンに 1.8V を超える電圧が加えられると、ADC の損傷を避けるためにアナログ・スイッチが開いて、フォルトがトリガされます。

表 3. 代替機能の対応表

PIN	AF0 (DEFAULT*)	AF1	AF2	AF3	AF4
56	GPIO0 (input with pull-down)	OSC_IN	CLK_IN	UART_TX	
57	GPIO1 (input with pull-down)	OSC_OUT	UART_RX		ENC_B
58	AIN0	GPIO2	UART_TXEN	STOP_L	HALL_U
59	AIN1	GPIO3	TIM_ADV_OUT1	STOP_R	HALL_V
60	AIN2	GPIO4	I2C_SCL	HOME	HALL_W
61	AIN3	GPIO5	I2C_SDA	ENC_A	
62	GPIO6 (input with pull-up)	UART_TX*	TIM_ADV_IN0	SPI0_SCK	
63	GPIO7 (input with pull-up)	UART_RX*	TIM_ADV_IN1	HOME	HALL_U
64	GPIO8 (input with pull-up)	UART_TXEN	SPI0_CS1	ENC_A	HALL_W
1	GPIO9 (input with pull-up)	SPI0_MISO*	TIM_ADV_IN2		HALL_U
2	GPIO10 (input with pull-up)	SPI0_MOSI*	TIM_ADV_OUT0		HALL_W
3	GPIO11 (input with pull-up)	SPI0_SCK*	I2C_SDA	TIM_ADV_IN1	
4	GPIO12 (input with pull-up)	SPI0_CS0*	I2C_SCL	STOP_L	
5	GPIO13 (input with pull-up)	SPI0_CS1	I2C_SCL	ENC_B	
6	GPIO14 (input with pull-up)	I2C_SDA	SPI1_SCK	ENC_N	
10	GPIO15 (input with pull-up)	TIM_ADV_IN0	SPI1_CS0	HOME	HALL_V
11	GPIO16 (input with pull-up)	TIM_ADV_IN1	SPI0_CS2	STOP_L	ENC_N

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

12	GPIO17 (input with pull-up)	TIM_ADV_IN2	SPI1_MISO	ENC_A	HOME
13	GPIO18 (input with pull-up)	TIM0_BASIC_PWM	SPI1_MOSI	STOP_R	ENC_B

*ハードウェアのデフォルトは、パワーアップ時にブートローダによってオーバーライドされます。

表 4. ペリフェラル・ピンの説明

ピン・グループ	説明
GPIO0..18	汎用デジタル入出力。これらの信号は、オプションのプルアップまたはプルダウン抵抗を使って入力に設定するか、デジタル出力に設定できます (プッシュプル)。 パラメータ・モードでは、電源電圧を制限する外部ブレーキ・チョッパ回路用として、使用可能なすべての GPIO 出力ピンにヒステリシススペースの 2 ポイント制御信号を設定できます。
AIN0..3	測定ユニット (MU) の ADC 入力に接続されたアナログ入力。これは、その時点のモータのパルス幅変調 (PWM) 周波数でサンプリングされます。値はモータ制御コア (MCC) を通じて得られます。 パラメータ・モードは外部温度センサーをサポートしており、これは AIN3 に接続する必要があります。
OSC_IN, OSC_OUT	内部発振器ではなく外部水晶発振器を使用する場合は、これら 2 本のピンの間に水晶発振器を接続します。
CLK_IN	内部発振器に代えて外部クロックを使用する場合の外部クロック入力。
UART_TX, UART_RX, UART_TXEN	UART シリアル送信データ出力 (Tx) と受信データ入力 (Rx)。半 2 重動作では、外部トランシーバにトランスミッタ・イネーブル信号 (TxEN) を接続できます (例えば RS485)。 アプリケーション・プロセッサとの通信には UART を使用できます (ブートローダ設定)。
I2C_SCL, I2C_SDA	I ² C インターフェース、クロック出力のみのコントローラ・モード。プログラムおよびパラメータの保存用に I ² C EEPROM を外付けできます (ブートローダ設定)。
STOP_L, STOP_R, HOME	MCC の内部 8 ポイント・ランプ・ジェネレータに接続する STOP_L/R および HOME のスイッチ入力。
ENC_A, ENC_B, ENC_N	内部 MCC のフィードバック・エンジンに直接接続するインクリメンタル・エンコーダの A/B/N 入力チャンネル。
HALL_U, HALL_V, HALL_W	内部 MCC のフィードバック・エンジンに直接接続するホール・センサーの UV/W 入力チャンネル。
TIM_ADV_IN0, TIM_ADV_IN1, TIM_ADV_IN2, TIM_ADV_OUT0, TIM_ADV_OUT1	拡張タイマー・ペリフェラル・ブロックの入力と出力。パラメータ・モードでは、TIM_ADV_IN0/TIM_ADV_IN1 をステップ/方向入力として、あるいはプロセッサ/ソフトウェアのサポートにより、もう 1 つのインクリメンタル・エンコーダの A/B チャンネル入力として設定できます (パラメータ・モード)。
TIM0_BASIC_PWM, TIM_ADV_OUT0, TIM_ADV_OUT1	パラメータ・モードで、タイマー出力の 1 つに対して外部電磁ブレーキ・ドライバ用の PWM 制御信号を設定できます。
SPI0_MISO, SPI0_MOSI, SPI0_SCK, SPI0_CS0, SPI0_CS1, SPI0_CS2	コントローラ・モードをサポートする SPI ブロック 0 (SPI0_MISO : シリアル・データ入力、SPI0_MOSI : シリアル・データ出力、SPI0_SCK : クロック出力、SPI0_CSx : チップ・セレクト出力/アクティブ・ロー)。プログラムとパラメータの保存用に SPI フラッシュ・メモリを外付けできます (ブートローダ設定)。パラメータ・モードでは、プロセッサ/ソフトウェアのサポートにより、SPI による外部アブソリュート・エンコーダの接続にこのインターフェースを使用できます (パラメータ・モード)。 注 : SPI ブロック 0 は SPI ペリフェラル・ブロックに置き換えることができます。この場合は、信号の方向が変わります (SPI0_MISO : シリアル・データ出力、SPI0_MOSI : シリアル・データ入力、SPI0_SCK : クロック入力、SPI0_CS0 : チップ・セレクト入力)。このインターフェースは、UART 通信に代わる高速通信方法として、アプリケーション・プロセッサとの通信に使用できます (ブートローダ設定)。 SPI とフラッシュの接続では、柔軟性を高めるためにソフトウェアでチップ・セレクト信号が生成されます。使用可能なすべての GPIO ピンは、SPI ペリフェラル・ブロック 0 がハードウェアでサポートする専用信号 (SPI0_CSx) としてだけでなく、チップ・セレクト信号として設定できます。
SPI1_MISO, SPI1_MOSI, SPI1_SCK, SPI1_CS0	コントローラ・モードをサポートする SPI ブロック 1 (SPI1_MISO : シリアル・データ入力、SPI1_MOSI : シリアル・データ出力、SPI1_SCK : クロック出力、SPI1_CS0 : チップ・セレクト出力/アクティブ・ロー)。プログラムとパラメータの保存用に SPI フラッシュ・メモリを外付けできます (ブートローダ設定)。パラメータ・モードでは、プロセッサ/ソフトウェアのサポートにより、SPI による外部アブソリュート・エンコーダの接続にこのインターフェースを使用できます (パラメータ・モード)。

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

注：SPI ブロック 1 は SPI ペリフェラル・ブロックに置き換えることができます。この場合は、信号の方向が変わります (SPI1_MISO：シリアル・データ出力、SPI1_MOSI：シリアル・データ入力、SPI1_SCK：クロック入力、SPI1_CS0：チップ・セレクト入力)。このインターフェースは、UART 通信に代わる高速通信方法として、アプリケーション・プロセッサとの通信に使用できます (ブートローダ設定)。

SPI とフラッシュの接続では、柔軟性を高めるためにソフトウェアでチップ・セレクト信号が生成されます。使用可能なすべての GPIO ピンは、SPI ペリフェラル・ブロック 1 がハードウェアでサポートする専用信号 (SPI1_CS0) としてだけでなく、チップ・セレクト信号として設定できます。

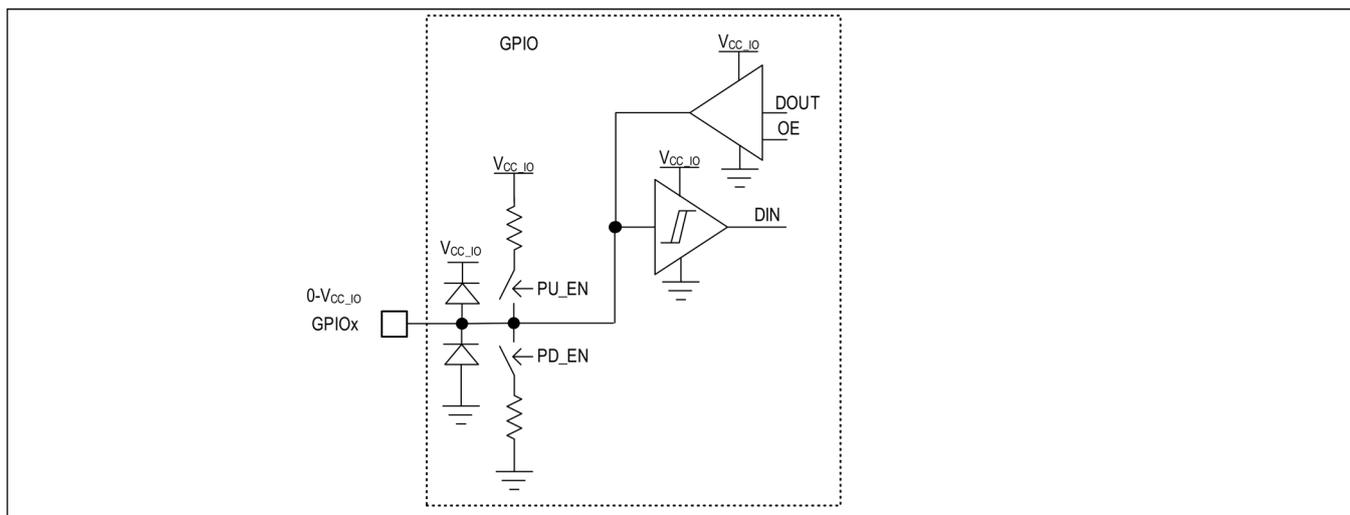


図 4. GPIOx - 汎用デジタル入出力のブロック図

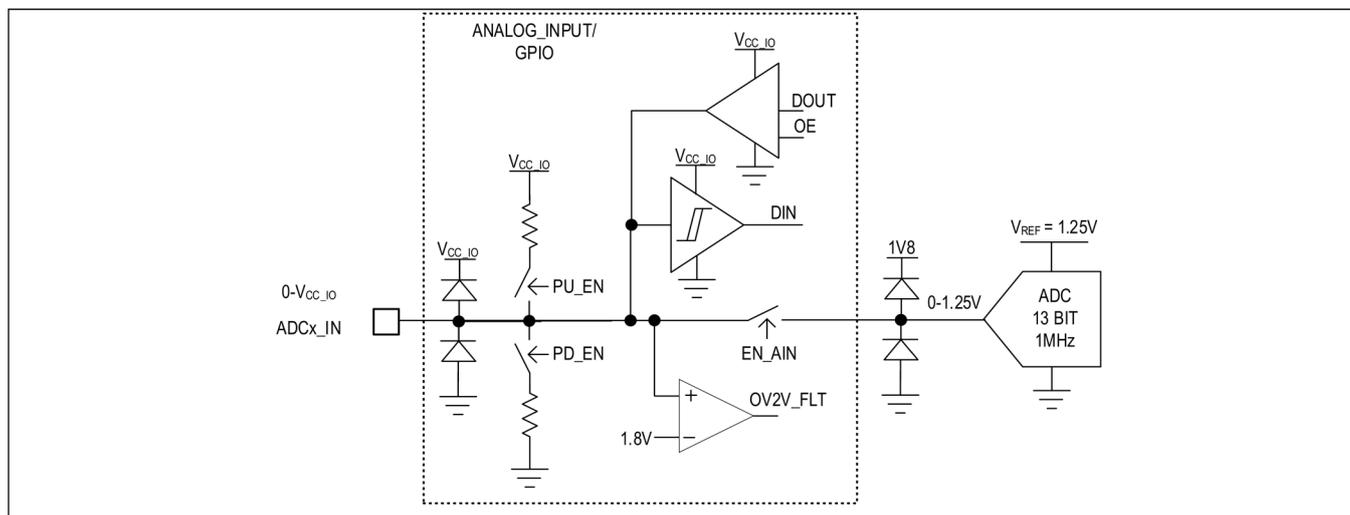


図 5. AINx - アナログ入力と汎用デジタル入出力のブロック図

GPIO の電気的特性

($V_{SA} = 7.7V \sim 80V$ 、 $V_{CC_IO} = 2.2V \sim 5.5V$ 、ジャンクション温度 = $-40^{\circ}C \sim 125^{\circ}C$ 、動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
GPIO/Input Configuration							
Resistive Pull-Up	R _{PU}		60	100	140	k Ω	II
Resistive Pull-Down	R _{PD}		60	100	140	k Ω	II
Logic Input Leakage Current	I _{LEAK}		-1		1	μ A	II
Input Voltage Level High	V _{IH}		2			V	II
Input Voltage Level Low	V _{IL}				0.8	V	II
Hysteresis	HYST			0.27		V	II
Logic Input Leakage Current	I _{LEAK}	PU/PD disable	-1		1	μ A	II
GPIO/Output Configuration							
Logic High Output Voltage	V _{OH}	IPD = 5mA	$V_{CC_IO} - 0.4$			V	II
Logic Low Output Voltage	V _{OL}	IPU = 5mA			0.4	V	II

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

マイクロコントローラ・ユニットの説明

TMC9660 には、事前にプログラムされたマイクロコントローラ・システム（マイクロコントローラ・ユニット/MCU）が組み込まれており、ここでは 40MHz で動作する 32 ビットの RISC-V マイクロプロセッサが使われています。また、このシステムには、SRAM（48KB）、OTP、およびブートローダを格納した読み出し専用メモリ（ROM）、直接レジスタ・アクセス機能とパラメータ・ファームウェア、一連の通信用ペリフェラル（SPI、UART、および I²C）、モータ制御機能（MCC、スマート・ゲート・ドライバ、測定ユニット/MU を含む）、および複数のタイマー・ユニットも組み込まれています。パワーオン後は、ブートローダが ROM から自動的に起動します。

タイマー

MCC には、モータ制御に関連する PWM 生成、フィードバック・システム・デコーディングによるモータ位置カウント、および ADC と CSA による MU のサンプル時間生成に使用する、すべてのタイマー・ユニットが組み込まれています。更に、一般的なプログラム実行をサポートしたり、追加的機能に使用したりする別のタイマー・ペリフェラルがあります。

システム・タイマー

システム・タイマー・ユニットは 64 ビット・カウンタで構成されています。パワーアップ後にプロセッサが命令を実行し始めると、すぐにタイマーがシステム・クロックを使ってカウント・アップを開始します。このタイマーはブートローダ、レジスタ、およびパラメータ・モード・ファームウェアによって使われ、他の目的に使われることはありません。

基本タイマー

TMC9660 は 3 つの基本タイマー・ユニットを内蔵しています（TIM0_BASIC、TIM1_BASIC、TIM2_BASIC）。基本タイマー・ユニットは、32 ビット・カウンタ制限レジスタと 32 ビット比較レジスタを備えた、1 つの 32 ビット自動リロード・カウンタで構成されます。最初のユニットでは、TIM0_BASIC_PWM に使用できる PWM 信号を生成するために、制限および比較レジスタを使用できます。

拡張タイマー

拡張カウンタ・ユニット（TIM_ADV）は、32 ビット比較レジスタと、基本カウンタと同様の補助アップ・カウンタ 2 つを備えた、32 ビット自動リロード・アップ/ダウン・カウンタ 1 つで構成されます。更に、3 つのカウント値取得レジスタと 2 つのカウント値比較レジスタがあります。カウントの制御とキャプチャ・イベントのトリガには、最大 3 つのデジタル入力（TIM_ADV_IN0、TIM_ADV_IN1、TIM_ADV_IN2）を使用できます。2 つの比較レジスタからの結果は、出力信号 TIM_ADV_OUT0 および TIM_ADV_OUT1 として提供されます。

パラメータ・モードでは、拡張タイマー・ブロックはステップ/方向入力信号のサポート、または TIM_ADV_IN0 および TIM_ADV_IN1 のもう 1 つの A/B インクリメンタル・エンコーダのサポートに使われます。他の目的に使用することはできません。

ウォッチドッグ・タイマー

TMC9660 は 32 ビットのウォッチドッグ・タイマーを内蔵しています。このタイマーは AON ブロックと共有の内部 32kHz 発振器を使用し、システム・クロックに使われる内部 15MHz 発振器から分離されています。このウォッチドッグ・タイマーはスタートアップ時にレジスタとパラメータ・モード・ファームウェアで設定されてイネーブルされ、次の電源サイクルまでディスエーブル/変更することはできません。ウォッチドッグが ROM ファームウェアが求めるペースで定期的リセットされず、カウンタが現在の制限値を超えた場合は、ウォッチドッグ・イベントが生成されます。この場合はプロセッサと、MCC および PWM ユニットの含むすべてのペリフェラルがリセットされて、ドライバ段がディスエーブルされます。したがって、モータへのすべての電源供給がオフになります。

UART

UART は、業界標準の NRZ 非同期シリアル・データ・フォーマットを使用する外部デバイスとの全 2 重データ交換をサポートしています。UART は、分数ボー・レート・ジェネレータを使用して 5Mbit/s（8 倍のオーバーサンプリング）までの広範なボー・レートに対応しており、オプションで自動ボー・レート検出（オートボー）機能をサポートしています。

表 5. UART ボー・レート

BAUD RATE	MANTISSA (x16)	FRACTION (x16)	MANTISSA (x8)	FRACTION (x8)
300	8333	5	16666	5
600	4166	10	8333	2
1200	2083	5	4166	5
2400	1041	10	2083	2
4800	520	13	1041	5
9600*	260	6	520	6

19200*	130	3	260	3
38400*	65	1	130	1
57600*	43	6	86	6
115200*	21	11	43	3
230400*	10	13	21	5
250000*	10	0	20	0
460800	5	6	10	6
500000	5	0	10	0
921600	2	11	5	3
1000000	2	8	5	0
2000000	1	4	2	4
2500000	1	0	2	0
4000000	-	-	1	2
5000000	-	-	1	0

*40MHz システム・クロックで自動ポー・レート検出をサポート

UART 双方向通信には、少なくとも 2 本のピン、つまり受信データ入力 (UART_RX) と送信データ出力 (UART_TX) が必要です。通信時のシリアル・データの送信と受信は、これらのピンを通じて行われます。最初のパワーオン後、ブートローダはピン 63 を GPIO7 ではなく UART_RX として設定し、UART は送られてくるメッセージをリスニングします。通常、UART 通信のアイドル状態は「1」です。1 つの通信フレームは、常に、スタート・ビット (0)、8 ビットのデータ (LSB ファースト)、およびストップ・ビット (1) で構成されます。ブートローダ・コマンドと応答による通信のメッセージは、常に 8 つの通信フレーム/バイトで構成されます。

ブートローダは、オートポーをオンにして UART ブロックを設定します。通常、コマンド・メッセージの最初の文字は 0x55 です。このパターンはポー・レートの検出に使われます。これに続く文字はデバイス・アドレス (設定可能)、コマンド・バイト × 1、データ・バイト × 4 (32 ビット値で、最上位バイトが最初に送信される) で、最後が巡回冗長検査 (CRC) のチェックサム・バイト × 1 です。コマンドの 2 つのバイトの時間間隔が約 100ms を超える場合は、新しいコマンドが送られてくることが予想されるのでそのメッセージは破棄され、既に受信されたすべてのバイトが入力キューから削除されます。

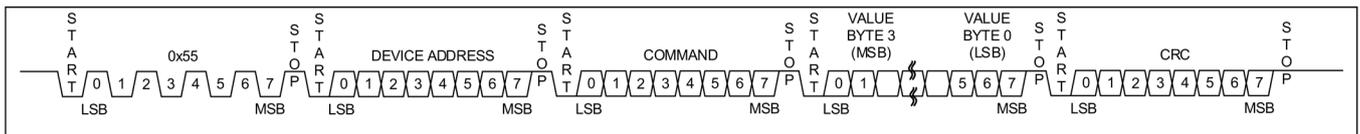


図 6. ブートローダの UART コマンド・メッセージ (受信)

ブートローダの通信は、フロー制御用のコマンドと応答のハンドシェイク・メカニズムに依存しています。応答データグラムが受信される前に次のコマンドが送られないようにする必要があります。

応答メッセージはコントローラ・アドレスで始まり (デフォルト 0xff)、デバイス・アドレス、ステータス・バイト × 1、MSB ファーストのデータ・バイト × 4 (32 ビット値) と続いて、CRC チェックサム・バイト × 1 で終わります。

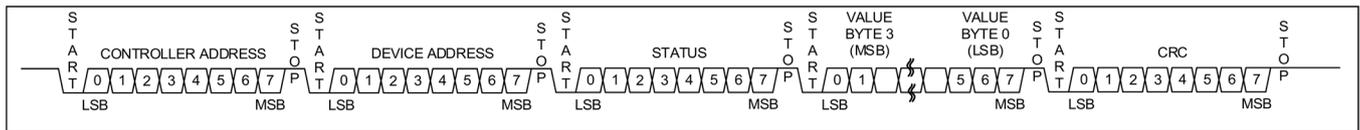


図 7. ブートローダの UART 応答メッセージ (送信)

これらのバイトの詳細い内容については、[ブートローダ](#)のセクションを参照してください。

システム・クロックが 40MHz の場合、オートポー検出メカニズムには 9,600 ビットから 250,000 ビットまでの標準ポー・レートを使用できます。ポー・レートがこれより高い場合は、通常、固定ポー・レートに設定して、内部クロック・ジェネレータではなく、より高精度の外部クロックまたは水晶発振器クロックを使用する必要があります。

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

最小限の追加コンポーネントとワイヤで多軸ソリューションをサポートするために、UART とブートローダは、TMC9660 をシリアル・バスに接続するための双方向通信もサポートしています (例えば RS485)。UART には、外部トランシーバをハードウェアで直接制御するための追加的な信号、UART_TXEN を使用できます。

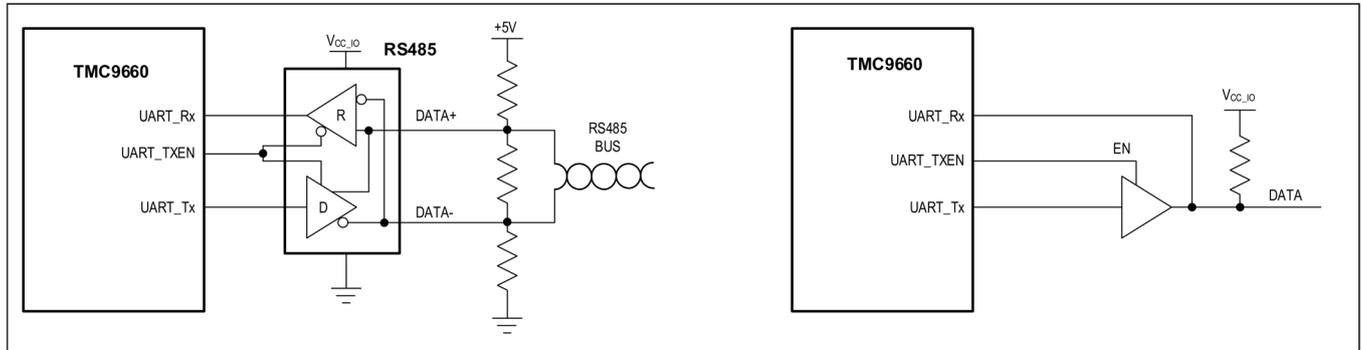


図 8. 外部トランシーバを実装した UART

アクティブ・ハイのトランシーバ・イネーブル信号 UART_TXEN は、送信モードとアイドル/受信モードの間でグリッチのない遷移を実現するために、UART_TXEN を通じてスタート・ビットが送信される前 (t_{PRE}) にアクティブにして、ストップ・ビットの後も一定時間 (t_{POST}) アクティブのままにしておくことができます。プリ遅延 (t_{PRE}) とポスト遅延 (t_{POST}) は、ブートローダで個別に設定できます。UART_TXEN 信号はピン 64 (GPIO8) またはピン 58 (AIN0) に割り当てることができます。

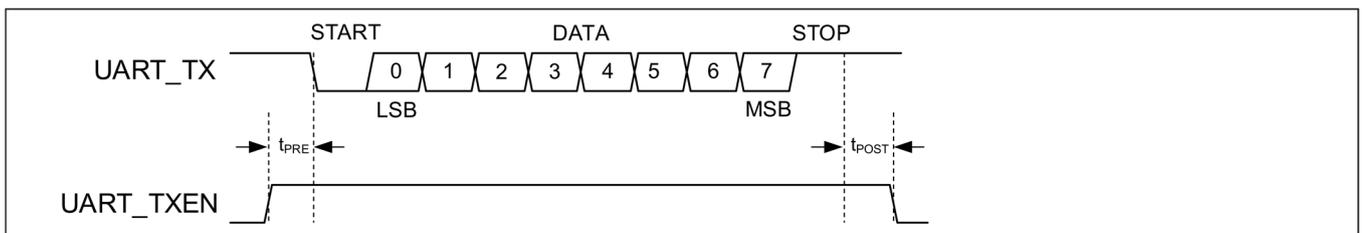


図 9. プリ/ポスト遅延設定オプションを備えた UART トランシーバ・イネーブル信号 UART_TXEN

コントローラおよびデバイス・アドレスは、ブートローダ・プロトコルの一部です。これにより、追加のコンポーネントと接続を最小限に抑えながら、デバイス (TMC9660) ごとに 1 つのコントローラと複数のモータ軸を持つシステムをセットアップできます。

SPI

TMC9660 には、外部 SPI ペリフェラル (必要なチップ・セレクト信号とクロック信号を生成) を制御するための SPI ブロック (SPI0/SPI1) が 2 つと、TMC9660 をペリフェラルとして外部アプリケーション・プロセッサに接続するための SPI ブロックが 1 つ含まれています。この場合、アプリケーション・プロセッサは、SPI 通信に必要なチップ・セレクト信号とクロック信号を生成するコントローラとして動作します。このペリフェラル SPI ブロックは GPIO マトリックスの SPI0 または SPI1 代替機能信号に割り当てることができ、いずれの場合も CS0 だけがサポートされます。ブートローダは 40 ビットの固定データグラム長をサポートしていて MSB が最初に送信され、通信には SPI モード 3 を使用します。つまり、クロック信号 (SCK) の立上がりエッジで受信データをサンプリングして (MOSI)、立下がりエッジでデータをシフト・アウトします (MISO)。最大 10MHz の SPI クロック周波数がサポートされています。最初のパワーオン時は SPI ペリフェラル・ブロックが SPI0 に割り当てられて、ピン 1 には GPIO9 ではなく SPI0_MISO が接続され、ピン 2 には GPIO10 ではなく SPI0_MOSI が、ピン 3 には GPIO11 ではなく SPI0_SCK が、そしてピン 4 には GPIO12 ではなく SPI0_CS0 が接続されます。ブートローダは信号 SPI0_MOSI、SPI0_SCK、SPI0_CS0 をリスニングして SPI0_MISO 出力をアクティブにし、SPI0_CS0 がローになると直ちにデータを送信します。

ハードウェアによるサーボ (FOC) コントローラと降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

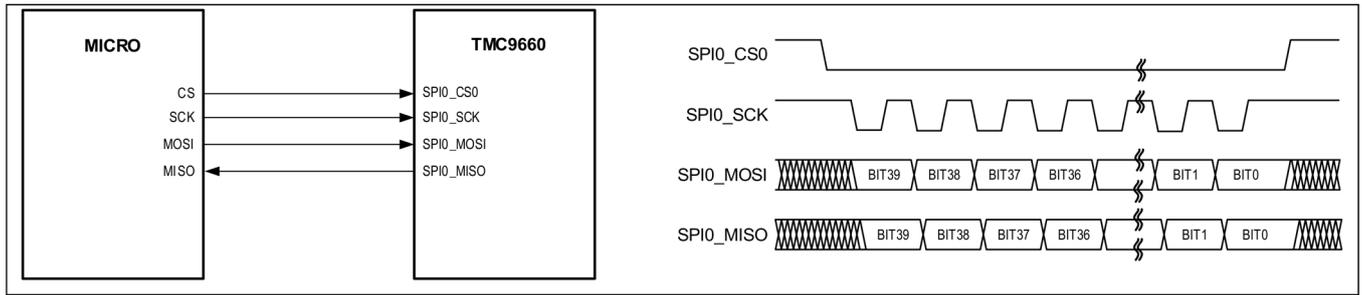


図 10. SPI パリフェラルとしてアプリケーション・プロセッサに接続された TMC9660 とブートローダ・モードの SPI 通信

外部マイクロコントローラから TMC9660 への 40 ビット・データグラムは、8 ビットのコマンド・バイト 1 つと、その後続く 32 ビット (つまり 4 バイト) のデータで構成され、最上位ビット/バイトが最初に送信されます。このコマンドに対する TMC9660 から外部マイクロコントローラへの 40 ビットの応答は、常に後続の SPI データグラムで転送されます。応答データグラムは 8 ビットのステータス情報で始まってその後 32 ビット (4 バイト) のデータが続き、最上位ビット/バイトが最初に転送されます。

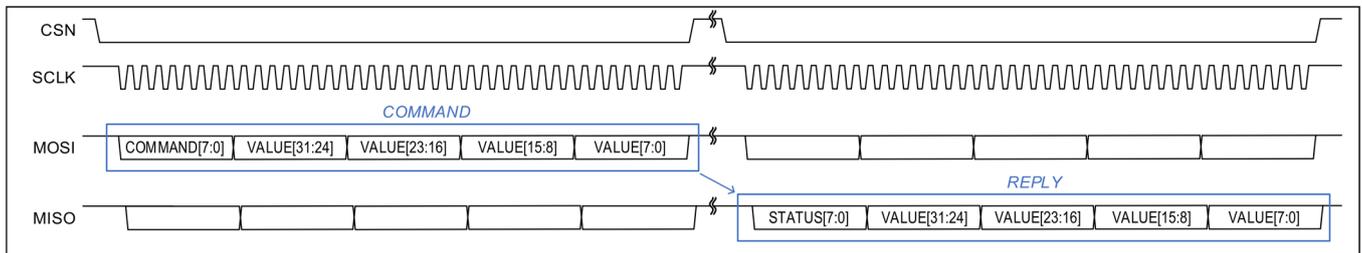


図 11. ブートローダ・モードでの SPI コマンドと応答データグラム

パワーアップ後初めての応答データグラムの status[7:0]には SESSION_START ステータス・コードが含まれており、value[31:24]にはメジャー番号で表したブートローダのバージョン情報が、value[23:16]には同じくマイナー番号が含まれています。

これらのデータグラムの詳しい内容については、[ブートローダ](#)のセクションを参照してください。

外部フラッシュ・メモリは、パラメータ・モード・ファームウェアのパラメータやプログラムを保存するために、パリフェラルとして SPI0 または SPI1 コントローラ・ブロックに接続できます。ブートローダは、ピン割り当てや SPI モードの選択を含め、フラッシュ・メモリの設定をサポートしています。オプションで、ハードウェア CS_hは他の GPIO に置き換えることができます。

外部フラッシュとして、Windbond W25X40CL または互換命令セットを持つ同様のデバイスがサポートされています。

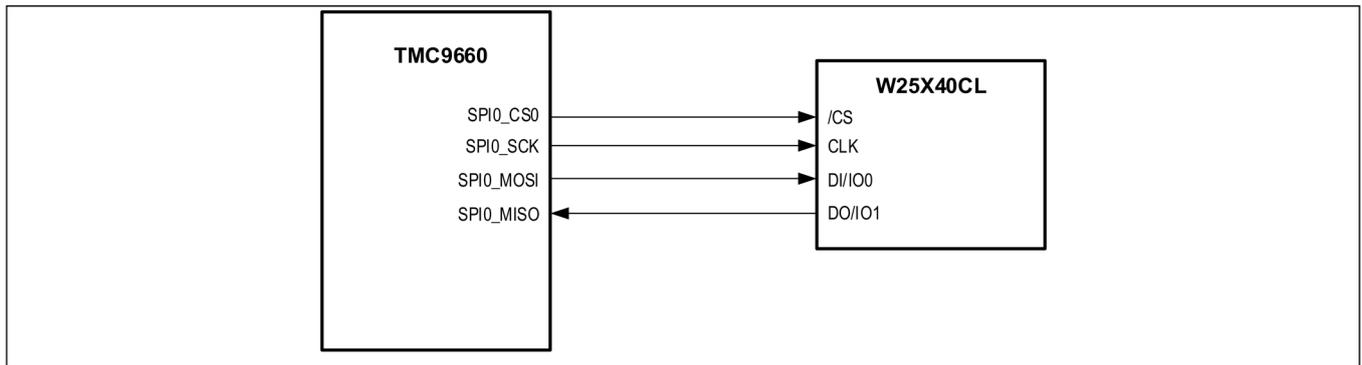


図 12. SPI を通じて接続された外部フラッシュ・メモリ

どちらの SPI コントローラ・ブロックも、4 つの異なる SPI モードをすべてサポートしています。これらのブロックには、それぞれ 16 バイト/128 ビットの書き込みバッファと読み出しバッファが含まれており、1 つのデータグラムで最大 128 ビットの転送をサポートしています。ハードウェアでサポートされている設定可能 GPIO マトリックスには、異なるチップ・セレクト信号が含まれています。SPI1 の機能セットは SPI0 より少なくなっています。更に、SPI0 では最大 2 データグラムの自動 SPI トランザクションを常時使用可能で、これは、例えばハードウェアによるモータ PWM によってトリガされます。この機能は、外部 SPI エンコーダからアブソリュート・エンコーダ情報を読み出すために使用できます。

I²C

TMC9660 は、外部 I²C ペリフェラル (例えば I²C EEPROM) の接続用に I²C コントローラを 1 つ内蔵しています。選択した場合、I2C_SCL と I2C_SDA は共にオープン・ドレイン信号で、正しく動作させるには V_{CC_IO} への外部プルアップ抵抗が必要です。I²C インターフェースは、100kbit/s、400kbit/s、および最大 1Mbit/s のデータ・レートをサポートしています。外部 I²C EEPROM は、パラメータ・モード・ファームウェアのパラメータやプログラムの保存に使用できます。ブートローダは、ピンの予約/設定を含む EEPROM の設定をサポートしています。24LC256、あるいは I²C 制御コードが 0xa でチップ・セレクト・ビットがゼロに設定され、分離アドレス (下位バイトと上位バイト) を持つ同様の EEPROM デバイスがサポートされています。

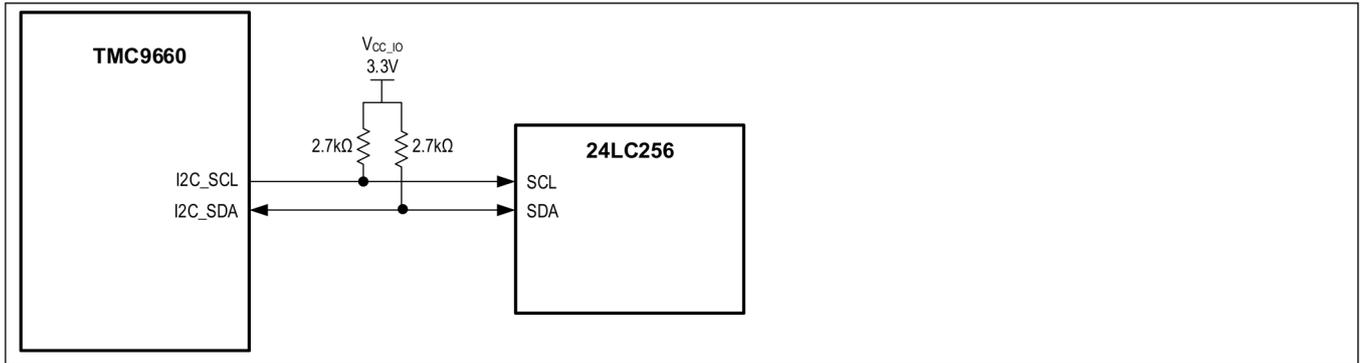


図 13. I²C を通じて接続された外部 EEPROM

SPI ペリフェラル—タイミング図

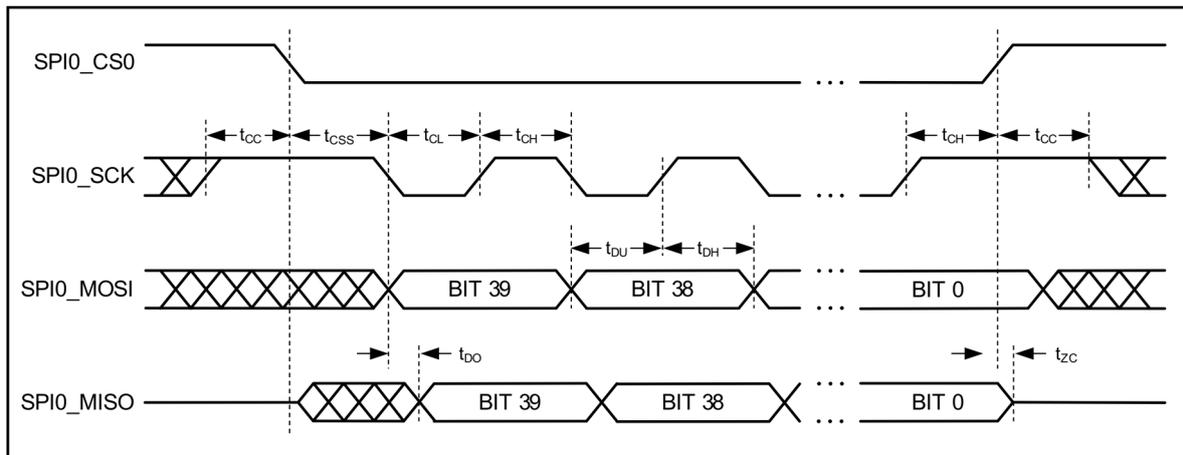


図 14. ブートローダ・モードにおける SPI ペリフェラルのタイミング図

SPI ペリフェラル—電気的特性

(V_{CC_IO} = 3V~5.5V、V_{SA} = 7.7V~80V、ジャンクション温度 = -40°C~125°C、SPI タイミングは設計により確保)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
SCK Valid Before or After Change of CS _n	t _{CC}		T _{SCK}			ns	VI
CS _n High Time	t _{CSH}		4x T _{CLK}			ns	VI
CS _n Setup Time	t _{CSS}		100			ns	VI
SCK Low Time	t _{CL}		20			ns	VI
SCK High Time	t _{CH}		20			ns	VI

($V_{CC_IO} = 3V \sim 5.5V$ 、 $V_{SA} = 7.7V \sim 80V$ 、ジャンクション温度 = $-40^{\circ}C \sim 125^{\circ}C$ 、SPI タイミングは設計により確保)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
SCK Frequency	f_{SCK}				10	MHz	VI
MOSI_ Setup Time Before SCK Rising Edge	t_{DU}		20			ns	VI
MOSI_ Hold Time After SCK Rising Edge	t_{DH}		20			ns	VI
MISO Valid Time After SCK Falling Edge	t_{DO}			21	40	ns	VI

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

モータ制御コアの説明

TMC9660 内部の MCC はハードウェアで実装されていますが、設定はソフトウェアによって行うので、非常に高い柔軟性を備えています。制御はベクトル制御電流コントローラ (FOC) に基づいており、三相ブラシレス・モータ (FOC3)、二相ステッピング・モータ (FOC2)、または DC モータをサポートしています。また、FOC コントローラに加えて、速度と位置による比例積分 (PI) コントローラと 8 ポイント・ランプ・ジェネレータからなるカスケード化されたサーボ制御ループ・アーキテクチャを内蔵しています。このアーキテクチャには、モータ電流測定用オンチップ測定ブロックとのインターフェースとして機能する ADC エンジンと、ロータ位置をフィードバックするためのエンコーダおよびホール・センサー用フィードバック・エンジンが含まれています。MCC は、約 2kHz~100kHz の制御ループ速度と PWM 周波数をサポートしています。

機能の概要

- ハードウェアによるトルクおよび磁束密度 (PI) 用ベクトル制御コントローラ/FOC
 - 三相ブラシレス・モータ用 (FOC3)
 - 二相ステッピング・モータ用 (FOC2)
- ハードウェアによる速度 PI コントローラ
- ハードウェアによる位置 PI コントローラ
- バイクワッド・ターゲット・トルク・フィルタ
- バイクワッド速度フィルタ
- 8 ポイント・ランプ・プロファイル・ジェネレータ
- 電流測定用 ADC エンジン
- ABN エンコーダ信号とデジタル・ホール信号をサポートするエンコーダ・フィードバック・エンジン (スケールリングと補外を含む)

ゲート・ドライバと ADC は内部で MCC に接続されています。インクリメンタル・エンコーダ信号 ENC_A/ENC_B/ENC_N とデジタル・ホール・センサー信号 HALL_U/HALL_V/HALL_W はエンコーダ・フィードバック・エンジンに直接接続されており、GPIO マトリックスを使って様々なパッケージ・ピンに設定できます。内蔵のランプ・プロファイル・ジェネレータは、停止およびリファレンスのスイッチ入力信号 STOP_L、STOP_R、および HOME を直接評価します。これらの信号は、異なるパッケージ・ピンに設定できます。

ベクトル制御

ベクトル制御/FOC は、可変周波数駆動 (VFD) 制御方式の一種で、ステータに巻線を持つブラシレス・モータに使われます。ロータ位置角の助けを借りて、ステータのコイル巻線を通るモータ電流は、トルク (I_q) と磁束 (I_d) を表す 2 つの線形時不変直交成分 (ベクトル) に変換されます (図 15)。この変換には、標準的な比例積分 (PI) コントローラと、DC モータで良く知られた制御アーキテクチャを使用できます。コントローラの出力は再び電圧レベルに変換され、更にモータ・コイル接続ごとに 1 つのハーフブリッジを駆動するために PWM 信号に変換されます。

FOC はモータ性能とエネルギー効率の点で優れていると考えられており、全回転速度範囲にわたるスムーズな動作、回転速度ゼロでのフル・トルク、および迅速な加速と減速による高い動的性能を実現します。

必要な変換にはこれまで別体のデジタル・コントローラが必要でしたが、TMC9660 は、FOC に基づく高性能のモータ制御を、高電圧ゲート・ドライバ、モータ電流測定、およびモータ位置フィードバックなどの処理と共に単一のモノリシック・デバイス上で使用できるようにしました。

最大限の制御性能を実現するには、モータ電流と同時にロータ位置を測定する必要があります。内部的な処理の遅延は TMC9660 内部で補償できますが、デコーダのフィードバック・システムがロータ位置を正確に測定できるようにすることが重要です。そのためには、通常、エンコーダをモータの軸に直接取り付けする必要があります。ギアボックスやベルト・システムの後に取り付けただけでは、始動/停止時や方向転換時にヒステリシスが生じてしまうからです。

三相 BLDC/PMSM モータでは、三相信号からパーク変換に必要な二相信号への変換やその逆の変換に、クラーク変換を使用します。二相ステッピング・モータではこの変換が不要なので、モータ・タイプの選択時にバイパスされます。ブラシ DC モータの場合は両方の変換がバイパスされます。

モータをトルク制御する場合は、MCC 内部のカスケード制御ループ・アーキテクチャの残り部分をバイパスして、トルク・リファレンス値 (I_{qREF}) を外部から直接設定できます。最大限の効率でモータを制御するために、通常は磁束リファレンス値をゼロに設定します。高回転速度モータの制御が焦点となる場合は、この他に、固定リファレンス値をコントローラ出力に置き換える弱め界磁コントローラが必要になります。

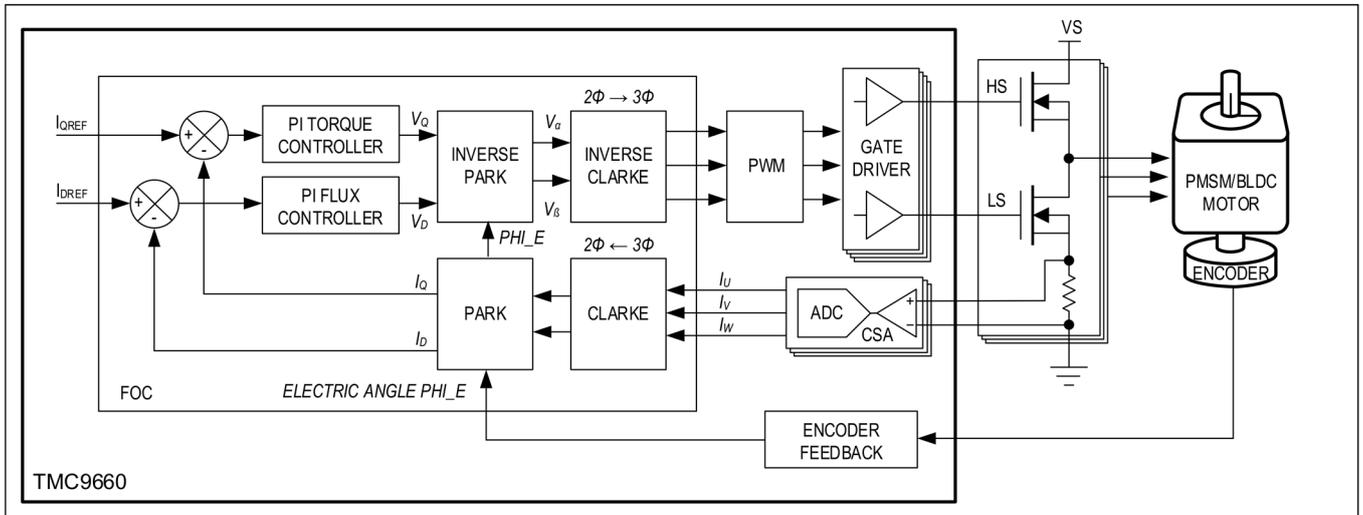


図 15. ベクトル制御電流コントローラ (FOC)

サーボ・コントローラ

TMC9660 内部の MCC には、セットアップと調整を容易にするトルク、速度、および位置用の位置および積分 (PI) コントローラのカスケード・チェーンで構成される、サーボ・コントローラが含まれています (図 16)。更に、目標とする位置および速度が変化した場合もスムーズかつ迅速な遷移を可能にするために、ランプ・ジェネレータを使用できます。

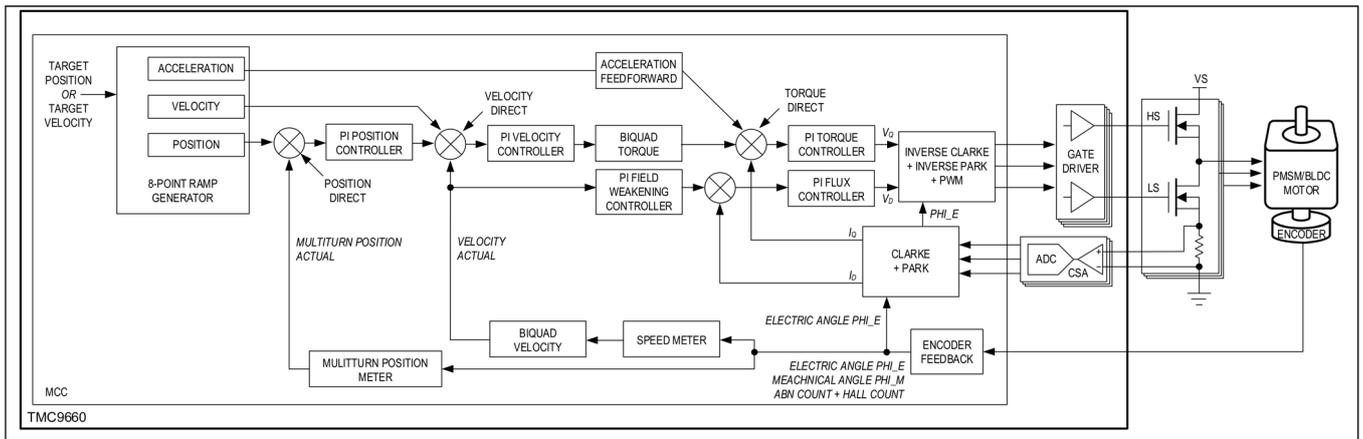


図 16. MCC サーボ・コントローラ

初期化後にチェーン全体を使用する場合は、アプリケーションのプロセッサからコマンドを 1 つ送るだけで、クローズド・ループ制御を使って、計算したランプに従い新しい目標位置への動作を開始できます。新しい目標位置が設定されると、直ちにオンザフライで新しいランプが計算されます。このランプは、PI コントローラのオーバーシュートや発振を避けるために、速度モードで異なる目標速度間の遷移に使用することもできます。ただし、すべてのサーボ制御部分を使用しなければならないわけではありません。トルク、速度、および位置の目標値は、他のコントローラ段をバイパスして直接設定することができます。

ハードウェアでの実装により、3つのPIコントローラすべての制御ループ周波数を、PWM周波数と同じ値、つまり最大100kHzに設定することができます。これにより、短い応答時間、高い帯域幅、および優れた動的性能が実現されます。トルク/電流コントローラだけをPWMジェネレータと同じ周波数に設定して、速度コントローラと位置コントローラの更新レートをより低い値 (PWM周波数の分数) に設定することも可能です。

FOC コントローラはパーク変換のためにロータの電氣的角度を必要としますが、速度 PI コントローラは最新のモータ速度測定値 (回転計) に依存します。最新のモータ速度は、カウント周波数 (通常は高速時に望ましい) または位置更新の時間間隔 (低速度時に有効) を測定することによってエンコーダ位置カウンタから得られ、ノイズ低減用の移動平均フィルタも使われます。更に測定ノイズを減らすために、速度測定ループにプログラマブル・バイクワッド・フィルタ (2次 IIR フィルタ) を追加して使用することもできます。

共振周波数の減衰を助けるために、速度コントローラとトルク・コントローラの間にもう 1 つのプログラマブル・バイクワッド・フィルタ (バイクワッド目標トルク) を使用できます。

位置コントローラには、位置変更用のマルチターン・アブソリュート・エンコーダ位置が必要です。位置コントローラ用に使用するエンコーダには、既にトルクおよび速度用に使われているものと同じエンコーダを使用できますが、例えばギアボックスの後などの異なる位置に別のエンコーダを取り付けることもできます (パラメータ・モードで使われる 2 つ目のエンコーダ)。

ランプ・ジェネレータ

位置の移動時や速度モードで動作するモータには、ランプ・ジェネレータを使用できます (図 17)。このランプ・ジェネレータは、始動速度 (VSTART)、加速フェーズの最大 3 つの異なるセグメント (A1、A2、AMAX)、減速フェーズの 3 つの異なるセグメント (D1、D2、DMAX)、そして最後に停止速度 (VSTOP) で設定できます。これらのセグメントには、最大限の柔軟性が得られるように、異なる加速度とプログラム可能な遷移速度 (V1、V2) を割り当てることができます。高速アプリケーションでは、高速時のモータ・トルク減少に合わせて、高回転速度時の加速度設定をより低い値に設定できます。スタートアップ時には、システムの摩擦と慣性に打ち勝つために加速度をより低いレベルに設定できますが、通常、中間的な部分では、時間的に制約のある動作のために加速度をより高い値に設定できます。また、摩擦を考慮して、加速フェーズより減速時間を短くすることができます。この場合のランプ形状は、例として示した図のように、非対称の疑似的な S 形となります。

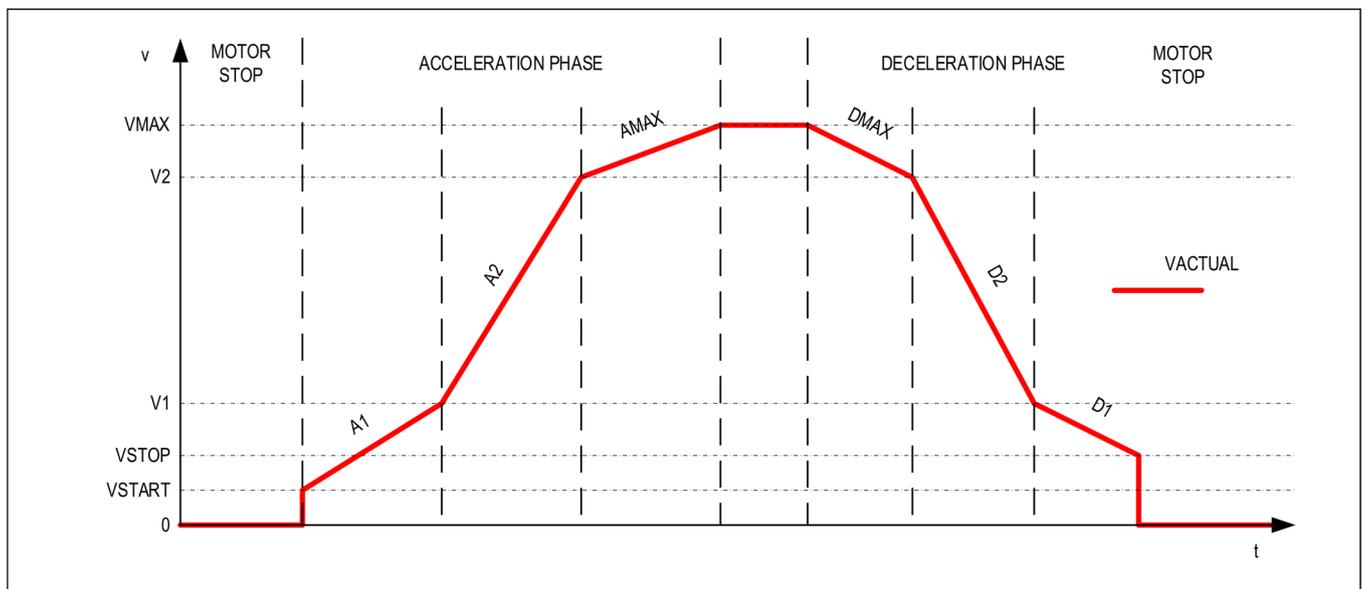


図 17. 疑似的な S 形の速度プロファイルで形成された 8 ポイント・ランプ・ジェネレータ

実際のランプは、新しい目標位置または速度が示されると、直ちにオンザフライで計算されます。距離や速度の変化によっては、必ずしもすべての異なる加速フェーズを使用できない場合や、動作時に最大速度に達しない場合があります。新しい目標値が設定されたときにモータが動いている場合、ランプ計算時は現在の速度が考慮され、それに基づいてリアル・タイムで計算されます。

ランプ・ジェネレータは、各方向に 1 つずつ最大 2 つの停止スイッチ入力をサポートしています (STOP_L と STOP_R)。停止スイッチがイネーブルされてアクティブになっている場合、モータは現在のランプ・パラメータに従って停止まで減速するか直ちに停止 (ハード・ストップ) して、それ以上その方向に動けなくなります。マルチターン・エンコーダ・カウンタを初期化するためのリファレンス検索用に、3 つ目のスイッチ入力があります。このスイッチの評価とランプ計算はハードウェアで実装されています。

エンコーダ・フィードバック

MCC 内部のエンコーダ・エンジンは、インクリメンタル・エンコーダの A/B/N 信号 (ENC_A、ENC_B、ENC_N) と、デジタル・ホール・センサーの信号 (HALL_U、HALL_V、HALL_W) を直接処理します (図 18)。

A/B/N デコーダには小さい入力フィルタがあり、このフィルタをイネーブルすると、システム・クロック (40MHz) の 3 サイクル分より短い入力パルスを無視することができます。イネーブルしない場合は 10MHz までの入力信号が処理されます。デコーダは A および B 受信チャンネルのエッジをカウントし、それに応じて内部エンコーダ・カウンタをインクリメントまたはデクリメントします。カウント方向は、異なるエンコーダ取付けオプションに合わせて補償をするために、反転することができます。オプションのエンコーダ N チャンネルは、機械的に 1 回転するごとに 1 個のパルスを生成します。この信号は、初期化時の再現性を確保するためのモータ軸の絶対ロータ角度測定に必要です。ホール・センサー信号もロータの絶対位置情報を提供するので、これを代わりに使用することもできます。機械的角度的計算には、1 回転あたり最大で 16,777,216 (2^{24}) エンコーダ・チック数または 4,194,304 ライン数 (エンコーダ・チック数/4) のエンコーダ分解能をサポートする、24 ビット・カウンタが含まれています。この機械的角度的から、その値をモータの極ペア数で除することによって電氣的角度的を求めます。極ペア数は最大 255 までサポートされています。機械的角度的も電氣的角度的も、エンコーダの分解能に関わらず 16 ビットの整数値にスケールされます。FOC コントローラの一部としてのベクトルのパーク変換には電氣的角度的が必要であり、モータの速度制御には機械的角度的を使用できます。

エンコーダのフィードバック・エンジンは、デジタル・ホール・センサー (HALL_U、HALL_V、HALL_W) もサポートしています。ホール・センサー信号には、プログラマブル・デジタル入力フィルタを使用できます。また、次数と極性はソフトウェアで変更可能です。ホール・センサーによって得られるロータ位置は比較的低分解能なので、位置決めを必要とするアプリケーションにおける用途は限られます。多くの場合、ホール・センサーは BLDC モータの部品として容易に利用できます。ホール・センサーでも FOC と正弦波転流を使用できるよう、エンコーダ・エンジンは、より高分解能の位置信号を生成できるようにホール角度的の補外機能を内蔵しています。この補外機能は比較的高い速度に適しており、60rpm 未満の電氣的回転数では自動的に非アクティブになります。

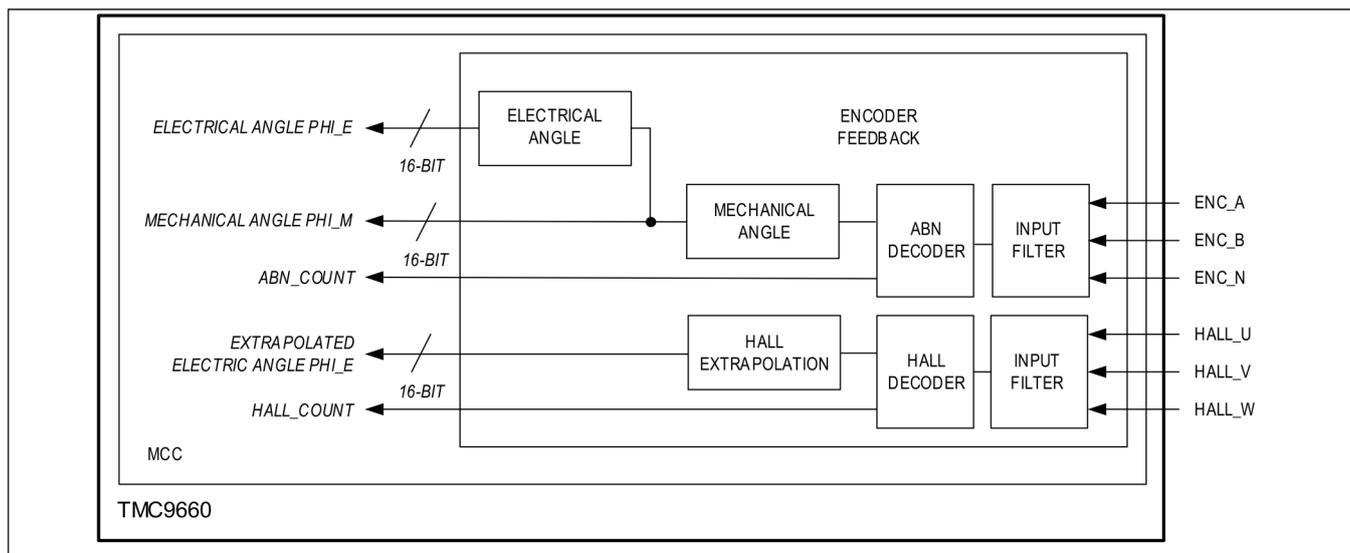


図 18. エンコーダ・フィードバック・エンジン

エンコーダ・フィードバック・エンジンは、FOC コントローラ用としてモータ軸に取り付けられるエンコーダに焦点を当てたものです。TMC9660 は、位置コントローラ用のオプションとして、もう 1 つのインクリメンタル A/B エンコーダもサポートしています。これは、代替機能ピン TIM_ADV_IN0 (エンコーダのチャンネル A) と TIM_ADV_IN1 (エンコーダのチャンネル B) に接続する必要があります。インクリメンタル A/B/N エンコーダの代わりに、SPI 付きのアブソリュート位置エンコーダを使用することもできます。これは、SPIx_MOSI、SPIx_MISO、SPIx_SCK 信号、および使用可能なチップ・セレクト信号 SPIx_CS の 1 つを使って、SPI ペリフェラル・ブロック 0 または 1 に接続できます。3 線式 SPI の場合は SPIx_MOSI を省略できます。パラメータ・モードでは、これらのエンコーダ・オプションをすべて使用できます。

モータ・タイプ

TMC9660 は、DC モータ、BLDC/PMSM モータ、およびステッピング・モータをサポートしています。表 6 に、これらのモータのハーフブリッジ中間点への接続方法と、求められる CSA へのシャント接続を示します。また、サポートされるモータは 1 つだけです。あるモータ・タイプを使用した場合、そのモータは 4 つのハーフブリッジすべてを使用するわけではありません。使用しないハーフブリッジは、電磁ブレーキやブレーキ・チョップ抵抗用の接続としてエネルギーを消費し、接続されたモータを迅速にランピング・ダウンさせるために利用できます。

表 6. モータ接続の対応表

HALF-BRIDGE	CSA CONNECTION**	DC-MOTOR	BLDC/PMSM-MOTOR	STEPPER-MOTOR
UX1	CSN0/CSP0	DC1	U	X1
VX2	CSN1/CSP1	DC2	V	X2
WY1	CSN2/CSP2		W	Y1
Y2	CSN3/CSP3	Brake/EM-Brake*	Brake/EM-Brake*	Y2

*ブレーキ/EM ブレーキは、分離したロー/ハイサイドを通じて直接接続できます。 [ゲート・ドライバ・ユニットの説明](#)のセクションに回路例を示します（[図 23](#)）。

**これはデフォルトの割当てです。ADC の割当てでは MCC を通じて変更できます。

パワー・マネージメント・ユニットの説明

はじめに

メインの設定時に TMC9660 に必要なのは、モータを作動させるための電源電圧だけです。デバイスに必要なすべての電圧は、パワー・マネージメント・ユニット (PMU) により内部で効率的に生成されます。

2本の独立した電源電圧入力ピン V_S と V_{SA} ピンを使用でき、これらはそれぞれゲートドライバ出力段とアナログおよびデジタル・コア回路に電力を供給します。これは、他の回路を引き続き動作させながら、セーフ・トルク・オフ (STO) のためにモータ電源 (V_S) を遮断することを可能にします。

PMU は、DC/DC コンバータ (降圧)、チャージ・ポンプ、外部負荷への給電に使用する設定可能な2つの LDO、および内部回路への給電に使用する2つの 1.8V LDO を内蔵しています。

PMU の機能一覧

- 同期整流式降圧レギュレータ。最大入力 80V、5.8V 固定出力、電流容量 600mA
- チャージ・ポンプ (ダブラ)。GDU への給電を前提とした 50mA 定格負荷
- 設定可能 LDO × 2。いずれも定格負荷は 150mA で、外部負荷への給電用
- 固定 1.8V × 2。内部使用限定のレギュレータ

TMC9660 の PMU 接続図

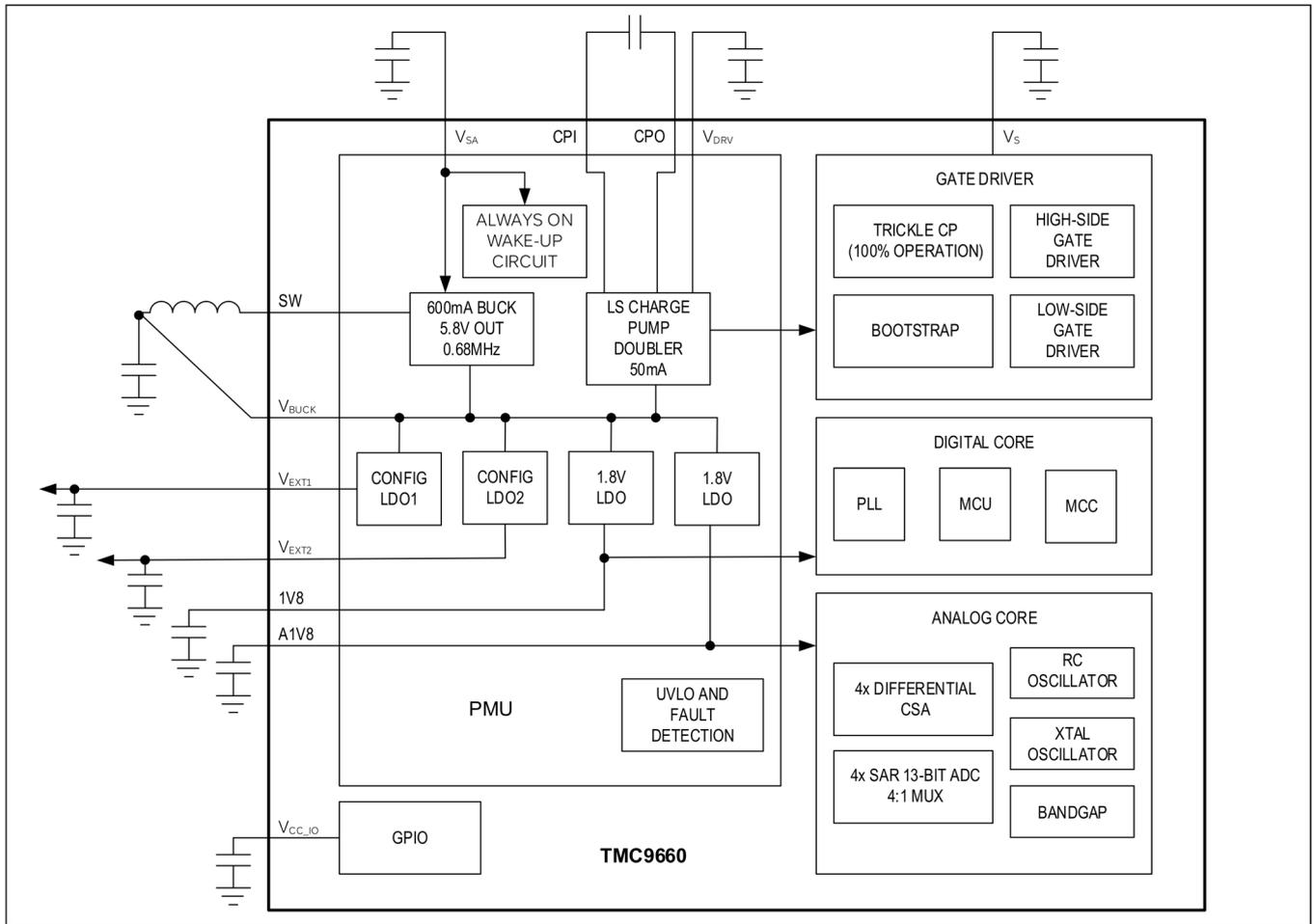


図 19. パワー・マネジメント・ユニット

パワー・マネジメント・ユニット

表 7. PMU レギュレータ

V_{BUCK}	V_{EXT1}	V_{EXT2}	V_{DRV}	1V8/A1V8 INTERNAL LOAD
600mA	150mA	150mA	50mA	-
5.8V	2.5V/3.3V/5.0V	2.5V/3.3V/5.0V	11.6V-drop	1.8V

入力電源電圧 (V_S , V_{SA} , V_{CC_IO})

通常、TMC9660 を動作させるには 2 つの外部電源電圧、 V_S と V_{CC_IO} が必要です。

V_{SA} は、DC/DC コンバータと AON ブロックの入力電源電圧ピンです。すべての内部電源とリファレンスは、内部で降圧出力電圧 (V_{BUCK}) から生成されます。

V_S はモータ電圧です。 V_S と V_{SA} はまとめて外部で接続し、同じ電源を使用できます。もしくは、 V_{SA} を動作状態に保ちながら V_S を遮断するために、安全スイッチを接続することができます。

V_S または V_{SA} が UVLO 閾値未満に低下した場合にドライバを安全モードにするために、低電圧ロックアウト (UVLO) コンパレータが組み込まれています。 V_{SA} が UVLO 電圧閾値未満に低下すると、DC/DC コンバータがディスエーブルされて MCU がリセットされ、すべてのブロック (PMU、GDRV、MU) がディスエーブルされて FAULTN ピンがローになります。 V_{SA} が UVLO 閾値より大きい値に回復した場合はシステムが再起動して DC/DC コンバータをイネーブルし、更にすべての内部電源がセトリングした後に MCU のリセットを解除します。

V_S UVLO はゲート・ドライバだけをディスエーブルし、出力はスリーステートになって MCU 用の信号が生成されます。

V_S UVLO 閾値は、ゲート・ドライバをイネーブルする前に VS_UVLO_LVL によって 4V~8V に設定する必要があります。トリクル・チャージ・ポンプの機能を最大限に発揮するために、 V_S UVLO の立上がり電圧は代表値の 7.7V より大きい値に設定することを推奨します。

V_{CC_IO} はロジック入力回路の電源電圧入力で、内部 LDO によって給電できます。

V_{CC_IO} が UVLO 閾値未満に低下すると、FAULTN ピンがローになります。

DC/DC 降圧コンバータ (V_{BUCK}) : TMC9660 は、HV 電源を低電圧に効率的に変換する DC/DC 降圧レギュレータを内蔵しています。

このレギュレータは V_{SA} 入力電圧を降圧して 5.8V の固定出力に変換し、最大 600mA の電流を供給できます。

これは同期整流式スイッチング・レギュレータとして約 682kHz で動作します (ソフトスタート時のみ強制 PWM 動作と DCM 動作)。

全体的な降圧電流負荷は次式で求められます。

$$I_{LOAD_BCK} = I_{VBUCK_Q} + I_{LOAD_LDO1} + I_{LOAD_LDO2} + I_{CRGPMP}$$

ここで、

I_{VBUCK_Q} はデジタルおよびアナログ・コアの LV LDO による合計自己消費電流 (代表値 36mA) 、

I_{LOAD_LDO} は $VEXT_LDO$ をイネーブルした場合の出力電流負荷、

I_{CRGPMP} は V_{DRV} チャージ・ポンプ動作による電流で、次式で求められます。

$$I_{CRGPMP} = 2 \times \frac{I_{VDRV_Q} + I_{GDRV_SW}}{\eta_{CRGPMP}}$$

ここで、

I_{VDRV_Q} はゲート・ドライバ・ユニットの自己消費電流 (代表値 2mA) 、

I_{GDRV_SW} は外部パワーFETの転流によるスイッチング消費電流 (計算については [ゲート・ドライバ・ユニットの説明](#) のセクションを参照) 、

η_{CRGPMP} は V_{DRV} チャージ・ポンプの効率です。

DC/DC コンバータは信頼性の高い過電流保護 (降圧 OCP) 方式を備えており、これによって過負荷条件下および出力短絡条件下でデバイスを保護します。降圧 OCP 方式はインダクタ電流のヒステリシス制御を使用してデバイスを保護するため、インダクタ電流の暴走を防止します。ヒステリシス制御では、インダクタのピーク電流が内部ピーク電流制限値の代表値 1A ($I_{BCKPKLIM_PK}$) を超えるたびにハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになります。インダクタ電流が 0.4A (代表値) 減少するとローサイド MOSFET がオフになり、ハイサイド MOSFET がオンになります。更にソフトスタート完了後は、フォルト状態により V_{BUCK} ノードの電圧が 3.48V (V_{BUCK_FBUV}) を下回ると、常にヒカップ・モードになります。ヒカップ・モードでは、スイッチングを 96ms のヒカップ・タイムアウト期間の間一時停止することによってコンバータを保護します。ヒカップ・タイムアウト期間が終了すると、再度ソフトスタートが試みられます。このヒカップ・モード動作により、出力短絡条件下での消費電力が低く抑えられます。

V_{BUCK} が V_{BUCK_UVLO} 閾値未満に低下した場合は、MCU がリセットされてすべてのブロック (外部 LDO、チャージ・ポンプ、ゲート・ドライバ、MU) がディスエーブルされます。 V_{BUCK} 電圧が UVLO を超えて DC/DC コンバータが機能するようになると、MCU のリセットが解除されて FAULTN オープン・ドレイン・ピンが解放され、ブートローダが動作を開始します。

LV レギュレータ : TMC9660 には2つの LV レギュレータが組み込まれており、それぞれがデジタル・コアとアナログ・コアへの給電用に使われます。

対応するピン 1V8 と A1V8 にはバイパス・コンデンサを接続する必要があります。

これらのレギュレータは内部ブロックへの給電だけを意図したもので、外部負荷への給電には使用しないでください。

A1V8 が UVLO 閾値 (VA1V8_UVLO) 未満に低下した場合は MCU がリセットされ、他のすべての MCC コア・ブロック (ゲート・ドライバ、チャージ・ポンプ、外部 LDO) がディスエーブルされます。

1V8 も UVLO 閾値 (V1V8_UVLO) 未満に低下した場合は、DC/DC コンバータがディスエーブルされます。

1V8 は TMC9660 のデジタル・コアに給電しているので、1V8 がパワーオン・リセット閾値 (V1V8_POR) 未満に低下するとすべてのロジックがリセットされます。

チャージ・ポンプとブートストラップ (V_{DRV}、BS) : 容量 50mA の内蔵チャージ・ポンプは DC/DC コンバータの出力を2倍にして、ゲート駆動ユニットに 11.6V のゲート駆動電圧を供給します。

V_{DRV} はローサイド・ゲート・ドライバに電力を供給し、ハイサイド・ゲート・ドライバのブートストラップ・コンデンサを再充電します (ゲート・ドライバ・ユニットの説明のセクションを参照)。

内蔵チャージ・ポンプは、拡張入力電圧範囲 (7.7V~80V) で外部 FET をフルに駆動できます。

チャージ・ポンプをディスエーブルして、外部の独立電源電圧から GDU に給電することも可能です。この場合は、V_{DRV} ピンの絶対最大定格を超えないようにするには、V_{DRV} ピンに V_{BUCK} 以上の電源電圧を接続する必要があります。CPI ピンと CPO ピンの間のフライング・コンデンサは必ず取り外してください。

V_{DRV} 電圧は内部でモニタされます。V_{DRV} が V_{DRV}UVLO (UVLO_VDRV) 未満に低下すると GDU がディスエーブルされ、出力 FET は受動的にオフに保たれます。

同様に、ブートストラップ・フローティング電圧が BST UVLO (BST_VDRV) 未満に低下すると GDU がディスエーブルされ、出力 FET は、BST 電圧が 1.2V を超えるまで 12kΩ のアクティブ・プルダウン抵抗によってオフに保たれます。BST UVLO イベント後、あるいはパワーアップまたはハイバネート・モード後最初のスタートアップ時にゲート・ドライバの動作を再開させるには、ブートストラップ・コンデンサ C_{BST} がフル充電状態になっていなければなりません。ブートストラップ・コンデンサを充電するには、BST UVLO 保護をディスエーブルして、内部ブートストラップ・スイッチを通じた充電が完了するまで LS FET をオンに保っておく必要があります。パラメータ・モードでは、このシーケンスが自動的に行われます。

V_{DRV} の過電圧、およびそれによる降圧コンバータの過負荷を避けるために、内部ブートストラップ・スイッチには電流制限値 I_{LIMBS} が設けられており、この制限値は最小 11mA から最大 0.38A (代表値) までの範囲に設定できます。C_{BST} の最初の充電時は最小電流設定値を使用して、ドライバを動作させる前に最大電流制限値を選択することを推奨します。最初のブートストラップ再充電時間は次式で計算できます。

$$T_{BSCRG} = C_{BST} \frac{V_{DRV}}{I_{LIMBS}}$$

1μF の C_{BST} に最小ブートストラップ電流制限値を使用する場合、再充電時間は約 1ms ですが、コンポーネント、パラメータ、および温度の変動を考慮して、その2倍の 2ms とすることを検討してください。

すべての UVLO フォルトは、フォルト処理のため内部 MCU に通知されます。

設定可能な LDO (VEXT1、VEXT2) : PMU は容量 150mA の設定可能な LDO を2つ内蔵しており、これらの LDO は降圧レギュレータの下で動作します。これらの LDO は、出力ピン VEXT1 と VEXT2 に接続された外部負荷への給電に使われます。

外部負荷をシャットダウンして電力を節約する必要がある場合は、これらのレギュレータを個別にイネーブルまたはディスエーブルできます。LDO 出力はユーザ設定可能で、個別に 2.5V、3.3V、または 5V に設定できます。

LDO 出力容量の充電による V_{BUCK} の突入電流を制限するために、これら2つの LDO の最初のスタートアップはデジタル的に制御され、設定可能なスルー・レートで1つずつランプアップされます。LDO のランプアップ時間 (t_{RAMP}) は、DC/DC コンバータの最大電流制限値を超えないように 0.37ms~3ms の範囲にプログラム可能です。

$$I_{in-rush} = C_{LDO} \frac{V_{LDO}}{t_{RAMP}}$$

LDO は、自動リトライ回路によって短絡から保護されている他、サーマル・シャットダウン保護も組み込まれています。温度は、ローカル・サーマル・センサーにより LDO 出力段の近くで検出されます。

ロジック I/O のリファレンス電圧を設定するロジック電源入力ピン (VCC_IO) には、外部電圧電源から給電できます。また、スタンダアロンの単電源アプリケーションでは、これらのピンを V_{EXT1} または V_{EXT2} に接続できます。もう 1 つのケースでは、LDO をイネーブルするためにブートストラップ OTP を前もってプログラムし、RSTN ピンを VBUCK からプルアップするか、小さい外部 POR 回路によってプルアップする必要があります。リセット (RSTN) のセクションには、その電源に関する有効な情報が示されています。

パワー・マネージメント・ユニットの電気的特性

(特に指定のない限り、V_{SA} = 7.7V~80V、V_S = 7.7V~70V、ジャンクション温度 = -40°C~125°C。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
BUCK REGULATOR (V_{BUCK})							
Output Voltage Regulation	V _{BUCK_REG}		5.71	5.80	5.89	V	II
Output Current Load	I _{BUCK_LOAD}		0.0		0.6	A	II
Buck PWM Switching Frequency	f _{BUCK_SW_PWM}	External CLK/XTAL selected	675.0	681.8	688.6	kHz	II
		Internal Clock selected	650	681.8	725		II
Power Efficiency	P _{BCK_EFF}	I _{VBUCK} = 600mA V _{SA} = 24V		91		%	VI
Low-Side FET On Resistance	R _{BUCK_ON_LS}	I _{SW} = -0.3A		240	435	mΩ	II
High-Side FET On Resistance	R _{BUCK_ON_HS}	I _{SW} = +0.3A		465	870	mΩ	II
SW Leakage Current	I _{BUCK_SW_LKG}	Buck disabled, V _{VSA} = 80V, V _{SW} = [0, 80]V	-50		+50	μA	II
Soft-Start Time	t _{BUCK_SS}			1.0		ms	II
Peak Limit Peak Current Threshold	I _{BUCK_PKILIM_PK}	I _{SW} rising	0.85	1.00	1.15	A	II
Peak Limit Valley Current Threshold	I _{BUCK_PKILIM_VLY}	I _{SW} falling	530	600	670	mA	II
Undervoltage Threshold Causing HICCUP	V _{BUCK_FBUV}	V _{VBUCK} falling	0.575* V _{BUCK_REG}	0.600* V _{BUCK_REG}	0.625* V _{BUCK_REG}	V	II
	V _{BUCK_FBUV_HYS}	V _{VBUCK} rising	0.6*V _{BUCK_REG}	0.66*V _{BUCK_REG}	0.733* V _{BUCK_REG}		II
HICCUP Retry Timeout	t _{BUCK_HCUP_RETRY}			96		ms	II
V _{BUCK} UVLO Threshold	V _{BUCK_UV}	V _{VBUCK} rising	2.65	2.70	2.75	V	II
			2.60	2.65	2.70		II
CHARGE PUMP (V_{DRV})							
Output Voltage	V _{CP_VDRV}	C _{FLY} = 220nF effective value	I _{VDRV} = 0mA		2*V _{BUCK}	V	II
Output Current Load	I _{CP_LOAD}		0		50	mA	II

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

(特に指定のない限り、 $V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、ジャンクション温度 = $-40^\circ C \sim 125^\circ C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	GL
Output Impedance	R_{CP_DRV}	$C_{FLY} = 220nF$ effective value			7.0		Ω	II
Switching Frequency	f_{CP_SW}				$f_{BUCK_SW_PWM}$		kHz	II
Soft-Start Time	t_{CP_SS}	$C_{TANK} = 4.7\mu F$ $I_{VDRV} = 0mA$	Charge pump settling time-up to $2 \times V_{BUCK}$		360		μs	II
Power Efficiency	P_{CP_EFF}	$I_{VDRV} = 50mA$	$C_{FLY} = 220nF$ effective value		95.9		%	VI
V_{DRV} UVLO Threshold	V_{VDRV_UV}	Rising		6.3	6.45	6.6	V	II
		Falling		6.1	6.3	6.4		II
BST UVLO Threshold	V_{BST_UV}	Rising		5.2	6.0	6.52	V	II
		Falling		4.9	5.8	6.24		II
LINEAR REGULATORS FOR EXTERNAL LOADS (1V8, AV18)								
1V8 Voltage Regulation	V_{1V8}			1.8	1.9	2	V	II
A1V8 Voltage Regulation	V_{A1V8}			1.72	1.82	1.92	V	II
1V8, A1V8 UVLO Threshold	$V_{A/1V8_UV}$	Rising		1.6	1.64	1.7	V	II
		Falling		1.53	1.58	1.63		II
1V8 POR Threshold	V_{1V8_POR}	Falling		1.08	1.21	1.35	V	II
LINEAR REGULATORS FOR EXTERNAL LOADS (VEXT1, VEXT2)								
Output Voltage	V_{OUT}	2.5V setting		2.4375	2.5	2.5625	V	II
		3.3V setting		3.2175	3.3	3.3825		II
		5V setting		4.75	5	5.125		II
Output Voltage Accuracy	V_{OUT_ACC2}	$V_{BUCK} = 5.8V$, $I_{OUT} = 0.1mA$ to $I_{OUT(MAX)}$		-2.5		2.5	%	II
Maximum Output Current	$I_{OUT(MAX)}$			150			mA	II
Load Regulation		$V_{BUCK} = 5.8V$, $I_{OUT} = 0.1mA$ to $I_{OUT(MAX)}$			0.1		%	II
Output Current Limit	I_{LIM}	$V_{OUT} = 90\%$ of $V_{OUT(TARGET)}$		150	175	225	mA	II
Overcurrent Protection Shutdown Time	T_{OVC}	From overcurrent detection to LDO shutdown			200		μs	II
Overcurrent Protection Autoretry Time	T_{RETRY}	Rising Threshold			2		ms	II
EXTERNAL SUPPLY UNDERVOLTAGE LOCKOUT (UVLO)								
V_{SA} UVLO Threshold	V_{VSA_UV}	Rising		7.35	7.50	7.65	V	II
		Falling		7.15	7.30	7.45		II
V_S UVLO Threshold Configurable Range	V_{VS_UV}	Rising		4.0		8.0	V	II
	V_{VCCIO_UV}	Rising		1.2	1.6	2.0	V	II

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

(特に指定のない限り、 $V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、ジャンクション温度 = $-40^{\circ}C \sim 125^{\circ}C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
V_{CC_IO} UVLO Threshold		Falling	1.1	1.5	1.8		II

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

ゲート・ドライバ・ユニットの説明

はじめに

TMC9660 は、モータ制御アプリケーション用に特に設計された、70V の特定用途向けスマート・ゲート駆動回路を備えています。この回路は最大 4 つの外部 NMOS+NMOS ハーフブリッジを駆動でき、BLDC/PMSM モータ、ステッピング・モータ、または DC モータ駆動アプリケーションをサポートしています。

また、EMI を低減するユーザ設定可能スローブ制御、 dV/dt により誘導されるターンオンを防止するスマート・シーケンサ、過電流保護、ゲート短絡保護などの機能を備えています。

このゲート・ドライバ・トポロジが高い効率と性能を実現しています。

GDU の機能一覧

- NMOS+NMOS トポロジの外部ハーフブリッジを最大 4 つ駆動できる 70V ゲート・ドライバ
- 11.6V ゲート駆動 FET
- 最大 1A (ソース) / 2A (シンク) の電流
- スルー・レート制御と EMC 低減のためのプログラマブル電流駆動
- dV/dt 誘導ターンオン防止機能を備えたスマート・ゲート駆動シーケンシング
- ブートストラップ・スイッチを内蔵した効率的なブートストラップ・ベース・トポロジ
- 静止状態でのブートストラップ電圧低下を防止するトリクル・チャージ・ポンプ
- 適応型ブレーク・ビフォア・メーク回路が不感帯を最小限に抑制
- マッチングされたハイサイドおよびローサイド伝搬遅延
- 過電流保護と短絡保護
- シェント抵抗検出に基づく過電流保護
- ゲート短絡検出

詳細説明

ゲート・ドライバ・トポロジ

図 20 に、TMC9660 に組み込まれた 1 つのゲート・ドライバ・チャンネルの簡略回路図を示します。

ゲート・ドライバは、ハーフブリッジ構成で接続された外部パワー NMOS のペアを駆動するために使用します。コントローラは、以下のセクションに示すように、ロジック信号を出力してゲート・ドライバ電圧の強度を動的に変更し、モータ位相電圧のスローブを制御します。

共通電圧電源ノード (V_{DRV}) は、ローサイド・ゲート・ドライバとハイサイド・ゲート・ドライバの両方に電圧を供給して、両方の外部 FET が同じ電圧で駆動されるようにします。 V_{DRV} は、降圧出力電圧を 2 倍にする内部チャージ・ポンプによって生成されます。ダブル回路の効果により、TMC9660 のゲート・ドライバ・ユニットは、非常に低い V_S 入力電源電圧まで動作させることができます。

ハイサイドのゲート駆動トポロジはブートストラップに基づいています。ブートストラップ・コンデンサは、 $BM_ノード$ (ハーフブリッジ出力) をローにするよう要求されるごとに、 V_{DRV} レギュレータによって再充電されます。ブートストラップ・コンデンサは、ハイサイド・ゲート・ドライバ回路に電力を供給します。出力をハイにするよう要求されると、内部ブートストラップ・スイッチが自動的にブートストラップ・コンデンサと V_{DRV} レギュレータの接続を遮断します。

このトポロジはハイサイド駆動回路とローサイド駆動回路間のマッチングに優れているので、最大限の性能と低い PWM 歪みが実現されます。また、高電圧チャージ・ポンプに基づくトポロジより高い効率が得られます。

ブートストラップ・コンデンサは出力がローに駆動されたときのみ再充電されるので、モータの回転時に PWM デューティ・サイクルが制限されるように TMC9660 の MCC コントローラを設定して、確実に再充電と正しい電流検出測定を行うことができます。

全機能内蔵型トリクル・チャージ・ポンプは、100% デューティ・サイクル動作もサポートしています。トリクル・チャージ・ポンプの供給する電流はわずかで、通常動作時のハイサイド・ゲート・ドライバへの給電には十分ではありませんが、これは本来、静止時におけるドライバおよび外部 FET の漏れ電流によるブートストラップ電圧の低下を防ぐことを目的としたものです。最大許容漏れ電流は位相あたり $2\mu A$ です。

各 FET に必要なゲート電流は次式で概算できます。

$$I_{GATE} = f_{PWM} \times Q_G$$

ここで、

Q_G は合計ゲート電荷で、 f_{PWM} はチョッピング周波数です。

駆動電圧電源 (V_{DRV}) を生成するダブラは最大で 50mA の電流を供給できるので、次の関係を満たす必要があります。

$$N \times f_{PWM} \times Q_G \leq 50mA$$

ここで、

N は外部 FET の合計数です (特に 3 相 BLDC/PMSM モータでは $N=6$ 、2 相ステッピング・モータでは $N=8$)。

例えば、 $f_{PWM}=25kHz$ で BLDC モータ ($N=6$) を駆動する場合は、等価合計ゲート電荷を 300nC 未満とする必要があります。

内蔵のアクティブおよびパッシブ・プルダウン抵抗は、ゲート・ドライバ出力がスリーステートの場合やデバイスが低消費電力モードの場合に、外部ハーフブリッジの相互導通を防ぎます外部プルダウン抵抗は不要です。

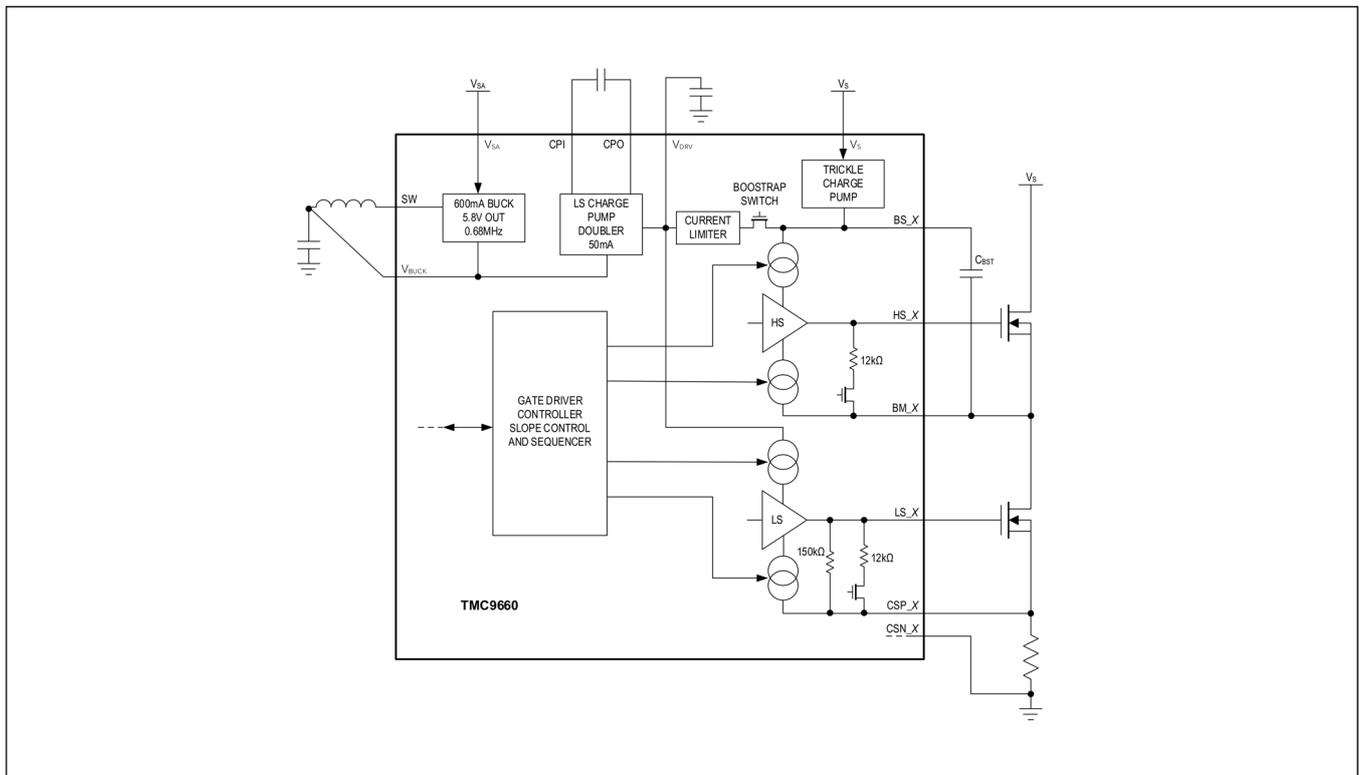


図 20. ハーフブリッジを 1 つ使用したゲート・ドライバ・トポロジ

スルー・レート制御

ゲート・ドライバ出力電流は、モータ位相電圧のスロープを制御できるようにユーザが設定できます。これにより、通常この目的に使われる外部ゲート抵抗を無くすことができます。更に、最大限の柔軟性が得られるように、ソース電流とシンク電流は個別に設定可能です。

一般に、エッジ速度が遅いほど放射エミッションは少なくなります（PWM 信号の高調波成分が小さくなる）、効率は低下します（スイッチング損失が増大）。TMC9660 が内蔵するプログラマブル・スロープ制御回路は、PCB に変更を加えることなくソフトウェアで設計を最適化できます。

TMC9660 のゲート駆動ユニットは、概ねプログラマブル電流源として動作します。ドライバ電流は、シンク電流については 50mA から 2A まで、ソース電流については 25mA から 1A までの 16 レベルから選択できます。表 8 および表 9 を参照してください。

出力 UX1、VX2、および WY1 は同じ駆動電流設定を共有しますが、出力 Y2 は他とは別にプログラムできます。

表 8. I_{SOURCE} の表

SETTING	I _{SOURCE} [mA]	SETTING	I _{SOURCE} [mA]
0	25	8	290
1	50	9	360
2	80	10	430
3	105	11	500
4	135	12	625
5	160	13	755
6	190	14	885
7	215	15	1000

表 9. I_{SINK} の表

SETTING	I _{SINK} [mA]	SETTING	I _{SINK} [mA]
0	50	8	580
1	100	9	720
2	160	10	860
3	210	11	1000
4	270	12	1250
5	320	13	1510
6	380	14	1770
7	430	15	2000

ゲート・ドライバ・シーケンサ

専用のステート・マシンがゲート・ドライバの動作を制御することで、最大限の性能と高い信頼性が得られます。これは、転流シーケンスでゲート・ドライバの強度を動的に変化させることによって実現されます。事前にプログラムされたソース電流とシンク電流（I_{SOURCE}、I_{SINK}）は、出力スロープを決定するために必要な場合のみ出力されます。それ以外の場合は、強弱（WEAK/STRONG）の設定を使ってソリューションの性能と信頼性を改善します。

図 21 は適応型デッド・タイム制御をアクティブにした場合の TMC9660 のゲート・ドライバ動作、図 22 は非アクティブにした場合の動作です。図は以下の条件で示されています。

I_{SOURCE} = 事前にプログラムされたソース電流（範囲は 25mA～1A）

I_{SINK} = 事前にプログラムされたシンク電流（範囲は 50mA～2A）

WEAK PU = 10mA

WEAK PD = 35mA

STRONG PD = 2A

単純化のために、これらの図では外部電源段が純粋な抵抗性負荷を駆動すると仮定しています。DC モータのような誘導性負荷の場合は、無効負荷とフライバック電流が立上がり遷移や立下がり遷移に影響するので、実際の挙動は異なります。

定常状態では、ゲート・ドライバ強度を最小に設定します。弱いプルアップ/プルダウン電流を使用すれば、正しい出力ステータスが得られます。この状態はゲート出力ピンで外部短絡があった場合にデバイスを保護し、内部消費電力を減らします。

適応モードがイネーブルされている場合に転流信号が受信されると、それ以前にオンされた外部 FET のゲートが、予め設定されていた I_{SINK} 電流で最初に放電されます。超高速コンパレータがゲート電圧をモニタして、ゲート電圧がゼロに近くなるか、プログラムされた `TIMEOUT_SNK` 時間が経過すると、ロジック信号を出力します。

この信号が次のフェーズをイネーブルします。次のフェーズでは、新たなプログラマブル・デッド・タイム (DT) を追加して、反対側 FET のゲート充電を開始する前に安全率を高めることができます。このプログラマブル DT は、256 ステップで 8ns ~ $2.1\mu\text{s}$ の範囲にプログラムできます。この適応型不感帯法は安全な動作を確保し、相互導通を防ぐ一方で、固定時間のデッド・タイム・アプローチと比較して不感帯を最小限に抑えます。デッド・タイムの間は、ハイサイド FET とローサイド FET の両方で弱いプルダウンが実行されます。

ゲート・ドライバは非適応モードに設定することもできます。この場合、ゲート・ドライバはゲート電圧をモニタせず、プログラムされた `TIMEOUT_SNK` の経過後にシーケンサがデッド・タイムを適用します (図 22 を参照)。

`TIMEOUT_SNK` は 42ns ~ $4.3\mu\text{s}$ に設定できます。

ハイサイドおよびローサイド・ゲート駆動の伝搬遅延はマッチングされており、これは不感帯要件を最小限に抑える助けにもなります。最小固定デッド・タイムは 65ns です。

その後は、それ以前にオフされていた外部 FET のゲートが、予め設定されていた I_{SOURCE} 電流で充電されます。このフェーズでは、 dV/dt により誘導されるターンオンを防止するために、反対側の FET に強いプルダウンが適用されます。

プログラムされていた `TIMEOUT_SRC` が経過すると、このフェーズは終了します。

`TIMEOUT_` は最小 PWM デューティ・サイクルを制限しない点に留意してください。`TIMEOUT_` の終了前に受信制御信号が変化すると、シーケンサは次のステートに遷移します。

タイムアウトは、ゲートを完全に充電/放電させるために十分な長さとする必要があります。`TIMEOUT` は、[ゲート保護—VGS 保護](#)のセクションに詳しく述べるように、ゲートの短絡状態を検出するためのブランキング時間としても使われます。

充電フェーズが完了すると、定常状態ステータスが再開されて弱いプルアップ/プルダウン電流が加えられます。

出力 UX1、VX2、および WY1 は同じ駆動電流設定を共有しますが、出力 Y2 は他とは別にプログラムできます。

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

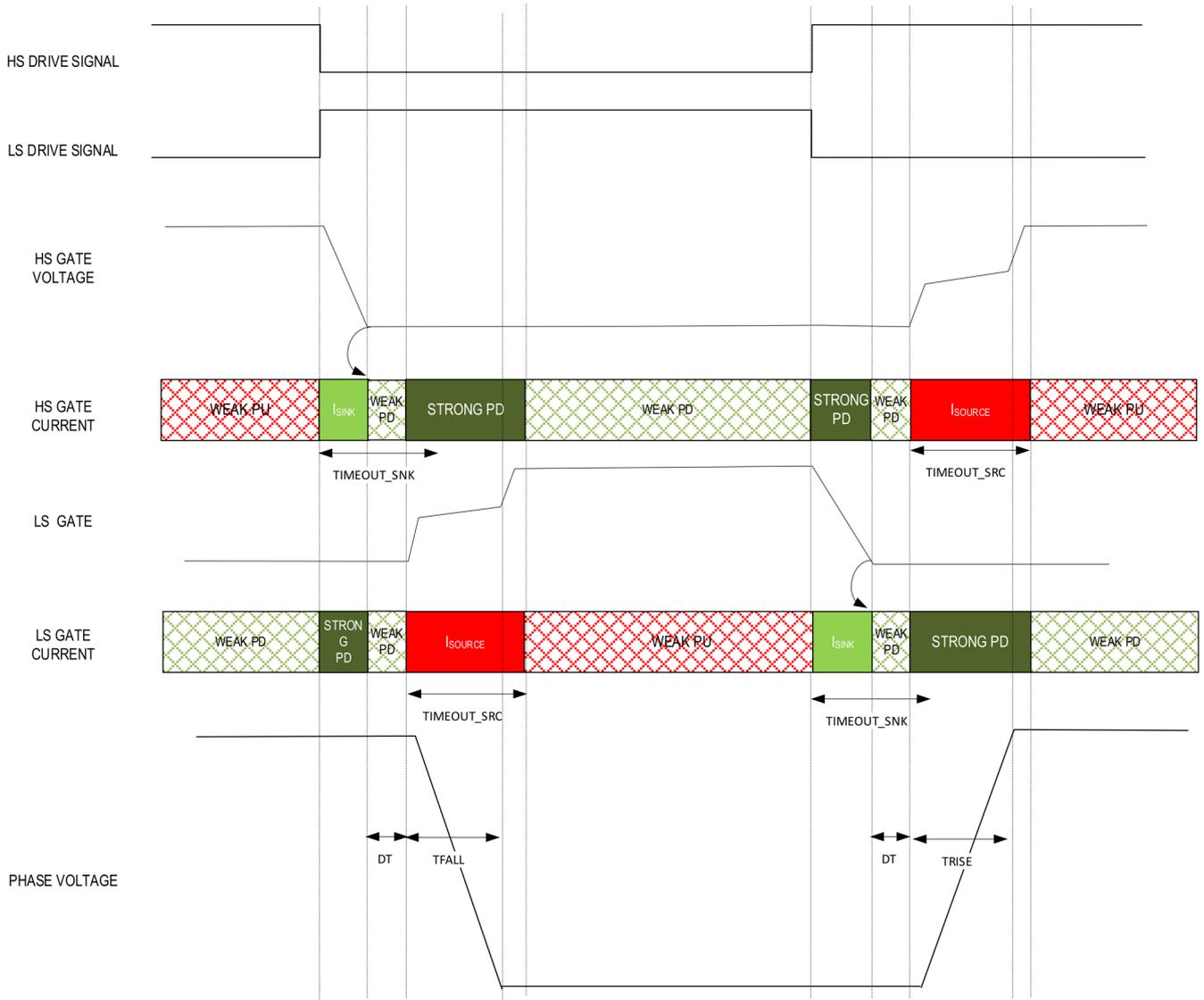


図 21. ゲート・ドライバ・シーケンサの図 - 適応モード

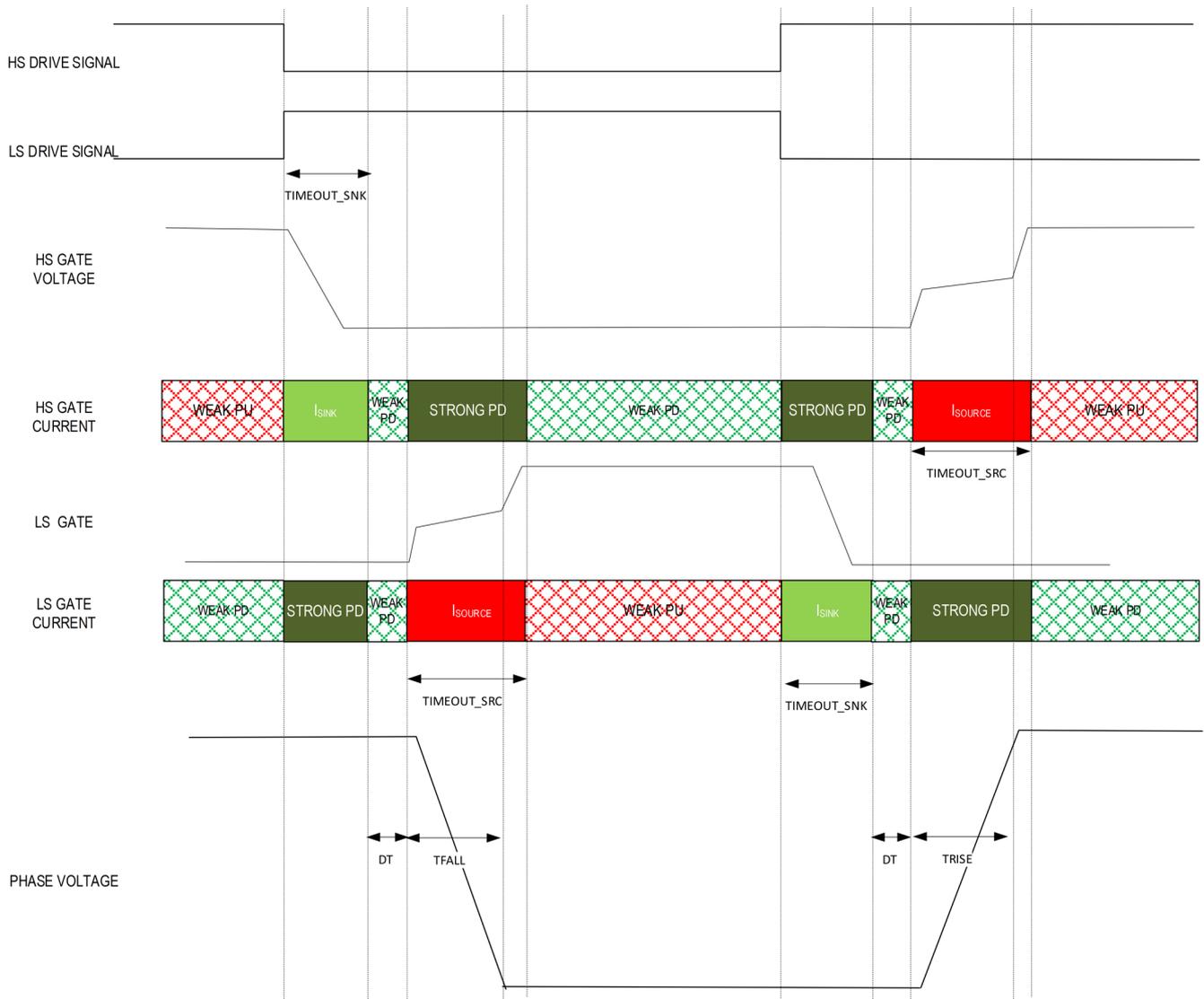


図 22. ゲート・ドライバ・シーケンサの図 - 非適応モード

TMC9660 によるブレーキ・チョップと電気機械式ブレーキ作動/解除回路の実装

三相モータ・アプリケーション (BLDC/PMSM) や DC モータ・アプリケーションでは、4 番目のハーフブリッジ・ゲート駆動チャンネル (Y2) を使用すると、モータ・ブレーキの作動/解除回路やブレーキ・チョップの駆動が容易になります。代表的なアプリケーション回路を図 23 に示します。

ブレーキ・チョップは、急激な減速や回生ブレーキ使用によってモータ電源が限界電圧閾値を超えてポンプアップされてしまった場合に、電源をダンプするためのものです。

モータ用電気機械式ブレーキの作動/解除回路は、例えばロボット使用時に、オペレータにとって安全な位置でアクチュエータをブロックするために使用します。

これらの使用例に対応するために、図 23 に示すように、スマート・ゲート・ステート・マシン (ゲート・ドライバ・シーケンサを参照) をディスエーブルし、チャンネル Y2 を使って 2 つの独立した LS NFET を駆動することができます。

ブレーキ・チョッパ

図では、HS_Y2 を使ってチョッパ回路の外部 N FET を駆動しています。抵抗は、モータの回生電力を消費することを目的としています。この使用例では、BS_Y2 が直接 V_{DRV} に接続され、BM_Y2 が GND に接続されています。

この比較的簡単な実装では、以下のようにパラメータ・モードでブレーキ・チョッパを使用できます。

- 電源電圧 (V_S) が継続的にモニタされ、測定されます。
- 電源がプログラマブル閾値 (V_{S_max}) を超えるとすぐに外部 FET がオンになり、外部抵抗によってエネルギーが放出されます。
- 電源電圧が負の閾値 ($V_{S_max} - V_{S_Hysteresis}$) 未満に低下すると FET がオフになり、通常動作が再開されます。

電気機械式ブレーキの駆動

図 23 には、LS_Y2 を使用して電気機械式ブレーキの作動／解除回路を駆動する方法も示されています。コイル電流は、外部検出抵抗での低下を検出することによってモニタできます。2 段階電流制御方式 (励起電流と保持電流) を使用すれば、最大限の効率を実現できます。この機能はパラメータ・モードでネイティブ・サポートされています。

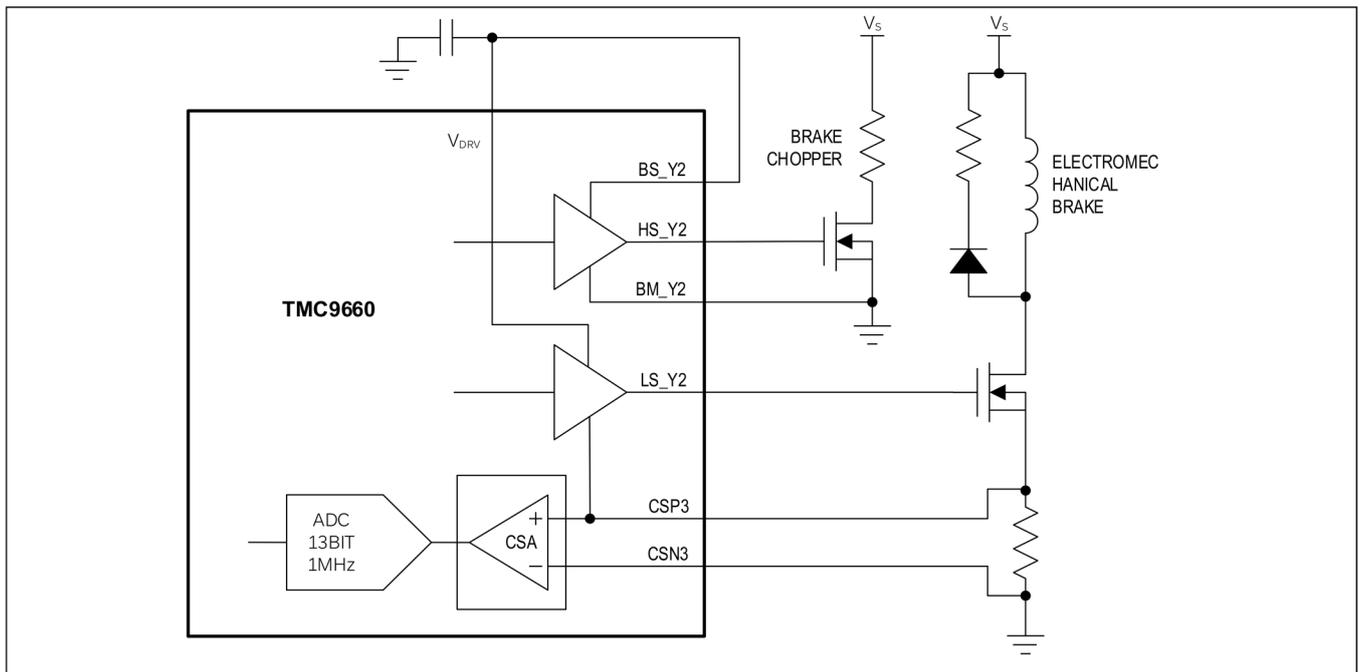


図 23. ブレーキ・チョッパと電気機械式ブレーキ

ドライバの保護

ゲート・ドライバ・ユニットは、過酷な環境下でも安全に使用できるようにハードウェア保護回路を内蔵しています。これらには、設定自由度の高い FET の過電流保護回路や、ゲート・ドライバ出力の短絡保護回路が含まれます。詳細は[保護機能の説明](#)のセクションを参照してください。

ゲート・ドライバ・ユニットの電気的特性

($V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、ジャンクション温度 = $-40^{\circ}C \sim 125^{\circ}C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
GATE DRIVER UNIT (GDU)							
Drive Output Voltage	V_{DRV}	IDRV = 0 to 50mA - Total charge pump current $V_{BUCK} = 5.8V$	11	11.3	12	V	II
HS Gate Output Voltage	V_{GD_HS}	Gate Current 1mA		$BS_ - 0.2$		V	II
Bootstrap Switch Resistance	$R_{ONBS_}$			15	30	Ω	II
Bootstrap Switch Maximum Current Limit	$I_{LIMBS_}$		0.2	0.38		A	II
HS Gate Output Voltage	V_{GD_HS}	Trickle Charge pump enable All HS ON 100%	7.5		11.5	V	II
LS Gate Output Voltage	V_{GD_LS}	Gate Current 1mA		$V_{DRV} - 0.2$		V	II
Gate Output Sink Current	I_{SINK}	ISINK MIN		50		mA	II
		ISINK MAX		2		A	II
Gate Output Source Current	I_{SRC}	ISRC_MIN		25		mA	II
		ISRC MAX		1		A	II
Weak Pull-Down Current	I_{WEAKPD}			35		mA	II
Weak Pull-Up Current	I_{WEAKPU}			10		mA	II
LS Passive Pull-Down Resistor	R_{PDLS}		90	145	200	k Ω	II
LS Three-State Pull-Down Active Resistor	R_{PDALS}	All drivers disabled, $1V8 > POR1V8$, $GDRV_PD_DIS = 0$	7	11	15.5	k Ω	II
HS Three-State Pull-Down Active Resistor	R_{PDAHS}	$BS_ - BM_ > 2V$	8	12	16	k Ω	II
Maximum Configurable Dead Time	DT_MAX	$DEAD_TIME[7:0]=0xFF$		2.1		μs	IIsc
Maximum Configurable TIMEOUT	$TIMEOUT_MAX$	$TIMEOUT[7:0]=0xFF$		4.3		μs	IIsc

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target

VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

測定ユニットの説明

測定ユニット（Measurement Unit: MU）には、アナログ信号を測定して変換するための検出、シグナル・コンディショニング、および A/D 変換用の回路が含まれています。

モータの高性能 FOC 制御を実現するには、迅速かつ正確に位相電流を検出して測定する必要があります。この目的に沿って、MU はモータの各位相の位相電流を測定するために、低オフセットで広帯域幅の電流検出アンプと 13 ビット ADC を内蔵しています。

更に、IC 温度、電源電圧、および最大 4 つの外部低帯域幅アナログ信号を測定することができます。

MU の機能一覧

- 下側シャント電流を測定する広帯域幅の差動双方向電流検出アンプ（CSA）× 4
 - 250 μ V 未満の等価入力オフセット
 - プログラマブル・ゲイン（×5、×10、×20、×40）
 - バイパス・モード（ゲイン=-1）
 - 最大 15MHz のゲイン帯域幅積
 - 設定可能なアナログ・フィルタ
- 1MS/s の 13 ビット ADC × 4
 - 内蔵 CSA からの電流測定 A/D 変換
 - V_S 電源の測定
 - チップ温度の測定
 - 最大 4 つの外部アナログ信号の A/D 変換

プログラマブル電流検出アンプ

TMC9660 は、モーション・コントロール・アプリケーション用に設計された、低オフセットで広帯域幅のプログラマブル・ゲイン差動 CSA を内蔵しています。

極めて低い等価入力オフセットとゲインを選択できる柔軟性によって外部検出抵抗を小さくできるので、コストと消費電力を低減できます。

また、広帯域幅と短いセトリング時間により、極端なデューティ・サイクル値や高 PWM 周波数でも信頼できる電流サンプリングが可能です、最適な FOC コントローラ性能が得られます。

CSA プログラマブル・フィルタ

それぞれのゲイン設定について、ユーザは、CSA 等価帯域幅/BW を低減する内部フィルタを設定できます。4 つの異なるフィルタ設定が可能です。ユーザはこの機能を使用することで、設定時間と実効値ノイズ間の最適な妥協点を見つけることができます。50kHz を超える PWM 周波数では短いセトリング時間が望まれるので、フィルタは最小レベルに設定する必要があります。逆に、25kHz 未満の PWM 周波数では、実効値ノイズを減らして全体的な FOC 性能を向上させるために、より強力なフィルタリングが推奨されます。一例として、ゲイン = 20 で CSA フィルタの設定を変化させた場合の等価実効値ノイズとセトリング時間を、表 10 に示します。実効値ノイズは帯域幅全体で積分されます。

CSA の正入力（CSP_ピン）は、ローサイド・ゲート・ドライバの電源接続としても使われます。したがって、シャント抵抗の端子と CSA 入力ピンの間に抵抗が接続されている外部 RC フィルタは推奨できません。しかし、内蔵フィルタは、外部からの電氣的ノイズを除去するために使用することもできます。

表 10. 実効値ノイズとセトリング時間の関係

PARAMETER	CONDITIONS	TYP	UNIT
Settling Time	No Filter	0,715	μ s
	Filter 1	0,81	μ s
	Filter 2	1,31	μ s
	Filter 3	1,88	μ s

Bandwidth (-3dB)	No Filter	9.5	MHz
	Filter 1	7.8	MHz
	Filter 2	6.7	MHz
	Filter 3	6	MHz
Equivalent Input RMS Noise (integrated in the entire BW)	No Filter	0.18	mV
	Filter 1	0.1	mV
	Filter 2	0.08	mV
	Filter 3	0.065	mV

ゲイン設定と入力電圧範囲

CSA は、5X、10X、20X、40X の 4 種類のゲイン設定が可能です。

CSA の推奨差動最大入力電圧は次式で計算できます。

$$V_{diff_max} = 1.0V / GAIN$$

外部シャント抵抗は、その値が次式の関係を満たすものを選ぶ必要があります。

$$R_{SENSE} < \frac{V_{diff_max}}{I_{MAX}}$$

ここで、

I_{MAX} は最大（ピーク）位相電流です。

R_{SENSE} の値を大きくすると感度と性能が向上しますが、消費電力が大きくなります。

直接モードは、外部 CSA を使用する場合もサポートされています。この直接モードでは内部 CSA がバイパスされ、CSA の入力ピンは ADC マルチプレクサ (mux) の入力に直接接続されます。最大差動入力電圧は、ADC フルスケールの 1.2V に等しくなります。この場合のゲインは-1 です。

測定ユニットのブロック図

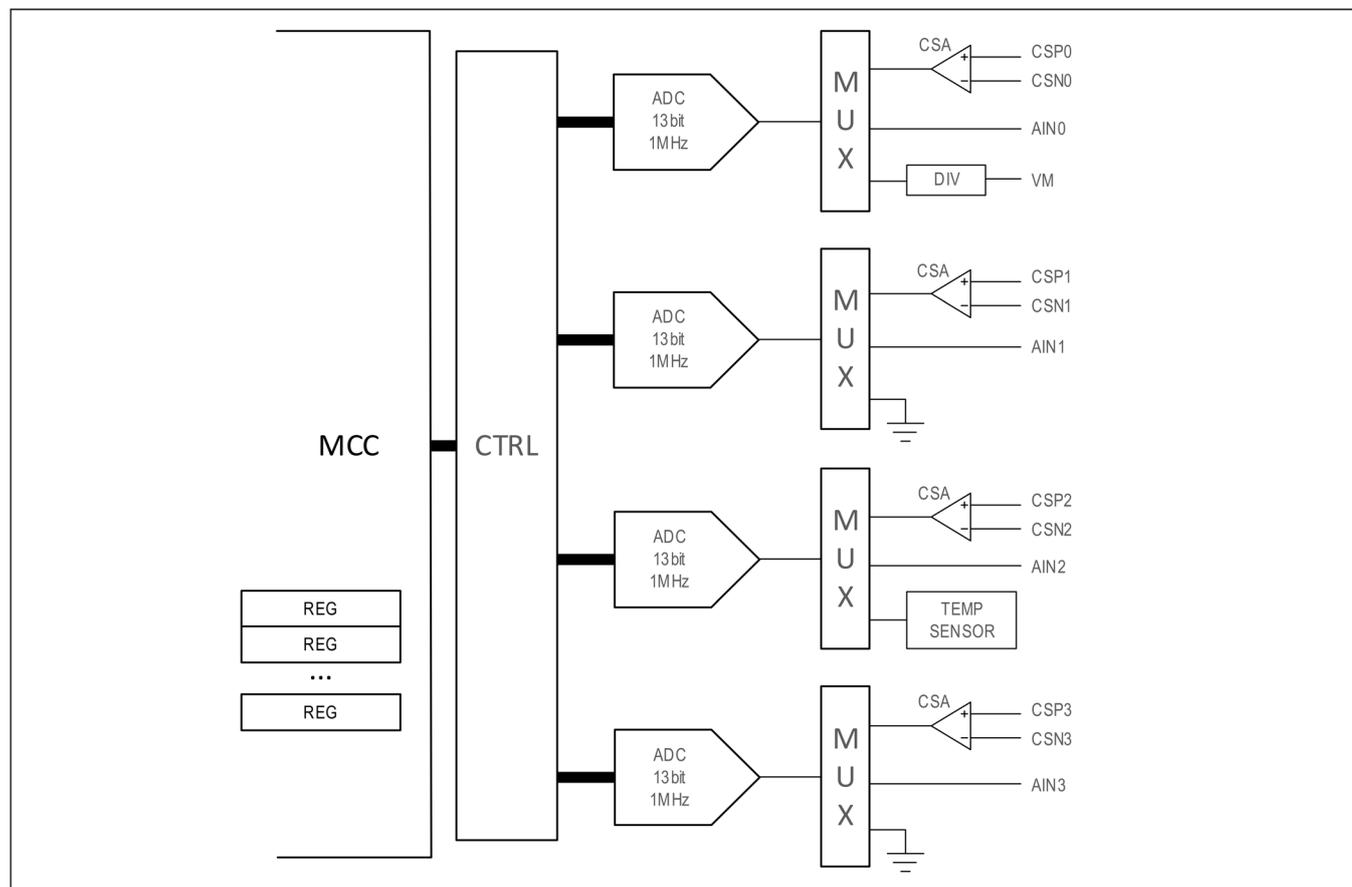


図 24. 測定ユニットのブロック図

アナログ入力の測定

AINx ピンは、外部の低速アナログ電圧信号を測定してデジタル化するためのアナログ入力として設定できます。

図 25 に代表的なアプリケーション回路を示します。

アナログ入力ピンは V_{CC10} までの電圧に耐えることができますが、ADC アナログ入力範囲の条件を満たすにはアナログ信号を $0V \sim 1.2V$ に制限する必要があります。内蔵コンパレータは、入力信号が $1.8V$ を超えた場合にアナログ入力の内部スイッチをディスエーブルし、フォルトの発生を MCU に通知して内部回路を保護します。

等価入力インピーダンスは数 pF です。

一般に、後段にアンチエイリアシング・フィルタを接続した外部バッファを置くことが推奨されます。

アナログ入力は、プログラムされた PWM チョッピング周波数に等しいサンプリング・レートでサンプリングされます。

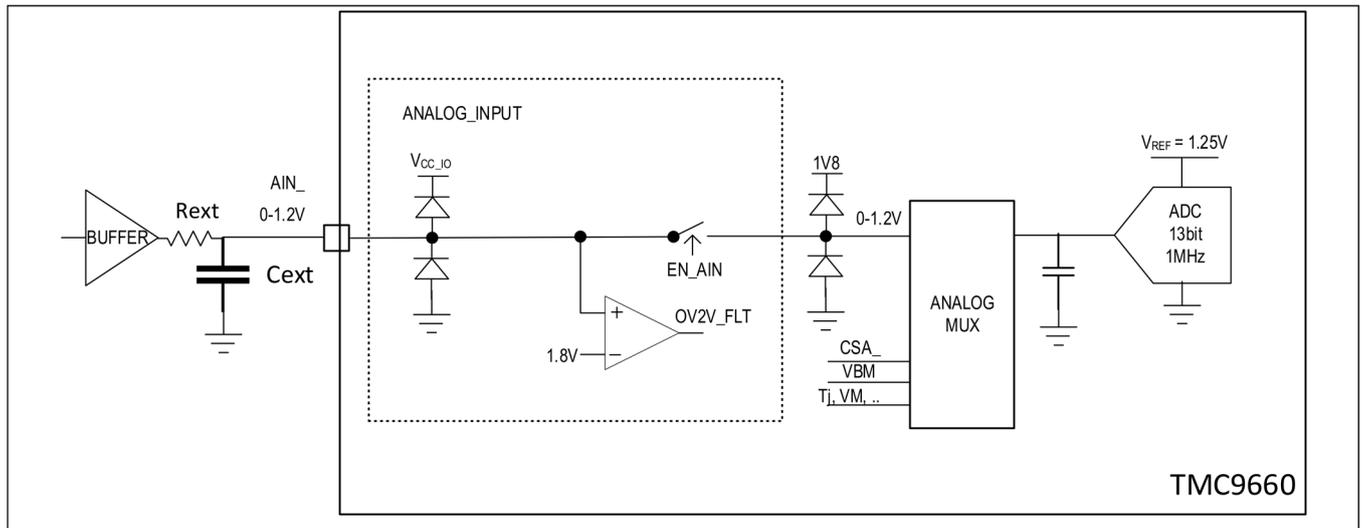


図 25. アナログ入力測定回路図

A/D コンバータ

TMC9660 は、13 ビット 1Msps の A/D コンバータ (ADC) を 4 つ内蔵しています。ADC の主な用途は、CSA 出力信号とモータの位相電圧を正確かつ迅速に A/D 変換することです。

更に、これらの ADC は時分割マルチプレクスされて、他の低速アナログ信号の変換に使われます。アナログ・マルチプレクサ入力は、4 つのアナログ・ピンと、電源測定やオンチップ温度測定などのいくつかの内部アナログ信号に接続されます。

IC 温度の測定

TMC9660 IC の温度は内部で測定され、内蔵の 13 ビット ADC によってデジタル値に変換されます。温度値は次式で計算できます。

$$T_J(^{\circ}\text{C}) = K_{TJ} \times \text{ADC}_{TEMP} - 268.15$$

ここで、

ADC_{TEMP} は 10 進数のレジスタ値、

K_{TJ} は比例定数です (測定ユニットの電気的特性の表を参照)。

電源電圧測定

モータの電源電圧 (V_S) は内部で測定されます。電源電圧は、次式を使いレジスタ値から計算できます。

$$V_S = K_{VS} \times V_{S_REG}$$

ここで、

K_{VS} は定数 (測定ユニットの電気的特性の表を参照)。

V_{S_REG} は 10 進数のレジスタ値です。

測定ユニットの電気的特性

($V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、 $V_{CC_{IO}} = 2.2V \sim 5.5V$ 、ジャンクション温度 = $-40^{\circ}C \sim 125^{\circ}C$ 、動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	GL
CURRENT-SENSE AMPLIFIER								
Equivalent Input Offset Voltage	VOS					250	μV	V
Programmable Gain	GAIN	GAIN[1:0]=00			5		V/V	II
		GAIN[1:0]=01			10			II
		GAIN[1:0]=10			20			II
		GAIN[1:0]=11			40			II
Gain Bandwidth Product	GBW	CSA_FILT[1:0]=00			9.5		MHz	VI
		CSA_FILT[1:0]=01			7.8			VI
		CSA_FILT[1:0]=10			6.7			VI
		CSA_FILT[1:0]=11			6			VI
Input RMS Noise	N_{rms}	CSA_FILT[1:0]=00	GAIN[1:0]=01		180		μV_{rms}	VI
		CSA_FILT[1:0]=01	GAIN[1:0]=01		105			VI
		CSA_FILT[1:0]=10	GAIN[1:0]=01		81			VI
		CSA_FILT[1:0]=11	GAIN[1:0]=01		68			VI
Common Mode Rejection Ratio	CMRR	GAIN[1:0]=01			70		dB	VI
Common Mode Operating Input Range	V_{COM}			-0.5		0.5	V	II
Common Mode Tolerant Input Range	$V_{COM_tolerant}$				+/-2		V	VI
Differential Input Voltage Range	V_{DIFF}			- 1/GAIN		1/GAIN	V	II
Settling Time	TSET	Step response within 0.1% GBW = 9.5MHz GAIN = 20V/V			0.7		μs	VI
ANALOG-TO-DIGITAL CONVERTER/ADC								
ADC Resolution	ADC_RES				13		Bits	II
ADC LSB	LSB				0.3049		mV	II
Internal Reference Voltage	V_{REF}			1.2375	1.249	1.2625	V	II
Full Scale Input, Single Ended	V_{FS_SE}					1.25	V	II
Differential Nonlinearity[2]	DNL					+/-1	LSB	VI
Integral Nonlinearity[2]	INL					+/-3	LSB	VI
SAR Clock Frequency	ADC_F				60		MHz	II

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

($V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、 $V_{CC10} = 2.2V \sim 5.5V$ 、ジャンクション温度 = $-40^\circ C \sim 125^\circ C$ 、動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
Gain Error[2]	ADC_GAIN		-0.85		+0.85	%	V
Offset Error[2]	VOFF_ADC	Analog input.	-1.5		0.4	mV	VI
CURRENT MEASUREMENT (CSA+ADC)							
Total Gain Error[2]	GAINERR	Ta = 25°C	-1.1		+1.1	%	V
		Ta = -40°C, 125°C	-1.2		+1.8		V
Total Gain Temperature Drift[2]	Δ GAIN	Ta = -40°C (Max/min is average drift +/- 6 sigma)	-0.26	0.34	0.95	%	V
		Ta = 125°C (Max/min is average drift +/- 6 sigma)	-0.66	-0.06	0.55		V
SUPPLY VOLTAGE MEASUREMENT							
V _S Voltage Measurement Coefficient	KVS	VS = KVS × VSREG	2.41	2.44	2.47	mV/LS B	II
V _S Voltage Measurement Offset Error	OSVS		-0.4		0.4	V	II
TEMPERATURE MEASUREMENT							
Junction Temperature Measurement Coefficient	KTJ	Tj = KTJ × ADCTEMP -268.15		16.15		m°C/LS B	II

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

保護機能の説明

はじめに

TMC9660 は、過酷な環境下でも信頼性と安全動作を確保できるように設計されており、一連のハードウェア保護機能と診断機能を備えています。これらには、ドライバ・フォルト (モータの過電流、外部 FET ゲートの短絡)、熱的なフォルトと警告、内部および外部電源フォルト (短絡、過電流、低電圧) に対する保護機能が含まれています。

各種の保護機能は、設定に関して高い自由度を備えています。ユーザはアプリケーションの要求に応じて、介入閾値を設定する、フォルト発生時に様々な措置を講じてフォルトからの回復に複数の戦略を採用する、異なるブランキングおよびデグリッチ・タイミングを設定して環境の電氣的ノイズでフォルトがトリガされないようにする、などの対応を取ることができます。

以下のセクションでは、デバイスに組み込まれているハードウェア保護ブロックについて説明します。

機能一覧

出力段の過電流および短絡保護

- VDS 測定に基づいて設定可能なハイ/ローサイド NFET 過電流保護
- RSHUNT に基づいて設定可能なローサイド NFET 過電流保護

ゲート・ドライバ出力の短絡保護

- ハイに短絡されたハイ/ローサイド・ゲート
- ローに短絡されたハイ/ローサイド・ゲート

サーマル・シャットダウンと警告による保護

- グローバルなサーマル・シャットダウンと警告
- リニア・レギュレータ (V_{EXT1}、V_{EXT2}、1V8、A1V8) の局所的な過熱保護
- 降圧コンバータ (V_{BUCK}) の局所的な過熱保護

PMU の過電流保護と短絡保護

- リニア・レギュレータの電流制限 (V_{EXT1}、V_{EXT2}、1V8、A1V8)
- V_{DRV} チャージ・ポンプの短絡保護
- 降圧コンバータの過負荷保護と短絡保護

低電圧ロックアウト (UVLO)

- V_S、V_{SA} UVLO、および警告
- V_{CC_IO} UVLO
- V_{BUCK}、V_{DRV}、およびブートストラップ (BST_{_}) UVLO

ドライバ保護回路図

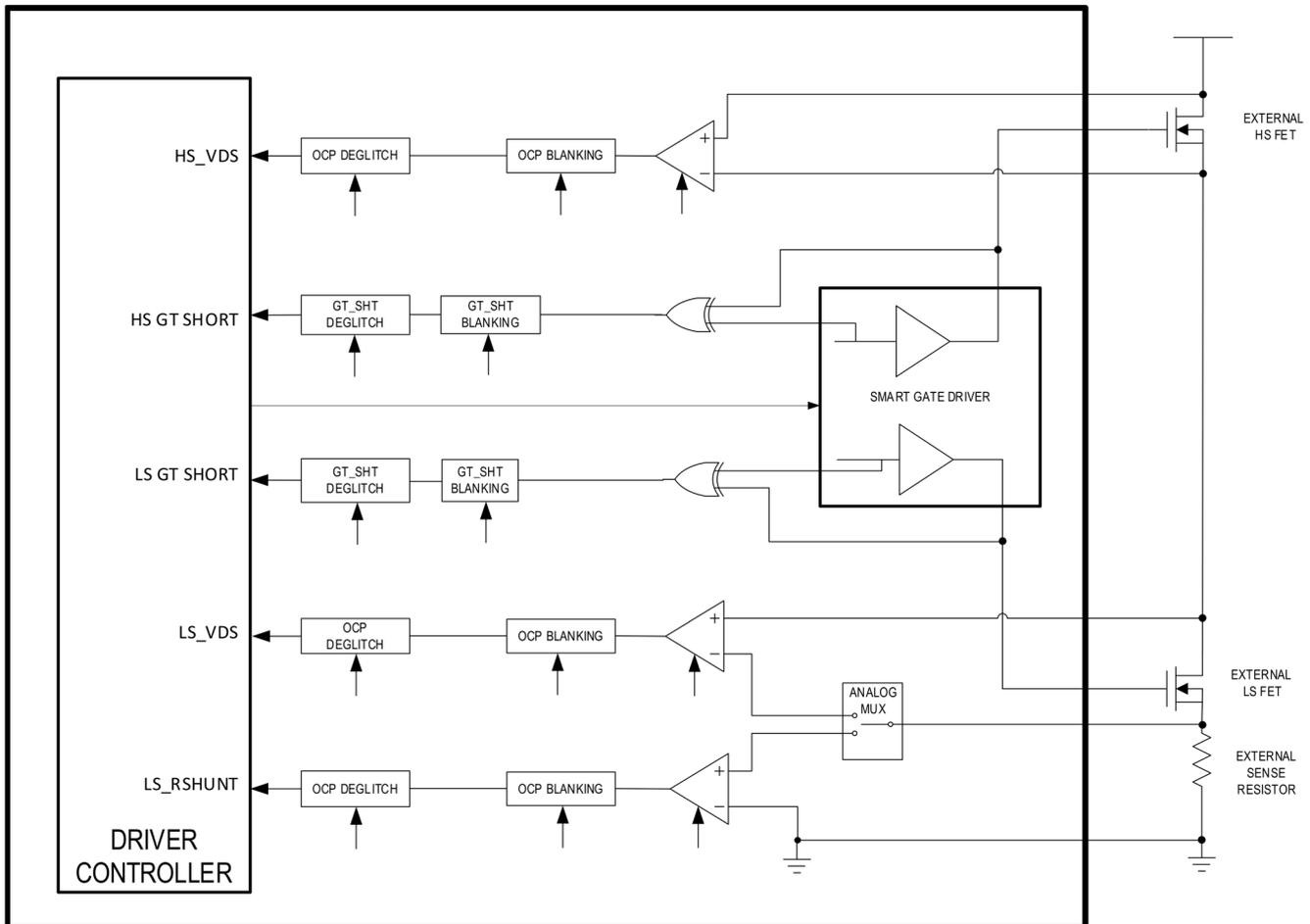


図 26. 過電流およびゲート短絡保護の回路図

出力段の過電流および短絡保護

ゲート・ドライバは、過電流フォルト・イベントを検出して対処するための回路を内蔵しています。

HS 保護回路は、外部 HS FET のドレイン・ソース電圧 (VDS) を検出して、それをプログラマブル閾値と比較します。

LS 保護回路は、外部 LS FET のドレイン・ソース電圧 (VDS)、または下側シャント抵抗 (RSHUNT) の電圧を検出して、それをプログラマブル閾値と比較します。

VDS に基づく電流測定は温度と外部 MOSFET の製品ごとの浮遊成分に大きく依存し、通常は正確さと再現性に欠けます。RSHUNT に基づく電流測定の方が正確で再現性もあり、モータおよび電力段の電流保護をより細かく調整できます。

VDS または RSHUNT に基づく保護閾値は、広い範囲にプログラム可能です。可能な設定を表 11 に示します。

過酷な環境下で生じる電氣的ノイズによって過電流保護や短絡保護が誤ってトリガされるのを避けるために、TMC9660 は設定可能なブランキング・タイミング機能とデグリッチ・タイミング機能を備えています。

ブランキング・タイミングは出力遷移を開始するロジック PWM コマンドから始まるのに対し、デグリッチ・タイミングは過電流保護コンバータの反転から始まります。ブランキング時間とデグリッチ時間の合計は、立上がり／立下がりエッジでのフォルトの誤表示を避けるために、位相電圧の遷移時間（立上がりエッジと立下がりエッジ）より長く設定する必要があります。

プログラム可能なブランキング時間とデグリッチ・フィルタの値を表 14 に示します。

閾値、ブランキング、およびデグリッチの設定は、UX1、VX2、WY1 の各チャンネルで共通ですが、Y2 チャンネルでは異なることがあります。

過電流フォルト・イベントが発生した場合、TMC9660 のコントローラは、個々のハーフブリッジ、または 4 つのハーフブリッジすべてをスリーステートにすることができます。表 13 に概要を示すように、様々なリカバリ方式（自動リトライまたはラッチ）がサポートされています。

パラメータ・モードは、より高度な処理オプションをサポートしています。

表 11. 過電流保護閾値

SETTING	HIGH SIDE		LOW SIDE	
	HS_VDS	LS_RSHUNT	LS_VDS	
0	63mV	80mV	63mV	
1	125mV	165mV	125mV	
2	187mV	250mV	187mV	
3	248mV	330mV	248mV	
4	312mV	415mV	312mV	
5	374mV	500mV	374mV	
6	434mV	582mV	434mV	
7	504mV	660mV	504mV	
8	705mV	125mV	705mV	
9	0.94V	250mV	0.94V	
10	1.18V	375mV	1.18V	
11	1.41V	500mV	1.41V	
12	1.65V	625mV	1.65V	
13	1.88V	750mV	1.88V	
14	2.11V	875mV	2.11V	
15	2.35V	1V	2.35V	

表 12. 過電流保護

MNEMONIC	PROTECTION	DESCRIPTION	CONFIGURABILITY	SUPPORTED ACTION	FAULT TYPE AND RECOVERY
HS_VDS_S2G	High Side ext FET Short-Circuit Protection	Short is detected by sensing the voltage drop on the HS external power FET	<ul style="list-style-type: none"> • 16 levels - Programmable Thresholds • 8 value - Programmable Blanking Time • 8 value - Programmable Deglitch Time • Function Enable/Disable 	<ul style="list-style-type: none"> • Individual Half-Bridge is Threestated • MCU signaling is generated (interrupt) • All Half-Bridges are Threestated 	<ul style="list-style-type: none"> • Autoretry with Tretry • 3 times Autoretry and Latch • Latched Fault

LS_VDS_S2G	Low Side ext FET Short-Circuit Protection	Short is detected by sensing the voltage drop on the LS external power FET	<ul style="list-style-type: none"> • 16 levels - Programmable Thresholds • 8 value - Programmable Blanking Time • 8 value - Programmable Deglitch Time • Select between VDS-based or RSHUNT-based • Function Enable/Disable 	<ul style="list-style-type: none"> • Individual Half-Bridge is Tristated • MCU signaling is generated (interrupt) • All Half-Bridges are Threestated 	<ul style="list-style-type: none"> • Autoretry with Tretry • 3 times Autoretry and Latch • Latched Fault
------------	---	--	--	---	---

ゲート保護—VGS 保護

LS_GT_SHT 回路はローサイド・ゲート・ドライバの不具合を検出し、HS_GT_SHT 回路はハイサイド・ゲート・ドライバの不具合を検出します。設定可能な TIMEOUT 経過後のゲート出力電圧がコマンド信号と合致しない場合は、フォルトが検出されて対策が講じられます (表 13 を参照)。これは、ゲート出力電圧が短絡状態や過負荷状態になったことで発生する可能性があります。

ゲート・ドライバ・シーケンサのセクションに述べたように、ゲート・ドライバ・シーケンサは TIMEOUT パラメータを使用します。したがって、TIMEOUT は、ゲート電圧が最終的なレベルにセトリングできるだけの十分な長さに設定する必要があります。

設定可能なデグリッチ・フィルタとブランキング時間は、測定したゲート電圧の短いグリッチによる誤トリガを防ぎます (ブランキングとデグリッチのセクションを参照)。

ゲートの短絡フォルトが検出されると、ゲート・ドライバを保護するために該当ハーフブリッジがスリーステート状態になります。すべてのハーフブリッジがスリーステートになることもあります。

表 13. ゲート・ドライバ出力の保護

MNEMONIC	PROTECTION	DESCRIPTION	CONFIGURABILITY	SUPPORTED ACTION	FAULT TYPE AND RECOVERY
HS_GT_SHT_OFF/ON	High-Side Gate Short	Fault is detected when HS Gate voltage is not consistent with Gate command	<ul style="list-style-type: none"> • 8 value - Programmable Timeout • 4 value - Programmable Blanking Time • 8 value - Programmable Deglitch Time • Function Enable/Disable 	<ul style="list-style-type: none"> • Individual Half-Bridge is Threestated • MCU signaling is generated (interrupt) • All Half-Bridges are Threestated 	<ul style="list-style-type: none"> • Latched Fault (requires reset) • No Latched Fault
LS_GT_SHT_OFF/ON	Low-Side Gate Short	Fault is detected when LS Gate voltage is not consistent with Gate command	<ul style="list-style-type: none"> • 8 value - Programmable Timeout • 4 value - Programmable Blanking Time • 8 value - Programmable Deglitch Time • Function Enable/Disable 	<ul style="list-style-type: none"> • Individual Half-Bridge is Threestated • MCU signaling is generated (interrupt) • All Half-Bridges are Threestated 	<ul style="list-style-type: none"> • Latched Fault (requires reset) • No Latched Fault

ブランキングとデグリッチ

表 14 に示すように、ブランキングとデグリッチのタイミングは、スプリアス信号や一時的な信号によって保護機能がトリガされることがないように設定できます。これは、過電流保護とゲート出力保護の両方にあてはまります。

図 27 に、ブランキング時間とデグリッチ時間がどのように動作するのかを示します。この図は過電流保護機能を示していますが、ゲート出力機能にも容易に拡大して適用できます。

この例では、外部 FET をオンにするよう指示する PWM 信号をコントローラが出力し、これによりブランキング時間カウンタが動作を開始します。

この例では、過電流アナログ・コンパレータがスプリアス・フォルト信号（イベント「1」）を出力しています。これは、モータの位相出力がまだ遷移中であることによるものか、誤って OCP イベントとして検出されたスイッチング・ノイズによるものと考えられます。このイベント「1」はブランキング時間（TSHT_BLK）より短いので、このスプリアス・フォルト信号は無視されます。

他にもスプリアス OCP イベントが発生しており（「2」と「3」で示されたもの）、それらも例に示されています。これらは、ドライバ出力が定常状態になっていると思われる時点で発生しています。OCP コンパレータが OCP イベントを検出すると、その都度デグリッチ・カウンタがカウントを開始します。イベント「2」と「3」はデグリッチ時間（TSHT_DEG）より短いので、どちらも無視されます。デグリッチ時間は、コンパレータ出力がゼロになる（つまりフォルト・イベントが検出されない）と、その都度リセットされます。

最後に、4 つ目の OCP イベント（「4」）が検出されています。これはデグリッチ時間（TSHT_DEG）より長いので有効なフォルト状態として認識され、ドライバは保護モードに入って出力トランジスタをオフにします。

ブランキングおよびデグリッチ時間の設定可能値を表 14 に示します。

表 14. ブランキングおよびデグリッチの設定可能値

	POSSIBLE VALUES
OCP Blanking Time	0, 0.25 μ s, 0.5 μ s, 1 μ s, 2 μ s, 4 μ s, 6 μ s, 8 μ s
OCP Deglitch Time	0, 0.25 μ s, 0.5 μ s, 1 μ s, 2 μ s, 4 μ s, 6 μ s, 8 μ s
Gate Short Blanking Time	0, 0.25 μ s, 0.5 μ s, 1 μ s
Gate Short Deglitch Time	0, 0.25 μ s, 0.5 μ s, 1 μ s, 2 μ s, 4 μ s, 6 μ s, 8 μ s

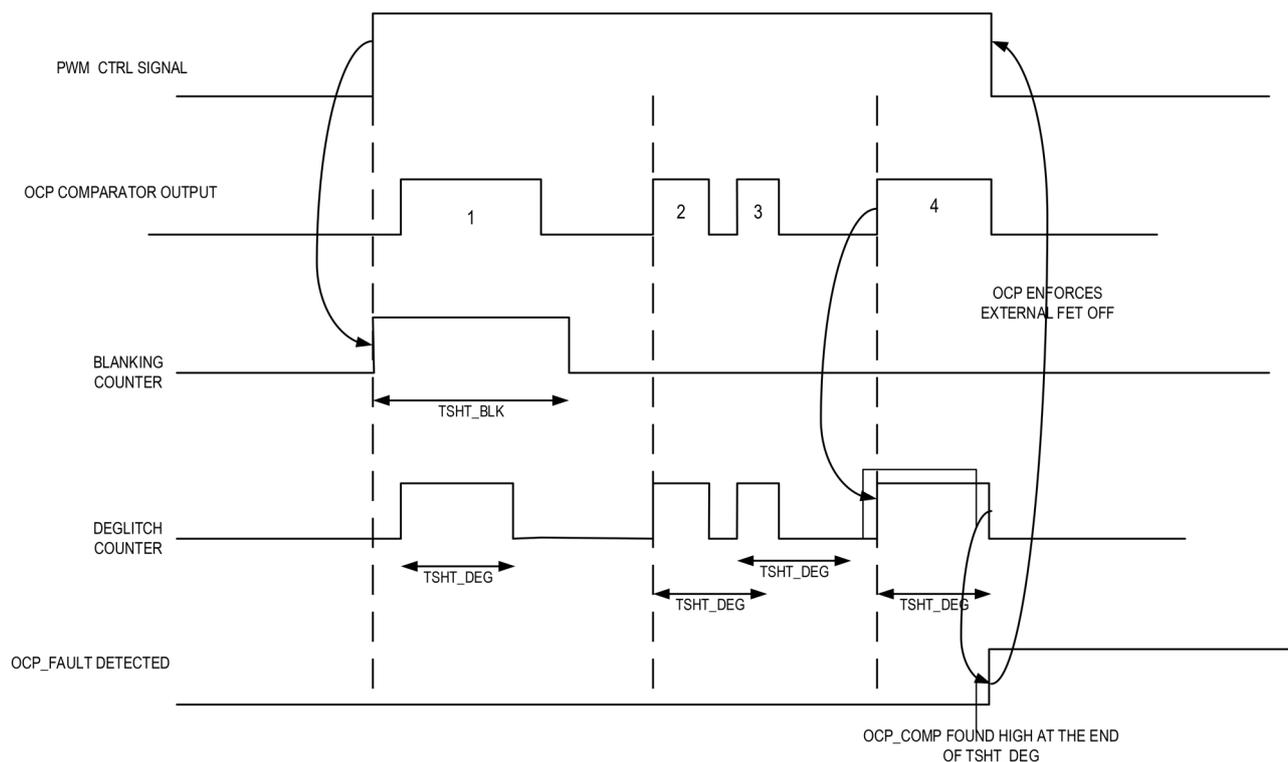


図 27. ブランキングとデグリッチ

過熱保護

TMC9660 は、過熱警告回路と過熱保護回路を内蔵しています。

過熱警告はダイ温度が TWARN 閾値を超えるとトリガされ、トリガされると過熱警告 (Thermal Warning) ビットがセットされます。それ以上の措置は取られず、デバイスは動作を継続します。ダイ温度がヒステリシス・ポイントを下回ると、過熱警告ビットは自動的にクリアされます。

サーマル・シャットダウンはダイ温度が TSDN 閾値を超えるとトリガされます。トリガされると、ゲート・ドライバ、V_{DRV} チャージ・ポンプ、および外部 LDO がシャットダウンされて動作を停止します。ダイ温度がヒステリシス・ポイントを下回ると、通常動作が再開されます。

外部 LDO (V_{EXT1}、V_{EXT2}) は局部的に過熱保護されており、これらはジャンクション温度が 165°C を超えると個別にシャットオフされます。

降圧コンバータと 1V8 および A1V8 リニア・レギュレータも局部的に過熱保護されており、サーマル・センサーは LDO 出力段の近くに置かれています。ジャンクション温度が 165°C を超えると該当レギュレータがシャットオフされて、ロジックがリセットされます。

低電圧ロックアウト

外部電源電圧 (V_S、V_{SA}、V_{CC10}) と内部生成電圧 (1V8、A1V8、V_{DRV}、BS₋) は両方がモニタされており、その値が最小動作閾値未満に低下した場合は UVLO コンパレータが安全な動作を確保します。

各電源の UVLO 機能の詳細は、[パワー・マネージメント・ユニット](#)のセクションを参照してください。

フォルト・ピン (FAULTN)

TMC9660 は、信号フォルト時およびブートストラップ・ステップ完了時専用のピンを備えています。このピンはオープン・ドレイン出力で、アサート時にはローになります。TMC9660 をパワーオンすると FAULTN ピンがアサートされた状態になります。チップのパワーオン・シーケンスが正常に完了すると、ピンはデアサートされます。一定のフォルト・イベントが検出された場合も FAULTN がアサートされます。その他のフォルト・イベントが検出された場合に FAULTN ピンをアサートするかどうかは、ユーザが設定できます。ブートストラップ・シーケンスも、様々な動作の処理時に一時的に FAULTN ピンをアサートするように設定できます。

保護機能—電気的特性

(V_{SA} = 7.7V~80V、V_S = 7.7V~80V、ジャンクション温度 = -40°C~125°C。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
OVERCURRENT PROTECTIONS							
R _{sense} -Based— Overcurrent Protection Voltage Configurable Range	LS_RSNS_O CP	OCP_THRES_ = 0	125		1000	mV	II
HS/LS FET-Based— Overcurrent Protection Voltage Configurable Range	VDS_OCP		63		2350	mV	II
OCP Blanking Time Configurable Range	TBLANK_R	Steps: 0, 0.25μs, 0.5μs, 1μs, 2μs, 4μs, 6μs, 8μs	0		8	μs	VI
OCP Deglitch Time Configurable Range	TDEG_R	Steps: 0, 0.25μs, 0.5μs, 1μs, 2μs, 4μs, 6μs, 8μs	0		8	μs	VI
OCP_Autoretry	TRETRY	OCP Autoretry Function enabled. Default setting		4		ms	II
GATE SHORT PROTECTIONS							
HS/LS FET VGS ON Threshold Voltage	VGS_ON	VGS = rising	BS-1.2	BS-0.9		V	II

ハードウェアによるサーボ (FOC) コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

($V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 80V$ 、ジャンクション温度 = $-40^\circ C \sim 125^\circ C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	GL
HS/LS FET VGS OFF Threshold Voltage	VGS_OFF	VGS = falling		1.2	1.6	V	II
VGS Protection Blanking Time Range	TBLANK_VGS_R	Programming steps: 0 μ s, 0.25 μ s, 0.5 μ s, 1 μ s (Note: Tdrive acts as additional blanking)	0		1	μ s	VI
VGS Protection Deglitch Time Range	TDEG_VGS_R	Programming Steps: 0, 0.25 μ s, 0.5 μ s, 1 μ s, 2 μ s, 4 μ s, 6 μ s, 8 μ s	0		8	μ s	VI
THERMAL PROTECTIONS							
Thermal Shutdown Threshold	TSDN			165		$^\circ C$	II
Thermal Hysteresis	THYST			30		$^\circ C$	II
Thermal Warning Threshold	TWARN			135		$^\circ C$	II

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE
V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

クロックと制御の説明

このセクションでは、タイミング・リファレンス (クロック・ライン) についてと、それらがどのように生成されるのかについて説明します。これらのリファレンスは、TMC9660 内部の制御ブロックと A/D 変換のためのタイム・ベースとして使われます。

また、グローバル・リセット、ドライバ・イネーブル機能、ウェイクアップ機能など、いくつかのグローバル制御機能についても説明します。

クロック

TMC9660 は以下に示す 3 つの異なるクロック源をサポートしていますが、メイン/システム・クロックとして使用できるのはそのうちの 1 つだけです。

- 内部発振器 (INT_OSC 15MHz)
- 外部クロック入力 (CLK_IN)
- 外部水晶を使用するオンチップ水晶発振器 (OSC_IN、OSC_OUT に接続)

この他に、以下の独立した 2 次クロック源があります。

- AON ブロック内部のタイマーとウォッチドッグを駆動する内部 32kHz 低消費電力発振器。

システム・リセット後は、常に内部クロックで MCU が起動して ROM からブートローダ・プログラムを実行します。ブートローダは内部 PLL を設定してイネーブルし、PWM ブロック用に 120MHz を、ADC 用に 60MHz を、そして (その他数ある中で) MCU および MCC 用に 40MHz を生成します。初期化後に、ブートローダの OTP 設定に基づいてクロック源が外部クロック入力またはオンチップ水晶発振器に変更されることがあります。水晶発振器を動作させるには外部水晶振動子が必要です。

異なるクロック・オプション用に、1MHz~32MHz の周波数がサポートされています (整数)。システム全体の正常動作を維持するには有効なクロック信号が不可欠なので、外部クロックまたは水晶発振器からのクロックは内部発振器の助けを借りて常時モニタされ、クロックに誤差が生じた場合はすべてのデジタル・クロックがリセットされます。

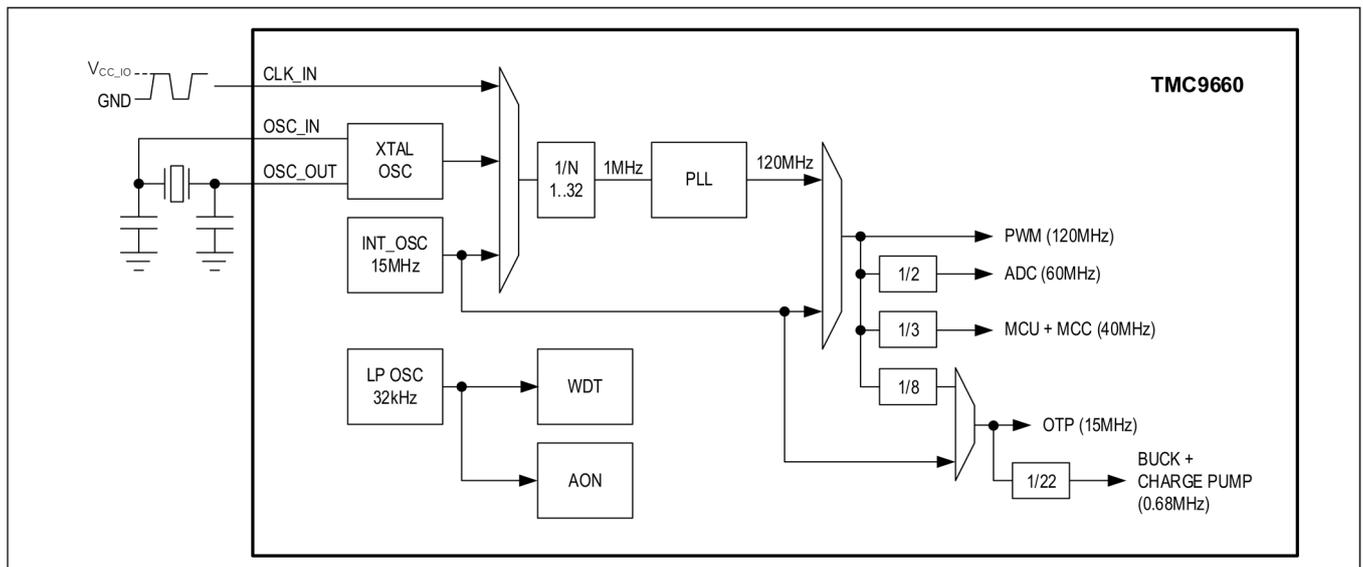


図 28. TMC9660 のクロック・オプションとクロック・ツリー

水晶発振器

オンチップ水晶発振器は、5 つの異なる水晶振動子周波数 (8MHz、16MHz、24MHz、25MHz、および 32MHz) に最適なゲインを設定できる、プログラマブル出力電流を提供します。

表 15. XTAL 出力電流と水晶振動子周波数の関係

XTAL_CFG	CONDITIONS	XTAL_OUT (μA)	f_{XTAL} (MHz)
1	ESR < 250R and CL = 9pF	75 μA	8MHz
3	ESR < 70R and CL = 9pF	225 μA	16MHz
5	ESR < 70R and CL = 9pF	375 μA	24MHz or 25MHz
6	ESR < 60R and CL = 9pF	450 μA	32MHz

ESR は水晶振動子メーカーの定める等価直列抵抗値で、推奨される負荷容量値は CL = 9pF です。XTAL 発振器は、ESR が表に示す値より大きい小型水晶振動子をサポートする増幅機能も備えています。この機能は、発振器の出力電流を一定時間 (65k クロック・サイクル) 900 μA まで増加させて、スタートアップ時のゲインを増大させます。

リセット (RSTN)

TMC9660 は、1V8 デジタル・コア電源のパワーオン・リセット (POR) 機能を内蔵しています。更に、TMC9660 のマイクロコントローラの手動リセットに使用できる専用の外部 RSTN ピンを備えています。この入力はアクティブ・ローで、内部ロジックのリセット状態を解除するにはハイにする必要があります。内蔵レギュレータの電源出力 V_{EXT1} または V_{EXT2} を V_{CC_IO} に接続する必要があるスタンドアロン電源動作時は、TMC9660 内部のブートローダによって設定されるまで、これらの電源を使用することはできず、したがって V_{CC_IO} も使用できません。結果として、RSTN 入力と V_{CCIO} 間のプルアップ抵抗では不十分です。代わりに、RSTN 入力を降圧レギュレータ出力までプルアップすることができます。代表的な設定を以下に示します。

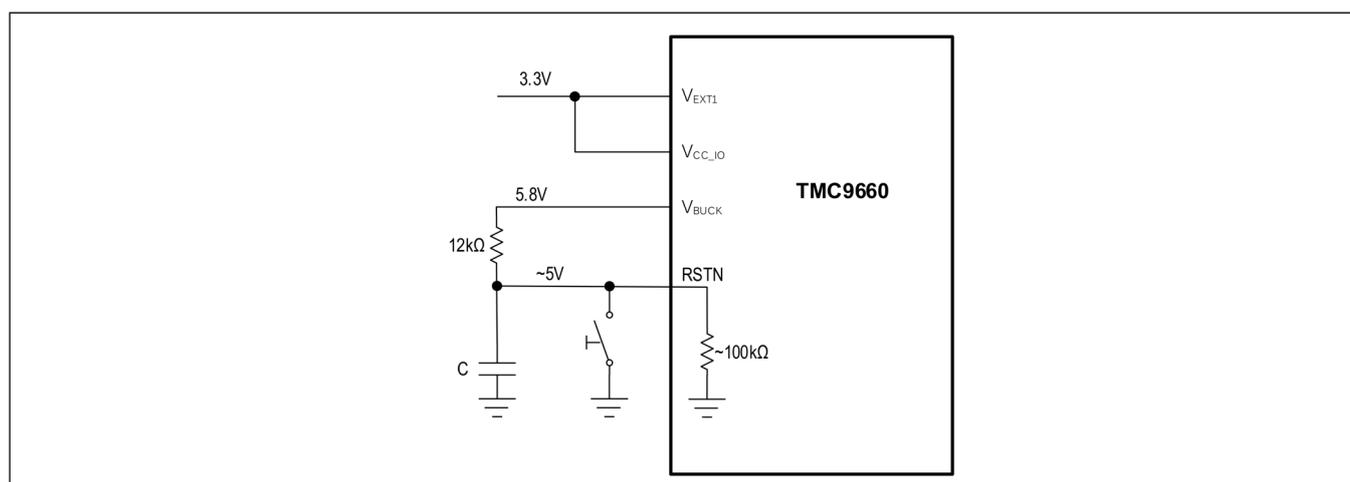


図 29. TMC9660 リセットピン (RSTN) の外部回路

リセットを発生させるイベントは他にもいくつかあります。

- ウォッチドッグ・リセット
- ハイバネーション・モードへの移行
- ソフトウェア・リセット
- クロック喪失の検出
- 重大なハードウェア異常

ドライバ・イネーブル (DRV_EN)

TMC9660 には専用のドライバ・イネーブル入力ピン DRV_EN があります。このピンはプルダウン抵抗を内蔵しています。未接続のままにするか外部抵抗によって能動的にローにすると、ソフトウェア設定に関わらずドライバ段がスイッチ・オフされます。電力段はスリープ状態となり、同時に BST コンデンサが放電されます。

この入力をハイにすると、ソフトウェアでドライバ段をアクティブにすることができます。

アプリケーションにこの機能が必要ないときは、このピンを V_{CC_IO} に接続してください。これを行わないと、ドライバ段をソフトウェアでイネーブルできなくなります。

注：モータがまだ回転している状態でこのピンをローにすると、必然的にドライバ段がオフになって過電圧状態となり、モータからの逆起電力によってドライバ段が損傷するおそれがあります。弱め界磁モードの場合は特に注意が必要です。

ウェイクアップ (WAKE)

TMC9660 には専用の WAKE ピンがあります。このピンをハイにすると、デバイスはハイバネート・モードを終了します。

注：ドライバ・イネーブルと同様に、デバイスがハイバネート・モードになるとドライバ段も非アクティブになります。モータがまだ回転している状態でドライバ段をオフにすると過電圧状態となり、モータからの逆起電力によってドライバ段が損傷するおそれがあります。弱め界磁モードの場合は特に注意が必要です。

FAULT 出力 (FAULTN)

TMC9660 には専用の FAULT 出力ピンがあります。このピンはアクティブ・ローのオープン・ドレイン (V_{CC10} に制限される) 出力で、標準 SPI や UART インターフェースを通じた TMC9660 との通信に重大なエラーが発生して内部ステータス情報やエラー・フラグを読み出すことができなくなった場合に、アクティブになります。概要を示すために、使用可能な内部信号の一部を図 30 に示します。

フォルト状態を示すことに加え、この出力はパワーアップ後にローになり、TMC9660 の通信とコマンド受入れの準備が完了するまでローに保たれます。

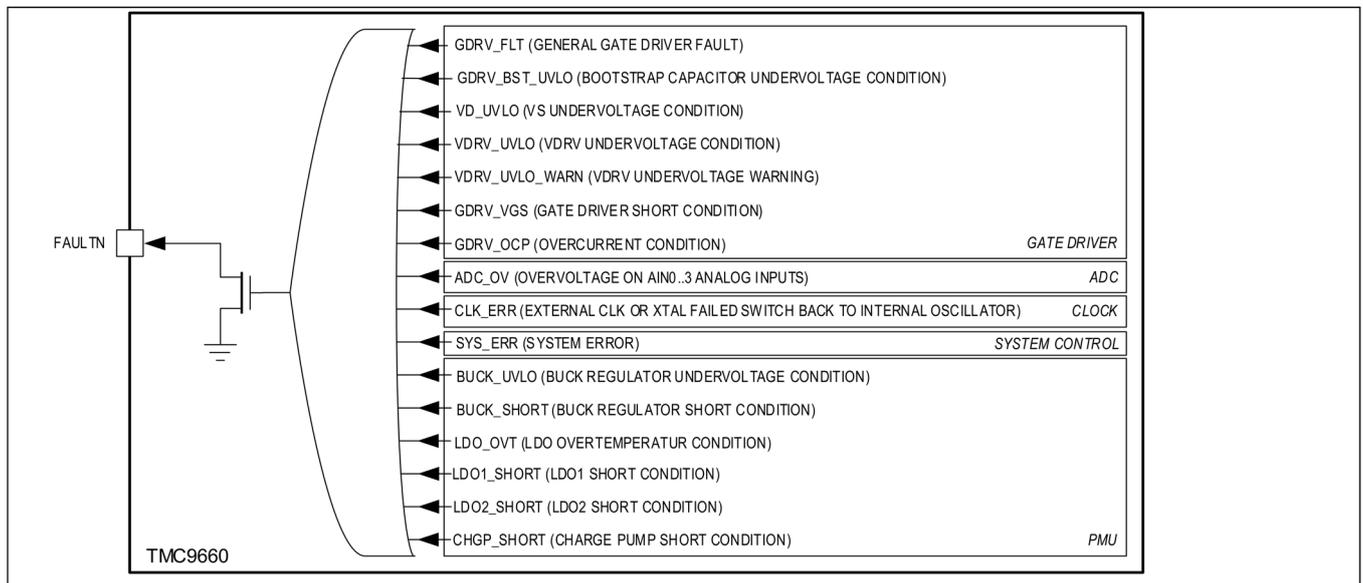


図 30. FAULTN 出力信号のオプション

クロックと制御—電気的特性

($V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、ジャンクション温度 $= -40^\circ C \sim 125^\circ C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	GL
Power-Up/Wake-Up Time to Application	TWAKE	From power off or hibernation until application is ready for communication	Self-test enabled		44		ms	VI
	TWAKE_FAST	From power off or hibernation until application is	Self-test disabled		10.5			VI

ハードウェアによるサーボ（FOC）コントローラと 降圧コンバータを搭載した 70V スマート・ゲート・ドライバ

($V_{SA} = 7.7V \sim 80V$ 、 $V_S = 7.7V \sim 70V$ 、ジャンクション温度 = $-40^\circ C \sim 125^\circ C$ 。動作温度範囲および対応する電源電圧範囲における制限値は、設計および特性評価によって裏付けられています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	GL
		ready for communication						
CLOCK								
Internal Oscillator Frequency	I _{CLK}			14.2	15	15.8	MHz	II
External Oscillator Frequency Range	ECLK			1		32	MHz	II
32K Oscillator Frequency	CK32			30.4	32	33.8	kHz	II
Internal PLL Output Frequency	PLL_CLK				120		MHz	II
MCU Clock Frequency	MCU_CLK				40		MHz	II
PLL Startup Time	t _{PLLSTRT}	Enable PLL to commit goes low			200		μs	II
CONTROL PINS								
Resistive Pull-Down	RPD	RSTN, DRV_EN		60	100	140	kΩ	II
Logic Input Leakage Current	I _{LEAK}			-1		1	μA	II
Input Voltage Level High	V _{IH}	RSTN, DRV_EN		2			V	II
Input Voltage Level Low	V _{IL}	RSTN, DRV_EN				0.8	V	II
Hysteresis		RSTN, DRV_EN			0.2		V	II
Input Voltage Level High	V _{IH}	WAKE		890			mV	II
Input Voltage Level Low	V _{IL}	WAKE				650	mV	II
Hysteresis		WAKE			80		mV	II
DIN Propagation Delay		RSTN, DRV_EN			0.5	1	μs	II
Logic Low Output Voltage	V _{ol}	I _{ol} = 5mA	FAULTN			0.4	V	II
Time from Hibernation to gate driver output		From boot until open loop commutation / gate driver output			49.4		ms	VI
Time from Hibernation to gate driver output without self-test		From boot until open loop commutation / gate driver output			15.9		ms	VI

GUARANTEE LEVEL	DESCRIPTION
I	Production Tested @ Multiple Temps
II	Production Tested @ Room Temp, Characterized @ Multiple Temps
IIsc	Production Tested via Scan @ Room Temp, Characterized via Scan @ Multiple Temps
III	Sample Tested
IV	Not Production Tested, Characterized by ATE

V	Not Production Tested, Characterized by Bench (GBDC)
VI	Internal Design Target
VII	Production Tested, Internal Only
VIII	Production Tested @ Hot, Characterized @ Multiple Temps

ブートローダ

TMC9660 は、システムのブートストラップと低レベルの設定を行うためのブートローダを備えています。

以下の機能を利用できます。

- スタートアップ時の内部メモリのセルフテスト
- UART、RS485、または SPI を通じたシステム設定
 - クロック源の設定
 - GPIO 機能の選択
 - モータ制御モードの選択
- OTP メモリのシステム設定ストレージ
- 接続された SPI フラッシュまたは I²C EEPROM への外部メモリ・アクセス
- モータ制御システムの起動

すべてのブートローダ設定は実行時に設定するか、OTP に書き込んでパワーオン時に実行することができます。

注：このセクションに説明する TMC9660 ブートローダのすべての機能には、PC から TMC9660 への通信を可能にする UbiTools ソフトウェアを使用できます。また、マイクロコントローラから TMC9660 ブートローダを使用するために、UbiTools の C ライブラリが提供されています。

チップ・ブートストラッピングの概要

TMC9660 のブートストラッピングは、ブートローダ・モードに入った後に実行されます。まだ設定されていないチップでこれに必要なのは、チップを完全にパワーオン状態にして (V_{SA} と V_{CC10} に外部から電源を供給)、リセット状態を解除することだけです。パワーオン後にモータ制御システムを起動するように設定されたチップでは、最初にブートローダへの復帰シーケンスを完了させる必要があります (パラメータ・データシートの Reentering Bootloader のセクションを参照)。

ブートローダが使用可能になれば、ブートストラッピングを継続できます。設定を OTP メモリへ書き込む前に、まず**実行時再設定**を使ってすべての設定を評価することを推奨します。すべてのブートローダ設定の一覧については、[設定リスト](#)を参照してください。

ブートローダの FAULTN 信号

TMC9660 のブートローダは、FAULTN ピンを使ってそのステータス信号を送信します。

ブートストラップの設定には 3 つの異なる制御ビットがあり、これらはブートローダが BL_READY_FAULT、BL_EXIT_FAULT、および BL_CONFIG_FAULT ピンをどのように使用するかを制御します。デフォルトでは、BL_EXIT_FAULT オプションだけがイネーブルされません。

BL_READY_FAULT は、ブートローダがコマンドを受け取る用意ができたときに FAULTN ピンをアサートするかデアサートするかを制御します。これにより、パワーアップ・シーケンスの完了時、設定タスクの完了時、またはモータ制御システムの動作終了時にブートローダへの復帰を検出することができます。

パワーオン時は FAULTN ピンがアサートされます。ブートローダの準備が完了すると、ブートローダは BL_READY_FAULT 設定を使用してピンをアサート/デアサートします。デフォルトでは、プログラムされていないチップではこれによってピンがデアサートされ、準備が完了したことを知らせます。

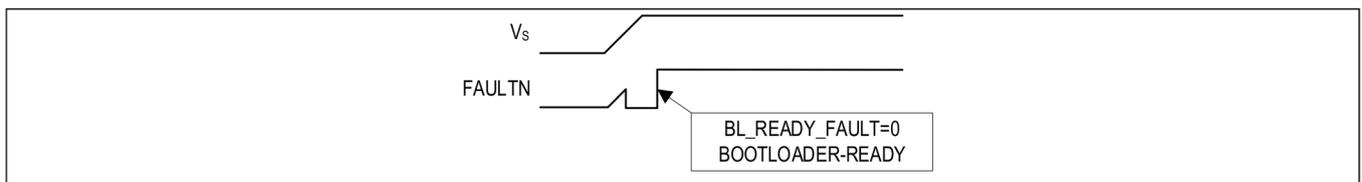


図 31. ブートローダの FAULTN ピン：パワーオンからブートローダの準備完了まで

モータ制御システムが起動すると、システムは FAULTN ピンをデアサートして準備が完了したことを知らせます。これが終了してブートローダに戻ると、ブートローダは BL_READY_FAULT を適用します。FAULTN ピンをアサートするように設定されている場合は、これによりピンがブートローダへの復帰完了を知らせます。

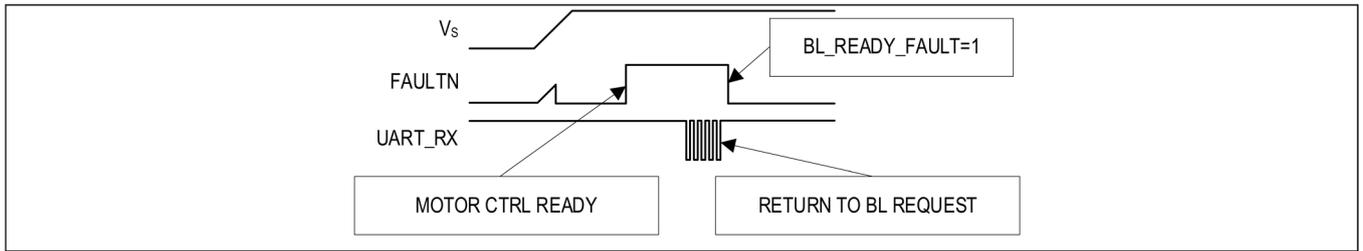


図 32. ブートローダの FAULTN ピン：モータ制御システムからブートローダへの復帰

注：図 32 では、モータ制御システムはパワーオン時に起動するように設定されています（保存された設定では START_MOTOR_CONTROL=1）。設定を更新する場合は、BL_CONFIG_FAULT オプションと BL_READY_FAULT オプションを組み合わせ使用し、設定更新が完了したことを知らせることができます。

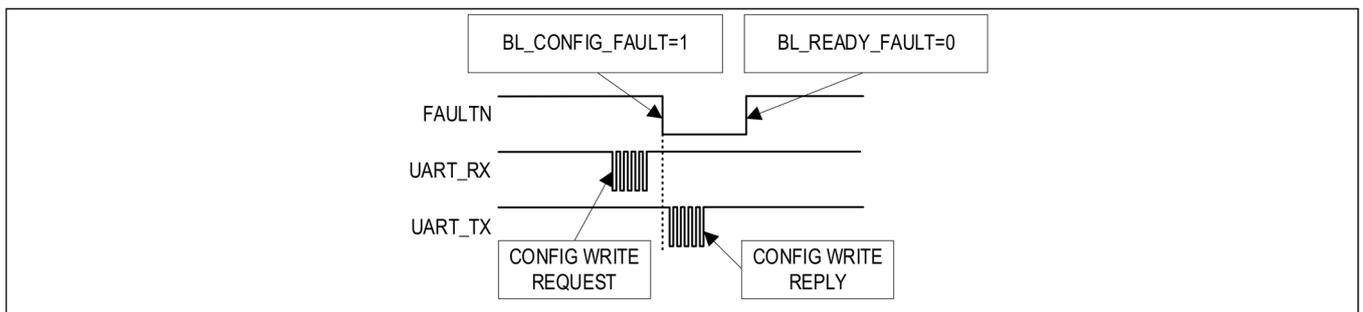


図 33. ブートローダの FAULTN ピン：設定の更新

BL_EXIT_FAULT オプションは、モータ制御システムの起動完了を知らせるために使用できます。ただし、代わりに BL_CONFIG_FAULT を使用する方が信頼性は向上します。

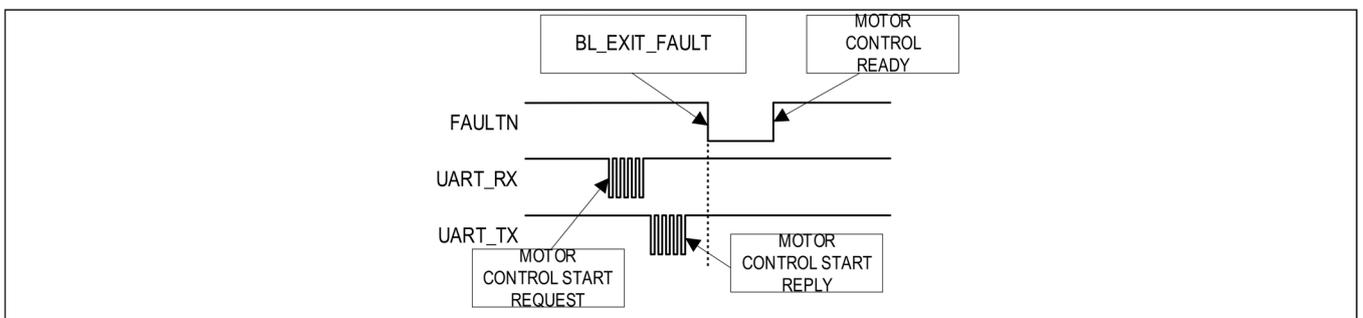


図 34. ブートローダの FAULTN ピン：BL_EXIT_FAULT を使用するモータ制御システムの起動

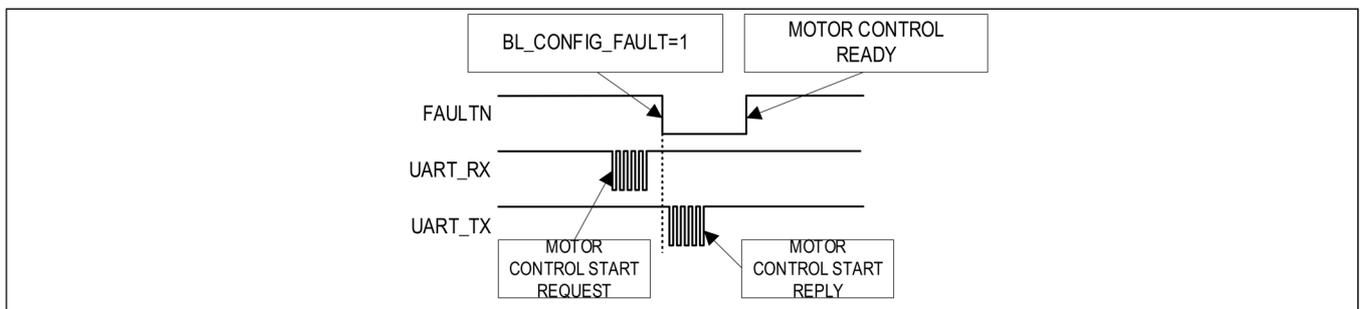


図 35. ブートローダの FAULTN ピン：BL_CONFIG_FAULT を使用するモータ制御システムの起動

BL_EXIT_FAULT の使用時は、応答を受信してから実際に FAULTN ピンがアサートされるまでの間に遅延が必要です。代わりに BL_CONFIG_FAULT を使用すると、応答の送信前にピンがアサートされるので、このような遅延は不要になります。

注：「モータ制御起動要求 (Motor control start request)」は、ブートストラップの設定で START_MOTOR_CONTROL ビットをセットすることを表します。

通信プロトコル

TMC9660 のブートローダ通信は、UART または SPI を通じて送信される要求/応答データグラムで構成されます。両方のバスに共通するのは、各要求が 1 つのコマンド・バイトと 4 つのデータ・バイトを送信し、各応答が 1 つのステータス・バイトと 4 つのデータ・バイトを返すことです。

UART 通信

UART を通じた通信は、要求ごとに送信される 8 つのバイトと、その後の応答ごとに受信される 8 つのバイトで構成されます。

表 16. ブートローダ UART 要求通信のバイト・フォーマット

要求バイト	名称	説明
1	Sync byte	このバイトは常に 0x55。
2	Device address	そのチップに設定されるデバイス・アドレス。デフォルトは 1。
3	Command byte	コマンド・バイト。コマンドのセクションを参照してください。
4-7	Data bytes	データ・バイト。最上位バイトが最初に送られます。
8	Checksum byte	CRC8 チェックサム・バイト。CRC8 チェックサム・バイトの計算については、CRC8 の計算のセクションを参照してください。

表 17. ブートローダ UART 応答通信のバイト・フォーマット

応答バイト	名称	説明
1	Host address	そのチップに設定されるホスト・アドレス。デフォルトは 255。
2	Device address	そのチップに設定されるデバイス・アドレス。デフォルトは 1。
3	Status byte	ステータス・バイト。コマンドのセクションを参照してください。
4-7	Data bytes	データ・バイト。最上位バイトが最初に送られます。
8	Checksum byte	CRC8 チェックサム・バイト。CRC8 チェックサム・バイトの計算については、CRC8 の計算のセクションを参照してください。

デバイス・アドレスとホスト・アドレスの詳細は、UART の設定のセクションを参照してください。

無効な同期バイトを含むデータグラムはすべて無視されます。

異なるデバイス・アドレスを含むデータグラムはすべて無視されます。

無効な CRC チェックサムを含むデータグラムはすべて無視されます。

オートボー使用時は、各応答が送信された後とデータグラムが無視された後に、ボー・レート検出が再開されます。

送信されたバイトが 8 バイト未満の場合、ブートローダはそれまでに受信したすべてのバイトを 10ms 経過後に破棄します。

使用する TX_EN ピン (BL_UART_TXEN)

プリ遅延とポスト遅延 (UART_TXEN_PRE_DELAY、UART_TXEN_POST_DELAY)

デバイス・アドレス (DEVICE_ADDRESS)

ホスト・アドレス (HOST_ADDRESS)

これらの設定は BOOTSTRAP_RS485 コマンドが受信されると直ちに適用され、その後で応答が返送されます。

このコマンドは、プリ遅延とポスト遅延の両方に同じ値を設定します。これらの遅延は、両方のタイミングを有効にするために 2 つの必要値のうちの大きい方に設定し、RS485 ブートストラップ・ステップの完了後に短い方の遅延を更新してください。

このブートストラップ後は通信が RS485 で行われ、通常どおり TMC9660 のすべての設定ができるようになります。

SPI 通信

SPI を通じた通信は 40 ビットのデータグラムで構成されます。データグラムごとに要求が TMC9660 に送られて、前の要求に対する応答が返されます。40 ビットを超えるデータが送られると、複数の SPI デバイスをデジチェーン接続できるように、最初の受信ビットが再度シフト・アウトされます。

表 18. ブートローダ SPI 要求通信のバイト・フォーマット

要求バイト	名称	説明
1	Command byte	コマンド・バイト。コマンドのセクションを参照してください。
2-5	Data bytes	データ・バイト。最上位バイトが最初に送られます。

表 19. ブートローダ SPI 応答通信のバイト・フォーマット

応答バイト	名称	説明
1	Status byte	ステータス・バイト。コマンドのセクションを参照してください。
2-5	Data bytes	データ・バイト。最上位バイトが最初に送られます。

コマンドの応答を受け取るには、別のコマンドを送信します。どのような動作もしない NO_OP という特別なコマンドがあり、これを使用すれば、副次的な影響を伴う別のコマンドを送信することなく、ステータスを受け取ることができます。

最初に送信したコマンドに対しては、ソフトウェアのバージョンを含む値を伴う SESSION_START という特別なステータスが送られてきます。その上位 16 ビットにはメジャー・バージョンが格納され、下位 16 ビットにはマイナー・バージョンが格納されています。

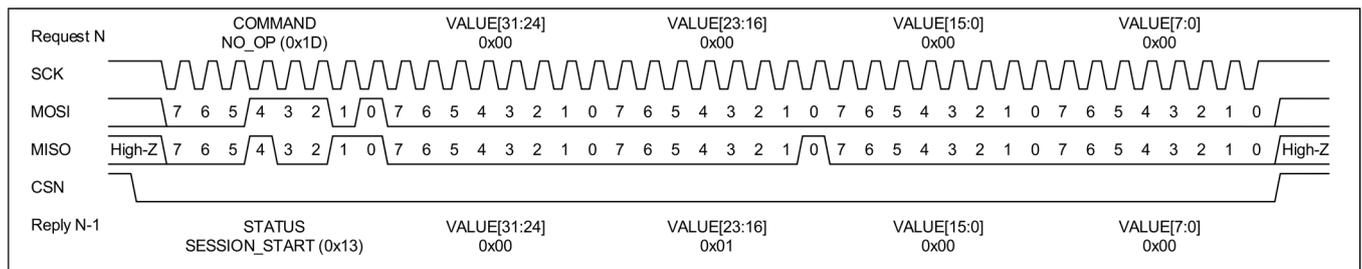


図 38. 最初のデータグラムの SPI データグラム例

メモリ・アクセス

TMC9660 のブートローダは、システムをブートストラップするためのメモリ・アクセスが可能です。メモリは異なるタイプのものを使用でき (メモリ・バンクと呼ばれる)、選択には SET_BANK/GET_BANK コマンドを使用します。

表 20. ブートローダ・メモリ・バンクのデコード

名称	番号	説明
SPI	1	外部 SPI フラッシュ
I2C	2	外部 I ² C フラッシュ
OTP	3	内部 OTP メモリのページ。ページのロードと保存には特別なコマンドが必要です。
CONFIG	5	設定メモリ。このメモリへの書込みは TMC9660 を再設定します。詳細は設定のセクションを参照してください。

メモリ・バンクの読出しまたは書込みのために、TMC9660 のブートローダはメモリ・アドレスを保持していますが、これは SET_ADDRESS/GET_ADDRESS コマンドを使って制御できます。

読出しと書込みは、READ_*コマンドと WRITE_*コマンドを選択することで行います。これらのコマンドは、32、16、または 8 ビット・アクセスをサポートしています。更に、_INC サフィックスを持つコマンドは、より迅速にストリーム読出しや書込みができるように、アクセスしたバイトの数だけメモリ・アドレスをインクリメントします。

例えば、READ_16_INC コマンドは 16 ビットのデータを読み出して、メモリ・アドレスを 2 ずつインクリメントします。

外部メモリ

TMC9660 は、外部 SPI フラッシュや外部 I2C EEPROM と共に使用できます。これらの外部メモリのどちらについても、TMC9660 のブートローダを使用するには、これらのメモリの設定、接続、およびパーティション分割が必要です。

外部メモリの状態は次のように判断されます。

関係する構成設定が行われている場合は設定されている。詳細は設定のセクションに記載されている SPI と I2C の設定を参照してください。

外部メモリが TMC9660 に応答した場合は接続されている。

外部メモリの開始位置に有効なパーティション・ヘッダが置かれている場合は、パーティション分割されている。

外部メモリの設定状態と接続状態は、MEM_IS_CONFIGURED コマンドと MEM_IS_CONNECTED コマンドを使ってクエリできます。パーティション状態は、GET_INFO コマンドを使い、SPI_MEM_PARTITIONS と I2C_MEM_PARTITIONS の値で判定できます。

外部メモリの設定変更後や GET_INFO を使ってパーティション数を要求した後は、ブートローダがパーティション・テーブルの情報をリロードします。

更に、外部メモリはビジー状態になることがあります。このような状態は、外部メモリが書込みのために占有されている場合に生じます。ビジー状態は MEM_IS_BUSY コマンドを使ってクエリできます。

外部メモリのパーティション

TMC9660 では、外部メモリの開始位置にパーティション・ディスクリプタが必要です。パーティション・ディスクリプタは、パーティション・ヘッダと、その後続く 1 つまたは複数のパーティション・エントリで構成されます。

表 21. 外部メモリのパーティション・ヘッダ・アドレス

オフセット	サイズ	名称	説明
0	4	Size	パーティション・ディスクリプタのサイズ (バイト単位)。 パーティション・ヘッダは 16 バイトで、各パーティション・エントリは 24 バイトです。したがって、パーティション記述のサイズは次のようになります。 $size = 16 + 24 * N_{partitions}$
4	4	Checksum	マジック・ナンバーで始まるパーティション記述の CRC32 チェックサム。
8	2	Magic number	値 0xCAFE。
10	1	Major version number	パーティション・フォーマットのメジャー・バージョン: 1。
11	1	Minor version number	パーティション・フォーマットのマイナー・バージョン: 1。
12	1	Size index	フォーマットに保存された外部メモリのサイズ。 $memory\ size = 2^{size\ index}$ サイズが分からない場合、サイズ・インデックスは 0 です。
13	1	Sector index	以下のフォーマットで保存される、外部メモリ消去セクタのサイズ。 $sector\ size = 2^{sector\ index}$ セクタ・サイズが分からない場合、セクタ・インデックスは 0 です。 詳細は I ² C および SPI メモリのセクションを参照してください。
14	2	RESERVED	予約済み。0 に設定。

表 22. 外部メモリのパーティション・エントリ・アドレス

オフセット	サイズ	名称	説明
0	12	Partition name	UTF-8 でエンコードされたパーティションの名称。 未使用バイトはゼロです。
12	1	Partition type	下位 7 ビットにはパーティション・タイプを格納します。 2：パラメータ・モードでのスタートアップ時に適用されるパラメータ・データ 4：モータ制御アプリケーションによって実行されるスクリプト・データ MSB には書き込み可能ビットを格納し、パーティションが実行時に書き込み可能かどうかを示します。このビットはヒントを示すに止まります。ブートルードはいつでもこのビットをバイパスして、直接メモリにアクセスできます。
13	3	RESERVED	予約済み。0 に設定。
16	4	Offset	外部メモリ内のパーティション・データの開始位置。セクタ・サイズの倍数とする必要があります。
20	4	Size	外部メモリ内のパーティション・データのサイズ。常にセクタ・サイズの倍数とする必要があります。 パラメータ・データの場合は 0x400 バイト以上でなければなりません。

SPI フラッシュ

ブートルードは、SPI モード 0 とアクティブ・ローのチップ・セレクトを使って SPI フラッシュにアクセスします。

すべてのバイトは最上位ビットから先に送受信されます。

設定ビット `SPI_FLASH_EN` がセットされている場合、ブートルードは SPI フラッシュが設定されていると判断します。正常な接続をするには、以下に示す他の SPI フラッシュ設定パラメータも正しく設定されていなければなりません。

SPI フラッシュのアクセス周波数

SPI ピン（SCK、CSN、MOSI、MISO）

詳細は [SPI フラッシュの設定](#) を参照してください。

ブートルードは、以下のデータグラムのシーケンスを使って、SPI フラッシュ・チップが接続されているかどうかを判断します。

チップ・イネーブル・コマンド・バイトを送信します（0xAB）。

チップ ID 読出しコマンド・バイト（0x90）に続けて 5 個のゼロ・バイトを送信します。受信した 4 個目のバイトが 0x00 でも 0xFF でもない場合、そのチップは接続されていると判断され、シーケンスが停止します。

JEDEC ID コマンド・バイト（0x9F）に続けて 3 個のバイトを送信します。受信した 2 個目のバイトが 0x00 でも 0xFF でもない場合、そのチップは接続されていると判断され、シーケンスが停止します。

チップ・イネーブル・コマンド・バイト（0xAB）に続けて 4 個のバイトを送信します。受信した 5 個目のバイトが 0x00 でも 0xFF でもない場合、そのチップは接続されていると判断されます。

それ以外の場合はチップが接続されていないと判断されます。

ブートルードは、`STATUS_READ` コマンド・バイト（0x05）に続けて 1 個のゼロ・バイトを送信することによって、SPI フラッシュがビジー状態かどうかを判断します。2 個目の応答バイトの LSB が 1 の場合、外部メモリはビジーと判断されます。

SPI フラッシュを読み出す場合、ブートルードは読出しコマンド・バイト 0x03 を使ってこれに 3 個のビッグエンディアン・アドレス・バイトを続け、読み出そうするデータ分のバイトを更にその後につけます。

SPI フラッシュに書き込む場合、ブートローダはまず `WRITE_ENABLE` バイト (0x06) を含むデータグラムを送信し、次いで `PAGE_WRITE` バイト (0x02) を含む 2 番目のデータグラム、次いで 3 個のビッグエンディアン・アドレス・バイト、更に最大 4 バイトの書き込みデータを送信します。

SPI フラッシュ・セクタを消去する場合、ブートローダはまず `WRITE_ENABLE` バイト (0x06) を含むデータグラムを送信し、次いで `SECTOR_ERASE` バイト (0x20) を含む 2 番目のデータグラム、更に 3 個のビッグエンディアン・アドレス・バイトを送信します。

ブートローダは、パーティションのチップ・サイズ・インデックス値によって定義された範囲内のメモリだけにアクセスします。パーティション分割されていない場合やチップ・サイズ・インデックスが 0 の場合は、224 バイトを最大サイズと仮定します。

I²C EEPROM

設定ビット `I2C_EEPROM_EN` がセットされている場合、ブートローダは I2C EEPROM が設定されていると判断します。正常な接続をするには、以下に示す他の I2C EEPROM 設定パラメータも正しく設定されていなければなりません。

I2C EEPROM のアクセス周波数

I2C ピン (SCL、SDA)

I2C EEPROM のチップ・アドレス

詳細は [I2C EEPROM の設定](#) を参照してください。

すべてのバイトは最上位ビットから先に送受信されます。

ブートローダは、以下のデータグラムのシーケンスを使って、I2C EEPROM チップが接続されているかどうかを判断します。

アドレス 0 で 1 バイトの読み出し要求を送信し、更にアドレス 1、アドレス 2、アドレス 3 で順次送信します。いずれかの要求が成功した場合はチップが接続されていると判断され、シーケンスは停止します。

4 つのアクセスすべてが失敗した場合は、チップが接続されていないと判断されます。

ブートローダは、書き込みコマンドを送信して `ACK` 信号が返信されてくるかどうかをチェックすることによって、I2C EEPROM かビジーかどうかを判断します。書き込みコマンドの後にデータは送信されません。

I2C EEPROM へのアクセスには、7 個のアドレス・ビットと 1 個の読み出し/書き込みビットで構成される制御バイトを利用します。上位の 4 アドレス・ビットは `0b1010` に固定されており、下位 3 ビットが設定可能です。読み出し/書き込みビットは制御バイトの `LSB` で、読み出しの場合は 1、書き込みの場合は 0 です。例えば、すべての設定可能アドレス・ビットを 0 に設定して読み出しを行う場合、制御バイトは `0b10100001` です。

I2C EEPROM への書き込みの場合、ブートローダは以下のシーケンスを送信します。

スタート条件

制御バイト (RW ビットは 0)

アドレスの上位バイト

アドレスの下位バイト

書き込みバイト

ストップ条件

I2C EEPROM からの読み出しの場合、ブートローダは以下のシーケンスを送信します。

スタート条件

制御バイト (RW ビットは 0)

アドレスの上位バイト

アドレスの下位バイト

スタート条件 (RW ビットは 1)

読み出しバイト

ストップ条件

読出しおよび書込みシーケンスでいずれかのバイトが NACK 応答を受信した場合は、ブートローダがストップ条件を送信してシーケンスを中止します。

I2C EEPROM がビジーかどうかをチェックする場合、ブートローダは以下のシーケンスを送信して、ビジーでないことを表す ACK とビジーであることを表す NACK のどちらを受信するかチェックします。

スタート条件

制御バイト（RW ビットは 0）

ストップ条件

ブートローダは、パーティションのチップ・サイズ・インデックス値によって定義された範囲内のメモリだけにアクセスします。パーティション分割されていない場合やチップ・サイズ・インデックスが 0 の場合は、216 バイトを最大サイズと仮定します。

OTP メモリ

OTP メモリは、それぞれ 64 バイトと 3 ビットのページ・タグからなる 61 のページで構成されます。OTP は、シングル・ビット・エラーの修正と 2 ビット・エラーの検出のために、各ページに ECC 機能を備えています。

これらのページにアクセスするために、ブートローダは OTP メモリ・バンクを通じてアクセスできる 64 バイトのメモリ領域を備えている他、その領域にページをロードするための OTP_LOAD コマンドと、領域をページに書き込むための OTP_BURN コマンドを使用できます。

最初の 4 ページはブートローダの設定を保存するために予約されています。詳細は[設定ストレージ](#)を参照してください。

最後のページを除き、ページには任意の順番で書込みが可能です。最後の OTP ページに書込みをすると、それ以外の書込みができなくなります。

アプリケーション

TMC9660 のブートローダは、ROM に書き込まれたモータ制御アプリケーションを起動できます。

アプリケーションの起動

TMC9660 のブートローダは、パワーオン・ブート・シーケンス・ステップや手動でトリガするブート・シーケンス・ステップなど、複数の方法でアプリケーションを起動することができます。

パワーオン・シーケンスも手動トリガによるブート・シーケンスも、ブート設定レジスタに基づき同じステップで実行されます。設定が OTP に書き込まれている場合は、パワーオン・シーケンスが実行されます。ブート設定レジスタへの書込みを行うと、手動トリガ・シーケンスが実行されます。詳細は[設定](#)のセクションを参照してください。

コマンド

このセクションでは使用可能なすべてのブートローダ・コマンドの詳細を示します。

特に指定のない限り、すべてのコマンドは OK ステータスを返します。

特に指定のない限り、すべての複数バイト値はリトルエンディアンとして扱われます。

コマンドの概要

表 23. ブートローダ・コマンドの概要とデコード

名称	番号	要求値	応答		概要
			考えられるエラー	値	
GET_INFO	0	INFO selection	INVALID_VALUE, CMD_NOT_AVAILABLE	INFO value	接続された TMC9660 に関する様々な基本情報を取得します。
GET_BANK	8	d/c	n/a	Bank number	現在選択されているメモリ・バンクを取得します。
SET_BANK	9	Bank number	INVALID_VALUE	Request value	メモリ・バンクを設定します。
GET_ADDRESS	10	d/c		Memory address	現在のメモリ・アドレスを取得します。
SET_ADDRESS	11	Memory address	INVALID_VALUE	Request value	メモリ・アドレスを設定します。
READ_32	12	d/c	INVALID_ADDR	Read data	

READ_32_INC	13				選択メモリ・アドレスにある選択メモリ・バンクからデータを読み出します。
READ_16	14				
READ_16_INC	15				
READ_8	16				
READ_8_INC	17				
WRITE_32	18	Write data	INVALID_ADDR	Request value	選択メモリ・アドレスにある選択メモリ・バンクにデータを書き込みます。
WRITE_32_INC	19				
WRITE_16	20				
WRITE_16_INC	21				
WRITE_8	22				
WRITE_8_INC	23				
NO_OP	29	d/c	n/a	Request value	何もしません。SPI 通信で最後のコマンドへの応答を取り込むために使用できます。
OTP_LOAD	30	OTP page	INVALID_VALUE, OTP_ERROR	OTP page error count and address	プログラムされた OTP ページを読み出します。
OTP_BURN	31	OTP page, address	INVALID_VALUE, OTP_ERROR	OTP status code	OTP ページに書き込みを行います。 注：このコマンドにはエラーがあります。使用する場合は エラー 1: ブートローダの OTP_BURN コマンド に示す回避策を講じてください。
MEM_IS_CONFIGURED	32	Memory bank	n/a	Configured status	外部メモリ・バンクが設定されているかどうかをチェックします。
MEM_IS_CONNECTED	33	Memory bank	MEM_UNCONFIGURED	Connected status	外部メモリが接続されているかどうかをチェックします。
FLASH_SEND_CMD	36	Command data	MEM_UNCONFIGURED	Command data	外部フラッシュに任意のコマンドを送信します。
FLASH_ERASE_SECTOR	37	Sector address	MEM_UNCONFIGURED	Request value	外部フラッシュにセクタ消去コマンドを送信します。
MEM_IS_BUSY	40	Memory bank	MEM_UNCONFIGURED	Busy status	外部メモリがビジーかどうかをチェックします。
BOOTSTRAP_RS485	255	RS485 settings	INVALID_VALUE	Request value	RS485 の設定を行います。これは TX_EN ピンを使用するためのブートストラップ通信に使用します。

応答ステータス・コード

名称	番号	説明
OK	0	コマンドが正常に実行されました。
CMD_NOT_FOUND	1	要求に無効なコマンド番号が含まれています。
INVALID_ADDR	3	メモリ・アドレスが、要求されたコマンドにとって有効なものではありません。
INVALID_VALUE	4	要求に無効な値が含まれています。
INVALID_BANK	14	メモリ・バンクが、要求されたコマンドにとって有効なものではありません。

BUSY	15	このステータス・コードは SPI 通信専用です。 ブートローダがまだ最後のコマンドの処理を完了していないことを示します。
MEM_UNCONFIGURED	17	外部メモリが設定されていません。
OTP_ERROR	18	OTP コマンドの実行に失敗しました。詳細は OTP コマンドを参照してください。
SESSION_START	19	このステータス・コードは SPI 通信専用です。 このステータス・コードは、パワーオン後の最初の SPI データグラムで、直前のコマンドの処理が未完了のため前のステータスが存在しない場合に送信されます。
CMD_NOT_AVAILABLE	20	現在このコマンドは使用できません。
BOOTLOADER_RESUMED	21	このステータス・コードは SPI 通信専用です。 このステータス・コードは、モータ制御システムからブートローダへの復帰後の最初の SPI データグラムで送信されます。

GET_INFO

GET_INFO コマンドを使用すると、接続された TMC9660 に関する様々な基本情報を読み出すことができます。

表 24. ブートローダ・コマンド GET_INFO のデコード

番号	名称	説明
0	CHIP_TYPE	チップ・タイプを取得します。 0x544D0001 を返します。
1	BL_VERSION	ソフトウェア・ブートローダのバージョンを返します。上位 16 ビットにメジャー・バージョン、下位 16 ビットにマイナー・バージョンが格納されます。
2	FEATURES	使用可能な機能グループを返します。各ビットが 1 つの機能に対応しています。 ビット 0 : SRAM サポート ビット 1 : ROM ビット 2 : OTP ビット 3 : 外部 SPI フラッシュ・メモリ ビット 4 : 外部 I ² C EEPROM メモリ
12	GIT_INFO	Git のバージョン管理情報を返します。 ビット 28 : ダーティ・ビット - ファームウェア・ビルドにコミットされていない変更があります。 ビット 27~0 : 7 桁の 16 進コミット・ハッシュ。 例えば、0x0D00BA81 による応答は、ローカル変更 (ダーティ・フラグ) のない d00ba81 をコミットすることを表します。
13	CHIP_VERSION	シリコン・リビジョン TMC9660 はリビジョン 1 をレポートします。
14	CHIP_FREQUENCY	システム周波数 (MHz)。 詳細は クロックの設定 のセクションを参照してください。
17	CONFIG_MEM_START	CONFIG メモリの開始アドレスを返します。
18	CONFIG_MEM_SIZE	CONFIG メモリのサイズを返します。
19	OTP_MEM_SIZE	OTP メモリ・ページのサイズを返します。
20	I2C_MEM_SIZE	接続されてパーティション分割された I ² C メモリのサイズを返し、不明の場合は最大可能サイズ (2 ¹⁶) を返します。 注 : メモリ・サイズは外部メモリのパーティション・ヘッダ内に保存されます。 詳細は 外部メモリのパーティション のセクションを参照してください。
21	SPI_MEM_SIZE	接続されてパーティション分割された SPI メモリのサイズを返し、不明の場合は最大可能サイズ (2 ²⁴ バイト) を返します。 注 : メモリ・サイズは外部メモリのパーティション・ヘッダ内に保存されます。 詳細は 外部メモリのパーティション のセクションを参照してください。
22	PARTITION_VERSION	外部メモリのパーティション・フォーマットを返します。 ビット 15~8 : メジャー・バージョン ビット 7~0 : マイナー・バージョン TMC9660 はバージョン 1.1 をレポートします (値 = 0x00000101)。

25	SPI_MEM_PARTITIONS	接続されパーティション分割された SPI メモリの使用可能なパーティション数を返します。メモリが設定されていない場合、接続されていない場合、あるいはパーティション分割されていない場合は、CMD_NOT_AVAILABLE エラーを返します。 このコマンド使用時は、現在選択されているメモリ・バンクが SPI でなければなりません。
26	I2C_MEM_PARTITIONS	接続されパーティション分割された I ² C メモリの使用可能なパーティション数を返します。メモリが設定されていない場合、接続されていない場合、あるいはパーティション分割されていない場合は、CMD_NOT_AVAILABLE エラーを返します。 このコマンド使用時は、現在選択されているメモリ・バンクが I ² C でなければなりません。
28	CHIP_VARIANT	チップのバリエーションを返します。 TMC9660 は値 2 をレポートします。

GET_BANK

現在のメモリ・バンクを返します。

詳細は [メモリ・アクセス](#) のセクションを参照してください。

SET_BANK

メモリ・バンクを設定します。

前に選択されたメモリ・バンク・セットが既にアクティブな場合は、何も起こりません。

前に選択されたメモリ・バンクが異なるものである場合はメモリ・バンクが更新され、メモリ・アドレスは新たに選択されたメモリの開始位置に設定されます。

無効なメモリ・バンク番号が要求された場合、このコマンドは INVALID_VALUE を返します。

詳細は [メモリ・アクセス](#) のセクションを参照してください。

GET_ADDRESS

現在のメモリ・アドレスを返します。

詳細は [メモリ・アクセス](#) のセクションを参照してください。

SET_ADDRESS

メモリ・アドレスを設定します。

要求メモリ・アドレスが選択メモリ・バンクの範囲から外れている場合、このコマンドは INVALID_VALUE を返します。

詳細は [メモリ・アクセス](#) のセクションを参照してください。

READ_32

選択メモリ・アドレスにある選択メモリ・バンクから 32 ビットのデータを読み出します。

メモリ・アドレスが 4 バイトにアラインされていない場合、このコマンドは INVALID_ADDR を返します。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは INVALID_ADDR を返します。

READ_32_INC

選択メモリ・アドレスにある選択メモリ・バンクから 32 ビットのデータを読み出して、メモリ・アドレスを 4 ずつインクリメントします。

メモリ・アドレスが 4 バイトにアラインされていない場合、このコマンドは INVALID_ADDR を返し、メモリ・アドレスをインクリメントしません。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは INVALID_ADDR を返し、メモリ・アドレスをインクリメントしません。

READ_16

選択メモリ・アドレスにある選択メモリ・バンクから 16 ビットのデータを読み出します。

応答値の上位 16 ビットは 0 です。

メモリ・アドレスが 2 バイトにアラインされていない場合、このコマンドは INVALID_ADDR を返します。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは INVALID_ADDR を返します。

READ_16_INC

選択メモリ・アドレスにある選択メモリ・バンクから 16 ビットのデータを読み出して、メモリ・アドレスを 2 ずつインクリメントします。

応答値の上位 16 ビットは 0 です。

メモリ・アドレスが 2 バイトにアラインされていない場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

READ_8

選択メモリ・アドレスにある選択メモリ・バンクから 8 ビットのデータを読み出して、メモリ・アドレスを 1 ずつインクリメントします。

応答値の上位 24 ビットは 0 です。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返します。

READ_8_INC

選択メモリ・アドレスにある選択メモリ・バンクから 8 ビットのデータを読み出します。応答値の上位 24 ビットは 0 です。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

WRITE_32

選択メモリ・アドレスにある選択メモリ・バンクに 32 ビットのデータを書き込みます。

メモリ・アドレスが 4 バイトにアラインされていない場合、このコマンドは `INVALID_ADDR` を返します。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返します。

WRITE_32_INC

選択メモリ・アドレスにある選択メモリ・バンクに 32 ビットのデータを書き込み、メモリ・アドレスを 4 ずつインクリメントします。

メモリ・アドレスが 4 バイトにアラインされていない場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

WRITE_16

選択メモリ・アドレスにある選択メモリ・バンクに 16 ビットのデータを書き込みます。

要求値の上位 16 ビットは無視されます。

メモリ・アドレスが 2 バイトにアラインされていない場合、このコマンドは `INVALID_ADDR` を返します。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返します。

WRITE_16_INC

選択メモリ・アドレスにある選択メモリ・バンクに 16 ビットのデータを書き込み、メモリ・アドレスを 2 ずつインクリメントします。

要求値の上位 16 ビットは無視されます。

メモリ・アドレスが 2 バイトにアラインされていない場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

WRITE_8

選択メモリ・アドレスにある選択メモリ・バンクに 8 ビットのデータを書き込みます。

要求値の上位 24 ビットは無視されます。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返します。

WRITE_8_INC

選択メモリ・アドレスにある選択メモリ・バンクに 8 ビットのデータを書き込み、メモリ・アドレスを 1 ずつインクリメントします。

要求値の上位 24 ビットは無視されます。

メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは `INVALID_ADDR` を返し、メモリ・アドレスをインクリメントしません。

NO_OP

このコマンドは何もしません。

これは SPI 通信に使用して、前のコマンドの応答を取り込むためのコマンドです。詳細は [SPI 通信](#) のセクションを参照してください。

OTP_LOAD

OTP メモリ・バンクに OTP ページをロードします。

要求値は、どの OTP ページをロードするかを選択します。戻り値は、ビット 15~8 の OTP ビット・エラー・カウントと、ビット 7~0 の OTP ページ・タグで構成されます。

選択 OTP ページが使用可能な OTP ページの量を超えた場合、このコマンドは `INVALID_VALUE` を返します。

OTP ページのロードに失敗した場合、コマンドは `OTP_ERROR` を返します。

詳細は [OTP メモリ](#) のセクションを参照してください。

OTP_BURN

注：このコマンドにはエラッタがあります。使用する場合は [エラッタ 1：ブートローダの OTP_BURN コマンド](#) に示す回避策を講じてください。

OTP メモリ・バンクの内容を OTP ページに書き込みます。

要求値は、どの OTP ページに書き込むかをビット 7~0 で選択し、その OTP ページにどの OTP ページ・アドレスを書き込むかをビット 15~8 で選択します。

選択 OTP ページが使用可能な OTP ページの量を超えた場合、このコマンドは `INVALID_VALUE` を返します。

OTP ページの書き込みに失敗した場合コマンドは `OTP_ERROR` を返し、応答値には追加のエラー情報が格納されます。

エラー・コード	説明
-1	OTP ページ番号が無効です。
-2	最後の OTP ページに書き込みをすると、それ以上の書き込みができなくなります。
-3	内部 OTP チャージ・ポンプのセットアップに失敗しました。
-4	書き込み手順が失敗しました。 注：OTP ページに誤ったデータが書き込まれているかどうかは、 <code>OTP_LOAD</code> を使い手動でチェックする必要があります。
-5	OTP 動作用内部クロックのセットアップに失敗しました。
-6	OTP 動作後のオリジナル・クロック・セットアップの復元に失敗しました。

詳細は [OTP メモリ](#) のセクションを参照してください。

MEM_IS_CONFIGURED

外部メモリが設定されているかどうかを返します。詳細は[外部メモリ](#)のセクションを参照してください。

要求値は、チェックするメモリ・バンクを選択します。

外部メモリが設定されている場合の応答値は1で、されていない場合は0です。他のすべてのメモリ・タイプの応答値は常に0です。

MEM_IS_CONNECTED

外部メモリが接続されているかどうかを返します。詳細は[外部メモリ](#)のセクションを参照してください。

要求値は、チェックするメモリ・バンクを選択します。

外部メモリが接続されている場合の応答値は1で、されていない場合は0です。他のすべてのメモリ・タイプの応答値は常に0です。

要求された外部メモリが設定されていない場合、このコマンドは MEM_UNCONFIGURED を返します。

FLASH_SEND_CMD

外部 SPI フラッシュに任意のコマンドを送信します。このコマンドは 6 バイトの内部バッファを使いデータグラムを構成して送信し、受信した応答を保存して読み出せるようにします。

ビット 31~28はこのコマンドがどのような動作をするかを制御します。

0: ビット 23~0 をバッファにロードします。ビット 27~24 は、どのようなバイト・オフセットでバッファに書き込むかを制御します。

1: バッファから 3 バイトを読み出します。ビット 27~24 は、どのようなバイト・オフセットでバッファを読み出すかを制御します。

応答値は以下で構成されます。

- ビット 31~24: 要求ビット 31~24。
- ビット 23~16: バイト・オフセット+0 でバッファから読み出される最初のバイト。
- ビット 15~8: バイト・オフセット+1 でバッファから読み出される 2 番目のバイト。
- ビット 7~0: バイト・オフセット+2 でバッファから読み出される 3 番目のバイト。

2: 現在のバッファ内容でデータグラムを送信し、応答でバッファをオーバーライドします。ビット 27~24 は送信するバイト数を制御します。

例えば、フラッシュの JEDEC メーカーID を読み出すには、コマンド・バイト 0x9F の後に続けてもう 1 バイト送信する必要があります。応答は送り返す 2 番目のバイトにメーカーID を格納します。これを実行するには、以下のブートローダ・コマンドを送る必要があります。

1. FLASH_SEND_CMD、値 0x009F0000。これは内部バッファにバイト 0x9F と 0x00 を書き込みます。

2. FLASH_SEND_CMD、値 0x22000000。これにより 2 バイトが送信されて受信されます。

1.3.FLASH_SEND_CMD、値 0x10000000。これは内部バッファの最初の 2 バイトを読み出します。応答は応答ビット 15~8 にメーカーID を格納します。

FLASH_ERASE_SECTOR

外部 SPI フラッシュのセクタを消去します。

このコマンドは、コマンド・バイト 20h と、その後続くビッグエンディアン・フォーマットの 24 ビット・アドレスを SPI フラッシュに送信します。例えば、アドレス 0x010200 のセクタ消去要求は、バイト 0x20 0x01 0x02 0x00 を SPI フラッシュに送信します。詳細は [SPI フラッシュ](#) のセクションを参照してください。

要求された外部メモリが設定されていない場合、このコマンドは MEM_UNCONFIGURED を返します。

MEM_IS_BUSY

外部メモリがビジーかどうかを返します。詳細は[外部メモリ](#)のセクションを参照してください。

要求値は、チェックするメモリ・バンクを選択します。

外部メモリがビジーである場合の応答値は1で、そうでない場合は0です。他のすべてのメモリ・タイプの応答値は常に0です。

要求された外部メモリが設定されていない場合、このコマンドは MEM_UNCONFIGURED を返します。

BOOTSTRAP_RS485

RS485 を通じて応答するように TMC9660 を設定します。詳細は [RS485 通信](#) のセクションを参照してください。

この要求には、TX_EN ピンを使用して応答を返すために必要なすべての設定が含まれています。応答を受信できるようにするには、RS485 に接続された TMC9660 のチップの最初のコマンドとして、このコマンドを送信する必要があります。

要求には、TX_EN を使用するための設定が格納されます。

- バイト 0 には、どのピンを TX_EN に使用するか格納されます。1 は GPIO8 で、2 は GPIO2 です。
- バイト 1 には、TX_EN ピンの制御からデータの送信までの待機時間が格納されます。
- バイト 2 には、使用するホスト・アドレスが格納されます。
- バイト 3 には、使用するデバイス・アドレスが格納されます。

TX_EN ピンの選択が無効な場合、このコマンドは INVALID_VALUE を返します。RS485 の特性上、これは TX_EN ピンがまだ設定されていないことを意味し、RS485 で応答を送ることはできません。

設定

以下に示すように、TMC9660 のブートローダは様々な内容で柔軟に設定できます。

- LDO 出力 (VEXT1、VEXT2)
- クロック設定
- 通信インターフェース
- GPIO ピンの使用法
- 外部メモリ (SPI フラッシュ、I²C EEPROM)
- モータ・システム*：
 - フィードバック・システム
 - StepDir 入力
 - ブレーキ・チョップ
 - 機械式ブレーキ
 - モータ・パラメータ・ストレージ
 - スクリプト制御

*モータ・システム関係の設定については、TMC9660 のパラメータ・モード・データシートに詳細が示されています。

設定は、TMC9660 の OTP ストレージに書き込んでパワーオン時に自動的に適用するか、実行時に書き込んで、制限された OTP 書き込みサイクルまで使うことなく各設定を個別に評価することができます。OTP メモリに設定をコミットする前に、まず実行時メカニズムを使用する設定オプションを試してみることを推奨します。

実行時再設定

TMC9660 をアクティブな状態で再設定するために、ブートローダは CONFIG メモリ・バンクを備えています。これには、アドレス 0x00020000 にある 64 バイトのメモリ領域を使用できます。WRITE_* コマンドを使ってこのメモリ領域に書き込むと、ブートローダは TMC9660 の設定を更新します。

CONFIG メモリ・バンクの場所とサイズは、GET_INFO コマンドと、CONFIG_MEM_START 値および CONFIG_MEM_SIZE 値を使ってクエリすることもできます。

例えば、DEVICE_ADDRESS を 3 に、HOST_ADDRESS を 4 に変更するには、以下のコマンドを実行します。

- SET_BANK: 5 (CONFIG)
- SET_ADDRESS: 0x00020002 (ベース・アドレス 0x00020000 + オフセット 2 : デバイスおよびホスト・アドレスの設定)
- WRITE_16: 0x0403*

* UART を介して通信をする場合は、設定変更を適用する前に応答が送信されます。これは、この WRITE_16 の例への応答が、前のデバイス・アドレスとホスト・アドレスで送信されることを意味します。

異なるサイズの WRITE_* コマンドも許容されます。つまり、メモリ・アドレスを 0x00020003 に設定して WRITE_8 コマンドを送信ことにより、HOST_ADDRESS だけを設定できます。それぞれの WRITE_* コマンドは再設定をトリガし、大きい書き込みをより小さい書き込みに分割することで無効な中間設定が生成されてしまうような場合は、分割をしません。WRITE_* コマンドの記述に指定されたアライメント制限は、そのまま適用されます。

設定ストレージ

所定の設定は OTP メモリに保存して、ブートアップ時に自動的に適用できます。これにより、TMC9660 を自動的に必要な設定で起動することができます。

設定は OTP メモリに保存して、パワーオン時に自動的に適用できます。設定は、最初の 4 ページの中の 1 つに、ページ・タグの値を 4 にして書き込むことによって保存できます。

次いで、ブートローダが、このような設定について最初の 4 ページをチェックします。チェックは、3 ページから 0 ページへ戻る方向で行われます。これにより、最初に確認された設定が適用されます。この場合は 0 から 3 までのページを合計 4 回書き込むことができるので、書き込まれた設定を更新することが可能です。

ブートローダが、有効な設定を見つける前に 2 ビットの ECC エラーを見つけた場合は、FAULTN ピンがアサートされ、デフォルトの設定でブートローダ・モードに入ります。以下の表に、ブートローダが初期設定を決定する方法の例を示します。

PAGE 0	PAGE 1	PAGE 2	PAGE 3	BOOTLOADER BEHAVIOR
Empty	Empty	Empty	Empty	Load default configuration values
Configured	Empty	Empty	Empty	Load configuration from page 0
Configured	Configured	Empty	Empty	Load configuration from page 1
2-Bit Error	2-Bit Error	2-Bit Error	Configured	Load configuration from page 3
Empty	Empty	2-Bit Error	Empty	Fault and load default configuration
Configured	2-Bit Error	Empty	Empty	Fault and load default configuration
2-Bit Error	Configured	Configured	2-Bit Error	Fault and load default configuration

設定リスト

LDO の設定

名称	オフセット	ビット	説明
VEXT1	0	0-1	LDO が VEXT1 ピンに出力する電圧を設定します。 0 : LDO をディスエーブル 1 : 2.5V 2 : 3.3V 3 : 5.0V
VEXT2	0	2-3	LDO が VEXT2 ピンに出力する電圧を設定します。 0 : LDO をディスエーブル 1 : 2.5V 2 : 3.3V 3 : 5.0V
SS_VEXT1	0	4-5	VEXT1 電圧のスロープ速度を設定して、スタートアップ時間を制御します。 0 : 3ms 1 : 1.5ms 2 : 0.75ms 3 : 0.37ms
SS_VEXT2	0	6-7	VEXT2 電圧のスロープ速度を設定して、スタートアップ時間を制御します。 0 : 3ms 1 : 1.5ms 2 : 0.75ms 3 : 0.37ms
LDO_SHORT_FAULT	0	8	LDO の短絡を検出した場合に FAULTN ピンをアサートするかどうかを制御します。 デフォルト : 0

ブートストラップの設定

名称	オフセット	ビット	説明
BOOT_MODE	8	0-1	モータ制御モードを選択します。 0: 予約済み 1: レジスタ・モード 2: パラメータ・モード 3: 予約済み
BL_READY_FAULT	8	2	ブートローダの通信準備が完了したときに、FAULTN ピンをアサートするかどうかを設定します。 デフォルト: 0
BL_EXIT_FAULT	8	3	ブートローダがモータ・アプリケーションを起動したときに、FAULTN ピンをアサートするかどうかを設定します。 デフォルト: 1
DISABLE_SELFTEST	8	8	設定した場合は、内部 ROM と SRAM メモリのセルフテストがディスエーブルされます。これにより、パワーオンからモータ制御システムを直接起動する (START_MOTOR_CONTROL = 1) 際に、34ms (代表値) のブート時間を節約できます。 注: このビットはパワーオン・セルフテストだけに影響するので、設定を OTP に恒久的に書き込む場合にだけ関係します。実行時にこのビットの設定を変更しても影響はありません。 デフォルト: 0
BL_CONFIG_FAULT	8	9	設定オプションの適用時に FAULTN ピンをアサートするかどうかを設定します。 デフォルト: 0
START_MOTOR_CTRL	8	12	BOOT_MODE の選択に基づいてモータ制御を開始します。 デフォルト: 0

UART の設定

名称	オフセット	ビット	説明
DEVICE_ADDRESS	2	0-7	デバイス・アドレス デフォルト: 1
HOST_ADDRESS	2	8-15	ホスト・アドレス デフォルト: 255
BL_DISABLE_UART	6	0	ブートローダの UART 接続をディスエーブルします。 デフォルト: 0
BL_UART_RX	6	3	UART TX ピンを選択します。 0: GPIO7 1: GPIO1
BL_UART_TX	6	4	UART TX ピンを選択します。 0: GPIO6 1: GPIO0
BL_UART_BAUDRATE	6	7-9	UART のボー・レートを選擇します。 0: 9600 1: 19200 2: 38400 3: 57600 4: 115200 5: 1000000 6: 8 倍サンプリングでのオートボー検出 7: 16 倍サンプリングでのオートボー検出

これらの設定は、設定が変更されたとき、システム周波数 (f_{system}) が変わったとき、またはモータ制御の開始時と終了時に適用されます。

RS485 の設定

RS485 の設定は UART の設定に基づくもので、以下の追加オプションがあります。

名称	オフセット	ビット	説明
UART_TXEN_POST_DELAY	4	0-7	TX の送信から TX_EN のアサート解除までの遅延 (t_{post})。 デフォルト : 0
UART_TXEN_PRE_DELAY	4	8-15	TX_EN のアサートから TX 送信までの遅延 (t_{pre})。 デフォルト : 0
BL_UART_TXEN	6	5-6	UART_TXEN ピンを選択します。 0 : UART_TXEN を使用しない 1 : UART_TXEN は GPIO8 2 : UART_TXEN は GPIO2 3 : 予約済み

これらの設定は、設定が変更されたとき、システム周波数 (f_{system}) が変わったとき、またはモータ制御の開始時と終了時に適用されます。

SPI の設定

名称	オフセット	ビット	説明
BL_DISABLE_SPI	6	1	ブートローダの SPI 接続をディスエーブルします。 デフォルト : 0
BL_SPI_SELECT	6	2	ブートローダの接続にどの SPI インターフェースを使用するかを選択します。 0 : SPI0 をブートローダの接続に使用 1 : SPI1 をブートローダの接続に使用 注 : このビットは SPI フラッシュ設定と共有されます。フラッシュとブートローダ SPI 通信の両方を使用する場合は、ブートローダを使用するには、常に両者を異なる SPI インターフェースに割り当てる必要があります。
BL_SPI0_SCK	6	10	SPI0 にどの SCK ピンを使用するかを選択します。 0 : GPIO6 1 : GPIO11 注 : SPI0 を使用する場合は (BL_SPI_SELECT = 0)、このビットが必要なのは SPI ブートローダ通信の場合だけです。

これらの設定は、設定が変更されたとき、システム周波数 (f_{system}) が変わったとき、またはモータ制御の開始時と終了時に適用されます。

SPI フラッシュの設定

名称	オフセット	ビット	説明
SPI_FLASH_EN	10	0	SPI フラッシュの使用をイネーブルします。 デフォルト : 0
BL_SPI_SELECT	6	2	SPI フラッシュにどの SPI インターフェースを使用するかを選択します。 0 : SPI1 を SPI フラッシュに使用 1 : SPI0 を SPI フラッシュに使用 注 : このビットは SPI ブートローダと共有されます。フラッシュとブートローダ SPI 通信の両方を使用する場合は、常に両者を異なる SPI インターフェースに割り当てる必要があります。
BL_SPI0_SCK	6	10	SPI0 にどの SCK ピンを使用するかを選択します。 0 : GPIO6 1 : GPIO11 注 : SPI0 を使用する場合は (BL_SPI_SELECT = 1)、このビットが必要なのは SPI フラッシュを使用する場合だけです。
SPI_FLASH_CS	10	3-7	使用する CS ピンの GPIO ピン番号 デフォルト : 0
SPI_FLASH_FREQ	10	8-11	SPI フラッシュ周波数を選択します。 $f_{SPIFlash} = \frac{f_{system}}{SPI_FLASH_FREQ + 1}$

			システム周波数 (f_{system}) は 40MHz です。 最大周波数は 10MHz で、SPI フラッシュ使用時は SPI_FLASH_FREQ の最小値を 3 にする必要があります。 デフォルト: 0
--	--	--	---

これらの設定は、設定が変更されたとき、システム周波数 (f_{system}) が変わったとき、またはモータ制御の開始時と終了時に適用されます。

I²C EEPROM の設定

名称	オフセット	ビット	説明
I2C_EEPROM_EN	12	0	I ² C EEPROM の使用をイネーブルします。 デフォルト: 0
I2C_EEPROM_SDA	12	1-2	どの SDA ピンを使用するかを選択します。 0: GPIO5 1: GPIO11 2: GPIO14 3: 予約済み
I2C_EEPROM_SCL	12	3-4	どの SCL ピンを使用するかを選択します。 0: GPIO4 1: GPIO12 2: GPIO13 3: 予約済み
I2C_EEPROM_ADDR	12	5-7	I2C デバイス・アドレスの設定可能ビット。詳細は I ² C EEPROM のセクションを参照してください。 デフォルト: 0
I2C_EEPROM_FREQ	12	8-10	使用する I ² C 周波数を選択します。 0: 100kHz 1: 200kHz 2: 400kHz 3: 800kHz 4: 予約済み 5: 予約済み 6: 予約済み 7: 予約済み

これらの設定は、設定が変更されたとき、システム周波数 (f_{system}) が変わったとき、またはモータ制御の開始時と終了時に適用されます。

クロックの設定

名称	オフセット	ビット	説明
RESERVED_1	24	0-6	予約済み。常時 99 に設定されている必要があります。 デフォルト: 99
EXT_NOT_INT	24	8	内部発振器と外部クロック源のどちらを PLL 入力に使用するかを選択します。 0: 内部 15MHz 発振器 1: EXT_NOT_XTAL によって外部クロック源を選択。
XTAL_CFG	24	9-11	外部発振器の周波数に基づく発振器駆動電流の選択。 0: 予約済み 1: 8MHz 2: 予約済み 3: 16MHz 4: 予約済み 5: 24MHz~25MHz 6: 32MHz 7: 予約済み
XTAL_BOOST	24	12	イネーブルすると、TMC9660 は、発振器のスタートアップ時間を短縮するために、発振器スタート時に最大外部発振器電流を駆動します。 デフォルト: 0

EXT_NOT_XTAL	24	13	外部クロックと外部発振器のどちらを使用するかを選択します。 0: 外部発振器 1: 外部クロック
PLL_OUT_SEL	24	16-17	システム・クロックに内部発振器と PLL のどちらを使用するかを選択します。 0: 内部発振器を使用 1: PLL を使用 2: 予約済み 3: 予約済み
RDIV	24	18-22	PLL 入力周波数の分周器。入力周波数 (MHz) マイナス 1 に設定する必要があります。 内部発振器の周波数は 15MHz です。内部発振器入力 (EXT_NOT_INT = 0) の場合は、RDIV を 14 に設定する必要があります。 デフォルト: 14
SYS_CLK_DIV	24	23-24	システム・クロック周波数を選択します。 0: 40MHz 1: 予約済み 2: 予約済み 3: 15MHz 注: この設定は、 エラータ 1: ブートローダの OTP_BURN コマンド に示す回避策を講じるときだけ変更します。
PLL_STATUS	24	30	このビットは読み出し専用です。クロック設定を開始するとクリアされて、正常に完了するとセットされます。

クロック設定を変更した場合は、その変更が適用されるまでに数ミリ秒かかります。この時間が経過してから他のデータグラムを送信してください。この更新の完了を知らせるための FAULTN ピンの設定方法については、[ブートローダの FAULTN 信号](#)のセクションを参照してください。

クロック設定の更新後は、正しく再設定されたことを確認するために PLL_STATUS ビットをリードバックすることを推奨します。クロックの更新に失敗した場合は、回路と更新した設定がその回路に適合していることを確認してください。

注: モータ制御システムの実行は、システム・クロックが 40MHz に設定されている場合だけサポートされています (有効な PLL 設定で PLL_OUT_SEL = 1、および SYS_CLK_DIV = 0)。

注: クロック設定は、1つの WRITE_32 コマンドまたは WRITE_32_INC コマンドを使って書き込む必要があります。

GPIO の設定

名称	オフセット	ビット	説明
GPIOx_OUT	14	0-15	GPIO 出力の出力レベル (GPIOx_OUT_EN = 1)。 GPIO0~15は、それぞれビット0~15を使いオフセット14で設定されます。 GPIO16~18は、それぞれビット0~2を使いオフセット22で設定されます。 デフォルト: すべての GPIO が 0
	22	0-2	
GPIOx_OUT_EN	16	0-15	GPIO の方向。 0: 入力 1: 出力 GPIO0~15は、それぞれビット0~15を使いオフセット16で設定されます。 GPIO16~18は、それぞれビット3~5を使いオフセット22で設定されます。
	22	3-5	
GPIOx_PU	18	0-15	GPIO のプルアップ抵抗をイネーブルします。 GPIO0~15は、それぞれビット0~15を使いオフセット18で設定されます。 GPIO16~18は、それぞれビット9~11を使いオフセット22で設定されます。 デフォルト: GPIO0~5が0、GPIO6~18が1
	22	9-11	
GPIOx_PD	20	0-15	GPIO のプルアップ抵抗をイネーブルします。 GPIO0~15は、それぞれビット0~15を使いオフセット20で設定されます。 GPIO16~18は、それぞれビット6~8を使いオフセット22で設定されます。 デフォルト: GPIO0~1が1、GPIO2~18が0
	22	6-8	

$$C_{BST_MIN} > \frac{Q_{GATE}}{\Delta V} = \frac{Q_{GATE}}{0.5V} = 2 \times Q_{GATE}$$

例えば、 $Q_{GATE} = 50nC$ の場合は、この式から $C_{BST_MIN} = 100nF$ のコンデンサとなります。この値は最小許容値と考える必要があります。プロセスの拡散、電圧ディレーティング、および ER と ESL の低下などを考慮して、通常はこれより大きいコンデンサが使われます。経験則からすると、係数 10 を使用できます。

$$C_{BST} \sim 10 \times Q_{GATE}$$

CBST は、デバイスの BS_ピンと BM_ピンにできるだけ近付けて配置します。電圧定格が 16V または 25V を超える低 ESR のセラミック・コンデンサを選んでください。

降圧用の推奨インダクタとコンデンサ

RECOMMENDED INDUCTOR	RECOMMENDED CAPACITOR
$L_{BUCK} = 27\mu H$	12V rated
$DCRLBUCK < 300m\Omega$	$C_{VBUCK} = 8\mu F$ (effective value after derating at 5.8V)
$I_{SAT} > 1.5A$	low ESR ceramic capacitor

チャージ・ポンプ用の推奨外部コンデンサ

CFLY：（CPI と CPO の間に接続）

- チャージ・ポンプの出力インピーダンスを最小限に抑えるには 0603 を推奨
- 12V 定格の低電圧係数
- 5.8V でディレーティング後の実効値 220nF
- ゲート・ドライバの電流条件によっては、より小さいコンデンサの使用も考えられます。

CDRIVE：（ V_{DRV} と GND の間に接続）

- 定格値 16V 以上
- 4.7 μF を推奨（12V でディレーティング後の実効値）

シャント抵抗信号の配線の引き回し

TMC9660 には、モータ電流のフィードバック用に外部ローサイド・シャント抵抗が必要です。CSP_はゲート駆動電流のリターン・パスでもあります。したがって、CSP のインピーダンスは最小限に抑える必要があります。特に、外部 LS FET のソースと CSP ピンの間に抵抗が配置された外部 RC フィルタは避けなければなりません。配線パターンは短く、かつ低インピーダンスに保ってください。

正確な電流検出を実現するために、CSN_は RSHUNT のグラウンド・ピンに接続します。

ゲート・ドライバ・ユニットのゲート信号の配線の引き回し

CSP_は LS_のリターン電流パスで、同様に BM_は HS_のリターン電流パスです。並列のコンパクトなレイアウトでは、これらの信号のループ面積を最小限に抑える必要があります。ゲート信号の配線パターンは短く、かつ低インピーダンスに保ってください。

MOSFET をスイッチ・オフした場合はシンク電流がこのルートを通りますが、電圧低下を小さくしなければなりません。これは、例えばパワー・ツール・アプリケーションに使われる、高ゲート電荷（最大ドライブ強度）で低 V_{th} の MOSFET にとっては特に重要です。

ゲート・ドライバ・ユニットの保護信号の配線の引き回し

ゲート・ドライバ・ユニットは、様々な保護機能を備えています。

MOSFET の過電流保護は、MOSFET の電圧測定に基づいています。ハイサイド MOSFET では VS と BM_間の電圧が測定され、ローサイドでは BM_と CSP_間の電圧が測定されます。電圧低下を小さくするために配線パターンは短く、かつ低インピーダンスに保ってください。

ゲート短絡および過電流に対する保護のために、CSP_とローサイド MOSFET ソース・ピン間の接続は低インピーダンスにする必要があります。

標準アプリケーション回路

TMC9660 は、その柔軟な IO と、複数のモータ・タイプをサポートしていることによって、様々なアプリケーションに使用できます。このセクションでは、モータ・タイプとフィードバックに基づく基本的なアプリケーションの概要を示します。

使用する IO とアプリケーションのモードに応じて複数の機能を組み合わせることができるので、応用例はより広がり、モータ・タイプを変更することも可能です。

ホール・センサー付き BLDC/PMSM

ホール・センサー付き BLDC/PMSM モータの最も簡単なアプリケーションを図 41 に示します。

モータ位相 UVW は、それぞれのシャント抵抗によって、対応するハーフブリッジ UX1、VX2、および WY1 の中間点に接続されています。ホール・センサー (クローズド・ループ FOC レギュレーションに必要) は内部 LDO によって給電され、GPIO の代替機能を介してモータ制御コアに直接接続されています。LDO 電圧も代替機能も、ブートローダを通じた初期設定が必要です。

V_{CC10} がホール・センサーの電源電圧と一致している場合は、直接接続が可能です。それ以外の場合はレベル・シフタを使用します。長いセンサー・ワイヤを使用する場合は、誘導ノイズを減らすために RC ローパスを追加することを推奨します。

ホール・センサーは分解能に制限があるので、位置決めタスクには推奨できません。

使われている機能：

- 内蔵の DC/DC 降圧および LDO レギュレータが、ホール・センサー用の電源電圧を供給 (例えば +3.3V または +5V)
- デジタル・ホール・センサーを直接サポート (例えば +3.3V または 5V、オプションの補外機能を内蔵)
- 2 つの LDO の設定可能な電圧
- GPIO の設定可能な代替機能
- ハーフブリッジ・ゲート・ドライバ (最大 1A のソース/2A のシンク、調整可能なスルー・レート制御) ×3
- 下側シャント電流測定 (プログラマブル CSA および ADC) ×3

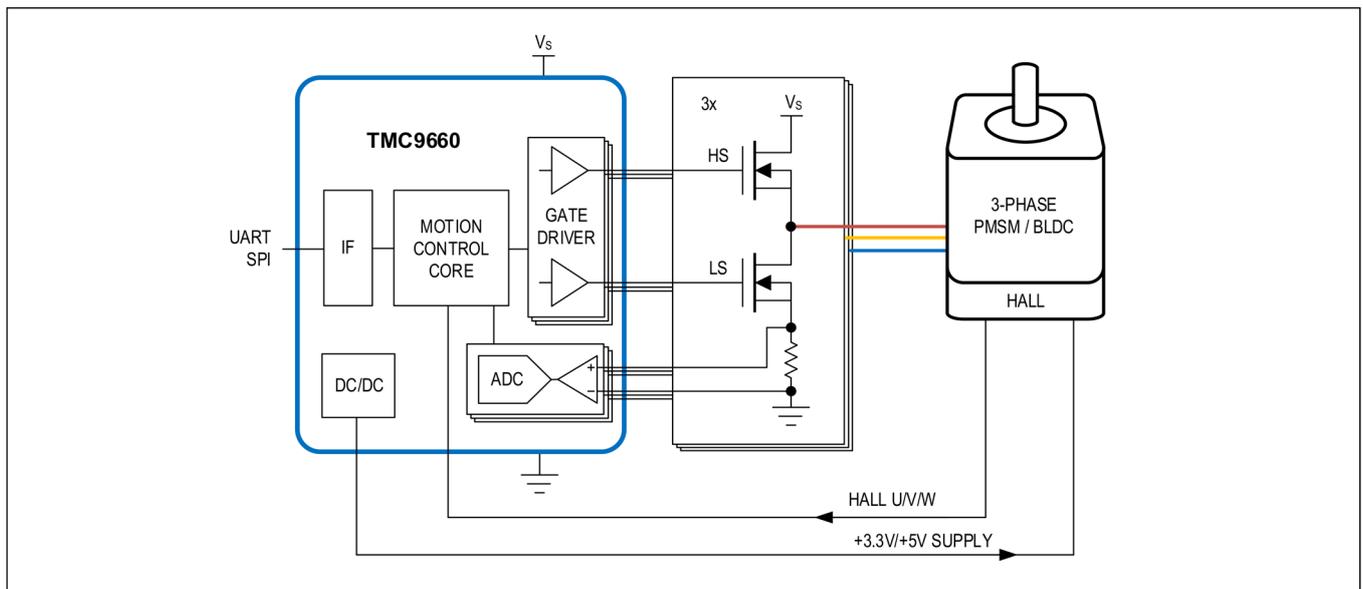


図 41. ホール・センサー付き BLDC/PMSM アプリケーションの接続図

エンコーダ付き BLDC/PMSM

BLDC/PMSM モータの最も簡単なアプリケーションを図 42 に示します。

モータ位相 UVW は、それぞれのシャント抵抗によって、対応するハーフブリッジ UX1、VX2、および WY1 の中間点に接続されています。ホールおよび ABN エンコーダ (クローズド・ループ FOC レギュレーションに必要) は内部 LDO によって給電され、GPIO の代替機能を通じて MCC に直接接続されています。ホール・センサーはオプションですが、ABN エンコーダのオフセット・キャリブレーションを改善できます。LDO 電圧も代替機能も、ブートローダを通じた初期設定が必要です。

V_{CC10} がホール/ABN センサーの電源電圧と一致している場合は、直接接続が可能です。それ以外の場合はレベル・シフタを使用します。長いセンサー・ワイヤを使用する場合は、誘導ノイズを減らすために RC ローパスを追加することを推奨します。

ABN センサーは分解能が高いため、位置決めタスクに推奨できます。

使われている機能：

- 内蔵の DC/DC 降圧 LDO レギュレータが、ホール/ABN センサー用の電源電圧を供給 (例えば+3.3V または+5V)
- デジタル ABN センサーを直接サポート (例えば+3.3V または+5V)
- オプションの追加デジタル・ホール・センサーを直接サポート (例：+3.3V または 5V、オプションの補外機能を内蔵)
- 2つの LDO の設定可能な電圧
- GPIO の設定可能な代替機能
- ハーフブリッジ・ゲート・ドライバ (最大 1A のソース/2A のシンク、調整可能なスルー・レート制御) ×3
- 下側シャント電流測定 (プログラマブル CSA および ADC) ×3

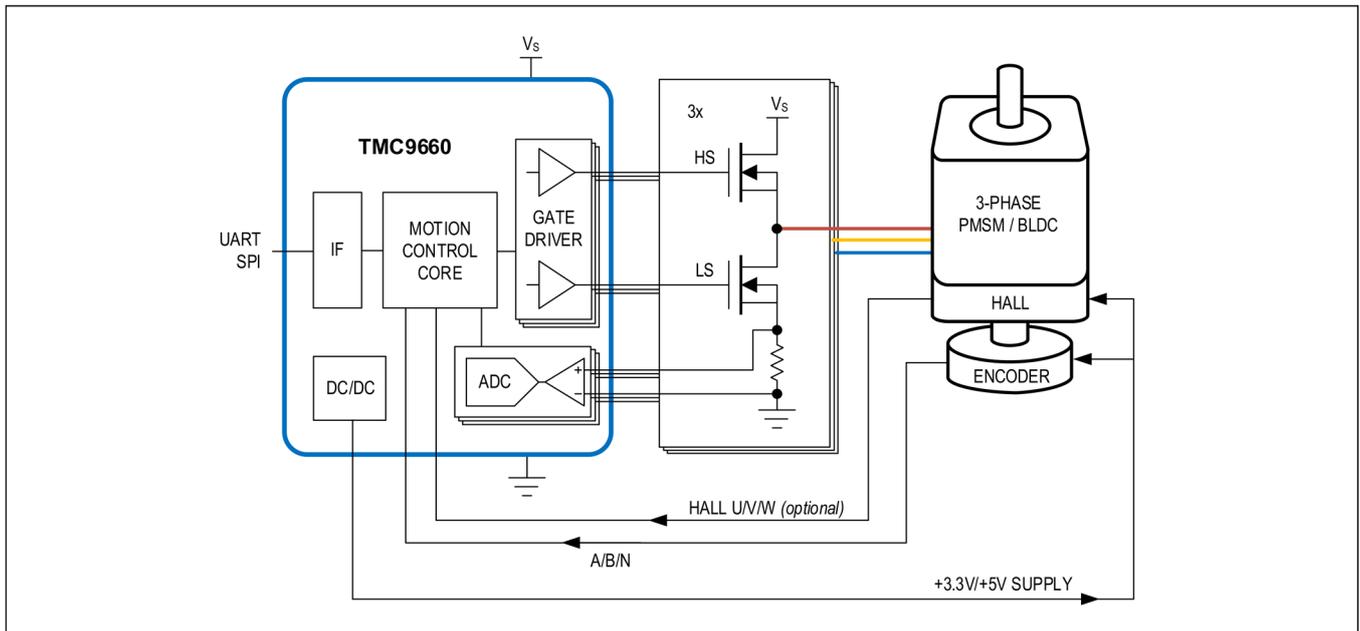


図 42. エンコーダ付き BLDC/PMSM アプリケーションの接続図

BLDC/PMSM モーターの動作では、4 つあるハーフブリッジのうち 3 つだけを使用します (図 43)。内蔵された 4 つ目の追加ハーフブリッジ・ゲート・ドライバは以下の用途に使用できます。

- 内蔵の電源電圧測定機能を使用するブレーキ・チョッパ
 - ハイサイドをローサイドとして使用
 - ブートローダ設定後のパラメータ・モードでのみネイティブでサポート
- オプションの電流測定機能を使用する電気機械式ブレーキ
 - ブートローダ設定後のパラメータ・モードでのみネイティブでサポート

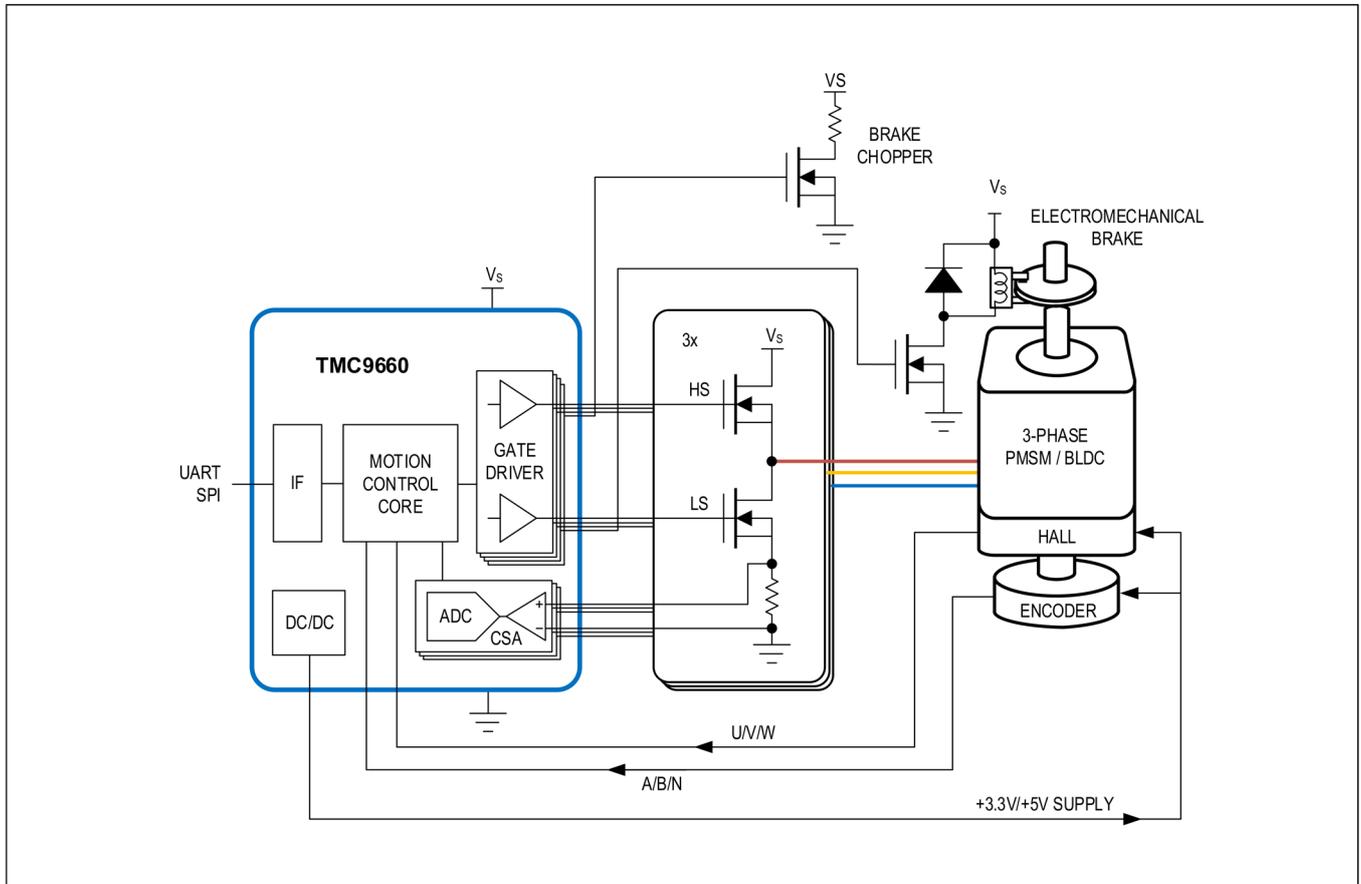


図 43. エンコーダ、インクリメンタル A/B/N、ブレーキ・チョッパ、および電気機械式ブレーキ

エンコーダ付き BLDC/PMSM + 2 個目のアブソリュート・エンコーダ

アブソリュート・エンコーダとリミット・スイッチに基づく位置決めタスク用の最も簡単な BLDC/PMSM モータ・アプリケーションを図 44 に示します。

モータ位相 UVW は、それぞれのシャント抵抗によって、対応するハーフブリッジ UX1、VX2、および WY1 の中間点に接続されています。ABN エンコーダ (クローズド・ループ FOC レギュレーションに必要) は内部 LDO によって給電され、GPIO の代替機能を通じて MCC に直接接続されています。2 つ目の SPI アブソリュート・エンコーダは、アプリケーション内の位置を正確にフィードバックできるように、ギアボックスの後段に取り付けられます。LDO 電圧も代替機能も、ブートローダを通じた初期設定が必要です。

V_{CC10} が ABN センサーの電源電圧と一致している場合は、直接接続が可能です。それ以外の場合はレベル・シフタを使用します。長いセンサー・ワイヤを使用する場合は、誘導ノイズを減らすために RC ローパスを追加することを推奨します。

使われている機能：

- 内蔵の DC/DC 降圧および LDO レギュレータが、ABN センサー用の電源電圧を供給 (例えば+3.3V または+5V)
- パラメータ・モードで直接サポートされるデジタル SPI アブソリュート・エンコーダ (例えば+3.3V または+5V)
- デジタル ABN センサーを直接サポート (例えば+3.3V または+5V)
- ハードウェアのストップ/リミット・スイッチ
- 2 つのセンサーのどちらかに基づくハードウェア FOC 位置制御
- 2 つの LDO の設定可能な電圧
- GPIO の設定可能な代替機能
- ハーフブリッジ・ゲート・ドライバ (最大 1A のソース/2A のシンク、調整可能なスルー・レート制御) ×3
- 下側シャント電流測定 (プログラマブル CSA および ADC) ×3

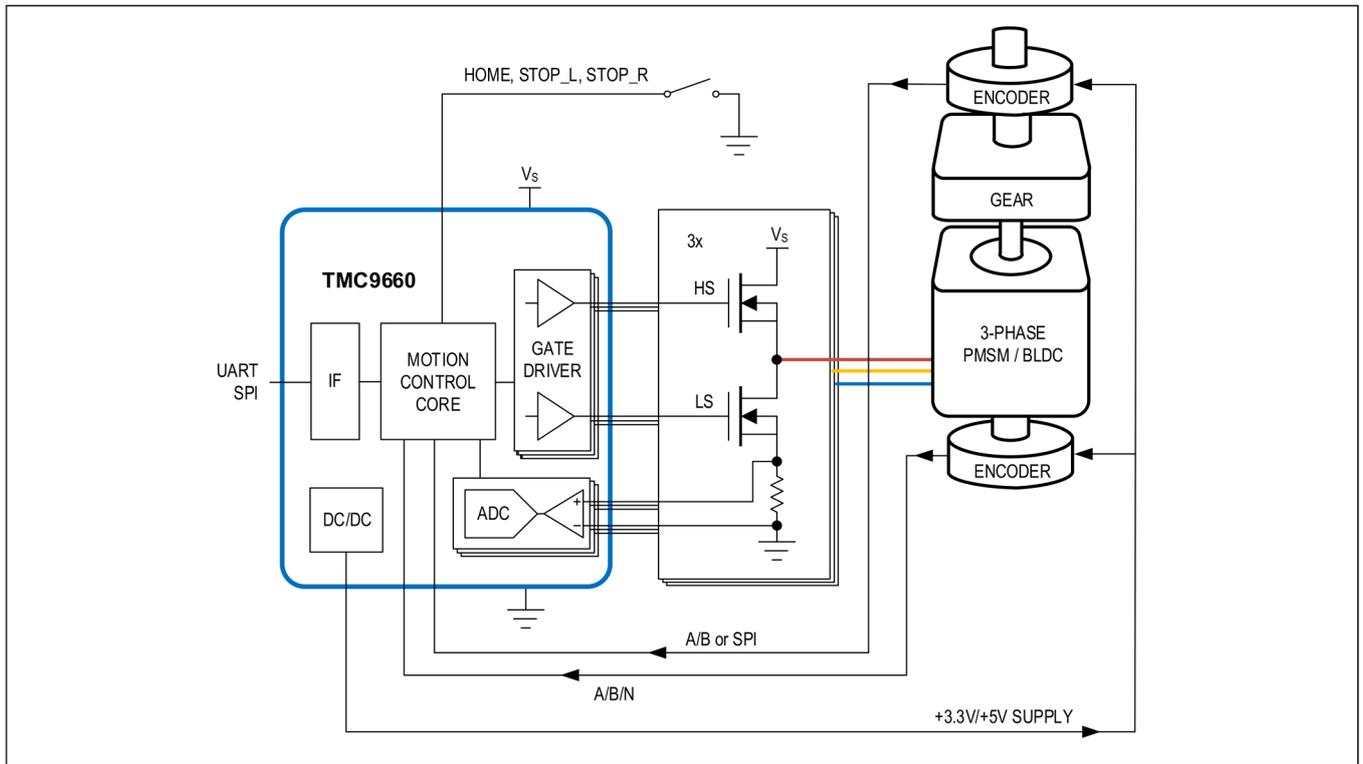


図 44. ギア・アプリケーションにおけるエンコーダ付き BLDC/PMSM + 2 つ目のアブソリュート・エンコーダの接続図

エンコーダ付きステッピング・モータ

ステッピング・モータの最も簡単なアプリケーションを図 45 に示します。

モータ・コイル X1、X2、Y1、および Y2 は、それぞれのシャント抵抗によって対応するハーフブリッジ UX1、VX2、WY1、および Y2 の中間点に接続されています。ABN エンコーダ (クローズド・ループ FOC レギュレーションに必要) は内部 LDO によって給電され、GPIO の代替機能を通じて MCC に直接接続されています。LDO 電圧も代替機能も、ブートローダを通じた初期設定が必要です。

V_{CC10} が ABN センサーの電源電圧と一致している場合は、直接接続が可能です。それ以外の場合はレベル・シフタを使用します。長いセンサー・ワイヤを使用する場合は、誘導ノイズを減らすために RC ローパスを追加することを推奨します。

ABN センサーは分解能が高いため、位置決めタスクに推奨できます。

使われている機能：

- 内蔵の DC/DC 降圧および LDO レギュレータが、ABN センサー用の電源電圧を供給 (例えば +3.3V または +5V)
- デジタル ABN センサーを直接サポート (例えば +3.3V または +5V)
- 2 つの LDO の設定可能な電圧
- GPIO の設定可能な代替機能
- ハーフブリッジ・ゲート・ドライバ (最大 1A のソース/2A のシンク、調整可能なスルー・レート制御) ×4
- 下側シャント電流測定 (プログラマブル CSA および ADC) ×4

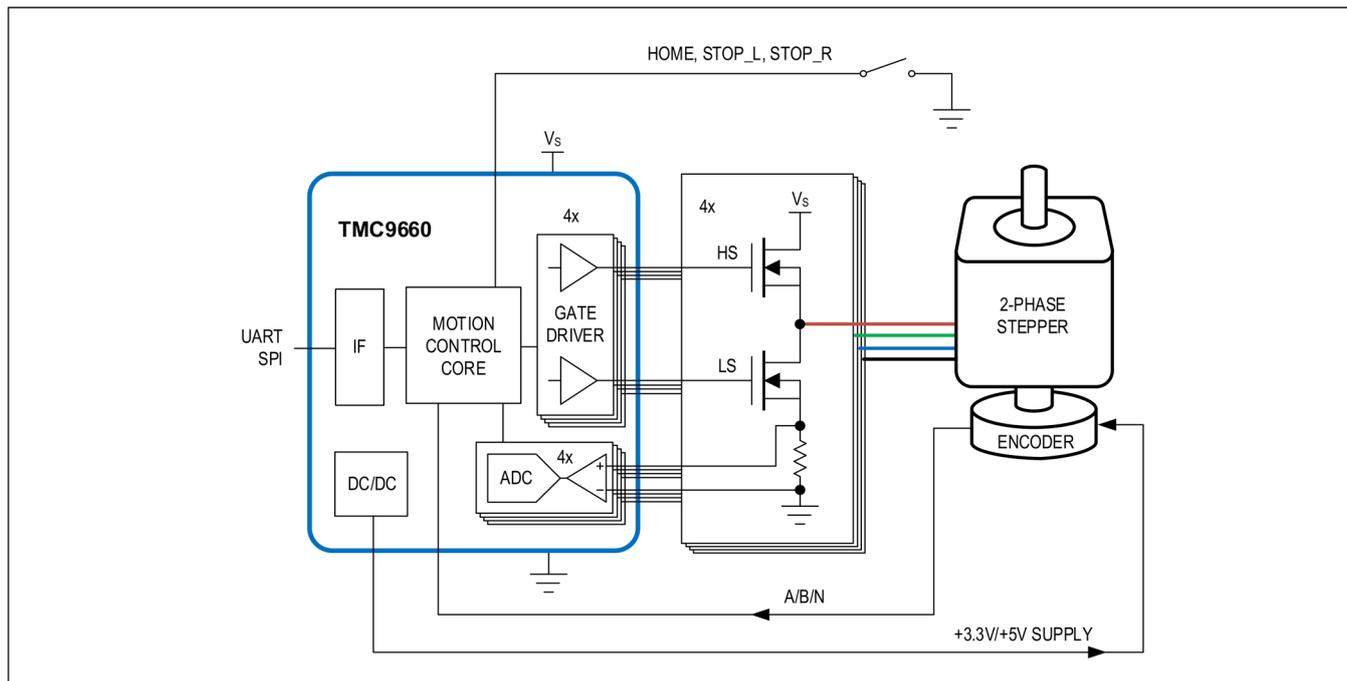


図 45. エンコーダ付きステッピング・モータ・アプリケーションの接続図

オーダー情報

PART NUMBER	TEMPERATURE RANGE	PIN-PACKAGE	MOTOR TYPE	HALF-BRIDGE GATE DRIVERS	GATE DRIVE VOLTAGE (VDRV)	BUCK OUTPUT (VBUCK)	OPERATING VOLTAGE
TMC9660ATB+	-40°C to +125°C	64 TQFN 9mm x 9mm	BLDC/PMSM and STEPPERS	4	11.6	5.8	7.5V-70V
TMC9660ATB+T	-40°C to +125°C	64 TQFN 9mm x 9mm	BLDC/PMSM and STEPPERS	4	11.6	5.8	7.5V-70V

+は、鉛 (Pb) フリー/RoHS 適合を表します。
T はテープ&リールを示します。

エラッタ

このセクションでは、チップに関する既知の問題、それに伴う制約事項、およびその回避策を説明します。

エラッタ 1: ブートローダの OTP_BURN コマンド

OTP_BURN コマンドには以下のような問題があります。

1. モータ・システム制御が開始されると、V_{DRV} ピンが 12V まで充電されます。OTP 書き込み要求を送ろうとすると、適切な時間内に V_{DRV} ピンを正しい電圧レベルに設定することができず、内蔵の 500ms タイムアウトによって常に OTP 書き込み手順が中断してしまいます。
2. 2 回目以降の OTP_BURN コマンドでは、実際の動作の結果に関わらず、常に失敗がレポートされます。この場合、最初の OTP_BURN コマンドが成功したか失敗したかは関係ありません。この現象を回避するにはリセットでは不十分で、電源の入れ直しを実行して初めて最初のコマンドの結果が正しくレポートされます。

これらの問題を軽減するには、OTP に書き込む場合は OTP_BURN を単純に送信するのではなく、以下のシーケンスでブートローダ・コマンドを実行してステップを追加する必要があります。

- SET_BANK を値 0 で送信します。
- SET_ADDRESS を値 0x4801B010 で送信します。
- READ_32 を送信します。
- 読出し値 (0x00000001) のビット 0 をクリアします。
- 変更した読出し値を書込み値として、WRITE_32 を送信します。
- V_{DRV} 電圧が 8.4V 未満に低下するのを待ちます。これに要する時間は、取り付けられたコンデンサによって異なります。10 μ F のコンデンサでは 1.0s (代表値) を要します。
- OTP_BURN を送信します。

書き込みのステータスを取得するには、OTP_LOAD を使って OTP の内容を読み出すか、以下のステップを実行します。

- PLL がアクティブになるようにクロックを設定して、SYS_CLK_DIV を 3 に設定 (15MHz のシステム・クロック) します。
- SET_BANK を値 0 で送信します。
- SET_ADDRESS を値 0x48020014 で送信します。
- READ_16 を送信します。
- 読出し値 0x80 または 0x84 は、書き込み動作が正常に行われたことを示します。それ以外の値は書き込み失敗を示します。
- SYS_CLK_DIV の設定を 0 に戻します。

エラッタ 2: SPI スレーブの MISO 動作

TMC9660 SPI スレーブは、TMC9660 への SPI チップ・セレクト信号がデアサートされた後も、MISO ラインを高インピーダンスに戻しません。他に SPI スレーブが存在しない状態で TMC9660 だけに SPI 接続を使用する場合は、これが問題となることはありません。

他にも SPI スレーブが必要な場合は、以下のいずれかの回避策を講じてください。

1. 他の SPI スレーブに対する任意の SPI トランザクション中に RESETN ピンをアサートすることによって、TMC9660 をリセット状態に保持します。
2. ボード設計に外部コンポーネントを追加して、チップ・セレクト信号がデアサートされたときに MISO ラインが確実に切断されるようにします。図 46 に示す ADG719 スイッチの使用例を参照してください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/24	市場投入のためのリリース	-
1	11/24	表 24 と オーダー情報 を更新	79, 98

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025年00月00日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年2月28日

製品名：TMC9660

対象となるデータシートのリビジョン(Rev)：Rev.1

訂正箇所：27頁、最上段 I2C の説明欄、最初の行

【誤】

「選択した場合、I2C_SCL と **I2C_SCL** は共にオープン・ドレイン信号で、正しく動作させるには VCC_IO への外部プルアップ抵抗が必要です。」

【正】

「選択した場合、I2C_SCL と **I2C_SDA** は共にオープン・ドレイン信号で、正しく動作させるには VCC_IO への外部プルアップ抵抗が必要です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025年00月00日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年2月28日

製品名：TMC9660

対象となるデータシートのリビジョン(Rev)：Rev.1

訂正箇所：80頁、”READ_8_INC”の説明欄、2行目の文

【誤】

「メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは **INVALID_ADDR ADDR** を返し、・・・」

【正】

「メモリ・アドレスが選択メモリの範囲から外れている場合、このコマンドは **INVALID_ADDR** を返し、・・・」