日本語参考資料
最新版英語データシートはこちら

特定型番の生産状況についてはこちらをクリックしてください。

MAX96792A　デュアル GMSL3/2 から CSI-2 へのデシリアライザ

概要

MAX96792A は、2 つの GMSL™3/2 シリアル入力を MIPI CSI-2 に変換します。本デバイスは、順方向チャンネルのビデオ・データを受信し、同時に、同軸ケーブルまたはシールド・ツイスト・ペア（STP）ケーブルを介して双方向のコントロール・チャンネル・データの送受信を行います。PAM-4 ベースの GMSL3 シリアル・リンクは、順方向に 12Gbps、逆方向に 187.5Mbps で動作します。MAX96792A は、GMSL2 に対し下位互換性があり、6Gbps または 3Gbps の GMSL2 シリアライザとペアを形成できます。GMSL 入力は個別に動作するため、各入力でタイミングおよび解像度の異なるビデオを受信できます。2 つの GMSL リンクのデータ・レートも異なって構いません。両方の入力からのビデオ・データを 1 つの CSI-2 ポートにまとめて出力でき、さらに、冗長性を持たせるために 2 つ目の出力ポートに複製することもできます。本デバイスは I^2C インターフェースまたは UART インターフェースを用いて設定でき、GPIO、I^2C、UART、SPI のトンネルを使用できます。

本デバイスは AEC-Q100 に適合しています。

データは、GMSL3 または GMSL2 のチャンネル仕様の低コストの 50Ω 同軸ケーブルまたは 100Ω の STP ケーブルを介して伝送できます。代表的な最大ケーブル長については、表 1 を参照してください。GMSL3 または GMSL2 のチャンネル仕様については、アナログ・デバイセズにお問い合わせください。

表 1. 代表的な最大ケーブル長と減衰の関係

	3.2mm Ø 50Ω Coax, Foam Dielectric	2.7mm Ø 50Ω Coax, Solid Dielectric	100Ω Shielded Twisted Pair, AWG26
Attenuation at 3GHz (Typ, Room Temp)	0.9dB/m	1.6dB/m	1.8dB/m
Attenuation at 3GHz (Max, Aged, +105°C)	1.1dB/m	2.0dB/m	2.2dB/m
GMSL Fwd/Rev Data Rate	**Typical Maximum Cable Length at +105°C**		
3Gbps/187.5Mbps	20m	10m	11m
6Gbps/187.5Mbps	15m	9m	8m
12Gbps/187.5Mbps	14m	8m	7m

アプリケーション

- 先進運転支援システム（ADAS）
- 8M ピクセル～15M ピクセルのフォワード・ビジョン・カメラ（FVC）システム
- 集約されたカメラ・データの転送
- eMirror（電子ミラー）カメラ・システム

機能と利点

- 車載グレードの高速リンク
  - 最大挿入損失：−18dB（3GHz、12Gbps 時）
  - チャンネル状態の変化に自動的に適応
  - 動作周囲温度：−40°C～+105°C
- 2 つの MIPI CSI-2 v1.3 出力ポート
  - レーンあたり 2.5Gbps の 2 つの 4 レーン D-PHY v1.2
  - レーンあたり 4.57Gbps の 2 つの 2 レーン C-PHY v1.0
  - 16 の仮想チャンネルをサポート
- デュアル GMSL3 入力
  - 12Gbps の GMSL3 順方向リンク・レート
  - GMSL2 への下位互換性のある 6Gbps/3Gbps リンク・レート
  - 187.5Mbps の逆方向リンク・レート
- トンネル・モードとピクセル・モードのビデオ伝送に対応
- 双方向コントロール・チャンネルをサポート
  - 11 個の設定可変 GPIO
  - 最大 1MHz の I^2C/UART ポート 1 個
  - 2 個のパススルー・ポート
    - UART として最大 2M のボー・レート
    - I^2C として最大 1Mbps
  - 最大 25MHz の SPI ポート 1 個
- BOM 削減および省スペース
  - 48 ピン 7mm x 7mm の側面濡れ性 TQFN
  - リファレンス・オーバー・リバース（RoR）チャンネル・クロッキングによりシリアライザでの水晶フリー動作が可能
  - 業界最小の Power over Coax（PoC）
- Safety Ready
  - ASIL-B に適合

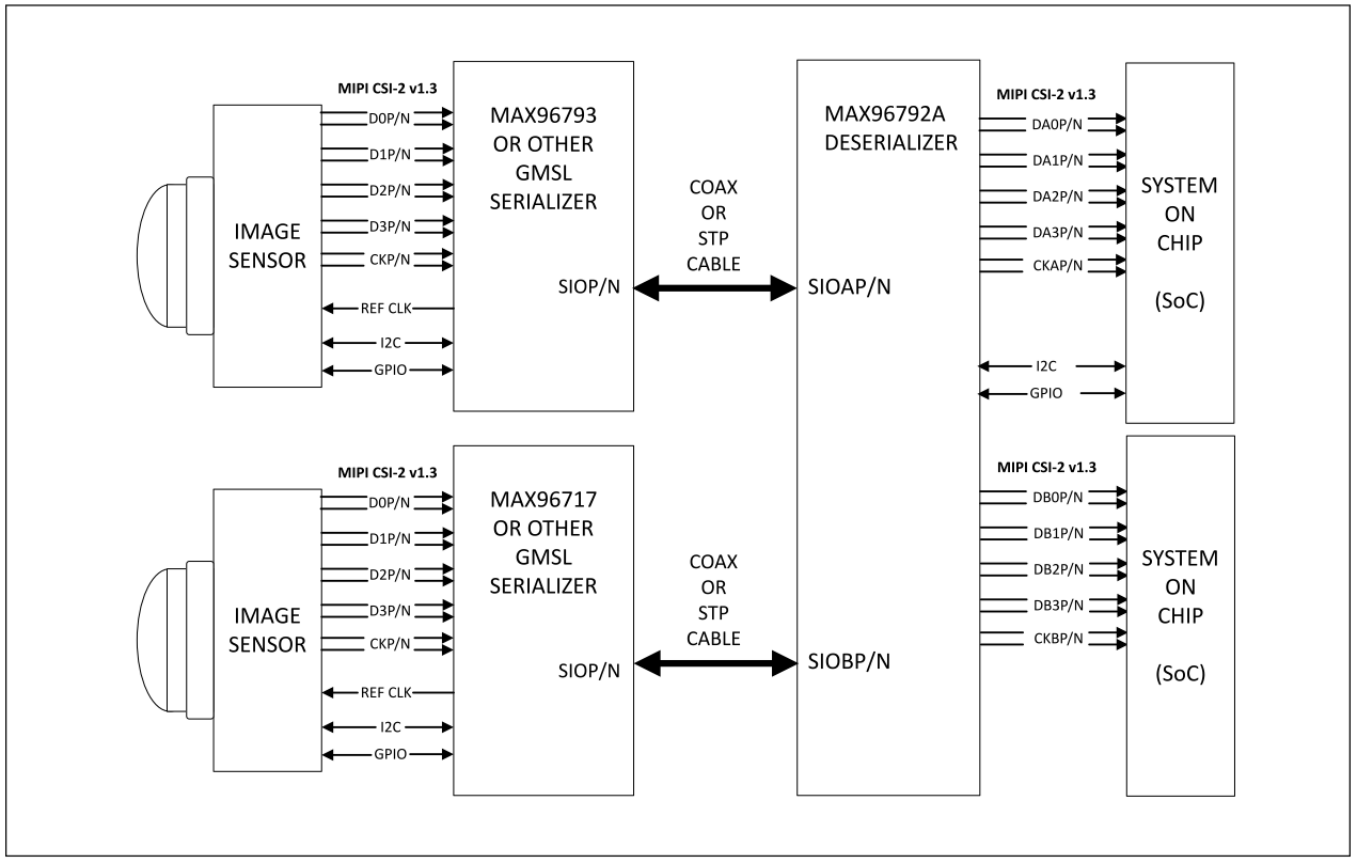
GMSL はアナログ・デバイセズ社の商標です。

型番はデータシート末尾に記載されています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

© 2024 Analog Devices, Inc. All rights reserved.　本紙記載の商標および登録商標は、各社の所有に属します。
19-101426; Rev 1; 1/24
本　　社 ／〒105-6891　東京都港区東新橋 1-9-1 東京汐留ビルディング 23F
大 阪 営 業 所 ／〒532-0003　大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
名 古 屋 営 業 所 ／〒451-6038　愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F

簡略化したブロック図


MIPI CSI-2 v1.3
D0P/N
D1P/N
D2P/N
D3P/N
CKP/N
REF CLK
I2C
GPIO
IMAGE SENSOR
MAX96793 OR OTHER GMSL SERIALIZER
SIOP/N
COAX OR STP CABLE
MAX96792A DESERIALIZER
SIOAP/N
SIOBP/N
MIPI CSI-2 v1.3
DA0P/N
DA1P/N
DA2P/N
DA3P/N
CKAP/N
I2C
GPIO
SYSTEM ON CHIP (SoC)
MIPI CSI-2 v1.3
DB0P/N
DB1P/N
DB2P/N
DB3P/N
CKBP/N
MAX96717 OR OTHER GMSL SERIALIZER
IMAGE SENSOR
SYSTEM ON CHIP (SoC)

目次

概要 1
アプリケーション 1
機能と利点 1
簡略化したブロック図 2
絶対最大定格 10
パッケージ 10
48 ピン TQFN-SW 10
48TQFN 10
電気的特性 11
代表的な動作特性 21
ピン配置 23
MAX96792A 23
ピンの説明 23
機能ブロック図 28
ブロック図 28
設定ピンの接続 28
詳細説明 29
その他の技術文書 29
推奨動作条件 29
外部部品要件 29
ESD 保護 31
図 31
はじめに 39
製品の概要 40
GMSL3 の概要 41
リンク・エラー・ジェネレータ 42
ピクセル・モードのビデオ・パイプライン 42
ウォーターマーキング 42
ビデオ（データ）ライン CRC 42
垂直およびデータ・イネーブルまたはデータ有効同期出力 43
コントロール・チャンネルおよびサイド・チャンネル 43
プライマリ I^2C/UART 43
I^2C/UART の CRC およびメッセージ・カウンタ 43
パススルーI^2C/UART 43
シリアル・ペリフェラル・インターフェース（SPI） 44
汎用入出力（GPIO） 44
非遅延補償モードでの遅延 45
遅延補償モード 45
フレーム同期 45
エラー時のコントロール・チャンネル再送 45
自動再送要求／自動再送（ARQ） 45

目次（続き）

その他の機能 45
トンネル・モードとピクセル・モード 46
フォワード・エラー・コレクション（FEC） 47
機能安全の諸機能 47
GMSL3 物理層 47
ケーブル・オプション 48
GMSL3 の帯域幅共有 48
GMSL3 の帯域幅の計算 48
アイ開口モニタ（EOM） 49
ライン・フォルト 50
同軸モード 50
STP モード 51
STP モードにおけるライン・フォルト・ペア#1（LMN0/LMN1）の抵抗値および接続方法 51
STP モードにおけるライン・フォルト・ペア#2（LMN2/LMN3）の抵抗値および接続方法 51
アダプティブ・イコライゼーション（AEQ） 52
ビデオ・パイプ 52
ビデオ・タイミング・ジェネレータ（VTG） 54
RGB888 ビデオ・パターン・ジェネレータ 54
擬似ランダム・バイナリ・シーケンス（PRBS） 54
ビデオ PRBS 54
リンク PRBS 54
ビデオ・メモリ ECC 保護 55
スケジューラ／アービタ 55
コントロール・チャンネルの CRC 生成およびチェック 55
シリアル・ペリフェラル・インターフェース（SPI） 55
CSI-2 出力インターフェース 56
レーン構成およびデータ・レート 56
CSI-2 仮想チャンネルおよびデータ・タイプのインターリーブ 56
ビデオ PRBS ジェネレータ／チェッカ 56
MIPI CSI-2 出力の未加工 PRBS ジェネレータ 57
レーン・デスキュー 57
最小ブランキング 57
MIPI のエンド to エンドのパケット間隔 57
パワーアップ時にラッチされる CFG ピン 58
MFP の機能マップおよびスルー設定 59
MFP ピンの等価回路 60
パワーアップとリンク開始 61
デバイス・リセット 62
リンクおよびビデオのロック 63

目次（続き）

リンクのロック 63
ビデオのロック 64
エラーおよびフォルト状態の監視 64
クロッキング 64
スペクトラム拡散クロッキング 64
電源 64
電源スタンバイ・モードとスリープ・モード 65
PCB レイアウトの GMSL 用ガイドライン 65
グランド・プレーン 65
高速 GMSL 配線パターン 66
Power-over-Coax（PoC）のレイアウト 66
シールド・ツイスト・ペアのレイアウト 67
温度管理 67
アプリケーション情報 68
ソフトウェア・プログラミング・モデル 68
プログラミング上の注意事項 68
プライマリ I²C/UART のトンネル 68
コントロール・チャンネルのプログラミング 68
従来の I²C/UART コントロール・チャンネルのプログラミング 68
ホストからペリフェラルへのプライマリ I²C およびパススルーI²C 通信 68
I²C 書込みパケット・フォーマット 69
I²C 読出しパケット・フォーマット 69
プライマリ I²C のホストから GMSL2 デバイスへの通信 69
メイン UART 69
UART ベース・モード 69
UART バイパス・モード 70
UART ベース・モードと UART バイパス・モードの切り替え 70
UART フレームのフォーマット 70
同期フレーム 71
アクノリッジ・フレーム 71
書込みパケット 71
読出しパケット 72
オプションの CRC とメッセージ・カウンタを用いた I²C/UART コントロール・チャンネルのプログラミング 72
I²C/UART の CRC およびメッセージ・カウンタ・オプション 72
CRC 付き I²C 書込み 72
CRC を使用する I²C 読出し 73
メッセージ・カウンタ書込み 73
メッセージ・カウンタ読出し 73
CRC を使用する UART 書込み 73

目次（続き）

CRC を使用する UART 読出し 74
標準アプリケーション回路 75
型番 75
レジスタ・マップ 76
予約済み、未使用、読出し専用のレジスタ・ビット 76
レジスタの詳細 110
改訂履歴 350

図一覧

図 1. 設定ピンの接続 28
図 2. GMSL3 の逆方向チャンネルのシリアル出力 31
図 3. 理想的なシングルエンド HS 信号と、それにより得られる差動 HS 信号 32
図 4. シングルエンド HS 信号に発生しうる ΔV_{CMTX} および ΔV_{OD} の歪み 32
図 5. D-PHY の信号処理レベル 33
図 6. C-PHY の DC 特性 33
図 7. C-PHY のシングルエンド HS 信号に発生しうる ΔV_{CPTX} および ΔV_{OD} の歪み 34
図 8. C-PHY の理想的なシングルエンド高速信号と、それにより得られる差動高速信号 34
図 9. GMSL3 のビデオ・レイテンシ 35
図 10. GPI と GPO の間の遅延およびスキュー 35
図 11. D-PHY のバーストでの高速データ送信リファレンス：D-PHY v. 1.2, 01-Aug 2014 の MIPI 仕様 35
図 12. D-PHY のデータ・クロック・タイミング 36
図 13. クロック送信と低消費電力モードの間のクロック・レーンの切り替え 36
図 14. D-PHY の高速スキュー・キャリブレーション。参照：D-PHY v. 1.2, 01-Aug 2014 の MIPI 仕様 37
図 15. C-PHY HS バースト・データ伝送。参照：C-PHY v. 1.0, 05-Aug 2014 の MIPI 仕様 37
図 16. I^2C のタイミング・パラメータ 38
図 17. SPI メイン・モードのタイミング・パラメータ 38
図 18. SPI セカンダリ・モードのタイミング・パラメータ 39
図 19. 理想的なシングルエンド HS 信号と、それにより得られる差動 HS 信号 39
図 20. シングル・リンク 40
図 21. デュアル・リンク、別々のデータ・タイプ 40
図 22. デュアル・リンク、データ集約 41
図 23. デュアル・リンク、データ集約および複製 41
図 24. ピクセル・モード 46
図 25. トンネル・モード 47
図 26. 帯域幅計算用のビデオ・フレーム・フォーマット 49
図 27. ライン・フォルト検出位置のオプション 50
図 28. 同軸ケーブル使用時の代表的な GMSL リンク・アプリケーション回路 51
図 29. ツイスト・ペア・ケーブル使用時の代表的な GMSL リンク・アプリケーション回路 （ライン・フォルト・ペア#1：LMN0 および LMN1、オプション#2） 52
図 30. 別々のポートからの GMSL3 ビデオ出力 53
図 31. GMSL3 ビデオの集約および複製 54
図 32. SPI ブリッジ 56
図 33. ビデオ・タイミング 57
図 34. エンド to エンドのパケット間隔 58
図 35. 標準的な高速 GPIO 61
図 36. 標準的な I^2C GPIO 61
図 37. GMSL2 のロック時間 63

図一覧（続き）

図 38. Coax PoC のレイアウト例 66
図 39. STP レイアウトの例 67
図 40. I²C 書込みパケット・フォーマット 69
図 41. I²C 読出しパケット・フォーマット 69
図 42. ベース・モードの UART プロトコル 70
図 43. ベース・モードの UART データ・フォーマット 71
図 44. UART 同期フレーム 71
図 45. UART アクノリッジ・フレーム 71
図 46. UART 書込みパケットのフォーマット 72
図 47. UART 読出しパケットのフォーマット 72
図 48. I²C の CRC エンジン 72
図 49. CRC を使用する I²C 複数バイト書込み 72
図 50. CRC を使用する I²C 単一バイト書込み 73
図 51. CRC を使用する I²C 複数バイト読出し 73
図 52. CRC を使用する I²C 単一バイト読出し 73
図 53. UART CRC エンジン 74
図 54. CRC を使用する UART 複数バイト書込みトランザクション 74
図 55. CRC を使用する UART 単一バイト書込みトランザクション 74
図 56. CRC を使用する UART 複数バイト読出しトランザクション 74
図 57. CRC を使用する UART 単一バイト読出しトランザクション 74

表一覧

表 1. 代表的な最大ケーブル長と減衰の関係 1
表 2. 推奨動作条件 29
表 3. 外部部品要件 29
表 4. ESD 保護 31
表 5. SPI でのラッチ・エッジおよび速度 44
表 6. 順方向リンクおよび逆方向リンクの伝送での代表的な GPIO 遅延 44
表 7. 順方向および逆方向のリンク帯域幅使用率 49
表 8. 同軸モードのライン・フォルト設定オプション 50
表 9. STP モードでの LMN0/LMN1 用ライン・フォルト設定オプション 51
表 10. STP モードでの LMN2/LMN3 用ライン・フォルト設定オプション 51
表 11. ビデオ・パターン・ジェネレータのピクセル・クロック選択 54
表 12. CFG0 の入力マップ 58
表 13. CFG1 の入力マップ 58
表 14. MFP ピンの機能マップ 59
表 15. コントロール・チャンネルとサイド・チャンネルの代表的な立上がりおよび立下がり時間 60

絶対最大定格

（電圧は全てグランド基準です）.....

V_{DDIO} .....−0.3V〜+3.9V

V_{DD18}.....−0.3V〜+2.0V

V_{DD} .....−0.3V〜+2.0V

CAP_VDD .....−0.3V〜+1.32V

SIO_（アクティブ状態）（Note a）.....+0.5V〜+2.0V

SIO_（非アクティブ状態）（Note a）.....−0.3V〜+1.1V

D-PHY ピン、C-PHY ピン（Note b）.....−0.3V〜(V_{TERM} + 0.1V)

XRES、X2.....−0.3V〜(V_{DD18} + 0.3V)

他の全てのピン（Note c）.....−0.3V〜(V_{DDIO} + 0.3V)

連続消費電力（多層基板）（T_A = +70ºC、
+70ºC 以上は 40mW/ºC でディレーティング.....mW〜2200mW

保存温度範囲.....−40ºC〜150ºC

はんだ処理温度（リフロー）.....+260ºC

Note a: アクティブ状態とは、デバイスがパワーアップされており、スリープ・モードやパワーダウン・モードではない状態を意味します。非アクティブ状態とは、デバイスがパワーアップされていないか、スリープ・モードまたはパワーダウン・モードになっている状態を意味します。

Note b: V_{TERM} ≤ +1.26V

Note c: V_{DDIO} = 仕様規定された最大電圧または 3.9V のいずれか低い方。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ

48 ピン TQFN-SW

Package Code	T4877Y+11
Outline Number	21-100045
Land Pattern Number	90-100016
Thermal Resistance, Four-Layer Board:	
Junction-to-Ambient (θ_{JA})	25°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1°C/W

48TQFN

Package Code	T4877+11
Outline Number	21-0144
Land Pattern Number	90-0130
Thermal Resistance, Single-Layer Board:	
Junction-to-Ambient (θ_{JA})	36°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1°C/W
Thermal Resistance, Four-Layer Board:	
Junction-to-Ambient (θ_{JA})	25°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1°C/W

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、www.analog.com/packages を参照してください。パッケージ・コードの「+」、「#」、「−」は、RoHS ステータスのみを示しています。パッケージ図面には異なるサフィックスが表示される場合がありますが、図面は RoHS ステータスに関係なくパッケージに固有のものです。

パッケージの熱抵抗は、JEDEC 仕様書 JESD51-7 に記載されている方法で、静止状態の空気中において 4 層基板を用いて求めたものです。パッケージの熱に関する考慮事項の詳細については、www.analog.com/thermal-tutorial を参照してください。

電気的特性

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DC ELECTRICAL CHARACTERISTICS / GMSL3 REVERSE-CHANNEL SERIAL I/O (SIOAP, SIOAN, SIOBP, SIOBN)—SEE Figure 2							
Output-Voltage Swing (Single-Ended)	V_O	GMSL2 mode	R_L = 100Ω±1%, (V_{OH} - V_{OL}) for all outputs	190	250	310	mV
Output-Voltage Swing (Differential)	V_{ODT}	GMSL2 Mode	R_L = 100Ω±1%, peak-to-peak differential voltage	380	500	620	mV
Output-Voltage Swing (Single-Ended)	V_O	12Gbps forward data rate (GMSL3-mode)	R_L = 100Ω±1%, (V_{OH}-V_{OL}) for all outputs	110	150	190	mV
Output-Voltage Swing (Differential)	V_{ODT}	12Gbps forward data rate (GMSL3-mode)	R_L = 100Ω±1%, peak-to-peak differential voltage	220	300	380	mV
Change in V_{OD} Between Complementary Output States	ΔV_{OD}	R_L = 100Ω ±1%, $\lvert V_{OD(H)} - V_{OD(L)} \rvert$				25	mV
Differential Output Offset Voltage	V_{OS}	R_L = 100Ω±1%, offset voltage in each output state	GMSL2-mode	V_{DD18} - 0.45	V_{DD18} - 0.3	V_{DD18} - 0.15	V
			GMSL3-mode	V_{DD18} - 0.4	V_{DD18} - 0.25	V_{DD18} - 0.1	
Change in V_{OS} Between Complimentary Output States	ΔV_{OS}	R_L = 100Ω ±1%, $\lvert V_{OD(H)} - V_{OD(L)} \rvert$				25	mV
Output Termination Resistance (Internal)	R_T	Any pin to V_{DD18}		50	55	60	Ω
DC ELECTRICAL CHARACTERISTICS / C-PHY AND D-PHY LP TRANSMITTER							
High-Level Output Voltage	V_{OH}	See Figure 5, Figure 6		0.95	1.2	1.3	V
Low-Level Output Voltage	V_{OL}	See Figure 5, Figure 6		-50		50	mV
Output Impedance	Z_{OLP}	(Note 9)		110			Ω
DC ELECTRICAL CHARACTERISTICS / D-PHY HS TRANSMITTER							
HS Transmit Static Common-Mode Voltage	V_{CMTX}	See Figure 5		150	200	250	mV
V_{CMTX} Mismatch when Output is Differential-1 or Differential-0	$\lvert \Delta V_{CMTX(1,0)} \rvert$	$\Delta V_{CMTX(1,0)}$ = ($V_{CMTX(1)}$ - $V_{CMTX(0)}$)/2, See Figure 4				5	mV
HS Transmit Differential Voltage	$\lvert V_{OD} \rvert$	See Figure 3		140	200	270	mV
V_{OD} Mismatch when Output is Differential-1 or Differential-0	$\lvert \Delta V_{OD} \rvert$	See Figure 4				14	mV
HS Output High Voltage	V_{OHHS}	See Figure 5				360	mV

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Single-Ended Output Impedance	Z_{OS}		40	50	62.5	Ω
Single-Ended Output Impedance Mismatch	ΔZ_{OS}				15	%
DC ELECTRICAL CHARACTERISTICS / C-PHY HS TRANSMITTER						
HS Transmit Static Common-Point Voltage	V_{CPTX}	See Figure 6, (*Note 4*, *Note 6*)	175	225 to 250	310	mV
V_{CPTX} Mismatch when Output is in any of the Six High-Speed States	$\lvert\Delta V_{CPTX(HS)}\rvert$	See Figure 7			9	mV
HS Transmit Differential Voltage of the Differential Strong 1 and Strong 0	$\lvert\Delta V_{OD}\rvert_{strong}$	See Figure 8, (*Note 4*)			300	mV
HS Transmit Differential Voltage of the Differential Weak 1 and Weak 0	$\lvert\Delta V_{OD}\rvert_{weak}$	See Figure 8, (*Note 4*)	97			mV
V_{OD} Mismatch Between the Absolute Values of the Differential Strong 1 and Strong 0 Output Voltage is any of the Six Possible High-Speed States	$\lvert\Delta V_{OD}\rvert$	See Figure 7			17	mV
HS Output High Voltage	V_{OHHS}	See Figure 6, (*Note 4*)			425	mV
Single-Ended Output Impedance	Z_{OS}		40	50	60	Ω
Single-Ended Output Impedance Mismatch	ΔZ_{OS}				10	%
DC ELECTRICAL CHARACTERISTICS / I/O PINS (GPIO)						
High-Level Input Voltage	V_{IH}		0.7 x V_{DDIO}			V
Low-Level Input Voltage	V_{IL}				0.3 x V_{DDIO}	V
High-Level Output Voltage	V_{OH}	I_{OH} = -4mA	V_{DDIO} - 0.4			V
Low-Level Output Voltage	V_{OL}	I_{OL}= 4mA			0.4	V
Input Current	I_{IN}	V_{IN} = 0 to V_{DDIO}. All pull-up/pull-down devices disabled.			1	µA
Input Capacitance	C_{IN}			5		pF
Input Pull-Up/Pull-Down Resistance	R_{IN}	40kΩ enabled		40		kΩ
		1MΩ enabled		1		MΩ

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ELECTRICAL CHARACTERISTICS / OPEN-DRAIN PINS (SDA_, SCL_, SDA_RX, TX_SCL, LOCK, ERRB/LFLTB, ODO)						
High-Level Input Voltage	V_{IH}		0.7 x V_{DDIO}			V
Low-Level Input Voltage	V_{IL}				0.3 x V_{DDIO}	V
Low-Level Open-Drain Output Voltage	V_{OL}	I_{OL} = 4mA			0.4	V
Input Current	I_{IN}	V_{IN} = 0 to V_{DDIO}. All pull-up/pull-down devices disabled.			1	µA
Input Capacitance	C_{IN}			3		pF
Internal Pull-Up Resistor	R_{PU}	40kΩ enabled		40		kΩ
		1MΩ enabled		1		MΩ
DC ELECTRICAL CHARACTERISTICS / PWDNB INPUT						
High-Level Input Voltage	V_{IH}		0.7 x V_{DDIO}			V
Low-Level Input Voltage	V_{IL}				0.3 x V_{DDIO}	V
Input Current	I_{IN}	V_{IN} = 0 to V_{DDIO}			6	µA
Internal Pull-Down Resistance	R_{PD}			1		MΩ
Input Capacitance	C_{IN}			3		pF
DC ELECTRICAL CHARACTERISTICS / PUSH-PULL OUTPUTS						
High-Level Output Voltage	V_{OH}	I_{OH} = -4mA	V_{DDIO} - 0.4			V
Low-Level Output Voltage	V_{OL}	I_{OL} = 4mA			0.4	V
DC ELECTRICAL CHARACTERISTICS / LINE FAULT DETECTION INPUT, (See Figure 28, [[Typical GMSL Link Application Circuit for Twisted Pair (Line-Fault Pair #1: LMN0 and LMN1, Option #2)]])						
Open Pin Voltage	V_{O0}	LMN0, LMN2		1.25		V
	V_{O1}	LMN1, LMN3		0.75		
DC ELECTRICAL CHARACTERISTICS / REFERENCE CLOCK INPUT REQUIREMENTS (CRYSTAL), (X1/OSC, X2)						
X1 Input Capacitance	C_{IN_X1}			3		pF
X2 Input Capacitance	C_{IN_X2}			1		pF
X2 Limit Resistor	R_{LIM}			1.2		kΩ
Feedback Resistor	R_{FB}			10		kΩ
Transconductance	g_m			28		mA/V
DC ELECTRICAL CHARACTERISTICS / REFERENCE CLOCK INPUT REQUIREMENTS (X1/OSC DRIVEN BY EXTERNAL CLOCK, X2 FLOATING)						
High-Level Input Voltage	V_{IH}		0.9			V
Low-Level Input Voltage	V_{IL}				0.4	V
X1 Input Capacitance	C_{IN_X1}			3		pF

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Resistance	R_{IN}				10		kΩ
DC ELECTRICAL CHARACTERISTICS / POWER SUPPLY CURRENTS							
Supply Current	I_{DD}	2x 12Gbps input, 2x 4-lane output, 2.5Gbps/lane	V_{DD} = 1.05V		365	850	mA
			V_{DD} = 1.26V		365	850	mA
			V_{DD18} = 1.9V		210	250	mA
			V_{TERM} = 1.26V		31	40	
Maximum V_{DDIO} Supply Current (Note 5)	I_{DDIO}	Per toggling GPIO, C_L = 20pF	V_{DDIO} = 1.9V		44		µA/MHz
			V_{DDIO} = 3.6V		81		
DC ELECTRICAL CHARACTERISTICS / POWER-DOWN CURRENT							
Maximum Power-Down Current	I_{DD}	V_{DDIO} at 3.6V	T_A = +25°C		6		µA
			T_A = +105°C		7		
		V_{TERM} at 1.26V	T_A = +25°C		< 1		
			T_A = +105°C		< 1		
		V_{DD18} at 1.9V	T_A = +25°C		< 1		
			T_A = +105°C		28		
		V_{DD} at 1.26V	T_A = +25°C		6		
			T_A = +105°C		6		
DC ELECTRICAL CHARACTERISTICS / SLEEP CURRENT							
Maximum Sleep Current	I_{DD}	V_{DDIO} at 3.6V	T_A = +25°C		9		µA
			T_A = +105°C		9		
		V_{TERM} at 1.26V	T_A = +25°C		< 1		
			T_A = +105°C		< 1		
		V_{DD18} at 1.9V	T_A = +25°C		17		
			T_A= +105°C		47		
		V_{DD} at 1.26V	T_A = +25°C		7		
			T_A = +105°C		6		
AC ELECTRICAL CHARACTERISTICS / GMSL3 FORWARD-CHANNEL SWITCHING CHARACTERISTICS							
Lock Time	t_{LOCK}	From power-up, one-shot reset, or rising edge of PWDNB to rising edge of LOCK. See Figure 37			68		ms
Maximum Video Initialization Time	$t_{VIDEOSTART}$	Time from GMSL3 video packets at SIO_ to valid packets at the CSI-2 output (assumes link locked and registers configured).			0.1 + (6600 x T_{PCLK})		ms
Maximum Video Latency	t_{VL}	Time from the first pixel in a GMSL3 packet at SIO_ to the first pixel in the CSI-2 output packet. See Figure 9			1 video line + (128 x T_{PCLK})		s
PWDNB Hold Time	t_{HOLD_PWDNB}	The minimum duration PWDNB must be held LOW to reset the chip.			1		ms

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
AC ELECTRICAL CHARACTERISTICS / GMSL3 REVERSE CHANNEL SERIAL OUTPUTS (SIO_P, SIO_N) (*Note 2*)						
Serial Output Rise Time	t_R	20% to 80%, V_O = 250mV, R_L = 100Ω		2300		ps
Serial Output Fall Time	t_F	80% to 20%, V_O = 250mV, R_L = 100Ω		2300		ps
Total Serial Output Jitter	t_{TSOJ}	PRBS7, single-ended or differential output		0.15		UI (p-p)
Deterministic Serial Output Jitter	t_{DSOJ}	PRBS7, single-ended or differential output		0.1		UI (p-p)
GPI-GPO Delay Reverse Path	t_{GPDR}	Delay-compensated mode See Figure 10		15		µs
		Non-delay-compensated mode See Figure 10		6		
GPI-GPO Skew Reverse Path	t_{SKEW}	Delay-compensated mode See Figure 10		7		ns
AC ELECTRICAL CHARACTERISTICS / CSI-2 HS TRANSMITTER, CONFIGURED AS D-PHY						
Common-Level Variations, HF	$\Delta V_{CMTX(HF)}$	> 450MHz, See Figure 4 (*Note 2*)			15	mV_{RMS}
Common-Level Variations, LF	$\Delta V_{CMTX(LF)}$	50MHz to 450MHz, See Figure 4 (*Note 2*)			25	mV_{PEAK}
20% to 80% Rise Time and Fall Time	t_R and t_F	(*Note 2*)			0.4	UI
		(*Note 2*)	50			ps
Tx Differential Return Loss	Sdd_{TX}	fh_{MAX} = 1.0GHz		-10		dB
		f_{MAX} = 1.5GHz		-8		
Tx Common Mode Return Loss	Scc_{TX}	f_{MAX} = 1.5GHz		-7		dB
Data-Lane Bit Rate	DL_{BR}		80		2500	Mbps
Clock-Lane Frequency	CL_{FREQ}		40		1250	MHz
CSI-2 Output Inter-Packet Spacing	t_{SPACE}			300 + 370UI		ns
AC ELECTRICAL CHARACTERISTICS / D-PHY AND C-PHY LP TRANSMITTER (*Note 2*)						
15% to 85% Fall Time	t_{FLP}	(*Note 3*)			25	ns
30% to 85% Rise Time	T_{REOT}	See Figure 11, Figure 15, (*Note 8*)			35	ns
Load Capacitance	C_{LOAD}	(*Note 3*)	0		70	pF
AC ELECTRICAL CHARACTERISTICS / D-PHY DATA-CLOCK TIMING (*Note 2*)						
UI Instantaneous	UI_{INST}		0.4		12.5	ns
UI Variation	ΔUI	UI ≥ 1ns, within a single burst	-10%		10%	UI
		0.667ns < UI < 1ns, within a single burst	-5%		5%	
Data to Clock Skew	T_{SKEW}	0.08Gbps to 1.0Gbps, See Figure 12	-0.15		0.15	UI_{INST}
		> 1.0Gbps to 1.5Gbps, See Figure 12	-0.20		0.20	
Static Data to Clock Skew (Tx)	$T_{SKEW(TX)}$ Static	> 1.5Gbps, See Figure 12	-0.20		0.20	UI_{INST}

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Dynamic Data to Clock Skew (Tx)	$T_{SKEW(TX)}$ Dynamic	> 1.5Gbps, See Figure 12	-0.15		0.15	UI_{INST}
AC ELECTRICAL CHARACTERISTICS / CSI-2 D-PHY GLOBAL OPERATION TIMING (*Note 2*)						
Time the Transmitter Drives the HS Clock Before any Associated Data Lane Beginning the Transition from LP Mode to HS Mode.	$T_{CLK-PRE}$	See Figure 13	8			UI_{INST}
Time the Transmitter Drives the Clock Lane LP-00 Line State Immediately Before the HS-0 Line State Starting the HS Transmission.	$T_{CLK-PREPARE}$	See Figure 13	38		95	ns
$T_{CLK-PREPARE}$ + Time the Transmitter Drives the HS-0 State Before Starting the Clock.	$T_{CLK-PREPARE}$ + TCLK-ZERO	See Figure 13	300			ns
Transmitted Time Interval from the Start of $T_{HS-TRAIL}$ or $T_{CLK-TRAIL}$, to the Start of the LP-11 State Following an HS Burst.	T_{EOT}	See Figure 11, Figure 13, and Figure 14			105 + 12 x UI	ns
Time the Transmitter Drives LP-11 Following an HS Burst.	$T_{HS-EXIT}$	See Figure 11, Figure 13, and Figure 14	100			ns
Time the Transmitter Drives the Data Lane LP-00 Line State Immediately Before the HS-0 Line State Starting the HS Transmission.	$T_{HS-PREPARE}$	See Figure 11, Figure 13, and Figure 14	40 + 4 x UI		85 + 6 x UI	ns
$T_{HS-PREPARE}$ + Time the Transmitter Drives the HS-0 State Before Transmitting the Sync Sequence.	$T_{HS-PREPARE}$ + THS-ZERO	See Figure 11	145 + 10 x UI			ns
Time the Transmitter Drives the Flipped Differential State After Last Payload Data Bit of an HS Transmission Burst.	$T_{HS-TRAIL}$	See Figure 11, Figure 14	60 + 4 x UI			ns
Initialization	T_{INIT}		100			µs

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Transmitted Length of Any Low-Power State Period.	T_{LPX}	See Figure 11, Figure 13, and Figure 14	50			ns
Time the Transmitter Drives the Skew-Calibration Sync Pattern, 0xFFFF.	$T_{SKEWCAL_SYNC}$	See Figure 14		16		UI
Time the Transmitter Drives the Skew-Calibration Pattern in the Initial Skew-Calibration Mode.	$T_{SKEWCAL}$	See Figure 14			100	µs
		See Figure 14	2^{15}			UI
Time the Transmitter Drives the Skew-Calibration Pattern in the Periodic Skew-Calibration Mode.	$T_{SKEWCAL}$	See Figure 14			10	µs
		See Figure 14	2^{10}			UI
AC ELECTRICAL CHARACTERISTICS / CSI-2 HS TRANSMITTER, CONFIGURED AS C-PHY						
Common-Level Variations (Note 2)	$\Delta V_{CPTX(HF)}$	> 450MHz			15	mV_{RMS}
	$\Delta V_{CPTX(LF)}$	50MHz to 450MHz			25	mV_{PEAK}
Rise Time	t_R	Strong 0 to weak 1 transition, -58mV to +58mV, Z_{ID} = 100Ω (Note 2)			0.285	UI
Fall time	t_F	Strong 1 to weak 0 transition, +58mV to -58mV, Z_{ID} = 100Ω (Note 2)			0.285	UI
Rise Time and Fall Time Limit	$t_{RISE-FALL-MAX}$	-58mV to +58mV, Z_{ID} = 100Ω. (Note 2, Note 7)			360	ps
Differential-Mode Reflection Coefficient (Note 10)	Sdd_{TX}	fh = 1.25GHz		-12		dB
		f_{MAX} = 1.875GHz		-9		
Common-Mode Reflection Coefficient (Note 10)	S_{ccTX}	f_{MAX} = 1.875GHz		-10		dB
C-PHY Lane Bit Rate	C_{BR}		182		4571	Mbps
CSI-2 Output Inter-Packet Spacing	t_{SPACE}			300 + 370 x UI		ns
UI Instantaneous	UI_{INST}		0.4		12.5	ns
AC ELECTRICAL CHARACTERISTICS / CSI-2 C-PHY GLOBAL OPERATION TIMING—SEE Figure 15 (Note 2)						
Time that the Transmitter Drives the 3-Wire LP-000 Line State Immediately Before the HS_+ x Line State Starting the HS Transmission	$t_{3-PREPARE}$	(Note 2)	38		95	ns

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Time the Transmitter Drives LP-111 After an HS Burst.	$t_{3\text{-HS-EXIT}}$	(Note 2)	100			ns
Transmitted Length of Any Low-Power State Period	t_{LPX}	(Note 1, Note 2)	50			ns
Initialization Time	t_{INIT}	(Note 2)	100			µs
AC ELECTRICAL CHARACTERISTICS / I²C/UART PORT TIMING—SEE Figure 16						
I²C/UART Bit Rate			9.6		1000	kbps
Output Fall Time	t_F	70% to 30%, C_L = 20pF to 100pF, 1kΩ pull-up to V_{DDIO}	20 x V_{DDIO}/5.5V		150	ns
I²C/UART Wake Time	t_{WAKEUP}	From power-up, or rising edge of PWDNB to local register access. For remote register access, I²C/UART wake time is the same as lock time (t_{LOCK}).		13.0	15.5	ms
AC ELECTRICAL CHARACTERISTICS / I²C TIMING—SEE Figure 16						
SCL Clock Frequency	f_{SCL}	Low f_{SCL} range: (I2CMSTBT = 010, I2CSLVSH = 10)	9.6		100	kHz
		Mid f_{SCL} range: (I2CMSTBT 101, I2CSLVSH = 01)	> 100		400	
		High f_{SCL} range: (I2CMSTBT = 111, I2CSLVSH = 00)	> 400		1000	
Start Condition Hold Time	$t_{HD:STA}$	f_{SCL} range, Low	4			µs
		f_{SCL} range, Mid	0.6			
		f_{SCL} range, High	0.26			µs
Low Period of SCL Clock	t_{LOW}	f_{SCL} range, Low	4.7			µs
		f_{SCL} range, Mid	1.3			
		f_{SCL} range, High	0.5			µs
High Period of SCL Clock	t_{HIGH}	f_{SCL} range, Low	4			µs
		f_{SCL} range, Mid	0.6			
		f_{SCL} range, High	0.26			µs
Repeated Start Condition Setup Time	$t_{SU:STA}$	f_{SCL} range, Low	4.7			µs
		f_{SCL} range, Mid	0.6			
		f_{SCL} range, High	0.26			µs
Data Hold Time	$t_{HD:DAT}$	f_{SCL} range, Low	0			ns
		f_{SCL} range, Mid	0			
		f_{SCL} range, High	0			
Data Setup Time	$t_{SU:DAT}$	f_{SCL} range, Low	250			ns
		f_{SCL} range, Mid	100			
		f_{SCL} range, High	50			

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Setup Time for Stop Condition	$t_{SU:STO}$	f_{SCL} range, Low	4			µs
		f_{SCL} range, Mid	0.6			
		f_{SCL} range, High	0.26			
Bus Free Time	t_{BUF}	f_{SCL} range, Low	4.7			µs
		f_{SCL} range, Mid	1.3			
		f_{SCL} range, High	0.5			
Data Valid Time	$t_{VD:DAT}$	f_{SCL} range, Low			3.45	µs
		f_{SCL} range, Mid			0.9	
		f_{SCL} range, High			0.45	
Data Valid Acknowledge Time	$t_{VD:ACK}$	f_{SCL} range, Low			3.45	µs
		f_{SCL} range, Mid			0.9	
		f_{SCL} range, High			0.45	
Pulse Width of Spikes Suppressed	t_{SP}	f_{SCL} range, Low			50	ns
		f_{SCL} range, Mid			50	
		f_{SCL} range, High			50	
Capacitive Load on Each Bus Line	C_B	(Note 2)			100	pF
AC ELECTRICAL CHARACTERISTICS / SPI MAIN—SEE Figure 17 (Note 11)						
Programmable Operating Frequency Range	f_{MCK}	(Note 2)	0.588		25	MHz
SCLK Period	t_{MCK}			$1/f_{MCK}$		ns
SCLK Output Pulse-Width High/Low	t_{MCH}, t_{MCL}	C_L = 5pF (Note 2)	$t_{MCK}/2$ - 3	$t_{MCK}/2$		ns
MOSI Data Output Delay	t_{MOD}	After SCLK falling edge (Note 2)	-6		3	ns
MISO Input Setup Time	t_{MIS}	Before programmed sampling edge (Note 2)	13.5			ns
MISO Input Hold Time	t_{MIH}	After programmed sampling edge (Note 2)	-2			ns
AC ELECTRICAL CHARACTERISTICS / SPI SUBORDINATE—SEE Figure 18 (Note 11)						
Operating Frequency	f_{SCK}	(Note 2)			25	MHz
SCLK Period	t_{SCK}			$1/f_{SCK}$		ns
MISO Data Output Delay	t_{SOD}	After SCLK falling edge, (Note 2)	3		12.5	ns
MOSI Input Setup Time	t_{SIS}	Before SCLK rising edge	5			ns
MOSI Input Hold Time	t_{SIH}	After SCLK rising edge	3			ns
AC ELECTRICAL CHARACTERISTICS / REFERENCE CLOCK INPUT REQUIREMENTS (CRYSTAL) (X1/OSC, X2)						
Frequency	f_{REF}			25		MHz

電気的特性（続き）

（特に指定のない限り、V_{DD18} = 1.7V～1.9V、V_{DD} = 0.95V～1.05V または V_{DD} = 1.14V～1.26V、V_{DDIO} = 1.7V～3.6V、V_{TERM} = 1.14V～1.26V、T_A = −40°C～+105°C、EP は PCB のグランドに接続、代表値は V_{DD18} = V_{DDIO} = 1.8V、V_{DD} = 1.0V、V_{TERM} = 1.2V、T_A = 25°C での値。）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Frequency Stability + Frequency Tolerance	f_{TN}		-200		+200	ppm
AC ELECTRICAL CHARACTERISTICS / REFERENCE CLOCK INPUT REQUIREMENTS (EXTERNAL INPUT ON X1/OSC, X2 FLOATING)						
Frequency	F_{REF}			25		MHz
Frequency Stability + Frequency Tolerance	f_{TN}		-200		+200	ppm
Duty Cycle	DC		40	50	60	%
Input Jitter	t_{JIN}	Forward data rate = 12Gbps bit rate, Reverse data rate = 187.5Mbps, RoR not used by serializer, Sinusoidal jitter < 1MHz (rising edge)			150	ps (p-p)
		Forward data rate = 12Gbps bit rate, Reverse data rate = 187.5Mbps, RoR used by serializer, Sinusoidal jitter < 1MHz (rising edge)			75	
Input Rise Time	t_R	10% to 90%		5		ns
Input Fall Time	t_F	90% to 10%		5		ns

Note 1： 特に指定のない限り、限界値は T_A = +105°C で 100%テストされています。動作温度範囲および対応する電源電圧範囲における限界値は、設計および特性評価によって裏付けられています。最大電源電流は、T_J = +105°C で仕様規定されています。

Note 2： 製品テストの対象外です。設計および特性評価により裏付けられています。

Note 3： C_{LOAD} は、低周波数の等価伝送線容量を含んでいます。Tx および Rx の容量は 10pF 未満であることが常に前提となっています。線路分布容量は、2ns の遅延がある伝送線の場合、最大 50pF とすることができます。

Note 4： ZID = 100Ω の負荷インピーダンスに対して駆動する場合の値。

Note 5： MFP ピンの速度を最速設定値に設定（TTS = 00）。MFP の速度設定の詳細については、MFP の機能マップおよびスルー設定のセクションを参照してください。

Note 6： V_{CPTX} の代表値は、各実装に用いられる電源電圧に応じて仕様規定された範囲内にある必要があります。

Note 7： 出力信号遷移における任意の 50mV 区間での平均として測定。

Note 8： t_{REOT} の立上がり時間は、差動駆動が停止したことにより差動振幅が 70mV を下回った時点の HS コモンレベルから始まります。

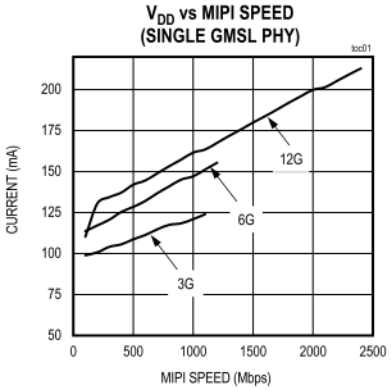
Note 9： Z_{OLP} の最大値は仕様規定されていませんが、LP トランスミッタの出力インピーダンスにより、t_{RLP}/t_{FLP} の仕様が満たされるようになっています。

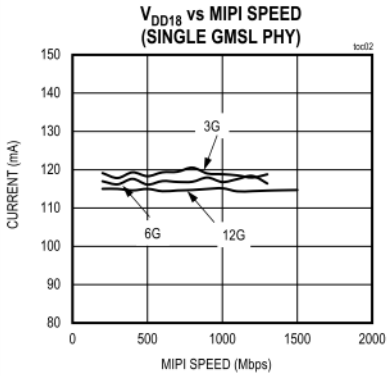
Note 10： 差動モードおよびコモンモードの反射係数は、仕様規定された全動作周波数にわたり MIPI C-PHY V1.0 要件に適合しています。

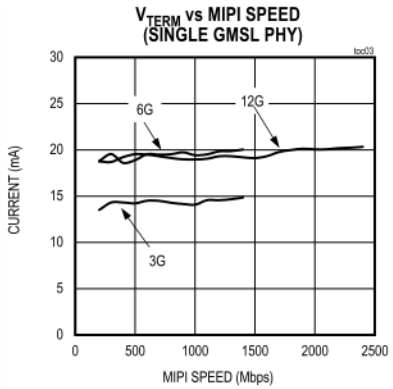
Note 11： 25MHz で測定。

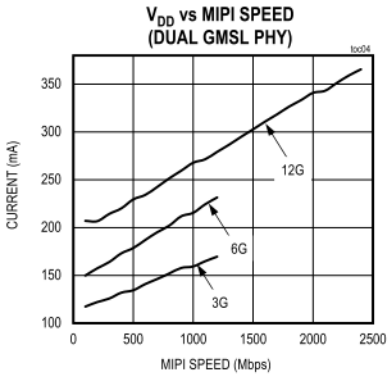
代表的な動作特性

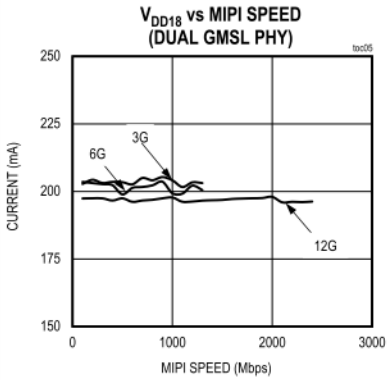
（特に指定のない限り、V_{TERM} = 1.2V、V_{DD18} = 1.8V、V_{DDIO} = 1.8V、V_{DD} = 1.0V、T_A = +25°C。PRBS24 データ。6Gbps または 12Gbps でのシングル GMSL PHY 構成：SIOA または SIOB の GMSL 入力を有効化、4 レーンのポート A またはポート B でデータ出力。3Gbps でのシングル GMSL PHY 構成：SIOA または SIOB の GMSL 入力を有効化、2 レーンのポート A またはポート B でデータ出力。デュアル GMSL PHY 構成：4 レーン CSI-2 ポート A で SIOA（6Gbps または 12Gbps）データ出力、4 レーン CSI-2 ポート B で SIOB（6Gbps または 12Gbps）データ出力。2 レーン CSI-2 ポート A で SIOA（3Gbps）データ出力、2 レーン CSI-2 ポート B で SIOB（3Gbps）データ出力）

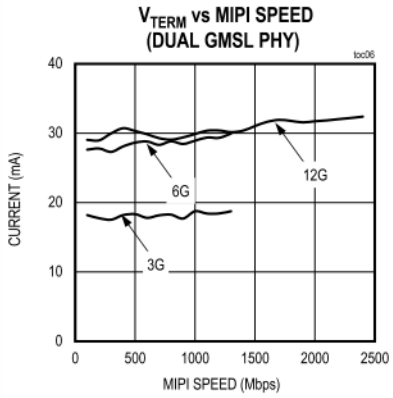


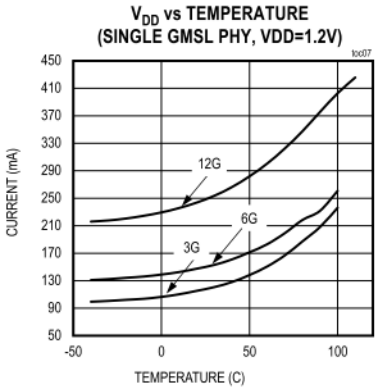


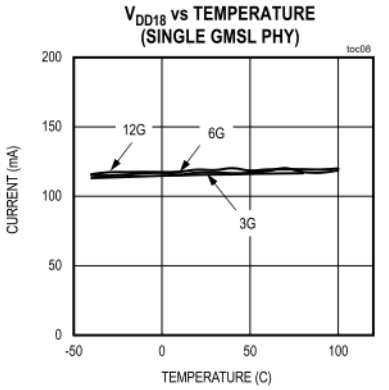


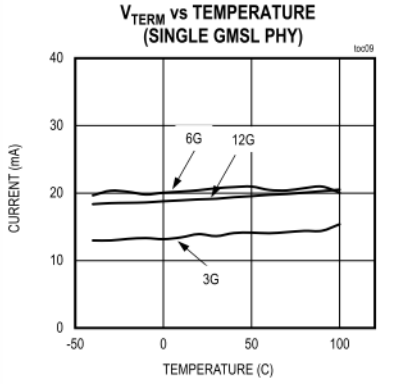






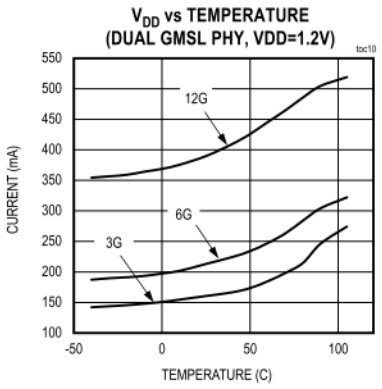


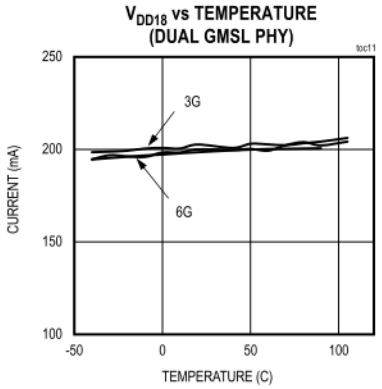


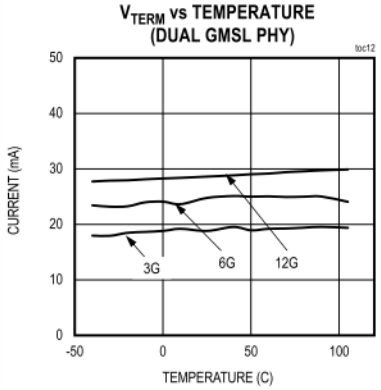


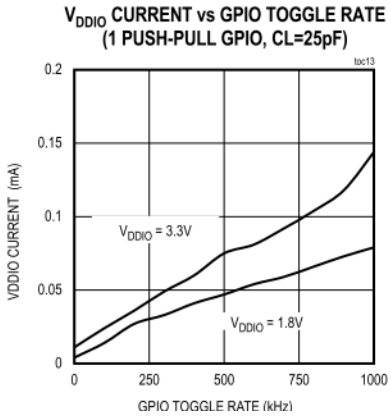
代表的な動作特性（続き）

（特に指定のない限り、V_{TERM} = 1.2V、V_{DD18} = 1.8V、V_{DDIO} = 1.8V、V_{DD} = 1.0V、T_A = +25°C。PRBS24 データ。6Gbps または 12Gbps でのシングル GMSL PHY 構成：SIOA または SIOB の GMSL 入力を有効化、4 レーンのポート A またはポート B でデータ出力。3Gbps でのシングル GMSL PHY 構成：SIOA または SIOB の GMSL 入力を有効化、2 レーンのポート A またはポート B でデータ出力。デュアル GMSL PHY 構成：4 レーン CSI-2 ポート A で SIOA（6Gbps または 12Gbps）データ出力、4 レーン CSI-2 ポート B で SIOB（6Gbps または 12Gbps）データ出力。2 レーン CSI-2 ポート A で SIOA（3Gbps）データ出力、2 レーン CSI-2 ポート B で SIOB（3Gbps）データ出力）



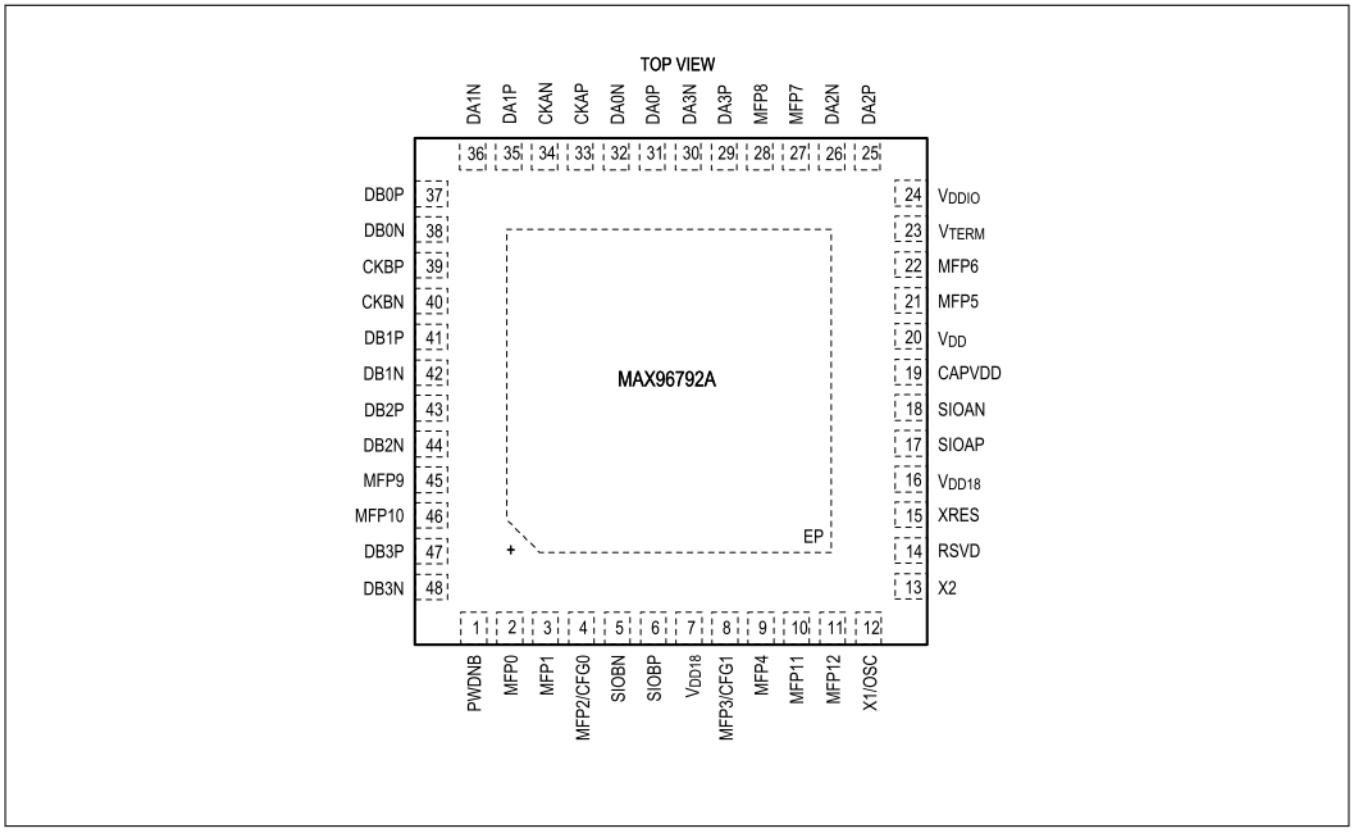






ピン配置

MAX96792A



ピンの説明

ピン番号	名称	機能モード	機能
		GMSL3/2	
GMSL3/2 Serial Link			
5	SIOBN	SIOBN	反転ツイスト・ペアのシリアル・データ入出力 B
6	SIOBP	SIOBP	非反転同軸／ツイスト・ペアのシリアル・データ入出力 B
17	SIOAP	SIOAP	非反転同軸／ツイスト・ペアのシリアル・データ入出力 A
18	SIOAN	SIOAN	反転ツイスト・ペアのシリアル・データ入出力 A
CSI-2 INTERFACE (*) INDICATES DEFAULT STATE AFTER POWER-UP (NOTE: LEAVE PINS OPEN IF UNUSED)			
25	DA2P	DA2P	CSI-2 ポート A データ・レーン 2 の非反転出力（D-PHY 4 レーン・モード）
26	DA2N	DA2N	CSI-2 ポート A データ・レーン 2 の反転出力（D-PHY 4 レーン・モード）
29	DA3P	DA3P	CSI-2 ポート A データ・レーン 3 の非反転出力（D-PHY 4 レーン・モード）
30	DA3N	DA3N	CSI-2 ポート A データ・レーン 3 の反転出力（D-PHY 4 レーン・モード）
31	DA0P	DA0P* DD0A	DA0P：CSI-2 ポート A データ・レーン 0 の非反転出力（D-PHY 4 レーン・モード） DD0A：CSI-2 ポート D データ・レーン 0 の A 出力（C-PHY 2 レーン・モード）

ピン番号	名称	機能モード	機能
		GMSL3/2	
32	DA0N	DA0N* DD0B	DA0N：CSI-2 ポート A データ・レーン 0 の反転出力（D-PHY 4 レーン・モード） DD0B：CSI-2 ポート D データ・レーン 0 の B 出力（C-PHY 2 レーン・モード）
33	CKAP	CKAP* DD0C	CKAP：CSI-2 ポート A クロック・レーンの非反転出力（D-PHY 4 レーン・モード） DD0C：CSI-2 ポート D データ・レーン 0 の C 出力（C-PHY 2 レーン・モード）
34	CKAN	CKAN* DD1A	CKAN：CSI-2 ポート A クロック・レーンの反転出力（D-PHY 4 レーン・モード） DD1A：CSI-2 ポート D データ・レーン 1 の A 出力（C-PHY 2 レーン・モード）
35	DA1P	DA1P* DD1B	DA1P：CSI-2 ポート A データ・レーン 1 の非反転出力（D-PHY 4 レーン・モード） DD1B：CSI-2 ポート D データ・レーン 1 の B 出力（C-PHY 2 レーン・モード）
36	DA1N	DA1N* DD1C	DA1N：CSI-2 ポート A データ・レーン 1 の反転出力（D-PHY 4 レーン・モード） DD1C：CSI-2 ポート D データ・レーン 1 の C 出力（C-PHY 2 レーン・モード）
37	DB0P	DB0P* DE0A	DB0P：CSI-2 ポート B データ・レーン 0 の非反転出力（D-PHY 4 レーン・モード） DE0A：CSI-2 ポート E データ・レーン 0 の A 出力（C-PHY 2 レーン・モード）
38	DB0N	DB0N* DE0B	DB0N：CSI-2 ポート B データ・レーン 0 の反転出力（D-PHY 4 レーン・モード） DE0B：CSI-2 ポート E データ・レーン 0 の B 出力（C-PHY 2 レーン・モード）
39	CKABP	CKBP* DE0C	CKBP：CSI-2 ポート B クロック・レーンの非反転出力（D-PHY 4 レーン・モード） DE0C：CSI-2 ポート E データ・レーン 0 の C 出力（C-PHY 2 レーン・モード）
40	CKBN	CKBN* DE1A	CKBN：CSI-2 ポート B クロック・レーンの反転出力（D-PHY 4 レーン・モード） DE1A：CSI-2 ポート E データ・レーン 1 の A 出力（C-PHY 2 レーン・モード）
41	DB1P	DB1P* DE1B	DB1P：CSI-2 ポート B データ・レーン 1 の非反転出力（D-PHY 4 レーン・モード） DE1B：CSI-2 ポート E データ・レーン 1 の B 出力（C-PHY 2 レーン・モード）
42	DB1N	DB1N* DE1C	DB1N：CSI-2 ポート B データ・レーン 1 の反転出力（D-PHY 4 レーン・モード） DE1C：CSI-2 ポート E データ・レーン 1 の C 出力（C-PHY 2 レーン・モード）
43	DB2P	DB2P	CSI-2 ポート B データ・レーン 2 の非反転出力（D-PHY 4 レーン・モード）
44	DB2N	DB2N	CSI-2 ポート B データ・レーン 2 の反転出力（D-PHY 4 レーン・モード）
47	DB3P	DB3P	CSI-2 ポート B データ・レーン 3 の非反転出力（D-PHY 4 レーン・モード）
48	DB3N	DB3N	CSI-2 ポート B データ・レーン 3 の反転出力（D-PHY 4 レーン・モード）

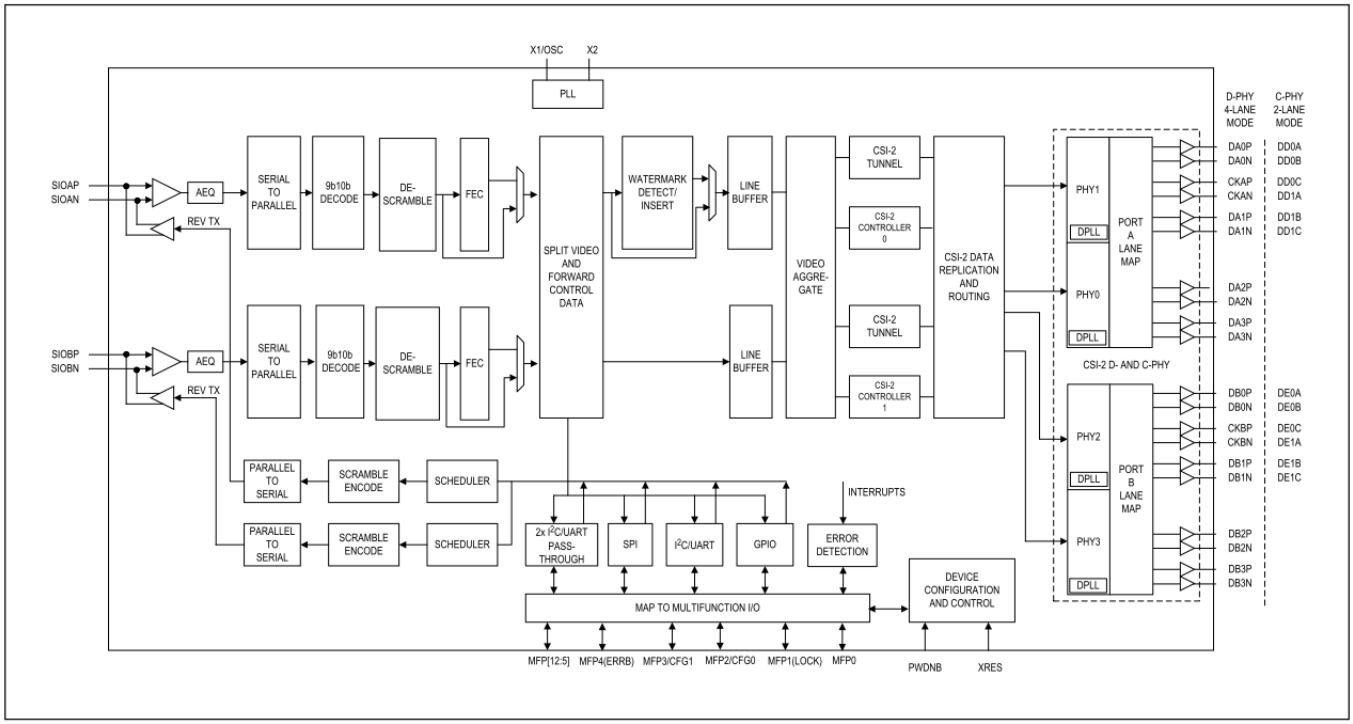
ピン番号	名称	機能モード GMSL3/2	機能
MULTIFUNCTION PINS (NOTE: LEAVE PINS OPEN IF UNUSED)			
2	MFP0	GPIO0* SDA1 RX1 SDA2 RX2 SCLK FRSYNC_OUT VS2 DE1/DV1 MS	GPIO0：設定可能な汎用入力または出力。パワーアップ時のデフォルトは、1MΩ でグランドにプルダウンされた GPI0 汎用入力です。 SDA1：パススルーI^2C データ入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。 RX1：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART 入力。 SDA2：パススルーI^2C データ入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。 RX2：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART 入力。 SCLK：SPI クロック。メインとして設定されている場合、プッシュプル・クロック出力。セカンダリとして設定されている場合、グランドに対して 1MΩ の内部プルダウンを備えたクロック入力。 FRSYNC_OUT：フレーム同期プッシュプル出力。 VS2：ビデオ・ストリーム垂直同期モニタのプッシュプル出力。 DE1/DV1：ビデオ・ストリームのデータ・イネーブルまたはデータ有効モニタのプッシュプル出力。 MS：グランドに対して 1MΩ の内部プルダウンを備えた UART モード選択。MS の状態はレジスタの書込みによって一時的に上書きされる場合もあります。
3	MFP1	LOCK* SCL1 TX1 SCL2 TX2 GPIO1	LOCK：V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン・ロック通知出力。 SCL1：パススルーI^2C クロック入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。 TX1：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART オープン・ドレイン出力。 SCL2：パススルーI^2C クロック入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。 TX2：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART オープン・ドレイン出力。 GPIO1：汎用入力または出力。
4	MFP2/CFG0	GPO2* SS1 BNE CFG0	CFG0：設定ピン。ピンの電圧によりデバイスのモードが設定され、この設定はパワーアップ時にラッチされます。V_{DDIO} と EP 間の抵抗分圧器に接続します。表 12 を参照してください。 GPO2*：汎用出力。パワーアップ時のデフォルトは高インピーダンスです。 SS1：SPI セカンダリの選択。メインとして設定されている場合、セカンダリ 1 を選択するプッシュプル出力です。 BNE：SPI セカンダリとして設定されている場合、SPI バッファ・ノット・エンプティを示すプッシュプル出力です。BNE がハイの場合、SPI データが利用可能です。
8	MFP3/CFG1	GPO3* CFG1 VS1 DE0/DV0 SS2	GPO3：汎用プッシュプル出力。パワーアップ時のデフォルトは高インピーダンスです。 CFG1：設定ピン。ピンの電圧によりデバイスのモードが設定され、この設定はパワーアップ時にラッチされます。V_{DDIO} と EP 間の抵抗分圧器に接続します。表 13 を参照してください。 VS1：ビデオ・ストリーム垂直同期モニタのプッシュプル出力 DE0/DV0：ビデオ・ストリームのデータ・イネーブルまたはデータ有効モニタのプッシュプル出力 SS2：SPI セカンダリの選択。メインとして設定されている場合、セカンダリ 2 を選択するプッシュプル出力です。

ピン番号	名称	機能モード	機能
		GMSL3/2	
9	MFP4	ERRB* GPIO4 RO(Alt)	ERRB：V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン・エラー通知出力。ERRB がローの場合、データ・エラー、ライン・フォルト、または割込みが検出されています。PWDNB がローのときは ERRB がハイになります。 GPIO4：汎用入力または出力。 RO（代替）：セカンダリとして設定されている場合、グランドに対して 1MΩ の内部プルダウンを備えた SPI モード選択入力。RO がハイの場合、メインは MISO から読出しができます。RO がローの場合、メインは MOSI に書込みができます。
21	MFP5	RX1* RX2 SDA1 GPIO5 SDA2 MOSI LOCK(Alt)	RX1：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART 入力（デフォルトは 1Mbps のレート）。 RX2：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART 入力。 SDA1：パススルーI^2C データ入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。 GPIO5：設定可能な汎用入力または出力。パワーアップ時のデフォルトでは、レシーバが有効化され、V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン・ドライバがハイになっています。 SDA2：パススルーI^2C データ入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。 MOSI：SPI のメイン・アウト・セカンダリ・イン。メインとして設定されている場合は、プッシュプル出力が外部セカンダリにデータを送信します。セカンダリとして設定されている場合は、グランドに対して 1MΩ の内部プルダウンを備えた入力であり、外部メインからデータを受信します。 LOCK（代替）：代替ロック・インジケータ。V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン・ロック通知出力。
22	MFP6	TX1* TX2 SCL2 SCL1 GPIO6 MISO	TX1：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART 出力（デフォルトは 1Mbps のレート）。 TX2：V_{DDIO} に対して 40kΩ の内部プルアップを備えたパススルーUART 出力。 SCL2：パススルーI^2C クロック入力／V_{DDIO} に対して内部プルアップを備えたオープン・ドレイン出力。 SCL1：パススルーI^2C クロック入力／V_{DDIO} に対して内部プルアップを備えたオープン・ドレイン出力。 GPIO6：設定可能な汎用入力または出力。パワーアップ時のデフォルトでは、レシーバが有効化され、V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン・ドライバがハイになっています。 MISO：SPI のメイン・イン・セカンダリ・アウト。メインとして設定されている場合は、グランドに対して 1MΩ の内部プルダウンを備えた入力であり、外部セカンダリからデータを受信します。セカンダリとして設定されている場合は、データを外部メインに送信するプッシュプル出力です。
27	MFP7	GPI7* LMN0 RO	GPI7：1MΩ でグランドにプルダウンされた汎用入力。 LMN0：ライン・フォルト・モニタ入力。 RO：セカンダリとして設定されている場合、グランドに対して 1MΩ の内部プルダウンを備えた SPI モード選択入力。RO がハイの場合、メインは MISO から読み出しできます。RO がローの場合、メインは MOSI に書き込みできます。
28	MFP8	GPI8* LMN1	GPI8：1MΩ でグランドにプルダウンされた汎用入力。 LMN1：ライン・フォルト・モニタ入力。
45	MFP9	GPI9* LMN2	GPI9：1MΩ でグランドにプルダウンされた汎用入力。 LMN2：ライン・フォルト・モニタ入力。
46	MFP10	GPI10* LMN3	GPI10：1MΩ でグランドにプルダウンされた汎用入力。 LMN3：ライン・フォルト・モニタ入力。

ピン番号	名称	機能モード	機能
		GMSL3/2	
10	MFP11	SDA RX* GPI11_ODO11	RX：V_{DDIO} に対して 40kΩ の内部プルアップを備えた UART 入力（パワーアップ時に CFG0 によって SDA または RX を選択）。 SDA：I^2C のデータ入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力（パワーアップ時に CFG0 によって SDA または RX を選択）。 GPI11_ODO11：汎用入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力。
11	MFP12	SCL TX* GPI12_ODO12	TX：V_{DDIO} に対して 40kΩ の内部プルアップを備えた UART のオープン・ドレイン出力（パワーアップ時に CFG0 によって SCL または TX を選択）。 SCL：I^2C のクロック入力／V_{DDIO} に対して 40kΩ の内部プルアップを備えたオープン・ドレイン出力（パワーアップ時に CFG0 によって SCL または TX を選択）。 GPI12_ODO12：汎用入力／40kΩ の内部プルアップを V_{DDIO} に接続したオープン・ドレイン出力。
MISCELLANEOUS -SEE EXTERNAL COMPONENTS REQUIREMENTS TABLE			
1	PWDNB	PWDNB	PWDNB：グランドに対して 1MΩ の内部プルダウンを備えたアクティブ・ローのパワーダウン入力。PWDNB をローにセットするとパワーダウン・モードに移行します。
12	X1/OSC	X1/OSC	水晶振動子／発振器入力。水晶振動子を用いる場合、25MHz ± 200ppm の水晶振動子の 1 つの端子に接続し、X1/OSC と EP の間に負荷コンデンサを接続します（負荷コンデンサ値は使用する水晶振動子によって異なります）。発振器を用いる場合は、25MHz ± 200ppm の信号を供給します。
13	X2	X2	水晶振動子入力。25MHz ± 200ppm の水晶振動子の 1 つの端子に接続し、X1/OSC と EP の間に負荷コンデンサを接続します（負荷コンデンサ値は使用する水晶振動子によって異なります）。発振器を使用する場合は、オープンのままにします。
15	XRES	XRES	SIO の出力ドライバ振幅をキャリブレーションするために使用します。XRES と EP の間に 402Ω ± 1%の抵抗を接続します。
19	CAP_VDD	CAP_VDD	1V コア電源用デカップリング・コンデンサ
14	RSVD	RSVD	予約済み。接続しないでください。
POWER SUPPLIES - SEE EXTERNAL COMPONENT REQUIREMENTS TABLE			
16	V_{DD18}	V_{DD18}	1.8V アナログ電源
7	V_{DD18}	V_{DD18}	1.8V アナログ電源
20	V_{DD}	V_{DD}	1.0V コア電源。このピンには、オプションのオン・チップ LDO が内蔵されています。 0.95V～1.05V の電源を接続すると、LDO をバイパスします。1.14V～1.26V の電源を接続すると、内蔵 1.0V レギュレータを使用します。内蔵 1.0V レギュレータを使用するためには、最初に REG_ENABLE = 1 を書き込み、次いで REG_MNL = 1 を書き込みます。PCB グランド・プレーンとの間でこのピンのできるだけ近くにデカップリング・コンデンサを接続します。
24	V_{DDIO}	V_{DDIO}	1.8V～3.3V の I/O 電源
23	V_{TERM}	V_{TERM}	1.14V～1.26V の MIPI 電源。デバイスのできるだけ近くに配置した 0.1µF のコンデンサを使って、V_{TERM} を EP にバイパスします。
EP	EP	EP	露出パッド。EP は内部でデバイスのグランドに接続されています。適切な熱性能および電気的性能を実現するために、EP は複数のビアを通じて PCB グランド・プレーンに接続する必要があります。

機能ブロック図

ブロック図



設定ピンの接続

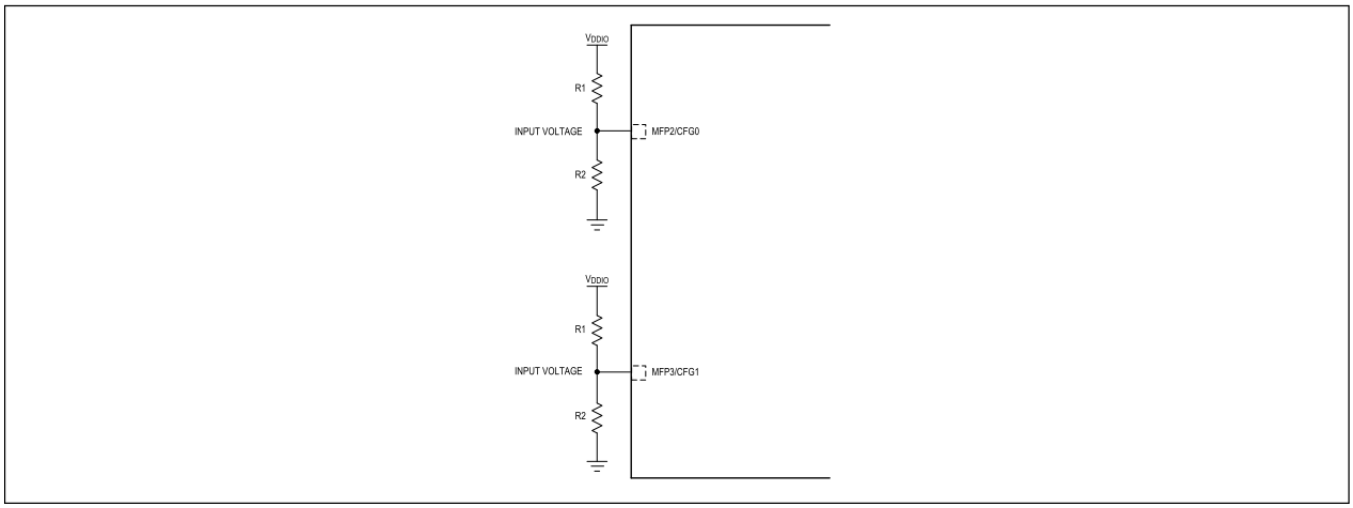


図 1. 設定ピンの接続

詳細説明

その他の技術文書

このデータシートには、電気的仕様、ピンおよび機能の説明、特長の概要、レジスタの定義が記載されています。本デバイスを用いて正しく設計するには、以下の情報も必要です。

- GMSL3 チャンネル仕様および GMSL2 チャンネル仕様には、それぞれ GMSL3 の 12Gbps PAM4 リンク用および GMSL2 の 3Gbps または 6Gbps NRZ リンク用の PCB 配線パターン、ケーブル、コネクタに関する物理層要件が記載されています。
- GMSL2 ハードウェア設計ガイドには、PCB 設計に関する推奨事項、アプリケーション回路、外部部品の選択、GMSL2 シグナル・インテグリティ・ツールの使用に関するガイドラインが記載されています。
- GMSL2 ユーザ・ガイドおよび GMSL3 ユーザ・ガイドには、デバイス機能のプログラミングに関する詳細なガイドラインが記載されています。
- エラッタ・シートには、公表されているデバイス仕様からの差異が記載されており、製品番号およびリビジョン ID に固有の内容となります。

これらの文書および MAX96792A の機能に関する追加のガイダンスについては、アナログ・デバイセズにお問い合わせください。

推奨動作条件

表 2. 推奨動作条件

PARAMETER	PIN NAME	NOMINAL VOLTAGE	MIN	TYP	MAX	UNIT
Supply Voltage Range	V_{TERM}		1.14	1.2	1.26	V
	V_{DD18}		1.7	1.8	1.9	
	V_{DD}	1.0V	0.95	1.0	1.05	
		1.2V	1.14	1.2	1.26	
	V_{DDIO}	1.8V	1.7	1.8	1.9	
		3.3V	3.0	3.3	3.6	
Maximum Supply Noise (Note a)	V_{TERM}			50		mV_{P-P}
	V_{DD18}			25		
	V_{DD}	1.0V		50		
		1.2V		50		
	V_{DDIO}	1.8V		50		
		3.3V		100		
Operating Junction Temperature, T_J			-40		+125	°C

Note a : 電源ノイズ <1MHz。電源電圧リップルは、測定された DC 電源電圧を中心に対称であると仮定しています。例えば、25mVP-P は、ピーク電圧が±12.5mV であることを意味します。

代表的なアプリケーション回路については、図 23、図 24、標準アプリケーション回路のセクションを参照してください。表 3 に、適切な機能のために特定のピンに接続する必要のある、重要な部品の詳細を示します。

外部部品要件

表 3. 外部部品要件

COMPONENT	SYMBOL	CONDITION	VALUE	UNIT
XRES	R_{XRES}	Connect R_{XRES} resistor between XRES pin and ground.	402 ±1%. Use a single resistor	Ω
Line-Fault Pull-Down Resistor	R_{PD}	Connect to ground at far end of Coax/STP cable; only required if line-fault detection is used.	49.9 ±1%	kΩ

表 3. 外部部品要件（続き）

COMPONENT	SYMBOL	CONDITION	VALUE	UNIT
Line-Fault Series Resistor - Coax Mode	R_{EXT1}	LMN0, LMN1, LMN2, or LMN3	48.7 ±1%	kΩ
	R_{EXT2}		DNI	
Line-Fault Series Resistor - STP Mode	R_{EXT1}	*See the Line-Fault section in Detailed Descriptions for STP mode.*	48.7 ±1%	kΩ
	R_{EXT2}	*See the Line-Fault section in Detailed Descriptions for STP mode.*	42.2 ±1%	
Link Isolation Capacitors	C_{LINK}	Place close to the SIO_ pins (5, 6, 17, 18) used in the application.	0.1	µF
Coax Mode Termination Resistor	R_{TERM}	In Coax mode, connect R_{TERM} between unused SIO pin and ground on each coax link.	49.9 ±1%	Ω
Crystal		Place as close as possible to pins 12 and 13.	25MHz ±200ppm	
Crystal Load Capacitors		Use crystal loading capacitor guidance from the crystal manufacturer. Select values that compensate for the X1 and X2 input, and PCB node capacitances. Place the capacitors as close as possible to pin 12 (X1/OSC) and pin 13 (X2).		
V_{DDIO} Decoupling Capacitor*		Place a 0.01µF capacitor as close as possible to pin 24. Include a minimum of 10µF bulk decoupling on the PCB.	0.01 + 10	µF
V_{DD18} Decoupling Capacitors*		Place a 0.01µF capacitor as close as possible to pins 7 and 16. Connect both V_{DD18} pins together and include a minimum of 10µF bulk decoupling on the PCB.	(2x) 0.01 + 10	µF
V_{TERM} Decoupling Capacitor*		Place a 0.01µF capacitor as close as possible to pin 23. Include a minimum of 10µF bulk decoupling on the PCB.	0.01 + 10	µF
V_{DD} Decoupling Capacitor*		Place a 0.1µF capacitor as close as possible to pin 20. Include a minimum of 10µF bulk decoupling on the PCB.	0.1 + 10	µF
CAP_VDD Decoupling Capacitor		Place a 0.1µF capacitor as close as possible to pin 19. Include a minimum of 10µF bulk decoupling near the pin.	0.1 + 10	µF
Open-Drain Pull-Up Resistors		Application-specific. Quantity and values depend on multifunction GPIO pin configurations.		
Resistors for Configuration Pin Resistor-Divider	R1, R2	Place resistor-divider close to pin 4 (MFP2/CFG0).	See Table 12.	Ω
	R1, R2	Place resistor-divider close to pin 8 (MFP3/CFG1).	See Table 13.	Ω

* CAP_VDD を除き、電源デカップリング・コンデンサ値は推奨値を示しています。ボード設計者は、具体的なアプリケーションに応じて必要なデカップリングを決定できます。

ESD 保護

表 4. ESD 保護

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNIT
SIO__	V_{ESD}	Human Body Model (HBM), R_D = 1.5kΩ, CS = 100pF		±8		kV
		ISO10605, R_D = 330Ω, CS = 150pF, Contact Discharge		±6		
		ISO10605, R_D = 330Ω, CS = 150pF, Air Discharge		±6		
		AEC-Q100-011 Rev-C1, Charged Device Model (CDM)		750		V
All Other Pins	V_{ESD}	Human Body Model (HBM), R_D = 1.5kΩ, C_S = 100pF		±4		kV
		AEC-Q100-011 Rev-C1, Charged Device Model (CDM)		750		V

図

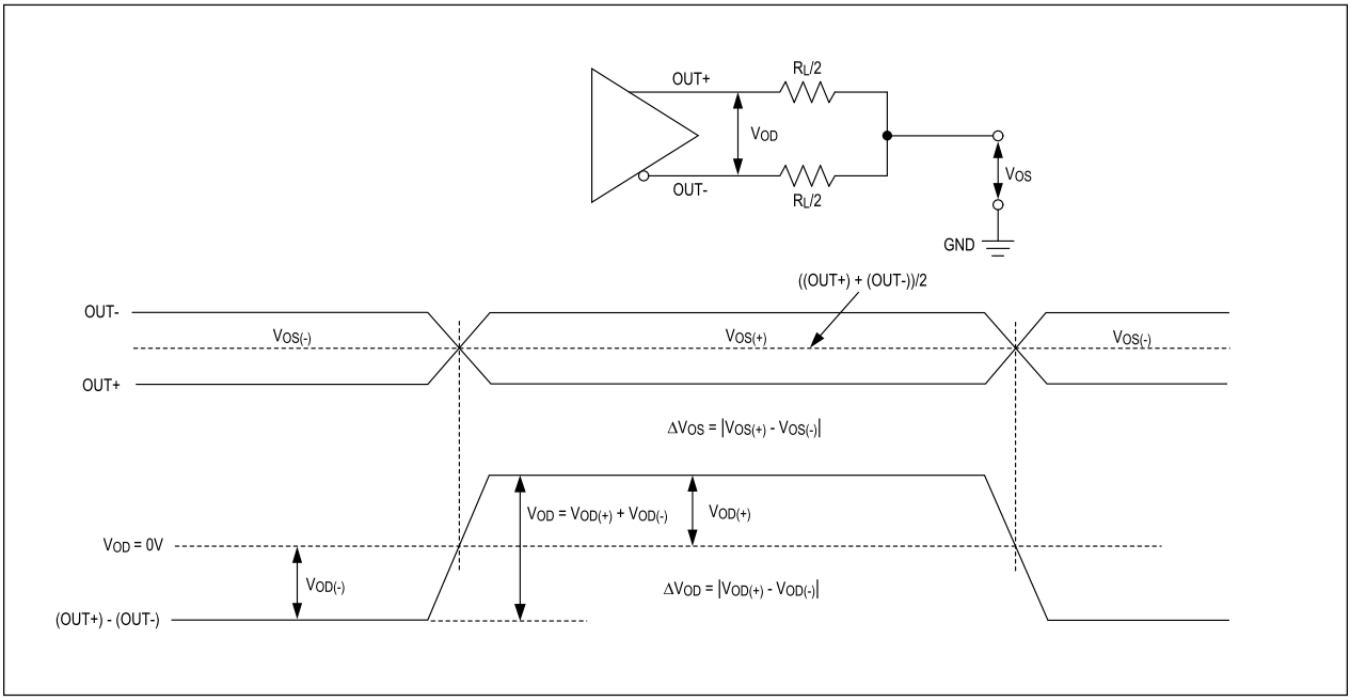


図 2. GMSL3 の逆方向チャンネルのシリアル出力

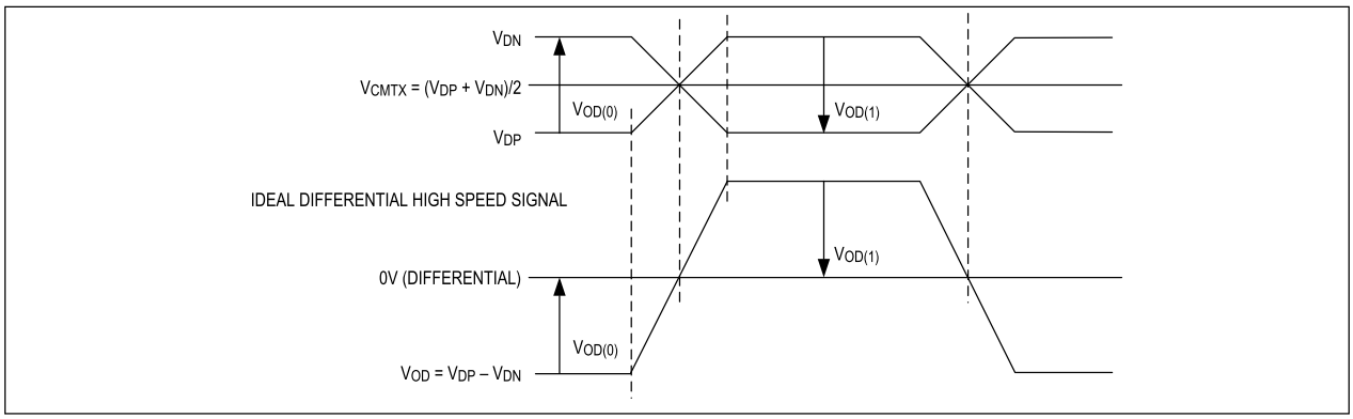


図 3. 理想的なシングルエンド HS 信号と、それにより得られる差動 HS 信号

Copyright © 2007-2016 MIPI Alliance, Inc. All right reserved.

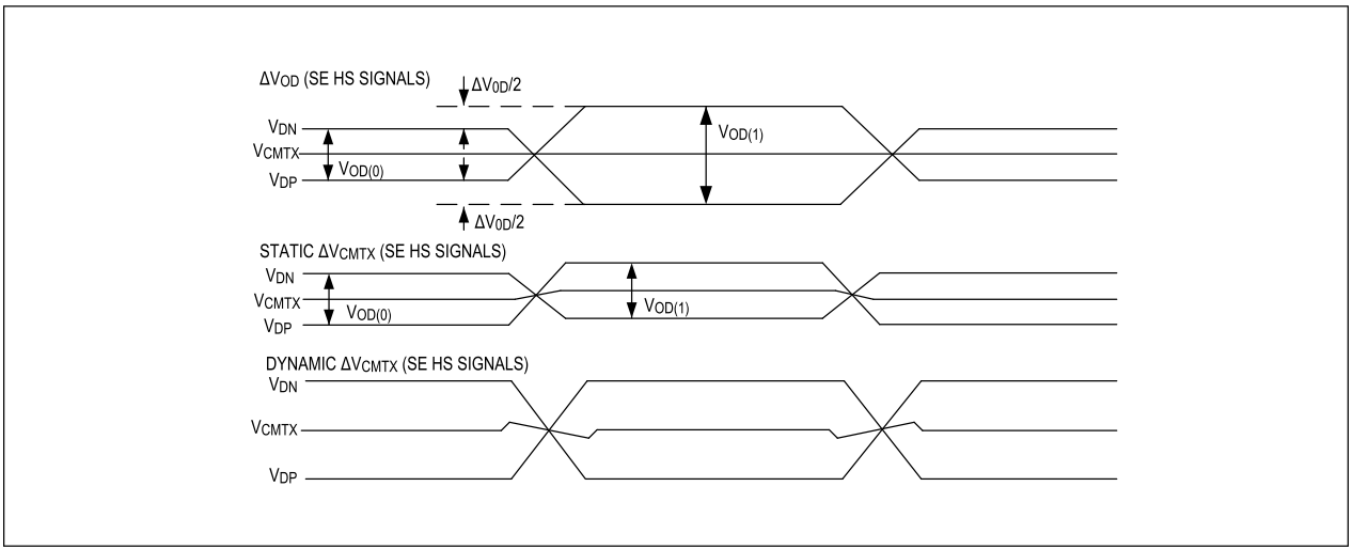


図 4. シングルエンド HS 信号に発生しうる ΔV_{CMTX} および ΔV_{OD} の歪み

Copyright © 2007-2016 MIPI Alliance, Inc. All right reserved.

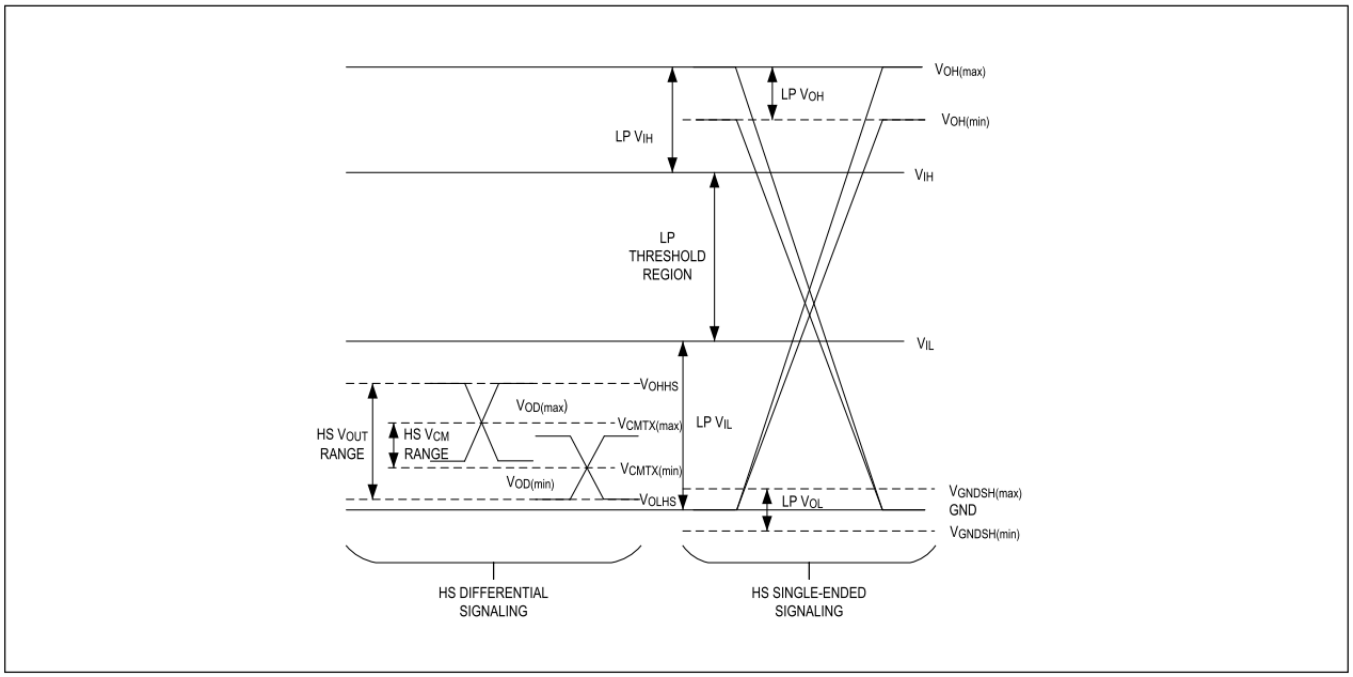


図 5. D-PHY の信号処理レベル

Copyright © 2007-2016 MIPI Alliance, Inc. All right reserved.

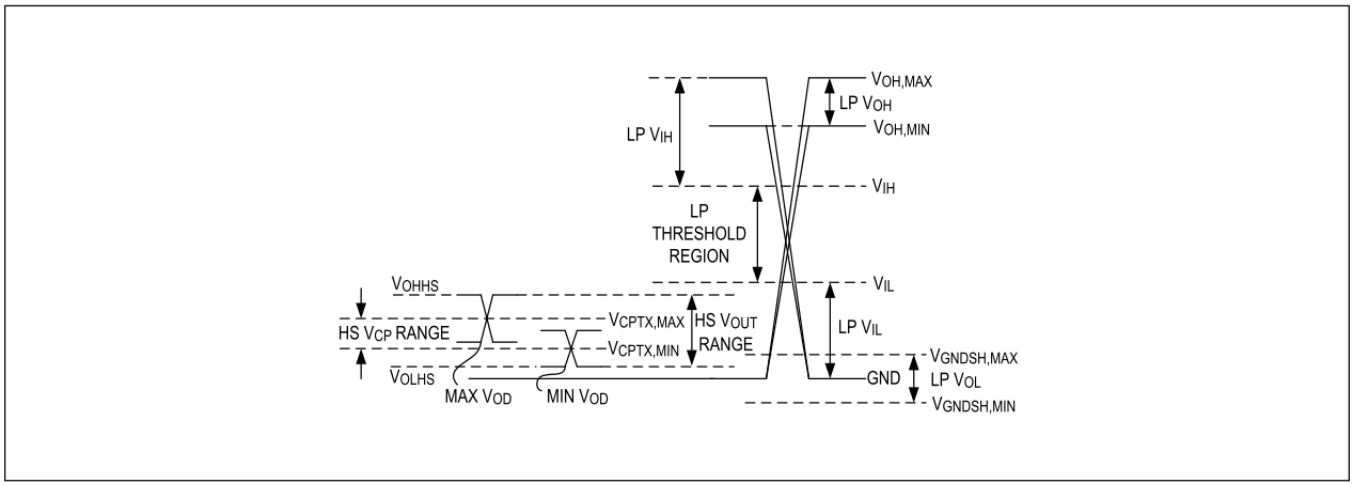


図 6. C-PHY の DC 特性

Copyright © 2013-2014 MIPI Alliance, Inc. All rights reserved.

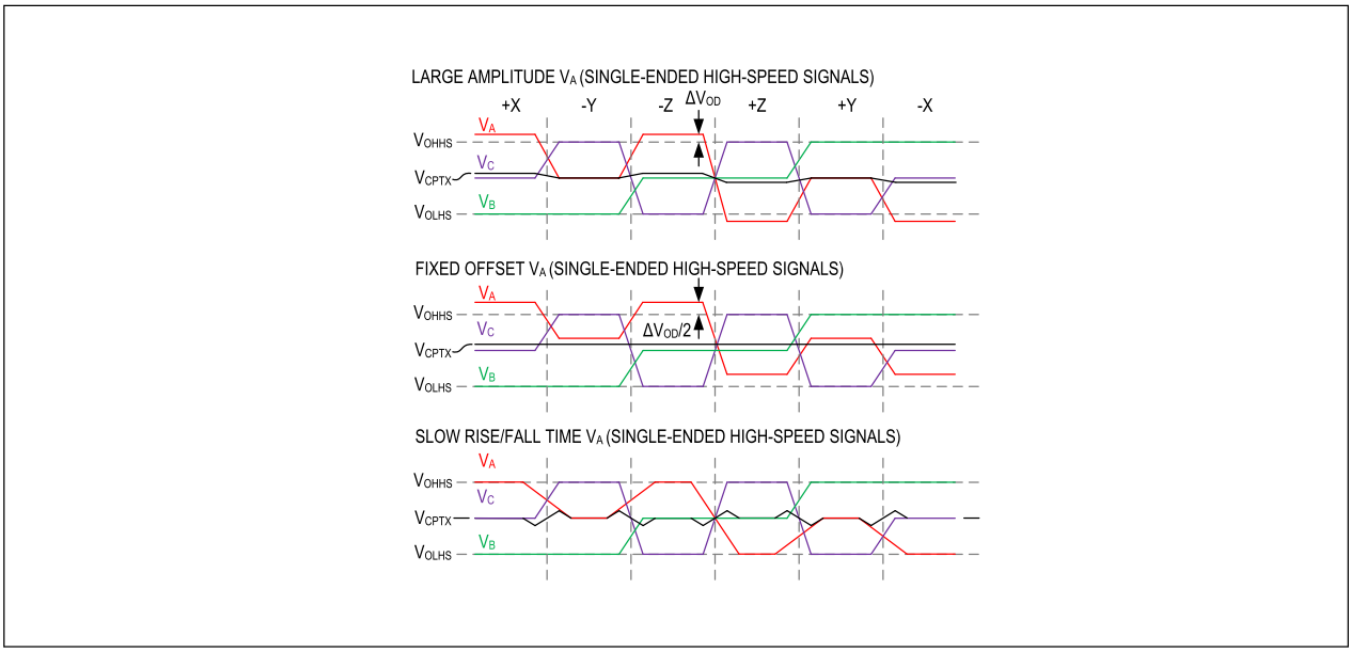


図 7. C-PHY のシングルエンド HS 信号に発生しうる ΔV_{CPTX} および ΔV_{OD} の歪み

Copyright © 2013-2014 MIPI Alliance, Inc. All rights reserved.

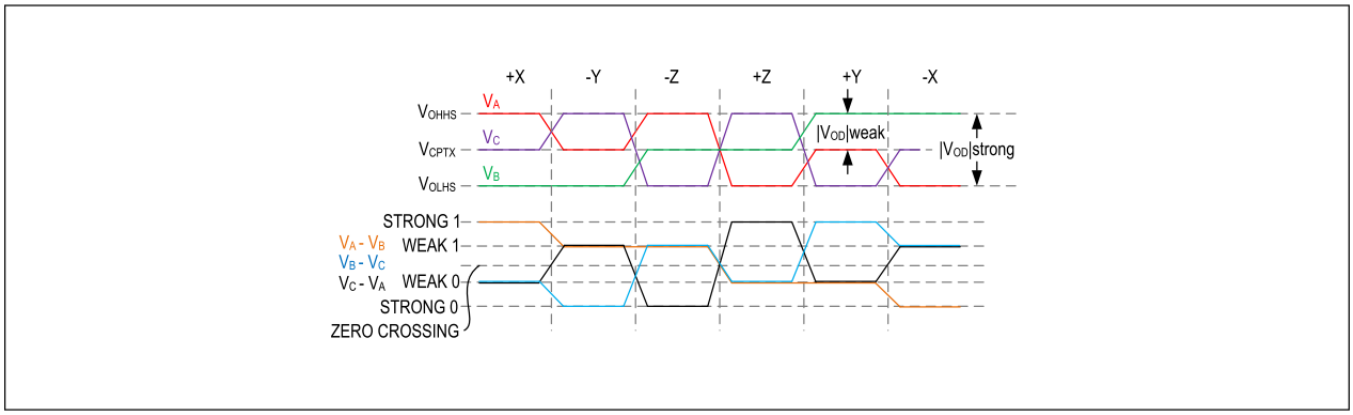


図 8. C-PHY の理想的なシングルエンド高速信号と、それにより得られる差動高速信号

Copyright © 2013-2014 MIPI Alliance, Inc. All rights reserved.

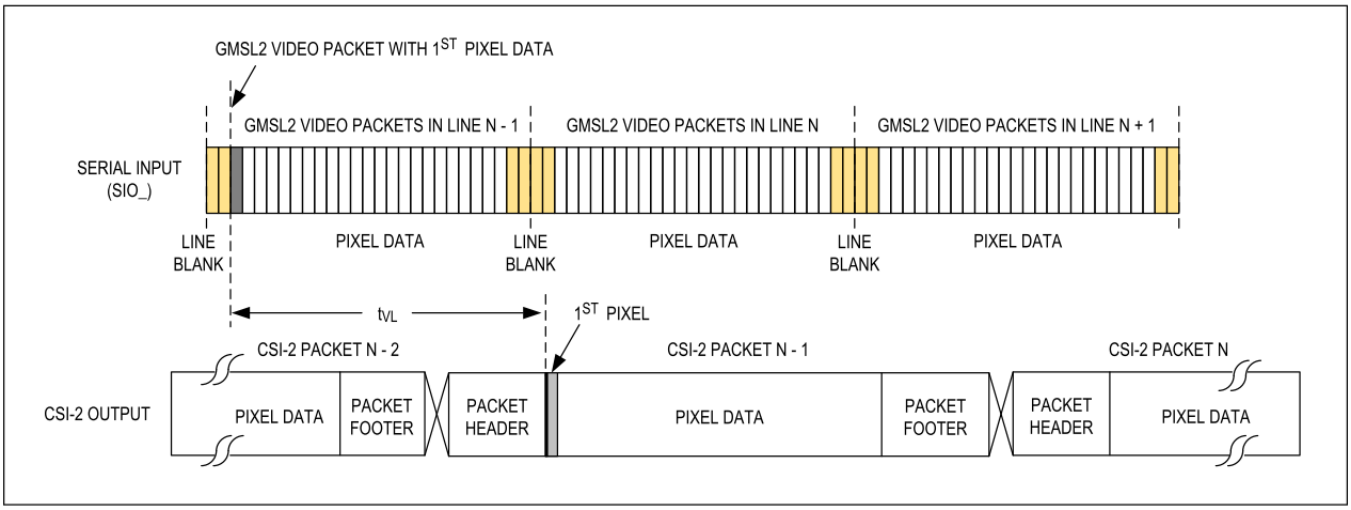


図 9. GMSL3 のビデオ・レイテンシ

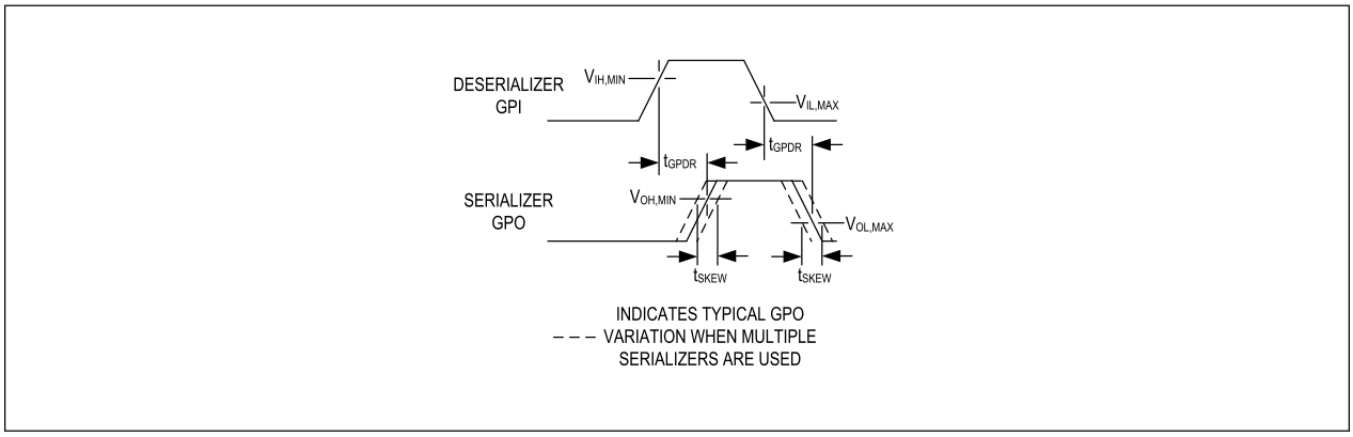


図 10. GPI と GPO の間の遅延およびスキュー

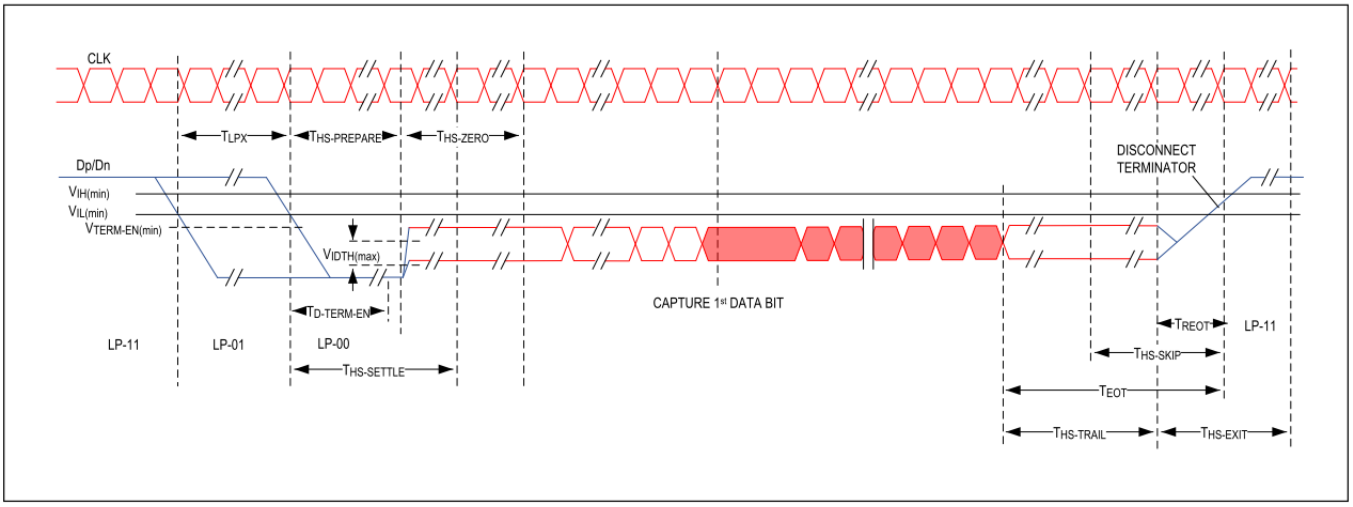


図 11. D-PHY のバーストでの高速データ送信リファレンス：D-PHY v. 1.2, 01-Aug 2014 の MIPI 仕様

Copyright © 2007-2016 MIPI Alliance, Inc. All rights reserved.

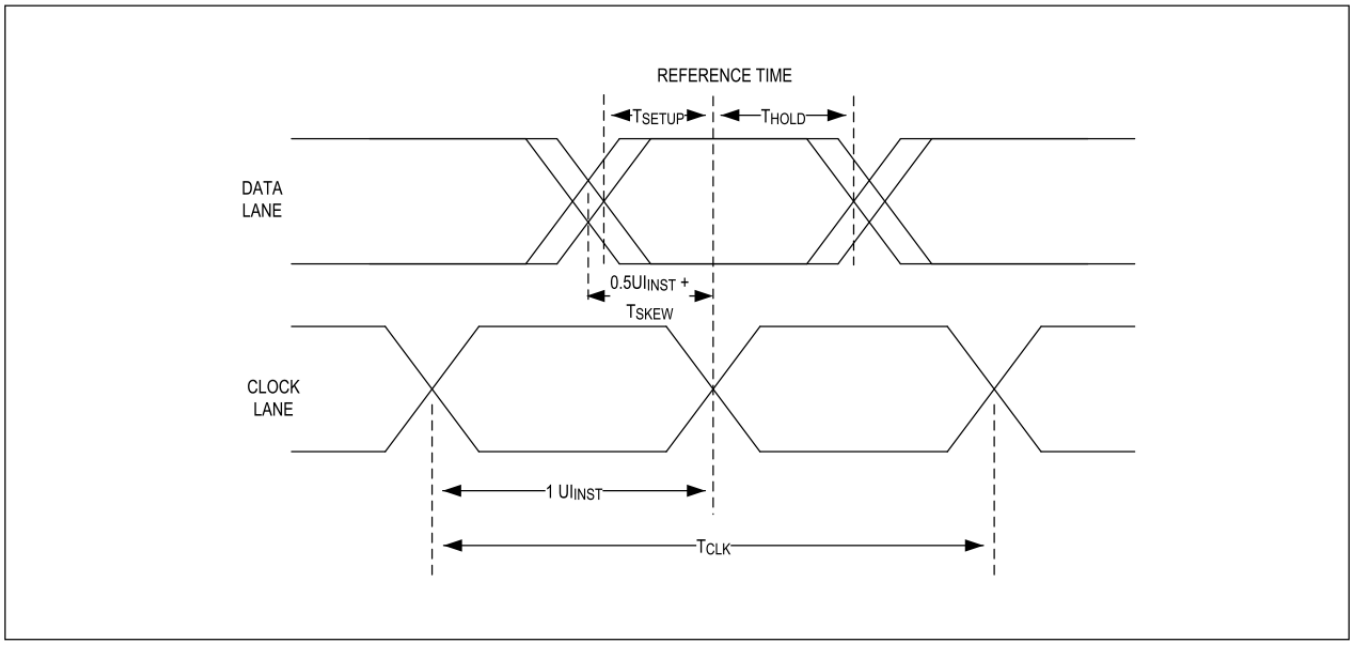


図 12. D-PHY のデータ・クロック・タイミング

Copyright © 2007-2106 MIPI Alliance, Inc. All rights reserved.

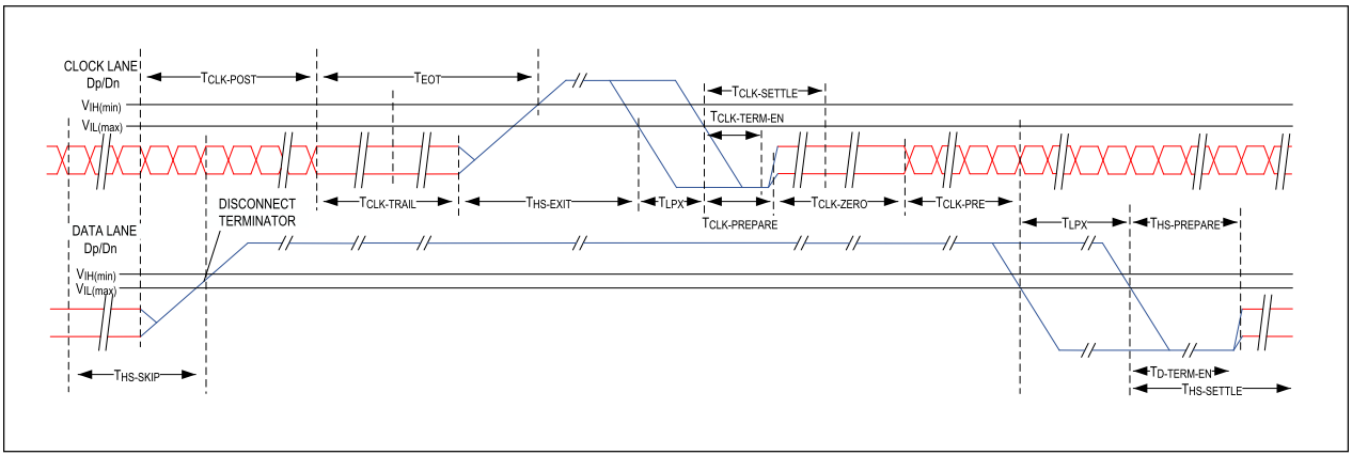


図 13. クロック送信と低消費電力モードの間のクロック・レーンの切り替え

Copyright © 2007-2016 MIPI Alliance, Inc. All rights reserved.

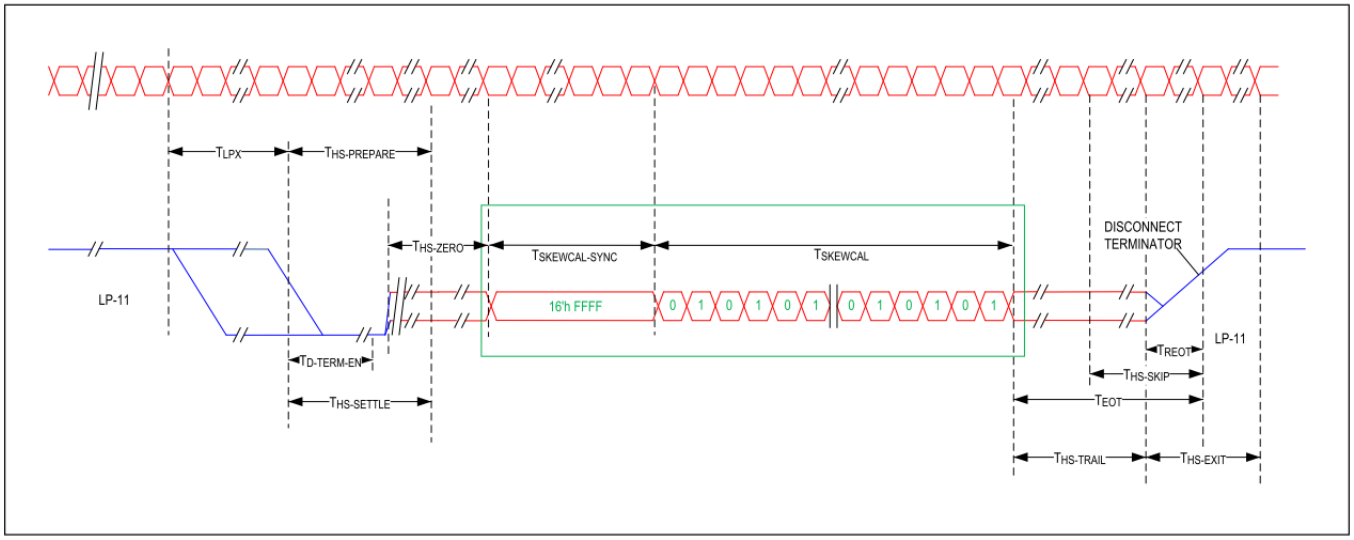


図 14. D-PHY の高速スキュー・キャリブレーション。参照：D-PHY v. 1.2, 01-Aug 2014 の MIPI 仕様

Copyright © 2007-2016 MIPI Alliance, Inc. All rights reserved.

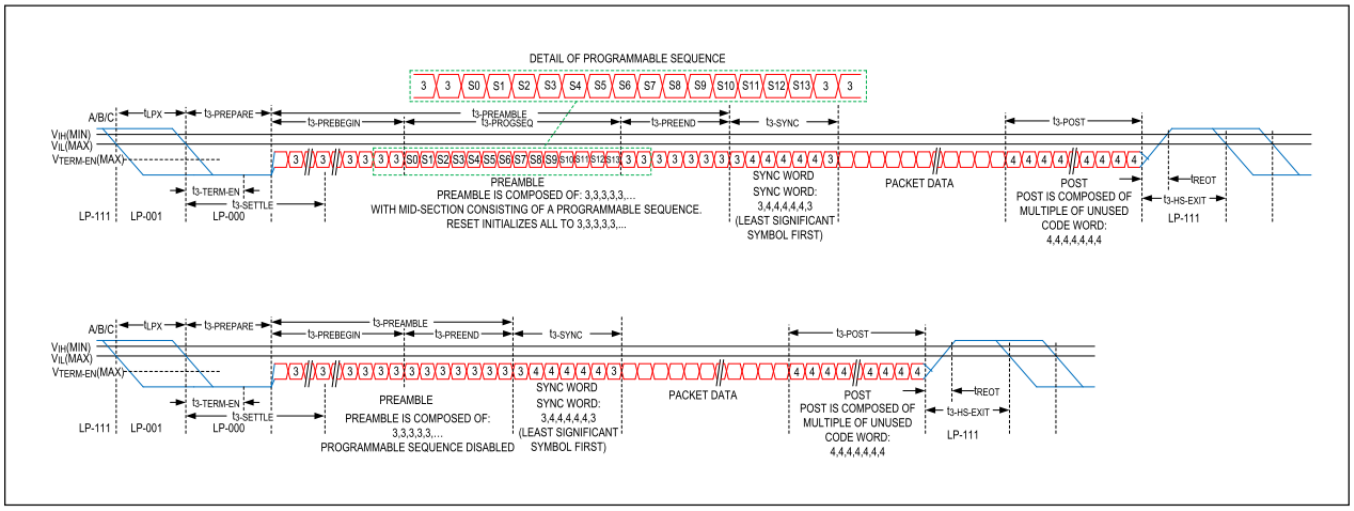


図 15. C-PHY HS バースト・データ伝送。参照：C-PHY v. 1.0, 05-Aug 2014 の MIPI 仕様

Copyright © 2013-2014 MIPI Alliance, Inc. All rights reserved.

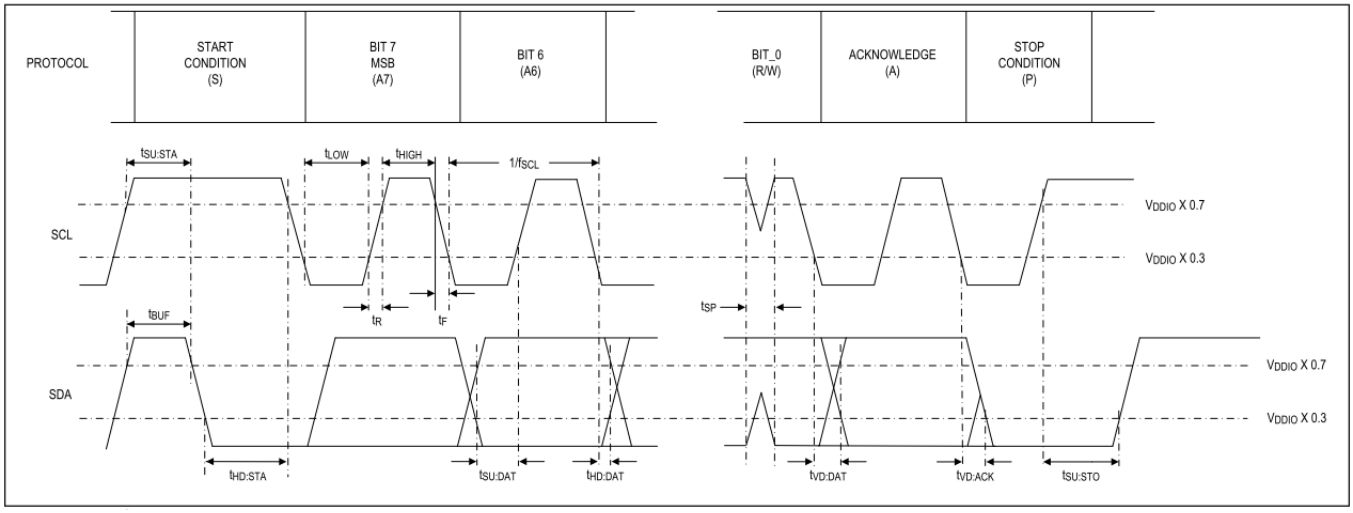


図 16. I²C のタイミング・パラメータ

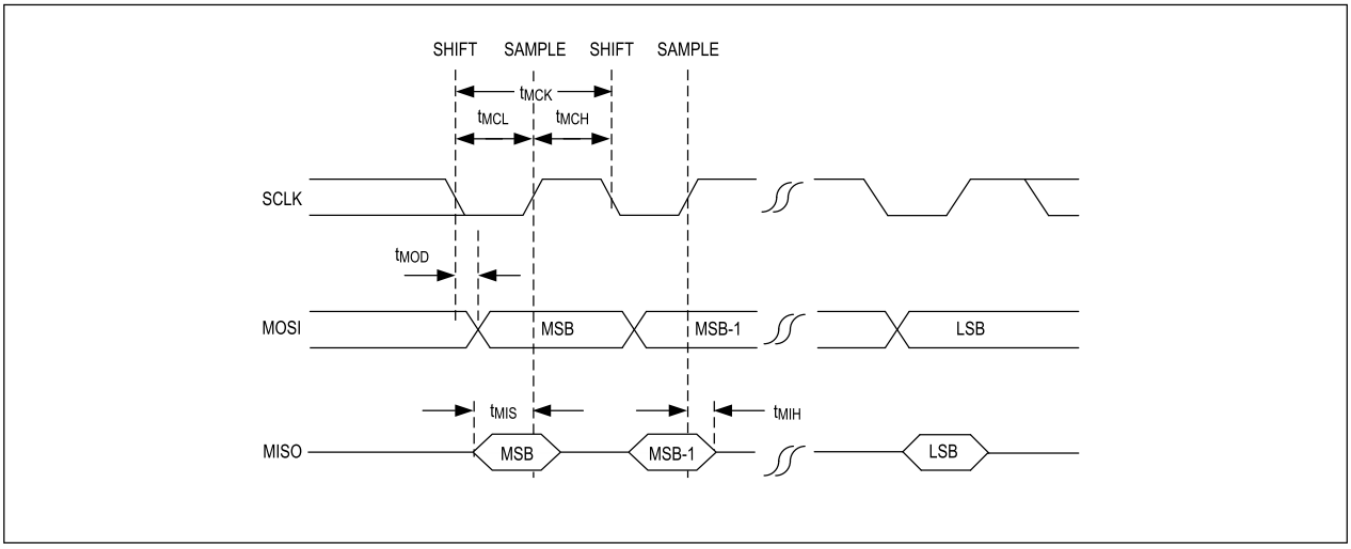


図 17. SPI メイン・モードのタイミング・パラメータ

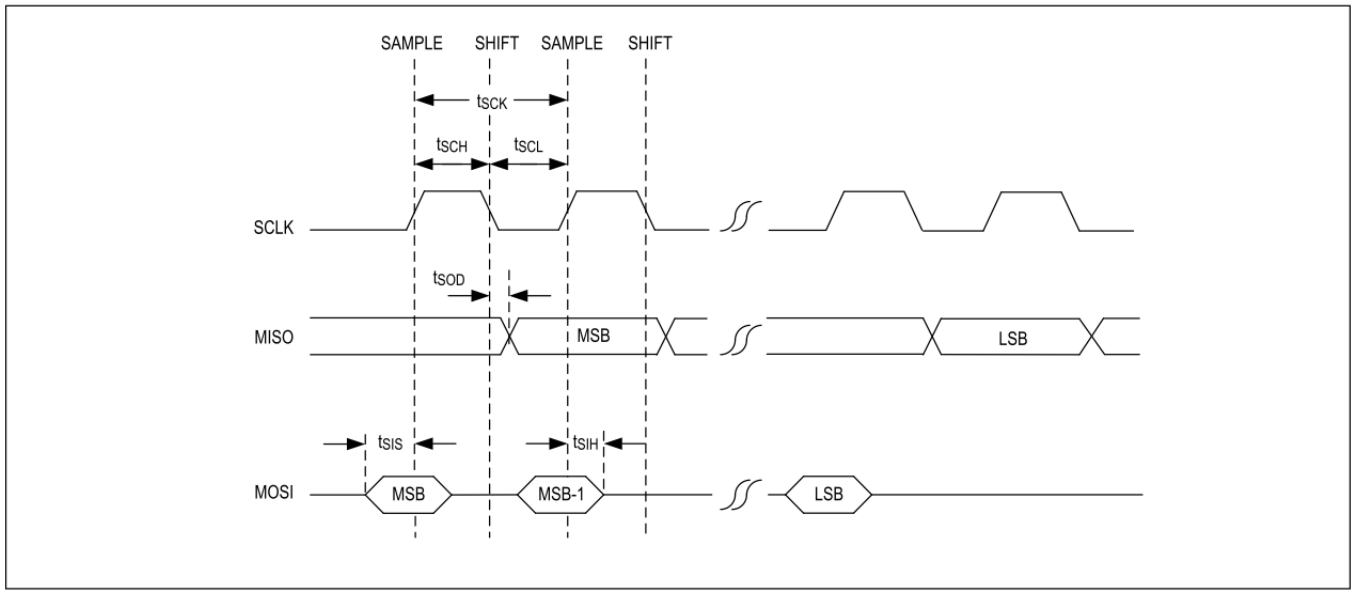


図 18. SPI セカンダリ・モードのタイミング・パラメータ

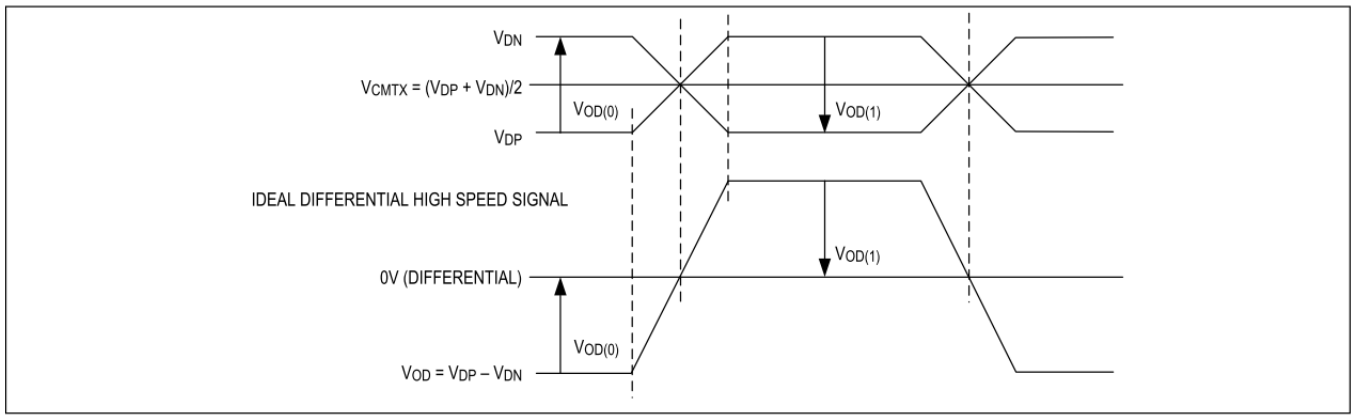


図 19. 理想的なシングルエンド HS 信号と、それにより得られる差動 HS 信号

Copyright © 2007-2016 MIPI Alliance, Inc. All rights reserved.

はじめに

アナログ・デバイセズの GMSL3 シリアライザおよびデシリアライザは、高速で低ビット・エラー・レートの双方向シリアル・データ伝送を可能にします。これらのデバイスは、1 本のケーブルで様々な種類のセンサー用インターフェースや通信インターフェースをまとめて扱えるようになっています。MAX96792A デシリアライザは、MIPI CSI-2 データをライン経由で送信するための 2 つの動作モードをサポートしています。ピクセル・モードでは柔軟なビデオ・データ転送が可能であるのに対し、トンネル・モードでは、エンド to エンドのデータ完全性を本質的に備えた帯域幅効率の高い CSI-2 ビデオ・データ転送が可能です。

GMSL3 デシリアライザは、順方向で最大 12Gbps、逆方向で最大 187.5Mbps のパケット化されたデータ伝送を、それぞれ固定速度のリンクを介して行います。MAX96792A の入力は集約可能で、離れた場所にある 2 つのセンサーからの受信データを結合し、任意の組み合わせの CSI-2 出力にルーティングすることができます。集約されたデータは、複製して 2 つの SoC を駆動することも可能です。

以降のセクションでは、デバイスの機能および特長の概要を簡単に説明します。その他の情報や各機能の設定の詳細については、アナログ・デバイセズにお問い合わせください。

製品の概要

MAX96792A GMSL3/2 デュアル・チャンネル・デシリアライザは、シングルまたはデュアルの GMSL シリアル入力のデータを CSI-2 パケットに変換し、1 つまたは 2 つの CSI-2 出力ポートから出力します。また、サイド・チャンネル・データの送受信も行うため、GMSL3 のチャンネル仕様を満たす低コストの 50Ω 同軸ケーブルまたは 100Ω の STP ケーブルを介して、順方向経路のセンサー・データと双方向データの全 2 重伝送が可能です。

MAX96792A の CSI-2 出力インターフェースは、C-PHY または D-PHY として設定可能です。インターフェースは、デュアルの 4 レーン D-PHY v1.2 またはデュアルの 2 レーン C-PHY v1.0 出力ポートとして設定できます。アクティブな D-PHY v1.2 データ・レーンの数は、1、2、3 または 4 レーン構成にプログラムできます。C-PHY インターフェースは、1 レーンまたは 2 レーン構成にプログラムできます。サポートするデータ・タイプには、RAW8/10/12/14/16/20、RGB555/666/888/YUV422 8/10 ビット、ユーザ定義、一般的なロング・パケットなどがあります。最大 16 個の仮想チャンネルもサポートしています。

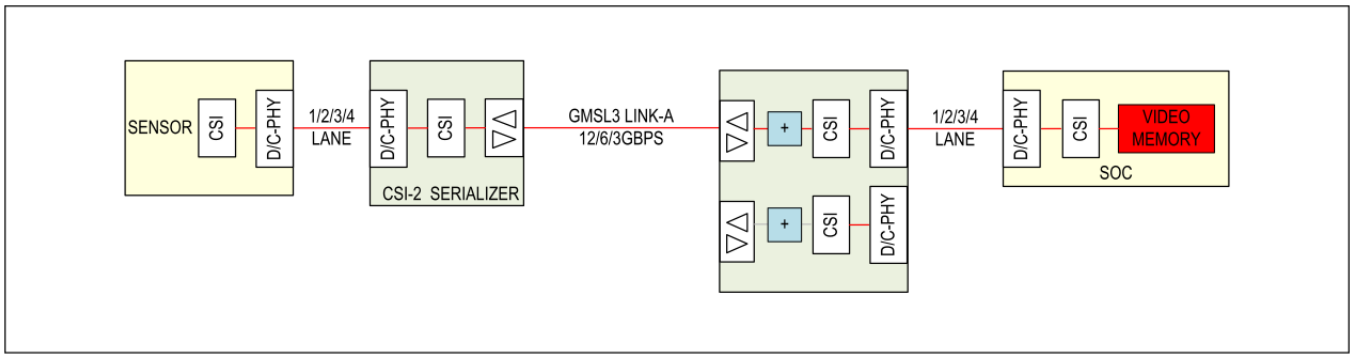


図 20. シングル・リンク

基本的な使用事例は、図 20 に示すように MIPI D-PHY 出力を備えた単一のセンサーで、センサーの出力は 3Gbps、6Gbps、または 12Gbps のデータ・レートで SoC に送信されます。2 つの GMSL2 または GMSL3 シリアライザを 1 つの MAX96792A デシリアライザと共に使用すると、2 つのセンサーを 1 つまたは 2 つの SoC に接続できます。ケーブルの種類、センサーのタイミング、データ・レートは同じである必要はありません。また、リンクは、6Gbps と 12Gbps のどちらの順方向レートにも設定できます。図 21 を参照してください。リンク A とリンク B からのデータは、別々の専用 CSI-2 ポートで出力され、SoC がこれをキャプチャします。専用ポートを用いることにより、より低速の D-PHY レーンを持つ SoC でも 2 つのソースからのデータをキャプチャできます。

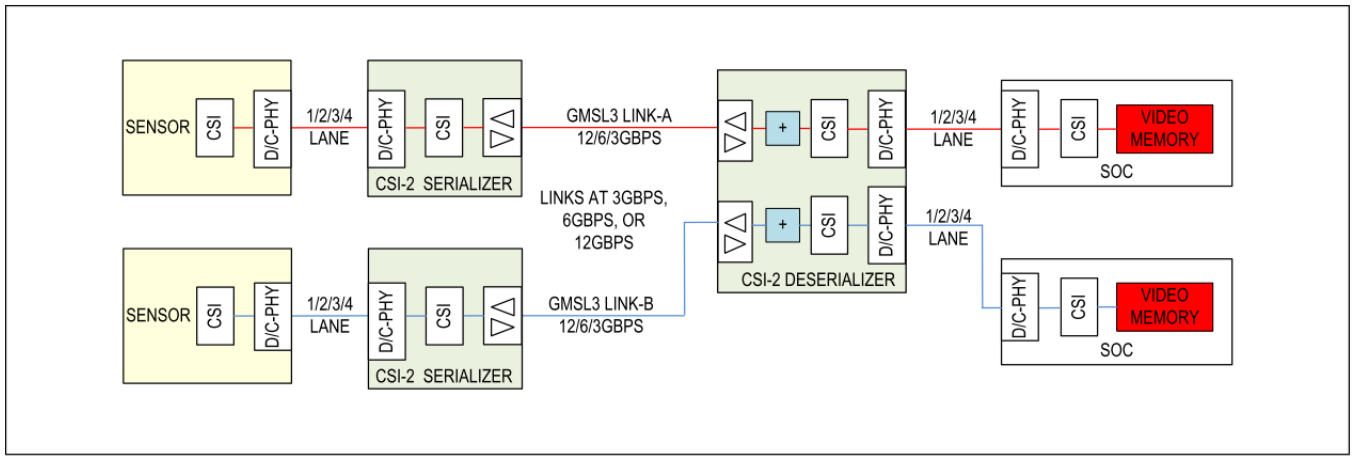


図 21. デュアル・リンク、別々のデータ・タイプ

図 22 に示すように、MAX96792A はデータ集約をサポートしています。各ソースのビデオ・タイミングと解像度は異なっていても構いません。また、シリアル・リンクはいずれの順方向レート（3Gbps、6Gbps、または 12Gbps）にも設定できます。SoC はパケットの仮想チャンネルやデータ・タイプを読み出すことによってビデオ・ソースを識別します。両方のソースが同じ仮想チャンネルやデータ・タイプを使用している場合でも、MAX96792A はピクセル・モードでは別の仮想チャンネルやデータ・タイプ（16 通りを使用可能）を割り当てることができます。集約されたデータは複製して両方の MIPI ポートに出力できるため、図 23 に示すように、複数の SoC が同じデータを処理できます。

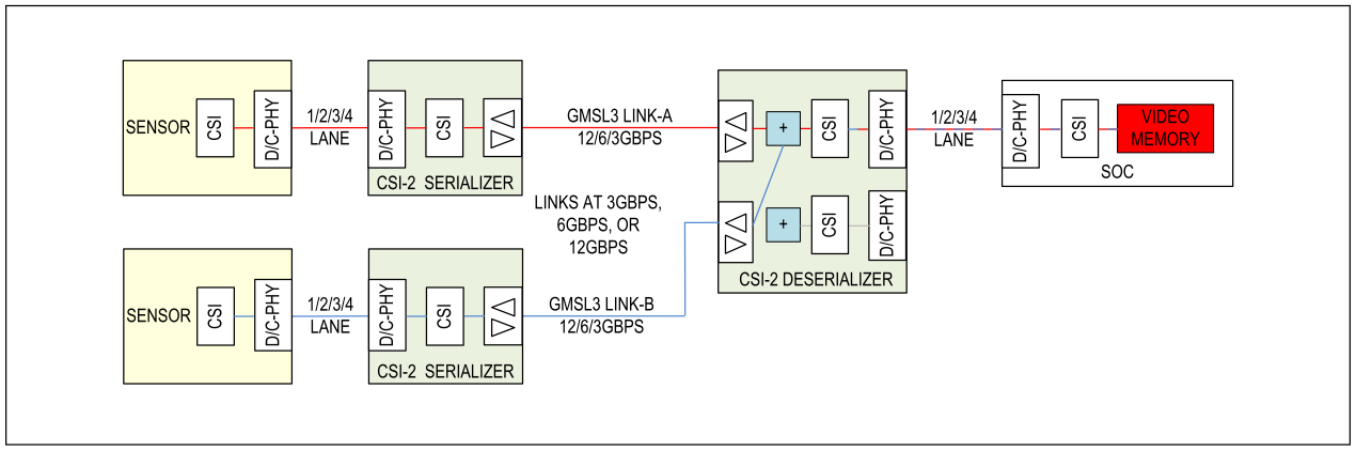


図 22. デュアル・リンク、データ集約

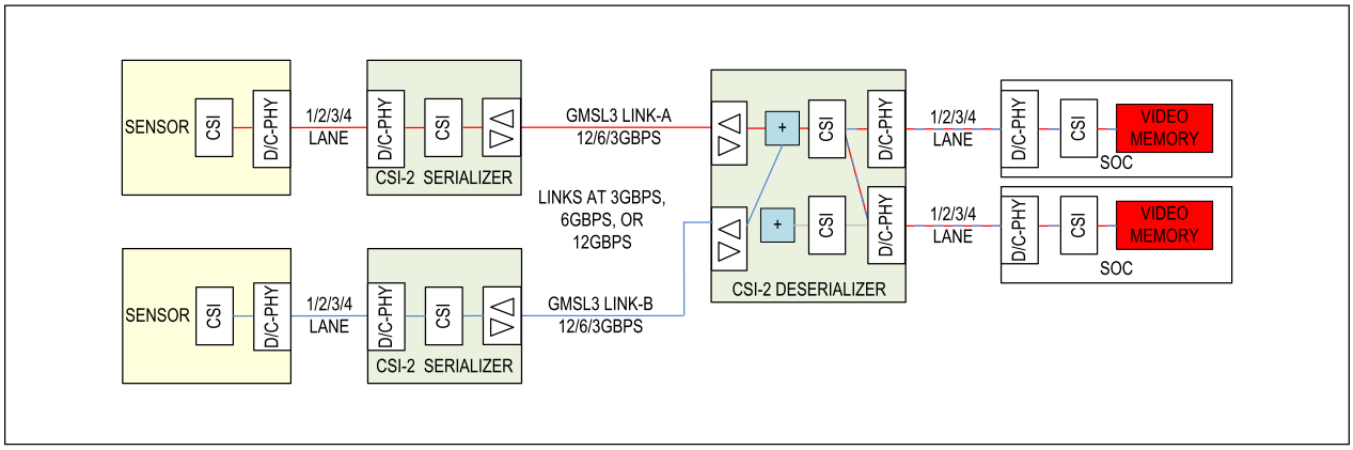


図 23. デュアル・リンク、データ集約および複製

カメラが CSI-2 入力で SoC に接続されている場合には、MAX96792A は理想的なセンサー・デシリアライザとなります。また、本デバイスは、一般に高速 SPI が必要とされるレーダーや LiDAR のセンサーにも対応できます。

GMSL3 の概要

GMSL3 は、複数種類の通信チャンネルを同時に伝送するよう設計された固定レートのプロトコルです。リンクのビット・レートは、25MHz の水晶発振器または外部リファレンス周波数で生成される一定周波数のリンク・クロックに基づいています。リンク・クロックは、ビデオの帯域幅は使用可能なリンク帯域幅を超えることはできないという当然の制約を除けば、ビデオのピクセル・クロックとは無関係です。

GMSL3 は、通信チャンネル間でリンク帯域幅を柔軟な方法で継ぎ目なく共有できるよう、パケット・ベースのプロトコルを用いています。帯域幅の割り当ては動的に行われるため、特定のチャンネルがアクティブでない場合、そのチャンネルはリンク帯域幅を消費せず、他の全てのアクティブなチャンネルが全リンク帯域幅を共有できます。最大パケット・サイズは制限されており、1 つのチャンネルが長時間リンク帯域幅を使用することはありません。ほとんどの場合、利用可能なリンク帯域幅は帯域幅要件を上回っています。アイドル状態のパケットを用いると、使用していないリンク帯域幅を埋めることができます。順方向チャンネルと逆方向のチャンネルのどちらでも、またビデオ・データとコントロール・チャンネル・データのどちらに対しても、同じデータ・プロトコルが使用されます。

GMSL3 は、一般的な組み込み通信プロトコルを幅広くサポートしています。全てのデバイスはプライマリ I^2C/UART コントロール・チャンネル・インターフェースを利用し、電子制御ユニット（ECU）はこれを用いて、シリアライザおよびデシリアライザのレジスタやペリフェラル・デバイスにアクセスすることができます。このアクセスは、リンクのどちら側からも始められます。デバイスには 2 つの追加の I^2C/UART ポートがあり、優先度の低いローカル・レジスタへのアクセスや、リモートのペリフェラルとの通信に使用できます。これらのパススルー・ポートは、デバイス・レジスタにはアクセスできません。

シリアル・ペリフェラル・インターフェース（SPI）メイン／セカンダリも内蔵されています。SPI により、GMSL3 リンクの一方の側にあるホスト SPI メインが、反対側のペリフェラル SPI セカンダリを制御できます。ホストはリンクのいずれの端にも配置可能で、GMSL3 デバイスを再設定することでリンク両端の役割を入れ替えることもできます。これは、GMSL3 デバイスを SPI メインまたは SPI セカンダリのいずれとしても構成できるためです。SPI ポートはパススルー・ポートとしてのみ機能し、シリアライザのレジスタあるいはデシリアライザのレジスタにアクセスすることはできません。

全ての GMSL3 デバイスは、GMSL3 ペリフェラル通信プロトコルと組み合わせて使える多用途の汎用入出力（GPIO）ピンを備えています。一般に、GPIO はユーザ定義の入力または出力として機能し、その状態は、リンクを介して自動で転送することも、レジスタ設定で制御することもできます。GPIO は通常、GMSL3 リンクを介した低速（< 100Kbps）信号をトンネルするために用いられます。ただし、1MHz を超えるレートもサポートできます。GPIO トンネルは、順方向または逆方向でセットアップできます。

GMSL3 では、データ完全性と安全機能が強化されています。これには、ウォーターマーク生成／検出、コントロール・データおよびビデオ・データの巡回冗長検査（CRC）エラー検出、ビデオ・メモリの誤り訂正符号（ECC）保護などが含まれます。ウォーターマークの生成および検出により、ビデオ・イメージがフリーズしていないことを確認できます。CRC エラー検出では、ビデオ・データやコントロール・データのストリームにおけるエラーを特定できます。コントロール・チャンネルの CRC エラーについては、フラグの付いたパケットが自動再送信されるため、コントロール・チャンネルの速度と信頼性が最大限に高まります。内部ビデオ・メモリには、内部で破損したピクセル・データを検出し訂正するための ECC 保護機能が搭載されています。

GMSL3 デバイスは、リンク・マージンの最適化と監視のための機能を数多く備えており、高いリンク・マージンと堅牢な機能性を確保しています。継続的な（1Hz の）アダプティブ・イコライゼーションにより、環境の変化やケーブルの経年劣化に応じてリンク・マージンを最適化します。アイ開口モニタ機能は複数のスレッショルド・アラーム・レベルを用いた継続的なリンク・マージン診断を行うもので、リンク劣化を検出すると実行時アラートを発生させます。また、擬似ランダム・ビット・シーケンス（PRBS）チェック機能を用いることで、リンクおよびビデオ・チャンネルが正しく動作していることを確認できます。

リンク・エラー・ジェネレータ

各 GMSL リンクには、送信の直前に出力データ・ストリームにエラーを注入する、設定可能なエラー・ジェネレータが搭載されています。デシリアライザは逆方向チャンネルにエラーを注入し、シリアライザは順方向チャンネルにエラーを注入します。受信デバイスはエラーを検出し、それをカウントしてフラグを立てます。これにより、様々な深刻度のエラー条件に対するシステムの応答を徹底的に検証できます。

ピクセル・モードのビデオ・パイプライン

ビデオ・チャンネルは、GMSL3 シリアライザから受信したビデオ・データをデコードし、それを CSI-2 出力ポートに送ります。サポートするデータ・タイプには、RGB888、RGB666、RGB565、YUV422-8、RAW8、RAW10、RAW12、RAW14、RAW16、RAW20、ユーザ定義、埋め込み、ヌルなどがあります。ビデオ入力データには、PCLK に同期したカラー、水平同期（HS）、垂直同期（VS）が含まれています。設計におけるビデオの流れは、以下のセクションで説明するとおりです。

ウォーターマーキング

ウォーターマーキング・ブロックは、ジェネレータとディテクタの間にあるフレームベースの処理システムにおいて、フレームがフリーズする障害を検出します。この機能は特に、安全性が重視されるアプリケーションにおいて、SoC が原因で発生するフリーズ・フレームを検出します。ウォーターマーク・ジェネレータの前、またはウォーターマーク・ディテクタの後に発生するフリーズ・フレームは検出されません。大半の GMSL2 および GMSL3 デバイスにはウォーターマーク・ジェネレータとウォーターマーク・ディテクタの両方が搭載されています。これにより、シリアライザとデシリアライザの両方で、安全性に関わるビデオ・ストリームにウォーターマークを挿入または検出することができます。ウォーターマーク・ジェネレータは、時間変化し、かつ高い冗長性を備え、画像処理やディスプレイ・ストリームの圧縮に対して堅牢なウォーターマークを挿入します。ウォーターマーク・ディテクタはこの時間変化するウォーターマークを探し、生成されたウォーターマークを全て検出できなかった場合は、フレームベース処理システム内のジェネレータとディテクタの間でフリーズ・フレーム障害が発生したことを示します。このエラー状態を検出すると、ウォーターマーク・ディテクタは、割込みを発生させたり、出力映像を空白化したりして、500ms 以内にディスプレイを安全な状態に戻します。

ビデオ（データ）ライン CRC

MAX96792A には、32 ビットのビデオ・ライン CRC エラー・チェッカがあり、GMSL3 リンクを通じて伝送される各ビデオ・ラインの完全性を確保しています。ビデオ・ライン CRC は、リンクのシリアライザ側で生成され、対応するビデオ・データと共に、リンクを介して MAX96792A に転送されます。MAX96792A は、シリアライザから受け取った CRC を、所定のビデオ・ラインに対して生成した CRC と比較します。CRC 間の不一致は、ビデオ・データにエラーがあることを示します。

垂直およびデータ・イネーブルまたはデータ有効同期出力

MAX96792A は、プロセッサがビデオ・タイミングをモニタできるように、ビデオ・ストリームの垂直同期（VS）信号とデータ・イネーブル／データ有効（DE/DV）信号を出力することができます。この機能により、CSI-2 出力では直接アクセスできない VS 信号と DE/DV 信号にアクセスできます。VS 出力や DE/DV 出力は MFP0 および MFP3 の代替機能です。

コントロール・チャンネルおよびサイド・チャンネル

マイクロコントローラやその他のコントローラは、GMSL3 シリアル・リンクを介して、高速ビデオ・データと同時に、コントロール・チャンネルおよびサイド・チャンネルのデータを送受信できます。MAX96792A は以下のインターフェースをサポートしています。

- プライマリ I²C/UART（内部アクセス）
- パススルーI²C/UART
- SPI
- GPIO

上記の全てのインターフェースは GMSL3 リンクを通じてデータを伝送できますが、GMSL3 デバイスのレジスタへのアクセスや設定は、プライマリ I²C/UART インターフェース経由でのみ可能です。

サイド・チャンネルの各種インターフェースには、多機能ピンを用いてアクセスします。多機能ピンにはデフォルトの機能があり、パワーアップ後に代替機能にプログラムできます。与えられたデバイスで使用可能なピン数には現実的な制約があるため、必ずしも全てのインターフェースを同時にサポートできるわけではありません。多機能ピンのデフォルト機能と代替機能、利用可能なインターフェースの組み合わせについては、ピンの説明のセクションと表 14 を参照してください。

プライマリ I²C/UART

プライマリ I²C/UART は、各 GMSL3 デバイスの SDA_RX ピンと SCL_TX ピンにあります。I²C（SDA、SCL）インターフェースまたは UART（TX、RX）インターフェースが、パワーアップ時の CFG0 ピンの電圧によって選択されます（表 12 参照）。メインは、選択されたインターフェースを介して、リンクのどちらの側からも GMSL3 レジスタとデバイス・レジスタの両方にアクセスできます。

メインのマイクロコントローラ（µC）はリンクのどちら側にも配置できます（通常、ディスプレイ・アプリケーションではシリアライザ側、カメラ・アプリケーションではデシリアライザ側）。ソフトウェア・アービトレーション（トークンの受け渡しなど）を用いてパケットの衝突防止が行われている場合には、MAX96792A はデュアル・メイン・マイクロコントローラに対応できます。コントロール・チャンネルは、一度に 1 つのメイン・マイクロコントローラだけに通信を許可します。

リンク経由でペリフェラル・デバイスを設定するには、GMSL3 のシリアライザとデシリアライザが同じコントロール・チャンネル・インターフェース（両方とも I²C または両方とも UART）を用いる必要があります。従来の GMSL1 デバイスとは異なり、I²C と UART の間の変換機能はありません。I²C/UART の出力はオープン・ドレインであり、正しく動作させるには、適切な大きさの外付けプルアップ抵抗が必要です。

メイン・チャンネルのプログラミング情報の詳細については、アプリケーション情報にあるコントロール・チャンネルのプログラミングのセクションを参照してください。

I²C/UART の CRC およびメッセージ・カウンタ

MAX96792A は、I²C/UART 読出し／書込みトランザクションにオプションの CRC を追加し、さらに読出しおよび書込みパケット用に独立したメッセージ・カウンタを設けることで、機能安全性を高めています。これらの機能はデフォルトで無効になっていますが、レジスタ設定によって有効化できます。CRC とメッセージ・カウンタは、一緒に使用することも個別に使用することもできます。CRC 機能とメッセージ・カウンタ機能は、デバイス・レジスタの読出し／書込みトランザクションにのみ適用でき、パススルー・トラフィックには対応していません。CRC やメッセージ・カウンタは、シリアライザ、デシリアライザ、あるいはその両方において有効化できます。

最初の CRC バイトは、最初の 6 バイトのデータ（デバイス・アドレス、レジスタ・アドレスの MSB、レジスタ・アドレスの LSB、メッセージ・カウンタの MSB、メッセージ・カウンタの LSB、最初のデータ・バイト）に対応するものです。最初のデータ・バイトの後に複数のデータ・バイトがある場合は、その後のデータ・バイトごとに CRC バイトが付加されます。各 CRC 計算が完了するたびに CRC エンジンは 0 にリセットされます。つまり、バイトが追加されるごとに新たな CRC 計算が行われます。I²C/UART 用の CRC 多項式は、$P(x) = x^8 + x^6 + x^3 + x^2 + 1$ です。

パススルーI²C/UART

MAX96792A には 2 つのパススルーI²C/UART チャンネルがあります。これらのチャンネルは、GMSL3 のシリアライザとデシリアライザのどちらのレジスタにもアクセスせず、単に、GMSL3 リンクを介して I²C または UART の信号をトンネルするだけです。これにより、複数のメインによる競合が発生しないように、I²C チャンネルを分離することができます。I²C/UART の出力はオープン・ドレインであり、正しく動作させるには、適切な大きさの外付けプルアップ抵抗が必要です。

シリアル・ペリフェラル・インターフェース（SPI）

MAX96792A により、GMSL3 リンクの一方の側のホスト SPI メインが、反対側のペリフェラル SPI セカンダリを制御できます。通信は、GMSL3 リンクのどちらの方向でも可能です。

SPI クロックの範囲は 600kHz～25MHz です。20MHz より高い速度で使用する場合は、セットアップおよびホールド・タイムの要件を満たすよう注意してください。信頼性の高い動作を確保するには、MFP ごとにスピード定格を設定する必要があります。表 5 に、SPI 用に推奨される駆動強度とラッチ・エッジをシリアル・クロック（SCLK）の速度に応じて示します。

表 5. SPI でのラッチ・エッジおよび速度

FREQUENCY	V_{DDIO}	LATCHING EDGE	PIOX_SLEW[1:0]
<12.5MHz	1.7V to 2.24V	Opposite from Shift	01
	2.25V to 3.6V		10
12.5MHz to 25MHz	1.7V to 2.24V	Opposite from Shift	00
	2.25V to 3.6V		01

汎用入出力（GPIO）

MAX96792A は、デバイス機能の利用状況に応じて、最大 13 個の GPIO/GPO/GPI を提供します。GPIO は通常、GMSL3 リンクを介して低速（< 100Kbps）信号をトンネルするために用いられますが、1MHz を超えるレートにも対応できます。GPIO トンネルは、順方向または逆方向でセットアップできます。MFP ピンは、GPI、GPO（プッシュプル出力）または ODO（オープン・ドレイン出力）としてプログラムできます。

各 GPIO ピンは、その GPIO_TX_EN および GPIO_RX_EN レジスタ・ビットをプログラムすることによって、入力、出力、または入出力として設定できます。なお、入出力に設定されたピンでは、不要なループ動作が起こらないようになっています。ピンがリモート側から受信した遷移によって駆動された場合でも、その駆動された GPIO の遷移がリモート側に送り返されることはありません。また、GPIO ピンは、レジスタ経由だけで制御や読出しを行うこともできます。

ほとんどの GPIO ピンは、1MΩ または 40kΩ のプルアップまたはプルダウン（または、なし）にプログラムすることができます。

GPIO を GPO として設定した場合、通常はオープン・ドレイン出力またはプッシュプル出力として設定できます。

GPIO パケットには 32 通りの GPIO チャンネル ID があります。各 GPI は、GPIO_TX_ID レジスタに従って、1 つのチャンネル ID に割り当てられます。受信側では、各 GPO は、そのピンに対応する GPIO_RX_ID レジスタで設定された GPIO チャンネル ID に基づいて、受信データを出力します。これにより、どの GPIO 入力がどの GPIO 出力を駆動するかを柔軟に決定できます。

GPIO の送信は遷移ベースで行われます。つまり、GPIO ピンで立上がりエッジまたは立下がりエッジが検出されると、GPIO パケットが生成され、GMSL3 リンク上に送信されます。異なる GPIO ピンでの複数の遷移を 1 つのパケットにまとめることも可能です。これらのピン遷移は、通常モードと遅延補償モードの 2 つのモードで送信することができます。

GPIO チャンネルは帯域幅効率が低いため、低速信号のみに使用してください。各 GPIO 遷移は、GMSL3 リンク上に送信する場合で 40 ビット～80 ビット、逆方向では 40 ビット～60 ビット（受信 ACK パケットのため）を使用します。帯域幅使用量はチャンネル設定によって変動し、ARQ 有効化、CRC 有効化、ダブルヘッダ有効化はいずれもチャンネルの帯域幅使用量に影響します。

各 GPIO の状態は、レジスタによる読出しあるいは書込みが可能です。これはローカルに行うことも、コントロール・チャンネルの I^2C/UART インターフェースを用いてマイクロコントローラにより GMSL3 リンクを介してリモートで行うこともできます。非遅延補償モードでは、チャンネルのレイテンシは一定ではありません。GPI の遷移は、優先度と利用可能なリンク帯域幅に基づいて、可能な限り早く送信されます。この遅延の変動は、複数の通信チャンネルがリンクを共有することによって発生します。非遅延補償モードは、遅延の変動に耐えられる信号（マイクロコントローラの割込みなど）に使用してください。GPI ピンには、レジスタを使用して優先度を設定できます。優先度が設定されていない場合、GPI の遷移は、発生順に送信されます。しかし、優先度が設定されている場合は、優先度の高い GPI の遷移が先に送信されます。

順方向リンク・レートと逆方向リンク・レートに対する、GMSL3 デバイスの代表的な遅延を表 6 に示します。

表 6. 順方向リンクおよび逆方向リンクの伝送での代表的な GPIO 遅延

DIRECTION	DELAY COMPENSATION (TX_COMP_EN)	DELAY
GPIO forwarding from serializer to deserializer (6/3Gbps forward channel)	0	1µs

表 6. 順方向リンクおよび逆方向リンクの伝送での代表的な GPIO 遅延（続き）

DIRECTION	DELAY COMPENSATION (TX_COMP_EN)	DELAY
	1	3.5µs
GPIO forwarding from deserializer to serializer (187.5Mbps reverse channel)	0	6µs
	1	15µs

非遅延補償モードでの遅延

非遅延補償モードでは、遷移の値が GPIO のチャンネル ID と共に送信されます。なお、GPIO チャンネルのレイテンシは一定ではありません。GMSL3 リンクでは、複数の通信チャンネルがリンクを共有するため、遅延が変動する可能性があります。最大レイテンシは GMSL3 の帯域幅共有方式によって制限されますが、かなりの変動が残ります。非遅延補償 GPIO モードは、遅延変動の影響を受けない信号（マイクロコントローラの割込みなど）に使用してください。

遅延補償モード

遅延補償モード（ジッタ補償あるいはジッタ最小化補償とも呼ばれます）では、遷移の値と GPIO チャンネル ID に加えて、タイムスタンプ値も送信されます。このタイムスタンプは、600MHz の内部クロックによってサンプリングされる高分解能値であり、GPIO 入力で遷移が検出された時刻を記録しています。リモート側のチップはタイムスタンプ値を用いて待機し、GPIO 入力の遷移から固定合計遅延時間が経過した後に GPIO 遷移を出力します。この方法は、GPIO の入力から出力までの合計遅延時間を正確な固定値にすることにより、レイテンシの変動によって生じる可能性のある問題を軽減します。立上がりエッジと立下がりエッジの相対的な時間差が重要となる信号（パルス幅変調（PWM）、カメラ・フレーム同期、レーダー・ランプ・トリガ、低速 UART 信号など）には、遅延補償 GPIO モードを用いてください。遅延補償モードを有効にするには、各 GPIO の TX_COMP_EN レジスタ・フィールドを使用します。

フレーム同期

サラウンドビュー・カメラのアプリケーションでは、フレームの出力をシステム内の他のカメラと同期させるために、センサーは通常、フレーム同期信号を必要とします。ほとんどの GPIO は GPI として設定でき、サラウンドビュー・カメラの ECU が生成するフレーム同期信号にリンクできます。

エラー時のコントロール・チャンネル再送

自動再送要求／自動再送（ARQ）

コントロール・データを扱う通信チャンネル（I^2C/UART、GPIO、SPI）は比較的低帯域幅ですが、最高のデータ完全性保護を必要とします。ここではオプションとして、自動パケット再送方式（ARQ）を採用しています。ARQ は、16 ビットのパケット CRC と連携して動作し、パケットがエラーなく受信されたかどうかをチェックします。

送信側でパケットに 2 ビットのシーケンス番号が付加され、受信側はデータ・パケットを正常に受信するごとにアクノリッジ・パケットを返送します。これらのデータ・パケットは、アクノリッジされるまで送信側で保持されます。アクノリッジ・パケットが所定の時間内に届かない場合や、アクノリッジ・パケットのシーケンス番号が期待値と一致しない場合、キューの先頭で待機しているパケットが自動的に再送信されます。

アクノリッジ・パケットは低帯域幅パケットと同じヘッダ・フィールドを使用しますが、通常のデータ・パケットと区別できるように異なる特別なシンボルで始まります。この簡略化したフォーマットにより、再送のやり取りは通信チャンネルとは独立して行われます。なお、この縮小されたパケット・フォーマットにはデータが含まれていないため、完全な 16 ビット CRC を用いる必要はありません。代わりに、パケットのヘッダ・シンボルを 2 回送信し、両者を照合して一致を確認します。アクノリッジ・パケットにも 2 ビットのシーケンス番号が含まれており、これは正常に受信されたデータ・パケットのシーケンス番号と同じです。データ・パケットの送信側は、アクノリッジされたパケットを追跡します。

その他の機能

デバイスはビデオ・クロスバーを内蔵しています。クロスバーは、カラー信号と同期信号の順序を並べ替えるために使用できます。

GMSL3 デバイスは、リンク・マージンの最適化と監視のための機能を数多く備えており、高いリンク・マージンを確保しています。継続的な（1Hz の）アダプティブ・イコライゼーション（AEQ）により、環境の変化やケーブルの経年劣化に応じてリンク・マージンを最適化します。アイ開口モニタ機能は複数のスレッショルド・アラーム・レベルを用いて継続的なリンク・マージン診断を行い、リンク劣化を検出すると実行時アラートを発生させます。PRBS チェックにより、リンクおよびビデオ・チャンネルが正しく動作していることを確認できます。

トンネル・モードとピクセル・モード

MAX96792A は、データ完全性が重要な安全要件である、先進運転支援システム（ADAS）用に特別に設計されています。従来の GMSL2 ソリューションは、MIPI CSI-2 インターフェースからの受信データを GMSL リンクを介して伝送するのに、ピクセル・モードのみをサポートしていました。

ピクセル・モードでは、CSI-2 データはシリアライザの CSI-2 入力インターフェースでパケット化解除されます。受信 CSI-2 パケットのヘッダには誤り訂正符号（ECC）が含まれていますが、これは、シリアライザの入力でチェックされて除去されます。受信 CSI-2 パケットのフッタには CSI-2 巡回冗長検査（CRC）が含まれていますが、これもチェックされて除去されます。

ビデオ・ラインのピクセル・データと、データ・タイプや仮想チャンネルなどのビデオ・ルーティング情報が CSI-2 インターフェースで受信・抽出されます。ビデオ・ピクセル・データ、コントロール・チャンネル・データ、ルーティング情報はいずれも、シリアライザのスケジューラに入力されます。スケジューラは、GMSL プロトコルを用いてデータをパケット化およびカプセル化し、GMSL リンクを介したデータ伝送の順序を制御します。GMSL リンクを介したビデオ・データ伝送は、GMSL プロトコルの一部であるライン CRC によって保護されています。

デシリアライザは、GMSL パケットを受信し、GMSL2 ライン CRC を検証します。デシリアライザ出力の CSI-2 インターフェースは、CSI-2 プロトコルを用いて各ビデオ・ラインをカプセル化し、CSI-2 フォーマットで SoC に出力します。図 24 を参照してください。

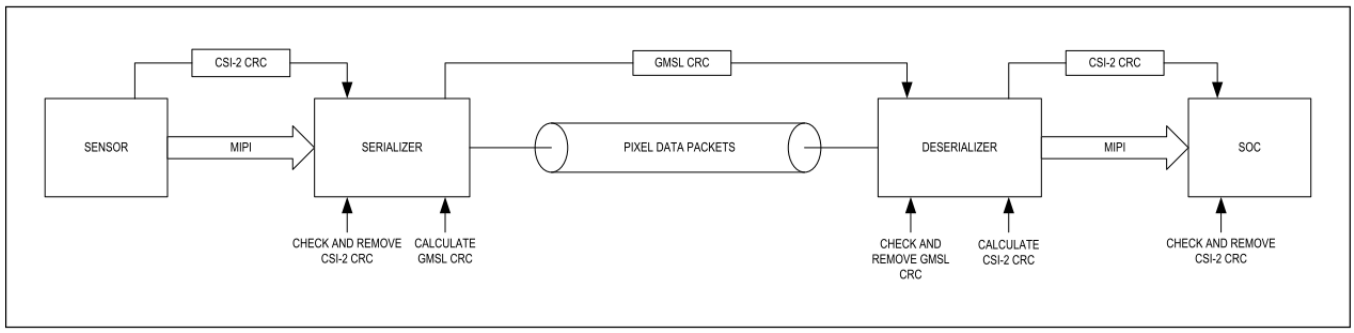


図 24. ピクセル・モード

トンネル・モードでは、受信した CSI-2 ECC バイトおよび CRC バイトが、シリアライザの入力でチェックされます。これらは、ルーティング・データやピクセル・データと共に、バイト・ストリームとして受信されます。このバイト・ストリームは、より小さなパケットに分割され、GMSL2 プロトコルを用いてカプセル化されます。

シリアライザはライン CRC を追加して、GMSL チャンネルを介した伝送を保護します。この CRC は、ビデオ・ライン用に GMSL2 によってパケット化されたバイト・ストリーム全体を対象とします。図 25 を参照してください。デシリアライザは、送信された GMSL2 パケットとコントロール・チャンネル・パケットを受信し、GMSL CRC をチェックして除去し、ビデオ・データをコントロール・データから分離し、それぞれの受信 CSI-2 パケットを再構築してから、CSI-2 インターフェースで SoC に出力します。CSI-2 インターフェースのビデオ・データ出力について、CRC が計算されます。デシリアライザが、この CRC をビデオ・ソースから受信した元の CRC と比較します。この比較を行うことで、標準 MIPI インターフェースから出力されるデータ・パケット全体が、シリアライザ入力で受信したものと同じであることが確認されます。トンネル・モードは、複数のデータ・タイプを送信する場合に帯域幅効率がより高くなります。シリアライザ入力で受信したデータとデシリアライザから出力されるデータが同じであることが確認されるので、トンネル・モードでは、ウォーターマーク処理や非可逆データ圧縮といったビデオ・データ処理を行うことはできません。シリアライザとデシリアライザでデータ・レートやレーン数が異なることは依然として可能です。

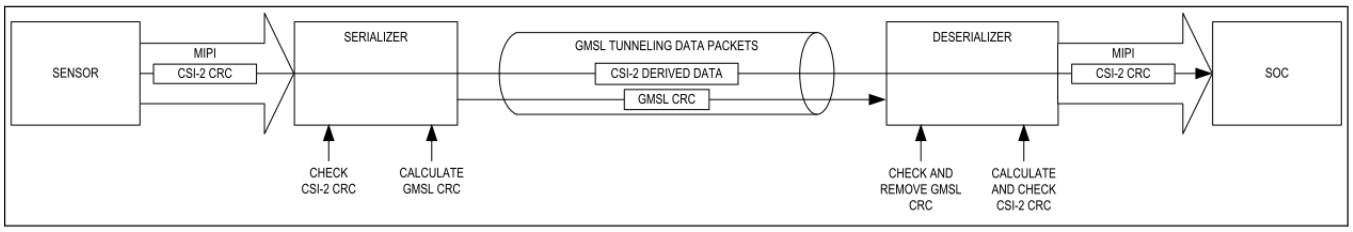


図 25. トンネル・モード

フォワード・エラー・コレクション（FEC）

MAX96792A はリンクの堅牢性を高めるためにリードソロモン FEC をサポートしています。リードソロモン・エンコーディングでは、121 ビットのデータごとに 6 ビットの訂正ワードを追加するため、実効スループットが 93.3%になりますが、それと引き換えに、ビット・エラー・レート（BER）が 10-15 から 10-55 に低減されます。FEC 付きの 12Gbps GMSL3 リンクの最大ペイロードは、9.7Gbps です。GMSL3 製品において FEC が必要になる主な理由は、ビット・レートが高く、リンクの損失が大きい（ケーブルが長く、コネクタが多い）ためです。PAM4 信号処理（12Gbps）を用いる GMSL3 モードでは FEC は必須ですが、非ゼロ復帰（NRZ）信号を用いる GMSL2 モード（6Gbps または 3Gbps）ではオプションです。

FEC ブロックは、データを 128 個のシンボルから成るブロックごとに処理します。各シンボルは 18 ビット幅です。2,560 ビットから成る 1 ブロックで検出された最大 3 個のシンボル・エラー（エラーが連続バーストの場合は最大 54 ビットのエラー）を訂正できます。1 ブロックのエラー数がこれより多くなると、訂正できないエラーが発生します。これらのエラーは、FEC ブロック内の CRC 部によってフラグが付けられます。FEC ブロックには、訂正されたエラーと訂正できなかったエラーをそれぞれカウントするエラー・カウンタがあり、FEC 入力のビット・エラー・レートはリンク品質を示す良い指標になります。エラーのない動作のためには、FEC 入力のビット・エラー・レートを 10^{-7} 未満にしてください。

機能：

- 2～3 個のリンク・シンボルに相当するバースト・エラー訂正機能
- 受信データの品質を分析できるデバッグ機能
  - 訂正されたエラーの数、訂正できなかったエラーの数
  - 訂正できなかったエラー数がスレッショルドを超えた場合の割込み出力

注：

- 訂正は、FEC をサポートする GMSL レーン内の全てのデータ・トラフィックに対して使用できます。
- FEC を有効化することで、利用可能な帯域幅が 6.7%減少します。
- FEC は、リンクに対し約 4300UI のレイテンシを追加します。
- FEC を使用する場合、シリアライザとデシリアライザの両方で有効にする必要があります。

機能安全の諸機能

MAX96792A は、ロジック内蔵セルフ・テスト（LBIST）とメモリ内蔵セルフ・テスト（MBIST）を含むパワーオン・セルフ・テスト（POST）、低電圧／過電圧状態を報告するパワー・マネージャなど、複数の安全機能を内蔵しています。ホスト・インターフェース（I^2C/UART）は、オプションの CRC 機能とメッセージ・カウンタ機能（I^2C/UART トラフィック用）を備えています。

パワーアップ時、LBIST は、主要なロジック・ブロックが正しく機能しており、潜在的なフォルトがないことを確認します。MBIST は、ライン・バッファ・メモリをチェックし、データが MIPI 出力ポートに送られる前に正しく格納されていることを確認します。POST は、テストごとにレジスタを通じて読み出せる合格／不合格の結果を生成します。起動時に POST エラーが生じても、デバイス動作が妨げられることはありませんが、このエラーは、POST_LBIST_PASSED と POST_MBIST_PASSED の各レジスタに反映されます。

レジスタ CRC（REGCRC）は、設定レジスタにおける意図しない変更を検出します。設定レジスタの CRC 値は、起動時に要求に応じて計算され、保存されます。動作中、REGCRC ブロックは、設定レジスタの CRC を定期的に計算し、その計算値を保存されている値と比較します。一致しない場合は、ERRB を通じて報告できます。

GMSL3 物理層

アナログ・デバイセズの GMSL3 シリアル・リンク・ファミリは、トランスミッタ機能とレシーバ機能が同時に有効になっているため、1 本のワイヤで全 2 重動作を実現できます。シリアライザとデシリアライザ間の 1 本のケーブルで、リンクの両端から送信されるデータを運びます。順方向伝送とは、データがシリアライザからデシリアライザに送信されることを指します。逆方向伝送とは、データがデシリアライザからシリアライザに送信されることを指します。

順方向伝送の固定レートとして、3Gbps、6Gbps、または 12Gbps のオプションがあり、同軸と STP のどちらでも使用できます。逆方向伝送のレートは、187.5Mbps に固定されています。

ケーブル・オプション

MAX96792A デバイスは、50Ω の同軸ケーブルまたは 100Ω の STP ケーブルのいずれにも対応しています。堅牢な全 2 重リンク性能を達成するために、ケーブルの減衰特性およびリターン・ロス特性は、GMSL3 チャンネル仕様要件の範囲内にある必要があります。これらの要件は、選択するリンク・レートによって異なります。利用可能なリンク・レートとアダプティブ・イコライゼーションにより、幅広いケーブル・オプションに対応できます。

同軸または STP モードとデータ・レートは起動時に設定され、どちらのケーブル・オプションを適用するかが決まります。同軸モードでは、非反転 SIO ピンのみを使用します。未使用の SIO ピンは、100nF のコンデンサと 49.9Ω の抵抗を直列に接続して AC カップリングおよび終端してください。STP 構成では、非反転と反転の両方のピンがデフォルトで有効化されます。

最大ケーブル長は、周波数に依存するケーブル減衰量によって制限されます。更に、PCB やインライン・コネクタは、ケーブル・アッセンブリのリターン・ロス特性を劣化させます。GMSL3 のチャンネル仕様では、2 つのインライン・コネクタの使用が許容されており、ケーブル減衰量とリターン・ロスについての細かい要件に加え、PCB 配線パターンに対する挿入損失とリターン・ロスの要件が定められています。一般に、GMSL3 のチャンネル仕様に適合する物理チャンネルを実装することで、信頼性の高い結果を得ることができます。GMSL3 のチャンネル仕様に関する技術文書については、アナログ・デバイセズにお問い合わせください。

GMSL 入力が同軸動作か STP 動作かは、パワーアップ時の CFG1 のレベルによって決まります。各 GMSL リンクはデフォルトでは同じに設定されますが、レジスタ設定によってパワーアップ後に変更できます。表 13 を参照してください。

GMSL3 の帯域幅共有

GMSL の順方向リンク帯域幅は、パケット伝送のためにリンクを必要とする様々な通信チャンネルの間で、柔軟に共有されます。この柔軟性は、パケット・ベースの伝送フォーマットと動的な帯域幅割り当てに由来しています。つまり、特定のチャンネルがアクティブでない場合、そのチャンネルはリンク帯域幅を消費せず、他の全てのアクティブな通信チャンネルが全リンク帯域幅を共有できます。パケット・ベースのプロトコルは、この共有要件を満たしています。非ビデオ・パケットの最大サイズは 64 ワードに制限されており、1 つのチャンネルがリンク帯域幅を独占せず、他のチャンネルも必要な帯域を確保できるようになっています。その他の帯域幅共有メカニズムについては、次のセクションで説明します。

同じ優先度の要求が複数保留中の場合にバッファ・オーバーフローを防ぐために、帯域幅共有方式が採用されます。帯域幅共有がなければ、あるチャンネルからのバースト・データ要求が原因で、リンク上の他の通信チャンネルでバッファ・オーバーフローが発生する可能性があります。しかし、帯域幅共有方式では、あらかじめ定められた帯域幅共有比率と最新の帯域幅使用量の平均を通信チャンネルのタイプごとに考慮することで、バッファ・オーバーフローを防ぎ、全チャンネルが帯域を確保できるようにします。

アービタ（調停回路）は、各チャンネルの帯域幅使用量を継続的に測定し、移動平均の解析に従ってデータをフィルタリングします。次に、このデータを、指定された帯域幅共有比率と比較します。リンク帯域幅の公平性を確保するため、アービタは、この最新の帯域幅使用情報を参考にして、新たなパケット送信要求ごとに、どのチャンネルにリンクの使用を割り当てるかを決定します。ビデオまたは SPI 通信に割り当てられるリンクを考えてみます。ここで、ビデオ通信は 90%のリンク共有、SPI 通信は 5%の共有とします。このリンクでバースト SPI 送信要求が行われて、SPI の帯域幅共有が合計で 10%を超えた場合、ビデオ側でバッファ・オーバーフローが発生する可能性があります。これを防ぐために、SPI 通信には最大でもリンクの 10%しか割り当てず、残りの 90%をビデオ通信用に確保します。

GMSL3 の帯域幅の計算

GMSL3 の順方向リンクのリンク・レートは 3Gbps、6Gbps、または 12Gbps に固定されています。逆方向のリンク・レートも、187.5Mbps に固定されています。GMSL3 プロトコルとライン・コーディングのオーバーヘッドは約 14%です。12Gbps の順方向レートでは、フォワード・エラー・コレクションによって 6.7%が追加されます。したがって、順方向の場合は約 2.6Gbps、5.2Gbps、または 9.7Gbps のデータ・スループット、逆方向の場合は 162Mbps のデータ・スループットが残ります。

最悪の場合でも、順方向リンクと逆方向リンクの利用可能なスループットを超えないようにしてください。アナログ・デバイセズの評価キット（EVK キット）の GUI には、最初の帯域幅要件を概算するための帯域幅（BW）計算ツールが備わっています。また、アナログ・デバイセズでは、リンク帯域幅使用率を計算するための別のツールも用意しています。高帯域幅の使用事例でエラーのない性能を確保するには、アナログ・デバイセズにお問い合わせください。用語の定義については図 26 を参照してください。

表 7 は、通信チャンネルごとに帯域幅使用率を見積もった値を示しています。

表 7. 順方向および逆方向のリンク帯域幅使用率

DATA	APPROXIMATE BANDWIDTH UTILIZATION
Video (Forward Path Only)	H x V x fps x bpp x (1+ (% horizontal blanking)/100 + (% vertical blanking)/100) x 1.16 Maximum bandwidth is limited by pixel clock rate PCLK. Pixel mode: PCLK = MIPI data rate/bpp Pixel mode (double pixel mode): PCLK = MIPI data rate/(2*bpp) Tunneling mode: PCLK = MIPI data rate/24 Maximum PCLK = 600MHz for 6Gbps or 12Gbps link rate Maximum PCLK = 300MHz for 3Gbps link rate
I^2C	18 to 60 x I^2C clock rate, depending on available link bandwidth
UART	6 x UART bit rate, 5.5 x when parity bit enabled
SPI	2.5 x SPI rate
GPIO	60 x GPIO transition rate without delay compensation 80 x GPIO transition rate with delay compensation

注：FEC を有効化した場合、全てのコントロール・チャンネルおよびサイド・チャンネル通信の帯域幅使用率は 6.7%増加します。12Gbps 動作には FEC が必要です。

定義：

H = 水平解像度

V = 垂直解像度

fps = 1 秒あたりのフレーム数

bpp = ピクセルあたりのビット数

MIPI データ・レート = MIPI の全レーンの合計データ・レート

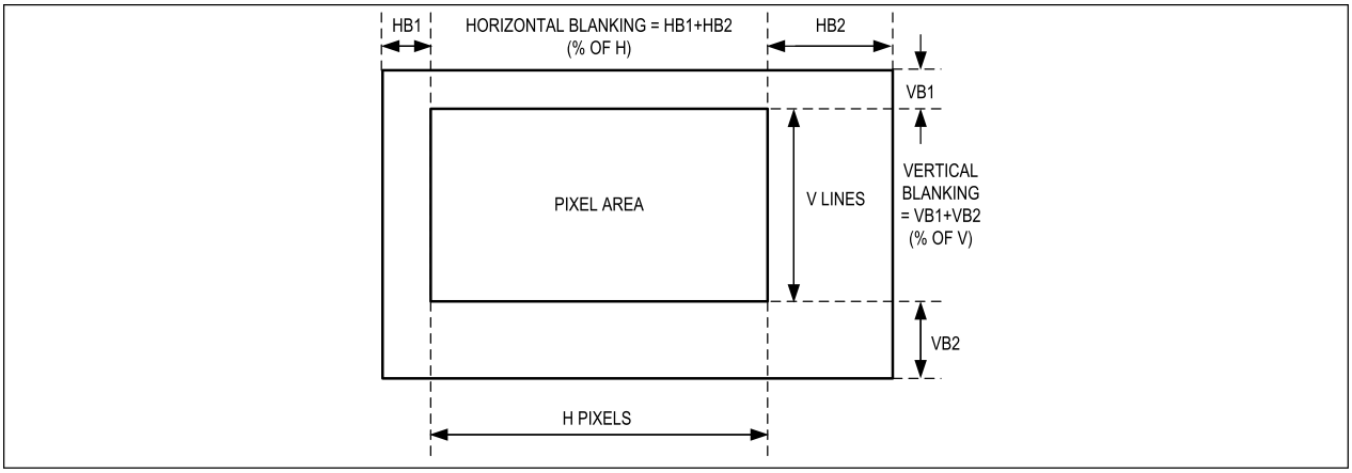


図 26. 帯域幅計算用のビデオ・フレーム・フォーマット

アイ開口モニタ（EOM）

EOM により、GMSL2 デバイスはアクティブなリンクのリンク・マージンをモニタし、これが許容可能なレベルを下回った場合に割込みを生成することができます。例えば、ケーブルが損傷している場合に、リンクはエラーなく動作する一方で、リンク・マージンが望ましい値より小さくなることがあります。これにより、リンク・エラーが発生する前に、ケーブルの性能低下に対して予防的な対応を取ることができます。GMSL2 デバイスは、イコライザの出力の水平方向または垂直方向のアイ開口を測定できます。リンクがアクティブになると、測定は約 1Hz のレートで自動的に実行されます。EOM ブロックは、アイ中央でサンプリングしたデータを、位相オフセットしたサンプル（水平方向 EOM の場合）または電圧オフセットしたサンプル（垂直方向 EOM の場合）と比較します。その後、アイ開口が報告され、この開口がユーザ定義のスレッショルドを下回った場合に、EOM は割込みまたはリセットをトリガできます。なお、EOM は GMSL2 モード（3Gbps または 6Gbps）の診断に推奨されますが、GMSL3 モード（12Gbps）には推奨されません。

ライン・フォルト

GMSL シリアライザは、斬新なライン・フォルト検出回路を搭載しています。この回路は、オープン・サーキット、バッテリへの短絡、地絡、ライン同士の短絡を検出し、報告します。ライン・フォルト・モニタでは、以降のセクションで詳述するように、同軸モードでは外部抵抗 R_{EXT1} および R_{PD}、STP モードでは R_{EXT1}、R_{EXT2}、R_{PD} を LMN_ピンに接続する必要があります。

ライン・フォルト・モニタはデフォルトでは無効ですが、レジスタを介して設定オプションを利用でき、ステータスはこのレジスタによって読み出すことができます。マスクされていなければ、ライン・フォルト状態は ERRB をアサートします。ライン・フォルト検出は、Power-over-Coax（POC）やグランドに AC カップリングするアプリケーションと併用することはできません。

ライン・フォルト・モニタ・ピンは、同軸または STP アプリケーションにおいて、柔軟に接続および設定可能です。

ライン・フォルト検出位置に関する 2 つの設定オプションを図 27 に示します。通常、ローカル側シリアライザ構成はディスプレイ・リンクに使用され、ローカル側デシリアライザ構成はカメラ・リンクに使用されます。ただし、どちらの構成も任意のデバイスのシリアル・リンク・システムで使用できます。更に、どちらの構成も、同軸モードと STP モードのいずれでも使用できます。

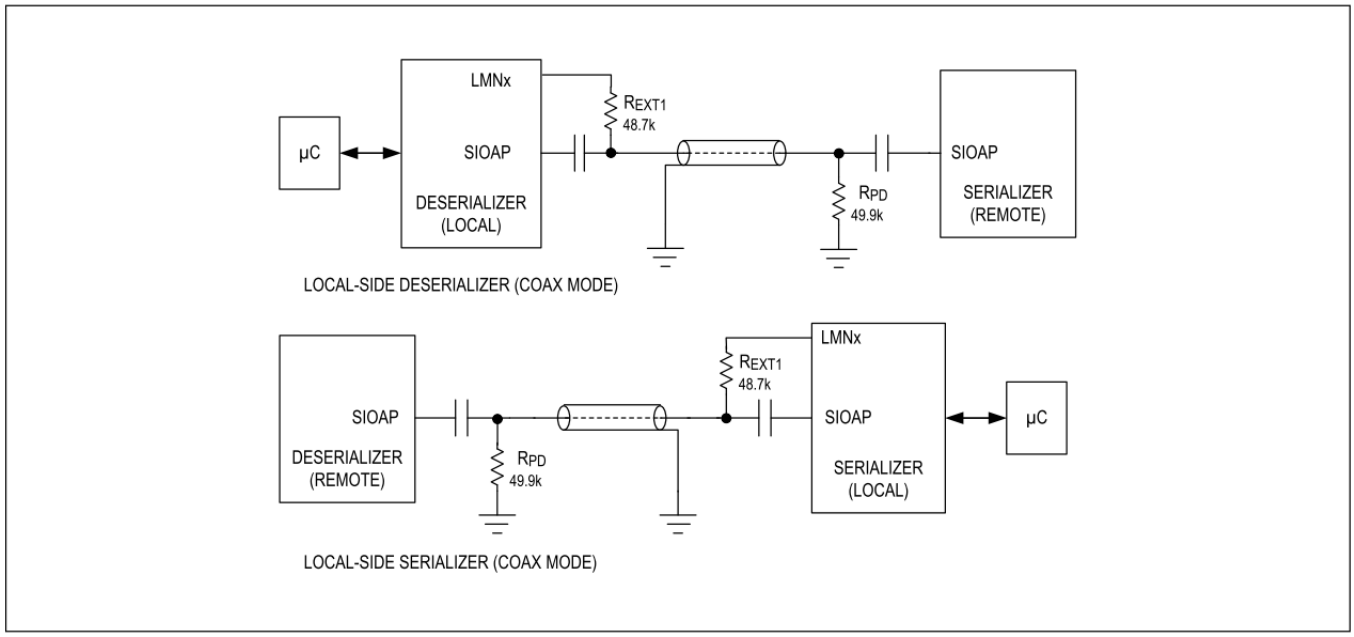


図 27. ライン・フォルト検出位置のオプション

LMNx ピン（LMN0～LMN3）は、通常、固有のデバイス・オプションおよびパッケージ・オプションごとに異なる多機能ピンに割り当てられます。一部のデバイスでは、パッケージ・オプションとピンの可用性に応じて、最大 4 通りのライン・フォルト検出が可能です。

同軸モード

同軸アプリケーションでは、任意の LMNx ピンを使用できます。ローカル側がライン・フォルトの発生源になります。ローカル側デバイスでは、いずれかの LMNx ピンとシリアル・リンクの間に 48.7kΩ の抵抗（R_{EXT1}）1 個を直接接続する必要があります。同軸アプリケーションでは R_{EXT2} は使用しません。シリアル・リンクのリモート側では、シリアル・リンクと GND の間に 49.9kΩ の抵抗（R_{PD}）を接続する必要があります。同軸アプリケーションでは任意のライン・モニタ・ピンを使用できます。

表 8. 同軸モードのライン・フォルト設定オプション

SIGNAL	SIOAP	SIOBP
Line-Fault Pin	LMNx (any LMN pin)	LMNx (any LMN pin)
R_{EXT1}	48.7kΩ	48.7kΩ

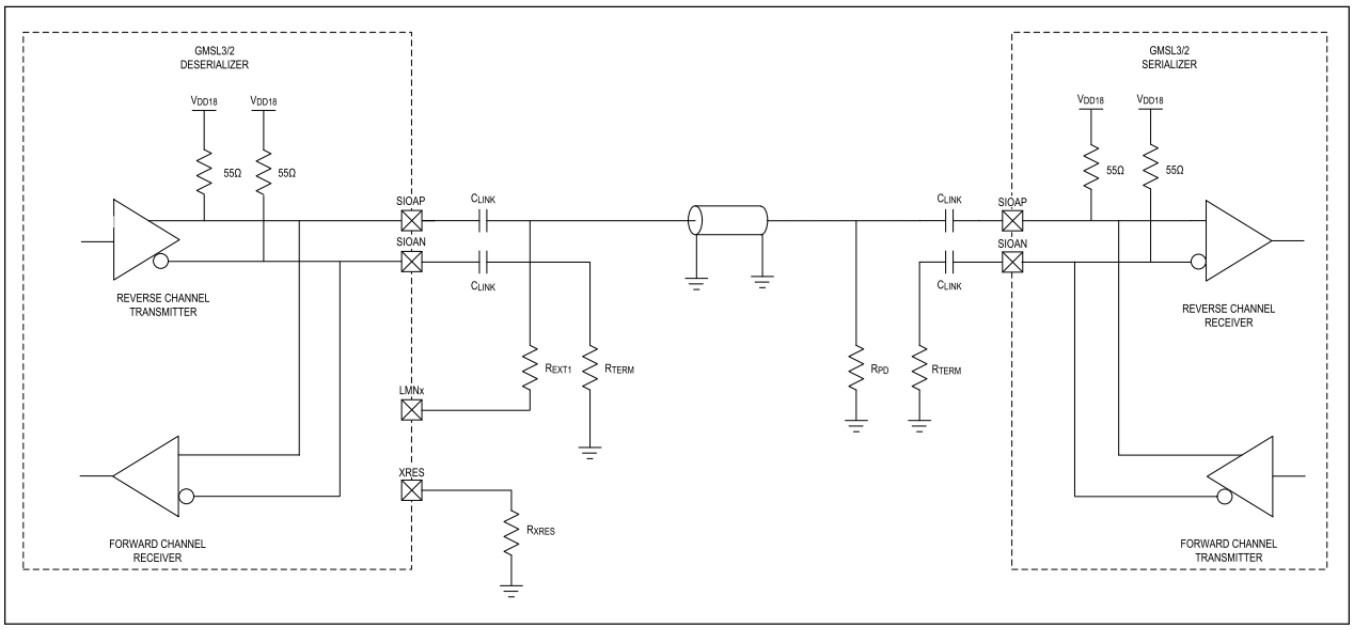


図 28. 同軸ケーブル使用時の代表的な GMSL リンク・アプリケーション回路

STP モード

シリアル・リンクがツイスト・ペア・モードで動作している場合は、一方のラインをローカル側の偶数番号ピン（LMN0/2）に接続し、もう一方のラインを奇数番号ピン（LMN1/3）に接続してください。信頼性の高いライン・フォルト検出を行うために、偶数番号ピン（LMN0 および LMN2）は 42.2kΩ の抵抗（R_{EXT2}）を介してラインに接続し、奇数番号ピン（LMN1 および LMN3）は 48.7kΩ の抵抗（R_{EXT1}）を介してラインに接続する必要があります（シングルエンド・モードと同様）。リモート側では、どちらのラインにも GND との間に 49.9kΩ の抵抗（R_{PD}）を接続する必要があります。

ツイスト・ペア・アプリケーションでライン・フォルト検出を完全に動作させるには、LMN0/1 ペアまたは LMN2/3 ペアを用いてください。この組み合わせは、ライン間短絡検出を正しく機能させるために必要ですが、他のフォルト状態を検出するためには必須ではありません。

STP モードにおけるライン・フォルト・ペア#1（LMN0/LMN1）の抵抗値および接続方法

表 9. STP モードでの LMN0/LMN1 用ライン・フォルト設定オプション

LINE FAULT PAIR #1: LMN0 AND LMN1	SIOAP	SIOAN
Option #1	LMN0: R_{EXT2} = 42.2kΩ to serial link	LMN1: R_{EXT1} = 48.7kΩ to serial link
Option #2	LMN1: R_{EXT1} = 48.7kΩ to serial link	LMN0: R_{EXT2} = 42.2kΩ to serial link

STP モードにおけるライン・フォルト・ペア#2（LMN2/LMN3）の抵抗値および接続方法

表 10. STP モードでの LMN2/LMN3 用ライン・フォルト設定オプション

LINE FAULT PAIR #2: LMN2 AND LMN3	SIOAP	SIOPN
Option #1	LMN2: R_{EXT2} = 42.2kΩ to serial link	LMN3: R_{EXT1} = 48.7kΩ to serial link
Option #2	LMN3: R_{EXT1} = 48.7kΩ to serial link	LMN2: R_{EXT2} = 42.2kΩ to serial link

同じオプションが GMSL B ポート（SIOBP ピンおよび SIOBN ピン）にも適用できます。

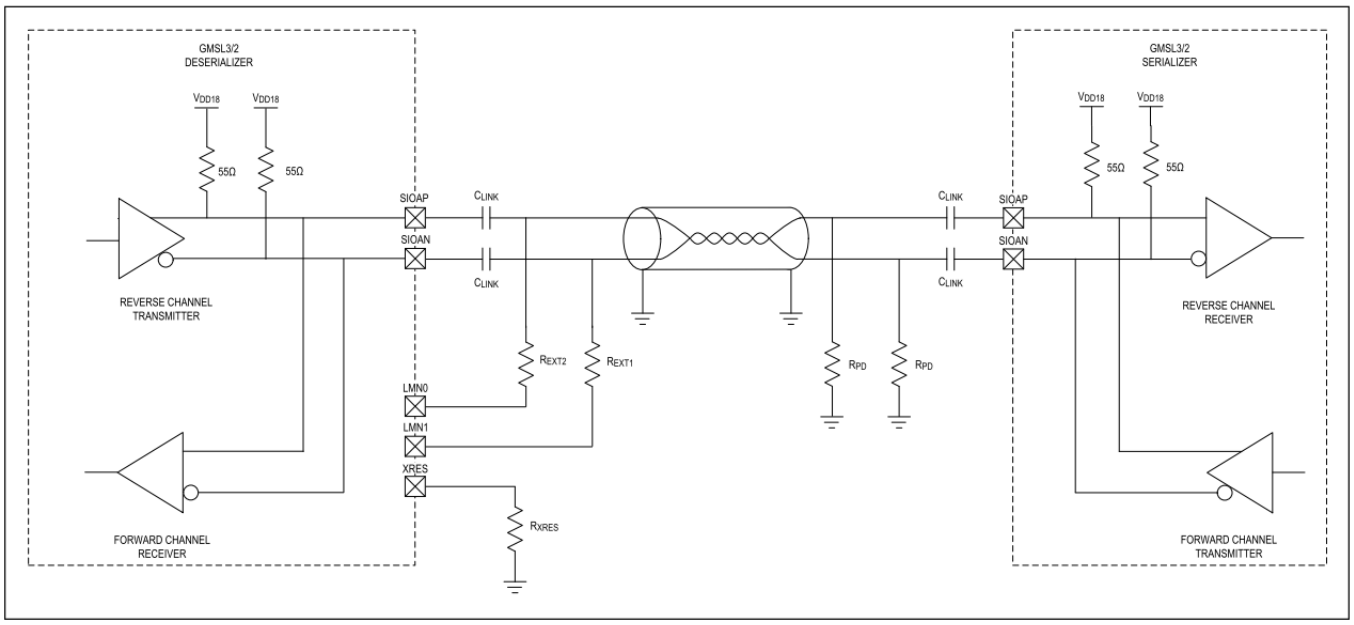


図 29. ツイスト・ペア・ケーブル使用時の代表的な GMSL リンク・アプリケーション回路
（ライン・フォルト・ペア#1：LMN0 および LMN1、オプション#2）

アダプティブ・イコライゼーション（AEQ）

GMSL3 デバイスは、ケーブル、コネクタ、PCB で構成されるチャンネルの挿入損失およびリターン・ロスの特性を補償するように、順方向経路のレシーバ特性を自動的に適応させます。この手法は、GMSL3 チャンネル仕様を満たす任意のチャンネルにおいて性能を最適化します。

イコライザ・アーキテクチャにより、GMSL3 リンクは、ノイズ、クロストーク、反射に対して堅牢なものになります。初期のアダプテーションはリンク・ロック時に行われ、その後、温度および電圧の変動に追従するために約 1Hz のレートでアダプテーションが実行されます。アダプテーション・プロセスは、イコライザ係数を最適化し、内蔵のアイ開口モニタを用いてアイ開口を最大にします。

ビデオ・パイプ

GMSL3 のピクセル・モードでは、ビデオ・データの搬送は、ビデオ・パイプというコンセプトに基づいて行われます。データをパイプで搬送することで、GMSL3 では、異なるデジタル・ビデオ・インターフェース間（例えば、並列 YUV422 ソースから CSI-2 シンクへ）の橋渡しができ、また、ウォーターマークの生成と検出を行うことができます。パイプは、以下のいずれかのモードで、ビデオ・ストリームとビデオ同期データを搬送します。全てのモードにおいて、パイプは複数のビデオ・ストリームを同時に搬送でき、それぞれのストリームは異なる仮想チャンネルやデータ・タイプを持つことができます。

- モード 1：ピクセルあたりのビット数（bpp）が最大 24bpp で一定のストリーム。ストリームの bpp は同じでなくてはなりません。
- モード 2：16、14、12、10、または 8bpp のストリーム。16bpp 未満のストリームはゼロでパディングされます。
- モード 3：2 種類の異なる bpp レートのストリーム。一方のストリームの bpp はもう一方のストリームの bpp の 2 倍でなくてはなりません。最大 bpp ストリームは 24bpp です。

モード 1 とモード 3 はフル帯域幅でデータを搬送しますが、bpp に関してモード 2 より制約が厳しくなります。モード 2 では bpp レートの異なるストリームが可能ですが、16bpp 未満のストリームは、ゼロ・パディングされるため、GMSL3 リンク上で必要以上の帯域幅を使って搬送されます。ほとんどのアプリケーションでは、モード 1 またはモード 3 で十分です。最大のリンク帯域幅を必要としないアプリケーションの場合、モード 2 の方が必要なプログラミングが少なく、便利です。

MAX96792A には、各 GMSL3 ポートに 1 つずつ、合計 2 つのビデオ・パイプがあります。2 つのパイプのそれぞれに専用のビデオ・ライン・バッファがあります。それぞれの 32k バイト（256kb）ビデオ・ライン・バッファには、最大 8,191 個の 24 ビット・ピクセルのライン長に対応できる容量があります（8,191 ピクセルにはライン・ブランキング・ピクセルを含みます）。MAX96792A に接続された全てのシリアライザが使用するパイプ数は、2 本を超えることはできません。

データはライン・バッファに入る前に、クロスポイント・スイッチと、DT（データ・タイプ）および VC（仮想チャンネル）の再割り当て段を通過します。ビデオ・ソースに CSI-2 出力がある場合、パケットの DT および VC はそのままにしておくことも、レジスタ設定によって再割り当てすることもできます。最大 16 の DT/VC 入力ペアを 16 の DT/VC 出力ペアに割り当てることができます。

ビデオ・ソースに CSI-2 出力がない場合、DT および VC が CSI-2 出力パケットに挿入されるように、MAX96792A 内でプログラムできます。クロスポイント・スイッチでは、必要に応じて、受信したビデオ・ピクセル・データのビットの順番を任意の順番に変更できます。

ライン・バッファは、データがアグリゲータによって読出し可能となるまでビデオ・データの 1 ライン全体を保存します。各バッファは 2 つのアグリゲータに接続されていますが、1 回に 1 つのアグリゲータ（ユーザによってプログラムされた方）のみが、バッファから 1 ラインのデータを読み出すことができます。一度データが読み出されると、同じアグリゲータでも別のアグリゲータでも再度読み出すことはできません。ただし、時間領域マルチプレックス方式では、両方のアグリゲータが同じバッファから読出しを行えるようにプログラムすることができます。

データは、先着順方式でライン・メモリから読み出されます。1 ライン分のデータがライン・メモリに格納されると、読み出されます。ライン・メモリが満杯の状態になる順序が、読み出される順序となります。

ピクセル・モードでは、ビデオ・データのルーティングは、ソース CSI-2 パケットの DT/VC に基づいて、あるいは、MAX96792A によって割り当て／再割り当てされた DT/VC に従って行うことができます。例えば、VC0 を持つパイプ Y のデータはアグリゲータ A で読み出されるように設定でき、VC1 を持つパイプ Y のデータはアグリゲータ B で読み出されるように設定できます。トンネル・モードでは、データは VC または DT によってルーティングできず、単に設定されたアグリゲータに送られるだけです。

アグリゲータは、ライン・バッファからのビデオまたはデータの 1 ライン分とビデオ同期データを、それに対応する CSI-2 コントローラに転送してパケットを生成します。パケットはコントローラのポートに出力することも、別のポートにルーティングして複製することもできます。例えば、CSI-2 コントローラ 0 は、パケットを D-PHY ポート A に出力することも、D-PHY ポート B から出力するようにルーティングすることもできます。

D-PHY ポートまたは C-PHY ポートは、1 つのコントローラからのパケットのみを受け入れることができます。2 つのコントローラからのパケットを集約することはできません。

バッファ・オーバーフローを防止するため、CSI-2 ポートのデータ・レートは、受信データ・レート以上の値に設定してください。出力レートを受信したビデオまたはデータの帯域幅より速く設定すると、パケット間隔（パケット間の LP 時間）が広がります。

トンネル・モードでは、データの再フォーマットは行われません。ビデオ・データを変更しないことが機能安全の要件であるため、ホストはトンネルされた CSI-2 CRC との比較を行うことができます。

リタイミング・バッファを出た後、データは、クロスポイント・スイッチと、DT および VC の再割り当て段を通過します。ビデオ・ソースに CSI-2 出力がある場合、パケットの DT および VC はそれぞれそのままにしておくことも、レジスタ設定によって再割り当てすることもできます。

図 30 に、各入力ポートからの入力データを別々のままにして動作する MAX96792、図 31 に、各入力ポートからのデータを結合して両方の出力ポートに出力する動作を示します。

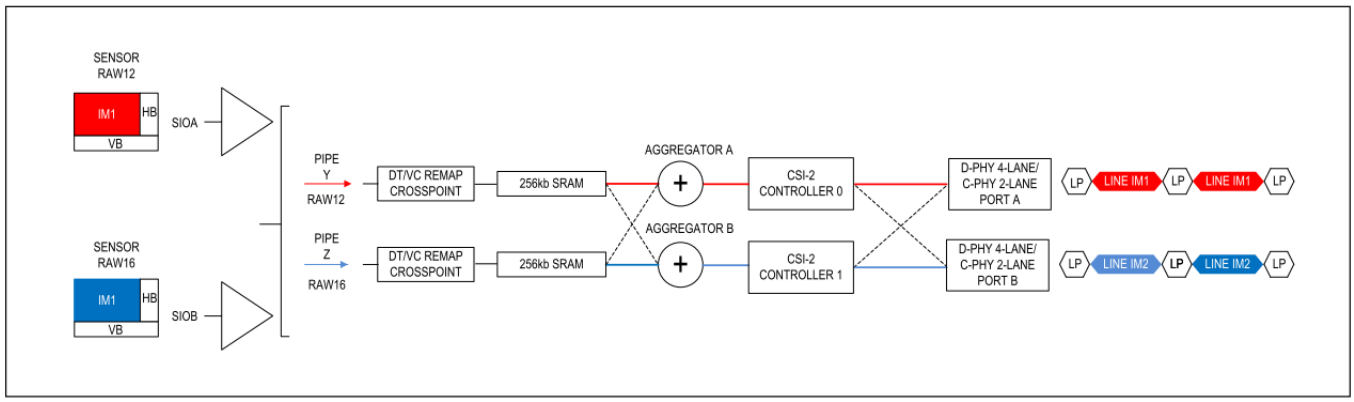


図 30. 別々のポートからの GMSL3 ビデオ出力

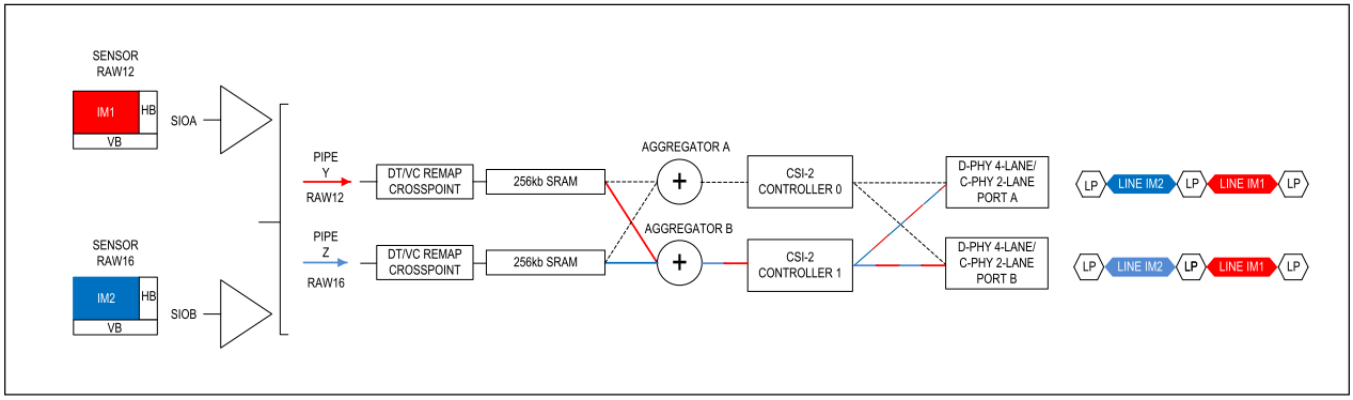


図 31. GMSL3 ビデオの集約および複製

ビデオ・タイミング・ジェネレータ（VTG）

VTG は、設定レジスタで定義されたとおりに生成した信号で、HS、VS、DE の各信号を置き換えることができます。VTG は様々なモードでほとんどの種類の SYNC 信号セット・パターンを生成し、それによって生成パターンを開始できます。適切なレジスタ設定を行うことで、シリアライザを接続しなくても必要な PCLK 出力周波数を生成できます。また、VTG は内部生成クロックを用いて任意の解像度のテスト・パターンを生成できます。

RGB888 ビデオ・パターン・ジェネレータ

内蔵の RGB888 VPG は、デバッグ目的に使用できます。GMSL 接続がなくても、VPG によって任意の解像度のビデオを生成することができます。また、ペリフェラルからのビデオを、設定レジスタ（PATGEN_1 レジスタ・ブロックを参照）のプログラムに従って VPG が生成したビデオ・パターンに置き換えることもできます。VPG は、RGB888 データを用いてチェッカーボード・パターンやグラジエント・パターンを生成できます。VPG のピクセル・クロックは内部から供給され、以下のレジスタを用いて設定されます。

表 11. ビデオ・パターン・ジェネレータのピクセル・クロック選択

0x38[1]	0x38[0]	0x1FC[7] PATGEN_CLK_SRC	PIXEL CLOCK (MHz)
0	0	x	25
0	1	x	75
1	x	0	150
1	x	1	600

擬似ランダム・バイナリ・シーケンス（PRBS）

ビデオ PRBS

シリアライザのビデオ・チャンネルには PRBS パターン・ジェネレータが備わっており、デシリアライザでのビット・エラー検証と連携してチャンネル動作をテストします。PRBS ジェネレータは、ソースから受信したクロックで動作します。

リンク PRBS

リンク PRBS テストは、PRBS-7 のデータ・パターンを用いて GMSL チャンネル全体にわたるエラーのない動作を検証するための評価ツールです。これは、GMSL SerDes デバイスの試作フェーズや検証フェーズで有用です。

リンク PRBS は、リンク帯域幅全体を PRBS-7 のデータで満たします。テスト中は、ビデオやコントロール・チャンネル・コマンドなどの通常の方法でパケット化されたデータを送信することはできません。テストが有効になると、コントロール・チャンネルは消失し、リモート通信はできなくなります。リンク PRBS テストを適切に動作させるには、シリアル・リンクをコントロール・チャンネルの伝送媒体として用いずに、ローカルとリモートの両方のデバイス・レジスタにアクセスする必要があります。これは、シリアライザとデシリアライザの両方の制御インターフェースにアクセスして、リンクの両端でリンク PRBS ジェネレータ／チェッカを設定することによってのみ実現できます。

ビデオ・メモリ ECC 保護

ビデオ・パイプラインのメモリを通過するデータの完全性は ECC によって確保されています。ECC は、32 ビットのビデオ・データごとに、1 ビットのエラーを訂正し、1 ビットまたは 2 ビットのエラーを検出します。この機能は、受信した GMSL ストリームや出力されるカメラ・シリアル・インターフェース（CSI）ストリームにおける CRC で保護されないデータを保護し、内部で生じたビット・エラーによって出力 CSI-2 ストリームが破損しないようにします。ERRB ピンの状態をモニタすることで、エラーの存在を検出できます。診断を行うために、意図的なメモリ・エラー注入を行うこともできます。

スケジューラ／アービタ

スケジューラは、高い優先度を持つパケットを低い優先度のパケットよりも先に送信します。各送信アダプタは、データをリモート側に送信する前に、パケット要求に対して優先度を設定します。優先度値は 2 ビットで、これにより、0 = 低、1 = 通常、2 = 高、3 = 最優先の設定が可能です。リンク帯域幅が十分にある場合、スケジューラは、保留中のアクティブな要求の中で最も高い優先度を持つパケットを送信することを選択します。リンク帯域幅が不足するにつれて、優先度レベルがより重要になります。それに対応して優先度を割り当ててください。

ほとんどの場合、各送信アダプタは、通常の優先度設定（優先度 = 1）を使用し、スケジューラが直近の帯域幅使用状況に基づいて送信スケジュールを選択できるようにする必要があります。パケットが低レイテンシを必要とする場合や、指定された時間待機していた場合には、パケットの優先度を上げることができます。例えば、最大レイテンシの要件があるパケットでは、パケット要求が処理されないまま最大レイテンシ要件の半分の時間が経過した場合、優先度を上げることができます。これは、ビデオのように連続的にデータが流れる通信チャンネルにも使用できます。送信アダプタのデータ・バッファがオーバーフローに近付いた場合にも、優先度を上げることができます。逆に、レジスタ設定によって各チャンネルの優先度設定をオーバーライドすることもできます。このオプションは、ホスト・マイクロコントローラがあるチャンネルを他のチャンネルより優先させたい場合に有用です。

レイテンシ要件が非常に緩い通信チャンネルには、低優先度設定（優先度 = 0）を使用できます。これらの低優先度パケットは、より高い優先度の要求が保留されている場合には、スケジューラで処理されません。このような調整が行われると、ビデオに対するリンク帯域幅の割り当てが理論上の最大値に達する可能性があります。この場合、低優先度のパケットは、ビデオ・チャンネルの帯域幅使用量が大幅に低下するビデオ水平ブランキング期間中に送信されます。

コントロール・チャンネルの CRC 生成およびチェック

あらゆるパケット（アイドル・パケットとアクノリッジ・パケットを除く）は、16 ビットのパケット CRC によって保護できます。パケットの種類ごとに、パケット CRC を有効または無効にするよう個別に設定できます。デフォルトでは、I^2C、UART、SPI、または GPIO のデータを搬送する全てのコントロール・チャンネル・パケットにパケット CRC があります。順方向コントロール・チャンネルの場合は、リンクを介してデシリアライザに伝送される各コントロール・チャンネル・パケットに対して CRC が生成されます。デシリアライザでは、パケットの内容に基づいて CRC が計算され、受信した CRC と比較されます。不一致の場合、パケットが自動的に再送信されます。同様に、逆方向チャンネルの場合、CRC はデシリアライザで生成され、シリアライザでチェックされます。不一致があると、コントロール・チャンネル・パケットが自動的に再送信されます。

GPIO の場合、リンクを介して送信される各パケットは、GPIO の遷移とそのルーティング情報を表します。したがって、遷移があるごとに、16 ビットの CRC がリンクを介して伝送され、帯域幅の消費が増加します。

なお、アクノリッジ・パケットにはデータが含まれず、ヘッダが繰り返されるため、CRC は不要です。16 ビットのパケット CRC ジェネレータの多項式は、$x^{16} + x^{15} + x^2 + 1$ です。

シリアル・ペリフェラル・インターフェース（SPI）

MAX96792A には 1 つの SPI ブリッジが内蔵されており、これによって GMSL3 リンクの一方の側のホスト SPI メインが、反対側のペリフェラル SPI セカンダリを制御できます。通信は、GMSL リンクのどちらの方向でも可能です。

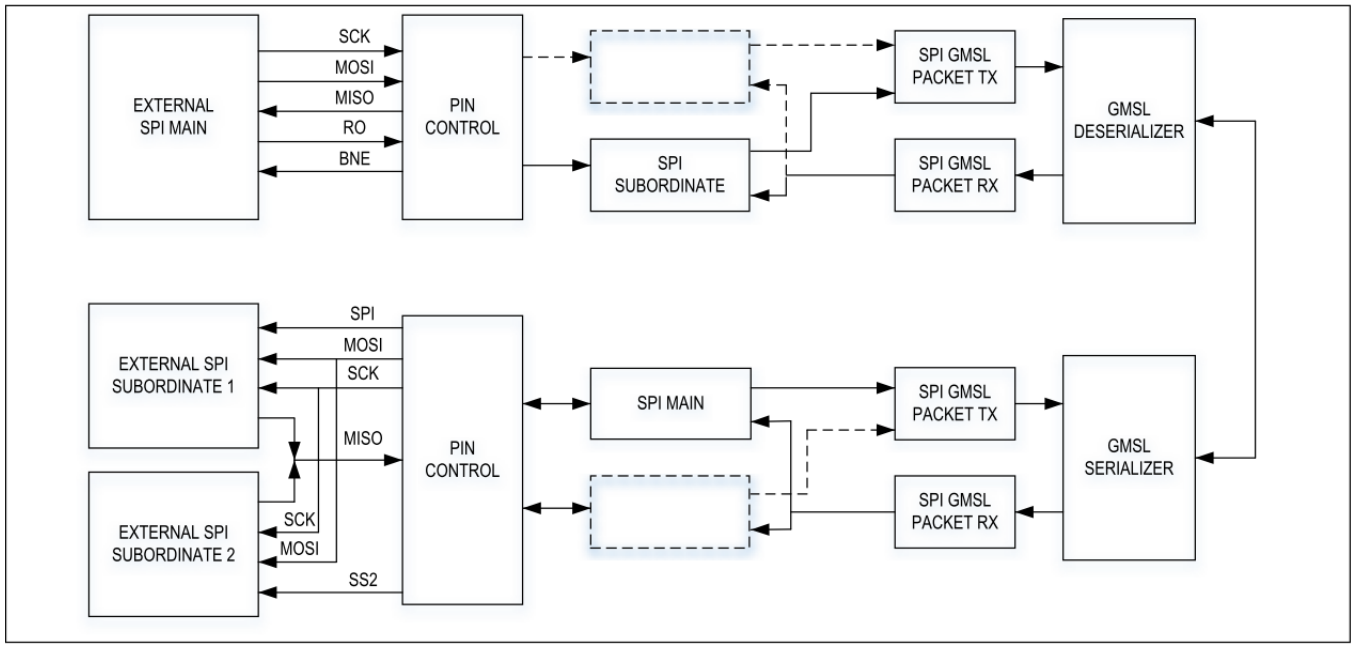


図 32. SPI ブリッジ

CSI-2 出力インターフェース

レーン構成およびデータ・レート

ビデオ・データは、単一方向 MIPI CSI-2 v1.3 出力ポートに出力されます。各ポートは、D-PHY v1.2 または C-PHY v1.0 のいずれかを用いるように設定できます。インターフェースは高い柔軟性を備えています。D-PHY として設定した場合、各インターフェースは 1 本、2 本、3 本、または 4 本の差動レーンをサポートします。各ポートで最大 4 本のレーンがサポートされるのは、デバイスが 1 ポートまたは 2 ポート構成になっている場合です。C-PHY として設定した場合、各ポートは 1 本または 2 本のレーン／トリオをサポートします。PCB のレイアウトを容易にするために、使用するレーンの数に関係なく、レーンの入れ替えがサポートされています。例えば、デバイスが 1 本のレーンを有効にするように設定されている場合、そのレーンは、そのポート内で使用できる 4 本のうちのどのレーンにすることもできます。2 本のレーンが有効になっている場合は、ポート内のどの 2 本のレーンにしても構いません。1 本のレーン内でのレーン極性の入れ替えもサポートされています。

CSI-2 仮想チャンネルおよびデータ・タイプのインターリーブ

このデバイスは、CSI-2 v2.0 で導入された仮想チャンネル拡張（VCX）を含む仮想チャンネルをサポートしており、最大 16 個の仮想チャンネルに対応できます。

ビデオ PRBS ジェネレータ／チェッカ

GMSL3 デバイスは、ビデオ・リンクのテスト用にビデオ PRBS ジェネレータ／チェッカを内蔵しています。例えば、シリアライザの PRBS ジェネレータは、デシリアライザの PRBS チェッカと併用して、2 つのデバイスを接続する GMSL2 ビデオ・チャンネルをテストできます。この場合、MAX96792A の PRBS チェッカ機能は、受信した PRBS ストリームを予測される PRBS データと比較して、エラーを判定します。

MAX96792A はビデオ PRBS ジェネレータ機能も搭載しており、MAX96792A の CSI-2 出力を介してビデオを受信する下流のビデオ・デバイスをテストできます。これには、CSI と GMSL のビデオ経路を同時にテストするループバック構成で接続された GMSL シリアライザが含まれます。

なお、リンク帯域幅はビデオ・チャンネルだけで使用されているわけではありません。そのため、ビデオ PRBS エラーの原因とはならないビット・エラーがリンク上に存在する可能性があります。

ビデオ PRBS テストを実行するには、まず送信側で PRBS ジェネレータを有効にし、次に受信側でチェッカを有効にします。PRBS チェッカは、受信した PRBS パターンに自動的に同期します。数サイクル以内に同期できない場合は、チェッカは PRBS_FAIL レジスタをアサートします。PRBS テストを停止するには、まず、受信側でチェッカをオフにし、次に、送信側でジェネレータをオフにします。

PRBS エラーは、デシリアライザ側の VPRBS_ERR レジスタから読み出すことができます。PRBS エラーが発生すると、デフォルトではデシリアライザの ERRB ピンがローになります（VPRBS_ERR_OEN および VPRBS_ERR_FLAG の各レジスタ・ビットを参照）。

なお、ビデオ・チャンネルはリンク帯域幅を共有しています。そのため、ビデオ PRBS エラーの原因とはならないビット・エラーがリンク上に存在する可能性があります。

MIPI CSI-2 出力の未加工 PRBS ジェネレータ

MAX96792A は、HS 送信モードで各 C/D-PHY 出力レーンから PRBS 出力ストリームを直接生成することによって、MIPI PHY の特性評価を容易に行えるようにします。利用可能なパターンは、PRBS9、PRBS11、PRBS18 であり、それによって得られる出力データは、CSI-2 コントローラによるパケット化が行われていない連続ストリームとなります。

レーン・デスキュー

本デバイスの CSI-2 インターフェースは D-PHY を使用するよう設定されており、ビット伝送レートが 1.5Gbps/レーン以上の場合、CSI-2 トランスミッタからデスキュー・パターンを送信することによってレーン間デスキューをサポートします。データ・レートが 1.5Gbps/レーン未満の場合は、デスキューはオプションです。デスキューをオンにするには、MIPI PHY ごとに DESKEW_INIT レジスタおよび DESKEW_PER レジスタを設定する必要があります。レーン・デスキュー機能の設定の詳細については、GMSL2 ユーザ・ガイドを参照してください。

最小ブランキング

CSI-2 のシリアライザおよびデシリアライザに必要な最小水平ブランキング期間は、40 ピクセルまたは 300ns + 370UI（UI は CSI-2 レーン・レートの周期として定義）のいずれか大きい方です。ほとんどの場合、40 ピクセルの方が大きな値です。最小垂直ブランキング期間は 1 ビデオ・ラインです。最小垂直フロント・ポーチは 1 ビデオ・ラインです。推奨する垂直バック・ポーチは 1 ビデオ・ラインです。

ピクセル・モードでの最小垂直バック・ポーチは、次のうちいずれか大きい方です。

- 40 ピクセル
- 300ns + 370UI

トンネル・モードでの最小垂直バック・ポーチは、次のうち最も大きい値です。

- 40 ピクセル
- 200 PCLK 周期 + 233ns、ここで PCLK は、合計 MIPI データ・レート/24
- 300ns + 370UI

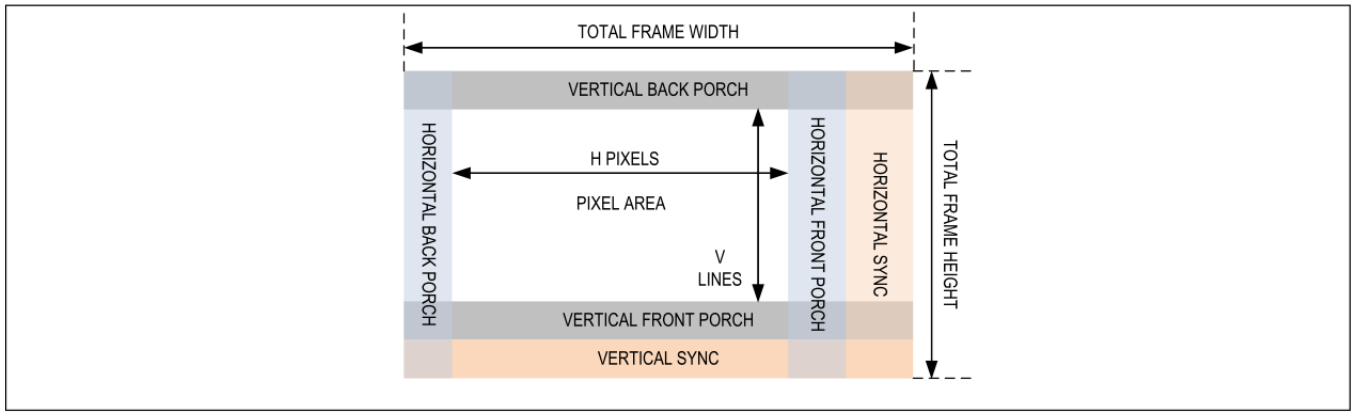


図 33. ビデオ・タイミング

MIPI のエンド to エンドのパケット間隔

トンネル・モードでは、ライン CRC エラー・フラグが誤って立たないように、タイミング要件を満たさなくてはなりません。図 34 は、エンド to エンドのパケット間隔（L1、L2、...LN、LE、LS）が 200 x PCLK サイクル + 233ns 以上でなくてはならないことを示しています（PCLK は合計 MIPI データレート/24）。この制限は通常、フレームの最後のロング・データ・パケットに続くライン・エンド・ショート・パケットに関して問題となります。代替策として、ライン CRC チェックを無効にして、MIPI CSI-2 パケットの CRC に依拠する方法があります。この CRC は、エラーのないデータ受信を検証する有効な手段です。

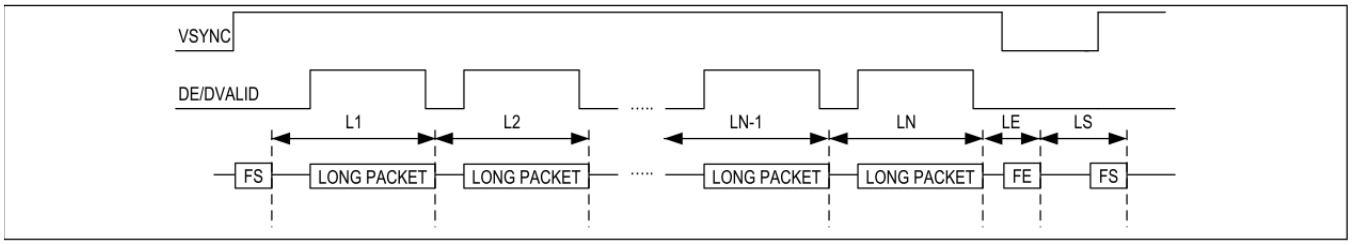


図 34. エンド to エンドのパケット間隔

パワーアップ時にラッチされる CFG ピン

パワーアップ時、またはリセット後、CFG ピンの電圧（分圧器によって設定）がサンプリングされます。サンプリングされたレベルは、特定のレジスタの初期値を設定するために用いられます。

表 12. CFG0 の入力マップ

CFG0 INPUT VOLTAGE SPECIFICATION (Notes a, b) (% of V_{DDIO})			SUGGESTED RESISTOR VALUES (1% TOLERANCE) (Note c)		MAPPED CONFIGURATION (Note d, e)	
MIN	TYP	MAX	R1 (Ω)	R2 (Ω)	I2CSEL	DEVICE ADDRESS
0.0%	0.0%	11.7%	OPEN	10k	I^2C	0x50
16.9%	20.2%	23.6%	80.6k	20.5k		0x54
28.8%	31.2%	35.5%	68.1k	32.4k		0x98
40.7%	44.0%	47.4%	56.2k	44.2k		0xD4
52.6%	56.0%	59.3%	44.2k	56.2k	UART	0xD4
64.5%	67.9%	71.2%	32.4k	68.1k		0x98
76.4%	79.8%	83.1%	20.5k	80.6k		0x54
88.3%	100%	100%	10k	OPEN		0x50

Note a: 抵抗分圧器の抵抗の公差、V_{DDIO} 電源リップル、外部負荷が原因となって CFG0 の入力電圧が上限値または下限値から外れることのないようにしてください。

Note b: CFG0 の入力抵抗分圧器を除き、CFG0 の負荷は 25 × (R1 + R2)以上であることが必要です。

Note c: 分圧器の各抵抗は、100kΩ 以下であることが必要です。

Note d: I2CSEL：SDA_RX および SCL_TX 用の I^2C インターフェースまたは UART インターフェースの選択。

Note e: このアドレスが選択された場合、両方のシリアル入力が自動的に有効化されます。必要に応じてパワーアップ後に単一のシリアル入力を設定することができます。

表 13. CFG1 の入力マップ

SPECIFICATION (Notes a, b) (% of V_{DDIO})			SUGGESTED RESISTOR VALUES (1% TOLERANCE) (Note c)		MAPPED CONFIGURATION			
MIN	TYP	MAX	R1 (Ω)	R2 (Ω)	COAX OR TWISTED PAIR	DATA RATE [Gbps]	FORWARD CHANNEL MODULATION	TUNNEL/ PIXEL MODE
0.0%	0.0%	11.7%	OPEN	10k	STP	6	NRZ	Tunnel
16.9%	20.2%	23.6%	80.6k	20.5k		12	PAM4	
28.8%	32.1%	35.5%	68.1k	32.4k		3	NRZ	Pixel
40.7%	44.0%	47.4%	56.2k	44.2k		6		
52.6%	56.0%	59.3%	44.2k	56.2k	COAX	6		Tunnel
64.5%	67.95%	71.2%	32.4k	68.1k		12	PAM4	
76.4%	79.8%	83.1%	20.5k	80.6k		3	NRZ	Pixel

表 13. CFG1 の入力マップ（続き）

SPECIFICATION (Notes a, b) (% of V_{DDIO})			SUGGESTED RESISTOR VALUES (1% TOLERANCE) (Note c)		MAPPED CONFIGURATION			
88.3%	100%	100%	10k	OPEN		6		

Note a: 抵抗分圧器の抵抗の公差、V_{DDIO} 電源リップル、外部負荷が原因となって CFG1 の入力電圧が上限値または下限値から外れることのないようにしてください。

Note b: CFG1 の入力抵抗分圧器を除き、CFG1 の負荷は 25 × (R1 + R2)以上であることが必要です。

Note c: 分圧器の各抵抗は、100kΩ以下であることが必要です。

MFP の機能マップおよびスルー設定

SPI やパススルーI²C/UART などのサイド・チャンネル機能は、多機能ピンをプログラムすることによって有効化されます。各 MFP には、使用可能な機能が複数ありますが、一度に使用できるのは 1 つだけです。

一部の機能では 1 つの MFP のみを必要としますが、ほとんどの機能は複数の MFP にまたがって実装されています。例えば、LOCK は 1 つの MFP であるのに対し、SPI は複数のピンを必要とします。該当のレジスタをプログラムすることで、使用事例ごとに適した MFP 機能を選択できます。

ピンの説明の表に、各 MFP のデフォルト機能と代替機能を記載しています。表 14 でも、左から右へ優先度順に記載しており、最も優先度の高いものが左端に配置されています。優先度の低い機能を有効化する際は、優先度の高い機能を無効にしてください。どちらもレジスタ書込みによって行います。

各 MFP には、表 15 に示すように、遷移時間を設定するプログラム可能なスルー設定があります。スルー設定値のうち I²C として記載されているものは、パススルーI²C が有効化されているときにパススルーI²C ピンに適用されます。表 14 のピン・スルーのデフォルト値は、MFP の通常のアプリケーション要件に適合します。遷移時間が固定されている I²C/UART 機能と GPI/ODO 機能を除き、各速度グループの遷移時間は、レジスタをプログラムすることによってデフォルト値から変更できます。

遷移時間は、その設定と V_{DDIO} 電源電圧に依存します。代表的な遷移時間については、表 15 を参照してください。

表 14. MFP ピンの機能マップ

PIN	LATCH ON POWER-UP	I²C/UART	SPI	OTHER FUNCTIONS	GPIO	POWER-UP DEFAULT	PIN SLEW DEFAULT (BINARY)
MFP0		SDA1_RX1, SDA2_RX2	SCLK	FSYNC_OUT, VS2, DE2/ DV2, MS	GPIO0	GPI (1MΩ to GND)	10
MFP1		SCL1_TX1, SCL2_TX2		LOCK	GPIO1	LOCK (ODO, 40kΩ to V_{DDIO})	11
MFP2	CFG0		BNE, SS1		GPO2	DISABLED (Hi-Z)	11
MFP3	CFG1		SS2	VS1, DE1/DV1	GPO3	DISABLED (Hi-Z)	11
MFP4			RO(Alt)	ERRB	GPIO4	ERRB (ODO, 40kΩ to V_{DDIO})	11
MFP5		SDA1_RX1, SDA2_RX2	MOSI	LOCK(Alt)	GPIO5	RX1 (40kΩ to V_{DDIO})	10
MFP6		SCL1_TX1, SCL2_TX2	MISO		GPIO6	TX1 (40kΩ to V_{DDIO})	10
MFP7			RO	LMN0	GPI7	GPI7 (1MΩ to GND)	NA

表 14. MFP ピンの機能マップ（続き）

PIN	LATCH ON POWER-UP	I²C/UART	SPI	OTHER FUNCTIONS	GPIO	POWER-UP DEFAULT	PIN SLEW DEFAULT (BINARY)
MFP8				LMN1	GPI8	GPI8 (1MΩ to GND)	NA
MFP9				LMN2	GPI9	GPI9 (1MΩ to GND)	NA
MFP10				LMN3	GPI10	GPI10 (1MΩ to GND)	NA
MFP11		SDA_RX			GPI11_ODO11	SDA or RX (ODO, 40kΩ to V_{DDIO})	NA
MFP12		SCL_TX			GPI12_ODO12	SCL or TX (ODO, 40kΩ to V_{DDIO})	NA

パワーダウン状態では、全ての MFP ピンは高インピーダンスです。

スリープ・モードでは、全ての MFP の IO はラッチされます。

高インピーダンス：1MΩ のプルアップ／プルダウンが無効化され、入出力は無効化されます。

ラッチ：スリープ・モードに移行する前の入力値は、スリープ・モード中もパワーアップ・モードに復帰した後もラッチされたままになります。

ODO = オープン・ドレイン出力。

表 15. コントロール・チャンネルとサイド・チャンネルの代表的な立上がりおよび立下がり時間

PIN SLEW	RISE TIME (ns) (20% to 80%), C_L = 10pF		FALL TIME (ns) (80% to 20%), C_L = 10pF	
	V_{DDIO} = 1.8V	V_{DDIO} = 3.3V	V_{DDIO} = 1.8V	V_{DDIO} = 3.3V
00	1.0	0.6	0.8	0.5
01	2.1	1.1	2.0	1.1
10	4.0	2.3	4.3	2.3
11	9.0	5.0	10.0	5.0
I²C	NA	NA	40	30

MFP ピンの等価回路

一般に、MFP ピンは全て、プログラム可能な高速 GPIO またはプログラム可能な I²C/ODO GPIO に分類されます。等価回路を図 35 および図 36 に示します。

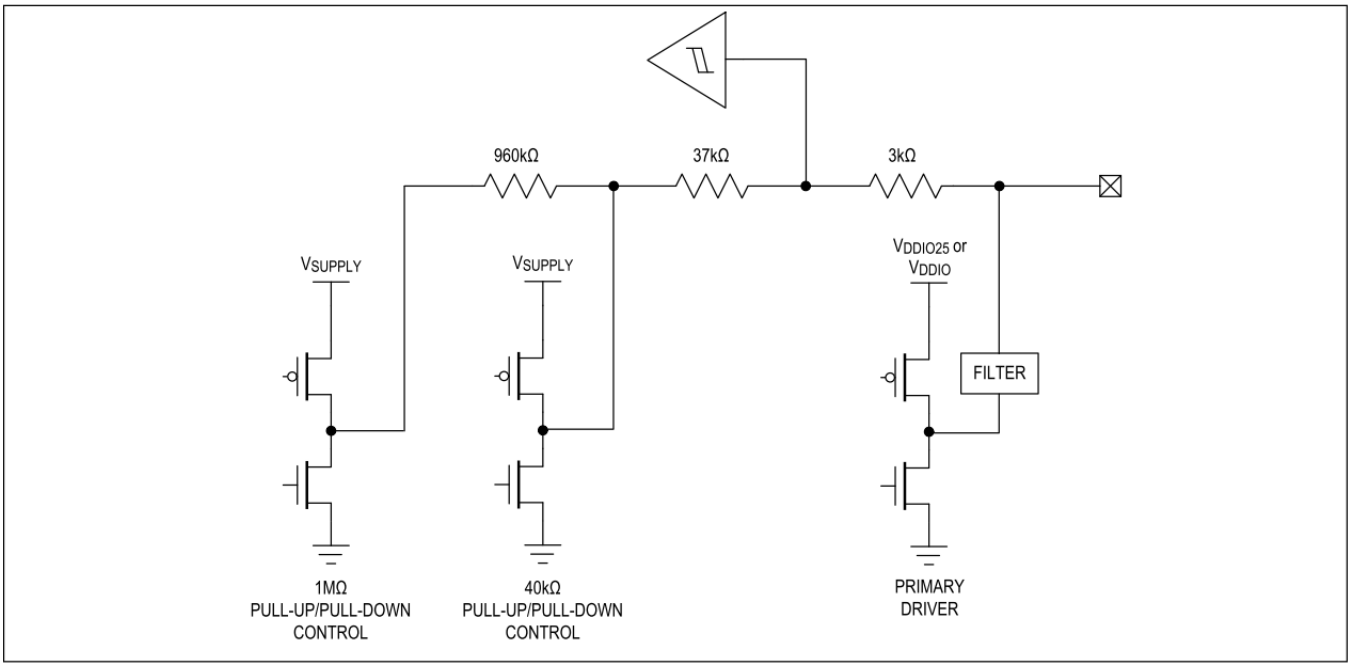


図 35. 標準的な高速 GPIO

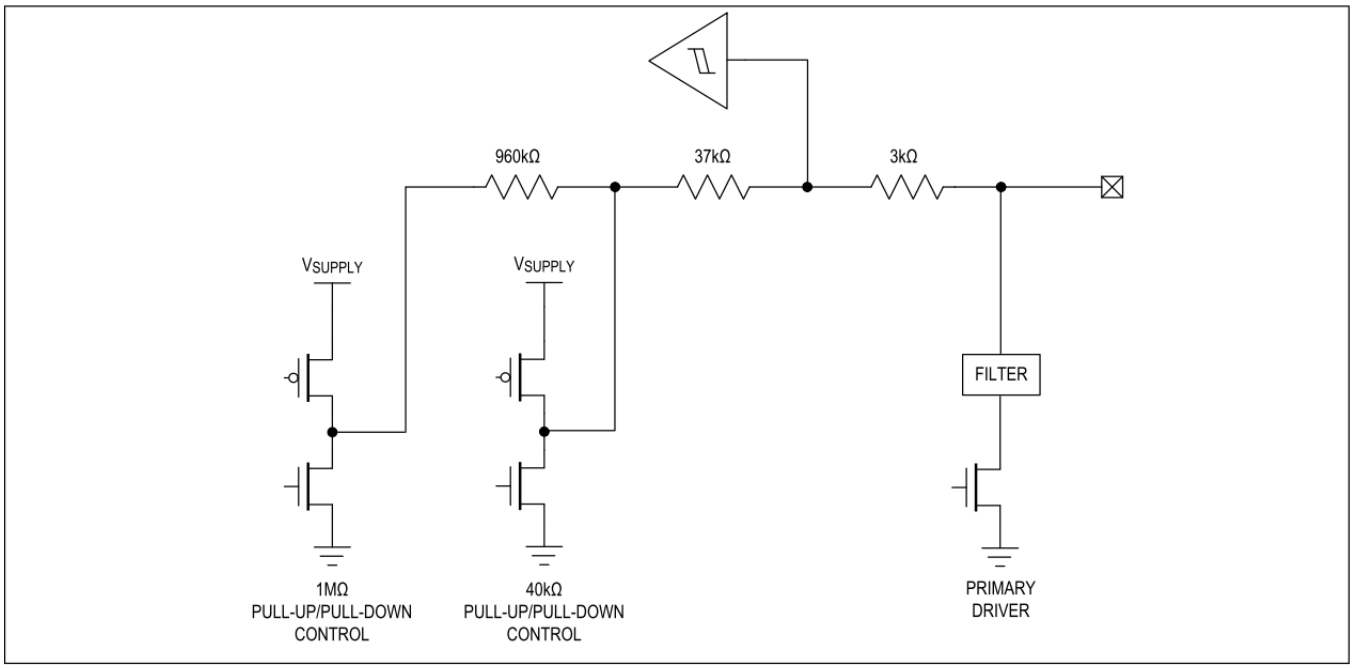


図 36. 標準的な I^2C GPIO

パワーアップとリンク開始

GMSL3 IC は、PWDNB ピンがローのとき、または、いずれかの電源が停止しているときには、パワーダウン・モードになります。レジスタおよび構成設定は、デフォルトのリセット状態になります。

シリアライザとデシリアライザは任意の順序でパワーアップできます。全ての電源がオンになり PWDNB が解除された後、各デバイスはそのパワーアップ・シーケンスを開始し、以下の動作を順次行います。

1. パワーアップ時に CFG ピンのレベルをラッチします。CFG0 ピンと CFG1 ピンで選択した設定に従って内部レジスタを設定します。
2. コントロール・チャンネル（I²C または UART）がローカル側で有効になります。デバイス・レジスタの書込みと読出しが可能になります。
3. 以下の設定に基づいてリンクが確立されます。
   a. シングル・リンク自動選択モード（AUTO_LINK = 1 かつ LINK_CFG = 1 または 2）：PHY A と PHY B を用いてハンドシェイクを定期的に試行することで、GMSL3 リンクを確立するための PHY を自動的に選択します。
   b. シングル・リンク手動選択モード（AUTO_LINK = 1 かつ LINK_CFG = 1 または 2）：PHY A を用いてリンクを確立するには、LINK_EN_B を 0 に設定し、LINK_EN_A を 1 に保持します。PHY B を用いてリンクを確立するには、LINK_EN_A を 0 に設定し、LINK_EN_B を 1 に保持します。
   c. リバース・スプリッタ・モード。リンク A とリンク B（AUTO_LINK = 1 かつ LINK_CFG = 3）が選択されます。このモードでは、デシリアライザ内の両リンクからのデータを集約し、1 つまたは 2 つの MIPI 出力ポートに出力します。
4. 有効化された各 PHY がリンクのキャリブレーション、イコライザのアダプテーション、データ・チャンネルのロックを実行します。どちらのデバイスもそれぞれの LOCK ピンをハイに設定します。
5. コントロール・チャンネルはリモート側から使用可能です。

最後のデバイスの PWDNB 入力がハイにされてから、リンクアップ・プロセス全体が完了するまでの時間は、GMSL3 チャンネル仕様に適合する全てのチャンネルにおいて約 65ms（代表値）です。

デバイスがリンクされた後、デバイスを設定できます。これは、ローカルで、あるいは、シリアライザまたはデシリアライザのいずれかの側のマイクロコントローラによってコントロール・チャンネルを介して行うことができます。

デバイス・リセット

以下の 3 通りの汎用リセット・オプションがレジスタ書込みを介して使用可能です。

1. RESET_ALL は、全てのレジスタ、デジタル・ブロック、アナログ・ブロックを含む、全てのブロックをリセットします。このプロセスは、PWDNB ピンをローにしてからハイにするのと同じです。（注：スリープ・モードを使用している場合は、RESET_ALL は使用しないでください。RESET_ALL を使用すると、デバイスがスリープ・モードに戻ってしまうためです。）
2. RESET_LINK をセットすると、全ての GMSL PHY 関連のデジタル・ロジックとデータ・パイプラインがリセットされます。このビットがセットされた後も、ローカル・コントロール・チャンネルを通じて、全てのコントロール・レジスタに引き続きアクセス可能で、コントロール・レジスタの値は保持されます。RESET_LINK がクリアされるまで、リンクとデータ・パイプラインはリセット状態のままになります。
3. RESET_ONESHOT は、全ての GMSL PHY 関連のデジタル・ロジックとデータ・パイプラインをリセットし、その後自動的に自己クリアします。これは RESET_LINK をセットしてクリアするのと同じです。

GMSL リンクの動作に影響するレジスタ（TX_RATE、RX_RATE、CXTP_A/B、AUTO_LINK、LINK_CFG、GMSL2）を最初に設定し、次いで RESET_ONESHOT を設定します。あるいは、RESET_LINK = 1 のときにこれらのレジスタを設定し、次いで RESET_LINK = 0 にします。LINK_CFG = 3 に設定するのは特殊なケースであり、LINK_CFG = 3 と RESET_ONESHOT = 1 を同じレジスタ・バイト書込みで設定する必要があります。

リンクおよびビデオのロック

リンクのロック

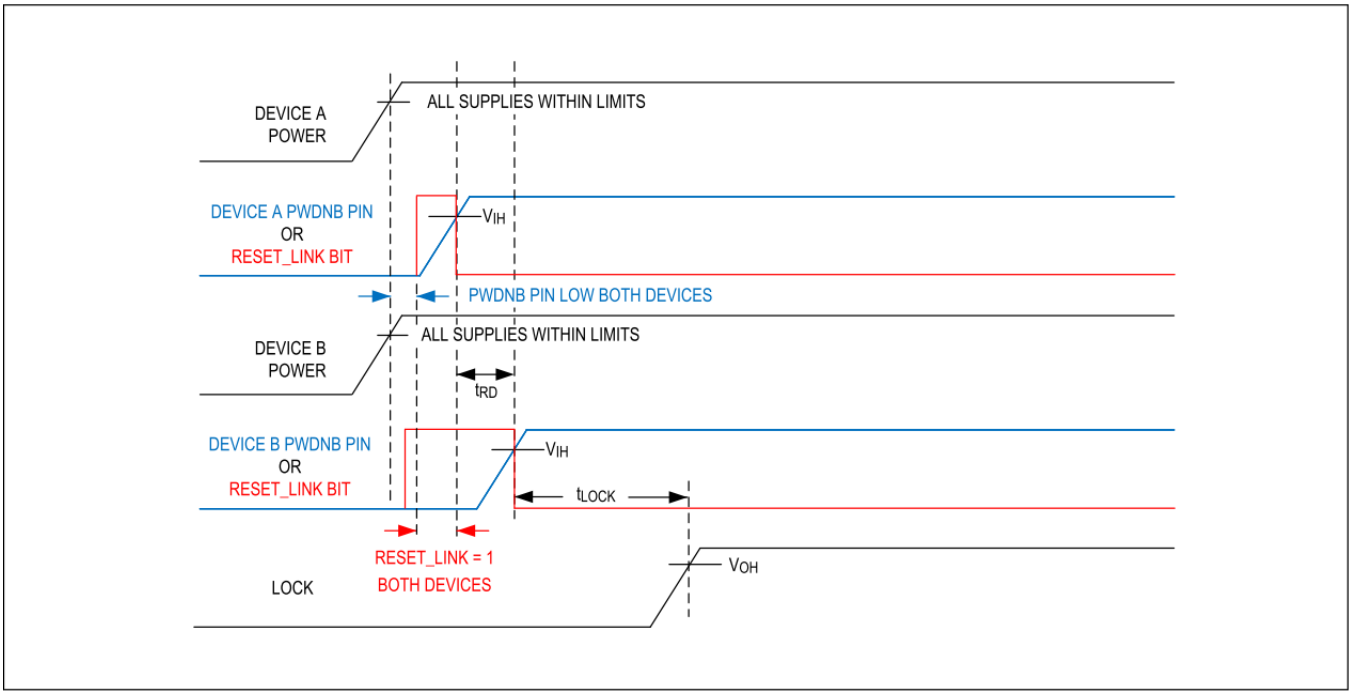


図 37. GMSL2 のロック時間

図 37 には、GMSL2 リンクのロック時間の特性を評価するために用いるシーケンスを示します。デバイス A は、パワーアップする、あるいは RESET_LINK 状態から動作を再開する、最初のデバイス（シリアライザおよびデシリアライザ）です。デバイス B は、GMSL リンクの他端にあるデバイス（デシリアライザまたはシリアライザ）です。

リンクのロックは、データの受信経路（デシリアライザの順方向チャンネル、シリアライザの逆方向チャンネル）がロックされていることを表します。ビデオ・チャンネルおよびコントロール・チャンネルの機能（I²C/UART、SPI、GPIO、オーディオ）は、リンクのロックがアサートされた直後に使用できます。

デバイスは、パワーアップに続いて、シングル・リンクの GMSL2 接続とリンク・ロックを自動的に確立します。これは、ケーブルが接続されており、システムが立上がって動作していることを示すものです。ロックは、マイクロコントローラと GMSL デバイスの間のインタラクションを必要とせずに行われます。シリアライザとデシリアライザのどちらにも、オープン・ドレインの LOCK 出力ピンと関連するステータス・レジスタがあります。

デュアル・リンクおよびスプリッタ構成では、ユーザによる追加設定が必要です。これらの構成を有効化し、ロック時間を最適化するためのガイダンスについては、アナログ・デバイセズにお問い合わせください。

GMSL2 リンクはリファレンス・クロックとして水晶振動子を使用するため、有効なビデオ入力（PCLK）がなくてもロックできます。

注：

1. ロック・シーケンスは、シリアライザとデシリアライザのいずれかで PWDNB ピンまたは RESET_LINK ビットが解除されることによって開始されます。
2. ロック時間は、シリアライザとデシリアライザのどちらかでの PWDNB の解除あるいは RESET_LINK の解除のうち遅い方から LOCK がアサートされるまでの時間として測定されます。
3. ロック・プロセスの開始前に両方のデバイスが PWDNB/RESET_LINK モードになっている場合は、リンク両端の PWDNB/RESET_LINK 状態が一定時間重なっている必要があります。
4. RESET_LINK を使用してロックを開始する場合は、PWDNB がパワーアップ後にハイになることが前提です（通常動作）。
5. PWDNB を使用してロックを開始する場合は、RESET_LINK がパワーアップ後にローになることが前提です（通常動作）。
6. デバイス A は、パワーアップされる最初のデバイス（シリアライザまたはデシリアライザ）です。デバイス B は、GMSL リンクの他端にあるデバイス（デシリアライザまたはシリアライザ）です。

7. 指定されたロック時間を実現するには、時間遅延 t_{RD}（2 つのデバイス間の PWDNB/RESET_LINK の解除の時間差）が 90ms 未満である必要があります。このタイミングが確保できない場合は、アナログ・デバイセズにお問い合わせください。
8. ロック時間と最大許容 t_{RD} は、GMSL デバイスのファミリによって異なります。これらは、シリアライザとデシリアライザの両方の特性に依存します。特定のリンクの代表的なロック時間は、各デバイスのデータシートで仕様規定されているロック時間の最も長い値として見積もるのが最善です。同様に、特定のリンクの最大許容 t_{RD} は、各デバイスのデータシートで仕様規定されている値の最小値として見積もることができます。更なるガイドについては、アナログ・デバイセズにお問い合わせください。
9. リンク・ロックが瞬間的に途切れた場合、ロックが失われた後に 100ms の時間を設けて、ECU によるリセットが発行される前にリンクが自動的に回復できるようにする必要があります。それによって、一時的な接続障害による影響を最小限に抑えることができます。

ビデオのロック

ビデオ・ロック・ビットは、デシリアライザが有効なビデオ・データを受信していることを示します。GMSL3 リンクがロックされた後、デシリアライザのビデオ出力 PLL がそのロック・シーケンスを開始します。デシリアライザは、シリアライザからビデオ・パケットを受信している場合、ライン・ロックをアサートしてから数ミリ秒後にビデオ・データの出力を開始します。通常は、ビデオ・ロック状態はレジスタから読み出されます。ただし、デシリアライザの LOCK ピンの動作はレジスタ設定によって変更可能であり、デシリアライザがビデオを出力しているときにのみ LOCK ピンがアサートされるようにすることができます。

エラーおよびフォルト状態の監視

MAX96792A デシリアライザには、オープン・ドレインの多目的エラー報告および割込みステータス出力が備わっています。アクティブ・ローの ERRB ピンは、多様なエラーおよびイベント・ステータス・インジケータの論理 OR によって駆動されます。各エラー条件が ERRB を駆動する機能は、レジスタ設定でマスク可能です。ERRB を駆動するエラーおよびイベントにはそれぞれ、レジスタのサブブロック内にステータス・フラグがあります。そのため、ERRB をアサートする理由を、レジスタ・ステータスを読み出すことで判定できます。シリアライザで発生したエラーはリンクを介して自動的に転送されるため、CSI-2 入力 CRC のような特定のシリアライザ・エラーは、MAX96792A の ERRB 出力によって自動的に通知されます。

以下に、参考となる要点を示します。

1. ERRB はデフォルトで有効になっています。
2. ERRB にはデフォルトで 40kΩ のプルアップが内蔵されています。
3. デバイスがパワーダウンした場合（PWDNB = 0 または低電圧）、ERRB は高インピーダンス状態に遷移します。
4. パワーダウン状態で ERRB がローになるためには、グランドへの外部プルダウンが必要です。

クロッキング

MAX96792A では、内部デバイス・クロックを生成するために、外部リファレンス・クロック源が必要です。外部電圧リファレンスは、±200ppm の精度を持つ 25MHz の水晶振動子または発振器とすることができます。

スペクトラム拡散クロッキング

スペクトラム拡散クロッキングを使用することで、デバイスから放射される電磁干渉を緩和できます。内部の 6GHz クロックを 25kHz のレートで鋸歯状プロファイルに従って変調し、周波数を±1250ppm の範囲で変動させることにより、クロック信号の鋭い周波数ピークを抑制します。

電源

MAX96792A の電源電圧は任意の順番で起動できます。内蔵のパワー・マネージメント・ブロックが、パワーアップ時の電源領域を管理します。

MAX96792A は柔軟な電源構成が可能です。

1V のコア電源は直接、あるいは内部低ドロップアウト（LDO）レギュレータを通じて供給できます。消費電力を最小限に抑えるために、1.0V±5%を V_{DD} に接続してください。V_{DD} < 1.1V かつ CAP_VDD < 1.05V の場合、レギュレータはパワーアップ時に自動的に無効化され、低抵抗スイッチによって V_{DD} が内部電源レールに接続されます。内部 LDO を用いる場合は、1.2V±5%を V_{DD} に接続し、パワーアップに続いてデバイス初期化の一部として REG_ENABLE = 1 と REG_MNL = 1 を順次書き込み、内部 LDO を有効化してください。

GPIO ピン用の V_{DDIO} 電源は 1.8V～3.3V とすることができるため、デバイスとのインターフェースに柔軟性を持たせることができます。許容できる電源電圧範囲は、1.7V（1.8V -5%）～3.6V（3.3V +9%）です。

V_{DD18} はアナログ電源です。1.8V±5%を接続してください。

V_{TERM} は D-PHY/C-PHY ドライバおよび終端の電源です。1.2V±5%を接続してください。

電源のランプアップ時間の推奨値は、20 μ s< ランプアップ時間 <2ms です。電源のランプアップは単調増加であることが必要です。電源電圧が最小定格値に達した後は、規定値を下回らないようにしなければなりません。

高周波回路を安定させるためには、全ての電源に適切なバイパスを施すことが不可欠です。表 3 を参照してください。電源の許容誤差およびノイズ要件については、表 2 を参照してください。電源の共用および電源デカップリングの最適化についてのガイドは、アナログ・デバイセズにお問い合わせください。

MAX96792A には広範な電源診断機能が備わっています。低電圧検出は全ての電源に対して行われます。V_{DD18} および V_{DDIO} の電源電圧における中程度の低電圧状態は、ERRB ピンを用いるか、電源低電圧フラグと対応するレジスタ・フィールドを読み出すことで検出できます。パワー・マネージャは V_{DD} 電源の低電圧状態を検出します。この低電圧状態はレジスタ設定を破損させ、リセットを引き起こす可能性があります。同じく、V_{DD18} あるいは V_{DDIO} が著しい低電圧状態となった場合も、リセットが発生します。リセットが発生した場合、電源が回復したときにデバイス設定はパワーアップ時のデフォルト状態に戻ります。また、ホスト・デバイスは、パワーオン時の初期化手順を開始して、デバイスを完全動作に戻す必要があります。

過電圧検出も全ての電源電圧に対して用意されています。低電圧イベントの場合と同様、過電圧状態は、専用の内部割込みフラグに加え、ERRB ピンでも報告されます。過電圧状態では、パワー・マネージャによる追加のアクションは行われず、デバイスは動作を続けます。ただし、過電圧イベントの継続時間と大きさによっては損傷を受ける可能性があります。

ERRB ピンを使って低電圧イベントの発生を伝達する場合は、ERRB ピンとグランドの間に 1MΩ の抵抗を外付けしてください。これは、ERRB がパワーアップ時のデフォルトの MFP 機能ではないためです。デフォルトの機能ではないので、低電圧イベントでリセットが発生した後、ERRB MFP ピンは（通常の ERRB の動作とは異なり）高インピーダンスに戻ります。エラー状態の間、ホスト・デバイスは ERRB がロジック・ローになることを期待しており、前述の抵抗があることでリセット後も適切なロジック・レベルが維持され、ホスト・デバイスに「注意が必要である」ことを警告することができます。

電源スタンバイ・モードとスリープ・モード

全ての GMSL3 製品には、パワー・マネージャ・ブロックがあります。その主な機能は、電源電圧をモニタし、パワーダウン（スタンバイ）モードとスリープ・モードを制御することです。

全ての電源がアクティブなときに低消費電力モードに入るには、PWDNB ピンをアサートするか、スリープ状態を引き起こすかの 2 つの方法があります。どちらの状態も電源電流が非常に少なくなります。

PWDNB ピン（アクティブ・ロー）をアサートすると、デバイスはパワーダウン（スタンバイ）モードになり、デジタル・レジスタおよび構成設定がデフォルトのパワーアップ状態にリセットされます。いずれかの電源電圧が内部スレッショルド設定値を下回った場合も、デバイスはパワーダウン・モードになります。

スリープ状態では、重要なレジスタの設定値と構成設定が保持されます。保持されるレジスタは、レジスタ表に詳述します。I^2C/UART コマンドを用いることで、デバイスをスリープ状態にすることができます。再開状態では、追加のレジスタ書込みを行わなくても、デバイスはスリープ前の状態に復元されます。再開は、I^2C コマンドによって、または、GMSL3 リンクを介してメイン・デバイスから送信された低周波数のクロック・ビーコンによって、行われます。なお、リンクの他端から受信した値によって設定された GPIO レベルは、スリープ・モードになった場合に保持されません。スリープ・モードに移行する前に、GPIO の受信を無効にし、GPIO の値を既知のレベルに設定してください。

PCB レイアウトの GMSL 用ガイドライン

最高の GMSL リンク性能を得るには、適切な回路基板設計手法が必要です。これには、4 層以上の基板を用いて、適切なグランド・プレーン基準、低い熱抵抗、DC 電源ピンのバイパス処理、PoC またはライン・フォルト設計、高速 GMSL 配線パターンのインピーダンス・マッチングを実現することが含まれます。

グランド・プレーン

切れ目のないグランド・プレーン（通常は第 2 層）が推奨されます。これにより、高速 GMSL 配線パターンや、GMSL 信号にノイズを結合させる恐れのある他の配線パターンや部品からの絶縁を確保することができます。また、このグランド・プレーンにより、インピーダンス・マッチングの取れた伝送線の設計を簡略化できます。更に、グランド・プレーンは、デバイスの露出パドルへの熱抵抗を低く抑えるためにも重要です。

高速 GMSL 配線パターン

最高の GMSL リンク性能を達成するには、適切な伝送線設計手法が必要です。特性インピーダンスは、目的のインピーダンス（シングルエンドでは 50Ω、差動では 100Ω）にほぼ一致する必要があります。不一致があると挿入損失が増加し、反射（リターン・ロスの悪化）の原因となります。推奨するレイアウトの実践例は以下のとおりです。

- 100 Ω の差動パターンまたは 50 Ω のシングルエンド・パターンのみを使用します。
- 高速配線パターンの長さを最小限に抑えます。
- 部品パッドを信号配線パターン上に直接配置してパッド・スタブを最小限に抑えます。
- 必要に応じてパッド下にグランドのカットアウトを使用します（パッドの 1.3 倍の面積）。
- コネクタなどの部品については、メーカーのレイアウト推奨事項に従います。
- 高速配線パターンは鋭角に曲げないようにしてください。
- SIOx ピンの 500mil 以内に AC カップリング・コンデンサを配置します。
- GMSL デバイスをシリアル・リンク・コネクタのできるだけ近くに配置し、挿入損失を最小限に抑えます。
- 高速配線パターンの近くで、ビアを用いてグランド層をつなぎ合わせます。

Power-over-Coax（PoC）のレイアウト

PoC 回路を使用する場合、GMSL の順方向および逆方向信号の負荷を最小限に抑えると同時に、電源までの DC 直列抵抗を低く抑える必要があります。PoC 回路は、バイアスティーとして機能することを想定しており、GMSL リンクの性能を最大限に発揮させるには以下のような適切なレイアウト手法を用いる必要があります。

- 最小の値のインダクタ（自己共振周波数が最大のもの）を GMSL 信号配線パターン上に配置します。
- 二番目に小さな値のインダクタを最小のインダクタの後段に配置します。
- 必要に応じ、最初の 2 つのインダクタと抵抗の下に、グランド・カットアウトを用います。図 38 を参照してください。
- 特にデシリアライザの場合、PoC はデバイスから 1/2 UI 以内に配置する必要があります。

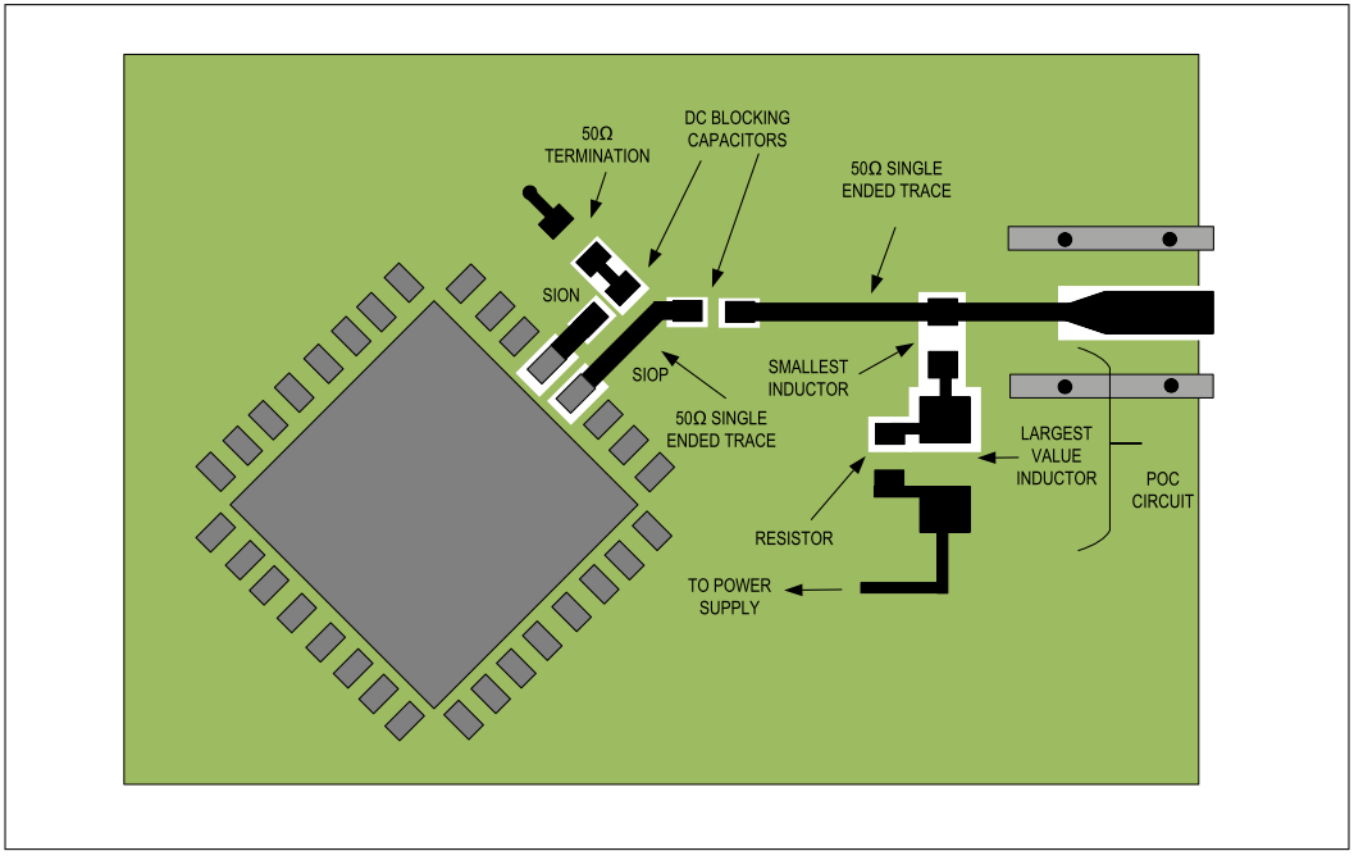


図 38. Coax PoC のレイアウト例

シールド・ツイスト・ペアのレイアウト

シールド・ツイスト・ペア（STP）の設計では、100Ω の差動インピーダンスを厳密に維持するために差動配線パターンが必要です。AC カップリング・コンデンサとライン・フォルト抵抗の下に、グランド・カットアウトを使用します。図 39 を参照してください。

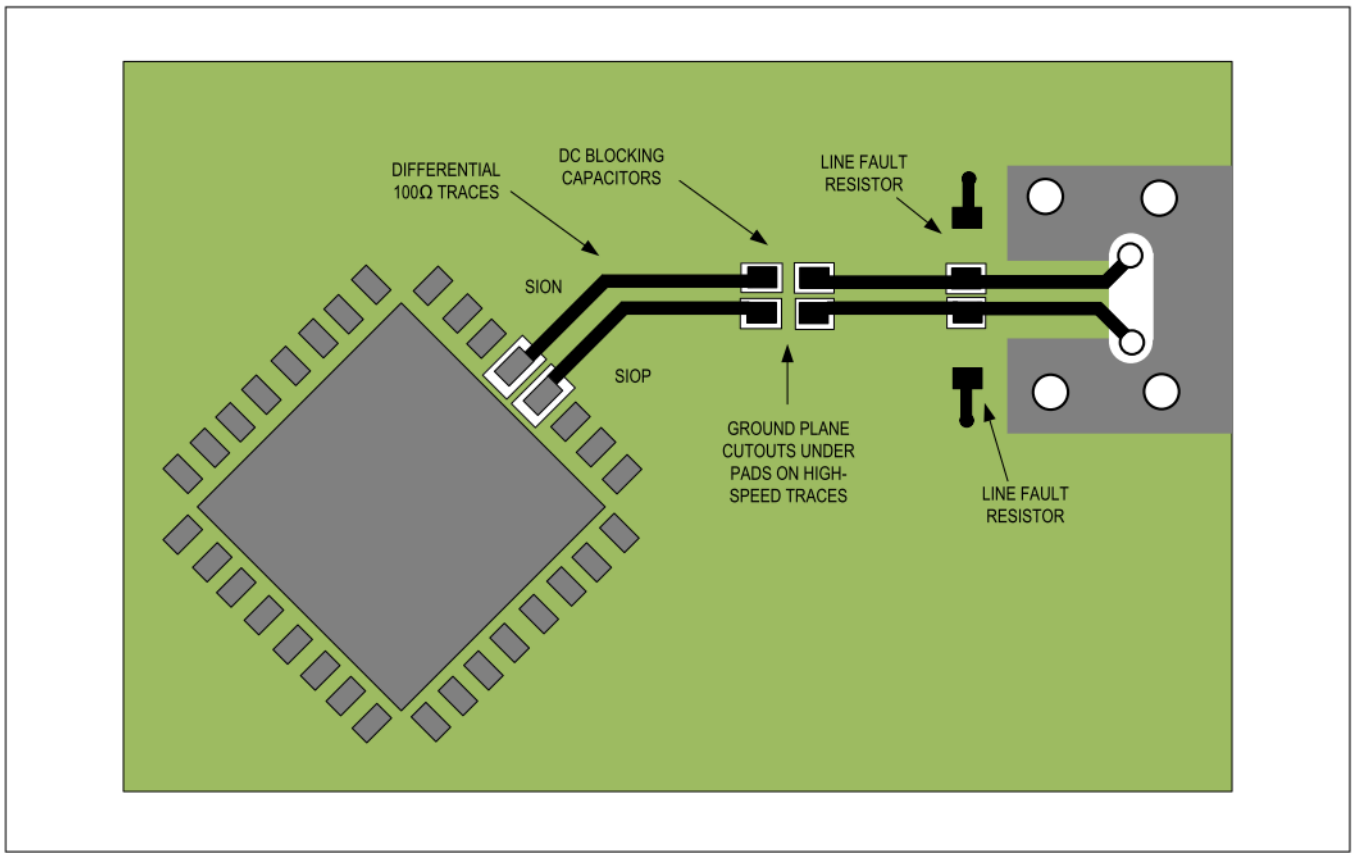


図 39. STP レイアウトの例

温度管理

GMSL3 デバイスの消費電力は、使用事例によって異なります。適切なボード設計と冷却設計手法により十分な放熱を確保するよう、注意が必要です。パッケージの露出パッドは、複数のビアによって PCB のグランド・プレーンに接続する必要があります。この方法により、電気的インピーダンスと熱抵抗を同時に最小化することができます。

システムの温度管理では、デバイスの信頼性に影響を与えることのないよう、動作ジャンクション温度を+125ºC 未満に保つ必要があります。

更なるガイダンスについては、Tutorial 4083 (www.analog.com/thermal-tutorial) を参照してください。

アプリケーション情報

ソフトウェア・プログラミング・モデル

アナログ・デバイセズのオートモーティブ・シリアライザおよびデシリアライザは、一般的なソフトウェア・プログラミング・モデルに従うよう設計されています。ASIL の安全対策や割込み処理などの、動作中のコントロール・チャンネルへのアクセスが必要な機能を除き、次のプログラミング・モデルを用いてください。

1. 影響を受ける機能ブロックを無効化またはリセット・モードに設定します。一般的に、デバイスを IDLE 状態にするには、まず全てのサイド・チャンネルおよびビデオ・トラフィックを停止し、その後、レジスタ書込み（RESET_LINK = 1）によって GMSL リンクを停止します。
2. 各機能の設定は、完全に設定してから有効化する必要があります。
3. RESET_LINK = 0 に設定することによってリンクを確立し、リンクがロックするまで待機します。
4. ビデオおよびサイド・チャンネルのトラフィックを開始します。

他の機能が動作している間に、ある機能の設定を変更する場合は、その機能を一旦無効化し、設定を変更してから再び有効化します。

プログラミング上の注意事項

必須のレジスタ設定

適切な動作を維持するには、以下のレジスタ書込みを行ってください。これらの書込みを行わないとデータシートに規定されたデバイスの動作はサポートされません。

デバイスを V_{DD} = 1.2V の条件で用いる場合、初期化時に以下のレジスタ書込みを実行します。

レジスタ 0x10 のビット[2]に 1 をセットします。
レジスタ 0x12 のビット[4]に 1 をセットします。

プライマリ I²C/UART のトンネル

デフォルトでは、プライマリ I²C/UART コントロール・チャンネルは、リモート側のデバイスと任意のペリフェラル接続にも送信されます。これにより、リンクのどちら側からも GMSL デバイスの制御が可能になります。複数メイン構成において、マイクロコントローラをシリアライザとデシリアライザの両方に接続する場合は、バス競合を防止するために、レジスタ設定によってリモートのコントロール・チャンネルを無効化してください。

コントロール・チャンネルのプログラミング

パワーアップ時、GMSL3 デバイスのレジスタは、プライマリ I²C/UART インターフェースを介してのみ、アクセスおよび設定が可能です。パススルーI²C/UART インターフェースはレジスタ制御によって有効化でき、デバイス・レジスタへアクセス可能になります。

従来の I²C/UART コントロール・チャンネルのプログラミング

ホストからペリフェラルへのプライマリ I²C およびパススルーI²C 通信

ホストとペリフェラルの間で通信を行う場合、メインとパススルーの I²C 動作は同じです。GMSL3 リンクを介したパススルーI²C は、ホストの I²C メインとペリフェラルの I²C セカンダリを接続します。これにより、別々の I²C バスが論理的に接続され、シリアル・リンクを介した I²C トランザクションを（多少の遅延を伴いながらも）同じ物理 I²C バス上で実行されたかのように行うことができます。GMSL3 のシリアライザとデシリアライザは中間デバイスであり、ホストの I²C メインは GMSL2 デバイスの I²C セカンダリに接続され、ペリフェラルの I²C セカンダリは、GMSL3 デバイスの I²C メインに接続されます。例えば、ホストの I²C メインがリンクの一方の側（ローカル側）でトランザクションを行った場合、データはローカル側の GMSL2 デバイスの I²C セカンダリによって、もう一方の側（リモート側）に転送されます。その後、リモート側の GMSL2 デバイスの I²C メインがデータを受信し、ペリフェラルのセカンダリ I²C に対して同じ I²C トランザクションを生成します。リモート側の GMSL3 デバイスは、ローカル側で期待される任意の I²C データを送り返します。なお、本デバイスは、パススルーI²C/UART チャンネル経由でリモート側のプライマリ I²C/UART コントロール・チャンネルにアクセスすることをサポートしていません。

I²C インターフェースは、クロック・ストレッチング（SCL をローに保持）を用いてメインとセカンダリ間のタイミング差を調整し、シリアル・リンクを介したデータの転送および受信に必要な時間を確保します。ローカル側の全ての I²C デバイスは、GMSL3 デバイスによるクロック・ストレッチングをサポートしなくてはなりません。リモート側の I²C デバイスは、クロック・ストレッチングをサポートする必要はありません。

SDA ラインと SCL ラインは、入力とオープン・ドレイン出力の両方として動作します。SDA と SCL にはプルアップ抵抗が必要です。

各転送は、メインが送る START 条件で始まり、デバイスの 7 ビット・セカンダリ・アドレスと R/W ビット、レジスタ・アドレス・バイト、1 つ以上のデータ・バイトが続き、最後に STOP 条件で終了します。

レジスタ・アドレスは 16 ビット幅です。1 バイトまたは複数バイトのデータの書込みまたは読出しが（アドレスのオートインクリメントによって）可能です。

I²C 書込みパケット・フォーマット

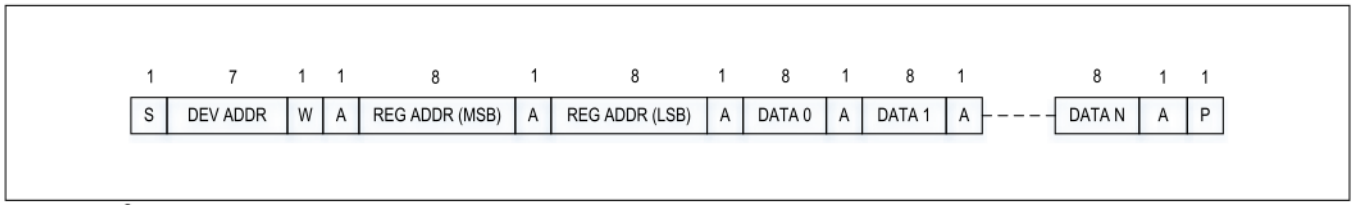


図 40. I²C 書込みパケット・フォーマット

I²C 読出しパケット・フォーマット

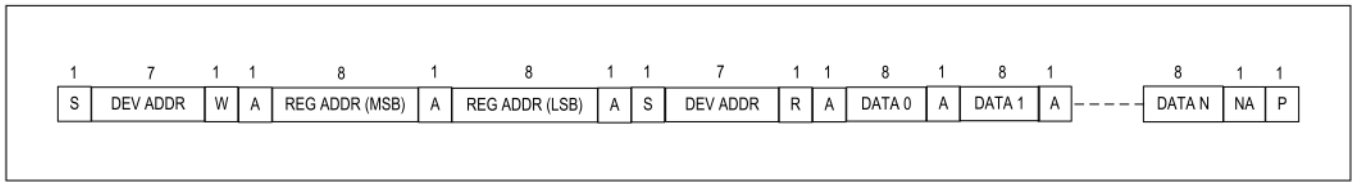


図 41. I²C 読出しパケット・フォーマット

プライマリ I²C のホストから GMSL2 デバイスへの通信

プライマリ I²C のメインは、GMSL3 シリアライザおよびデシリアライザのレジスタにアクセスできます。プライマリは GMSL3 デバイスのレジスタをプログラムして、パススルーI²C/UART インターフェースを I²C または UART に変更できます。

メイン UART

メイン I²C/UART が UART に設定されている場合、ベース・モードとバイパス・モードの 2 つの動作モードがあります。

UART ベース・モード

ベース・モードでは、マイクロコントローラはシリアライザおよびデシリアライザと通信を行い、これらのデバイスやペリフェラル・デバイスのレジスタにアクセスできます。ベース・モードは通常、パワーアップ時にデフォルトで有効化されます。ベース・モードでは、マイクロコントローラがホストであり、GMSL3 UART パケット・プロトコルを用いてリンクのどちらの側からも、シリアライザおよびデシリアライザの両方のレジスタにアクセスできます。マイクロコントローラは、UART パケットをシリアライザまたはデシリアライザに送ることで、リモート側のペリフェラルもプログラムできます。ベース・モードにおいて、マイクロコントローラは（INTTYPE レジスタの設定を通じて）UART ペリフェラルと通信します。このモードでのシリアライザおよびデシリアライザのデバイス・アドレスはプログラム可能です。ベース・モードでは、半 2 重 GMSL3 UART プロトコルを用いて、シリアライザ、デシリアライザ、ペリフェラルの各レジスタの書込みと読出しを行うことができます。ベース・モードはパワーアップ時にデフォルトで有効化されます。

図 42 に、ベース・モードでの書込みと読出しを行うための UART プロトコルを示します。

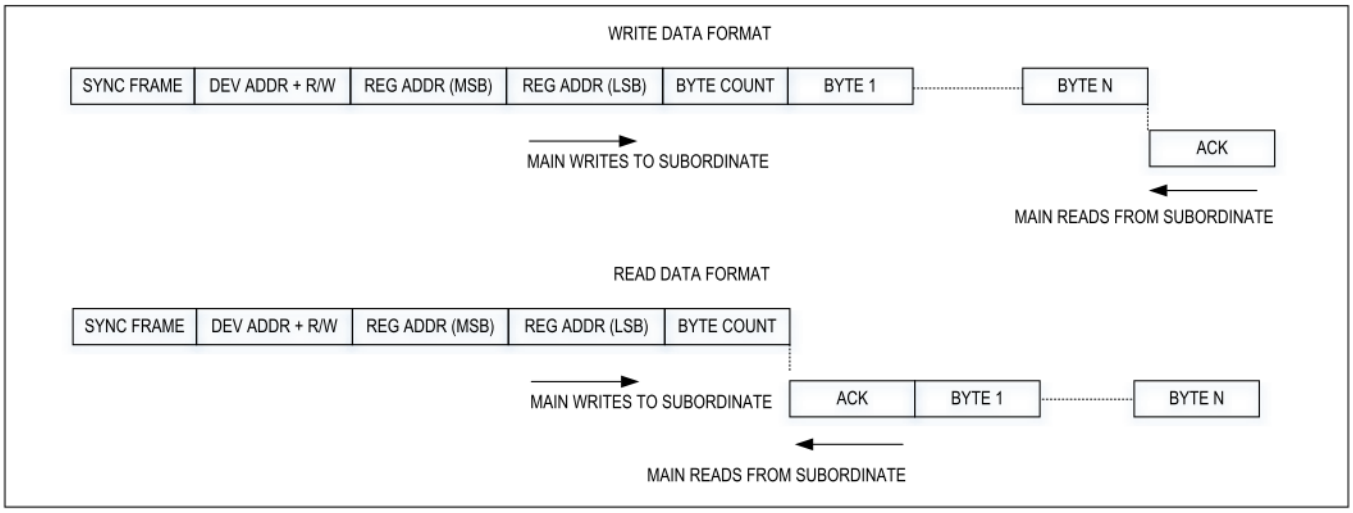


図 42. ベース・モードの UART プロトコル

UART バイパス・モード

バイパス・モードでは、シリアライザ／デシリアライザがマイクロコントローラからの UART コマンドを無視するため、マイクロコントローラは専用に定義された UART プロトコルを用いてペリフェラルとのみ通信します。このモードでは、マイクロコントローラはシリアライザ／デシリアライザのレジスタにはアクセスできません。UART の遷移は、単に GMSL3 リンクを介して送信されるだけです。UART トランザクションを無視することで、シリアライザおよびデシリアライザのレジスタへの意図しないプログラムミスを防ぐことができます。このモードでは、シリアライザおよびデシリアライザのデバイス・アドレスはプログラムできません。

UART ベース・モードと UART バイパス・モードの切り替え

ベース・モードとバイパス・モードを切り替えるには、BYPASS_TO レジスタをプログラムする方法とデバイスの MS ピンを用いる方法の 2 つがあります。

レジスタを通じてバイパス・モードを設定する場合、BYPASS_TO はタイムアウト用にプログラムされます（2ms、8ms、または 32ms）。バイパス・モードは、UART 動作がある場合にのみアクティブになります。選択したタイムアウトの間 UART の動作がない場合、どちらのデバイスもバイパス・モードを終了し、ビットは自動的にクリアされます。

UART バイパス・モードになっている場合、リンクのロックが失われるとランダムなデータが出力される可能性があります。この問題は、全ての初期デバイス・プログラミングが完了するまで UART バイパス・モードを有効化しないことによって回避できます。

MS ピンで設定する場合、ピンをハイ・レベルにするとデバイスはバイパス・モードになり、ロー・レベルにするとデバイスはベース・モードになります。MS はオンザフライで設定され、パワーアップ時にはラッチされません。

UART フレームのフォーマット

データを 1 バイトずつ搬送するために、偶数パリティ・ビットを持つ通常の UART フレームが用いられます。フレームは、ローのスタート・ビットに続き、8 つのデータ・ビット、1 つのパリティ・ビット、ハイのストップ・ビットで構成されます。8 ビットのデータに含まれる 1 の数が奇数であればパリティ・ビットはハイになり、偶数であればローになります。少なくとも 1 つのハイのストップ・ビットがなくてはなりません。次のフレームが同じパケットにある場合、ストップ・ビットの終了から次のスタート・ビットの開始までに挿入できるハイのビットは最大で 4 つです。なお、パリティ・ビット・エラーの場合、エラーのあるフレームから始まるパケットは破棄されます。各フレームの開始は常に、ハイからローへの遷移（つまり、ストップ・ビットがハイでスタート・ビットがロー）です。内部 UART ビット・クロックの位相は、各フレームのスタート・ビットを用いて調整されます。フレーマは、同期フレーム（UART パケットの伝送の最初のフレーム）を用いて、内部発振器のクロックを基準にして 1 UART ビットの長さをキャリブレーションします。バイパス・モードでは、パリティ・ビットはデフォルトで有効ですが、フレームのパリティ・エラー・チェックは行われません。偶数または奇数のどちらのパリティも使用できます。パリティ・ビットは UART データと共に送信され、データを受信する側がエラー・チェックを行わなくてはなりません。バイパス・モードに入る前にパリティ・ビットを無効にすることも可能です。なお、バイパス・モードのビット・レートは、ベース・モードで最後に使用したビット・レートと同じでなければなりません。図 43 を参照してください。

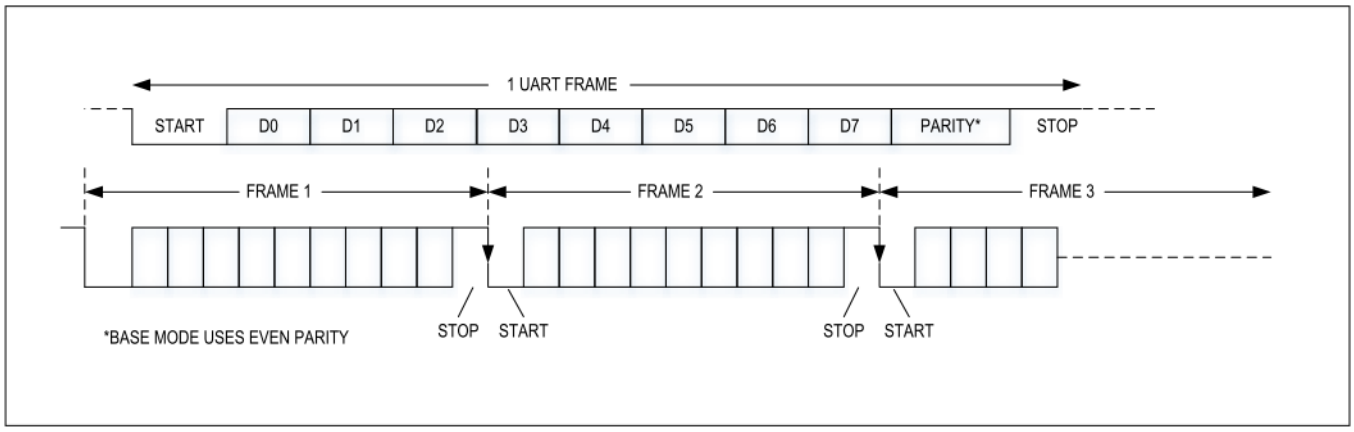


図 43. ベース・モードの UART データ・フォーマット

同期フレーム

UART フレームの適切な回復を行うために、シリアライザ／デシリアライザは、UART ビット・レートで内部ビット長カウンタをキャリブレーションする必要があります。マイクロコントローラは、同期フレーム（値 0x79 を持つ通常の UART フレーム）を各データ・パケットの最初のフレームとして送信します。同期フレームを用いることで、アドレス指定されたデバイスは、150MHz の内部クロックに基づいてビット長をキャリブレーションできます。パケットの後続フレームを正しく受信するには、同期フレームを正しく検出しておく必要があります。ラインが 32 ビット以上ハイ状態を維持すると、パケットの境界がリセットされ、フレーマは次の同期フレームの待機に入ります。図 44 を参照してください。

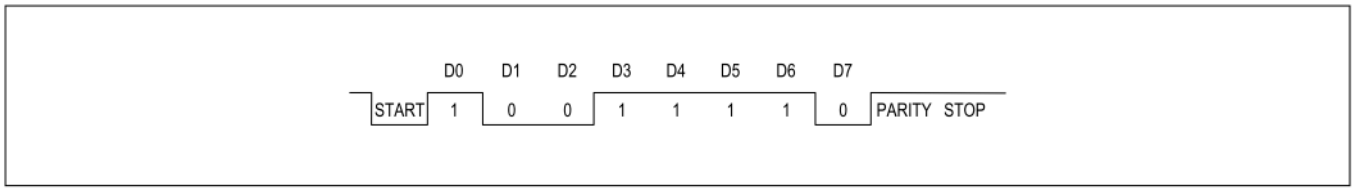


図 44. UART 同期フレーム

アクノリッジ・フレーム

パケットが正常に受信されると、アドレス指定されたデバイスはアクノリッジ・フレームで応答し、送信パケットにエラーが検出されないことをマイクロコントローラに通知します。アクノリッジ・フレームが送信されるのは、有効なパケットの最後のビットが受信された後です。アクノリッジ・フレームは通常の UART フレーム（値 0xC3）です。シリアライザ／デシリアライザのレジスタにデータを書き込んでも、アクノリッジ・バイトが送信されるまでは有効になりません。図 45 を参照してください。

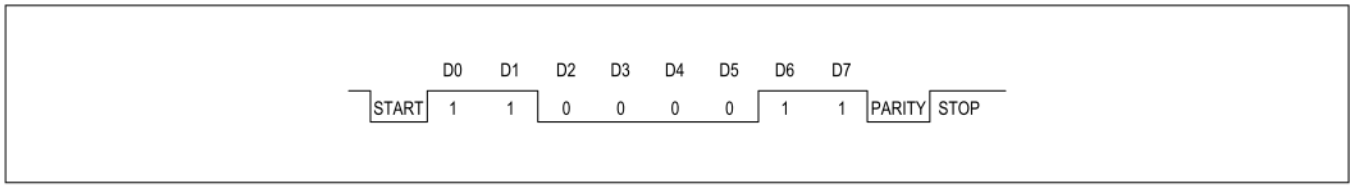


図 45. UART アクノリッジ・フレーム

書込みパケット

書込みパケットは、5 バイトのパケット・ヘッダとそれに続く 1 つ以上のデータ・バイトで構成されます。パケットは、デバイス・アドレス・フレームの LSB が 0 の場合に、書込みパケットとして認識されます。アドレス指定されたデバイスは、有効な書込みパケットの受信時にエラーが検出されない場合に、アクノリッジ・フレームで応答します。バイト・カウントは、書き込まれるデータ・バイトの数を示し、この数を 0 とすることはできません。図 46 を参照してください。

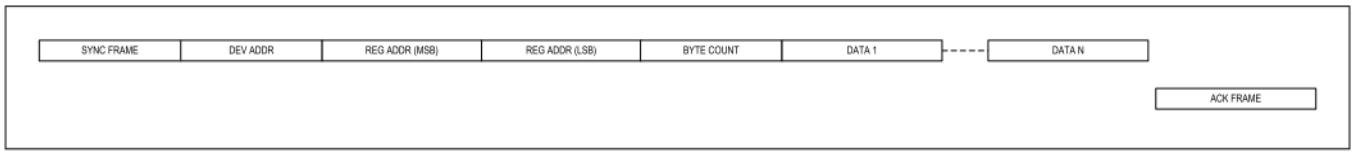


図 46. UART 書込みパケットのフォーマット

読出しパケット

読出しパケットは 5 バイトで構成されます。読出しパケットの場合、デバイス・アドレス・フレームの LSB は 1 です。有効な読出しパケットの受信時にエラーが検出されない場合、アドレス指定されたデバイスは、アクノリッジ・フレームとそれに続く 1 つ以上のデータ・バイトで応答します。バイト・カウントは、読み出されるデータ・バイトの数を示し、この数を 0 とすることはできません。図 47 を参照してください。

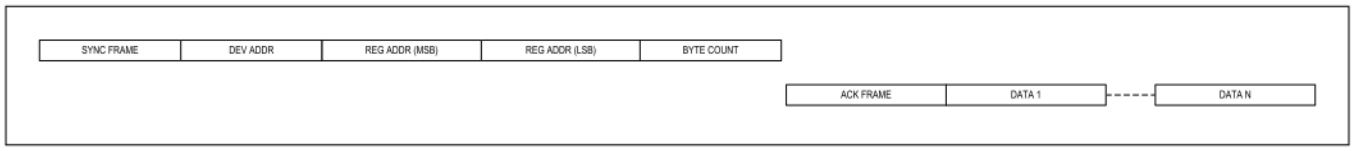


図 47. UART 読出しパケットのフォーマット

オプションの CRC とメッセージ・カウンタを用いた I²C/UART コントロール・チャンネルのプログラミング

MAX96792A は、I²C/UART 読出し／書込みトランザクションにオプションの CRC を追加し、さらに読出し／書込みパケット用に独立したメッセージ・カウンタを設けることで、機能安全性を高めています。これらの機能は、パワーアップ時にデフォルトで無効ですが、レジスタ設定によって有効化できます。CRC とメッセージ・カウンタは、一緒に使用することも個別に使用することもできます。CRC 機能とメッセージ・カウンタ機能は、デバイス・レジスタの読出し／書込みトランザクションにのみ適用でき、パススルー・トラフィック用には使用できません。CRC やメッセージ・カウンタは、シリアライザ、デシリアライザ、あるいはその両方において有効化できます。

I²C/UART の CRC およびメッセージ・カウンタ・オプション

MAX96792A では、パワーアップ時、I²C/UART の CRC 機能とメッセージ・カウンタ機能はデフォルトで無効です。どちらの機能もレジスタ制御を通じて有効化または無効化できます。

CRC 付き I²C 書込み

ADAS アプリケーションの機能安全性を向上させるために、MAX96792A では、I²C トランザクションに CRC を追加できるようになっています。これを有効化した場合、メインのマイクロコントローラはデータ・バイトごとに CRC バイトを計算し、それを送信する必要があります。図 48 を参照してください。1 バイトまたは複数バイトの書込みごとに、シリアライザの CRC エンジンはまずクリアされます。最初の CRC には、デバイス・アドレス・バイト、レジスタ・アドレス・バイト、メッセージ・カウンタ・バイト、最初のデータ・バイトが含まれます。後続の各データ・バイトについては、そのたびに CRC エンジンがリセットされ、そのデータ・バイト単独に対して CRC バイトが計算されます。図 49 と図 50 を参照してください。シリアライザはデータ・バイトを受信すると、同じ CRC エンジンを用いて CRC を計算し、一致を確認してからデータ・バイトを受け入れます。CRC が一致しない場合、書込みは受け入れられず、NACK が送信され、エラー・カウンタがトリガされます。

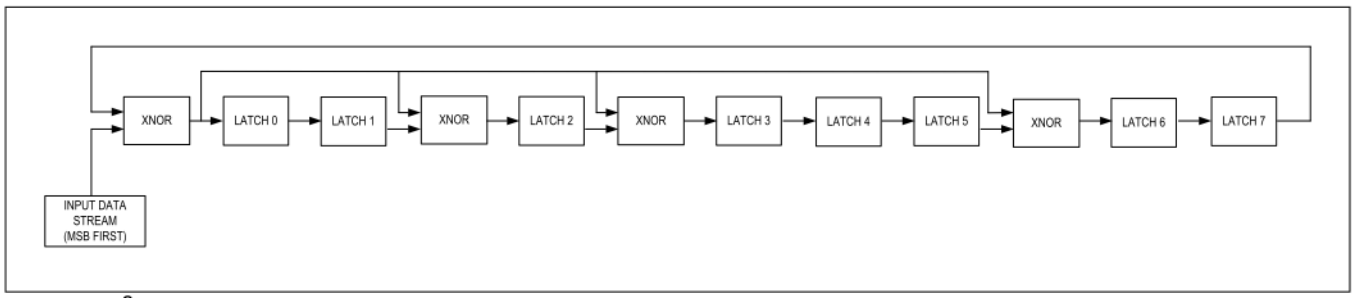


図 48. I²C の CRC エンジン

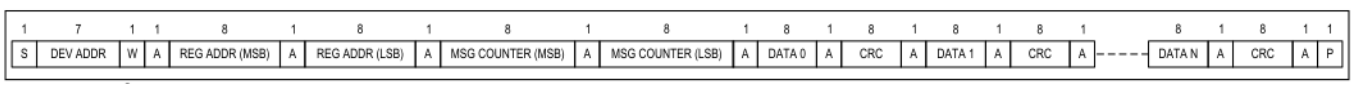


図 49. CRC を使用する I²C 複数バイト書込み

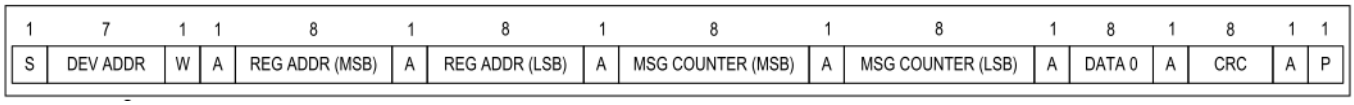


図 50. CRC を使用する I²C 単一バイト書込み

CRC を使用する I²C 読出し

MAX96792A のレジスタを I²C で読み出す場合、デバイスの CRC エンジンはまずクリアされ、その後、送信されるデバイス・アドレス・バイト、レジスタ・アドレス・バイト、メッセージ・カウンタ・バイト、最初のデータ・バイトを用いて CRC バイトを計算します。この CRC バイトは、対応するデータ・バイトの直後にデータ・ストリームに追加されます。CRC エンジンは、その後、残りの全てのデータ・バイトに対して再びクリアされます。図 51 と図 52 を参照してください。MAX96792A を通じて、あるいはリンクの他端のデバイスから直接、マイクロコントローラが I²C 読出しデータを受信すると、マイクロコントローラの CRC エンジンは、データ・バイトごとに CRC バイトを計算し、送信された CRC バイトと比較します。

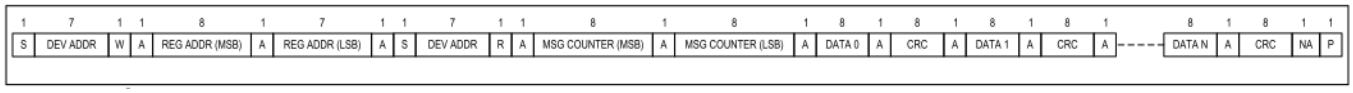


図 51. CRC を使用する I²C 複数バイト読出し

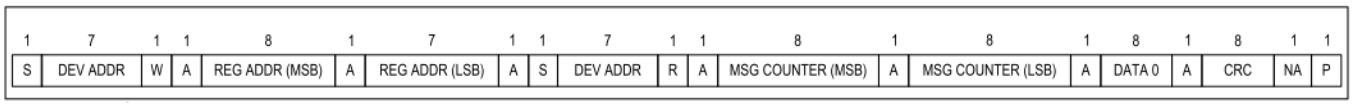


図 52. CRC を使用する I²C 単一バイト読出し

メッセージ・カウンタ書込み

MAX96792A に追加されている機能安全機能の 1 つがメッセージ・カウンタです。これは、I²C/UART CRC 機能と共に使用できます。メッセージ・カウンタが有効化されている場合、デバイスは、送信される書込みの数を示す 2 バイトのメッセージ・カウントをマイクロコントローラから受け取ります。MAX96792A は書込みトランザクションの数をカウントし、それをマイクロコントローラから送られたカウントと比較します。2 つのカウントが一致した場合は書込みが受け入れられます。2 つのカウントが一致しない場合、書込みは拒否され、NACK が返信されてエラー・カウンタがインクリメントされます。エラー・カウンタのプログラム可能なスレッショルドに達した場合、ERRB がアサートされます。

メッセージ・カウンタ読出し

読出しトランザクションの場合、MAX96792A は、要求されたデータと共にメッセージ・カウンタ値をマイクロコントローラに送信します。マイクロコントローラは、送信されたメッセージ・カウントを保存されている値と比較し、カウントが一致すればそのデータを受け入れます。なお、読出しトランザクションには反復開始条件があり、デバイス・アドレス・バイトは 2 回送信されます。そのため、読出しトランザクションごとに、メッセージ・カウンタが 2 回（デバイス・アドレスあたり 1 回）インクリメントされます。2 つのメッセージ・カウンタ値が一致しない場合、そのデータを拒否する必要があります。

直前に使用したレジスタ・アドレスからの読出しが要求される場合、デバイス・アドレス・バイトは 1 回だけ送信されるため、メッセージ・カウンタは 1 回だけインクリメントされます。

MAX96792A とマイクロコントローラのメッセージ・カウンタ値が一致しない場合、レジスタ書込みによってデバイスのメッセージ・カウンタをリセットすることができます。その際、マイクロコントローラのカウンタもリセットする必要があります。マイクロコントローラまたはそのメッセージ・カウンタが何らかの理由でリセットされた場合、デバイスのカウンタもレジスタ書込みによってリセットする必要があります。

CRC を使用する UART 書込み

ADAS アプリケーションの機能安全性を向上させるために、MAX96792A では、UART トランザクションに CRC を追加できるようになっています。これを有効化した場合、メインのマイクロコントローラはデータ・バイトごとに CRC バイトを計算し、それを送信する必要があります。図 53 を参照してください。1 バイトまたは複数バイトの書込みごとに、まず CRC エンジンをクリアします。最初の CRC には、同期フレーム、デバイス・アドレス・バイト、レジスタ・アドレス・バイト、メッセージ・カウンタ・バイト、最初のデータ・バイトが含まれます。バイトは全て、LSB ファーストで送信されます。後続の各データ・バイトについては、そのたびに CRC エンジンがリセットされ、そのデータ・バイト単独に対して CRC バイトが計算されます。図 54 と図 55 を参照してください。MAX96792A はデータ・バイトを受信すると、同じ CRC エンジンを用いて CRC を計算し、一致を確認してからデータ・バイトを受け入れます。CRC が一致しない場合、書込みは受け入れられず、NACK が送信され、エラー・カウンタがトリガされます。

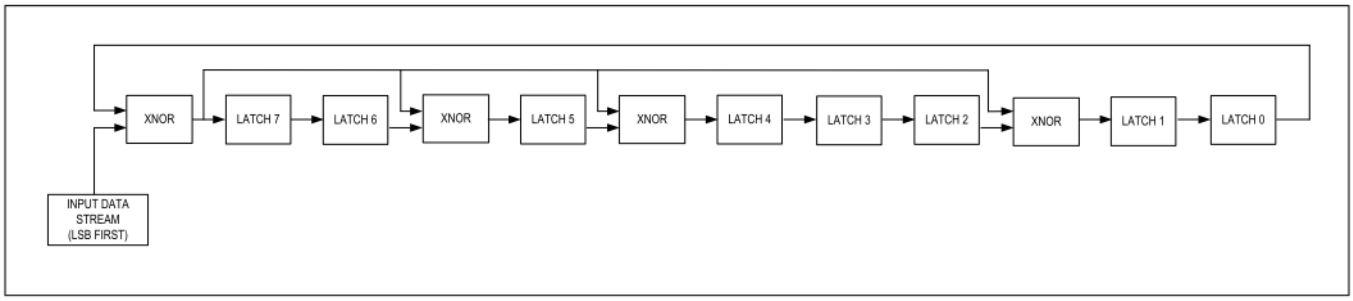


図 53. UART CRC エンジン

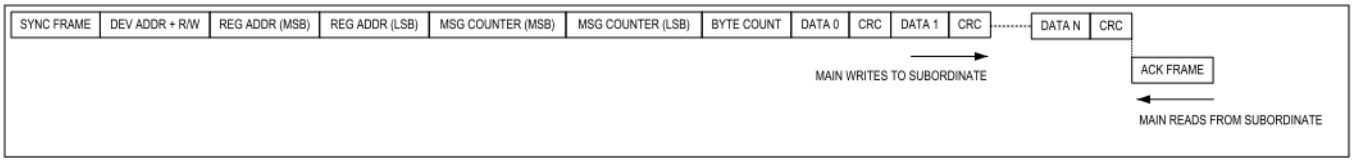


図 54. CRC を使用する UART 複数バイト書込みトランザクション

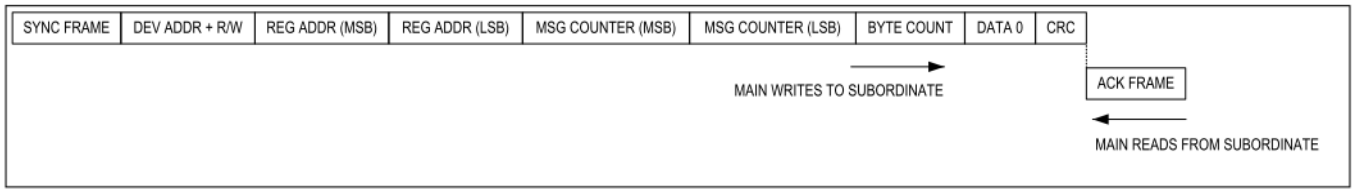


図 55. CRC を使用する UART 単一バイト書込みトランザクション

CRC を使用する UART 読出し

MAX96792A のレジスタを UART で読み出す場合、デバイスの CRC エンジンはまずクリアされ、その後、送信される同期フレーム、デバイス・アドレス・バイト、レジスタ・アドレス・バイト、メッセージ・カウンタ・バイト、最初のデータ・バイトを用いて CRC バイトを計算します。この CRC バイトは、対応するデータ・バイトの直後にデータ・ストリームに追加されます。バイトは全て、LSB ファーストで送信されます。CRC エンジンは、その後、残りの全てのデータ・バイトに対して再びクリアされます。図 56 と図 57 を参照してください。リンクの他端のシリアライザを通じて、あるいは、MAX96792A から直接、マイクロコントローラが UART 読出しデータを受信すると、マイクロコントローラの CRC エンジンはデータ・バイトごとに CRC バイトを計算し、送信された CRC バイトと比較することができます。ACK フレームは CRC 計算には含まれません。マイクロコントローラは 0xC3 の ACK 値を探しているためです。エラーがある場合、マイクロコントローラは、そのフレームを NACK として処理し、データを拒否します。なお、マイクロコントローラからの読出しコマンドは CRC を含みません。

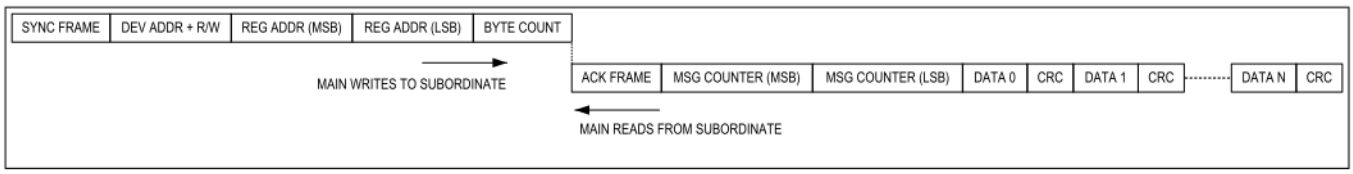


図 56. CRC を使用する UART 複数バイト読出しトランザクション

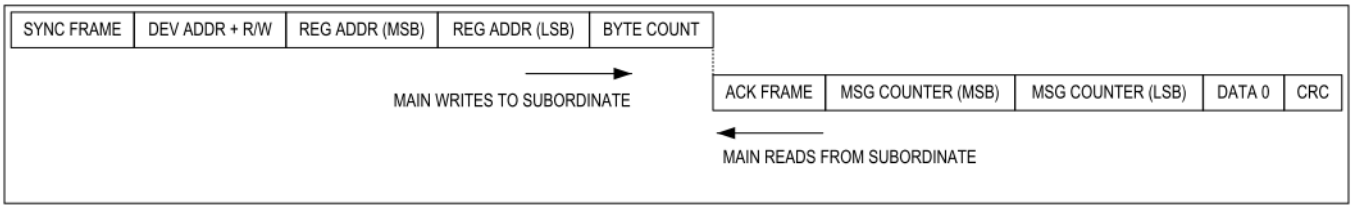
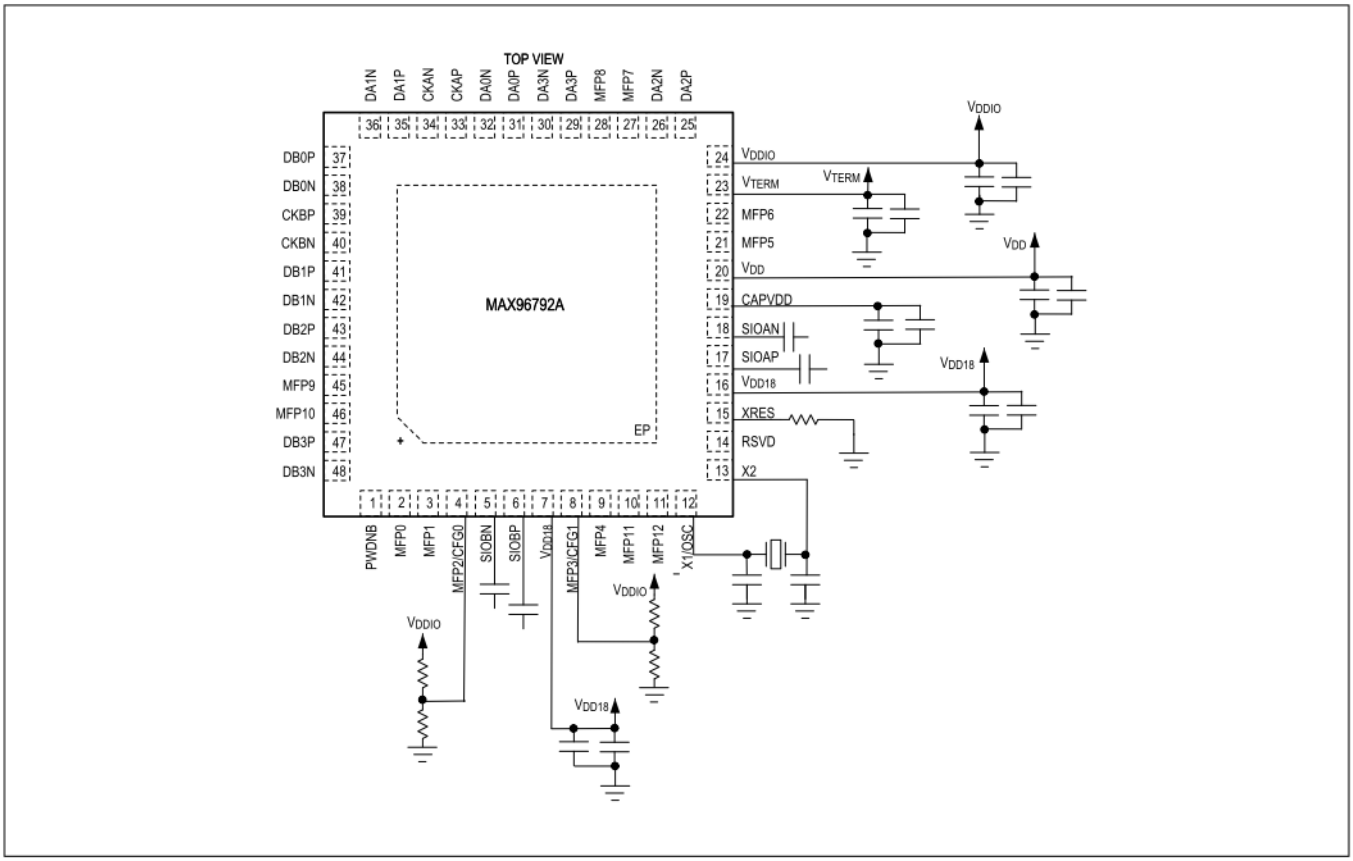


図 57. CRC を使用する UART 単一バイト読出しトランザクション

標準アプリケーション回路

表 3 を参照してください。



型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX96792AGTM/VY+	-40°C to +105°C	48 TQFN wettable flank
MAX96792AGTM/VY+T	-40°C to +105°C	48 TQFN wettable flank

+は鉛（Pb）フリー／ROHS 適合のパッケージであることを示します。

T はテープのリール巻きを示します。

/V は車載用に適合していることを示します。

Y はウェッタブル・フランクを示します。

レジスタ・マップ

予約済み、未使用、読出し専用のレジスタ・ビット

レジスタ表には、レジスタ空間の全てのレジスタ・ビットが記載されているわけではありません。レジスタ表に明示されていないビットは、予約済みとして扱う必要があり、変更はできません。定義されたレジスタ・ビットと定義されていないレジスタ・ビットを 1 つのレジスタに書き込む必要がある場合は、最初にレジスタの内容を読み出し、次に、定義されたビットのみを変更することによって新しいレジスタ値を作成し、最後に、新しいバイトをレジスタに書き込みます（読出し／置換／書込み）。

このデータシートでは、読出し専用のレジスタ・ビットにはデフォルト値が設定されています。読出し専用ビットの状態は、デバイスの実際の状態に応じてパワーアップ時に変更されます。これらのビットを上書きすることのないように、読出し専用ビットは未定義として扱ってください。

起動時に必須のレジスタ書込みについては、プログラミング上の注意事項のセクションを参照してください。

*：これらのレジスタは、スリープ・モードになるときに保持メモリに保存され、スリープ・モードを終了すると復元されます。

ADDRESS	RESET	NAME	MSB							LSB
DEV										
0x00	0x90	REG0[7:0]*	DEV_ADDR[6:0]							CFG_BLOCK
0x01	0x02	REG1[7:0]*	IIC_2_EN	IIC_1_EN	DIS_LOCAL_CC	DIS_REM_CC	TX_RATE[1:0]		RX_RATE[1:0]	
0x02	0x63	REG2[7:0]*	–	VID_EN_Z	VID_EN_Y	–	–	–	RSVD	RSVD
0x03	0x53	REG3[7:0]*	LOCK_CFG	PT_SWAP	UART_2_EN	UART_1_EN	–	DIS_REM_CC_B	RSVD	RSVD
0x04	0xC2	REG4[7:0]*	GMSL3_B	GMSL3_A	RSVD	RSVD	TX_RATE_B[1:0]		RX_RATE_B[1:0]	
0x05	0xC0	REG5[7:0]*	LOCK_EN	ERRB_EN	LOCK_ALT_EN	RSVD	PU_LF3	PU_LF2	PU_LF1	PU_LF0
0x06	0xC0	REG6[7:0]*	RSVD	RSVD	RSVD	I2CSEL	RSVD[3:0]			
0x07	0x27	REG7[7:0]*	CMP_VTERM_STATUS	–	RSVD[5:0]					
0x0D	0xB6	REG13[7:0]	DEV_ID[7:0]							
0x0E	0x03	REG14[7:0]	RSVD[3:0]				DEV_REV[3:0]			
0x26	0x22	REG26[7:0]	–	LF_1[2:0]			–	LF_0[2:0]		
0x27	0x22	REG27[7:0]	–	LF_3[2:0]			–	LF_2[2:0]		
0x38	0x00	IO_CHK0[7:0]	PIN_DRV_EN_0[7:0]							
OVERLAP										
TCTRL										
0x08	0x00	PWR0[7:0]	VDDBAD_STATUS[2:0]			CMP_STATUS[4:0]				
0x09	0x00	PWR1[7:0]	RSVD	RSVD	PORZ_STATUS[5:0]					
0x0C	0x15	PWR4[7:0]*	RSVD	DIS_LOCAL_WAKE	WAKE_EN_B	WAKE_EN_A	RSVD[3:0]			
0x10	0x11	CTRL0[7:0]*	RESET_ALL	RESET_LINK	RESET_ONESHOT	AUTO_LINK	SLEEP	REG_ENABLE	LINK_CFG[1:0]	

ADDRESS	RESET	NAME	MSB							LSB
0x11	0x0A	CTRL1[7:0]*	RSVD	RSVD	RSVD	–	RSVD	CXTP_B	RSVD	CXTP_A
0x12	0x04	CTRL2[7:0]	RSVD	RSVD	RESET_ONESHOT_B	REG_MNL	RSVD[1:0]		RSVD[1:0]	
0x13	0x10	CTRL3[7:0]	RSVD	RSVD	LINK_MODE[1:0]		LOCKED	ERROR	CMU_LOCKED	RESET_LINK_B
0x18	0xA0	INTR0[7:0]*	RSVD	RSVD	RSVD	–	AUTO_ERR_RST_EN	DEC_ERR_THR[2:0]		
0x19	0x00	INTR1[7:0]*	PKT_CNT_EXP[3:0]				AUTO_CNT_RST_EN	PKT_CNT_THR[2:0]		
0x1A	0x0B	INTR2[7:0]*	RSVD	RSVD	REM_ERR_OEN	RSVD	LFLT_INT_OEN	IDLE_ERR_OEN	DEC_ERR_OEN_B	DEC_ERR_OEN_A
0x1B	0x00	INTR3[7:0]	RSVD	RSVD	REM_ERR_FLAG	RSVD	LFLT_INT	IDLE_ERR_FLAG	DEC_ERR_FLAG_B	DEC_ERR_FLAG_A
0x1C	0x09	INTR4[7:0]*	EOM_ERR_OEN_B	EOM_ERR_OEN_A	FEC_RX_ERR_OEN	–	MAX_RT_OEN	RT_CNT_OEN	PKT_CNT_OEN	WM_ERR_OEN
0x1D	0x00	INTR5[7:0]	EOM_ERR_FLAG_B	EOM_ERR_FLAG_A	FEC_RX_ERR_FLAG	–	MAX_RT_FLAG	RT_CNT_FLAG	PKT_CNT_FLAG	WM_ERR_FLAG
0x1E	0x1C	INTR6[7:0]*	VDDCMP_INT_OEN	RSVD	VDDBAD_INT_OEN	FSYNC_ERR_OEN	LCRC_ERR_OEN	VPRBS_ERR_OEN	–	VID_PXL_CRC_ERR_OEN
0x1F	0x00	INTR7[7:0]	VDDCMP_INT_FLAG	RSVD	VDDBAD_INT_FLAG	FSYNC_ERR_FLAG	LCRC_ERR_FLAG	VPRBS_ERR_FLAG	–	VID_PXL_CRC_ERR
0x20	0xFF	INTR8[7:0]*	ERR_TX_EN	RSVD	ERR_TX_EN_B	ERR_TX_ID[4:0]				
0x21	0xFF	INTR9[7:0]*	ERR_RX_EN	RSVD	ERR_RX_EN_B	ERR_RX_ID[4:0]				
0x22	0x00	CNT0[7:0]	DEC_ERR_A[7:0]							
0x23	0x00	CNT1[7:0]	DEC_ERR_B[7:0]							
0x24	0x00	CNT2[7:0]	IDLE_ERR[7:0]							
0x25	0x00	CNT3[7:0]	PKT_CNT[7:0]							
GMSL										
0x28	0x60	TX0[7:0]*	RSVD[1:0]		RSVD	RSVD	–	–	RX_FEC_EN	RSVD
0x29	0x08	TX1[7:0]*	LINK_PRBS_GEN	RSVD	–	ERRG_EN_A	RSVD	RSVD	RSVD	RSVD
0x2A	0x20	TX2[7:0]*	ERRG_CNT[1:0]		ERRG_RATE[1:0]		ERRG_BURST[2:0]			ERRG_PER
0x2B	0x44	TX3[7:0]*	RSVD[1:0]		RX_FEC_ACTIVE	RSVD	–	RSVD[2:0]		
0x2C	0x00	RX0[7:0]*	PKT_CNT_LBW[1:0]		RSVD	RSVD	PKT_CNT_SEL[3:0]			
0x2D	0x28	RX1[7:0]*	LINK_PRBS_CHK	RSVD	RSVD[1:0]		RSVD[1:0]		RSVD	RSVD

ADDRESS	RESET	NAME	MSB							LSB
0x2F	0x00	RX3[7:0]	–	–	–	RSVD	RSVD	RSVD	RSVD	RSVD
0x30	0x41	GPIOA[7:0]*	RSVD	RSVD	GPIO_FWD_CDLY[5:0]					
0x31	0x88	GPIOB[7:0]*	GPIO_TX_WNDW[1:0]		GPIO_REV_CDLY[5:0]					
CC										
0x40	0x26	I2C_0[7:0]*	–	–	SLV_SH[1:0]		–	SLV_TO[2:0]		
0x41	0x56	I2C_1[7:0]*	RSVD	MST_BT[2:0]			–	MST_TO[2:0]		
0x42	0x00	I2C_2[7:0]*	SRC_A[6:0]							–
0x43	0x00	I2C_3[7:0]*	DST_A[6:0]							–
0x44	0x00	I2C_4[7:0]*	SRC_B[6:0]							–
0x45	0x00	I2C_5[7:0]*	DST_B[6:0]							–
0x47	0x00	I2C_7[7:0]	UART_RX_OVERFLOW	UART_TX_OVERFLOW	–	–	–	I2C_TIMED_OUT	REM_ACK_ACKED	REM_ACK_RECVED
0x48	0x42	UART_0[7:0]*	RSVD[1:0]		REM_MS_EN	LOC_MS_EN	BYPASS_DIS_PAR	BYPASS_TO[1:0]		BYPASS_EN
0x49	0x96	UART_1[7:0]	BITLEN_LSB[7:0]							
0x4A	0x80	UART_2[7:0]	OUT_DELAY[1:0]		BITLEN_MSB[5:0]					
0x4C	0x26	I2C_PT_0[7:0]	–	–	SLV_SH_PT[1:0]		–	SLV_TO_PT[2:0]		
0x4D	0x56	I2C_PT_1[7:0]	RSVD	MST_BT_PT[2:0]			–	MST_TO_PT[2:0]		
0x4E	0x00	I2C_PT_2[7:0]	RSVD	I2C_TIMED_OUT_2	RSVD	RSVD	RSVD	I2C_TIMED_OUT_1	RSVD	RSVD
0x4F	0x88	UART_PT_0[7:0]	BITLEN_MAN_CFG_2	DIS_PAR_2	RSVD	RSVD	BITLEN_MAN_CFG_1	DIS_PAR_1	RSVD	RSVD
CFGH VIDEO_X										
0x50	0x00	RX0[7:0]*	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
CFGH VIDEO_Y										
0x51	0x01	RX0[7:0]*	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
CFGH VIDEO_Z										
0x52	0x02	RX0[7:0]*	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
CFGH VIDEO_U										
0x53	0x03	RX0[7:0]*	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
CFGI INFOFR										
0x60	0xF0	TR0[7:0]*	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
0x61	0xB0	TR1[7:0]*	BW_MULT[1:0]		BW_VAL[5:0]					
0x63	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID[2:0]		
0x64	0xFF	TR4[7:0]*	RX_SRC_SEL[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
CFGL SPI										
0x68	0xF0	TR0[7:0]*	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
0x69	0xB0	TR1[7:0]*	BW_MULT[1:0]		BW_VAL[5:0]					
0x6B	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID[2:0]		
0x6C	0xFF	TR4[7:0]*	RX_SRC_SEL[7:0]							
0x6D	0x98	ARQ0[7:0]*	RSVD	RSVD	MATCH_SRC_ID	ACK_SRC_ID	EN	DIS_DBL_ACK_RETX	–	–
0x6E	0x72	ARQ1[7:0]*	–	MAX_RT[2:0]			–	–	MAX_RT_ERR_OEN	RT_CNT_OEN
0x6F	0x00	ARQ2[7:0]	MAX_RT_ERR	RT_CNT[6:0]						
CFGC CC										
0x70	0xF0	TR0[7:0]*	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
0x71	0xB0	TR1[7:0]*	BW_MULT[1:0]		BW_VAL[5:0]					
0x73	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID[2:0]		
0x74	0xFF	TR4[7:0]*	RX_SRC_SEL[7:0]							
0x75	0x98	ARQ0[7:0]*	RSVD	RSVD	MATCH_SRC_ID	ACK_SRC_ID	EN	DIS_DBL_ACK_RETX	–	–
0x76	0x72	ARQ1[7:0]*	–	MAX_RT[2:0]			–	–	MAX_RT_ERR_OEN	RT_CNT_OEN
0x77	0x00	ARQ2[7:0]	MAX_RT_ERR	RT_CNT[6:0]						
CFGL GPIO										
0x78	0xF0	TR0[7:0]*	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
0x79	0xB0	TR1[7:0]*	BW_MULT[1:0]		BW_VAL[5:0]					
0x7B	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID[2:0]		
0x7C	0xFF	TR4[7:0]*	RX_SRC_SEL[7:0]							
0x7D	0x98	ARQ0[7:0]*	RSVD	RSVD	MATCH_SRC_ID	ACK_SRC_ID	EN	DIS_DBL_ACK_RETX	–	–
0x7E	0x72	ARQ1[7:0]*	–	MAX_RT[2:0]			–	–	MAX_RT_ERR_OEN	RT_CNT_OEN
0x7F	0x00	ARQ2[7:0]	MAX_RT_ERR	RT_CNT[6:0]						
CFGC IIC_X										
0x80	0xF0	TR0[7:0]*	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
0x81	0xB0	TR1[7:0]*	BW_MULT[1:0]		BW_VAL[5:0]					
0x83	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID[2:0]		
0x84	0xFF	TR4[7:0]*	RX_SRC_SEL[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x85	0x98	ARQ0[7:0]*	RSVD	RSVD	MATCH_SRC_ID	ACK_SRC_ID	EN	DIS_DBL_ACK_RETX	–	–
0x86	0x72	ARQ1[7:0]*	–	MAX_RT[2:0]			–	–	MAX_RT_ERR_OEN	RT_CNT_OEN
0x87	0x00	ARQ2[7:0]	MAX_RT_ERR	RT_CNT[6:0]						
CFGC IIC_Y										
0x88	0xF0	TR0[7:0]*	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
0x89	0xB0	TR1[7:0]*	BW_MULT[1:0]		BW_VAL[5:0]					
0x8B	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID[2:0]		
0x8C	0xFF	TR4[7:0]*	RX_SRC_SEL[7:0]							
0x8D	0x98	ARQ0[7:0]*	RSVD	RSVD	MATCH_SRC_ID	ACK_SRC_ID	EN	DIS_DBL_ACK_RETX	–	–
0x8E	0x72	ARQ1[7:0]*	–	MAX_RT[2:0]			–	–	MAX_RT_ERR_OEN	RT_CNT_OEN
0x8F	0x00	ARQ2[7:0]	MAX_RT_ERR	RT_CNT[6:0]						
VID_RX Y										
0x112	0x32	VIDEO_RX0[7:0]*	LCRC_ERR	RSVD	RSVD	RSVD	RSVD	LINE_CRC_SEL	LINE_CRC_EN	DIS_PKT_DET
0x115	0x40	VIDEO_RX3[7:0]*	RSVD	HD_TR_MODE	DLOCKED	VLOCKED	HLOCKED	DTRACKEN	VTRACKEN	HTRACKEN
0x118	0x02	VIDEO_RX6[7:0]	RSVD[2:0]			RSVD	LIM_HEART	–	RSVD	RSVD
0x11A	0x02	VIDEO_RX8[7:0]	VID_BLK_LEN_ERR	VID_LOCK	VID_PKT_DET	VID_SEQ_ERR	RSVD[3:0]			
0x11C	0x00	VIDEO_RX10[7:0]	VID_OVERFLOW	MASK_VIDEO_DE	RSVD[5:0]					
VID_RX Z										
0x124	0x32	VIDEO_RX0[7:0]*	LCRC_ERR	RSVD	RSVD	RSVD	RSVD	LINE_CRC_SEL	LINE_CRC_EN	DIS_PKT_DET
0x127	0x40	VIDEO_RX3[7:0]*	RSVD	HD_TR_MODE	DLOCKED	VLOCKED	HLOCKED	DTRACKEN	VTRACKEN	HTRACKEN
0x12A	0x02	VIDEO_RX6[7:0]	RSVD[2:0]			RSVD	LIM_HEART	–	RSVD	RSVD
0x12C	0x02	VIDEO_RX8[7:0]	VID_BLK_LEN_ERR	VID_LOCK	VID_PKT_DET	VID_SEQ_ERR	RSVD[3:0]			
0x12E	0x00	VIDEO_RX10[7:0]	VID_OVERFLOW	MASK_VIDEO_DE	RSVD[5:0]					

ADDRESS	RESET	NAME	MSB							LSB
VIDEO_PIPE_SEL										
0x160	0x03	VIDEO_PIPE_EN[7:0]*	–	–	–	–	–	–	VIDEO_PIPE_EN[1:0]	
0x161	0x32	VIDEO_PIPE_SEL[7:0]*	–	–	VIDEO_PIPE_SEL_Z[2:0]			VIDEO_PIPE_SEL_Y[2:0]		
0x162	0x00	LINK_SEL[7:0]*	–	–	–	–	SPI_LINK_SELECT	UART_2_LINK_SELECT	UART_1_LINK_SELECT	UART_0_LINK_SELECT
SPI										
0x170	0x08	SPI_0[7:0]*	SPI_LOC_ID[1:0]		SPI_CC_TRG_ID[1:0]		SPI_IGNR_ID	SPI_CC_EN	MST_SLVN	SPI_EN
0x171	0x1D	SPI_1[7:0]*	SPI_LOC_N[5:0]						SPI_BASE_PRIO[1:0]	
0x172	0x03	SPI_2[7:0]*	REQ_HOLD_OFF[2:0]			FULL_SCK_SETUP	SPI_MOD3_F	SPI_MOD3	SPIM_SS2_ACT_H	SPIM_SS1_ACT_H
0x173	0x00	SPI_3[7:0]*	SPIM_SS_DLY_CLKS[7:0]							
0x174	0x00	SPI_4[7:0]*	SPIM_SCK_LO_CLKS[7:0]							
0x175	0x00	SPI_5[7:0]*	SPIM_SCK_HI_CLKS[7:0]							
0x176	0x00	SPI_6[7:0]*	–	–	BNE	SPIS_RWN	SS_IO_EN_2	SS_IO_EN_1	BNE_IO_EN	RWN_IO_EN
0x177	0x00	SPI_7[7:0]	SPI_RX_OVRFLW	SPI_TX_OVRFLW	RO_ALT	SPIS_BYTE_CNT[4:0]				
0x178	0x00	SPI_8[7:0]*	REQ_HOLD_OFF_TO[7:0]							
WM										
0x190	0x00	WM_0[7:0]*	WM_LEN	WM_MODE[2:0]			WM_DET[1:0]		–	WM_EN
0x192	0x50	WM_2[7:0]*	–	RSVD[2:0]			HsyncPol	VsyncPol	WM_NPFILT[1:0]	
0x194	0x10	WM_4[7:0]	–	–	RSVD[1:0]		RSVD	–	WM_MASKMODE[1:0]	
0x195	0x00	WM_5[7:0]	–	–	–	–	–	RSVD	WM_DETOUT	WM_ERROR
0x196	0x00	WM_6[7:0]	WM_TIMER[7:0]							
0x1AE	0x00	WM_WREN_0[7:0]	WM_WREN_L[7:0]							
0x1AF	0x00	WM_WREN_1[7:0]	WM_WREN_H[7:0]							
VRX Y										
0x1E0	0x00	CROSS_0[7:0]*	–	CROSS0_I	CROSS0_F	CROSS0[4:0]				
0x1E1	0x01	CROSS_1[7:0]*	–	CROSS1_I	CROSS1_F	CROSS1[4:0]				
0x1E2	0x02	CROSS_2[7:0]*	–	CROSS2_I	CROSS2_F	CROSS2[4:0]				
0x1E3	0x03	CROSS_3[7:0]*	–	CROSS3_I	CROSS3_F	CROSS3[4:0]				

ADDRESS	RESET	NAME	MSB							LSB
0x1E4	0x04	CROSS_4[7:0]*	–	CROSS4_I	CROSS4_F	CROSS4[4:0]				
0x1E5	0x05	CROSS_5[7:0]*	–	CROSS5_I	CROSS5_F	CROSS5[4:0]				
0x1E6	0x06	CROSS_6[7:0]*	–	CROSS6_I	CROSS6_F	CROSS6[4:0]				
0x1E7	0x07	CROSS_7[7:0]*	–	CROSS7_I	CROSS7_F	CROSS7[4:0]				
0x1E8	0x08	CROSS_8[7:0]*	–	CROSS8_I	CROSS8_F	CROSS8[4:0]				
0x1E9	0x09	CROSS_9[7:0]*	–	CROSS9_I	CROSS9_F	CROSS9[4:0]				
0x1EA	0x0A	CROSS_10[7:0]*	–	CROSS10_I	CROSS10_F	CROSS10[4:0]				
0x1EB	0x0B	CROSS_11[7:0]*	–	CROSS11_I	CROSS11_F	CROSS11[4:0]				
0x1EC	0x0C	CROSS_12[7:0]*	–	CROSS12_I	CROSS12_F	CROSS12[4:0]				
0x1ED	0x0D	CROSS_13[7:0]*	–	CROSS13_I	CROSS13_F	CROSS13[4:0]				
0x1EE	0x0E	CROSS_14[7:0]*	–	CROSS14_I	CROSS14_F	CROSS14[4:0]				
0x1EF	0x0F	CROSS_15[7:0]*	–	CROSS15_I	CROSS15_F	CROSS15[4:0]				
0x1F0	0x10	CROSS_16[7:0]*	–	CROSS16_I	CROSS16_F	CROSS16[4:0]				
0x1F1	0x11	CROSS_17[7:0]*	–	CROSS17_I	CROSS17_F	CROSS17[4:0]				
0x1F2	0x12	CROSS_18[7:0]*	–	CROSS18_I	CROSS18_F	CROSS18[4:0]				
0x1F3	0x13	CROSS_19[7:0]*	–	CROSS19_I	CROSS19_F	CROSS19[4:0]				
0x1F4	0x14	CROSS_20[7:0]*	–	CROSS20_I	CROSS20_F	CROSS20[4:0]				
0x1F5	0x15	CROSS_21[7:0]*	–	CROSS21_I	CROSS21_F	CROSS21[4:0]				
0x1F6	0x16	CROSS_22[7:0]*	–	CROSS22_I	CROSS22_F	CROSS22[4:0]				
0x1F7	0x17	CROSS_23[7:0]*	–	CROSS23_I	CROSS23_F	CROSS23[4:0]				
0x1F8	0x18	CROSS_HS[7:0]*	–	CROSS_HS_I	CROSS_HS_F	CROSS_HS[4:0]				
0x1F9	0x19	CROSS_VS[7:0]*	–	CROSS_VS_I	CROSS_VS_F	CROSS_VS[4:0]				
0x1FA	0x1A	CROSS_DE[7:0]*	–	CROSS_DE_I	CROSS_DE_F	CROSS_DE[4:0]				
0x1FB	0x00	PRBS_ERR[7:0]	VPRBS_ERR[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x1FC	0x80	VPRBS[7:0]*	PATGEN_CLK_SRC	–	VPRBS_FAIL	VPRBS_CHK_EN	–	–	RSVD	VIDEO_LOCK
0x1FD	0x1B	CROSS_27[7:0]	RSVD	CROSS27_I	CROSS27_F	CROSS27[4:0]				
0x1FE	0x1C	CROSS_28[7:0]	–	CROSS28_I	CROSS28_F	CROSS28[4:0]				
0x1FF	0x1D	CROSS_29[7:0]	–	CROSS29_I	CROSS29_F	CROSS29[4:0]				
VRX Z										
0x200	0x00	CROSS_0[7:0]*	–	CROSS0_I	CROSS0_F	CROSS0[4:0]				
0x201	0x01	CROSS_1[7:0]*	–	CROSS1_I	CROSS1_F	CROSS1[4:0]				
0x202	0x02	CROSS_2[7:0]*	–	CROSS2_I	CROSS2_F	CROSS2[4:0]				
0x203	0x03	CROSS_3[7:0]*	–	CROSS3_I	CROSS3_F	CROSS3[4:0]				
0x204	0x04	CROSS_4[7:0]*	–	CROSS4_I	CROSS4_F	CROSS4[4:0]				
0x205	0x05	CROSS_5[7:0]*	–	CROSS5_I	CROSS5_F	CROSS5[4:0]				
0x206	0x06	CROSS_6[7:0]*	–	CROSS6_I	CROSS6_F	CROSS6[4:0]				
0x207	0x07	CROSS_7[7:0]*	–	CROSS7_I	CROSS7_F	CROSS7[4:0]				
0x208	0x08	CROSS_8[7:0]*	–	CROSS8_I	CROSS8_F	CROSS8[4:0]				
0x209	0x09	CROSS_9[7:0]*	–	CROSS9_I	CROSS9_F	CROSS9[4:0]				
0x20A	0x0A	CROSS_10[7:0]*	–	CROSS10_I	CROSS10_F	CROSS10[4:0]				
0x20B	0x0B	CROSS_11[7:0]*	–	CROSS11_I	CROSS11_F	CROSS11[4:0]				
0x20C	0x0C	CROSS_12[7:0]*	–	CROSS12_I	CROSS12_F	CROSS12[4:0]				
0x20D	0x0D	CROSS_13[7:0]*	–	CROSS13_I	CROSS13_F	CROSS13[4:0]				
0x20E	0x0E	CROSS_14[7:0]*	–	CROSS14_I	CROSS14_F	CROSS14[4:0]				
0x20F	0x0F	CROSS_15[7:0]*	–	CROSS15_I	CROSS15_F	CROSS15[4:0]				
0x210	0x10	CROSS_16[7:0]*	–	CROSS16_I	CROSS16_F	CROSS16[4:0]				
0x211	0x11	CROSS_17[7:0]*	–	CROSS17_I	CROSS17_F	CROSS17[4:0]				
0x212	0x12	CROSS_18[7:0]*	–	CROSS18_I	CROSS18_F	CROSS18[4:0]				
0x213	0x13	CROSS_19[7:0]*	–	CROSS19_I	CROSS19_F	CROSS19[4:0]				

ADDRESS	RESET	NAME	MSB							LSB
0x214	0x14	CROSS_20[7:0]*	–	CROSS20_I	CROSS20_F	CROSS20[4:0]				
0x215	0x15	CROSS_21[7:0]*	–	CROSS21_I	CROSS21_F	CROSS21[4:0]				
0x216	0x16	CROSS_22[7:0]*	–	CROSS22_I	CROSS22_F	CROSS22[4:0]				
0x217	0x17	CROSS_23[7:0]*	–	CROSS23_I	CROSS23_F	CROSS23[4:0]				
0x218	0x18	CROSS_HS[7:0]*	–	CROSS_HS_I	CROSS_HS_F	CROSS_HS[4:0]				
0x219	0x19	CROSS_VS[7:0]*	–	CROSS_VS_I	CROSS_VS_F	CROSS_VS[4:0]				
0x21A	0x1A	CROSS_DE[7:0]*	–	CROSS_DE_I	CROSS_DE_F	CROSS_DE[4:0]				
0x21B	0x00	PRBS_ERR[7:0]	VPRBS_ERR[7:0]							
0x21C	0x80	VPRBS[7:0]*	PATGEN_CLK_SRC	–	VPRBS_FAIL	VPRBS_CHK_EN	–	–	RSVD	VIDEO_LOCK
0x21D	0x1B	CROSS_27[7:0]	RSVD	CROSS27_I	CROSS27_F	CROSS27[4:0]				
0x21E	0x1C	CROSS_28[7:0]	–	CROSS28_I	CROSS28_F	CROSS28[4:0]				
0x21F	0x1D	CROSS_29[7:0]	–	CROSS29_I	CROSS29_F	CROSS29[4:0]				
VRX_PATGEN_0										
0x240	0x03	PATGEN_0[7:0]	GEN_VS	GEN_HS	GEN_DE	VS_INV	HS_INV	DE_INV	VTG_MODE[1:0]	
0x241	0x00	PATGEN_1[7:0]	GRAD_MODE	–	PATGEN_MODE[1:0]		–	–	–	VS_TRIG
0x242	0x00	VS_DLY_2[7:0]	VS_DLY_2[7:0]							
0x243	0x00	VS_DLY_1[7:0]	VS_DLY_1[7:0]							
0x244	0x00	VS_DLY_0[7:0]	VS_DLY_0[7:0]							
0x245	0x00	VS_HIGH_2[7:0]	VS_HIGH_2[7:0]							
0x246	0x00	VS_HIGH_1[7:0]	VS_HIGH_1[7:0]							
0x247	0x00	VS_HIGH_0[7:0]	VS_HIGH_0[7:0]							
0x248	0x00	VS_LOW_2[7:0]	VS_LOW_2[7:0]							
0x249	0x00	VS_LOW_1[7:0]	VS_LOW_1[7:0]							
0x24A	0x00	VS_LOW_0[7:0]	VS_LOW_0[7:0]							
0x24B	0x00	V2H_2[7:0]	V2H_2[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x24C	0x00	V2H_1[7:0]	V2H_1[7:0]							
0x24D	0x00	V2H_0[7:0]	V2H_0[7:0]							
0x24E	0x00	HS_HIGH_1[7:0]	HS_HIGH_1[7:0]							
0x24F	0x00	HS_HIGH_0[7:0]	HS_HIGH_0[7:0]							
0x250	0x00	HS_LOW_1[7:0]	HS_LOW_1[7:0]							
0x251	0x00	HS_LOW_0[7:0]	HS_LOW_0[7:0]							
0x252	0x00	HS_CNT_1[7:0]	HS_CNT_1[7:0]							
0x253	0x00	HS_CNT_0[7:0]	HS_CNT_0[7:0]							
0x254	0x00	V2D_2[7:0]	V2D_2[7:0]							
0x255	0x00	V2D_1[7:0]	V2D_1[7:0]							
0x256	0x00	V2D_0[7:0]	V2D_0[7:0]							
0x257	0x00	DE_HIGH_1[7:0]	DE_HIGH_1[7:0]							
0x258	0x00	DE_HIGH_0[7:0]	DE_HIGH_0[7:0]							
0x259	0x00	DE_LOW_1[7:0]	DE_LOW_1[7:0]							
0x25A	0x00	DE_LOW_0[7:0]	DE_LOW_0[7:0]							
0x25B	0x00	DE_CNT_1[7:0]	DE_CNT_1[7:0]							
0x25C	0x00	DE_CNT_0[7:0]	DE_CNT_0[7:0]							
0x25D	0x00	GRAD_INCR[7:0]	GRAD_INCR[7:0]							
0x25E	0x00	CHKR_COLOR_A_L[7:0]	CHKR_COLOR_A_L[7:0]							
0x25F	0x00	CHKR_COLOR_A_M[7:0]	CHKR_COLOR_A_M[7:0]							
0x260	0x00	CHKR_COLOR_A_H[7:0]	CHKR_COLOR_A_H[7:0]							
0x261	0x00	CHKR_COLOR_B_L[7:0]	CHKR_COLOR_B_L[7:0]							
0x262	0x00	CHKR_COLOR_B_M[7:0]	CHKR_COLOR_B_M[7:0]							
0x263	0x00	CHKR_COLOR_B_H[7:0]	CHKR_COLOR_B_H[7:0]							
0x264	0x00	CHKR_RPT_A[7:0]	CHKR_RPT_A[7:0]							
0x265	0x00	CHKR_RPT_B[7:0]	CHKR_RPT_B[7:0]							
0x266	0x00	CHKR_ALT[7:0]	CHKR_ALT[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
GPIO0 0										
0x2B0	0x83	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2B1	0xA0	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2B2	0x40	GPIO_C[7:0]*	OVR_RES_CFG	GPIO_RECVED	–	GPIO_RX_ID[4:0]				
GPIO1 1										
0x2B3	0x84	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2B4	0xA1	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2B5	0x41	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO2 2										
0x2B6	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2B7	0x22	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2B8	0x42	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO3 3										
0x2B9	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2BA	0x23	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2BB	0x43	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO4 4										
0x2BC	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2BD	0xA4	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2BE	0x44	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO5 5										
0x2BF	0x84	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2C0	0xA5	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2C1	0x45	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO6 6										
0x2C2	0x83	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2C3	0xA6	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				

ADDRESS	RESET	NAME	MSB							LSB
0x2C4	0x46	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO7 7										
0x2C5	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2C6	0xA7	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2C7	0x47	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO8 8										
0x2C8	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2C9	0xA8	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2CA	0x48	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO9 9										
0x2CB	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2CC	0xA9	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2CD	0x49	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO10 10										
0x2CE	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2CF	0xAA	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2D0	0x4A	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO11 11										
0x2D1	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2D2	0xAB	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2D3	0x4B	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
GPIO12 12										
0x2D4	0x81	GPIO_A[7:0]*	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
0x2D5	0xAC	GPIO_B[7:0]*	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
0x2D6	0x4C	GPIO_C[7:0]*	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
CMU										
0x302	0x00	CMU2[7:0]	RSVD	PFDDIV_RSHORT[2:0]			RSVD	RSVD[1:0]		RSVD

ADDRESS	RESET	NAME	MSB							LSB
BACKTOP										
0x308	0x01	BACKTOP1[7:0]*	CSIPLLU_LOCK	CSIPLLZ_LOCK	CSIPLLY_LOCK	CSIPLLX_LOCK	LINE_SPL2	–	RSVD	BACKTOP_EN
0x30B	0x00	BACKTOP4[7:0]*	VS_VC2_L[7:0]							
0x30C	0x00	BACKTOP5[7:0]*	VS_VC2_H[7:0]							
0x30D	0x00	BACKTOP6[7:0]*	VS_VC3_L[7:0]							
0x30E	0x00	BACKTOP7[7:0]*	VS_VC3_H[7:0]							
0x312	0x00	BACKTOP11[7:0]	–	cmd_overflow3	cmd_overflow2	–	–	LMO_Z	LMO_Y	–
0x313	0x02	BACKTOP12[7:0]*	–	–	–	–	–	RSVD	CSI_OUT_EN	RSVD
0x314	0x00	BACKTOP13[7:0]	soft_vc_y[3:0]				–	–	–	–
0x315	0x00	BACKTOP14[7:0]	–	–	–	–	soft_vc_z[3:0]			
0x316	0x00	BACKTOP15[7:0]	soft_dt_y_h[1:0]		–	–	–	–	–	–
0x317	0x00	BACKTOP16[7:0]	soft_dt_z_h[3:0]				soft_dt_y_l[3:0]			
0x318	0x00	BACKTOP17[7:0]	–	–	–	–	–	–	soft_dt_z_l[1:0]	
0x319	0x00	BACKTOP18[7:0]	soft_bpp_z_h[2:0]			soft_bpp_y[4:0]				
0x31A	0x00	BACKTOP19[7:0]	–	–	–	–	–	–	soft_bpp_z_l[1:0]	
0x31B	0x00	BACKTOP20[7:0]	phy0_csi_tx_dpll_fb_fraction_in_l[7:0]							
0x31C	0x00	BACKTOP21[7:0]	–	bpp8dblz	bpp8dbly	–	phy0_csi_tx_dpll_fb_fraction_in_h[3:0]			
0x31D	0x2F	BACKTOP22[7:0]	override_bpp_vc_dty	–	phy0_csi_tx_dpll_fb_fraction_predef_en	phy0_csi_tx_dpll_predef_freq[4:0]				
0x31E	0x00	BACKTOP23[7:0]	phy1_csi_tx_dpll_fb_fraction_in_l[7:0]							
0x31F	0x00	BACKTOP24[7:0]	–	bpp8dblz_mode	bpp8dbly_mode	–	phy1_csi_tx_dpll_fb_fraction_in_h[3:0]			
0x320	0x2F	BACKTOP25[7:0]	–	override_bpp_vc_dtz	phy1_csi_tx_dpll_fb_fraction_predef_en	phy1_csi_tx_dpll_predef_freq[4:0]				
0x321	0x00	BACKTOP26[7:0]	phy2_csi_tx_dpll_fb_fraction_in_l[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x322	0x00	BACKTOP27[7:0]	yuv_8_10_mux_mode4	yuv_8_10_mux_mode3	yuv_8_10_mux_mode2	yuv_8_10_mux_mode1	phy2_csi_tx_dpll_fb_fraction_in_h[3:0]			
0x323	0x2F	BACKTOP28[7:0]	–	–	phy2_csi_tx_dpll_fb_fraction_predef_en	phy2_csi_tx_dpll_predef_freq[4:0]				
0x324	0x00	BACKTOP29[7:0]	phy3_csi_tx_dpll_fb_fraction_in_l[7:0]							
0x325	0x00	BACKTOP30[7:0]	BACKTOP_W_FRAME	–	–	–	phy3_csi_tx_dpll_fb_fraction_in_h[3:0]			
0x326	0x2F	BACKTOP31[7:0]	–	–	phy3_csi_tx_dpll_fb_fraction_predef_en	phy3_csi_tx_dpll_predef_freq[4:0]				
0x327	0x00	BACKTOP32[7:0]	–	bpp10dblz_mode	bpp10dbly_mode	–	–	bpp10dblz	bpp10dbly	–
0x328	0x00	BACKTOP33[7:0]	–	–	–	–	–	bpp12dblz	bpp12dbly	–
MIPI_PHY										
0x330	0x04	MIPI_PHY0[7:0]*	force_csi_out_en	RSVD	RSVD	phy_1x4b_22	phy_1x4a_22	phy_2x4	RSVD	phy_4x2
0x331	0x00	MIPI_PHY1[7:0]*	t_hs_przero[1:0]		t_hs_prep[1:0]		RSVD[1:0]		t_clk_przero[1:0]	
0x332	0xF4	MIPI_PHY2[7:0]*	phy_Stdby_n[3:0]				t_lpx[1:0]		t_hs_trail[1:0]	
0x333	0x4E	MIPI_PHY3[7:0]*	phy1_lane_map[3:0]				phy0_lane_map[3:0]			
0x334	0xE4	MIPI_PHY4[7:0]*	phy3_lane_map[3:0]				phy2_lane_map[3:0]			
0x335	0x00	MIPI_PHY5[7:0]*	t_clk_prep[1:0]		phy1_pol_map[2:0]			phy0_pol_map[2:0]		
0x336	0x00	MIPI_PHY6[7:0]*	phy_cp1	phy_cp0	phy3_pol_map[2:0]			phy2_pol_map[2:0]		
0x339	0x00	MIPI_PHY9[7:0]	phy_cp0_dst[1:0]		–	RSVD	RSVD	–	RSVD	phy_cp0_overflow
0x33A	0x02	MIPI_PHY10[7:0]	phy_cp0_src[1:0]		RSVD[2:0]			–	RSVD	phy_cp0_underflow
0x33B	0x00	MIPI_PHY11[7:0]	phy_cp1_dst[1:0]		RSVD[2:0]			–	RSVD	phy_cp1_overflow
0x33C	0x02	MIPI_PHY12[7:0]	phy_cp1_src[1:0]		RSVD[2:0]			–	RSVD	phy_cp1_underflow
0x33D	0x00	MIPI_PHY13[7:0]	–	–	t_t3_prebegin[5:0]					

ADDRESS	RESET	NAME	MSB							LSB
0x33E	0x11	MIPI_PHY14[7:0]	–	t_t3_post[4:0]					t_t3_prep[1:0]	
0x33F	0x00	MIPI_PHY15[7:0]*	–	–	–	–	RST_MIPITX_LOC[3:0]			
0x340	0x00	MIPI_PHY16[7:0]*	–	–	TUN_DATA_CRC_ERR_OEN	TUN_ECC_UNCORR_ERR_OEN	TUN_ECC_CORR_ERR_OEN	–	–	VID_OVERFLOW_OEN
0x341	0x00	MIPI_PHY17[7:0]	–	–	TUN_DATA_CRC_ERR	TUN_ECC_UNCORR_ERR	TUN_ECC_CORR_ERR	–	–	VID_OVERFLOW_FLAG
0x342	0x00	MIPI_PHY18[7:0]	csi2_tx2_pkt_cnt[3:0]				csi2_tx1_pkt_cnt[3:0]			
0x343	0x00	MIPI_PHY19[7:0]	csi2_dup2_pkt_cnt[3:0]				csi2_dup1_pkt_cnt[3:0]			
0x344	0x00	MIPI_PHY20[7:0]	phy1_pkt_cnt[3:0]				phy0_pkt_cnt[3:0]			
0x345	0x00	MIPI_PHY21[7:0]	phy3_pkt_cnt[3:0]				phy2_pkt_cnt[3:0]			
FSYNC										
0x3E0	0x0E	FSYNC_0[7:0]*	EN_OFLOW_RST_FS	RSVD	FSYNC_OUT_PIN	EN_VS_GEN	FSYNC_MODE[1:0]		FSYNC_METH[1:0]	
0x3E1	0x00	FSYNC_1[7:0]*	RSVD[1:0]		RSVD[1:0]		FSYNC_PER_DIV[3:0]			
0x3E2	0x81	FSYNC_2[7:0]*	MST_LINK_SEL[2:0]			K_VAL_SIGN	K_VAL[3:0]			
0x3E3	0x00	FSYNC_3[7:0]*	P_VAL_L[7:0]							
0x3E4	0x00	FSYNC_4[7:0]*	–	–	P_VAL_SIGN	P_VAL_H[4:0]				
0x3E5	0x00	FSYNC_5[7:0]*	FSYNC_PERIOD_L[7:0]							
0x3E6	0x00	FSYNC_6[7:0]*	FSYNC_PERIOD_M[7:0]							
0x3E7	0x00	FSYNC_7[7:0]*	FSYNC_PERIOD_H[7:0]							
0x3E8	0x00	FSYNC_8[7:0]	FRM_DIFF_ERR_THR_L[7:0]							
0x3E9	0x0F	FSYNC_9[7:0]	–	–	–	FRM_DIFF_ERR_THR_H[4:0]				
0x3EA	0x00	FSYNC_10[7:0]	OVLP_WINDOW_L[7:0]							
0x3EB	0x00	FSYNC_11[7:0]	EN_FSIN_LAST	–	–	OVLP_WINDOW_H[4:0]				
0x3EF	0x96	FSYNC_15[7:0]	FS_GPIO_TYPE	FS_USE_XTAL	–	AUTO_FS_LINKS	–	FS_EN_Z	FS_EN_Y	–
0x3F0	0x00	FSYNC_16[7:0]	FSYNC_ERR_CNT[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x3F1	0xF0	FSYNC_17[7:0]	FSYNC_TX_ID[4:0]					FSYNC_ERR_THR[2:0]		
0x3F2	0x00	FSYNC_18[7:0]	CALC_FRM_LEN_L[7:0]							
0x3F3	0x00	FSYNC_19[7:0]	CALC_FRM_LEN_M[7:0]							
0x3F4	0x00	FSYNC_20[7:0]	CALC_FRM_LEN_H[7:0]							
0x3F5	0x00	FSYNC_21[7:0]	FRM_DIFF_L[7:0]							
0x3F6	0x00	FSYNC_22[7:0]	FSYNC_LOSS_OF_LOCK	FSYNC_LOCKED	FRM_DIFF_H[5:0]					
0x3F7	0x00	FSYNC_23[7:0]*	EN_SYNC_COMP	EN_LINK_RESET	–	–	–	FSYNC_OVR_Z	FSYNC_OVR_Y	–
MIPI_TX 0										
0x40A	0xD0	MIPI_TX10[7:0]*	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	–	–	–	–
MIPI_TX 1										
0x441	0x00	MIPI_TX1[7:0]*	MODE[7:0]							
0x442	0x00	MIPI_TX2[7:0]	STATUS[7:0]							
0x443	0x01	MIPI_TX3[7:0]	DESKEW_INIT[7:0]							
0x444	0x01	MIPI_TX4[7:0]	DESKEW_PER[7:0]							
0x447	0x1C	MIPI_TX7[7:0]	CSI2_TX_GAP[7:0]							
0x44A	0xD0	MIPI_TX10[7:0]*	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	CSI_VCX_EN	RSVD[2:0]		
0x44B	0x00	MIPI_TX11[7:0]*	MAP_EN_L[7:0]							
0x44C	0x00	MIPI_TX12[7:0]*	MAP_EN_H[7:0]							
0x44D	0x00	MIPI_TX13[7:0]*	MAP_SRC_0[7:0]							
0x44E	0x00	MIPI_TX14[7:0]*	MAP_DST_0[7:0]							
0x44F	0x00	MIPI_TX15[7:0]*	MAP_SRC_1[7:0]							
0x450	0x00	MIPI_TX16[7:0]*	MAP_DST_1[7:0]							
0x451	0x00	MIPI_TX17[7:0]*	MAP_SRC_2[7:0]							
0x452	0x00	MIPI_TX18[7:0]*	MAP_DST_2[7:0]							
0x453	0x00	MIPI_TX19[7:0]*	MAP_SRC_3[7:0]							
0x454	0x00	MIPI_TX20[7:0]*	MAP_DST_3[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x455	0x00	MIPI_TX21[7:0]	MAP_SRC_4[7:0]							
0x456	0x00	MIPI_TX22[7:0]	MAP_DST_4[7:0]							
0x457	0x00	MIPI_TX23[7:0]	MAP_SRC_5[7:0]							
0x458	0x00	MIPI_TX24[7:0]	MAP_DST_5[7:0]							
0x459	0x00	MIPI_TX25[7:0]	MAP_SRC_6[7:0]							
0x45A	0x00	MIPI_TX26[7:0]	MAP_DST_6[7:0]							
0x45B	0x00	MIPI_TX27[7:0]	MAP_SRC_7[7:0]							
0x45C	0x00	MIPI_TX28[7:0]	MAP_DST_7[7:0]							
0x45D	0x00	MIPI_TX29[7:0]	MAP_SRC_8[7:0]							
0x45E	0x00	MIPI_TX30[7:0]	MAP_DST_8[7:0]							
0x45F	0x00	MIPI_TX31[7:0]	MAP_SRC_9[7:0]							
0x460	0x00	MIPI_TX32[7:0]	MAP_DST_9[7:0]							
0x461	0x00	MIPI_TX33[7:0]	MAP_SRC_10[7:0]							
0x462	0x00	MIPI_TX34[7:0]	MAP_DST_10[7:0]							
0x463	0x00	MIPI_TX35[7:0]	MAP_SRC_11[7:0]							
0x464	0x00	MIPI_TX36[7:0]	MAP_DST_11[7:0]							
0x465	0x00	MIPI_TX37[7:0]	MAP_SRC_12[7:0]							
0x466	0x00	MIPI_TX38[7:0]	MAP_DST_12[7:0]							
0x467	0x00	MIPI_TX39[7:0]	MAP_SRC_13[7:0]							
0x468	0x00	MIPI_TX40[7:0]	MAP_DST_13[7:0]							
0x469	0x00	MIPI_TX41[7:0]	MAP_SRC_14[7:0]							
0x46A	0x00	MIPI_TX42[7:0]	MAP_DST_14[7:0]							
0x46B	0x00	MIPI_TX43[7:0]	MAP_SRC_15[7:0]							
0x46C	0x00	MIPI_TX44[7:0]	MAP_DST_15[7:0]							
0x46D	0x00	MIPI_TX45[7:0]*	MAP_DPHY_DEST_3[1:0]			MAP_DPHY_DEST_2[1:0]			MAP_DPHY_DEST_1[1:0]	MAP_DPHY_DEST_0[1:0]

ADDRESS	RESET	NAME	MSB							LSB
0x46E	0x00	MIPI_TX46[7:0]*	MAP_DPHY_DEST_7[1:0]		MAP_DPHY_DEST_6[1:0]		MAP_DPHY_DEST_5[1:0]		MAP_DPHY_DEST_4[1:0]	
0x46F	0x00	MIPI_TX47[7:0]*	MAP_DPHY_DEST_11[1:0]		MAP_DPHY_DEST_10[1:0]		MAP_DPHY_DEST_9[1:0]		MAP_DPHY_DEST_8[1:0]	
0x470	0x00	MIPI_TX48[7:0]*	MAP_DPHY_DEST_15[1:0]		MAP_DPHY_DEST_14[1:0]		MAP_DPHY_DEST_13[1:0]		MAP_DPHY_DEST_12[1:0]	
0x472	0x00	MIPI_TX50[7:0]	SKEW_PER_SEL[7:0]							
0x473	0x00	MIPI_TX51[7:0]*	TUN_WAIT_VS_START[2:0]			ALT2_MEM_MAP8	MODE_DT	ALT_MEM_MAP10	ALT_MEM_MAP8	ALT_MEM_MAP12
0x474	0x08	MIPI_TX52[7:0]*	TUN_NO_CORR	DESKEW_TUN[1:0]		TUN_SER_LANE_NUM[1:0]		DESKEW_TUN_SRC	TUN_DEST	TUN_EN
0x475	0x00	MIPI_TX53[7:0]*	DESKEW_TUN_OFFSET[7:0]							
0x476	0x00	MIPI_TX54[7:0]*	TUN_PKT_START_ADDR[7:0]							
0x477	0x00	MIPI_TX55[7:0]	–	–	–	–	–	–	–	TUN_NO_CORR_LENGTH
MIPI_TX 2										
0x481	0x00	MIPI_TX1[7:0]*	MODE[7:0]							
0x482	0x00	MIPI_TX2[7:0]	STATUS[7:0]							
0x483	0x01	MIPI_TX3[7:0]	DESKEW_INIT[7:0]							
0x484	0x01	MIPI_TX4[7:0]	DESKEW_PER[7:0]							
0x487	0x1C	MIPI_TX7[7:0]	CSI2_TX_GAP[7:0]							
0x48A	0xD0	MIPI_TX10[7:0]*	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	CSI_VCX_EN	RSVD[2:0]		
0x48B	0x00	MIPI_TX11[7:0]*	MAP_EN_L[7:0]							
0x48C	0x00	MIPI_TX12[7:0]*	MAP_EN_H[7:0]							
0x48D	0x00	MIPI_TX13[7:0]*	MAP_SRC_0[7:0]							
0x48E	0x00	MIPI_TX14[7:0]*	MAP_DST_0[7:0]							
0x48F	0x00	MIPI_TX15[7:0]*	MAP_SRC_1[7:0]							
0x490	0x00	MIPI_TX16[7:0]*	MAP_DST_1[7:0]							
0x491	0x00	MIPI_TX17[7:0]*	MAP_SRC_2[7:0]							
0x492	0x00	MIPI_TX18[7:0]*	MAP_DST_2[7:0]							
0x493	0x00	MIPI_TX19[7:0]*	MAP_SRC_3[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x494	0x00	MIPI_TX20[7:0]*	MAP_DST_3[7:0]							
0x495	0x00	MIPI_TX21[7:0]	MAP_SRC_4[7:0]							
0x496	0x00	MIPI_TX22[7:0]	MAP_DST_4[7:0]							
0x497	0x00	MIPI_TX23[7:0]	MAP_SRC_5[7:0]							
0x498	0x00	MIPI_TX24[7:0]	MAP_DST_5[7:0]							
0x499	0x00	MIPI_TX25[7:0]	MAP_SRC_6[7:0]							
0x49A	0x00	MIPI_TX26[7:0]	MAP_DST_6[7:0]							
0x49B	0x00	MIPI_TX27[7:0]	MAP_SRC_7[7:0]							
0x49C	0x00	MIPI_TX28[7:0]	MAP_DST_7[7:0]							
0x49D	0x00	MIPI_TX29[7:0]	MAP_SRC_8[7:0]							
0x49E	0x00	MIPI_TX30[7:0]	MAP_DST_8[7:0]							
0x49F	0x00	MIPI_TX31[7:0]	MAP_SRC_9[7:0]							
0x4A0	0x00	MIPI_TX32[7:0]	MAP_DST_9[7:0]							
0x4A1	0x00	MIPI_TX33[7:0]	MAP_SRC_10[7:0]							
0x4A2	0x00	MIPI_TX34[7:0]	MAP_DST_10[7:0]							
0x4A3	0x00	MIPI_TX35[7:0]	MAP_SRC_11[7:0]							
0x4A4	0x00	MIPI_TX36[7:0]	MAP_DST_11[7:0]							
0x4A5	0x00	MIPI_TX37[7:0]	MAP_SRC_12[7:0]							
0x4A6	0x00	MIPI_TX38[7:0]	MAP_DST_12[7:0]							
0x4A7	0x00	MIPI_TX39[7:0]	MAP_SRC_13[7:0]							
0x4A8	0x00	MIPI_TX40[7:0]	MAP_DST_13[7:0]							
0x4A9	0x00	MIPI_TX41[7:0]	MAP_SRC_14[7:0]							
0x4AA	0x00	MIPI_TX42[7:0]	MAP_DST_14[7:0]							
0x4AB	0x00	MIPI_TX43[7:0]	MAP_SRC_15[7:0]							
0x4AC	0x00	MIPI_TX44[7:0]	MAP_DST_15[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x4AD	0x00	MIPI_TX45[7:0]*	MAP_DPHY_DEST_3[1:0]		MAP_DPHY_DEST_2[1:0]		MAP_DPHY_DEST_1[1:0]		MAP_DPHY_DEST_0[1:0]	
0x4AE	0x00	MIPI_TX46[7:0]*	MAP_DPHY_DEST_7[1:0]		MAP_DPHY_DEST_6[1:0]		MAP_DPHY_DEST_5[1:0]		MAP_DPHY_DEST_4[1:0]	
0x4AF	0x00	MIPI_TX47[7:0]*	MAP_DPHY_DEST_11[1:0]		MAP_DPHY_DEST_10[1:0]		MAP_DPHY_DEST_9[1:0]		MAP_DPHY_DEST_8[1:0]	
0x4B0	0x00	MIPI_TX48[7:0]*	MAP_DPHY_DEST_15[1:0]		MAP_DPHY_DEST_14[1:0]		MAP_DPHY_DEST_13[1:0]		MAP_DPHY_DEST_12[1:0]	
0x4B2	0x00	MIPI_TX50[7:0]	SKEW_PER_SEL[7:0]							
0x4B3	0x00	MIPI_TX51[7:0]	TUN_WAIT_VS_START[2:0]			ALT2_MEM_MAP8	MODE_DT	ALT_MEM_MAP10	ALT_MEM_MAP8	ALT_MEM_MAP12
0x4B4	0x0E	MIPI_TX52[7:0]*	TUN_NO_CORR	DESKEW_TUN[1:0]		TUN_SER_LANE_NUM[1:0]		DESKEW_TUN_SRC	TUN_DEST	TUN_EN
0x4B5	0x00	MIPI_TX53[7:0]*	DESKEW_TUN_OFFSET[7:0]							
0x4B6	0x00	MIPI_TX54[7:0]*	TUN_PKT_START_ADDR[7:0]							
0x4B7	0x00	MIPI_TX55[7:0]	–	–	–	–	–	–	–	TUN_NO_CORR_LENGTH
MIPI_TX 3										
0x4CA	0xD0	MIPI_TX10[7:0]*	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	–	–	–	–
MIPI_TX_EXT 1										
0x510	0x00	MIPI_TX_EXT0[7:0]	MAP_SRC_0_H[2:0]			MAP_DST_0_H[2:0]			–	–
0x511	0x00	MIPI_TX_EXT1[7:0]	MAP_SRC_1_H[2:0]			MAP_DST_1_H[2:0]			–	–
0x512	0x00	MIPI_TX_EXT2[7:0]	MAP_SRC_2_H[2:0]			MAP_DST_2_H[2:0]			–	–
0x513	0x00	MIPI_TX_EXT3[7:0]	MAP_SRC_3_H[2:0]			MAP_DST_3_H[2:0]			–	–
0x514	0x00	MIPI_TX_EXT4[7:0]	MAP_SRC_4_H[2:0]			MAP_DST_4_H[2:0]			–	–
0x515	0x00	MIPI_TX_EXT5[7:0]	MAP_SRC_5_H[2:0]			MAP_DST_5_H[2:0]			–	–
0x516	0x00	MIPI_TX_EXT6[7:0]	MAP_SRC_6_H[2:0]			MAP_DST_6_H[2:0]			–	–
0x517	0x00	MIPI_TX_EXT7[7:0]	MAP_SRC_7_H[2:0]			MAP_DST_7_H[2:0]			–	–
0x518	0x00	MIPI_TX_EXT8[7:0]	MAP_SRC_8_H[2:0]			MAP_DST_8_H[2:0]			–	–
0x519	0x00	MIPI_TX_EXT9[7:0]	MAP_SRC_9_H[2:0]			MAP_DST_9_H[2:0]			–	–
0x51A	0x00	MIPI_TX_EXT10[7:0]	MAP_SRC_10_H[2:0]			MAP_DST_10_H[2:0]			–	–

ADDRESS	RESET	NAME	MSB							LSB
0x51B	0x00	MIPI_TX_EXT 11[7:0]	MAP_SRC_11_H[2:0]			MAP_DST_11_H[2:0]			–	–
0x51C	0x00	MIPI_TX_EXT 12[7:0]	MAP_SRC_12_H[2:0]			MAP_DST_12_H[2:0]			–	–
0x51D	0x00	MIPI_TX_EXT 13[7:0]	MAP_SRC_13_H[2:0]			MAP_DST_13_H[2:0]			–	–
0x51E	0x00	MIPI_TX_EXT 14[7:0]	MAP_SRC_14_H[2:0]			MAP_DST_14_H[2:0]			–	–
0x51F	0x00	MIPI_TX_EXT 15[7:0]	MAP_SRC_15_H[2:0]			MAP_DST_15_H[2:0]			–	–
MIPI_TX_EXT 2										
0x520	0x00	MIPI_TX_EXT 0[7:0]	MAP_SRC_0_H[2:0]			MAP_DST_0_H[2:0]			–	–
0x521	0x00	MIPI_TX_EXT 1[7:0]	MAP_SRC_1_H[2:0]			MAP_DST_1_H[2:0]			–	–
0x522	0x00	MIPI_TX_EXT 2[7:0]	MAP_SRC_2_H[2:0]			MAP_DST_2_H[2:0]			–	–
0x523	0x00	MIPI_TX_EXT 3[7:0]	MAP_SRC_3_H[2:0]			MAP_DST_3_H[2:0]			–	–
0x524	0x00	MIPI_TX_EXT 4[7:0]	MAP_SRC_4_H[2:0]			MAP_DST_4_H[2:0]			–	–
0x525	0x00	MIPI_TX_EXT 5[7:0]	MAP_SRC_5_H[2:0]			MAP_DST_5_H[2:0]			–	–
0x526	0x00	MIPI_TX_EXT 6[7:0]	MAP_SRC_6_H[2:0]			MAP_DST_6_H[2:0]			–	–
0x527	0x00	MIPI_TX_EXT 7[7:0]	MAP_SRC_7_H[2:0]			MAP_DST_7_H[2:0]			–	–
0x528	0x00	MIPI_TX_EXT 8[7:0]	MAP_SRC_8_H[2:0]			MAP_DST_8_H[2:0]			–	–
0x529	0x00	MIPI_TX_EXT 9[7:0]	MAP_SRC_9_H[2:0]			MAP_DST_9_H[2:0]			–	–
0x52A	0x00	MIPI_TX_EXT 10[7:0]	MAP_SRC_10_H[2:0]			MAP_DST_10_H[2:0]			–	–
0x52B	0x00	MIPI_TX_EXT 11[7:0]	MAP_SRC_11_H[2:0]			MAP_DST_11_H[2:0]			–	–
0x52C	0x00	MIPI_TX_EXT 12[7:0]	MAP_SRC_12_H[2:0]			MAP_DST_12_H[2:0]			–	–
0x52D	0x00	MIPI_TX_EXT 13[7:0]	MAP_SRC_13_H[2:0]			MAP_DST_13_H[2:0]			–	–
0x52E	0x00	MIPI_TX_EXT 14[7:0]	MAP_SRC_14_H[2:0]			MAP_DST_14_H[2:0]			–	–
0x52F	0x00	MIPI_TX_EXT 15[7:0]	MAP_SRC_15_H[2:0]			MAP_DST_15_H[2:0]			–	–
MISC										
0x540	0x00	CFG_0[7:0]	VS_OUT1[2:0]			RSVD[4:0]				
0x541	0x00	CFG_1[7:0]	VS_OUT2[2:0]			RSVD[4:0]				
0x542	0x00	CFG_2[7:0]	HS_OUT1[2:0]			RSVD[4:0]				
0x548	0x96	UART_PT_0[7:0]*	BITLEN_PT_1_L[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x549	0x00	UART_PT_1[7:0]*	–	–	BITLEN_PT_1_H[5:0]					
0x54A	0x96	UART_PT_2[7:0]*	BITLEN_PT_2_L[7:0]							
0x54B	0x00	UART_PT_3[7:0]*	–	–	BITLEN_PT_2_H[5:0]					
0x550	0x00	I2C_PT_4[7:0]	SRC_A_1[6:0]							–
0x551	0x00	I2C_PT_5[7:0]	DST_A_1[6:0]							–
0x552	0x00	I2C_PT_6[7:0]	SRC_B_1[6:0]							–
0x553	0x00	I2C_PT_7[7:0]	DST_B_1[6:0]							–
0x554	0x00	I2C_PT_8[7:0]	SRC_A_2[6:0]							–
0x555	0x00	I2C_PT_9[7:0]	DST_A_2[6:0]							–
0x556	0x00	I2C_PT_10[7:0]	SRC_B_2[6:0]							–
0x557	0x00	I2C_PT_11[7:0]	DST_B_2[6:0]							–
0x55C	0x00	CNT4[7:0]	VID_PXL_CRC_ERR0[7:0]							
0x55D	0x00	CNT5[7:0]	VID_PXL_CRC_ERR1[7:0]							
0x55E	0x00	CNT6[7:0]	VID_PXL_CRC_ERR2[7:0]							
0x55F	0x00	CNT7[7:0]	VID_PXL_CRC_ERR3[7:0]							
0x568	0x06	PORT_TUN_ONLY[7:0]*	–	–	–	–	–	TUN_ONLY_2	TUN_ONLY_1	TUN_ONLY_CC
0x569	0xAA	UNLOCK_KEY[7:0]*	UNLOCK_KEY[7:0]							
0x570	0xFE	PIO_SLEW_0[7:0]*	PIO03_SLEW[1:0]		PIO02_SLEW[1:0]		PIO01_SLEW[1:0]		PIO00_SLEW[1:0]	
0x571	0x83	PIO_SLEW_1[7:0]*	PIO07_SLEW[1:0]		–	–	–	–	PIO04_SLEW[1:0]	
0x572	0x02	PIO_SLEW_2[7:0]*	–	–	–	–	–	–	PIO08_SLEW[1:0]	
0x575	0x00	HS_VS_ACT_Y[7:0]	–	DE_DET_Y	VS_DET_Y	HS_DET_Y	–	–	VS_POL_Y	HS_POL_Y
0x576	0x00	HS_VS_ACT_Z[7:0]	–	DE_DET_Z	VS_DET_Z	HS_DET_Z	–	–	VS_POL_Z	HS_POL_Z
0x577	0x60	DP_ORSTB_CTL[7:0]*	–	DP_RST_MIPI3_CHKB	DP_RST_STABLE_CHKB	DP_RST_MIPI2_CHKB	DP_RST_MIPI_CHKB	DP_RST_VP_CHKB	RSVD	RSVD
0x578	0x15	PM_OV_STAT2[7:0]*	VTERM_OV_OEN	VREG_OV_OEN	VTERM_OV_LEVEL[1:0]		RSVD[1:0]		VREG_OV_LEVEL[1:0]	
0x579	0x00	PM_OV_STAT3[7:0]	VTERM_OV_FLAG	VREG_OV_FLAG	RSVD	–	RSVD	RSVD	RSVD	RSVD

ADDRESS	RESET	NAME	MSB							LSB
CC_EXT										
0x808	0x02	UART_0[7:0]*	–	–	REM_MS_EN_1	LOC_MS_EN_1	–	BYPASS_TO_1[1:0]		BYPASS_EN_1
0x809	0x02	UART_1[7:0]*	–	–	REM_MS_EN_2	LOC_MS_EN_2	–	BYPASS_TO_2[1:0]		BYPASS_EN_2
0x80E	0x06	I2C_PT_0[7:0]	RSVD	I2C_REGSLV_0_TIMED_OUT	–	–	RSVD	I2C_INTREG_SLV_TO[2:0]		
0x80F	0x36	I2C_PT_1[7:0]*	I2C_REGSLV_2_TIMED_OUT	I2C_REGSLV_1_TIMED_OUT	I2C_INTREG_SLV_2_TO[2:0]			I2C_INTREG_SLV_1_TO[2:0]		
GMSL1_COMMON										
0xF00	0x03	GMSL1_EN[7:0]*	–	–	–	–	–	–	LINK_EN_B	LINK_EN_A
SPI_CC_WR										
0x1300	0x00	SPI_CC_WR_[7:0]	–	–	–	–	–	–	–	–
SPI_CC_RD										
0x1380	0x00	SPI_CC_RD_[7:0]	–	–	–	–	–	–	–	–
RLMS A										
0x1403	0x0A	RLMS3[7:0]	AdaptEn	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
0x1404	0x4B	RLMS4[7:0]	EOM_CHK_AMOUNT[3:0]				EOM_CHK_THR[1:0]		EOM_PER_MODE	EOM_EN
0x1405	0x10	RLMS5[7:0]	EOM_MAN_TRG_REQ	EOM_MIN_THR[6:0]						
0x1406	0x80	RLMS6[7:0]	EOM_PV_MODE	EOM_RST_THR[6:0]						
0x1407	0x00	RLMS7[7:0]	EOM_DONE	EOM[6:0]						
0x140A	0x08	RLMSA[7:0]	RSVD	RSVD	RSVD[1:0]		DFEAdpDly[3:0]			
0x140B	0x44	RLMSB[7:0]	AGCAcqDly[3:0]				RSVD[3:0]			
0x1418	0x0F	RLMS18[7:0]	RSVD	RSVD[2:0]			RSVD	VgaHiGain	RSVD[1:0]	
0x141F	0xA7	RLMS1F[7:0]	AGCInitG2[7:0]							
0x1421	0x04	RLMS21[7:0]	RSVD	–	BSTMuH[5:0]					
0x1423	0x45	RLMS23[7:0]	–	RSVD	BSTInit[5:0]					
0x1431	0x18	RLMS31[7:0]	RSVD	–	OSNMuH[5:0]					
0x143E	0x94	RLMS3E[7:0]	ErrChPhSecTAFR6G	ErrChPhSecFR6G[6:0]						
0x143F	0x54	RLMS3F[7:0]	ErrChPhPriTAFR6G	ErrChPhPriFR6G[6:0]						

ADDRESS	RESET	NAME	MSB							LSB
0x1445	0xC8	RLMS45[7:0]	CRULpCtrlSREn	CRUSSCSelSREn	RSVD[1:0]		RSVD	RSVD[2:0]		
0x1446	0xB3	RLMS46[7:0]	RSVD[3:0]				RSVD	CRULpCtrl[2:0]		
0x1447	0x03	RLMS47[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	CRUSSCSel[1:0]		RSVD
0x1449	0xF5	RLMS49[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	ErrChPwrUp	–	RSVD
0x1464	0x90	RLMS64[7:0]*	RSVD[3:0]				RSVD	RSVD	TxSSCMode[1:0]	
0x1470	0x01	RLMS70[7:0]*	RSVD	TxSSCFrqCtrl[6:0]						
0x1471	0x02	RLMS71[7:0]*	RSVD	TxSSCCenSprSt[5:0]						TxSSCEn
0x1472	0xCF	RLMS72[7:0]*	TxSSCPreSclL[7:0]							
0x1473	0x00	RLMS73[7:0]*	RSVD[4:0]					TxSSCPreSclH[2:0]		
0x1474	0x00	RLMS74[7:0]*	TxSSCPhL[7:0]							
0x1475	0x00	RLMS75[7:0]*	RSVD	TxSSCPhH[6:0]						
0x148C	0x00	RLMS8C[7:0]	RSVD	cap_pre_out_rlms[6:0]						
0x1495	0x69	RLMS95[7:0]	TxAmplManEn	RSVD	TxAmplMan[5:0]					
0x1498	0x40	RLMS98[7:0]	Cal_cap_pre_out_en	RSVD	RSVD[2:0]			RSVD[2:0]		
0x14A4	0xBD	RLMSA4[7:0]	AEQ_PER_MULT[1:0]	AEQ_PER[5:0]						
0x14A5	0x50	RLMSA5[7:0]	RSVD[1:0]		PHYC_WBLOCK_DLY[1:0]		RSVD[1:0]		RSVD[1:0]	
0x14A7	0x01	RLMSA7[7:0]	MAN_CTRL_EN	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x14A8	0x00	RLMSA8[7:0]	FW_PHY_CTRL	FW_PHY_PU_TX	FW_PHY_RSTB	RSVD	RSVD	RSVD	RSVD	RSVD
0x14A9	0x00	RLMSA9[7:0]	FW_REPCAL_RSTB	RSVD	FW_TXD_SQUELCH	FW_TXD_EN	FW_RXD_EN	RSVD	RSVD	RSVD
0x14AC	0xA0	RLMSAC[7:0]	RSVD	ErrChPhSecFR3G[6:0]						
0x14AD	0x60	RLMSAD[7:0]	RSVD	ErrChPhPriFR3G[6:0]						
RLMS B										
0x1503	0x0A	RLMS3[7:0]	AdaptEn	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
0x1504	0x4B	RLMS4[7:0]	EOM_CHK_AMOUNT[3:0]				EOM_CHK_THR[1:0]		EOM_PER_MODE	EOM_EN
0x1505	0x10	RLMS5[7:0]	EOM_MAN_TRG_REQ	EOM_MIN_THR[6:0]						
0x1506	0x80	RLMS6[7:0]	EOM_PV_MODE	EOM_RST_THR[6:0]						
0x1507	0x00	RLMS7[7:0]	EOM_DONE	EOM[6:0]						
0x150A	0x08	RLMSA[7:0]	RSVD	RSVD	RSVD[1:0]		DFEAdpDly[3:0]			
0x150B	0x44	RLMSB[7:0]	AGCAcqDly[3:0]				RSVD[3:0]			

ADDRESS	RESET	NAME	MSB							LSB
0x1518	0x0F	RLMS18[7:0]	RSVD	RSVD[2:0]			RSVD	VgaHiGain	RSVD[1:0]	
0x151F	0xA7	RLMS1F[7:0]	AGCInitG2[7:0]							
0x1521	0x04	RLMS21[7:0]	RSVD	–	BSTMuH[5:0]					
0x1523	0x45	RLMS23[7:0]	–	RSVD	BSTInit[5:0]					
0x1531	0x18	RLMS31[7:0]	RSVD	–	OSNMuH[5:0]					
0x153E	0x94	RLMS3E[7:0]	ErrChPhSecTAFR6G	ErrChPhSecFR6G[6:0]						
0x153F	0x54	RLMS3F[7:0]	ErrChPhPriTAFR6G	ErrChPhPriFR6G[6:0]						
0x1545	0xC8	RLMS45[7:0]	CRULpCtrlSREn	CRUSSCSelSREn	RSVD[1:0]		RSVD	RSVD[2:0]		
0x1546	0xB3	RLMS46[7:0]	RSVD[3:0]				RSVD	CRULpCtrl[2:0]		
0x1547	0x03	RLMS47[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	CRUSSCSel[1:0]		RSVD
0x1549	0xF5	RLMS49[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	ErrChPwrUp	–	RSVD
0x1564	0x90	RLMS64[7:0]*	RSVD[3:0]				RSVD	RSVD	TxSSCMode[1:0]	
0x1570	0x01	RLMS70[7:0]*	RSVD	TxSSCFrqCtrl[6:0]						
0x1571	0x02	RLMS71[7:0]*	RSVD	TxSSCCenSprSt[5:0]						TxSSCEn
0x1572	0xCF	RLMS72[7:0]*	TxSSCPreSclL[7:0]							
0x1573	0x00	RLMS73[7:0]*	RSVD[4:0]					TxSSCPreSclH[2:0]		
0x1574	0x00	RLMS74[7:0]*	TxSSCPhL[7:0]							
0x1575	0x00	RLMS75[7:0]*	RSVD	TxSSCPhH[6:0]						
0x158C	0x00	RLMS8C[7:0]	RSVD	cap_pre_out_rlms[6:0]						
0x1595	0x69	RLMS95[7:0]	TxAmplManEn	RSVD	TxAmplMan[5:0]					
0x1598	0x40	RLMS98[7:0]	Cal_cap_pre_out_en	RSVD	RSVD[2:0]			RSVD[2:0]		
0x15A4	0xBD	RLMSA4[7:0]	AEQ_PER_MULT[1:0]		AEQ_PER[5:0]					
0x15A5	0x50	RLMSA5[7:0]	RSVD[1:0]		PHYC_WBLOCK_DLY[1:0]		RSVD[1:0]		RSVD[1:0]	
0x15A7	0x01	RLMSA7[7:0]	MAN_CTRL_EN	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x15A8	0x00	RLMSA8[7:0]	FW_PHY_CTRL	FW_PHY_PU_TX	FW_PHY_RSTB	RSVD	RSVD	RSVD	RSVD	RSVD
0x15A9	0x00	RLMSA9[7:0]	FW_REPCAL_RSTB	RSVD	FW_TXD_SQUELCH	FW_TXD_EN	FW_RXD_EN	RSVD	RSVD	RSVD
0x15AC	0xA0	RLMSAC[7:0]	RSVD	ErrChPhSecFR3G[6:0]						
0x15AD	0x60	RLMSAD[7:0]	RSVD	ErrChPhPriFR3G[6:0]						

ADDRESS	RESET	NAME	MSB							LSB
DPLL CSI1										
0x1C00	0xF5	DPLL_0[7:0]*	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
0x1C03	0x82	DPLL_3[7:0]*	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
0x1C07	0x04	DPLL_7[7:0]	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
0x1C08	0x14	DPLL_8[7:0]	config_div_fb_H[7:0]							
0x1C0A	0x81	DPLL_10[7:0]	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
DPLL CSI2										
0x1D00	0xF5	DPLL_0[7:0]*	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
0x1D03	0x82	DPLL_3[7:0]*	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
0x1D07	0x04	DPLL_7[7:0]	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
0x1D08	0x14	DPLL_8[7:0]	config_div_fb_H[7:0]							
0x1D0A	0x81	DPLL_10[7:0]	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
DPLL CSI3										
0x1E00	0xF5	DPLL_0[7:0]*	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
0x1E03	0x82	DPLL_3[7:0]*	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
0x1E07	0x04	DPLL_7[7:0]	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
0x1E08	0x14	DPLL_8[7:0]	config_div_fb_H[7:0]							
0x1E0A	0x81	DPLL_10[7:0]	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
DPLL CSI4										
0x1F00	0xF5	DPLL_0[7:0]*	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
0x1F03	0x82	DPLL_3[7:0]*	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
0x1F07	0x04	DPLL_7[7:0]	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
0x1F08	0x14	DPLL_8[7:0]	config_div_fb_H[7:0]							
0x1F0A	0x81	DPLL_10[7:0]	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			

ADDRESS	RESET	NAME	MSB							LSB
FEC										
0x2000	0x00	CLEAR_STATS[7:0]	–	–	–	–	CLEAR_BITS_CORRECTED	CLEAR_BLOCKS_UNCORRECTABLE	CLEAR_BLOCKS_PROCESSED	CLEAR_ALL_STATS
0x2001	0x00	STATS_CONTROL[7:0]	–	–	–	–	–	–	–	STATS_ENABLE
0x2008	0x00	CORRECTED_THRESHOLD_0[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_0[7:0]							
0x2009	0x00	CORRECTED_THRESHOLD_1[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_1[7:0]							
0x200A	0x00	CORRECTED_THRESHOLD_2[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_2[7:0]							
0x200B	0x00	CORRECTED_THRESHOLD_3[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_3[7:0]							
0x200C	0x00	ERROR_THRESHOLD_0[7:0]	UNCORRECTED_ERROR_THRESHOLD_0[7:0]							
0x200D	0x00	ERROR_THRESHOLD_1[7:0]	UNCORRECTED_ERROR_THRESHOLD_1[7:0]							
0x200E	0x00	ERROR_THRESHOLD_2[7:0]	UNCORRECTED_ERROR_THRESHOLD_2[7:0]							
0x200F	0x00	ERROR_THRESHOLD_3[7:0]	UNCORRECTED_ERROR_THRESHOLD_3[7:0]							
0x2020	0x00	BLOCKS_UNCORRECTABLE_0[7:0]	UNCORRECTABLE_BLOCKS_0[7:0]							
0x2021	0x00	BLOCKS_UNCORRECTABLE_1[7:0]	UNCORRECTABLE_BLOCKS_1[7:0]							
0x2022	0x00	BLOCKS_UNCORRECTABLE_2[7:0]	UNCORRECTABLE_BLOCKS_2[7:0]							
0x2023	0x00	BLOCKS_UNCORRECTABLE_3[7:0]	UNCORRECTABLE_BLOCKS_3[7:0]							
0x2024	0x00	BITS_CORRECTED_0[7:0]	BIT_ERRS_CORRECTED_0[7:0]							
0x2025	0x00	BITS_CORRECTED_1[7:0]	BIT_ERRS_CORRECTED_1[7:0]							
0x2026	0x00	BITS_CORRECTED_2[7:0]	BIT_ERRS_CORRECTED_2[7:0]							
0x2027	0x00	BITS_CORRECTED_3[7:0]	BIT_ERRS_CORRECTED_3[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x2028	0x00	BLOCKS_PROCESSED_0[7:0]	BLOCKS_PROCESSED_0[7:0]							
0x2029	0x00	BLOCKS_PROCESSED_1[7:0]	BLOCKS_PROCESSED_1[7:0]							
0x202A	0x00	BLOCKS_PROCESSED_2[7:0]	BLOCKS_PROCESSED_2[7:0]							
0x202B	0x00	BLOCKS_PROCESSED_3[7:0]	BLOCKS_PROCESSED_3[7:0]							
FEC_B										
0x2100	0x00	CLEAR_STATS[7:0]	–	–	–	–	CLEAR_BITS_CORRECTED_B	CLEAR_BLOCKS_UNCORRECTABLE_B	CLEAR_BLOCKS_PROCESSED_B	CLEAR_ALL_STATS_B
0x2101	0x00	STATS_CONTROL[7:0]	–	–	–	–	–	–	–	STATS_ENABLE_B
0x2108	0x00	CORRECTED_THRESHOLD_0[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_0_B[7:0]							
0x2109	0x00	CORRECTED_THRESHOLD_1[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_1_B[7:0]							
0x210A	0x00	CORRECTED_THRESHOLD_2[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_2_B[7:0]							
0x210B	0x00	CORRECTED_THRESHOLD_3[7:0]	BIT_ERRS_CORRECTED_THRESHOLD_3_B[7:0]							
0x210C	0x00	ERROR_THRESHOLD_0[7:0]	UNCORRECTED_ERROR_THRESHOLD_0_B[7:0]							
0x210D	0x00	ERROR_THRESHOLD_1[7:0]	UNCORRECTED_ERROR_THRESHOLD_1_B[7:0]							
0x210E	0x00	ERROR_THRESHOLD_2[7:0]	UNCORRECTED_ERROR_THRESHOLD_2_B[7:0]							
0x210F	0x00	ERROR_THRESHOLD_3[7:0]	UNCORRECTED_ERROR_THRESHOLD_3_B[7:0]							
0x2120	0x00	BLOCKS_UNCORRECTABLE_0[7:0]	UNCORRECTABLE_BLOCKS_0_B[7:0]							
0x2121	0x00	BLOCKS_UNCORRECTABLE_1[7:0]	UNCORRECTABLE_BLOCKS_1_B[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x2122	0x00	BLOCKS_UNCORRECTABLE_2[7:0]	UNCORRECTABLE_BLOCKS_2_B[7:0]							
0x2123	0x00	BLOCKS_UNCORRECTABLE_3[7:0]	UNCORRECTABLE_BLOCKS_3_B[7:0]							
0x2124	0x00	BITS_CORRECTED_0[7:0]	BIT_ERRS_CORRECTED_0_B[7:0]							
0x2125	0x00	BITS_CORRECTED_1[7:0]	BIT_ERRS_CORRECTED_1_B[7:0]							
0x2126	0x00	BITS_CORRECTED_2[7:0]	BIT_ERRS_CORRECTED_2_B[7:0]							
0x2127	0x00	BITS_CORRECTED_3[7:0]	BIT_ERRS_CORRECTED_3_B[7:0]							
0x2128	0x00	BLOCKS_PROCESSED_0[7:0]	BLOCKS_PROCESSED_0_B[7:0]							
0x2129	0x00	BLOCKS_PROCESSED_1[7:0]	BLOCKS_PROCESSED_1_B[7:0]							
0x212A	0x00	BLOCKS_PROCESSED_2[7:0]	BLOCKS_PROCESSED_2_B[7:0]							
0x212B	0x00	BLOCKS_PROCESSED_3[7:0]	BLOCKS_PROCESSED_3_B[7:0]							
FUNC_SAFE										
0x3000	0x00	REGCRC0[7:0]*	–	–	RSVD	GEN_ROLLING_CRC	I2C_WR_COMPUTE	PERIODIC_COMPUTE	CHECK_CRC	RESET_CRC
0x3001	0x00	REGCRC1[7:0]*	CRC_PERIOD[7:0]							
0x3002	0x00	REGCRC2[7:0]	REGCRC_LSB[7:0]							
0x3003	0x00	REGCRC3[7:0]	REGCRC_MSB[7:0]							
0x3008	0x00	I2C_UART_CRC0[7:0]	–	–	–	–	–	–	–	RESET_MSGCNTR
0x3009	0x00	I2C_UART_CRC1[7:0]*	MSGCNTR_ERR_THR[2:0]			CRC_ERR_THR[2:0]			RESET_MSGCNTR_ERR_CNT	RESET_CRC_ERR_CNT
0x300A	0x00	I2C_UART_CRC2[7:0]	CRC_VAL[7:0]							
0x300B	0x00	I2C_UART_CRC3[7:0]	MSGCNTR_LSB[7:0]							
0x300C	0x00	I2C_UART_CRC4[7:0]	MSGCNTR_MSB[7:0]							
0x300D	0x00	I2C_UART_CRC5[7:0]	CRC_ERR_CNT[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x300E	0x00	I2C_UART_CRC6[7:0]	MSGCNTR_ERR_CNT[7:0]							
0x300F	0x06	I2C_UART_CRC7[7:0]*	–	–	–	MSGCNTR_PORT_SEL[1:0]		CC_MSGCNTR_EN	CC_CRC_EN	CC_CRC_MSGCNTR_OVR
0x3010	0xE2	FS_INTR0[7:0]*	I2C_UART_MSGCNTR_ERR_OEN	I2C_UART_CRC_ERR_OEN	MEM_ECC_ERR2_OEN	MEM_ECC_ERR1_OEN	–	–	EFUSE_CRC_ERR_OEN	REG_CRC_ERR_OEN
0x3011	0x00	FS_INTR1[7:0]	I2C_UART_MSGCNTR_ERR_INT	I2C_UART_CRC_ERR_INT	MEM_ECC_ERR2_INT	MEM_ECC_ERR1_INT	–	–	EFUSE_CRC_ERR_FLAG	REG_CRC_ERR_FLAG
0x3016	0x00	MEM_ECC0[7:0]*	MEM_ECC_ERR2_THR[2:0]			MEM_ECC_ERR1_THR[2:0]			RESET_MEM_ECC_ERR2_CNT	RESET_MEM_ECC_ERR1_CNT
0x3017	0x00	MEM_ECC1[7:0]	MEM_ECC_ERR1_CNT[7:0]							
0x3018	0x00	MEM_ECC2[7:0]	MEM_ECC_ERR2_CNT[7:0]							
0x3020	0x00	REG_POST0[7:0]*	POST_DONE	POST_MBIST_PASSED	POST_LBIST_PASSED	–	–	RSVD	POST_RUN_MBIST	POST_RUN_LBIST
0x3030	0xFF	REGCRC8[7:0]	SKIP0_LSB[7:0]							
0x3031	0xFF	REGCRC9[7:0]	SKIP0_MSB[7:0]							
0x3032	0xFF	REGCRC10[7:0]	SKIP1_LSB[7:0]							
0x3033	0xFF	REGCRC11[7:0]	SKIP1_MSB[7:0]							
0x3034	0xFF	REGCRC12[7:0]	SKIP2_LSB[7:0]							
0x3035	0xFF	REGCRC13[7:0]	SKIP2_MSB[7:0]							
0x3036	0xFF	REGCRC14[7:0]	SKIP3_LSB[7:0]							
0x3037	0xFF	REGCRC15[7:0]	SKIP3_MSB[7:0]							
0x3038	0xFF	REGCRC16[7:0]	SKIP4_LSB[7:0]							
0x3039	0xFF	REGCRC17[7:0]	SKIP4_MSB[7:0]							
0x303A	0xFF	REGCRC18[7:0]	SKIP5_LSB[7:0]							
0x303B	0xFF	REGCRC19[7:0]	SKIP5_MSB[7:0]							
0x303C	0xFF	REGCRC20[7:0]	SKIP6_LSB[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x303D	0xFF	REGCRC21[7:0]	SKIP6_MSB[7:0]							
0x303E	0xFF	REGCRC22[7:0]	SKIP7_LSB[7:0]							
0x303F	0xFF	REGCRC23[7:0]	SKIP7_MSB[7:0]							
0x304F	0x00	CC_RTTN_ERR[7:0]*	–	–	–	–	RSVD	RESET_EFUSE_CRC_ERR	INJECT_EFUSE_CRC_ERR	INJECT_RTTN_CRC_ERR
TCTRL_EXT										
0x5009	0x00	CTRL9[7:0]	RSVD	RSVD	–	–	LOCKED_B	–	–	–
0x5010	0x88	INTR10[7:0]*	RTTN_CRC_ERR_OEN	IDLE_ERR_OEN_B	FEC_RX_ERR_OEN_B	VDD18_OV_OEN	MAX_RT_OEN_B	RT_CNT_OEN_B	PKT_CNT_OEN_B	VDD_OV_OEN
0x5011	0x00	INTR11[7:0]	RTTN_CRC_INT	IDLE_ERR_FLAG_B	FEC_RX_ERR_FLAG_B	VDD18_OV_FLAG	MAX_RT_FLAG_B	RT_CNT_FLAG_B	PKT_CNT_FLAG_B	VDD_OV_FLAG
0x5012	0x00	INTR13[7:0]	FEC_B_INACTIVE_OEN	FEC_A_INACTIVE_OEN	–	–	–	–	video_mem_overflow_oen	LOSS_OF_LOCK_OEN
0x5013	0x00	INTR14[7:0]	FEC_B_INACTIVE	FEC_A_INACTIVE	–	–	–	–	video_mem_overflow	LOSS_OF_LOCK_FLAG
0x5018	0x1F	INTR12[7:0]*	–	–	–	ERR_RX_ID_B[4:0]				
0x5024	0x00	CNT2[7:0]	IDLE_ERR_B[7:0]							
0x5025	0x00	CNT3[7:0]	PKT_CNT_B[7:0]							
OVERLAP										
VID_RX_EXT Y										
0x501A	0x00	VIDEO_RX13[7:0]	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK_OEN
0x501B	0x00	VIDEO_RX14[7:0]	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK
VID_RX_EXT Z										
0x5020	0x00	VIDEO_RX13[7:0]	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK_OEN
0x5021	0x00	VIDEO_RX14[7:0]	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK
GMSL B										
0x5028	0x60	TX0[7:0]*	RSVD[1:0]		RSVD	RSVD	–	–	RX_FEC_EN	RSVD
0x5029	0x08	TX1[7:0]*	LINK_PRBS_GEN	RSVD	–	ERRG_EN_B	RSVD	RSVD	RSVD	RSVD

ADDRESS	RESET	NAME	MSB							LSB
0x502A	0x20	TX2[7:0]*	ERRG_CNT[1:0]		ERRG_RATE[1:0]		ERRG_BURST[2:0]			ERRG_PER
0x502B	0x44	TX3[7:0]*	RSVD[1:0]		RX_FEC_ACTIVE	RSVD	–	RSVD[2:0]		
0x502C	0x00	RX0[7:0]*	PKT_CNT_LBW[1:0]		RSVD	RSVD	PKT_CNT_SEL[3:0]			
0x5030	0x41	GPIOA[7:0]*	RSVD	RSVD	GPIO_FWD_CDLY[5:0]					
0x5031	0x88	GPIOB[7:0]*	GPIO_TX_WNDW[1:0]		GPIO_REV_CDLY[5:0]					
CFGH_B VIDEO_X										
0x5050	0x00	RX0[7:0]*	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
CFGH_B VIDEO_Y										
0x5051	0x01	RX0[7:0]*	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
CFGH_B VIDEO_Z										
0x5052	0x02	RX0[7:0]*	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
CFGH_B VIDEO_U										
0x5053	0x03	RX0[7:0]*	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
CFGI_B INFOFR										
0x5060	0xF0	TR0[7:0]*	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
0x5061	0xB0	TR1[7:0]*	BW_MULT_B[1:0]		BW_VAL_B[5:0]					
0x5063	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID_B[2:0]		
0x5064	0xFF	TR4[7:0]*	RX_SRC_SEL_B[7:0]							
CFGC_B CC										
0x5070	0xF0	TR0[7:0]*	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
0x5071	0xB0	TR1[7:0]*	BW_MULT_B[1:0]		BW_VAL_B[5:0]					
0x5073	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID_B[2:0]		
0x5074	0xFF	TR4[7:0]*	RX_SRC_SEL_B[7:0]							
0x5075	0x98	ARQ0[7:0]*	RSVD	RSVD	RSVD	RSVD	EN_B	DIS_DBL_ACK_RETX_B	–	–
0x5076	0x72	ARQ1[7:0]*	–	RSVD[2:0]			–	–	MAX_RT_ERR_OEN_B	RT_CNT_OEN_B
0x5077	0x00	ARQ2[7:0]	MAX_RT_ERR_B	RT_CNT_B[6:0]						
CFGL_B GPIO										
0x5078	0xF0	TR0[7:0]*	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
0x5079	0xB0	TR1[7:0]*	BW_MULT_B[1:0]		BW_VAL_B[5:0]					
0x507B	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID_B[2:0]		
0x507C	0xFF	TR4[7:0]*	RX_SRC_SEL_B[7:0]							

ADDRESS	RESET	NAME	MSB							LSB
0x507D	0x98	ARQ0[7:0]*	RSVD	RSVD	RSVD	RSVD	EN_B	DIS_DBL_ACK_RETX_B	–	–
0x507E	0x72	ARQ1[7:0]*	–	RSVD[2:0]			–	–	MAX_RT_ERR_OEN_B	RT_CNT_OEN_B
0x507F	0x00	ARQ2[7:0]	MAX_RT_ERR_B	RT_CNT_B[6:0]						
CFGC_B IIC_X										
0x5080	0xF0	TR0[7:0]*	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
0x5081	0xB0	TR1[7:0]*	BW_MULT_B[1:0]	BW_VAL_B[5:0]						
0x5083	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID_B[2:0]		
0x5084	0xFF	TR4[7:0]*	RX_SRC_SEL_B[7:0]							
0x5085	0x98	ARQ0[7:0]*	RSVD	RSVD	RSVD	RSVD	EN_B	DIS_DBL_ACK_RETX_B	–	–
0x5086	0x72	ARQ1[7:0]*	–	RSVD[2:0]			–	–	MAX_RT_ERR_OEN_B	RT_CNT_OEN_B
0x5087	0x00	ARQ2[7:0]	MAX_RT_ERR_B	RT_CNT_B[6:0]						
CFGC_B IIC_Y										
0x5088	0xF0	TR0[7:0]*	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
0x5089	0xB0	TR1[7:0]*	BW_MULT_B[1:0]	BW_VAL_B[5:0]						
0x508B	0x00	TR3[7:0]*	–	–	–	–	–	TX_SRC_ID_B[2:0]		
0x508C	0xFF	TR4[7:0]*	RX_SRC_SEL_B[7:0]							
0x508D	0x98	ARQ0[7:0]*	RSVD	RSVD	RSVD	RSVD	EN_B	DIS_DBL_ACK_RETX_B	–	–
0x508E	0x72	ARQ1[7:0]*	–	RSVD[2:0]			–	–	MAX_RT_ERR_OEN_B	RT_CNT_OEN_B
0x508F	0x00	ARQ2[7:0]	MAX_RT_ERR_B	RT_CNT_B[6:0]						
GPIO0_B 0										
0x52B0	0x02	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52B1	0x00	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52B2	0x40	GPIO_C[7:0]*	–	GPIO_RECVED_B	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 1										
0x52B3	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52B4	0x01	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52B5	0x41	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				

ADDRESS	RESET	NAME	MSB							LSB
GPIO0_B 2										
0x52B6	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52B7	0x02	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52B8	0x42	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 3										
0x52B9	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52BA	0x03	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52BB	0x43	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 4										
0x52BC	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52BD	0x04	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52BE	0x44	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 5										
0x52BF	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52C0	0x05	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52C1	0x45	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 6										
0x52C2	0x02	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52C3	0x06	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52C4	0x46	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 7										
0x52C5	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52C6	0x07	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52C7	0x47	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 8										
0x52C8	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52C9	0x08	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52CA	0x48	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 9										
0x52CB	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52CC	0x09	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52CD	0x49	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 10										
0x52CE	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52CF	0x0A	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52D0	0x4A	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				

ADDRESS	RESET	NAME	MSB							LSB
GPIO0_B 11										
0x52D1	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52D2	0x0B	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52D3	0x4B	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				
GPIO0_B 12										
0x52D4	0x00	GPIO_A[7:0]*	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
0x52D5	0x0C	GPIO_B[7:0]*	–	–	–	GPIO_TX_ID_B[4:0]				
0x52D6	0x4C	GPIO_C[7:0]*	–	RSVD	–	GPIO_RX_ID_B[4:0]				

レジスタの詳細

REG0（0x0）*

BIT	7	6	5	4	3	2	1	0
Field	DEV_ADDR[6:0]							CFG_BLOCK
Reset	0b1001000							0b0
Access Type	Write, Read							Write, Read

ビットフィールド	ビット	説明	デコード
DEV_ADDR	7:1	デバイスの I²C アドレス デフォルト値は、CFG0 ピンによって以下のように設定されます。 CFG0 デバイス・アドレス 000 0b0101000 001 0b0101010 010 0b1001100 011 0b1101010 100 0b1101010 101 0b1001100 110 0b0101010 111 0b0101000	0b0000000: I²C write/read address is 0x00/0x01 0b0000001: I²C write/read address is 0x02/0x03 ... ... 0b1001000: I²C write/read address is 0x90/0x91 0b1001010: I²C write/read address is 0x94/0x95 0b1001100: I²C write/read address is 0x98/0x99 0b1101000: I²C write/read address is 0xD0/0xD1 0b1101010: I²C write/read address is 0xD4/0xD5 0b1101100: I²C write/read address is 0xD8/0xD9 0b0101000: I²C write/read address is 0x50/0x51 0b0101010: I²C write/read address is 0x54/0x55 ... ... 0b1111111: I²C write/read address is 0xFE/0xFF
CFG_BLOCK	0	設定ブロック セットされている場合、全てのレジスタが書込み不可（読出し専用）となります。このビットはチップ設定を凍結するために用いられます。このレジスタをクリアし、書込みアクセスを再び可能にするための唯一の方法は、電源を再投入するか、PWDNB ピンをトグルすることです。	0b0: Not blocked 0b1: Blocked

REG1（0x1）*

BIT	7	6	5	4	3	2	1	0
Field	IIC_2_EN	IIC_1_EN	DIS_LOCAL_CC	DIS_REM_CC	TX_RATE[1:0]		RX_RATE[1:0]	
Reset	0b0	0b0	0b0	0b0	0b00		0b10	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
IIC_2_EN	7	パススルーI²C チャンネル 2（SDA2/RX2、SCL2/TX2）を有効化します	0b0: I²C pass-through Channel 2 disabled 0b1: I²C pass-through Channel 2 enabled
IIC_1_EN	6	パススルーI²C チャンネル 1（SDA1/RX1、SCL1/TX1）を有効化します	0b0: I²C pass-through Channel 1 disabled 0b1: I²C pass-through Channel 1 enabled
DIS_LOCAL_CC	5	RX/SDA ピンおよび TX/SCL ピンへのコントロール・チャンネル接続を無効化します	0b0: RX/SDA and TX/XCL connected to control channel 0b1: RX/SDA and TX/SCL disconnected from control channel
DIS_REM_CC	4	RX/SDA ピンおよび TX/SCL ピンから GMSL2 接続を介してのリンク A シリアライザ・コントロール・チャンネルへのアクセスを無効化します	0b0: Remote control channel enabled 0b1: Remote control channel disabled
TX_RATE	3:2	リンク A の送信レート この値を変更するときは、新しい値を有効にするために、RESET_ONESHOT レジスタまたは RESET_LINK レジスタに書込みを行ってリンクを再始動してください。	0b00: 187.5Mbps 0b01: Reserved 0b10: Reserved 0b11: Reserved
RX_RATE	1:0	リンク A の受信レート この値を変更するときは、新しい値を有効にするために、RESET_ONESHOT レジスタまたは RESET_LINK レジスタに書込みを行ってリンクを再始動してください。 デフォルト値は、パワーアップ時に設定ピンによって設定されます。	0b00: Reserved 0b01: 3Gbps 0b10: 6Gbps 0b11: 12Gbps (applies to GMSL3 capable parts)

REG2（0x2）*

BIT	7	6	5	4	3	2	1	0
Field	–	VID_EN_Z	VID_EN_Y	–	–	–	RSVD	RSVD
Reset	–	0b1	0b1	–	–	–	0b1	0b1
Access Type	–	Write, Read	Write, Read	–	–	–		

ビットフィールド	ビット	説明	デコード
VID_EN_Z	6	ビデオ・パイプ Z を通じたデータ伝送を有効化します	0b0: Video pipe Z disabled 0b1: Video pipe Z enabled
VID_EN_Y	5	ビデオ・パイプ Y を通じたデータ伝送を有効化します	0b0: Video pipe Y disabled 0b1: Video pipe Y enabled

REG3（0x3）*

BIT	7	6	5	4	3	2	1	0
Field	LOCK_CFG	PT_SWAP	UART_2_EN	UART_1_EN	–	DIS_REM_CC_B	RSVD	RSVD
Reset	0b0	0b1	0b0	0b1	–	0b0	0b1	0b1
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	–	Write, Read		

ビットフィールド	ビット	説明	デコード
LOCK_CFG	7	LOCK ピンの動作を設定します	0b0: GMSL2 link locked 0b1: GMSL2 link locked and MIPI output started
PT_SWAP	6	I²C/UART パススルー1 のピン配置をパススルー2 のピン配置と入れ替えます。SDA1_RX1（MFP0）と SDA2_RX2（MFP5）を入れ替え、SCL1_TX1（MFP1）と SCL2_TX2（MFP6）を入れ替えます。	0b0: Do not swap pin assignments 0b1: Swap pin assignments
UART_2_EN	5	パススルーUART チャンネル 2（SDA2/RX2、SCL2/TX2）（MFP5/6）を有効化します	0b0: Pass-through UART Channel 2 disabled 0b1: Pass-through UART Channel 2 enabled
UART_1_EN	4	パススルーUART チャンネル 1（SDA1/RX1、SCL1/TX1）（MFP0/1）を有効化します	0b0: Pass-through UART Channel 1 disabled 0b1: Pass-through UART Channel 1 enabled
DIS_REM_CC_B	2	RX/SDA ピンおよび TX/SCL ピンから GMSL2 接続を介してのリンク B シリアライザ・コントロール・チャンネルへのアクセスを無効化します	0b0: Remote control channel enabled 0b1: Remote control channel disabled

REG4（0x4）*

BIT	7	6	5	4	3	2	1	0
Field	GMSL3_B	GMSL3_A	RSVD	RSVD	TX_RATE_B[1:0]		RX_RATE_B[1:0]	
Reset	0b1	0b1	0b0	0b0	0b00		0b10	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
GMSL3_B	7	リンク B の GMSL3 か GMSL2 かの選択 ビットは、パワーアップ時にラッチされた CFG ピンの値に従って設定されます。この値を変更するときは、新しい値を有効にするために、RESET_ONESHOT レジスタまたは RESET_LINK レジスタに書込みを行ってリンクを再始動してください。	0x0: GMSL2 0x1: GMSL3
GMSL3_A	6	リンク A の GMSL3 か GMSL2 かの選択 ビットは、パワーアップ時にラッチされた CFG ピンの値に従って設定されます。この値を変更するときは、新しい値を有効にするために、RESET_ONESHOT レジスタまたは RESET_LINK レジスタに書込みを行ってリンクを再始動してください。	0x0: GMSL2 0x1: GMSL3
TX_RATE_B	3:2	リンク B の送信レート この値を変更するときは、新しい値を有効にするために、RESET_ONESHOT レジスタまたは RESET_LINK レジスタに書込みを行ってリンクを再始動してください。	0b00: 187.5Mbps 0b01: Reserved 0b10: Reserved 0b11: Reserved

ビットフィールド	ビット	説明	デコード
RX_RATE_B	1:0	リンク B の受信レート この値を変更するときは、新しい値を有効にするために、RESET_ONESHOT レジスタまたは RESET_LINK レジスタに書込みを行ってリンクを再始動してください。 デフォルト値は、パワーアップ時に設定ピンによって設定されます。	0b00: Reserved 0b01: 3Gbps 0b10: 6Gbps 0b11: 12Gbps (applies to GMSL3 capable parts)

REG5（0x5）*

BIT	7	6	5	4	3	2	1	0
Field	LOCK_EN	ERRB_EN	LOCK_ALT _EN	RSVD	PU_LF3	PU_LF2	PU_LF1	PU_LF0
Reset	0b1	0b1	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LOCK_EN	7	LOCK 出力を有効化します	0b0: LOCK output disabled 0b1: LOCK output enabled
ERRB_EN	6	ERRB 出力を有効化します	0b0: ERRB output disabled 0b1: ERRB output enabled
LOCK_ALT _EN	5	LOCK 代替出力を有効化します	0b0: LOCK output disabled 0b1: LOCK output enabled
PU_LF3	3	ライン・フォルト・モニタ 3 をパワーアップします	0b0: Line-fault monitor 3 disabled 0b1: Line-fault monitor 3 enabled
PU_LF2	2	ライン・フォルト・モニタ 2 をパワーアップします	0b0: Line-fault monitor 2 disabled 0b1: Line-fault monitor 2 enabled
PU_LF1	1	ライン・フォルト・モニタ 1 をパワーアップします	0b0: Line-fault monitor 1 disabled 0b1: Line-fault monitor 1 enabled
PU_LF0	0	ライン・フォルト・モニタ 0 をパワーアップします	0b0: Line-fault monitor 0 disabled 0b1: Line-fault monitor 0 enabled

REG6（0x6）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	I2CSEL	RSVD[3:0]			
Reset	0b1	0b1	0b0	0b0	0x0			
Access Type				Write, Read				

ビットフィールド	ビット	説明	デコード
I2CSEL	4	I^2C/UART の選択 ビットは、パワーアップ時の CFG0 ピンの値に従って設定されます。 レジスタ書込みによってこの値を変更することは推奨されません。代わりに、CFG0 ピンの電圧を変更し、デバイスを再度パワーアップしてください。	0: UART 1: I^2C

REG7（0x7）*

BIT	7	6	5	4	3	2	1	0
Field	CMP_VTERM_STATUS	–	RSVD[5:0]					
Reset	0b0	–	0x27					
Access Type	Read Only	–						

ビットフィールド	ビット	説明	デコード
CMP_VTERM_STATUS	7	V_{TERM} 電源の低電圧コンパレータのステータス スイッチト V_{TERM} 電源が 1V 未満になると、ローにラッチされます。CMP_STATUS ワードが読み出されスイッチト V_{TERM} 電源が 1V より高い電圧になると、クリアされます。	0b0: Latched low when V_{TERM} < 1V 0b1: 0b1: Latched high when V_{TERM} > 1V

REG13（0xD）

BIT	7	6	5	4	3	2	1	0
Field	DEV_ID[7:0]							
Reset	0xB6							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
DEV_ID	7:0	デバイス識別子	0xB6: MAX96792A

REG14（0xE）

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]				DEV_REV[3:0]			
Reset	0x0				0x3			
Access Type					Read Only			

ビットフィールド	ビット	説明	デコード
DEV_REV	3:0	デバイスのリビジョン。正しい RESET 値については、デバイスのエラッタ・シートを参照してください。	0xX: Revision ID number. Refer to errata for specific revision ID.

REG26（0x26）

BIT	7	6	5	4	3	2	1	0
Field	–	LF_1[2:0]			–	LF_0[2:0]		
Reset	–	0b010			–	0b010		
Access Type	–	Read Only			–	Read Only		

ビットフィールド	ビット	説明	デコード
LF_1	6:4	LMN1 ピンに接続されたワイヤのライン・フォルト状態	0b000: Short to battery 0b001: Short to GND 0b010: Normal operation 0b011: Line open 0b1XX: Line-to-line short
LF_0	2:0	LMN0 ピンに接続されたワイヤのライン・フォルト状態	0b000: Short to battery 0b001: Short to GND 0b010: Normal operation 0b011: Line open 0b1XX: Line-to-line short

REG27（0x27）

BIT	7	6	5	4	3	2	1	0
Field	–	LF_3[2:0]			–	LF_2[2:0]		
Reset	–	0b010			–	0b010		
Access Type	–	Read Only			–	Read Only		

ビットフィールド	ビット	説明	デコード
LF_3	6:4	LMN3 ピンに接続されたワイヤのライン・フォルト状態	0b000: Short to battery 0b001: Short to GND 0b010: Normal operation 0b011: Line open 0b1XX: Line-to-line short
LF_2	2:0	LMN2 ピンに接続されたワイヤのライン・フォルト状態	0b000: Short to battery 0b001: Short to GND 0b010: Normal operation 0b011: Line open 0b1XX: Line-to-line short

IO_CHK0（0x38）

BIT	7	6	5	4	3	2	1	0
Field	PIN_DRV_EN_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
PIN_DRV_EN_0	7:0	ビット[1:0]：RGB888 テスト・パターン・ジェネレータ用のソース・クロック周波数を設定します。 PATGEN_CLK_SRC レジスタ・ビットと組み合わせて用いられます。このレジスタのビット 1 が 1 にセットされている場合、PATGEN_CLK_SRC がクロックの選択を制御します。ビット 1 が 0 の場合は、ビット 0 がクロックの選択を制御します。詳細については、PATGEN_CLK_SRC を参照してください。 ビット[7:2]：予約済み	0x00: See RGB888 Video-Pattern Generator Section 0x01: See RGB888 Video-Pattern Generator Section 0x02: See RGB888 Video-Pattern Generator Section 0x03: See RGB888 Video-Pattern Generator Section Others: Reserved

PWR0（0x8）

BIT	7	6	5	4	3	2	1	0
Field	VDDBAD_STATUS[2:0]			CMP_STATUS[4:0]				
Reset	0b000			0b00000				
Access Type	Read Only			Read Only				

ビットフィールド	ビット	説明	デコード
VDDBAD_STATUS	7:5	スイッチト 1V 電源コンパレータのステータス・ビット	0bXX1: Latched high when CAP_VDD < 0.82V 0bX1X: Latched high when CAP_VDD < 0.82V 0bX00: CAP_VDD > 0.82V 0b1XX: Reserved
CMP_STATUS	4:0	V_{DD18}、V_{DDIO}、CAP_VDD 電源電圧コンパレータのステータス・ビット	0bXXXX0: Latched low when V_{DD18} < 1.617V 0bXXX0X: Latched low when switched V_{DDIO} supply < 1.617V 0bXX0XX: Latched low when CAP_VDD <0.82V 0bX0XXX: Reserved 0b0XXXX: Reserved 0bXX111: All supplies are at expected levels

PWR1（0x9）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	PORZ_STATUS[5:0]					
Reset	0b0	0b0	0b000000					
Access Type			Read Only					

ビットフィールド	ビット	説明	デコード
PORZ_STATUS	5:0	パワーオン・リセットのステータス・ビット ビット 0 : V_{DD18} < 1.516V または V_{DDIO} < 1.055V のいずれかの場合にローにラッチされます。	Bit 1: Reserved Bit 2: Latched low when V_{DDIO} < 1.055V Bit 3: Reserved Bit 4: Latched low when V_{DD18} < 1.516V (resets 1V domain, need to raise V_{DD18} above 1.516V to read registers) Bit 5: Reserved

PWR4（0xC）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	DIS_LOCAL_WAKE	WAKE_EN_B	WAKE_EN_A	RSVD[3:0]			
Reset	0b0	0b0	0b0	0b1	0x5			
Access Type		Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
DIS_LOCAL_WAKE	6	ローカル･マイクロコントローラによる SDA_RX ピンからのウェイクアップを無効化します	0b0: Local wake-up enabled 0b1: Local wake-up disabled
WAKE_EN_B	5	リンク B に接続されたリモート・チップによるウェイクアップを有効化します	0b0: Link B remote wake-up disabled 0b1: Link B remote wake-up enabled

ビットフィールド	ビット	説明	デコード
WAKE_EN_A	4	リンク A に接続されたリモート・チップによるウェイクアップを有効化します	0b0: Link A remote wake-up disabled 0b1: Link A remote wake-up enabled

CTRL0（0x10）*

BIT	7	6	5	4	3	2	1	0
Field	RESET_ALL	RESET_LINK	RESET_ONESHOT	AUTO_LINK	SLEEP	REG_ENABLE	LINK_CFG[1:0]	
Reset	0b0	0b0	0b0	0b1	0b0	0b0	0b01	
Access Type	Write, Read	Write, Read	Write Clears All, Read	Write, Read	Write, Read	Write, Read	Write, Read	

ビットフィールド	ビット	説明	デコード
RESET_ALL	7	デバイス・リセット このビットに 1 を書き込むとデバイス（全ブロックを含む）がリセットされ、レジスタがデフォルト値にリセットされます。 これは PWDNB ピンをトグルするのと同じです。 このビットは、書込み時にクリアされます。	0b0: No action 0b1: Activate chip reset
RESET_LINK	6	リンク・リセット リンク A のデータ・パス全体をリセットします（レジスタの設定値は保持）。 1 を書き込むとリセットが作動し、0 を書き込むとリセットが解除されます。	0b0: Release link A reset 0b1: Activate link A reset
RESET_ONESHOT	5	ワン・ショット・リンク・リセット リンク A のデータ・パス全体をリセットします（レジスタの設定値は保持）。 1 を書き込むとリセットが作動し、ビットは自己クリアして自動的にリセットを解除します。	0b0: No action 0b1: Reset data path
AUTO_LINK	4	リンク構成を自動的に選択します（シングル A またはシングル B）。 リバース・スプリッタ・モード（2 つの GMSL リンクが有効）は自動的には選択されません。リバース・スプリッタ・モードにするには、LINK_CFG = 11 に設定します。	0b0: Disable auto link configuration 0b1: Enable auto link configuration
SLEEP	3	スリープ・モードを作動させます	0b0: Sleep mode disabled 0b1: Sleep mode enabled
REG_ENABLE	2	V_{DD} の LDO レギュレータを有効化します。プログラミング上の注意事項を参照してください。	0b0: V_{DD} LDO regulator bypassed 0b1: V_{DD} LDO regulator enabled. LDO should always be used unless V_{DD} is 1.05V or lower.
LINK_CFG	1:0	AUTO_LINK とこのビットフィールドによって、デコード表に従いリンク構成が選択されます。	0b00: Reserved 0b01: Reserved. To select link A only, use LINK_EN_A and LINK_EN_B registers. This is the method to manually select link A only. 0b10: Reserved. To select link A only, use LINK_EN_A and LINK_EN_B registers. This is the method to manually select link B only. 0b11: Reverse Splitter mode. Both Link A and Link B selected.

CTRL1（0x11）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	–	RSVD	CXTP_B	RSVD	CXTP_A
Reset	0b0	0b0	0b0	–	0b1	0b0	0b1	0b0
Access Type				–		Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
CXTP_B	2	リンク B の同軸ケーブル／ツイスト・ペア・ケーブルの選択。 このビットは、パワーアップ時にラッチされた CFG ピンの値に従って設定されます。	0b0: Shielded twisted-pair drive 0b1: Coax drive
CXTP_A	0	リンク A の同軸ケーブル／ツイスト・ペア・ケーブルの選択。 このビットは、パワーアップ時にラッチされた CFG ピンの値に従って設定されます。	0b0: Shielded twisted-pair drive 0b1: Coax drive

CTRL2（0x12）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RESET_ONESHOT_B	REG_MNL	RSVD[1:0]		RSVD[1:0]	
Reset	0b0	0b0	0b0	0b0	0b01		0b00	
Access Type			Write Clears All, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
RESET_ONESHOT_B	5	リンク B のデータ・パス全体をリセットします（レジスタの設定値は保持）。 1 を書き込むとリセットが作動し、ビットは自己クリアして自動的にリセットを解除します。	0b0: No action 0b1: Reset data path
REG_MNL	4	REG_ENABLE（0x10）を通じてレギュレータをオンまたはオフにできるよう、レギュレータの手動モードを有効化します。	0b0: Normal mode 0b1: Regulator manual mode

CTRL3（0x13）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	LINK_MODE[1:0]		LOCKED	ERROR	CMU_LOCKED	RESET_LINK_B
Reset	0b0	0b0	0b01		0b0	0b0	0b0	0b0
Access Type			Read Only		Read Only	Read Only	Read Only	Write, Read

ビットフィールド	ビット	説明	デコード
LINK_MODE	5:4	アクティブなリンク・モードのステータス	0b00: Reserved 0b01: Single Link A 0b10: Single Link B 0b11: Reverse Splitter mode (Both link A and B)
LOCKED	3	GMSL リンクがロックされていることを示します（双方向）。リンク A 専用。	0b0: GMSL2 link A not locked 0b1: GMSL2 link A locked
ERROR	2	グローバル・エラー・ステータスを反映します	0b0: ERRB not asserted (ERRB pin = 1) 0b1: ERRB asserted (ERRB pin = 0)

ビットフィールド	ビット	説明	デコード
CMU_LOCKED	1	クロック逓倍器ユニット（CMU）がロックされていることを示します	0b0: CMU not locked 0b1: CMU locked
RESET_LINK_B	0	リンク B のデータ・パス全体をリセットします（レジスタの設定値は保持）。 1 を書き込むとリセットが作動し、0 を書き込むとリセットが解除されます。	0b0: Release link B reset 0b1: Activate link B reset

INTR0（0x18）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	–	AUTO_ERR_RST_EN	DEC_ERR_THR[2:0]		
Reset	0b1	0b0	0b1	–	0b0	0b000		
Access Type				–	Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
AUTO_ERR_RST_EN	3	ERRB ピンが 1µs 間アサートされた後、自動的に DEC_ERR_A（0x22）、DEC_ERR_B（0x23）、IDLE_ERR（0x24）の各ビットフィールドをリセットします。	0b0: Autoreset disabled 0b1: Autoreset enabled
DEC_ERR_THR	2:0	デコーディング・エラーおよびアイドル・エラー報告のスレッショルド。 DEC_ERR_A（0x22）≥ DEC_ERR_THR の場合、DEC_ERR_FLAG_A（0x1B）がアサートされます。 DEC_ERR_B（0x23）≥ DEC_ERR_THR の場合、DEC_ERR_FLAG_B（0x1B）がアサートされます。 IDLE_ERR（0x24）≥ DEC_ERR_THR の場合、IDLE_ERR_FLAG（0x1B）がアサートされます。 IDLE_ERR_B（0x5024）≥ DEC_ERR_THR の場合、IDLE_ERR_FLAG_B（0x5011）がアサートされます。	0b000: 1 error 0b001: 2 errors 0b010: 4 errors 0b011: 8 errors 0b100: 16 errors 0b101: 32 errors 0b110: 64 errors 0b111: 128 errors

INTR1（0x19）*

BIT	7	6	5	4	3	2	1	0
Field	PKT_CNT_EXP[3:0]				AUTO_CNT_RST_EN	PKT_CNT_THR[2:0]		
Reset	0x0				0b0	0b000		
Access Type	Write, Read				Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
PKT_CNT_EXP	7:4	パケット・カウント乗数の指数部 PKT_CNT（レジスタ CNT3）ビットフィールドの説明を参照してください。	0bXXX: PKT_CNT exponent
AUTO_CNT_RST_EN	3	ERRB ピンが 1µs 間アサートされた後、自動的に PKT_CNT ビットフィールド（レジスタ CNT3）をリセットします。	0b0: Autoreset disabled 0b1: Autoreset enabled

ビットフィールド	ビット	説明	デコード
PKT_CNT_THR	2:0	パケット・カウント報告のスレッショルド PKT_CNT(レジスタ CNT3)の説明を参照してください。PKT_CNT ≥PKT_CNT_THR の場合、PKT_CNT_FLAG がアサートされます。	0b000: 1 packet 0b001: 2 packets 0b010: 4 packets 0b011: 8 packets 0b100: 16 packets 0b101: 32 packets 0b110: 64 packets 0b111: 128 packets

INTR2（0x1A）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	REM_ERR_OEN	RSVD	LFLT_INT_OEN	IDLE_ERR_OEN	DEC_ERR_OEN_B	DEC_ERR_OEN_A
Reset	0b0	0b0	0b0	0b0	0b1	0b0	0b1	0b1
Access Type			Write, Read		Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
REM_ERR_OEN	5	リモート・エラー・ステータス（REM_ERR_FLAG - 0x1B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
LFLT_INT_OEN	3	ライン・フォルト割込み（LFLT_INT - 0x1B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
IDLE_ERR_OEN	2	アイドル・ワード・エラー（IDLE_ERR_FLAG - 0x1B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
DEC_ERR_OEN_B	1	デコード・エラー（DEC_ERR_FLAG_B - 0x1B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
DEC_ERR_OEN_A	0	デコード・エラー（DEC_ERR_FLAG_A - 0x1B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

INTR3（0x1B）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	REM_ERR_FLAG	RSVD	LFLT_INT	IDLE_ERR_FLAG	DEC_ERR_FLAG_B	DEC_ERR_FLAG_A
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type			Read Only		Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
REM_ERR_FLAG	5	受信したリモート側のエラー・ステータス（リモート側の ERRB ピン・レベルと逆）	0b0: No remote-side error 0b1: Remote-side error
LFLT_INT	3	ライン・フォルト割込み。 いずれかのライン・フォルト・モニタがフォルト・ステータスを示すとアサートされます。詳細は、LF_0（0x26）および LF_1（0x26）の各ビットフィールドを参照してください。	0b0: No line fault 0b1: Line fault
IDLE_ERR_FLAG	2	リンク A のアイドル・ワード・エラー・フラグ。 IDLE_ERR（0x23） ≥ DEC_ERR_THR（0x18）の場合にアサートされます。リンク A 専用。	0b0: Flag not asserted 0b1: Flag asserted

ビットフィールド	ビット	説明	デコード
DEC_ERR_FLAG_B	1	リンク B のデコーディング・エラー・フラグ。DEC_ERR_B（0x23） ≥ DEC_ERR_THR（0x18）の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
DEC_ERR_FLAG_A	0	リンク A のデコーディング・エラー・フラグ。DEC_ERR_A（0x22） ≥ DEC_ERR_THR（0x18）の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted

INTR4（0x1C）*

BIT	7	6	5	4	3	2	1	0
Field	EOM_ERR_OEN_B	EOM_ERR_OEN_A	FEC_RX_ERR_OEN	–	MAX_RT_OEN	RT_CNT_OEN	PKT_CNT_OEN	WM_ERR_OEN
Reset	0b0	0b0	0b0	–	0b1	0b0	0b0	0b1
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
EOM_ERR_OEN_B	7	リンク B 用のアイ開口モニタ（EOM）エラー（EOM_ERR_FLAG_B - 0x1D）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
EOM_ERR_OEN_A	6	リンク A 用のアイ開口モニタ・エラー（EOM_ERR_FLAG_A - 0x1D）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
FEC_RX_ERR_OEN	5	リンク A の FEC 受信エラーがスレッショルドを超えた（FEC_ERR_FLAG - 0x1D）場合に、ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
MAX_RT_OEN	3	リンク A の結合 ARQ 最大再送回数超過エラー・フラグ（MAX_RT_FLAG - 0x1D）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
RT_CNT_OEN	2	リンク A の結合 ARQ 再送イベント・フラグ（RT_CNT_FLAG - 0x1D）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
PKT_CNT_OEN	1	リンク A のパケット・カウント・フラグ（PKT_CNT_FLAG - 0x1D）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
WM_ERR_OEN	0	ウォーターマーク・エラー（WM_ERR_FLAG -0x1D）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

INTR5（0x1D）

BIT	7	6	5	4	3	2	1	0
Field	EOM_ERR_FLAG_B	EOM_ERR_FLAG_A	FEC_RX_ERR_FLAG	–	MAX_RT_FLAG	RT_CNT_FLAG	PKT_CNT_FLAG	WM_ERR_FLAG
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	–	Read Only	Read Only	Read Only	Read Clears All

ビットフィールド	ビット	説明	デコード
EOM_ERR_FLAG_B	7	アイ開口がリンク B 用に設定されたスレッショルドを下回っていることを示します	0b0: No EOM error on Link B 0b1: EOM error on Link B

ビットフィールド	ビット	説明	デコード
EOM_ERR_FLAG_A	6	アイ開口がリンク A 用に設定されたスレッショルドを下回っていることを示します	0b0: No EOM error on Link A 0b1: EOM error on Link A
FEC_RX_ERR_FLAG	5	リンク A の FEC 受信エラー・フラグ FEC レシーバの訂正可能エラー・カウンタまたは訂正不能エラー・カウンタがそれぞれのスレッショルドを初めて超えたときにアサートされます。このフラグを読み出すと、ステータスはクリアされます。このフラグが再びアサートされるようにするには、FEC 統計カウンタもクリアする必要があります。FEC 統計カウンタをリセットするには、CLEAR_STATS レジスタを参照してください。	0b0: Flag not asserted 0b1: Flag asserted
MAX_RT_FLAG	3	結合 ARQ 最大再送回数超過エラー・フラグ。リンク A 専用。 選択されたいずれかのチャンネルの ARQ 再送回数の上限値に達した場合にアサートされます。 選択は、各チャンネルの MAX_RT_ERR_OEN（0x1C）レジスタ・ビットで行われます。	0b0: Flag not asserted 0b1: Flag asserted
RT_CNT_FLAG	2	結合 ARQ 再送イベント・フラグ。 リンク A 専用。 選択されたいずれかのチャンネルが少なくとも 1 回の ARQ 再送を行った場合にアサートされます。 選択は、各チャンネルの RT_CNT_OEN レジスタ・ビットによって行われます。	0b0: Flag not asserted 0b1: Flag asserted
PKT_CNT_FLAG	1	パケット・カウント・フラグ。リンク A 専用。 PKT_CNT（0x25） ≥ PKT_CNT_THR（0x19）の場合にアサートされます	0b0: Flag not asserted 0b1: Flag asserted
WM_ERR_FLAG	0	ウォーターマーク・エラー・フラグ ウォーターマーク・エラーが検出されるとアサートされます	0b0: Flag not asserted 0b1: Flag asserted

INTR6（0x1E）*

BIT	7	6	5	4	3	2	1	0
Field	VDDCMP_INT_OEN	RSVD	VDDBAD_INT_OEN	FSYNC_ERR_OEN	LCRC_ERR_OEN	VPRBS_ERR_OEN	–	VID_PXL_CRC_ERR_OEN
Reset	0b0	0b0	0b0	0b1	0b1	0b1	–	0b0
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	–	Write, Read

ビットフィールド	ビット	説明	デコード
VDDCMP_INT_OEN	7	V_{DDCMP} 割込み（VDDCMP_INT_FLAG - 0x1F）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VDDBAD_INT_OEN	5	V_{DDBAD} 割込み（VDDBAD_INT_FLAG - 0x1F）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
FSYNC_ERR_OEN	4	フレーム同期エラー（FSYNC_ERR_FLAG - 0x1F）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

ビットフィールド	ビット	説明	デコード
LCRC_ERR_OEN	3	ビデオ・ライン CRC エラー（LCRC_ERR_FLAG - 0x1F）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VPRBS_ERR_OEN	2	ビデオ PRBS エラー（VPRBS_ERR_FLAG - 0x1F）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VID_PXL_CRC_ERR_OEN	0	ビデオ・ピクセル・データ用 GMSL リンク・パケット CRC エラーを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

INTR7（0x1F）

BIT	7	6	5	4	3	2	1	0
Field	VDDCMP_INT_FLAG	RSVD	VDDBAD_INT_FLAG	FSYNC_ERR_FLAG	LCRC_ERR_FLAG	VPRBS_ERR_FLAG	–	VID_PXL_CRC_ERR
Reset	0b0	0b0	0b0	0b0	0b0	0b0	–	0b0
Access Type	Read Only		Read Only	Read Only	Read Only	Read Only	–	Read Only

ビットフィールド	ビット	説明	デコード
VDDCMP_INT_FLAG	7	V_{DDCMP} 割込みフラグ V_{DD18}、V_{DDIO}、CAP_VDD、V_{TERM} の低電圧状態を示すための結合フラグです。	0b0: Flag not asserted 0b1: Flag asserted
VDDBAD_INT_FLAG	5	V_{DD} ステータス割込み。 CAP_VDD 低電圧状態を示すためのフラグです。	0b0: Flag not asserted 0b1: Flag asserted
FSYNC_ERR_FLAG	4	フレーム同期エラー・フラグ FSYNC_ERR_CNT（0x3F0） ≥ FSYNC_ERR_THR（0x3F1）の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
LCRC_ERR_FLAG	3	ビデオ・ライン CRC エラー・フラグ ビデオ・ライン CRC エラーが検出されるとアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
VPRBS_ERR_FLAG	2	ビデオ PRBS エラー・フラグ VPRBS_ERR（レジスタ PRBS_ERR） > 0 の場合にアサートされます	0b0: Flag not asserted 0b1: Flag asserted
VID_PXL_CRC_ERR	0	ビデオ・ピクセル・データ用の GMSL リンク・パケット CRC エラー・フラグ	0b0: Error counter interrupt output not enabled 0b1: Error counter interrupt output enabled

INTR8（0x20）*

BIT	7	6	5	4	3	2	1	0
Field	ERR_TX_EN	RSVD	ERR_TX_EN_B	ERR_TX_ID[4:0]				
Reset	0b1	0b1	0b1	0b11111				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
ERR_TX_EN	7	ローカルのエラー・ステータス（ERRB ピン・レベルの逆）を GPIO チャンネル経由でリンク A のリモート側に送信します	0b0: Transmit error status disabled 0b1: Transmit error status enabled

ビットフィールド	ビット	説明	デコード
ERR_TX_EN_B	5	ローカルのエラー・ステータス（ERRB ピン・レベルの逆）を GPIO チャンネル経由でリンク B のリモート側に送信します	0b0: Transmit error status disabled 0b1: Transmit error status enabled
ERR_TX_ID	4:0	ERR_TX の送信に用いられる GPIO の ID	0bXXXXX: Value of GPIO ID for transmitting ERR_TX

INTR9（0x21）*

BIT	7	6	5	4	3	2	1	0
Field	ERR_RX_EN	RSVD	ERR_RX_EN_B	ERR_RX_ID[4:0]				
Reset	0b1	0b1	0b1	0b11111				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
ERR_RX_EN	7	リンク A のリモート・エラー・ステータス（ERRB ピン・レベルの逆）を GPIO チャンネル経由で受信します	0b0: Receive error status disabled 0b1: Receive error status enabled
ERR_RX_EN_B	5	リンク B のリモート・エラー・ステータス（ERRB ピン・レベルの逆）を GPIO チャンネル経由で受信します	0b0: Receive error status disabled 0b1: Receive error status enabled
ERR_RX_ID	4:0	ERR_RX の受信に用いられる GPIO の ID	0bXXXXX: Value of GPIO ID for receiving ERR_RX

CNT0（0x22）

BIT	7	6	5	4	3	2	1	0
Field	DEC_ERR_A[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
DEC_ERR_A	7:0	リンク A で検出されたデコーディング（ディスパリティ）エラーの数。 読出し後、または LOCK の立上がりエッジで、リセットされます。	0xXX: Number of Link A decoding errors detected

CNT1（0x23）

BIT	7	6	5	4	3	2	1	0
Field	DEC_ERR_B[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
DEC_ERR_B	7:0	リンク B で検出されたデコーディング（ディスパリティ）エラーの数。 読出し後、または LOCK の立上がりエッジで、リセットされます。	0xXX: Number of Link B decoding errors detected

CNT2（0x24）

BIT	7	6	5	4	3	2	1	0
Field	IDLE_ERR[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
IDLE_ERR	7:0	リンク A で検出されたアイドル・ワード・エラーの数。 読出し後、または LOCK の立上がりエッジで、リセットされます。	0xXX: Number of idle-word errors detected

CNT3（0x25）

BIT	7	6	5	4	3	2	1	0
Field	PKT_CNT[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
PKT_CNT	7:0	リンク A 用に選択されたタイプの受信パケットの数。 パケット・タイプは PKT_CNT_SEL（0x2C）レジスタで選択されます。 報告されるパケット・カウントは、実際のパケット・カウントが PKT_CNT × (2PKT_CNT_EXP)より多く、(PKT_CNT + 1) × (2PKT_CNT_EXP)より少なくなるようにスケーリングされた値です。 最大値が報告された場合、パケット・カウントは報告された値以上となります。	0xXX: Scaled number of received packets

TX0（0x28）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RSVD	RSVD	–	–	RX_FEC_EN	RSVD
Reset	0b01		0b1	0b0	–	–	0b0	0b0
Access Type					–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_FEC_EN	1	順方向のリンク A での FEC を有効化します。 GMSL3 デバイスでは、このビットは、パワーアップ時にラッチされた CFG1 ピンの値に従って設定されます。	0b0: Disable 0b1: Enable

TX1（0x29）*

BIT	7	6	5	4	3	2	1	0
Field	LINK_PRBS_GEN	RSVD	–	ERRG_EN_A	RSVD	RSVD	RSVD	RSVD
Reset	0b0	0b0	–	0b0	0b1	0b0	0b0	0b0
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
LINK_PRBS_GEN	7	リンクの PRBS-7 ジェネレータを有効化します	0x0: Disabled 0x1: Enabled
ERRG_EN_A	4	リンク A のエラー・ジェネレータの有効化（逆方向チャンネル）。リンクを通過する全てのデータにエラー注入が適用されます。	0b0: Link A error generator disabled 0b1: Link A error generator enabled

TX2（0x2A）*

BIT	7	6	5	4	3	2	1	0
Field	ERRG_CNT[1:0]		ERRG_RATE[1:0]		ERRG_BURST[2:0]			ERRG_PER
Reset	0b00		0b10		0b000			0b0
Access Type	Write, Read		Write, Read		Write, Read			Write, Read

ビットフィールド	ビット	説明	デコード
ERRG_CNT	7:6	生成されるエラーの数	0b00: Continuous 0b01: 16 errors 0b10: 128 errors 0b11: 1024 errors
ERRG_RATE	5:4	エラー・ジェネレータの平均ビット・エラー・レート	0b00: 1 in 5120 bits 0b01: 1 in 81920 bits 0b10: 1 in 1310720 bits 0b11: 1 in 20971520 bits
ERRG_BURST	3:1	エラー・ジェネレータのバースト・エラー長	0b000: 1 0b001: 2 0b010: 3 0b011: 4 0b100: 8 0b101: 12 0b110: 16 0b111: 20
ERRG_PER	0	エラー・ジェネレータのエラー分布の選択	0b0: Pseudorandom 0b1: Periodic

TX3（0x2B）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RX_FEC_ACTIVE	RSVD	–	RSVD[2:0]		
Reset	0b01		0b0	0b0	–	0b100		
Access Type			Read Only		–			

ビットフィールド	ビット	説明	デコード
RX_FEC_ACTIVE	5	FEC がアクティブであることを示します	0b0: FEC disabled 0b1: FEC enabled

RX0（0x2C）*

BIT	7	6	5	4	3	2	1	0
Field	PKT_CNT_LBW[1:0]		RSVD	RSVD	PKT_CNT_SEL[3:0]			
Reset	0b00		0x0	0b0	0x0			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
PKT_CNT_LBW	7:6	PKT_CNT（0x25）ビットフィールド・レジスタでカウントする低帯域幅（LBW）パケットのサブタイプを選択します	0b00: Count LBW data packets only 0b01: Count LBW acknowledge packets only 0b10: Count LBW data and acknowledge packets 0b11: Reserved
PKT_CNT_SEL	3:0	PKT_CNT（0x25）ビットフィールドでカウントする受信パケットのタイプを選択します。 選択したパケット・タイプは、デバイスによってサポートされている必要があります。	0x0: None 0x1: VIDEO 0x2: Reserved 0x3: INFO Frame 0x4: SPI 0x5: I^2C 0x6: UART 0x7: GPIO 0x8: Reserved 0x9: Reserved 0xA: Reserved 0xB: Reserved 0xC: Reserved 0xD: Reserved 0xE: All 0xF: Unknown and packets with error

RX1（0x2D）*

BIT	7	6	5	4	3	2	1	0
Field	LINK_PRBS_CHK	RSVD	RSVD[1:0]		RSVD[1:0]		RSVD	RSVD
Reset	0b0	0x0	0b10		0b10		0b0	0b0
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
LINK_PRBS_CHK	7	リンクの PRBS-7 チェッカを有効化します	0x0: Disabled 0x1: Enabled

RX3（0x2F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	–	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	–	–	–					

GPIOA（0x30）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	GPIO_FWD_CDLY[5:0]					
Reset	0b0	0b1	0b000001					
Access Type			Write, Read					

ビットフィールド	ビット	説明	デコード
GPIO_FWD_CDLY	5:0	順方向用の補償遅延の乗数。リンク A 用。 これは、リンクの反対側にあるチップの GPIO_FWD_CDLY と同じ値であることが必要です。 合計遅延は、(値 + 1) ×1.7µs になります。デフォルトの遅延は 3.4µs です。	0bXXXXXX: Forward compensation delay multiplier value

GPIOB（0x31）*

BIT	7	6	5	4	3	2	1	0
Field	GPIO_TX_WNDW[1:0]		GPIO_REV_CDLY[5:0]					
Reset	0b10		0b001000					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
GPIO_TX_WNDW	7:6	GPIO 遷移後にパケットを生成するまでの待機時間。リンク A 用。 これにより、異なる GPIO 入力の遷移を 1 つのパケットにまとめることができるため、GPIO 帯域幅の使用効率が向上します。	0b00: Disabled 0b01: 200ns 0b10: 500ns 0b11: 1000ns
GPIO_REV_CDLY	5:0	逆方向用の補償遅延の乗数。リンク A 用。 これは、リンクの反対側にあるチップの GPIO_REV_CDLY と同じ値であることが必要です。 合計遅延は、(値 + 1) ×1.7µs になります。デフォルトの遅延は 15.3µs です。	0bXXXXXX: Reverse compensation delay multiplier value

I2C_0（0x40）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	SLV_SH[1:0]		–	SLV_TO[2:0]		
Reset	–	–	0b10		–	0b110		
Access Type	–	–	Write, Read		–	Write, Read		

ビットフィールド	ビット	説明	デコード
SLV_SH	5:4	I²C-to-I²C セカンダリ（I2C と I2C 間の通信のセカンダリ）のセットアップ／ホールド・タイムの設定。 内部 I²C セカンダリが SDA/SCL を駆動する際の、SDA と SCLI²C の遷移の間隔を設定します。	0b00: Set for I²C Fast-mode Plus speed (1Mbps) 0b01: Set for I²C Fast-mode speed (400Kbps) 0b10: Set for I²C standard-mode speed (100Kbps) 0b11: Reserved
SLV_TO	2:0	I²C-to-I²C セカンダリのタイムアウトの設定。 GMSL2 の内部 I²C セカンダリは、リモート・デバイスからのパケットを待機中に応答を受信しない場合、設定された時間後にタイムアウトします。	0b000: 16µs 0b001: 1ms 0b010: 2ms 0b011: 4ms 0b100: 8ms 0b101: 16ms 0b110: 32ms 0b111: Disabled

I2C_1（0x41）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	MST_BT[2:0]			–	MST_TO[2:0]		
Reset	0b0	0b101			–	0b110		
Access Type		Write, Read			–	Write, Read		

ビットフィールド	ビット	説明	デコード
MST_BT	6:4	I²C-to-I²C メイン（I2C と I2C 間の通信を扱うメイン）のビット・レートの設定。 （外部 I²C メインから見てリモート側のデバイス内にある）内部 I²C メインによって使用される I²C ビット・レートを設定します。 この値は、I²C の速度モードに応じて設定してください。	0b000: 9.92Kbps - Set for I²C Standard mode speed 0b001: 33.2Kbps - Set for I²C Standard mode speed 0b010: 99.2Kbps - Set for I²C Standard or Fast-mode speed 0b011: 123Kbps - Set for I²C Fast-mode speed 0b100: 203Kbps - Set for I²C Fast-mode speed 0b101: 397Kbps - Set for I²C Fast or Fast-mode Plus speed 0b110: 625Kbps - Set for I²C Fast-mode Plus speed 0b111: 980Kbps - Set for I²C Fast-mode Plus speed
MST_TO	2:0	I²C-to-I²C メインのタイムアウトの設定。 GMSL2 の内部 I²C メインは、リモート・デバイスからのパケットを待機中に応答を受信しない場合、設定された時間後にタイムアウトします。	0b000: 16µs 0b001: 1ms 0b010: 2ms 0b011: 4ms 0b100: 8ms 0b101: 16ms 0b110: 32ms 0b111: Disabled

I2C_2（0x42）*

BIT	7	6	5	4	3	2	1	0
Field	SRC_A[6:0]							–
Reset	0b0000000							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明	デコード
SRC_A	7:1	メイン・コントロール・チャンネル用の I²C アドレス変換ソース A GMSL リンクを介した I²C トランザクションのデバイス・アドレスが I²C SRC_A と一致した場合、リモート側で見えるデバイス・アドレスは、I²C DST_A のデバイス・アドレスに置き換えられます。	0bXXXXXXX: Value of I²C SRC_A

I2C_3（0x43）*

BIT	7	6	5	4	3	2	1	0
Field	DST_A[6:0]							–
Reset	0b0000000							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明	デコード
DST_A	7:1	メイン・コントロール・チャンネル用の I²C アドレス変換先 A I²C SRC_A の説明を参照してください。	0bXXXXXXX: Value of I²C DST_A

I2C_4（0x44）*

BIT	7	6	5	4	3	2	1	0
Field	SRC_B[6:0]							–
Reset	0b0000000							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明	デコード
SRC_B	7:1	メイン・コントロール・チャンネル用の I²C アドレス変換ソース B GMSL リンクを介した I²C トランザクションのデバイス・アドレスが I²C SRC_B と一致した場合、リモート側で見えるデバイス・アドレスは、I²C DST_B のデバイス・アドレスに置き換えられます。	0bXXXXXXX: Value of I²C SRC_B

I2C_5（0x45）*

BIT	7	6	5	4	3	2	1	0
Field	DST_B[6:0]							–
Reset	0b0000000							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明	デコード
DST_B	7:1	メイン・コントロール・チャンネル用の I²C アドレス変換先 B I²C SRC_B の説明を参照してください。	0bXXXXXXX: Value of I²C DST_B

I2C_7（0x47）

BIT	7	6	5	4	3	2	1	0
Field	UART_RX_OVERFLOW	UART_TX_OVERFLOW	–	–	–	I2C_TIMED_OUT	REM_ACK_ACKED	REM_ACK_RECVED
Reset	0b0	0b0	–	–	–	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All	–	–	–	Read Clears All	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
UART_RX_OVERFLOW	7	GMSL リンクから受信するデータを保持する UART FIFO でオーバーフローが生じたことを示すフラグ	0b0: No overflow occurred 0b1: Overflow occurred
UART_TX_OVERFLOW	6	GMSL リンクで送信するデータを保持する UART FIFO でオーバーフローが生じたことを示すフラグ	0b0: No overflow occurred 0b1: Overflow occurred
I2C_TIMED_OUT	2	内部の I²C -to- I²C セカンダリまたはメインが、リモート・デバイスからパケットを受信している間にタイムアウトしたことを示します	0b0: No timeout occurred 0b1: Timeout occurred
REM_ACK_ACKED	1	リモート側から受信した I²C のアクノリッジ・ビットの反転。アクノリッジを受信した場合、1 にセットされます。	0b0: Ack not received 0b1: Ack received
REM_ACK_RECVED	0	直前の I²C パケットのいずれかの I²C バイトに対して、リモート側から I²C アクノリッジ・ビットを受信したことを示します	0b0: Ack not received 0b1: Ack received

UART_0（0x48）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		REM_MS_EN	LOC_MS_EN	BYPASS_DIS_PAR	BYPASS_TO[1:0]		BYPASS_EN
Reset	0b01		0b0	0b0	0b0	0b01		0b0
Access Type			Write, Read	Write, Read	Write, Read	Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
REM_MS_EN	5	リモート GPIO ピンによる UART バイパス・モード制御を有効化します。 セットされると、リモート・チップの GPIO が MS ピン（UART モードの選択）として使用されます。 MS がハイの場合、チップはバイパス・モードになります。MS がローの場合、チップはベース・モードになります。 バイパス・モードでは、UART インターフェースは、MFP ピンを通じて外部 UART インターフェースにアクセスできるだけであり、コントロール・チャンネルにはアクセスできません。ベース・モードでは、コントロール・チャンネルへのアクセスが可能です。	0b0: UART Bypass mode not controlled by remote MS pin 0b1: UART Bypass mode controlled by remote MS pin
LOC_MS_EN	4	ローカル GPIO ピンによる UART バイパス・モード制御を有効化します。 セットされると、GPIO2 ピンが MS ピン（UART モードの選択）として使用されます。 MS がハイの場合、チップはバイパス・モードになります。MS がローの場合、チップはベース・モードになります。 バイパス・モードでは、UART インターフェースは、MFP ピンを通じて外部 UART インターフェースにアクセスできるだけであり、コントロール・チャンネルにはアクセスできません。ベース・モードでは、コントロール・チャンネルへのアクセスが可能です。	0b0: UART bypass mode not controlled by local MS pin 0b1: UART bypass mode controlled by local MS pin
BYPASS_DIS_PAR	3	バイパス・モードでパリティ・ビットを送受信するかどうかを選択します	0b0: Receive and send parity bit in Bypass mode 0b1: Do not receive and send parity bit in Bypass mode
BYPASS_TO	2:1	UART ソフトバイパス・タイムアウト時間。 11 に設定した場合、BYPASS_EN は決してクリアされません。そのため、デバイスは次にパワーダウンされるまでバイパス・モードのままになります。	0b00: 2ms 0b01: 8ms 0b10: 32ms 0b11: Disabled (bypass mode active until next power cycle/PWDNB)
BYPASS_EN	0	UART ソフトバイパス・モードを有効化します。 バイパス・モードは、UART 動作が行われる限りアクティブのままです。 選択した時間（BYPASS_TO ビットフィールドによって設定）の間 UART の動作がない場合、デバイスはバイパス・モードを終了し、ビットは自動的にクリアされます。	0b0: UART soft-bypass mode disabled 0b1: UART soft-bypass mode enabled

UART_1（0x49）

BIT	7	6	5	4	3	2	1	0
Field	BITLEN_LSB[7:0]							
Reset	0x96							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
BITLEN_LSB	7:0	UART で検出されたビット長、下位 8 ビット。 UART ピンで検出されたボー・レートを、150MHz クロック・サイクル単位で表した値です。	0xXX: UART detected bit length, low 8 bits

UART_2（0x4A）

BIT	7	6	5	4	3	2	1	0
Field	OUT_DELAY[1:0]		BITLEN_MSB[5:0]					
Reset	0b10		0b000000					
Access Type	Write, Read		Read Only					

ビットフィールド	ビット	説明	デコード
OUT_DELAY	7:6	UART の初期出力遅延 ベース・モードでは、受信したパケットの最初の UART バイト（同期またはアクノリッジ・フレーム）は、同じパケットの UART フレームがリモート側で連続して出力されるように、設定されたビット時間数だけ遅延されます。この遅延により、最初のバイトと残りのバイトの間のギャップを回避できます。	0b00: Do not wait 0b01: Wait for 4 bits 0b10: Wait for 8 bits 0b11: Wait for 1 bit
BITLEN_MSB	5:0	UART で検出されたビット長、上位 6 ビット。 UART ピンで検出されたボー・レートを、150MHz クロック・サイクル単位で表した値です。	0xXX: UART detected bit length, upper 6 bits

I2C_PT_0（0x4C）

BIT	7	6	5	4	3	2	1	0
Field	–	–	SLV_SH_PT[1:0]		–	SLV_TO_PT[2:0]		
Reset	–	–	0b10		–	0b110		
Access Type	–	–	Write, Read		–	Write, Read		

ビットフィールド	ビット	説明	デコード
SLV_SH_PT	5:4	パススルー1 および 2 の I²C-to-I²C セカンダリのセットアップ／ホールド・タイムの設定（セットアップ、ホールド）。 内部 I²C セカンダリが SDA/SCL を駆動する際の、SDA と SCL の遷移の間隔を設定します。	0b00: Set for I²C Fast-mode Plus speed (1Mbps) 0b01: Set for I²C Fast-mode speed (400Kbps) 0b10: Set for I²C Standard-mode speed (100Kbps) 0b11: Reserved
SLV_TO_PT	2:0	パススルー1 および 2 の I²C-to-I²C セカンダリのタイムアウトの設定。 GMSL2 の内部 I²C セカンダリは、リモート・デバイスからのパケットを待機中に応答を受信しない場合、設定された時間後にタイムアウトします。	0b000: 16µs 0b001: 1ms 0b010: 2ms 0b011: 4ms 0b100: 8ms 0b101: 16ms 0b110: 32ms 0b111: Disabled

I2C_PT_1（0x4D）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	MST_BT_PT[2:0]			–	MST_TO_PT[2:0]		
Reset	0b0	0b101			–	0b110		
Access Type		Write, Read			–	Write, Read		

ビットフィールド	ビット	説明	デコード
MST_BT_PT	6:4	パススルー1 および 2 の I²C-to-I²C メインのビット・レートの設定。 （外部 I²C メインから見てリモート側のデバイス内にある）内部 I²C メインによって使用される I²C ビット・レート（SCL クロック周波数）を設定します。 この値は I²C の速度モードに応じて設定してください。	0b000: 9.92Kbps - Set for I²C Standard mode speed 0b001: 33.2Kbps - Set for I²C Standard mode speed 0b010: 99.2Kbps - Set for I²C Standard or Fast-mode speed 0b011: 123Kbps - Set for I²C Fast-mode speed 0b100: 203Kbps - Set for I²C Fast-mode speed 0b101: 397Kbps - Set for I²C Fast or Fast-mode Plus speed 0b110: 625Kbps - Set for I²C Fast-mode Plus speed 0b111: 980Kbps - Set for I²C Fast-mode Plus speed
MST_TO_PT	2:0	パススルー1 および 2 の I²C-to-I²C メインのタイムアウトの設定。 GMSL2 の内部 I²C メインは、リモート・デバイスからのパケットを待機中に応答を受信しない場合、設定された時間後にタイムアウトします。	0b000: 16µs 0b001: 1ms 0b010: 2ms 0b011: 4ms 0b100: 8ms 0b101: 16ms 0b110: 32ms 0b111: Disabled

I2C_PT_2（0x4E）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	I2C_TIMED_OUT_2	RSVD	RSVD	RSVD	I2C_TIMED_OUT_1	RSVD	RSVD
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type		Read Clears All				Read Clears All		

ビットフィールド	ビット	説明
I2C_TIMED_OUT_2	6	パススルーI²C チャンネル 2 において、内部の I²C-to-I²C セカンダリまたはメインが、リモート・デバイスからパケットを受信している間にタイムアウトしたことを示します
I2C_TIMED_OUT_1	2	パススルーI²C チャンネル 1 において、内部の I²C-to-I²C セカンダリまたはメインが、リモート・デバイスからパケットを受信している間にタイムアウトしたことを示します

UART_PT_0（0x4F）

BIT	7	6	5	4	3	2	1	0
Field	BITLEN_MAN_CFG_2	DIS_PAR_2	RSVD	RSVD	BITLEN_MAN_CFG_1	DIS_PAR_1	RSVD	RSVD
Reset	0b1	0b0	0b0	0b0	0b1	0b0	0b0	0b0
Access Type	Write, Read	Write, Read			Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
BITLEN_MAN_CFG_2	7	パススルーUART チャンネル 1 において、カスタム UART ビット・レート（BITLEN_PT_2_L - 0x548 および BITLEN_PT_2_H - 0x549 ビットフィールドで選択）を使用します	0b0: Use standard bit rate 0b1: Use custom bit rate
DIS_PAR_2	6	パススルーUART チャンネル 2 でパリティ・ビットを無効化します	0b0: Parity bit enabled 0b1: Parity bit disabled
BITLEN_MAN_CFG_1	3	パススルーUART チャンネル 1 において、カスタム UART ビット・レート（BITLEN_PT_1_L - 0x54A および BITLEN_PT_1_H - 0x54B ビットフィールドで選択）を使用します	0b0: Use standard bit rate 0b1: Use custom bit rate
DIS_PAR_1	2	パススルーUART チャンネル 1 でパリティ・ビットを無効化します	0b0: Parity bit enabled 0b1: Parity bit disabled

RX0（0x50）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
Reset	0b0	–	–	–	–	–	0b00	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します。	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

RX0（0x51）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
Reset	0b0	–	–	–	–	–	0b01	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します。	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

RX0（0x52）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
Reset	0b0	–	–	–	–	–	0b10	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します。	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

RX0（0x53）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN	–	–	–	–	–	STR_SEL[1:0]	
Reset	0b0	–	–	–	–	–	0b11	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します。	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

TR0（0x60、0x68、0x78）*

BIT	7	6	5	4	3	2	1	0
Field	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
Reset	0b1	0b1	0b11		0b00		0b00	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
TX_CRC_EN	7	セットされている場合、CRC を計算し、このポートから送信される各パケットにそれを付加します。	0b0: Transmit CRC disabled 0b1: Transmit CRC enabled
RX_CRC_EN	6	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します。	0b0: Receive CRC disabled 0b1: Receive CRC enabled
PRIO_VAL	3:2	このチャンネルのパケット要求の優先度を設定します	0b00: Low priority 0b01: Normal priority 0b10: High priority 0b11: Urgent priority
PRIO_CFG	1:0	このチャンネルに用いられる優先度を調整します	0b00: Current channel priority is used 0b01: Increase current channel priority 0b10: Decrease current channel priority 0b11: Reset to channel PRIO_VAL[1:0] setting

TR1（0x61、0x69、0x71、0x79、0x81、0x89）*

BIT	7	6	5	4	3	2	1	0
Field	BW_MULT[1:0]		BW_VAL[5:0]					
Reset	0b10		0b110000					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
BW_MULT	7:6	チャンネル帯域幅割り当ての逓倍係数	0b00: Multiply BW_VAL by 1 0b01: Multiply BW_VAL by 4 0b10: Multiply BW_VAL by 16 0b11: Multiply BW_VAL by 16
BW_VAL	5:0	チャンネル帯域幅割り当ての基底値。このポートに割り当てられる総リンク帯域幅のパーセンテージを計算するために用います。 公正な帯域幅使用比率 = BW_VAL x BW_MULT/10（総リンク帯域幅に対する割合(%)）。	0bXXXXXX: Channel base-bandwidth value

TR3（0x63、0x6B、0x73、0x7B、0x83、0x8B）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	TX_SRC_ID[2:0]		
Reset	–	–	–	–	–	0b000		
Access Type	–	–	–	–	–	Write, Read		

ビットフィールド	ビット	説明	デコード
TX_SRC_ID	2:0	このチャンネルから送信されるパケットで用いられるソース識別子。 デフォルト値は、CFG0 ピンによって設定されたデバイス・アドレスに基づきます。	0bXXX: Source ID for packets from this channel

TR4（0x64、0x6C、0x74、0x7C、0x84、0x8C）*

BIT	7	6	5	4	3	2	1	0
Field	RX_SRC_SEL[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
RX_SRC_SEL	7:0	選択したソースからパケットを受信します。 各ビットは、そのソース ID を持つパケットを受信するかどうかを示します。これはワンホット・エンコーディングです。 例えば、SRC_SEL = 00001001 の場合、ソース ID が 0 および 3 のパケットが受信されます。	0x00: No packets received 0x01: Packets from source ID 0 received 0x02: Packets from source ID 1 received 0x03: Packets from source ID 0 and 1 received 0x04: Packets from source ID 2 received ... 0xFF: Packets from all source IDs received

ARQ0 (0x6D、0x75、0x7D、0x85、0x8D)*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	MATCH_SRC_ID	ACK_SRC_ID	EN	DIS_DBL_ACK_RETX	–	–
Reset	0b1	0b0	0b0	0b1	0b1	0b0	–	–
Access Type			Write, Read	Write, Read	Write, Read	Write, Read	–	–

ビットフィールド	ビット	説明	デコード
MATCH_SRC_ID	5	アクノリッジ・パケット・ソース ID のチェック方法	0: All received Ack packets are accepted 1: Ack packet is accepted if SRC_ID of the received Ack packet matches TX_SRC_ID register
ACK_SRC_ID	4	送信されるアクノリッジ・パケットで SRC_ID として何を使用するかを選択します	0: Use SRC_ID of the received data packet 1: Use TX_SRC_ID register
EN	3	ARQ を有効化します	0b0: ARQ disabled 0b1: ARQ enabled
DIS_DBL_ACK_RETX	2	同じアクノリッジを 2 度受信したことによる再送信を無効化します	0b0: Enabled 0b1: Disabled

ARQ1（0x6E、0x76、0x7E、0x86、0x8E）*

BIT	7	6	5	4	3	2	1	0
Field	–	MAX_RT[2:0]			–	–	MAX_RT_ERR_OEN	RT_CNT_OEN
Reset	–	0b111			–	–	0b1	0b0
Access Type	–	Write, Read			–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MAX_RT	6:4	最大再送回数（再送回数の上限値）。 ARQ は、1 つのパケットに対しこの回数の再送を試行した後、再送を停止します。	0bXXX: Binary value for number of times to retransmit

ビットフィールド	ビット	説明	デコード
MAX_RT_ERR_OEN	1	このチャンネルの ARQ 最大再送回数超過エラー（MAX_RT_ERR - 0x616）を ERRB ピンで報告するように有効化します	0b0: ARQ maximum retransmit limit errors reporting at ERRB pin disabled 0b1: ARQ maximum retransmit limit errors reporting at ERRB pin enabled
RT_CNT_OEN	0	このチャンネルの ARQ 再送イベントを ERRB ピンで報告するように有効化します。 有効化されている場合、このチャンネルの RT_CNT が 0 より大きいときに ERRB がアサートされます。	0b0: ARQ retransmission count reporting at ERRB pin disabled 0b1: ARQ retransmission count reporting at ERRB pin enabled

ARQ2（0x6F、0x77、0x7F、0x87、0x8F）

BIT	7	6	5	4	3	2	1	0
Field	MAX_RT_ERR	RT_CNT[6:0]						
Reset	0b0	0b0000000						
Access Type	Read Clears All	Read Clears All						

ビットフィールド	ビット	説明	デコード
MAX_RT_ERR	7	このチャンネルの 1 つのパケットで最大再送回数（MAX_RT）に達したことを示します	0b0: Maximum retransmission limit not reached 0b1: Maximum retransmission limit reached
RT_CNT	6:0	このチャンネルの合計再送カウント	0xXX: Count of retransmissions for this channel

TR0（0x70、0x80、0x88）*

BIT	7	6	5	4	3	2	1	0
Field	TX_CRC_EN	RX_CRC_EN	RSVD[1:0]		PRIO_VAL[1:0]		PRIO_CFG[1:0]	
Reset	0b1	0b1	0b11		0b00		0b00	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
TX_CRC_EN	7	セットされている場合、CRC を計算し、このポートから送信される各パケットにそれを付加します	0b0: Transmit CRC disabled 0b1: Transmit CRC enabled
RX_CRC_EN	6	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: Receive CRC disabled 0b1: Receive CRC enabled
PRIO_VAL	3:2	このチャンネルのパケット要求の優先度を設定します	0b00: Low priority 0b01: Normal priority 0b10: High priority 0b11: Urgent priority
PRIO_CFG	1:0	このチャンネルに用いられる優先度を調整します	0b00: Current channel priority is used 0b01: Increase current channel priority 0b10: Decrease current channel priority 0b11: Reset to channel PRIO_VAL[1:0] setting

VIDEO_RX0（0x112、0x124）*

BIT	7	6	5	4	3	2	1	0
Field	LCRC_ERR	RSVD	RSVD	RSVD	RSVD	LINE_CRC_SEL	LINE_CRC_EN	DIS_PKT_DET
Reset	0b0	0b0	0b1	0b1	0b0	0b0	0b1	0b0
Access Type	Read Clears All					Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LCRC_ERR	7	ビデオ・ライン CRC エラー・フラグ	0b0: No video line CRC error detected 0b1: Video line CRC error detected
LINE_CRC_SEL	3	ライン CRC トリガの選択	0: Use DE 1: Use HS
LINE_CRC_EN	2	ビデオ・ライン CRC の有効化	0b0: Video line CRC disabled 0b1: Video line CRC enabled
DIS_PKT_DET	0	パケット・ディテクタを無効化します。 LIM_HEART が 1 にセットされているときに使用でき、長いブランキング期間中にビデオ・パケットが送信されない場合にビデオ・パイプがタイムアウトしてリセットされるのを防ぎます。 パケット・ディテクタが無効なときに異なる bpp でビデオを再始動する場合は、このレジスタまたはビデオ受信イネーブル・レジスタをトグルして、ビデオ・リンクが確実に再始動するようにしてください。	0b0: Packet detector enabled 0b1: Packet detector disabled

VIDEO_RX3（0x115、0x127）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	HD_TR_MODE	DLOCKED	VLOCKED	HLOCKED	DTRACKEN	VTRACKEN	HTRACKEN
Reset	0b0	0b1	0b0	0b0	0b0	0b0	0b0	0b0
Access Type		Write, Read	Read Only	Read Only	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HD_TR_MODE	6	HS、DE のトラッキングを完全に周期的に行うか、HV トラッキング時の垂直ブランキング期間中は停止するのかを選択します	0b0: Allow only partial periodic HS,DE tracking (stops during vertical blanking) 0b1: Allow partial periodic and full periodic HS, DE tracking
DLOCKED	5	DE トラッキングがロックされていることを示します	0b0: DE tracking not locked 0b1: DE tracking locked
VLOCKED	4	VS トラッキングがロックされていることを示します	0b0: VS tracking not locked 0b1: VS tracking locked
HLOCKED	3	HS トラッキングがロックされていることを示します	0b0: HS tracking not locked 0b1: HS tracking locked
DTRACKEN	2	DE トラッキングの有効化（FSYNC = 1 の場合は無効）。 システムは DE パルスを監視し、そのパターンにロックすると、限られた数の欠落パルスを補償したり、グリッチを抑制することができます。	0b0: DE tracking disabled 0b1: DE tracking enabled

ビットフィールド	ビット	説明	デコード
VTRACKEN	1	VS トラッキングの有効化（FSYNC = 1 の場合は無効）。システムは VS パルスを監視し、そのパターンにロックすると、限られた数の欠落パルスを補償したり、グリッチを抑制することができます。	0b0: VS tracking disabled 0b1: VS tracking enabled
HTRACKEN	0	HS トラッキングの有効化（FSYNC = 1 の場合は無効）。システムは HS パルスを監視し、そのパターンにロックすると、限られた数の欠落パルスを補償したり、グリッチを抑制することができます。	0b0: HSYNC tracking disabled 0b1: HSYNC tracking enabled

VIDEO_RX6（0x118、0x12A）

BIT	7	6	5	4	3	2	1	0
Field	RSVD[2:0]			RSVD	LIM_HEART	–	RSVD	RSVD
Reset	0b000			0b0	0b0	–	0b1	0b0
Access Type					Write, Read	–		

ビットフィールド	ビット	説明	デコード
LIM_HEART	3	ブランキング期間中のハートビートを無効化します。ハートビートとは、シリアライザから送信される周期的なビデオ同期パケットであり、これによって、デシリアライザのビデオ出力がシリアライザの入力で見られるビデオ・タイミングを再現できるようになります。MIPI では不要です。	0b0: Heartbeat enabled during blanking 0b1: Heartbeat disabled during blanking

VIDEO_RX8（0x11A、0x12C）

BIT	7	6	5	4	3	2	1	0
Field	VID_BLK_LEN_ERR	VID_LOCK	VID_PKT_DET	VID_SEQ_ERR	RSVD[3:0]			
Reset	0b0	0b0	0b0	0b0	0x2			
Access Type	Read Clears All	Read Only	Read Only	Read Clears All				

ビットフィールド	ビット	説明	デコード
VID_BLK_LEN_ERR	7	ビデオ Rx でビデオ・ピクセル・データのブロック長エラーを検出したことを示します。受信データの長さがピクセルあたりのビデオ・データ・ビットに基づく想定値と一致しない場合に、長さの不一致が生じます。	0b0: No error detected 0b1: Video Rx block-length error detected
VID_LOCK	6	ビデオ・パイプラインがロックされていることを示します。また、以下のレジスタを読み出すことでも MIPI TX がデータを出力しているかどうかをチェックできます：csi2_tx1/2_pkt_cnt、csi2_dup1/2_pkt_cnt、phy0/1/2/3_pkt_cnt	0b0: Video pipeline not locked 0b1: Video pipeline locked
VID_PKT_DET	5	十分なビデオ Rx パケット・スループットを検出したことを示します。LIM_HEART=0 の場合、100µs あたり 1 つ以上のビデオ・パケットです。LIM_HEART=1 の場合、10ms あたり 1 つ以上のビデオ・パケットです。	0b0: Not enough throughput 0b1: Sufficient throughput detected

ビットフィールド	ビット	説明	デコード
VID_SEQ_ERR	4	ビデオ Rx のシーケンス・エラーが発生したことを示します。シーケンスとは、ビデオ・パケットのヘッダで送られる 0 と 1 が交互に並ぶビット列です。パケットが欠落すると、0 が 2 回続くか 1 が 2 回続きます。	0b0: No error detected 0b1: Error detected

VIDEO_RX10（0x11C、0x12E）

BIT	7	6	5	4	3	2	1	0
Field	VID_OVERFLOW	MASK_VIDEO_DE	RSVD[5:0]					
Reset	0b0	0b0	0b000000					
Access Type	Read Clears All	Write, Read						

ビットフィールド	ビット	説明	デコード
VID_OVERFLOW	7	ビデオ受信バッファで検出されたオーバーフローに対するスティッキー・ビット。読み出すとクリアされます。	0: No error detected 1: Error detected
MASK_VIDEO_DE	6	DE がローの場合にビデオをマスクします	0x0: Do not mask when DE is low 0x1: Mask when DE is low

VIDEO_PIPE_EN（0x160）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	VIDEO_PIPE_EN[1:0]	
Reset	–	–	–	–	–	–	0b11	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
VIDEO_PIPE_EN	1:0	ビデオ・パイプ用に有効化します	Bit 0 is enabled for Pipe Y, bit 1 is enabled for Pipe Z

VIDEO_PIPE_SEL（0x161）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	VIDEO_PIPE_SEL_Z[2:0]			VIDEO_PIPE_SEL_Y[2:0]		
Reset	–	–	0b110			0b010		
Access Type	–	–	Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード
VIDEO_PIPE_SEL_Z	5:3	ビデオ・パイプ Z で受信する受信ストリーム ID を選択します	0x0: Link A stream ID 00 0x1: Link A stream ID 01 0x2: Link A stream ID 10 0x3: Link A stream ID 11 0x4: Link B stream ID 00 0x5: Link B stream ID 01 0x6: Link B stream ID 10 0x7: Link B stream ID 11

ビットフィールド	ビット	説明	デコード
VIDEO_PIPE_SEL_Y	2:0	ビデオ・パイプ Y で受信する受信ストリーム ID を選択します	0x0: Link A stream ID 00 0x1: Link A stream ID 01 0x2: Link A stream ID 10 0x3: Link A stream ID 11 0x4: Link B stream ID 00 0x5: Link B stream ID 01 0x6: Link B stream ID 10 0x7: Link B stream ID 11

LINK_SEL（0x162）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	SPI_LINK_SELECT	UART_2_LINK_SELECT	UART_1_LINK_SELECT	UART_0_LINK_SELECT
Reset	–	–	–	–	0b0	0b0	0b0	0b0
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
SPI_LINK_SELECT	3	SPI ポート用のリンク接続を選択します	0x0: Link A 0x1: Link B
UART_2_LINK_SELECT	2	UART パススルー2 リンク接続の選択	0x0: Link A 0x1: Link B
UART_1_LINK_SELECT	1	UART パススルー1 リンク接続の選択	0x0: Link A 0x1: Link B
UART_0_LINK_SELECT	0	コントロール・チャンネル UART リンク接続の選択	0x0: Link A 0x1: Link B

SPI_0（0x170）*

BIT	7	6	5	4	3	2	1	0
Field	SPI_LOC_ID[1:0]		SPI_CC_TRG_ID[1:0]		SPI_IGNR_ID	SPI_CC_EN	MST_SLVN	SPI_EN
Reset	0b00		0b00		0b1	0b0	0b0	0b0
Access Type	Write, Read		Write, Read		Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
SPI_LOC_ID	7:6	ヘッダ ID に基づいてパケットをフィルタリングする場合にローカル ID に設定します。	0b00: ID = 0 0b01: ID = 1 0b10: ID = 2 0b11: ID = 3
SPI_CC_TRG_ID	5:4	SPI コントロール・-チャンネル・ブリッジ・モードにおける GMSL2 ヘッダの ID	0b00: ID = 0 0b01: ID = 1 0b10: ID = 2 0b11: ID = 3
SPI_IGNR_ID	3	パケットの受け入れを決定するために SPI がヘッダ ID を用いるか無視するかを選択します	0b0: Accept only packets with proper ID 0b1: Ignore ID and accept all packets
SPI_CC_EN	2	コントロール・チャンネルの SPI ブリッジ機能を有効化します	0b0: SPI bridge disabled 0b1: SPI bridge enabled

ビットフィールド	ビット	説明	デコード
MST_SLVN	1	SPI がメインかセカンダリかを選択します	0b0: SPI subordinate 0b1: SPI main
SPI_EN	0	SPI チャンネルを有効化します	0b0: SPI channel disabled 0b1: SPI channel enabled

SPI_1（0x171）*

BIT	7	6	5	4	3	2	1	0
Field	SPI_LOC_N[5:0]						SPI_BASE_PRIO[1:0]	
Reset	0b000111						0b01	
Access Type	Write, Read						Write, Read	

ビットフィールド	ビット	説明	デコード
SPI_LOC_N	7:2	GMSL2 SPI パケットのパケット・サイズ（(2N + 1)バイト）を設定します。 これが 7 より大きい値に設定される場合、SPI チャンネルの ARQ は無効にする必要があります。	0b000000: Packet size is 1 byte 0b000001: Packet size is 3 bytes ... 0b111111: Packet size is 127 bytes
SPI_BASE_PRIO	1:0	GMSL2 開始要求の優先度。Tx バッファが半分以上満たされていると、優先順位が 1 つ上がります（余地がある場合）。	

SPI_2（0x172）*

BIT	7	6	5	4	3	2	1	0
Field	REQ_HOLD_OFF[2:0]			FULL_SCK_SETUP	SPI_MOD3_F	SPI_MOD3	SPIM_SS2_ACT_H	SPIM_SS1_ACT_H
Reset	0b000			0b0	0b0	0b0	0b1	0b1
Access Type	Write, Read			Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
REQ_HOLD_OFF	7:5	このバイト数の追加データを SPI ポートで受信するまで、GMSL リンクを介したデータ送信を延期します	0b00: No extra bytes 0b01: 1 extra byte 0b10: 2 extra bytes 0b11: 3 extra bytes
FULL_SCK_SETUP	4	SCK の半周期または 1 周期後に MISO をサンプリングします	0b0: MISO sampled after half-SCK period 0b1: MISO sampled after full-SCK period
SPI_MOD3_F	3	SPI モード 3 が選択されている場合に、SS のアサート解除の前に余分な SCK を抑制できるようにします	0b0: Extra SCK present prior to SS deassertion when in SPI mode 3 0b1: Extra SCK suppressed prior to SS deassertion when in SPI mode 3
SPI_MOD3	2	SPI モード 0 または 3 を選択します。 どちらのモードでも、データは立上がりクロック・エッジでサンプリングされ、立下りエッジでシフト・アウトされます。	0b0: SPI mode 0. Clock polarity and phase are 0. Subordinate select asserts when clock is low. 0b1: SPI mode 3. Clock polarity and phase are 1. Subordinate select asserts when clock is high.
SPIM_SS2_ACT_H	1	SPI がメインの場合に SS2 の極性を設定します	0b0: Subordinate select 2 is active low 0b1: Subordinate select 2 is active high
SPIM_SS1_ACT_H	0	SPI がメインの場合に SS1 の極性を設定します	0b0: Subordinate select 1 is active low 0b1: Subordinate select 1 is active high

SPI_3（0x173）*

BIT	7	6	5	4	3	2	1	0
Field	SPIM_SS_DLY_CLKS[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SPIM_SS_DLY_CLKS	7:0	以下の間に挿入する遅延時間（300MHz クロック数）。 · SS のアサートと SCK パルスの開始 · SCK パルスの終了と SS のアサート解除 · SS のアサート解除と SS の再アサート（必要な場合）	0xXX: Number of clock delays

SPI_4（0x174）*

BIT	7	6	5	4	3	2	1	0
Field	SPIM_SCK_LO_CLKS[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SPIM_SCK_LO_CLKS	7:0	SCK ロー時間（300MHz クロック数）	0xXX: Number of clocks for SCK low time

SPI_5（0x175）*

BIT	7	6	5	4	3	2	1	0
Field	SPIM_SCK_HI_CLKS[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SPIM_SCK_HI_CLKS	7:0	SCK ハイ時間（300MHz クロック数）	0xXX: Number of clocks for SCK high time

SPI_6（0x176）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	BNE	SPIS_RWN	SS_IO_EN_2	SS_IO_EN_1	BNE_IO_EN	RWN_IO_EN
Reset	–	–	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	–	–	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BNE	5	GPIO が使用できない場合に BNE ステータス表示に使用する代替 GPU ステータス・レジスタ	0b0: Buffer empty 0b1: Buffer not empty

ビットフィールド	ビット	説明	デコード
SPIS_RWN	4	GPIO が使用できない場合に読出し／書込み制御に使用する代替 GPU コントロール・レジスタ	0b0: Write 0b1: Read
SS_IO_EN_2	3	GPIO を有効化して、セカンダリ選択 2 の出力として使用します	0b0: GPIO not used for SPI SS2 function 0b1: GPIO used for SPI SS2 function
SS_IO_EN_1	2	GPIO を有効化して、セカンダリ選択 1 の出力として使用します	0b0: GPIO not used for SPI SS1 function 0b1: GPIO used for SPI SS1 function
BNE_IO_EN	1	GPIO を有効化して、SPI データが利用可能であることを示す BNE 出力として使用します	0b0: GPIO not used for SPI BNE function 0b1: GPIO used for SPI BNE function
RWN_IO_EN	0	GPIO を有効化して、SPI データ移動を制御するための RO 入力として使用します	0b0: GPIO not used for SPI RO function 0b1: GPIO used for SPI RO function

SPI_7（0x177）

BIT	7	6	5	4	3	2	1	0
Field	SPI_RX_OVRFLW	SPI_TX_OVRFLW	RO_ALT	SPIS_BYTE_CNT[4:0]				
Reset	0b0	0b0	0b0	0b00000				
Access Type	Read Clears All	Read Clears All	Write, Read	Read Only				

ビットフィールド	ビット	説明	デコード
SPI_RX_OVRFLW	7	SPI の Rx バッファ・オーバーフロー・フラグ	0b0: No SPI Rx buffer overflow 0b1: SPI Rx buffer overflow
SPI_TX_OVRFLW	6	SPI の Tx バッファ・オーバーフロー・フラグ	0b0: No SPI Tx buffer overflow 0b1: SPI Tx buffer overflow
RO_ALT	5	1 に設定した場合、RO の代替ピンを使用します	
SPIS_BYTE_CNT	4:0	Rx バッファから読み出し可能な SPI データ・バイト数	0bXXXXX: Number of bytes available

SPI_8（0x178）*

BIT	7	6	5	4	3	2	1	0
Field	REQ_HOLD_OFF_TO[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
REQ_HOLD_OFF_TO	7:0	GMSL2 要求保留のタイムアウト遅延（100ns 刻み、0 で無効化）	0xXX: Number of 100nS delay increments for GMSL2 request hold off

WM_0（0x190）*

BIT	7	6	5	4	3	2	1	0
Field	WM_LEN	WM_MODE[2:0]			WM_DET[1:0]		–	WM_EN
Reset	0b0	0b000			0b00		–	0b0
Access Type	Write, Read	Write, Read			Write, Read		–	Write, Read

ビットフィールド	ビット	説明	デコード
WM_LEN	7	ウォーターマークの長さ	0b0: 32-bit 0b1: 64-bit
WM_MODE	6:4	ウォーターマーク・モード	0b000: Default generator mode - cycle through all four watermarks in video stream 0b001: Error generator mode - cycle through only two watermarks to replicate a frozen frame error condition 0b010: Reserved 0b011: Reserved 0b100: Reserved 0b101: Reserved 0b110: Reserved 0b111: Reserved
WM_DET	3:2	ウォーターマーク検出／生成	0b00: Insert watermark in video stream 0b01: Detect watermark and remove from outgoing video stream 0b10: Reserved 0b11: Reserved
WM_EN	0	ウォーターマークの有効化	0b0: Watermarking disabled 0b1: Watermarking enabled

WM_2（0x192）*

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD[2:0]			HsyncPol	VsyncPol	WM_NPFILT[1:0]	
Reset	–	0b101			0b0	0b0	0b00	
Access Type	–				Write, Read	Write, Read	Write, Read	

ビットフィールド	ビット	説明	デコード
HsyncPol	3	HS の極性	0b0: Noninverting 0x1: Invert
VsyncPol	2	VS の極性	0b0: Noninverting 0x1: Invert
WM_NPFILT	1:0	位相アキュムレータのターミナル・カウント	0xXX: Counter value

WM_4（0x194）

BIT	7	6	5	4	3	2	1	0
Field	–	–	RSVD[1:0]		RSVD	–	WM_MASKMODE[1:0]	
Reset	–	–	0b01		0b0	–	0b00	
Access Type	–	–				–	Write, Read	

ビットフィールド	ビット	説明	デコード
WM_MASKMODE	1:0	デバイスのウォーターマーク・ビデオ・マスクの動作を設定します	0b00: Mask video if WM is detected 0b01: Mask video if WM is detected, blank if error is detected 0b10: Reserved b011: Reserved

WM_5（0x195）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	RSVD	WM_DETOUT	WM_ERROR
Reset	–	–	–	–	–	0b0	0b0	0b0
Access Type	–	–	–	–	–		Read Only	Read Only

ビットフィールド	ビット	説明	デコード
WM_DETOUT	1	フレームベースの検出出力のライブ値	0b0: Watermark not detected 0b1: Watermark detected
WM_ERROR	0	アクティブ・ハイのウォーターマーク・エラーのライブ値	0b0: No watermark error 0b1: Watermark error active, bit automatically clears when error clears.

WM_6（0x196）

BIT	7	6	5	4	3	2	1	0
Field	WM_TIMER[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
WM_TIMER	7:0	エラーが生成される前に、フリーズ・フレーム状態が観察されなければならない時間（2ms ステップ） 0 = フィルタなし	0xXX: Number of milliseconds

WM_WREN_0（0x1AE）

BIT	7	6	5	4	3	2	1	0
Field	WM_WREN_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
WM_WREN_L	7:0	WM_WREN_H と併用して、ウォーターマーク・レジスタへの書込みを有効化します。 0xBA が WM_WREN_L レジスタに書き込まれ、0xDC が WM_WREN_H レジスタに書き込まれた場合に、ウォーターマーク・レジスタへの書込みが可能となります。それ以外の場合、ウォーターマーク・レジスタは読出し専用です。	0xBA: Enables writing to WM registers Others: WM registers remain read-only

WM_WREN_1（0x1AF）

BIT	7	6	5	4	3	2	1	0
Field	WM_WREN_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
WM_WREN_H	7:0	WM_WREN_L と併用して、ウォーターマーク・レジスタへの書込みを有効化します。 0xBA が WM_WREN_L レジスタに書き込まれ、0xDC が WM_WREN_H レジスタに書き込まれた場合に、ウォーターマーク・レジスタへの書込みが可能となります。それ以外の場合、ウォーターマーク・レジスタは読出し専用です。	0xDC: Enables writing to WM registers Others: WM registers remain read-only

CROSS_0 (0x1E0、0x200)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS0_I	CROSS0_F	CROSS0[4:0]				
Reset	–	0b0	0b0	0b00000				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS0_I	6	出力ビット 0 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS0_F	5	出力ビット 0 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS0	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 0 に割り当てます	0bXXXXX: Incoming bit position

CROSS_1 (0x1E1、0x201)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS1_I	CROSS1_F	CROSS1[4:0]				
Reset	–	0b0	0b0	0b00001				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS1_I	6	出力ビット 1 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS1_F	5	出力ビット 1 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS1	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 1 に割り当てます	0bXXXXX: Incoming bit position

CROSS_2 (0x1E2、0x202)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS2_I	CROSS2_F	CROSS2[4:0]				
Reset	–	0b0	0b0	0b00010				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS2_I	6	出力ビット 2 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS2_F	5	出力ビット 2 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS2	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 2 に割り当てます	0bXXXXX: Incoming bit position

CROSS_3 (0x1E3、0x203)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS3_I	CROSS3_F	CROSS3[4:0]				
Reset	–	0b0	0b0	0b00011				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS3_I	6	出力ビット 3 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS3_F	5	出力ビット 3 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS3	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 3 に割り当てます	0bXXXXX: Incoming bit position

CROSS_4 (0x1E4、0x204)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS4_I	CROSS4_F	CROSS4[4:0]				
Reset	–	0b0	0b0	0b00100				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS4_I	6	出力ビット 4 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS4_F	5	出力ビット 4 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS4	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 4 に割り当てます	0bXXXXX: Incoming bit position

CROSS_5 (0x1E5、0x205)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS5_I	CROSS5_F	CROSS5[4:0]				
Reset	–	0b0	0b0	0b00101				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS5_I	6	出力ビット 5 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS5_F	5	出力ビット 5 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS5	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 5 に割り当てます	0bXXXXX: Incoming bit position

CROSS_6 (0x1E6、0x206)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS6_I	CROSS6_F	CROSS6[4:0]				
Reset	–	0b0	0b0	0b00110				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS6_I	6	出力ビット 6 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS6_F	5	出力ビット 6 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS6	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 6 に割り当てます	0bXXXXX: Incoming bit position

CROSS_7 (0x1E7、0x207)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS7_I	CROSS7_F	CROSS7[4:0]				
Reset	–	0b0	0b0	0b00111				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS7_I	6	出力ビット 7 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS7_F	5	出力ビット 7 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS7	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 7 に割り当てます	0bXXXXX: Incoming bit position

CROSS_8 (0x1E8、0x208)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS8_I	CROSS8_F	CROSS8[4:0]				
Reset	–	0b0	0b0	0b01000				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS8_I	6	出力ビット 8 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS8_F	5	出力ビット 8 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS8	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 8 に割り当てます	0bXXXXX: Incoming bit position

CROSS_9 (0x1E9、0x209)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS9_I	CROSS9_F	CROSS9[4:0]				
Reset	–	0b0	0b0	0b01001				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS9_I	6	出力ビット 9 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS9_F	5	出力ビット 9 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS9	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 9 に割り当てます	0bXXXXX: Incoming bit position

CROSS_10 (0x1EA、0x20A)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS10_I	CROSS10_F	CROSS10[4:0]				
Reset	–	0b0	0b0	0b01010				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS10_I	6	出力ビット 10 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS10_F	5	出力ビット 10 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS10	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 10 に割り当てます	0bXXXXX: Incoming bit position

CROSS_11 (0x1EB、0x20B)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS11_I	CROSS11_F	CROSS11[4:0]				
Reset	–	0b0	0b0	0b01011				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS11_I	6	出力ビット 11 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS11_F	5	出力ビット 11 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS11	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 11 に割り当てます	0bXXXXX: Incoming bit position

CROSS_12 (0x1EC、0x20C)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS12_I	CROSS12_F	CROSS12[4:0]				
Reset	–	0b0	0b0	0b01100				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS12_I	6	出力ビット 12 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS12_F	5	出力ビット 12 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS12	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 12 に割り当てます	0bXXXXX: Incoming bit position

CROSS_13 (0x1ED、0x20D)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS13_I	CROSS13_F	CROSS13[4:0]				
Reset	–	0b0	0b0	0b01101				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS13_I	6	出力ビット 13 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS13_F	5	出力ビット 13 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero

ビットフィールド	ビット	説明	デコード
CROSS13	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 13 に割り当てます	0bXXXXX: Incoming bit position

CROSS_14 (0x1EE、0x20E)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS14_I	CROSS14_F	CROSS14[4:0]				
Reset	–	0b0	0b0	0b01110				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS14_I	6	出力ビット 14 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS14_F	5	出力ビット 14 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS14	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 14 に割り当てます	0bXXXXX: Incoming bit position

CROSS_15 (0x1EF、0x20F)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS15_I	CROSS15_F	CROSS15[4:0]				
Reset	–	0b0	0b0	0b01111				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS15_I	6	出力ビット 15 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS15_F	5	出力ビット 15 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS15	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 15 に割り当てます	0bXXXXX: Incoming bit position

CROSS_16 (0x1F0、0x210)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS16_I	CROSS16_F	CROSS16[4:0]				
Reset	–	0b0	0b0	0b10000				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS16_I	6	出力ビット 16 を反転します	0b0: Do not invert bit 0b1: Invert bit

ビットフィールド	ビット	説明	デコード
CROSS16_F	5	出力ビット 16 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS16	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 16 に割り当てます	0bXXXXX: Incoming bit position

CROSS_17 (0x1F1、0x211)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS17_I	CROSS17_F	CROSS17[4:0]				
Reset	–	0b0	0b0	0b10001				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS17_I	6	出力ビット 17 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS17_F	5	出力ビット 17 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS17	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 17 に割り当てます	0bXXXXX: Incoming bit position

CROSS_18 (0x1F2、0x212)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS18_I	CROSS18_F	CROSS18[4:0]				
Reset	–	0b0	0b0	0b10010				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS18_I	6	出力ビット 18 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS18_F	5	出力ビット 18 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS18	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 18 に割り当てます	0bXXXXX: Incoming bit position

CROSS_19 (0x1F3、0x213)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS19_I	CROSS19_F	CROSS19[4:0]				
Reset	–	0b0	0b0	0b10011				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS19_I	6	出力ビット 19 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS19_F	5	出力ビット 19 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS19	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 19 に割り当てます	0bXXXXX: Incoming bit position

CROSS_20 (0x1F4、0x214)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS20_I	CROSS20_F	CROSS20[4:0]				
Reset	–	0b0	0b0	0b10100				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS20_I	6	出力ビット 20 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS20_F	5	出力ビット 20 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS20	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 20 に割り当てます	0bXXXXX: Incoming bit position

CROSS_21 (0x1F5、0x215)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS21_I	CROSS21_F	CROSS21[4:0]				
Reset	–	0b0	0b0	0b10101				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS21_I	6	出力ビット 21 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS21_F	5	出力ビット 21 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS21	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 21 に割り当てます	0bXXXXX: Incoming bit position

CROSS_22 (0x1F6、0x216)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS22_I	CROSS22_F	CROSS22[4:0]				
Reset	–	0b0	0b0	0b10110				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS22_I	6	出力ビット 22 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS22_F	5	出力ビット 22 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS22	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 22 に割り当てます	0bXXXXX: Incoming bit position

CROSS_23 (0x1F7、0x217)*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS23_I	CROSS23_F	CROSS23[4:0]				
Reset	–	0b0	0b0	0b10111				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS23_I	6	出力ビット 23 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS23_F	5	出力ビット 23 を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS23	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 23 に割り当てます	0bXXXXX: Incoming bit position

CROSS_HS（0x1F8、0x218）*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS_HS_I	CROSS_HS_F	CROSS_HS[4:0]				
Reset	–	0b0	0b0	0b11000				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS_HS_I	6	CROSS_HS を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS_HS_F	5	CROSS_HS を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS_HS	4:0	選択した内部信号を HS に割り当てます	0bXXXXX: Incoming bit position

CROSS_VS（0x1F9、0x219）*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS_VS_I	CROSS_VS_F	CROSS_VS[4:0]				
Reset	–	0b0	0b0	0b11001				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS_VS_I	6	CROSS_VS を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS_VS_F	5	CROSS_VS を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS_VS	4:0	選択した内部信号を VS に割り当てます	0bXXXXX: Incoming bit position

CROSS_DE（0x1FA、0x21A）*

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS_DE_I	CROSS_DE_F	CROSS_DE[4:0]				
Reset	–	0b0	0b0	0b11010				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS_DE_I	6	CROSS_DE を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS_DE_F	5	CROSS_DE を強制的に 0 にします。反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS_DE	4:0	選択した内部信号を DE に割り当てます	0bXXXXX: Incoming bit position

PRBS_ERR（0x1FB、0x21B）

BIT	7	6	5	4	3	2	1	0
Field	VPRBS_ERR[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
VPRBS_ERR	7:0	ビデオ PRBS エラー・カウンタ。読出し時にクリアされます。	0xXX: Number of video PRBS errors since last read

VPRBS（0x1FC、0x21C）*

BIT	7	6	5	4	3	2	1	0
Field	PATGEN_CLK_SRC	–	VPRBS_FAIL	VPRBS_CHK_EN	–	–	RSVD	VIDEO_LOCK
Reset	0b1	–	0b0	0b0	–	–	0b0	0b0
Access Type	Write, Read	–	Read Only	Write, Read	–	–		Read Only

ビットフィールド	ビット	説明	デコード
PATGEN_CLK_SRC	7	ビデオ PRBS 7、9、24、チェッカーボード、グラジエントの各パターン用のパターン・ジェネレータのクロック・ソース。 このレジスタを有効にするには、PIN_DRV_EN_0 レジスタのビット 1 を 1 に設定します。0 に設定すると、PIN_DRV_EN_0 のビット 0 を用いて 75MHz クロック（1 の場合）または 25MHz クロック（0 の場合）を選択できます。	0x0: 150MHz 0x1: 600MHz (default)
VPRBS_FAIL	5	ビデオ PRBS チェック合格／不合格	0b0: Video PRBS check passed 0b1: Video check failed
VPRBS_CHK_EN	4	ビデオ PRBS チェッカを有効化します	0b0: Video PRBS checker disabled 0b1: Video PRBS checker enabled
VIDEO_LOCK	0	ビデオ・チャンネルはロックされ、有効なビデオ・データを出力していることを示します	0b0: Video channel not locked 0b1: Video channel locked

CROSS_27（0x1FD、0x21D）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	CROSS27_I	CROSS27_F	CROSS27[4:0]				
Reset	0b0	0b0	0b0	0b11011				
Access Type		Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS27_I	6	出力ビット 27 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS27_F	5	出力ビット 27 を強制的に 0 にします。 反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS27	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 27 に割り当てます	0bXXXXX: Incoming bit position

CROSS_28（0x1FE、0x21E）

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS28_I	CROSS28_F	CROSS28[4:0]				
Reset	–	0b0	0b0	0b11100				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS28_I	6	出力ビット 28 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS28_F	5	出力ビット 28 を強制的に 0 にします。 反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS28	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 28 に割り当てます	0bXXXXX: Incoming bit position

CROSS_29（0x1FF、0x21F）

BIT	7	6	5	4	3	2	1	0
Field	–	CROSS29_I	CROSS29_F	CROSS29[4:0]				
Reset	–	0b0	0b0	0b11101				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
CROSS29_I	6	出力ビット 29 を反転します	0b0: Do not invert bit 0b1: Invert bit
CROSS29_F	5	出力ビット 29 を強制的に 0 にします。 反転の前に適用されるので、反転も設定されている場合は、出力ビットが強制的に 1 になります。	0b0: Do not force bit to zero 0b1: Force bit to zero
CROSS29	4:0	このフィールドで設定された入力ビット位置を出力ビット位置 29 に割り当てます	0bXXXXX: Incoming bit position

PATGEN_0（0x240）

BIT	7	6	5	4	3	2	1	0
Field	GEN_VS	GEN_HS	GEN_DE	VS_INV	HS_INV	DE_INV	VTG_MODE[1:0]	
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b11	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

ビットフィールド	ビット	説明	デコード
GEN_VS	7	VRX_PATGEN ブロックのレジスタで設定されたタイミング定義に従って VS 出力を生成するように有効化します	0b0: Do not generate VS 0b1: Generate VS
GEN_HS	6	VRX_PATGEN ブロックのレジスタで設定されたタイミング定義に従って HS 出力を生成するように有効化します	0b0: Do not generate HS 0b1: Generate HS
GEN_DE	5	VRX_PATGEN ブロックのレジスタで設定されたタイミング定義に従って DE 出力を生成するように有効化します	0b0: Do not generate DE 0b1: Generate DE
VS_INV	4	ビデオ・タイミング・ジェネレータの VSYNC 出力を反転します	0b0: Do not invert VS 0b1: Invert VS
HS_INV	3	ビデオ・タイミング・ジェネレータの HSYNC 出力を反転します	0b0: Do not invert HS 0b1: Invert HS
DE_INV	2	ビデオ・タイミング・ジェネレータの DE 出力を反転します	0b0: Do not invert DE 0b1: Invert DE

ビットフィールド	ビット	説明	デコード
VTG_MODE	1:0	ビデオ・タイミング生成モード VS 入力エッジによって VSO/HSO/DEO の連続フレーム生成がトリガされます。これは、それ以降の VS 入力エッジがなくても継続されます。 次の入力エッジが VS 周期の予想より早くあるいは遅れて到着した場合、新たに生成されるフレームが正しいものとなります。 進行中の VSO/HSO/DEO は、新たに生成された VSO/HSO/DEO の立上がりエッジの時点で打ち切られるか延長されます。	0b00: VS-tracking mode VS input's period (VS_HIGH + VS_LOW) is tracked. After VS tracking is locked, any VS input edge (glitches) not in the expected PCLK cycle is ignored. VS tracking is locked with three consecutive matches and unlocked by three consecutive mismatches. When unlocked or at power-up, the next VS input edge is assumed to be the right VS edge. 0b01: VS on trigger mode One VS input edge triggers the generation of one frame of VSO/HSO/DEO. If the next VS input edge comes earlier or later than expected by VS period, the newly-generated frame is correct. The current VSO/HSO/DEO is cut or extended at the time of the rising edge of the newly-generated VSO/HSO/DEO. 0b10: Auto-repeat mode VS input edge triggers the generation of continuous frames of VSO/HSO/DEO even if no more VS input edges. If the next VS input edge comes earlier or later than expected by VS period, the newly-generated frame is correct. The current VSO/HSO/DEO is cut or extended at the time of the rising edge of the newly-generated VSO/HSO/DEO. 0b11: Free-running mode Automatically starts generating the pattern relying on VS input.

PATGEN_1（0x241）

BIT	7	6	5	4	3	2	1	0
Field	GRAD_MODE	–	PATGEN_MODE[1:0]		–	–	–	VS_TRIG
Reset	0b0	–	0b00		–	–	–	0b0
Access Type	Write, Read	–	Write, Read		–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
GRAD_MODE	7	グラジエント・パターン・ジェネレータ・モード	0b0: Gradient mode increasing. Each gradient color starts from a value of 0x00 and increases to 0xFF. 0b1: Gradient mode decreasing. Each gradient color starts from a value of 0xFF and decreases to 0x00.
PATGEN_MODE	5:4	パターン・ジェネレータ・モード	0b00: Pattern generator disabled (use video from the serializer input (default)). 0b01: Generate checkerboard pattern 0b10: Generate gradient pattern 0b11: Reserved
VS_TRIG	0	VS トリガ・エッジを選択します	0b0: Falling edge 0b1: Rising edge

VS_DLY_2（0x242）

BIT	7	6	5	4	3	2	1	0
Field	VS_DLY_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_DLY_2	7:0	PCLK サイクルを単位とする VS 遅延。 生成される VS は、入力 VS から VS_DELAY サイクル分だけ遅延します。（[23:16]）	0xXX: Most significant byte of VS delay

VS_DLY_1（0x243）

BIT	7	6	5	4	3	2	1	0
Field	VS_DLY_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_DLY_1	7:0	PCLK サイクルを単位とする VS 遅延。 生成される VS は、入力 VS から VS_DELAY サイクル分だけ遅延します。 ([15:8])	0xXX: Middle significant byte of VS delay

VS_DLY_0（0x244）

BIT	7	6	5	4	3	2	1	0
Field	VS_DLY_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_DLY_0	7:0	PCLK サイクルを単位とする VS 遅延。 生成される VS は、入力 VS から VS_DELAY サイクル分だけ遅延します。 ([7:0])	0xXX: Least significant byte of VS delay

VS_HIGH_2（0x245）

BIT	7	6	5	4	3	2	1	0
Field	VS_HIGH_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_HIGH_2	7:0	PCLK サイクルを単位とする、VS がハイになっている時間（[23:16]）	0xXX: Most significant byte of VS high period

VS_HIGH_1（0x246）

BIT	7	6	5	4	3	2	1	0
Field	VS_HIGH_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_HIGH_1	7:0	PCLK サイクルを単位とする、VS がハイになっている時間（[15:8]）	0xXX: Middle significant byte of VS high period

VS_HIGH_0（0x247）

BIT	7	6	5	4	3	2	1	0
Field	VS_HIGH_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_HIGH_0	7:0	PCLK サイクルを単位とする、VS がハイになっている時間（[7:0]）	0xXX: Least significant byte of VS high period

VS_LOW_2（0x248）

BIT	7	6	5	4	3	2	1	0
Field	VS_LOW_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_LOW_2	7:0	PCLK サイクルを単位とする、VS がローになっている時間（[23:16]）	0xXX: Most significant byte of VS low period

VS_LOW_1（0x249）

BIT	7	6	5	4	3	2	1	0
Field	VS_LOW_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_LOW_1	7:0	PCLK サイクルを単位とする、VS がローになっている時間（[15:8]）	0xXX: Middle significant byte of VS low period

VS_LOW_0（0x24A）

BIT	7	6	5	4	3	2	1	0
Field	VS_LOW_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_LOW_0	7:0	PCLK サイクルを単位とする、VS がローになっている時間（[7:0]）	0xXX: Least significant byte of VS low period

V2H_2（0x24B）

BIT	7	6	5	4	3	2	1	0
Field	V2H_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
V2H_2	7:0	PCLK サイクルを単位とする、VS エッジから最初の HS の立上がりエッジまでの時間（[23:16]）	0xXX: Most significant byte of VS edge to first HS rising edge

V2H_1（0x24C）

BIT	7	6	5	4	3	2	1	0
Field	V2H_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
V2H_1	7:0	PCLK サイクルを単位とする、VS エッジから最初の HS の立上がりエッジまでの時間（[15:8]）	0xXX: Middle significant byte of VS edge to first HS rising edge

V2H_0（0x24D）

BIT	7	6	5	4	3	2	1	0
Field	V2H_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
V2H_0	7:0	PCLK サイクルを単位とする、VS エッジから最初の HS の立上がりエッジまでの時間（[7:0]）	0xXX: Least significant byte of VS edge to first HS rising edge

HS_HIGH_1（0x24E）

BIT	7	6	5	4	3	2	1	0
Field	HS_HIGH_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_HIGH_1	7:0	PCLK サイクルを単位とする、HS がハイになっている時間（[15:8]）	0xXX: Most significant byte of HS high period

HS_HIGH_0（0x24F）

BIT	7	6	5	4	3	2	1	0
Field	HS_HIGH_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_HIGH_0	7:0	PCLK サイクルを単位とする、HS がハイになっている時間（[7:0]）	0xXX: Least significant byte of HS high period

HS_LOW_1（0x250）

BIT	7	6	5	4	3	2	1	0
Field	HS_LOW_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_LOW_1	7:0	PCLK サイクルを単位とする、HS がローになっている時間（[15:8]）	0xXX: Most significant byte of HS low period

HS_LOW_0（0x251）

BIT	7	6	5	4	3	2	1	0
Field	HS_LOW_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_LOW_0	7:0	PCLK サイクルを単位とする、HS がローになっている時間（[7:0]）	0xXX: Least significant byte of HS low period

HS_CNT_1（0x252）

BIT	7	6	5	4	3	2	1	0
Field	HS_CNT_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_CNT_1	7:0	フレームあたりの HS パルス数（[15:8]）	0xXX: Most significant byte of HS pulses per frame

HS_CNT_0（0x253）

BIT	7	6	5	4	3	2	1	0
Field	HS_CNT_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_CNT_0	7:0	フレームあたりの HS パルス数（[7:0]）	0xXX: Least significant byte of HS pulses per frame

V2D_2（0x254）

BIT	7	6	5	4	3	2	1	0
Field	V2D_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
V2D_2	7:0	PCLK サイクルを単位とする、VS エッジから最初の DE の立上がりエッジまでの時間（[23:16]）	0xXX: Most significant byte of VS edge to first DE

V2D_1（0x255）

BIT	7	6	5	4	3	2	1	0
Field	V2D_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
V2D_1	7:0	PCLK サイクルを単位とする、VS エッジから最初の DE の立上がりエッジまでの時間（[15:8]）	0xXX: Middle significant byte of VS edge to first DE

V2D_0（0x256）

BIT	7	6	5	4	3	2	1	0
Field	V2D_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
V2D_0	7:0	PCLK サイクルを単位とする、VS エッジから最初の DE の立上がりエッジまでの時間（[23:16]）	0xXX: Least significant byte of VS edge to first DE

DE_HIGH_1（0x257）

BIT	7	6	5	4	3	2	1	0
Field	DE_HIGH_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DE_HIGH_1	7:0	PCLK サイクルを単位とする、DE がハイになっている時間（[15:8]）	0xXX: Most significant byte of DE high period

DE_HIGH_0（0x258）

BIT	7	6	5	4	3	2	1	0
Field	DE_HIGH_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DE_HIGH_0	7:0	PCLK サイクルを単位とする、DE がハイになっている時間（[7:0]）	0xXX: Least significant byte of DE high period

DE_LOW_1（0x259）

BIT	7	6	5	4	3	2	1	0
Field	DE_LOW_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DE_LOW_1	7:0	PCLK サイクルを単位とする、DE がローになっている時間（[15:8]）	0xXX: Most significant byte of DE low period

DE_LOW_0（0x25A）

BIT	7	6	5	4	3	2	1	0
Field	DE_LOW_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DE_LOW_0	7:0	PCLK サイクルを単位とする、DE がローになっている時間（[7:0]）	0xXX: Least significant byte of DE low period

DE_CNT_1（0x25B）

BIT	7	6	5	4	3	2	1	0
Field	DE_CNT_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DE_CNT_1	7:0	フレームあたりのアクティブ・ライン数（[15:8]）	0xXX: Most significant byte of DE pulses per frame

DE_CNT_0（0x25C）

BIT	7	6	5	4	3	2	1	0
Field	DE_CNT_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DE_CNT_0	7:0	フレームあたりのアクティブ・ライン数（[7:0]）	0xXX: Least significant byte of DE pulses per frame

GRAD_INCR（0x25D）

BIT	7	6	5	4	3	2	1	0
Field	GRAD_INCR[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
GRAD_INCR	7:0	グラジエント・モードのインクリメント量（インクリメント量は、レジスタ値を 4 で除算した値） ライン内のそれに続く各ピクセルの値は、この量を 4 で除算した値だけインクリメントします。	0xXX: Gradient increment base

CHKR_COLOR_A_L（0x25E）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_COLOR_A_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_COLOR_A_L	7:0	チェッカーボード・モードのカラーA の下位バイト	0xXX: Least significant byte of checkerboard mode Color A

CHKR_COLOR_A_M（0x25F）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_COLOR_A_M[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_COLOR_A_M	7:0	チェッカーボード・モードのカラーA の中位バイト	0xXX: Middle significant byte of checkerboard mode Color A

CHKR_COLOR_A_H（0x260）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_COLOR_A_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_COLOR_A_H	7:0	チェッカーボード・モードのカラーA の上位バイト	0xXX: Most significant byte of checkerboard mode Color A

CHKR_COLOR_B_L（0x261）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_COLOR_B_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_COLOR_B_L	7:0	チェッカーボード・モードのカラーB の下位バイト	0xXX: Least significant byte of checkerboard mode Color B

CHKR_COLOR_B_M（0x262）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_COLOR_B_M[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_COLOR_B_M	7:0	チェッカーボード・モードのカラーB の中位バイト	0xXX: Middle significant byte of checkerboard mode Color B

CHKR_COLOR_B_H（0x263）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_COLOR_B_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_COLOR_B_H	7:0	チェッカーボード・モードのカラーB の上位バイト	0xXX: Most significant byte of checkerboard mode Color B

CHKR_RPT_A（0x264）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_RPT_A[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_RPT_A	7:0	チェッカーボード・モードのカラーA の繰り返し数	0xXX: Repeat count of checkerboard mode Color A

CHKR_RPT_B（0x265）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_RPT_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_RPT_B	7:0	チェッカーボード・モードのカラーB の繰り返し数	0xXX: Repeat count of checkerboard mode Color B

CHKR_ALT（0x266）

BIT	7	6	5	4	3	2	1	0
Field	CHKR_ALT[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CHKR_ALT	7:0	チェッカーボード・モードの交互ライン数。 カラーB に切り替わる前のカラーA の連続ビデオ・ライン数、またはカラーA に切り替わる前のカラーB の連続ビデオ・ライン数。	0xXX: Checkerboard mode alternate line count

GPIO_A（0x2B0）*

GPIO 0

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b1	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2B1）*

GPIO 0

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b00000				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2B2）*

GPIO 0

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	GPIO_RECVED	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00000				
Access Type	Write, Read	Write, Read	–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO として設定されているピンの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RECVED	6	GMSL リンクを介して受信した GPIO 値	
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2B3）*

GPIO 1

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b1	0b0	0b0
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ

ビットフィールド	ビット	説明	デコード
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2B4）*

GPIO 1

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b00001				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2B5）*

GPIO 1

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00001				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2B6）*

GPIO 2

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2B7）*

GPIO 2

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b00		0b1	0b00010				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2B8）*

GPIO 2

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00010				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2B9）*

GPIO 3

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1

ビットフィールド	ビット	説明	デコード
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2BA）*

GPIO 3

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b00		0b1	0b00011				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2BB）*

GPIO 3

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00011				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2BC）*

GPIO 4

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2BD）*

GPIO 4

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b00100				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2BE）*

GPIO 4

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00100				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2BF）*

GPIO 5

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b1	0b0	0b0
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2C0）*

GPIO 5

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b00101				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain、0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2C1）*

GPIO 5

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00101				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2C2）*

GPIO 6

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b1	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled

ビットフィールド	ビット	説明	デコード
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。 これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2C3）*

GPIO 6

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b00110				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2C4）*

GPIO 6

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00110				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2C5）*

GPIO 7

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2C6）*

GPIO 7

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b00111				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2C7）*

GPIO 7

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b00111				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピンの機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2C8）*

GPIO 8

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1

ビットフィールド	ビット	説明	デコード
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2C9）*

GPIO 8

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b01000				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2CA）*

GPIO 8

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b01000				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピン機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2CB）*

GPIO 9

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2CC）*

GPIO 9

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b01001				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2CD）*

GPIO 9

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b01001				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピン機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2CE）*

GPIO 10

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2CF）*

GPIO 10

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b01010				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2D0）*

GPIO 10

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b01010				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピン機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2D1）*

GPIO 11

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled

ビットフィールド	ビット	説明	デコード
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2D2）*

GPIO 11

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b01011				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2D3）*

GPIO 11

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b01011				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピン機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x2D4）*

GPIO 12

BIT	7	6	5	4	3	2	1	0
Field	RES_CFG	RSVD	TX_COMP_EN	GPIO_OUT	GPIO_IN	GPIO_RX_EN	GPIO_TX_EN	GPIO_OUT_DIS
Reset	0b1	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read		Write, Read	Write, Read	Read Only	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RES_CFG	7	プルアップ／プルダウン抵抗の大きさ	0b0: 40kΩ 0b1: 1MΩ
TX_COMP_EN	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_OUT	4	GPIO_RX_EN = 0 の場合の GPIO ピン出力駆動値。これを使用して、値を MFP に出力することができます。	0b0: This GPIO pin output is driven to 0 0b1: This GPIO pin output is driven to 1
GPIO_IN	3	GPIO ピンのローカル MFP 入力レベル	0b0: This GPIO pin value is 0 0b1: This GPIO pin value is 1
GPIO_RX_EN	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP 入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission
GPIO_OUT_DIS	0	GPIO 出力ドライバを無効化します	0b0: Output driver enabled 0b1: Output driver disabled

GPIO_B（0x2D5）*

GPIO 12

BIT	7	6	5	4	3	2	1	0
Field	PULL_UPDN_SEL[1:0]		OUT_TYPE	GPIO_TX_ID[4:0]				
Reset	0b10		0b1	0b01100				
Access Type	Write, Read		Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
PULL_UPDN_SEL	7:6	バッファのプルアップ／プルダウン設定	0b00: None 0b01: Pull-up 0b10: Pull-down 0b11: Reserved
OUT_TYPE	5	ドライバ・タイプの選択	0b0: Open-drain 0b1: Push-pull
GPIO_TX_ID	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x2D6）*

GPIO 12

BIT	7	6	5	4	3	2	1	0
Field	OVR_RES_CFG	RSVD	–	GPIO_RX_ID[4:0]				
Reset	0b0	0b1	–	0b01100				
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
OVR_RES_CFG	7	非 GPIO ポートの IO 設定をオーバーライドします。 ピンが非 GPIO として設定されている場合、このビットがセットされると、RES_CFG、PULL_UPDN_SEL、OUT_TYPE、GPIO_OUT_DIS によって IO タイプが決まります。 クリアされているときは、非 GPIO ピン機能によって IO タイプが決まります。	0b0: Non-GPIO function determines IO type when alternate function is selected 0b1: RES_CFG, PULL_UPDN_SEL,OUT_TYPE, and GPIO_OUT_DIS determine IO type for non-GPIO configuration
GPIO_RX_ID	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

CMU2（0x302）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	PFDDIV_RSHORT[2:0]			RSVD	RSVD[1:0]		RSVD
Reset	0b0	0b000			0b0	0b00		0b0
Access Type		Write, Read						

ビットフィールド	ビット	説明	デコード
PFDDIV_RSHORT	6:4	PFDDIV レギュレータ電圧制御。6GHz クロック生成 PLL 位相検出器および分周器への電源電圧を制御します	0: VREG_PFDDIV = 1.0V 1: VREG_PFDDIV = 1.1V 2: VREG_PFDDIV = 0.875V 3: VREG_PFDDIV = 0.94V 4: VREG_PFDDIV = 1.0V 5: VREG_PFDDIV = 1.1V 6: VREG_PFDDIV = 0.875V 7: VREG_PFDDIV = 0.94V

BACKTOP1（0x308）*

BIT	7	6	5	4	3	2	1	0
Field	CSIPLLU_LOCK	CSIPLLZ_LOCK	CSIPLLY_LOCK	CSIPLLX_LOCK	LINE_SPL2	–	RSVD	BACKTOP_EN
Reset	0b0	0b0	0b0	0b0	0b0	–	0b0	0b1
Access Type	Read Only	Read Only	Read Only	Read Only	Write, Read	–		Write, Read

ビットフィールド	ビット	説明	デコード
CSIPLLU_LOCK	7	CSI MIPI TX PLL 3 がロックされていることを示します（4x2 モードでの MIPI ポート F の PLL）	0b0: CSI2 PLL 3 not locked 0b1: CSI2 PLL 3 locked
CSIPLLZ_LOCK	6	CSI MIPI TX PLL 2 がロックされていることを示します（2x4 モードでの MIPI ポート B、4x2 モードでの MIPI ポート E の PLL）	0b0: CSI2 PLL 2 not locked 0b1: CSI2 PLL 2 locked
CSIPLLY_LOCK	5	CSI MIPI TX PLL 1 がロックされていることを示します（2x4 モードでの MIPI ポート A、4x2 モードでの MIPI ポート D の PLL）	0b0: CSI2 PLL 1 not locked 0b1: CSI2 PLL 1 locked
CSIPLLX_LOCK	4	CSI MIPI TX PLL 0 がロックされていることを示します（4x2 モードでの MIPI ポート C の PLL）	0b0: CSI2 PLL 0 not locked 0b1: CSI2 PLL 0 locked
LINE_SPL2	3	ビデオ・パイプライン Z のライン・メモリに対するライン・ベースの分配。セットされた場合、偶数番号のビデオ・ラインが 1 つのライン・バッファ・メモリ・アレイに格納され、奇数番号のラインが別のアレイに格納されます。	0b0: Disable line-based distribution to line memories for Video Pipeline Z 0b1: Enable line-based distribution to line memories for Video Pipeline Z
BACKTOP_EN	0	バックトップ（ライン・バッファ・メモリ）への書込みロジックの有効化。0 に設定すると、MIPI トランスミッタからのデータ出力が停止します。	0b0: Disable writes to BACKTOP (line buffer) memories 0b1: Enable writes to BACKTOP (line buffer) memories

BACKTOP4（0x30B）*

BIT	7	6	5	4	3	2	1	0
Field	VS_VC2_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_VC2_L	7:0	各ビデオ・フレームに対して、各 VC で Frame Start-End ショート・パケットを送信するかどうかをオーバーライドします。パイプ Y／MIPI 出力 A。 レジスタが 0 に設定されている場合は、オーバーライドは行われません。0 以外の場合、16 ビットのそれぞれが仮想チャンネル 0～15 の Frame Start-End ショート・パケットを有効化します。例えば、ビット 0 が 1 に設定されると、VC0 のパケットが有効になり、ビット 1 が 1 に設定されると、VC1 のパケットが有効になります。	0bXXXXXXX1: Override to enable packets for VC0 0bXXXXXX1X: Override to enable packets for VC1 0bXXXXX1XX: Override to enable packets for VC2 etc...

BACKTOP5（0x30C）*

BIT	7	6	5	4	3	2	1	0
Field	VS_VC2_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_VC2_H	7:0	各ビデオ・フレームに対して、各 VC で Frame Start-End ショート・パケットを送信するかどうかをオーバーライドします。パイプ Y／MIPI 出力 A。 レジスタが 0 に設定されている場合は、オーバーライドは行われません。0 以外の場合、16 ビットのそれぞれが仮想チャンネル 0～15 の Frame Start-End ショート・パケットを有効化します。例えば、ビット 0 が 1 に設定されると、VC0 のパケットが有効になり、ビット 1 が 1 に設定されると、VC1 のパケットが有効になります。	0bXXXXXXX1: Override to enable packets for VC8 0bXXXXXX1X: Override to enable packets for VC9 0bXXXXX1XX: Override to enable packets for VC10 etc...

BACKTOP6（0x30D）*

BIT	7	6	5	4	3	2	1	0
Field	VS_VC3_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_VC3_L	7:0	各ビデオ・フレームに対して、各 VC で Frame Start-End ショート・パケットを送信するかどうかをオーバーライドします。パイプ Z／MIPI 出力 B。 レジスタが 0 に設定されている場合は、オーバーライドは行われません。0 以外の場合、16 ビットのそれぞれが仮想チャンネル 0～15 の Frame Start-End ショート・パケットを有効化します。例えば、ビット 0 が 1 に設定されると、VC0 のパケットが有効になり、ビット 1 が 1 に設定されると、VC1 のパケットが有効になります。	0bXXXXXXX1: Override to enable packets for VC0 0bXXXXXX1X: Override to enable packets for VC1 0bXXXXX1XX: Override to enable packets for VC2 etc...

BACKTOP7（0x30E）*

BIT	7	6	5	4	3	2	1	0
Field	VS_VC3_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_VC3_H	7:0	各ビデオ・フレームに対して、各 VC で Frame Start-End ショート・パケットを送信するかどうかをオーバーライドします。パイプ Z／MIPI 出力 B。 レジスタが 0 に設定されている場合は、オーバーライドは行われません。0 以外の場合、16 ビットのそれぞれが仮想チャンネル 0～15 の Frame Start-End ショート・パケットを有効化します。例えば、ビット 0 が 1 に設定されると、VC0 のパケットが有効になり、ビット 1 が 1 に設定されると、VC1 のパケットが有効になります。	0bXXXXXXX1: Override to enable packets for VC8 0bXXXXXX1X: Override to enable packets for VC9 0bXXXXX1XX: Override to enable packets for VC10 etc...

BACKTOP11（0x312）

BIT	7	6	5	4	3	2	1	0
Field	–	cmd_overflow3	cmd_overflow2	–	–	LMO_Z	LMO_Y	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–	Read Only	Read Only	–	–	Read Only	Read Only	–

ビットフィールド	ビット	説明	デコード
cmd_overflow3	6	パイプライン Z のライン・メモリ用コマンド FIFO のオーバーフローを検出したことを示します。この FIFO は、フレームの開始／終了やピクセル・データ・ラインを出力するためのコマンドを MIPI TX に送信するために使用されます。	0b0: Pipeline Z no line memory command FIFO overflow 0b1: Pipeline Z line memory command FIFO overflow
cmd_overflow2	5	パイプライン Y のライン・メモリ用コマンド FIFO のオーバーフローを検出したことを示します。この FIFO は、フレームの開始／終了やピクセル・データ・ラインを出力するためのコマンドを MIPI TX に送信するために使用されます。	0b0: Pipeline Y no line memory command FIFO overflow 0b1: Pipeline Y line memory command FIFO overflow
LMO_Z	2	パイプライン Z のライン・メモリ・オーバーフローのスティッキー・レジスタ	0b0: Pipeline Z no line memory overflow 0b1: Pipeline Z line memory overflow
LMO_Y	1	パイプライン Y のライン・メモリ・オーバーフローのスティッキー・レジスタ	0b0: Pipeline Y no line memory overflow 0b1: Pipeline Y line memory overflow

BACKTOP12（0x313）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	RSVD	CSI_OUT_EN	RSVD
Reset	–	–	–	–	–	0b0	0b1	0b0
Access Type	–	–	–	–	–		Write, Read	

ビットフィールド	ビット	説明	デコード
CSI_OUT_EN	1	CSI 出力を有効化します	0b0: CSI output disabled 0x1: CSI output enabled

BACKTOP13（0x314）

BIT	7	6	5	4	3	2	1	0
Field	soft_vc_y[3:0]				–	–	–	–
Reset	0x0				–	–	–	–
Access Type	Write, Read				–	–	–	–

ビットフィールド	ビット	説明	デコード
soft_vc_y	7:4	パイプライン Y 用のソフトウェア定義の仮想チャンネル番号	0xX: Software-defined virtual channel number for Pipeline Y

BACKTOP14（0x315）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	soft_vc_z[3:0]			
Reset	–	–	–	–	0x0			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
soft_vc_z	3:0	パイプライン Z 用のソフトウェア定義の仮想チャンネル番号	0xX: Software-defined virtual channel number for Pipeline Z

BACKTOP15（0x316）

BIT	7	6	5	4	3	2	1	0
Field	soft_dt_y_h[1:0]		–	–	–	–	–	–
Reset	0b00		–	–	–	–	–	–
Access Type	Write, Read		–	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
soft_dt_y_h	7:6	パイプライン Y 用のソフトウェア定義のデータ・タイプの上位ビット	0bXX: High bits of software-defined data type for Pipeline Y

BACKTOP16（0x317）

BIT	7	6	5	4	3	2	1	0
Field	soft_dt_z_h[3:0]				soft_dt_y_l[3:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
soft_dt_z_h	7:4	パイプライン Z 用のソフトウェア定義のデータ・タイプの上位ビット	0xX: High bits of software-defined data type for Pipeline Z
soft_dt_y_l	3:0	パイプライン Y 用のソフトウェア定義のデータ・タイプの下位ビット	0bXX: Low bits of software-defined data type for Pipeline Y

BACKTOP17（0x318）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	soft_dt_z_l[1:0]	
Reset	–	–	–	–	–	–	0b00	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
soft_dt_z_l	1:0	パイプライン Z 用のソフトウェア定義のデータ・タイプの下位ビット	0bXX: Low bits of software-defined data type for Pipeline Z

BACKTOP18（0x319）

BIT	7	6	5	4	3	2	1	0
Field	soft_bpp_z_h[2:0]			soft_bpp_y[4:0]				
Reset	0b000			0b00000				
Access Type	Write, Read			Write, Read				

ビットフィールド	ビット	説明	デコード
soft_bpp_z_h	7:5	パイプライン Z 用の bpp（bits per pixel)のソフトウェア定義値の上位ビット	0bXX: High bits of software-defined bpp for Pipeline Z
soft_bpp_y	4:0	パイプライン Y 用の bpp のソフトウェア定義値	0x8: Datatypes = x2A, x10-12, x31-37 0xA: Datatypes = x2B 0xC: Datatypes = x2C 0xE: Datatypes = x2D 0x10: Datatypes = x22, x1E, x2E, 0x12: Datatypes = x23 0x14: Datatypes = x1F, x2F 0x18: Datatypes = x24, x30

BACKTOP19（0x31A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	soft_bpp_z_l[1:0]	
Reset	–	–	–	–	–	–	0b00	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
soft_bpp_z_l	7:0	パイプライン Z 用の bpp のソフトウェア定義値の下位ビット	0bXX: Low bits of software-defined bpp for Pipeline Z

BACKTOP20（0x31B）

BIT	7	6	5	4	3	2	1	0
Field	phy0_csi_tx_dpll_fb_fraction_in_l[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
phy0_csi_tx_dpll_fb_fraction_in_l	7:0	CSI PHY0 の周波数微調整用のソフトウェアによるオーバーライド値の下位バイト。アプリケーション・ノートを参照してください。	0xXX: PHY0 frequency fine-tuning override low byte

BACKTOP21（0x31C）

BIT	7	6	5	4	3	2	1	0
Field	–	bpp8dblz	bpp8dbly	–	phy0_csi_tx_dpll_fb_fraction_in_h[3:0]			
Reset	–	0b0	0b0	–	0x0			
Access Type	–	Write, Read	Write, Read	–	Write, Read			

ビットフィールド	ビット	説明	デコード
bpp8dblz	6	パイプライン Z において、bpp = 8 を 16 ビット・カラーとして処理します。この機能は、1 本のパイプを流れる全てのビデオ・データを同じ bpp に揃えることで、ビデオ・パイプラインの処理容量を最大化するために用いられます。	0b0: Do not process bpp = 8 as 16-bit color 0b1: Process bpp = 8 as 16-bit color
bpp8dbly	5	パイプライン Z において、bpp = 8 を 16 ビット・カラーとして処理します。この機能は、1 本のパイプを流れる全てのビデオ・データを同じ bpp に揃えることで、ビデオ・パイプラインの処理容量を最大化するために用いられます。	0b0: Do not process bpp = 8 as 16-bit color 0b1: Process bpp = 8 as 16-bit color
phy0_csi_tx_dpll_fb_fraction_in_h	4:0	PHY0 の周波数微調整用のソフトウェアによるオーバーライド値の上位ニブル	0xX: PHY0 frequency fine-tuning override high nibble

BACKTOP22（0x31D）

BIT	7	6	5	4	3	2	1	0
Field	override_bpp_vc_dty	–	phy0_csi_tx_dpll_fb_fraction_predef_en	phy0_csi_tx_dpll_predef_freq[4:0]				
Reset	0b0	–	0b1	0b01111				
Access Type	Write, Read	–	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
override_bpp_vc_dty	7	BPP、VC、DT に対するソフトウェア・オーバーライドを有効化	0b0: Software-override for BPP, VC, and DT disabled 0x1: Software-override for BPP, VC, and DT enabled
phy0_csi_tx_dpll_fb_fraction_predef_en	5	周波数微調整のための CSI PHY0 のソフトウェア・オーバーライドを無効化。1 に設定すると、PLL は phy0_csi_tx_dpll_predef_freq ビットフィールドに設定された事前定義周波数を使用します。	0b0: Software-override for frequency fine-tuning enabled 0x1: Software-override for frequency fine-tuning disabled

ビットフィールド	ビット	説明	デコード
phy0_csi_tx_dpll_predef_freq	4:0	CSI PHY0 の出力周波数を 100Mbps（DPHY）または 100Msps（CPHY）の倍数で決定します（4x2 モードでの MIPI ポート C の PLL）。このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0x0: 80Mbps/Msps 0x1: 100Mbps/Msps 0x2: 200Mbps/Msps 0x3: 300Mbps/Msps 0x4: 400Mbps/Msps 0x5: 500Mbps/Msps 0x6: 600Mbps/Msps 0x7: 700Mbps/Msps 0x8: 800Mbps/Msps 0x9: 900Mbps/Msps 0xA: 1000Mbps/Msps 0xB: 1100Mbps/Msps 0xC: 1200Mbps/Msps 0xD: 1300Mbps/Msps 0xE: 1400Mbps/Msps 0xF: 1500Mbps/Msps 0x10: 1600Mbps/Msps 0x11: 1700Mbps/Msps 0x12: 1800Mbps/Msps 0x13: 1900Mbps/Msps 0x14: 2000Mbps/Msps 0x15: 2100Mbps/Msps 0x16: 2200Mbps/Msps 0x17: 2300Mbps/Msps 0x18: 2400Mbps/Msps 0x19: 2500Mbps/Msps Others: 1500Mbps/Msps

BACKTOP23（0x31E）

BIT	7	6	5	4	3	2	1	0
Field	phy1_csi_tx_dpll_fb_fraction_in_l[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
phy1_csi_tx_dpll_fb_fraction_in_l	7:0	CSI PHY1 の周波数微調整用のソフトウェアによるオーバーライド値の下位バイト。アプリケーション・ノートを参照してください。	0xXX: PHY1 frequency fine-tuning override low byte

BACKTOP24（0x31F）

BIT	7	6	5	4	3	2	1	0
Field	–	bpp8dblz_mode	bpp8dbly_mode	–	phy1_csi_tx_dpll_fb_fraction_in_h[3:0]			
Reset	–	0b0	0b0	–	0x0			
Access Type	–	Write, Read	Write, Read	–	Write, Read			

ビットフィールド	ビット	説明	デコード
bpp8dblz_mode	6	パイプライン Z の RAM に対する 8 ビット書込みの代替マッピングを有効化します	0b0: Write alternative map disabled 0x1: Write alternative map enabled

ビットフィールド	ビット	説明	デコード
bpp8dbly_mode	5	パイプライン Y の RAM に対する 8 ビット書込みの代替マッピングを有効化します	0b0: Write alternative map disabled 0x1: Write alternative map enabled
phy1_csi_tx_dpll_fb_fraction_in_h	3:0	PHY1 の周波数微調整用のソフトウェアによるオーバーライド値の上位ニブル	0xX: PHY1 frequency fine-tuning override high nibble

BACKTOP25（0x320）

BIT	7	6	5	4	3	2	1	0
Field	–	override_bpp_vc_dtz	phy1_csi_tx_dpll_fb_fraction_predef_en	phy1_csi_tx_dpll_predef_freq[4:0]				
Reset	–	0b0	0b1	0b01111				
Access Type	–	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
override_bpp_vc_dtz	6	BPP、VC、DT に対するソフトウェア・オーバーライドを有効化	0b0: Software-override for BPP, VC, and DT disabled 0x1: Software-override for BPP, VC, and DT enabled
phy1_csi_tx_dpll_fb_fraction_predef_en	5	周波数微調整のための CSI PHY1 のソフトウェア・オーバーライドを無効化。1 に設定すると、PLL は phy1_csi_tx_dpll_predef_freq ビットフィールドに設定された事前定義周波数を使用します。	fine-tuning 0b0: Software-override for frequency fine tuning enabled 0x1: Software-override for frequency fine-tuning disabled
phy1_csi_tx_dpll_predef_freq	4:0	CSI PHY1 の出力周波数を 100Mbps（DPHY）または 100Msps（CPHY）の倍数で決定します（2x4 モードでの MIPI ポート A、4x2 モードでの MIPI ポート D の PLL）。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0x0: 80Mbps/Msps 0x1: 100Mbps/Msps 0x2: 200Mbps/Msps 0x3: 300Mbps/Msps 0x4: 400Mbps/Msps 0x5: 500Mbps/Msps 0x6: 600Mbps/Msps 0x7: 700Mbps/Msps 0x8: 800Mbps/Msps 0x9: 900Mbps/Msps 0xA: 1000Mbps/Msps 0xB: 1100Mbps/Msps 0xC: 1200Mbps/Msps 0xD: 1300Mbps/Msps 0xE: 1400Mbps/Msps 0xF: 1500Mbps/Msps 0x10: 1600Mbps/Msps 0x11: 1700Mbps/Msps 0x12: 1800Mbps/Msps 0x13: 1900Mbps/Msps 0x14: 2000Mbps/Msps 0x15: 2100Mbps/Msps 0x16: 2200Mbps/Msps 0x17: 2300Mbps/Msps 0x18: 2400Mbps/Msps 0x19: 2500Mbps/Msps Others: 1500Mbps/Msps

BACKTOP26（0x321）

BIT	7	6	5	4	3	2	1	0
Field	phy2_csi_tx_dpll_fb_fraction_in_l[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
phy2_csi_tx_dpll_fb_fraction_in_l	7:0	CSI PHY2 の周波数微調整用のソフトウェアによるオーバーライド値の下位バイト。アプリケーション・ノートを参照してください。	0xXX: PHY2 frequency fine-tuning override low byte

BACKTOP27（0x322）

BIT	7	6	5	4	3	2	1	0
Field	yuv_8_10_mux_mode4	yuv_8_10_mux_mode3	yuv_8_10_mux_mode2	yuv_8_10_mux_mode1	phy2_csi_tx_dpll_fb_fraction_in_h[3:0]			
Reset	0b0	0b0	0b0	0b0	0x0			
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read			

ビットフィールド	ビット	説明	デコード
yuv_8_10_mux_mode4	7	YUV422 8 ビット/10 ビットのマルチプレックス・モードのサポートを有効化します	0b0: Disabled 0b1: Enabled
yuv_8_10_mux_mode3	6	YUV422 8 ビット/10 ビットのマルチプレックス・モードのサポートを有効化します	0b0: Disabled 0b1: Enabled
yuv_8_10_mux_mode2	5	YUV422 8 ビット/10 ビットのマルチプレックス・モードのサポートを有効化します	0b0: Disabled 0b1: Enabled
yuv_8_10_mux_mode1	4	YUV422 8 ビット/10 ビットのマルチプレックス・モードのサポートを有効化します	0b0: Disabled 0b1: Enabled
phy2_csi_tx_dpll_fb_fraction_in_h	3:0	PHY2 の周波数微調整用のソフトウェアによるオーバーライド値の上位ニブル	0xX: PHY2 frequency fine-tuning override high nibble

BACKTOP28（0x323）

BIT	7	6	5	4	3	2	1	0
Field	–	–	phy2_csi_tx_dpll_fb_fraction_predef_en	phy2_csi_tx_dpll_predef_freq[4:0]				
Reset	–	–	0b1	0b01111				
Access Type	–	–	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
phy2_csi_tx_dpll_fb_fraction_predef_en	5	周波数微調整用の CSI PHY2 のソフトウェア・オーバーライドを無効化。1 に設定すると、PLL は phy2_csi_tx_dpll_predef_freq ビットフィールドに設定された事前定義周波数を使用します。	0b0: Software-override for frequency fine-tuning enabled 0x1: Software-override for frequency fine-tuning disabled

ビットフィールド	ビット	説明	デコード
phy2_csi_tx_dpll_predef_freq	4:0	CSI PHY2 の出力周波数を 100Mbps（DPHY）または 100Msps（CPHY）の倍数で決定します（2x4 モードでの MIPI ポート B、4x2 モードでの MIPI ポート E の PLL）。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0x0: 80Mbps/Msps 0x1: 100Mbps/Msps 0x2: 200Mbps/Msps 0x3: 300Mbps/Msps 0x4: 400Mbps/Msps 0x5: 500Mbps/Msps 0x6: 600Mbps/Msps 0x7: 700Mbps/Msps 0x8: 800Mbps/Msps 0x9: 900Mbps/Msps 0xA: 1000Mbps/Msps 0xB: 1100Mbps/Msps 0xC: 1200Mbps/Msps 0xD: 1300Mbps/Msps 0xE: 1400Mbps/Msps 0xF: 1500Mbps/Msps 0x10: 1600Mbps/Msps 0x11: 1700Mbps/Msps 0x12: 1800Mbps/Msps 0x13: 1900Mbps/Msps 0x14: 2000Mbps/Msps 0x15: 2100Mbps/Msps 0x16: 2200Mbps/Msps 0x17: 2300Mbps/Msps 0x18: 2400Mbps/Msps 0x19: 2500Mbps/Msps Others: 1500Mbps/Msps

BACKTOP29（0x324）

BIT	7	6	5	4	3	2	1	0
Field	phy3_csi_tx_dpll_fb_fraction_in_l[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
phy3_csi_tx_dpll_fb_fraction_in_l	7:0	CSI PHY3 の周波数微調整用のソフトウェアによるオーバーライド値の下位バイト。アプリケーション・ノートを参照してください。	0xXX: PHY3 frequency fine-tuning override low byte

BACKTOP30（0x325）

BIT	7	6	5	4	3	2	1	0
Field	BACKTOP_W_FRAME	–	–	–	phy3_csi_tx_dpll_fb_fraction_in_h[3:0]			
Reset	0b0	–	–	–	0x0			
Access Type	Write, Read	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
BACKTOP_W_FRAME	7	セットされている場合、BACKTOP（ライン・バッファ・メモリ）は新たなフレームを待ってから、MIPI TX に対する MIPI パケット要求を生成します	0b0: Does not wait for a new frame start 0b1: Waits for a frame start

ビットフィールド	ビット	説明	デコード
phy3_csi_tx_dpll_fb_fraction_in_h	3:0	PHY3 の周波数微調整用のソフトウェアによるオーバーライド値の上位ニブル	0xX: PHY3 frequency fine-tuning override high nibble

BACKTOP31（0x326）

BIT	7	6	5	4	3	2	1	0
Field	–	–	phy3_csi_tx_dpll_fb_fraction_predef_en	phy3_csi_tx_dpll_predef_freq[4:0]				
Reset	–	–	0b1	0b01111				
Access Type	–	–	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
phy3_csi_tx_dpll_fb_fraction_predef_en	5	周波数微調整用の CSI PHY3 のソフトウェア・オーバーライドを無効化。1 に設定すると、PLL は phy3_csi_tx_dpll_predef_freq ビットフィールドに設定された事前定義周波数を使用します。	0b0: Software-override for frequency fine-tuning enabled 0x1: Software-override for frequency fine-tuning disabled
phy3_csi_tx_dpll_predef_freq	4:0	CSI PHY3 の出力周波数を 100Mbps（DPHY）または 100Msps（CPHY）の倍数で決定します（4x2 モードでの MIPI ポート F の PLL）。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0x0: 80Mbps/Msps 0x1: 100Mbps/Msps 0x2: 200Mbps/Msps 0x3: 300Mbps/Msps 0x4: 400Mbps/Msps 0x5: 500Mbps/Msps 0x6: 600Mbps/Msps 0x7: 700Mbps/Msps 0x8: 800Mbps/Msps 0x9: 900Mbps/Msps 0xA: 1000Mbps/Msps 0xB: 1100Mbps/Msps 0xC: 1200Mbps/Msps 0xD: 1300Mbps/Msps 0xE: 1400Mbps/Msps 0xF: 1500Mbps/Msps 0x10: 1600Mbps/Msps 0x11: 1700Mbps/Msps 0x12: 1800Mbps/Msps 0x13: 1900Mbps/Msps 0x14: 2000Mbps/Msps 0x15: 2100Mbps/Msps 0x16: 2200Mbps/Msps 0x17: 2300Mbps/Msps 0x18: 2400Mbps/Msps 0x19: 2500Mbps/Msps Others: 1500Mbps/Msps

BACKTOP32（0x327）

BIT	7	6	5	4	3	2	1	0
Field	–	bpp10dblz_mode	bpp10dbly_mode	–	–	bpp10dblz	bpp10dbly	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–	Write, Read	Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
bpp10dblz_mode	6	パイプライン Z の RAM への 8 ビット書込みの代替マッピングを有効化します	0b0: Write alternative map disabled 0x1: Write alternative map enabled
bpp10dbly_mode	5	パイプライン Y の RAM への 8 ビット書込みの代替マッピングを有効化します	0b0: Write alternative map disabled 0x1: Write alternative map enabled
bpp10dblz	2	パイプライン Z において、bpp = 8 を 16 ビット・カラーとして処理します。この機能は、1 本のパイプを流れる全てのビデオ・データを同じ bpp に揃えることで、ビデオ・パイプラインの処理容量を最大化するために用いられます。	0b0: Do not process bpp = 8 as 16-bit color 0b1: Process bpp = 8 as 16-bit color
bpp10dbly	1	パイプライン Y において、bpp = 8 を 16 ビット・カラーとして処理します。この機能は、1 本のパイプを流れる全てのビデオ・データを同じ bpp に揃えることで、ビデオ・パイプラインの処理容量を最大化するために用いられます。	0b0: Do not process bpp = 8 as 16-bit color 0b1: Process bpp = 8 as 16-bit color

BACKTOP33（0x328）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	bpp12dblz	bpp12dbly	–
Reset	–	–	–	–	–	0b0	0b0	–
Access Type	–	–	–	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
bpp12dblz	2	パイプライン Z において、bpp = 8 を 16 ビット・カラーとして処理します。この機能は、1 本のパイプを流れる全てのビデオ・データを同じ bpp に揃えることで、ビデオ・パイプラインの処理容量を最大化するために用いられます。	0b0: Do not process bpp = 8 as 16-bit color 0b1: Process bpp = 8 as 16-bit color
bpp12dbly	1	パイプライン Y において、bpp = 8 を 16 ビット・カラーとして処理します。この機能は、1 本のパイプを流れる全てのビデオ・データを同じ bpp に揃えることで、ビデオ・パイプラインの処理容量を最大化するために用いられます。	0b0: Do not process bpp = 8 as 16-bit color 0b1: Process bpp = 8 as 16-bit color

MIPI_PHY0（0x330）*

BIT	7	6	5	4	3	2	1	0
Field	force_csi_out_en	RSVD	RSVD	phy_1x4b_22	phy_1x4a_22	phy_2x4	RSVD	phy_4x2
Reset	0b0	0b0	0b0	0b0	0b0	0b1	0b0	0b0
Access Type	Write, Read			Write, Read	Write, Read	Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
force_csi_out_en	7	CSI 出力クロックを MIPI ループバック・テストで使用するように強制します	0b0: CSI output clock not enabled for MIPI loopback test 0b1: CSI output clock enabled for MIPI loopback test
phy_1x4b_22	4	MIPI 出力を 2x2 および 1x4 に設定。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0b0: 1x4 and 2x2 configuration not selected 0b1: MIPI output configured as three ports. Port A is two two-ports, each with two data lanes using PHY0 and PH1. Port C is one four-lane port using PHY2 and PHY3
phy_1x4a_22	3	MIPI 出力を 1x4 および 2x2 に設定。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0b0: 1x4 and 2x2 configuration not selected 0b1: MIPI output configured as three ports. Port A is one port with four data lanes using PHY0 and PH1. Port C is two ports, each with two data lanes using PHY2 and PHY3
phy_2x4	2	MIPI 出力を 2x4 に設定。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0b0: 2x4 not selected 0b1: MIPI output configured as two ports with four data lanes each. Port A uses PHY0 and PHY1, Port B uses PHY2 and PHY3.
phy_4x2	0	MIPI 出力を 4x2 に設定。 このレジスタを変更する前に PLL をリセット状態にする必要があります（config_soft_rst_n ビット）。	0b0: 4x2 configuration not selected 0b1: MIPI output configured as four two-lane MIPI ports

MIPI_PHY1（0x331）*

BIT	7	6	5	4	3	2	1	0
Field	t_hs_przero[1:0]		t_hs_prep[1:0]		RSVD[1:0]		t_clk_przero[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read				Write, Read	

ビットフィールド	ビット	説明	デコード
t_hs_przero	7:6	DPHY データ・レーンの HS_prep + HS_zero の代表的なタイミング	0b00: 146ns + 24UI 0b01: 160ns + 24UI 0b10: 173ns + 24UI 0b11: 200ns + 24UI
t_hs_prep	5:4	DPHY データ・レーンの HS_prepare の代表的なタイミング	0b00: 46.7ns + 4UI 0b01: 53.4ns + 4UI 0b10: 60.0ns + 4UI 0b11: 66.7ns + 4UI
t_clk_przero	1:0	DPHY クロック・レーンの HS_prepare + HS_zero の代表的なタイミング	0b00: 306ns 0b01: 600ns 0b10: 900ns 0b11: 1200ns

MIPI_PHY2（0x332）*

BIT	7	6	5	4	3	2	1	0
Field	phy_Stdby_n[3:0]				t_lpx[1:0]		t_hs_trail[1:0]	
Reset	0xF				0b01		0b00	
Access Type	Write, Read				Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
phy_Stdby_n	7:4	電力節減のために、使用していない MIPI PHY をスタンバイ・モードにします。PHY ごとに 1 ビット。	0bXXX0: Put PHY0 in standby mode 0bXX0X: Put PHY1 in standby mode 0bX0XX: Put PHY2 in standby mode 0b0XXX: Put PHY3 in standby mode 0b0000: All PHYs in standby mode ... 0b1111: All PHYs not in standby mode
t_lpx	3:2	DPHY の TLPX の代表的なタイミング	0b00: 53.4ns 0b01: 106.7ns 0b10: 160ns 0b11: 213.4ns
t_hs_trail	1:0	DPHY データ・レーンの HS_trail の代表的なタイミング	0b00: 66.7ns + 8UI 0b01: 80ns + 8UI 0b10: 93.4ns + 8UI 0b11: 106.7ns + 8UI

MIPI_PHY3（0x333）*

BIT	7	6	5	4	3	2	1	0
Field	phy1_lane_map[3:0]				phy0_lane_map[3:0]			
Reset	0x4				0xE			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
phy1_lane_map	7:4	2 x 4 構成での MIPI PHY1 からポート A へのレーン・マッピング。 ビット[1:0]は PHY1 のデータ・レーン 0 をマッピング ビット[3:2]は PHY1 のデータ・レーン 1 をマッピング	0bXX00: Map PHY1 D0 to Port A D0 0bXX01: Map PHY1 D0 to Port A D1 0bXX10: Map PHY1 D0 to Port A D2 0bXX11: Map PHY1 D0 to Port A D3 0b00XX: Map PHY1 D1 to Port A D0 0b01XX: Map PHY1 D1 to Port A D1 0b10XX: Map PHY1 D1 to Port A D2 0b11XX: Map PHY1 D1 to Port A D3
phy0_lane_map	3:0	2 x 4 構成での MIPI PHY0 からポート A へのレーン・マッピング。 ビット[1:0]は PHY0 のデータ・レーン 0 をマッピング ビット[3:2]は PHY0 のデータ・レーン 1 をマッピング	0bXX00: Map PHY0 D0 to Port A D0 0bXX01: Map PHY0 D0 to Port A D1 0bXX10: Map PHY0 D0 to Port A D2 0bXX11: Map PHY0 D0 to Port A D3 0b00XX: Map PHY0 D1 to Port A D0 0b01XX: Map PHY0 D1 to Port A D1 0b10XX: Map PHY0 D1 to Port A D2 0b11XX: Map PHY0 D1 to Port A D3

MIPI_PHY4（0x334）*

BIT	7	6	5	4	3	2	1	0
Field	phy3_lane_map[3:0]				phy2_lane_map[3:0]			
Reset	0xE				0x4			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
phy3_lane_map	7:4	2 x 4 構成での MIPI PHY3 からポート B へのレーン・マッピング。 ビット[1:0]は PHY3 のデータ・レーン 0 をマッピング ビット[3:2]は PHY3 のデータ・レーン 1 をマッピング	0bXX00: Map PHY3 D0 to Port B D0 0bXX01: Map PHY3 D0 to Port B D1 0bXX10: Map PHY3 D0 to Port B D2 0bXX11: Map PHY3 D0 to Port B D3 0b00XX: Map PHY3 D1 to Port B D0 0b01XX: Map PHY3 D1 to Port B D1 0b10XX: Map PHY3 D1 to Port B D2 0b11XX: Map PHY3 D1 to Port B D3
phy2_lane_map	3:0	2 x 4 構成での MIPI PHY2 からポート B へのレーン・マッピング。 ビット[1:0]は PHY2 のデータ・レーン 0 をマッピング ビット[3:2]は PHY2 のデータ・レーン 1 をマッピング	0bXX00: Map PHY2 D0 to Port B D0 0bXX01: Map PHY2 D0 to Port B D1 0bXX10: Map PHY2 D0 to Port B D2 0bXX11: Map PHY2 D0 to Port B D3 0b00XX: Map PHY2 D1 to Port B D0 0b01XX: Map PHY2 D1 to Port B D1 0b10XX: Map PHY2 D1 to Port B D2 0b11XX: Map PHY2 D1 to Port B D3

MIPI_PHY5（0x335）*

BIT	7	6	5	4	3	2	1	0
Field	t_clk_prep[1:0]		phy1_pol_map[2:0]			phy0_pol_map[2:0]		
Reset	0b00		0b000			0b000		
Access Type	Write, Read		Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード
t_clk_prep	7:6	DPHY クロック・レーンの HS_prepare の代表的なタイミング	0b00: 40ns 0b01: 46.7ns 0b10: 53.4ns 0b11: 60ns
phy1_pol_map	5:3	MIPI PHY1 のレーンの極性。 DPHY モードでは、このビットはクロック、D1、D0 の極性を制御します。通常の極性では、P は正、N は負です。反転極性では、P は負、N は正です。 CPHY モードでは、このビットは、ABC の 3 ピン・トリオにおける A ピンと C ピンのルーティングを制御します。通常の動作では、ABC トリオのどのピンも交換されません。逆極性では、A ピンと C ピンが交換されます。	0bXX0: Normal polarity for data lane 0 0bXX1: Inverse polarity for data lane 0 0bX0X: Normal polarity for data lane 1 0bX1X: Inverse polarity for data lane 1 0b0XX: Normal polarity for clock lane (DPHY only) 0b1XX: Inverse polarity for clock lane (DPHY only)
phy0_pol_map	2:0	MIPI PHY0 のレーンの極性。 DPHY モードでは、このビットはクロック、D1、D0 の極性を制御します。通常の極性では、P は正、N は負です。反転極性では、P は負、N は正です。 CPHY モードでは、このビットは、ABC の 3 ピン・トリオにおける A ピンと C ピンのルーティングを制御します。通常の動作では、ABC トリオのどのピンも交換されません。逆極性では、A ピンと C ピンが交換されます。	0bXX0: Normal polarity for data lane 0 0bXX1: Inverse polarity for data lane 0 0bX0X: Normal polarity for data lane 1 0bX1X: Inverse polarity for data lane 1 0b0XX: Normal polarity for clock lane (DPHY only) 0b1XX: Inverse polarity for clock lane (DPHY only)

MIPI_PHY6（0x336）*

BIT	7	6	5	4	3	2	1	0
Field	phy_cp1	phy_cp0	phy3_pol_map[2:0]			phy2_pol_map[2:0]		
Reset	0b0	0b0	0b000			0b000		
Access Type	Write, Read	Write, Read	Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード
phy_cp1	7	MIPI PHY ポートのコピーの有効化 1。 ビデオの再現／複製を行い、全ビデオ・データを 1 つの MIPI PHY に出力すると同時に、別の PHY にも出力できるようにするために使用します。有効化した場合、phy_cp1_src の PHY セットからのデータは、phy_cp1_dst の PHY セットにコピーされます。	0b0: Do not copy MIPI PHY data 0b1: Copy MIPI data from source PHY to destination PHY
phy_cp0	6	MIPI PHY ポートのコピーの有効化 0。 ビデオの再現／複製を行い、全ビデオ・データを 1 つの MIPI PHY に出力すると同時に、別の PHY にも出力できるようにするために使用します。有効化した場合、phy_cp0_src の PHY セットからのデータは、phy_cp0_dst の PHY セットにコピーされます。	0b0: Do not copy MIPI PHY data 0b1: Copy MIPI data from source PHY to destination PHY
phy3_pol_map	5:3	MIPI PHY3 のレーンの極性。 DPHY モードでは、このビットはクロック、D1、D0 の極性を制御します。通常の極性では、P は正、N は負です。反転極性では、P は負、N は正です。 CPHY モードでは、このビットは、ABC の 3 ピン・トリオにおける A ピンと C ピンのルーティングを制御します。通常の動作では、ABC トリオのどのピンも交換されません。逆極性では、A ピンと C ピンが交換されます。	0bXX0: Normal polarity for data lane 0 0bXX1: Inverse polarity for data lane 0 0bX0X: Normal polarity for data lane 1 0bX1X: Inverse polarity for data lane 1 0b0XX: Normal polarity for clock lane (DPHY only) 0b1XX: Inverse polarity for clock lane (DPHY only)
phy2_pol_map	2:0	MIPI PHY2 のレーンの極性。 DPHY モードでは、このビットはクロック、D1、D0 の極性を制御します。通常の極性では、P は正、N は負です。反転極性では、P は負、N は正です。 CPHY モードでは、このビットは、ABC の 3 ピン・トリオにおける A ピンと C ピンのルーティングを制御します。通常の動作では、ABC トリオのどのピンも交換されません。逆極性では、A ピンと C ピンが交換されます。	0bXX0: Normal polarity for data lane 0 0bXX1: Inverse polarity for data lane 0 0bX0X: Normal polarity for data lane 1 0bX1X: Inverse polarity for data lane 1 0b0XX: Normal polarity for clock lane (DPHY only) 0b1XX: Inverse polarity for clock lane (DPHY only)

MIPI_PHY9（0x339）

BIT	7	6	5	4	3	2	1	0
Field	phy_cp0_dst[1:0]		–	RSVD	RSVD	–	RSVD	phy_cp0_overflow
Reset	0b00		–	0b0	0b0	–	0b0	0b0
Access Type	Write, Read		–			–		Read Clears All

ビットフィールド	ビット	説明	デコード
phy_cp0_dst	7:6	MIPI PHY コピー0 の複製先。詳細については、phy_cp0 を参照してください。	0x0: Reserved 0x1: MIPI PHY 1 0x2: MIPI PHY 2 0x3: Reserved
phy_cp0_overflow	0	PHY コピー0 の FIFO オーバーフロー・フラグ（スティッキー）	0b0: No overflow error has occurred 0b1: Overflow error has occurred

MIPI_PHY10（0x33A）

BIT	7	6	5	4	3	2	1	0
Field	phy_cp0_src[1:0]		RSVD[2:0]			–	RSVD	phy_cp0_underflow
Reset	0b00		0b000			–	0b1	0b0
Access Type	Write, Read					–		Read Clears All

ビットフィールド	ビット	説明	デコード
phy_cp0_src	7:6	MIPI PHY コピー0 の複製元。詳細については、phy_cp0 を参照してください。	0x0: Reserved 0x1: MIPI PHY 1 0x2: MIPI PHY 2 0x3: Reserved
phy_cp0_underflow	0	PHY コピー0 の FIFO アンダーフロー・フラグ（スティッキー）	0b0: No underflow error has occurred 0b1: Underflow error has occured

MIPI_PHY11（0x33B）

BIT	7	6	5	4	3	2	1	0
Field	phy_cp1_dst[1:0]		RSVD[2:0]			–	RSVD	phy_cp1_overflow
Reset	0b00		0b000			–	0b0	0b0
Access Type	Write, Read					–		Read Clears All

ビットフィールド	ビット	説明	デコード
phy_cp1_dst	7:6	MIPI PHY コピー1 の複製先。詳細については、phy_cp1 を参照してください。	0x0: Reserved 0x1: MIPI PHY 1 0x2: MIPI PHY 2 0x3: Reserved
phy_cp1_overflow	0	PHY コピー1 の FIFO オーバーフロー・フラグ（スティッキー）	0b0: No overflow error has occurred 0b1: Overflow error has occurred

MIPI_PHY12（0x33C）

BIT	7	6	5	4	3	2	1	0
Field	phy_cp1_src[1:0]		RSVD[2:0]			–	RSVD	phy_cp1_underflow
Reset	0b00		0b000			–	0b1	0b0
Access Type	Write, Read					–		Read Clears All

ビットフィールド	ビット	説明	デコード
phy_cp1_src	7:6	MIPI PHY コピー1 の複製元。詳細については、phy_cp1 を参照してください。	0x0: Reserved 0x1: MIPI PHY 1 0x2: MIPI PHY 2 0x3: Reserved
phy_cp1_underflow	0	PHY コピー1 の FIFO アンダーフロー・フラグ（スティッキー）	0b0: No overflow error has occurred 0b1: Overflow error has occurred

MIPI_PHY13（0x33D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	t_t3_prebegin[5:0]					
Reset	–	–	0x00					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明	デコード
t_t3_prebegin	5:0	CPHY のプリアンブル開始前のフェーズ(t3_prebegin + 1) x 7UI	0xXX: CPHY prebegin time given by (t3_prebegin + 1) x 7UI

MIPI_PHY14（0x33E）

BIT	7	6	5	4	3	2	1	0
Field	–	t_t3_post[4:0]					t_t3_prep[1:0]	
Reset	–	0x04					0x1	
Access Type	–	Write, Read					Write, Read	

ビットフィールド	ビット	説明	デコード
t_t3_post	6:2	CPHY の HS データ後のポスト長さ = (t3_post + 1) x 7UI	0xXX: CPHY post time given by (t3_post + 1) x 7UI
t_t3_prep	1:0	CPHY の Ths_prepare のタイミング	0x0: 40ns 0x1: 55ns 0x2: 66.7ns 0x3: 86.7ns

MIPI_PHY15（0x33F）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	RST_MIPITX_LOC[3:0]			
Reset	–	–	–	–	0x0			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
RST_MIPITX_LOC	3:0	MIPI コントローラに対するアクティブ・ハイのリセット。このリセットを使用するには DP_RST_MIPI_CHKB を有効化する必要があります。	0b0000: Normal operation enabled 0bXX1X: Active high reset to CSI2/MIPI controller 1 0bX1XX: Active high reset to CSI2/MIPI controller 2 Others: Reserved

MIPI_PHY16（0x340）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	TUN_DATA_CRC_ERR_OEN	TUN_ECC_UNCORR_ERR_OEN	TUN_ECC_CORR_ERR_OEN	–	–	VID_OVERFLOW_OEN
Reset	–	–	0b0	0b0	0b0	–	–	0b0
Access Type	–	–	Write, Read	Write, Read	Write, Read	–	–	Write, Read

ビットフィールド	ビット	説明
TUN_DATA_CRC_ERR_OEN	5	トンネル・モードでは、DPHY/CPHY データの CRC エラーを ERRB ピンで報告するように有効化します
TUN_ECC_UNCORR_ERR_OEN	4	トンネル・モードでは、DPHY ECC または CPHY ヘッダ CRC の訂正不能エラーを ERRB ピンで報告するように有効化します
TUN_ECC_CORR_ERR_OEN	3	トンネル・モードでは、DPHY ECC または CPHY ヘッダ CRC の訂正可能エラーを ERRB ピンで報告するように有効化します
VID_OVERFLOW_OEN	0	ビデオ・パイプ・オーバーフロー（VID_OVERFLOW）を ERRB ピンで報告するように有効化します

MIPI_PHY17（0x341）

BIT	7	6	5	4	3	2	1	0
Field	–	–	TUN_DATA_CRC_ERR	TUN_ECC_UNCORR_ERR	TUN_ECC_CORR_ERR	–	–	VID_OVERFLOW_FLAG
Reset	–	–	0b0	0b0	0b0	–	–	0b0
Access Type	–	–	Read Only	Read Only	Read Only	–	–	Read Only

ビットフィールド	ビット	説明	デコード
TUN_DATA_CRC_ERR	5	トンネル･モードでの DPHY/CPHY データ CRC エラー。 全ての MIPI PHY をまとめたものです。クリアするには MIPI_TX STATUS レジスタを個別に読み出します。	0b0: Flag not asserted 0b1: Flag asserted
TUN_ECC_UNCORR_ERR	4	トンネル・モードでの DPHY ECC または CPHY ヘッダ CRC の訂正不能エラー。 全ての MIPI PHY をまとめたものです。クリアするには MIPI_TX STATUS レジスタを個別に読み出します。	0b0: Flag not asserted 0b1: Flag asserted
TUN_ECC_CORR_ERR	3	トンネル・モードでの DPHY ECC または CPHY ヘッダ CRC の訂正可能エラー。 全ての MIPI PHY をまとめたものです。クリアするには MIPI_TX STATUS レジスタを個別に読み出します。	0b0: Flag not asserted 0b1: Flag asserted
VID_OVERFLOW_FLAG	0	全てのビデオ・パイプのオーバーフロー（VID_OVERFLOW）ビットをまとめたエラー・ステータス。 クリアするには、VID_OVERFLOW を個別に読み出します。	0b0: Flag not asserted 0b1: Flag asserted

MIPI_PHY18（0x342）

BIT	7	6	5	4	3	2	1	0
Field	csi2_tx2_pkt_cnt[3:0]				csi2_tx1_pkt_cnt[3:0]			
Reset	0x0				0x0			
Access Type	Read Only				Read Only			

ビットフィールド	ビット	説明	デコード
csi2_tx2_pkt_cnt	7:4	CSI2 コントローラ 2 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが CSI2 コントローラから出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started
csi2_tx1_pkt_cnt	3:0	CSI2 コントローラ 1 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが CSI2 コントローラから出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started

MIPI_PHY19（0x343）

BIT	7	6	5	4	3	2	1	0
Field	csi2_dup2_pkt_cnt[3:0]				csi2_dup1_pkt_cnt[3:0]			
Reset	0x0				0x0			
Access Type	Read Only				Read Only			

ビットフィールド	ビット	説明	デコード
csi2_dup2_pkt_cnt	7:4	CSI2 複製 2 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが CSI2 複製から出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started
csi2_dup1_pkt_cnt	3:0	CSI2 複製 1 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが CSI2 複製から出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started

MIPI_PHY20（0x344）

BIT	7	6	5	4	3	2	1	0
Field	phy1_pkt_cnt[3:0]				phy0_pkt_cnt[3:0]			
Reset	0x0				0x0			
Access Type	Read Only				Read Only			

ビットフィールド	ビット	説明	デコード
phy1_pkt_cnt	7:4	MIPI PHY1 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが MIPI PHY から出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started
phy0_pkt_cnt	3:0	MIPI PHY0 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが MIPI PHY から出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started

MIPI_PHY21（0x345）

BIT	7	6	5	4	3	2	1	0
Field	phy3_pkt_cnt[3:0]				phy2_pkt_cnt[3:0]			
Reset	0x0				0x0			
Access Type	Read Only				Read Only			

ビットフィールド	ビット	説明	デコード
phy3_pkt_cnt	7:4	MIPI PHY3 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが MIPI PHY から出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started
phy2_pkt_cnt	3:0	MIPI PHY2 のパケット・カウント。 デバッグ用途で使用され、ビデオ・データが MIPI PHY から出力されているかどうかを判定します。	0bXXXX: Number of packets out since video started

FSYNC_0（0x3E0）*

BIT	7	6	5	4	3	2	1	0
Field	EN_OFLOW_RST_FS	RSVD	FSYNC_OUT_PIN	EN_VS_GEN	FSYNC_MODE[1:0]		FSYNC_METH[1:0]	
Reset	0b0	0b0	0b0	0b0	0b11		0b10	
Access Type	Write, Read		Write, Read	Write, Read	Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
EN_OFLOW_RST_FS	7	有効化すると、メモリ・オーバーフローによりフレーム同期生成がリセットされます	0b0: Do not reset frame sync generation when memory overflow occurs 0b1: Reset frame sync generation when memory overflow occurs
FSYNC_OUT_PIN	5	フレーム同期信号を出力するピンを選択します（FSYNC_METH = 01 の場合にのみ有効）	0b0: Reserved 0b1: MFP0
EN_VS_GEN	4	有効化すると、フレーム同期ジェネレータにより VS が内部で生成されます（FSYNC_MODE = 11 の場合は無効）	0x0: Internal frame sync does not generate VS 0x1: Internal frame sync generates VS
FSYNC_MODE	3:2	フレーム同期モード	GMSL2/3: 0b00: Frame sync generation is on. FSYNC_OUT pin is not used as FSYNC output, but a GPIO on the remote side can be used 0b01: Frame sync generation is on. FSYNC_OUT pin is used as FSYNC output and drives subordinate device, and a GPIO on the remote side can be used 0b10: Frame sync generation is off. FSYNC_OUT pin is not used as FSYNC output. 0b11: Frame sync generation is off. FSYNC_OUT pin is not used as FSYNC output
FSYNC_METH	1:0	フレーム同期方法	0b00: Manual 0b01: Semi-auto 0b10: Auto 0b11: Reserved

FSYNC_1（0x3E1）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RSVD[1:0]		FSYNC_PER_DIV[3:0]			
Reset	0b00		0b00		0x0			
Access Type					Write, Read			

ビットフィールド	ビット	説明	デコード
FSYNC_PER_DIV	3:0	V_{SYNC} 周期を単位とするフレーム同期送信時間	0x0: 1 0x1: 2 0x2: 4 0x3: 6 0x4: 8 0x5: 10 0x6: 12 0x7: 16 0x8: 20 0x9: 24 0xA: 32 0xB: 48 0xC: 64 0xD: 80 0xE: 96 0xF: 128

FSYNC_2（0x3E2）*

BIT	7	6	5	4	3	2	1	0
Field	MST_LINK_SEL[2:0]			K_VAL_SIGN	K_VAL[3:0]			
Reset	0b100			0b0	0x1			
Access Type	Write, Read			Write, Read	Write, Read			

ビットフィールド	ビット	説明	デコード
MST_LINK_SEL	7:5	フレーム同期生成のためのメイン・リンクの選択	0b000: Reserved 0b001: Video Y 0b010: Video Z 0b011: Reserved 0b100: Auto select 0b101: Auto select 0b110: Auto select 0b111: Auto select
K_VAL_SIGN	4	K_VAL の符号ビット	0b0: K_VAL is positive 0b1: K_VAL is negative

ビットフィールド	ビット	説明	デコード
K_VAL	3:0	自動モードでは最も低速なリンクの V_{SYNC} を基準に、半自動モードではメイン・リンクの V_{SYNC} を基準に設定される、所望のフレーム同期マージン（代表値、単位はマイクロ秒）。	0x0: 1 0x1: 2 0x2: 3 0x3: 4 0x4: 5 0x5: 6 0x6: 7 0x7: 8 0x8: 10 0x9: 12 0xA: 14 0xB: 16 0xC: 20 0xD: 24 0xE: 28 0xF: 32

FSYNC_3（0x3E3）*

BIT	7	6	5	4	3	2	1	0
Field	P_VAL_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
P_VAL_L	7:0	自動モードでは最も低速なリンクの V_{SYNC} を基準に、半自動モードではメイン・リンクの V_{SYNC} を基準に設定される、所望のフレーム同期マージン（PCLK サイクル単位）の下位バイト	0xXX: Low byte of PCLK cycles frame sync margin

FSYNC_4（0x3E4）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	P_VAL_SIGN	P_VAL_H[4:0]				
Reset	–	–	0b0	0b00000				
Access Type	–	–	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
P_VAL_SIGN	5	P_VAL の符号ビット	0b0: P_VAL is positive 0b1: P_VAL is negative
P_VAL_H	4:0	自動モードでは最も低速なリンクの V_{SYNC} を基準に、半自動モードではメイン・リンクの V_{SYNC} を基準に設定される、所望のフレーム同期マージン（PCLK サイクル単位）の上位ビット	0b00000: High bits of PCLK cycles frame sync margin

FSYNC_5（0x3E5）*

BIT	7	6	5	4	3	2	1	0
Field	FSYNC_PERIOD_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
FSYNC_PERIOD_L	7:0	フレーム同期周期（ピクセル・クロック単位）の下位バイト。FSYNC_METH（0x3E0） = 00 かつ FSYNC_MODE（0x3E0） = 0x の場合に有効。	0xXX: Low byte of PCLK cycles in frame period

FSYNC_6（0x3E6）*

BIT	7	6	5	4	3	2	1	0
Field	FSYNC_PERIOD_M[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
FSYNC_PERIOD_M	7:0	フレーム同期周期（ピクセル・クロック単位）の中位バイト。FSYNC_METH（0x3E0） = 00 かつ FSYNC_MODE（0x3E0） = 0x の場合に有効。	0xXX: Middle byte of PCLK cycles in frame period

FSYNC_7（0x3E7）*

BIT	7	6	5	4	3	2	1	0
Field	FSYNC_PERIOD_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
FSYNC_PERIOD_H	7:0	フレーム同期周期（ピクセル・クロック単位）の上位バイト。FSYNC_METH（0x3E0） = 00 かつ FSYNC_MODE（0x3E0） = 0x の場合に有効。	0xXX: High byte of PCLK cycles in frame period

FSYNC_8（0x3E8）

BIT	7	6	5	4	3	2	1	0
Field	FRM_DIFF_ERR_THR_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
FRM_DIFF_ERR_THR_L	7:0	最も早い VSYNC と最も遅い V_{SYNC} の差分に対するエラー・スレッショルド（PCLK サイクル単位）の下位バイト。 デフォルト値は 40µs（96MHz の PCLK の場合）です。13 ビット全てを 0 にすると、この機能は無効になります。	0xXX: Low byte of PCLK cycles in the VSYNC error threshold

FSYNC_9（0x3E9）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	FRM_DIFF_ERR_THR_H[4:0]				
Reset	–	–	–	0b01111				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
FRM_DIFF_ERR_THR_H	4:0	最も早い VSYNC と最も遅い V_{SYNC} の差分に対するエラー・スレッショルド（PCLK サイクル単位）の上位バイト。 デフォルト値は 40µs（96MHz の PCLK の場合）です。13 ビット全てを 0 にすると、この機能は無効になります。	0bXXXXX: High bits of PCLK cycles in the VSYNC error threshold

FSYNC_10（0x3EA）

BIT	7	6	5	4	3	2	1	0
Field	OVLP_WINDOW_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
OVLP_WINDOW_L	7:0	オーバーラップ・ウィンドウ値（PCLK サイクル単位）の下位バイト。ウィンドウは、最も高速なイメージセンサーからの VS 立上がりエッジで始まり、フレーム同期信号を受信したときに終了します。 デフォルト値は 60µs（96MHz の PCLK の場合）です。13 ビット全てを 0 にすると、この機能は無効になります。	0xXX: Low byte of PCLK cycles in the VSYNC overlap window.

FSYNC_11（0x3EB）

BIT	7	6	5	4	3	2	1	0
Field	EN_FSIN_LAST	–	–	OVLP_WINDOW_H[4:0]				
Reset	0b0	–	–	0b00000				
Access Type	Write, Read	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
EN_FSIN_LAST	7	FSIN の位置	0b0: FSIN can occur anywhere with respect to VS rising edges 0b1: FSIN occurs after all rising edges
OVLP_WINDOW_H	4:0	オーバーラップ・ウィンドウ値（PCLK サイクル単位）の下位バイト。ウィンドウは、最も高速なイメージセンサーからの VS 立上がりエッジで始まり、フレーム同期信号を受信したときに終了します。 デフォルト値は 60µs（96MHz の PCLK の場合）です。13 ビット全てを 0 にすると、この機能は無効になります。	0bXXXXX: High bits of PCLK cycles in the VSYNC overlap window.

FSYNC_15（0x3EF）

BIT	7	6	5	4	3	2	1	0
Field	FS_GPIO_TYPE	FS_USE_XTAL	–	AUTO_FS_LINKS	–	FS_EN_Z	FS_EN_Y	–
Reset	0b1	0b0	–	0b1	–	0b1	0b1	–
Access Type	Write, Read	Write, Read	–	Write, Read	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
FS_GPIO_TYPE	7	GPIO から出力する FSYNC 信号のタイプを選択します	0x0: GMSL1 type 0x1: GMSL2 type
FS_USE_XTAL	6	フレーム同期信号を生成するために水晶発振器のクロックを使用します	0x0: Disabled 0x1: Enabled
AUTO_FS_LINKS	4	フレーム同期生成においてリンクをどのように選択するかを設定します	0x0: Include links selected by FS_LINK_x register bits in frame sync generation 0x1: Include all enabled links in frame sync generation
FS_EN_Z	2	フレーム同期生成にビデオ・パイプ Z を含めます。これは、AUTO_FS_LINKS = 0 の場合にのみ用いられます。	0x0: Do not include Video Pipe Z in frame-sync generation 0x1: Include Video Pipe Z in frame-sync generation
FS_EN_Y	1	フレーム同期生成にビデオ・パイプ Y を含めます。これは、AUTO_FS_LINKS = 0 の場合にのみ用いられます	0x0: Do not include Video Pipe Y in frame-sync generation 0x1: Include Video Pipe Y in frame-sync generation

FSYNC_16（0x3F0）

BIT	7	6	5	4	3	2	1	0
Field	FSYNC_ERR_CNT[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
FSYNC_ERR_CNT	7:0	フレーム同期エラー・カウンタ。 読出し時、あるいは FSYNC_LOCKED がハイになったときに 0 にリセットされます。	0xXX: Frame sync error counter

FSYNC_17（0x3F1）

BIT	7	6	5	4	3	2	1	0
Field	FSYNC_TX_ID[4:0]					FSYNC_ERR_THR[2:0]		
Reset	0b11110					0b000		
Access Type	Write, Read					Write, Read		

ビットフィールド	ビット	説明	デコード
FSYNC_TX_ID	7:3	FSYNC 信号の送信に用いられる GPIO の ID。 リモート側でも、対応する GPIO_RX_ID を同じ値に設定する必要があります。	0bXXXXX: GPIO ID
FSYNC_ERR_THR	2:0	フレーム同期エラー・スレッショルドの報告。 FSYNC_ERR_CNT（0x3F0）≥ FSYNC_ERR_THR の場合、FSYNC_ERR_FLAG がアサートされます。	0bXXX: Frame sync error reporting threshold

FSYNC_18（0x3F2）

BIT	7	6	5	4	3	2	1	0
Field	CALC_FRM_LEN_L[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
CALC_FRM_LEN_L	7:0	自動または半自動同期モードにおけるメイン・リンクの VS 期間（PCLK 数換算）の計算値の下位バイト。 FSYNC_METH (0x03E) = 10 かつ FSYNC_MODE (0x3E) = 0x の場合に用います。	0xXX: Low byte of PCLKs in VS period in main link auto or semi-auto synchronization mode.

FSYNC_19（0x3F3）

BIT	7	6	5	4	3	2	1	0
Field	CALC_FRM_LEN_M[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
CALC_FRM_LEN_M	7:0	自動または半自動同期モードにおけるメイン・リンクの VS 期間（PCLK 数換算）の計算値の中位バイト。 FSYNC_METH (0x03E) = 10 かつ FSYNC_MODE (0x3E) = 0x の場合に用います。	0xXX: Middle byte of PCLKs in VS period in main link auto or semi-auto synchronization mode.

FSYNC_20（0x3F4）

BIT	7	6	5	4	3	2	1	0
Field	CALC_FRM_LEN_H[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
CALC_FRM_LEN_H	7:0	自動または半自動同期モードにおけるメイン・リンクの VS 期間（PCLK 数換算）の計算値の上位バイト。FSYNC_METH (0x03E) = 10 かつ FSYNC_MODE (0x3E) = 0x の場合に用います。	0xXX: High byte of PCLKs in VS period in main link auto or semi-auto synchronization mode.

FSYNC_21（0x3F5）

BIT	7	6	5	4	3	2	1	0
Field	FRM_DIFF_L[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
FRM_DIFF_L	7:0	メイン PCLK サイクル単位で表される、最高速フレームと最低速フレームの差分の下位バイト	0xXX: Low byte of number of PCLKs in the difference between the fastest and slowest frame.

FSYNC_22（0x3F6）

BIT	7	6	5	4	3	2	1	0
Field	FSYNC_LOSS_OF_LOCK	FSYNC_LOCKED	FRM_DIFF_H[5:0]					
Reset	0b0	0b0	0b000000					
Access Type	Read Clears All	Read Only	Read Only					

ビットフィールド	ビット	説明	デコード
FSYNC_LOSS_OF_LOCK	7	フレーム同期消失ロック・フラグ。 読出し時にクリアされます。	0b0: Frame sync lock not lost 0b1: Frame sync lock lost
FSYNC_LOCKED	6	フレーム同期ロック・フラグ	0b0: Frame sync not locked 0b1: Frame sync locked
FRM_DIFF_H	5:0	メイン PCLK サイクル単位で表される、最高速フレームと最低速フレームの差分の上位ビット	0bXXXXXX: High bits of number of PCLKs in the difference between the fastest and slowest frame.

FSYNC_23 (0x3F7)*

BIT	7	6	5	4	3	2	1	0
Field	EN_SYNC_COMP	EN_LINK_RESET	–	–	–	FSYNC_OVR_Z	FSYNC_OVR_Y	–
Reset	0b0	0b0	–	–	–	0b0	0b0	–
Access Type	Write, Read	Write, Read	–	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
EN_SYNC_COMP	7	CSI_OUT_EN（0x313）の FSYNC 同期完了項目をバイパスします。 同期完了を有効化すると、内部フレーム同期設定の最中に GMSL リンクが消失した場合に、ビデオ出力が停止する可能性があります。	0x0: Bypass FSYNC sync complete 0x1: Enable bypass FSYNC sync complete
EN_LINK_RESET	6	内部フレーム同期リセット・リンクの有効化。 有効化すると、GMSL リンクが消失した場合に正しく動作しない可能性があります。	0x0: Disable link reset capability 0x1: Enable link reset capability
FSYNC_OVR_Z	2	内部フレーム同期設定中に、FS_LINK_X を用いて video_lock_1 をオーバーライドします。 ロジック 1 の場合、GMSL リンクが消失しても、フレーム同期ステート・マシンは引き続きリンク 1 を認識し続けます。AUTO_FS_LINKS モードでは使用しません。	0b0: Do not include Video Pipe Z in frame sync generation 0b1: Include Video Pipe Z in frame sync generation
FSYNC_OVR_Y	1	内部フレーム同期設定中に、FS_LINK_X を用いて video_lock_1 をオーバーライドします。 ロジック 1 の場合、GMSL リンクが消失しても、フレーム同期ステート・マシンは引き続きリンク 1 を認識し続けます。AUTO_FS_LINKS モードでは使用しません。	0b0: Do not include Video Pipe Y in frame sync generation 0b1: Include Video Pipe Y in frame sync generation

MIPI_TX10（0x40A）*

BIT	7	6	5	4	3	2	1	0
Field	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	–	–	–	–
Reset	0b11		0b0	0b1	–	–	–	–
Access Type	Write, Read		Write, Read		–	–	–	–

ビットフィールド	ビット	説明	デコード
CSI2_LANE_CNT	7:6	MIPI のデータ・レーン数を選択します	0b00: One data lane 0b01: Two data lanes 0b10: Three data lanes 0b11: Four data lanes
CSI2_CPHY_EN	5	CPHY を有効化します	0b0: CPHY disabled 0b1: CPHY enabled

MIPI_TX1（0x441）*

BIT	7	6	5	4	3	2	1	0
Field	MODE[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MODE	7:0	MIPI Tx モード	0bXXXXXXX0: Disable MIPI VS short packet counter 0bXXXXXXX1: Enable MIPI VS short packet counter

MIPI_TX2（0x442）

BIT	7	6	5	4	3	2	1	0
Field	STATUS[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
STATUS	7:0	MIPI Tx のステータス。 このレジスタは、以下のデコード・セグメントに分割されます。 ビット[0] SYNC モードの有効化 ビット[1] ビデオ同期フラグ ビット[2] ビデオ同期消失フラグ ビット[3] トンネル・モード：DPHY ECC または CPHY ヘッダ CRC エラー（訂正可能） ビット[4] トンネル・モード：DPHY ECC または CPHY ヘッダ CRC エラー（訂正不能） ビット[5] トンネル・モード：DPHY/CPHY データ CRC エラー	0bXXXXXXX0: SYNC mode disabled 0bXXXXXXX1: SYNC mode enabled 0bXXXXXX0X: Video channels not in-sync 0bXXXXXX1X: Video channels in-sync 0bXXXXX0XX: No loss of video sync 0bXXXXX1XX: Video sync lost after last read of this register or RESET. 0bXXXX0XXX: No tunneling ECC correctable error 0bXXXX1XXX: Tunneling ECC correctable error after last read of this register or RESET. 0bXXX0XXXX: No tunneling ECC uncorrectable error 0bXXX1XXXX: Tunneling ECC uncorrectable error after last read of this register or RESET. 0bXX0XXXXX: No tunneling data CRC error 0bXX1XXXXX: Tunneling data CRC error after last read of this register or RESET.

MIPI_TX3（0x443）

BIT	7	6	5	4	3	2	1	0
Field	DESKEW_INIT[7:0]							
Reset	0x01							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DESKEW_INIT	7:0	DPHY デスキューの初期キャリブレーションの制御。 このレジスタは、以下の 6 つのデコード・セグメントに分割されます。 ビット[7] 自動初期デスキュー・キャリブレーションのオン／オフを選択 ビット[6] 予約済み ビット[5] ビット 4 が 1 の場合に、ビットの変更によって初期キャリブレーションが開始されます ビット[4] 手動初期キャリブレーションのオン／オフを選択 ビット[3] 予約済み ビット[2:0] 初期デスキュー幅を選択	0bXXXXX000: Reserved 0bXXXXX001: Initial deskew width = 2 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX010: Initial deskew width = 3 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX011: Initial deskew width = 4 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX100: Initial deskew width = 5 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX101: Initial deskew width = 6 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX110: Initial deskew width = 7 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX111: Initial deskew width = 8 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXX0XXX: Reserved 0bXXXX1XXX: Reserved 0bXXX0XXXX: Manual initial off 0bXXX1XXXX: Manual initial on 0bXX0XXXXX: If bit 4 = 1, triggers one-time immediate initial skew calibration 0bXX1XXXXX: If bit 4 = 1, triggers one-time immediate initial skew calibration 0bX0XXXXXX: Reserved 0bX1XXXXXX: Reserved 0b0XXXXXXX: Auto initial deskew off 0b1XXXXXXX: Auto initial deskew on

MIPI_TX4（0x444）

BIT	7	6	5	4	3	2	1	0
Field	DESKEW_PER[7:0]							
Reset	0x01							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DESKEW_PER	7:0	DPHY の定期的デスキュー・キャリブレーションの制御。 レジスタは、以下の 4 つのデコード・セグメントに分割されます。 ビット[7] 定期的デスキュー・キャリブレーションのオン／オフを選択 ビット[6] VS の立上がりエッジで発生するか立下がりエッジで発生するかを選択 ビット[5:3] 定期的な間隔を選択 ビット[2:0] 定期的デスキュー幅を選択	0bXXXXX000: Reserved 0bXXXXX001: Periodic deskew width = 2k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX010: Periodic deskew width = 3k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX011: Periodic deskew width = 4k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX100: Periodic deskew width = 5k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX101: Periodic deskew width = 6k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX110: Periodic deskew width = 7k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX111: Periodic deskew width = 8k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXX000XXX: Periodic deskew calibration generated every frame 0bXX001XXX: Periodic deskew calibration generated every 2 frames 0bXX010XXX: Periodic deskew calibration generated every 4 frames 0bXX011XXX: Periodic deskew calibration generated every 8 frames 0bXX100XXX: Periodic deskew calibration generated every 16 frames 0bXX101XXX: Periodic deskew calibration generated every 32 frames 0bXX110XXX: Periodic deskew calibration generated every 64 frames 0bXX111XXX: Periodic deskew calibration generated every 128 frames 0bX0XXXXXX: Periodic deskew calibration generated at rising edge of VS 0bX1XXXXXX: Periodic deskew calibration generated at falling edge of VS 0b0XXXXXXX: Periodic deskew calibration off 0b1XXXXXXX: Periodic deskew calibration on

MIPI_TX7（0x447）

BIT	7	6	5	4	3	2	1	0
Field	CSI2_TX_GAP[7:0]							
Reset	0x1C							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CSI2_TX_GAP	7:0	HS クロックが LP になってから次の送信のために再び有効化されるまでに待機する MIPI バイト・クロック数	0xXX: Number of MIPI byte clocks

MIPI_TX10（0x44A）*

BIT	7	6	5	4	3	2	1	0
Field	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	CSI_VCX_EN	RSVD[2:0]		
Reset	0b11		0b0	0b1	0b0	0b000		
Access Type	Write, Read		Write, Read		Write, Read			

ビットフィールド	ビット	説明	デコード
CSI2_LANE_CNT	7:6	MIPI のデータ・レーン数を選択します	0b00: One data lane 0b01: Two data lanes 0b10: Three data lanes 0b11: Four data lanes
CSI2_CPHY_EN	5	CPHY を有効化します	0b0: CPHY disabled 0b1: CPHY enabled
CSI_VCX_EN	3	仮想チャンネル（VC）拡張を有効化します	0b0: Disabled 0b1: Enabled

MIPI_TX11（0x44B）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_EN_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_EN_L	7:0	マッピング有効化の下位バイト[7:0] 各ビットは、進行中のビデオ・ストリームに対する 8 個のマッピングおよび分配エントリ（MAP_SRC_x、MAP_DST_x、MAP_DPHY_DST_x で定義）の対応する 1 つを有効化します。 一致しない仮想チャンネル（VC）とデータ・タイプ（DT）は、対応する CSI2 コントローラに転送されます。 ビデオ・ピクセル・モードでは、このレジスタを使って、VC、DT、または CSI2 コントローラのマッピング先を変更することができます。	0xX1: Enable MAP_SRC_0 (0x44D) and MAP_DST_0 (0x44E) bitfields 0xX2: Enable MAP_SRC_1 (0x44F) and MAP_DST_1 (0x450) bitfields 0xX4: Enable MAP_SRC_2 (0x451) and MAP_DST_2 (0x452) bitfields 0xX8: Enable MAP_SRC_3 (0x453) and MAP_DST_3 (0x454) bitfields 0x1X: Enable MAP_SRC_4 (0x455) and MAP_DST_4 (0x456) bitfields 0x2X: Enable MAP_SRC_5 (0x457) and MAP_DST_5 (0x458) bitfields 0x4X: Enable MAP_SRC_6 (0x459) and MAP_DST_6 (0x45A) bitfields 0x8X: Enable MAP_SRC_7 (0x45B) and MAP_DST_7 (0x45C) bitfields

MIPI_TX12（0x44C）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_EN_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_EN_H	7:0	マッピング有効化の上位バイト[15:8] 各ビットは、進行中のビデオ・ストリームに対する 8 個のマッピングおよび分配エントリ（MAP_SRC_x、MAP_DST_x、MAP_DPHY_DST_x で定義）の対応する 1 つを有効化します。 一致しない仮想チャンネル（VC）とデータ・タイプ（DT）は、対応する CSI2 コントローラに転送されます。 ビデオ・ピクセル・モードでは、このレジスタを使って、VC、DT、CSI2 コントローラのマッピング先を変更することができます。	ValueEnumerationDecode 0xX1: Enable MAP_SRC_8 (0x45D) and MAP_DST_8 (0x45E) bitfields 0xX2: Enable MAP_SRC_9 (0x45F) and MAP_DST_9 (0x460) bitfields 0xX4: Enable MAP_SRC_10 (0x461) and MAP_DST_10 (0x462) bitfields 0xX8: Enable MAP_SRC_11 (0x463) and MAP_DST_11 (0x464) bitfields 0x1X: Enable MAP_SRC_12 (0x465) and MAP_DST_12 (0x466) bitfields 0x2X: Enable MAP_SRC_13 (0x467) and MAP_DST_13 (0x468) bitfields 0x4X: Enable MAP_SRC_14 (0x469) and MAP_DST_14 (0x46A) bitfields 0x8X: Enable MAP_SRC_15 (0x46B) and MAP_DST_15 (0x46C) bitfields

MIPI_TX13（0x44D）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_0	7:0	マッピング元レジスタ 0 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 0

MIPI_TX14（0x44E）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_0	7:0	マッピング先レジスタ 0 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 0

MIPI_TX15（0x44F）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_1	7:0	マッピング元レジスタ 1 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 1

MIPI_TX16（0x450）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_1	7:0	マッピング先レジスタ 1 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 1

MIPI_TX17（0x451）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_2	7:0	マッピング元レジスタ 2 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 2

MIPI_TX18（0x452）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_2	7:0	マッピング先レジスタ 2 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 2

MIPI_TX19（0x453）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_3	7:0	マッピング元レジスタ 3 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 3

MIPI_TX20（0x454）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_3	7:0	マッピング先レジスタ 3 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 3

MIPI_TX21（0x455）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_4[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_4	7:0	マッピング元レジスタ 4 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 4

MIPI_TX22（0x456）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_4[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_4	7:0	マッピング先レジスタ 4 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 4

MIPI_TX23（0x457）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_5[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_5	7:0	マッピング元レジスタ 5 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 5

MIPI_TX24（0x458）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_5[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_5	7:0	マッピング先レジスタ 5 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 5

MIPI_TX25（0x459）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_6[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_6	7:0	マッピング元レジスタ 6 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 6

MIPI_TX26（0x45A）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_6[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_6	7:0	マッピング先レジスタ 6 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 6

MIPI_TX27（0x45B）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_7[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_7	7:0	マッピング元レジスタ 7 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 7

MIPI_TX28（0x45C）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_7[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_7	7:0	マッピング先レジスタ 7 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 7

MIPI_TX29（0x45D）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_8[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_8	7:0	マッピング元レジスタ 8 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 8

MIPI_TX30（0x45E）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_8[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_8	7:0	マッピング先レジスタ 8 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 8

MIPI_TX31（0x45F）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_9[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_9	7:0	マッピング元レジスタ 9 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 9

MIPI_TX32（0x460）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_9[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_9	7:0	マッピング先レジスタ 9 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 9

MIPI_TX33（0x461）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_10[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_10	7:0	マッピング元レジスタ 10 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 10

MIPI_TX34（0x462）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_10[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_10	7:0	マッピング先レジスタ 10 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 10

MIPI_TX35（0x463）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_11[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_11	7:0	マッピング元レジスタ 11 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 11

MIPI_TX36（0x464）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_11[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_11	7:0	マッピング先レジスタ 11 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 11

MIPI_TX37（0x465）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_12[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_12	7:0	マッピング元レジスタ 12 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 12

MIPI_TX38（0x466）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_12[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_12	7:0	マッピング先レジスタ 12 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 12

MIPI_TX39（0x467）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_13[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_13	7:0	マッピング元レジスタ 13 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 13

MIPI_TX40（0x468）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_13[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_13	7:0	マッピング先レジスタ 13 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 13

MIPI_TX41（0x469）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_14[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_14	7:0	マッピング元レジスタ 14 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 14

MIPI_TX42（0x46A）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_14[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_14	7:0	マッピング先レジスタ 14 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 14

MIPI_TX43（0x46B）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_15[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_15	7:0	マッピング元レジスタ 15 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 15

MIPI_TX44（0x46C）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_15[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_15	7:0	マッピング先レジスタ 15 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 15

MIPI_TX45（0x46D）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_3[1:0]		MAP_DPHY_DEST_2[1:0]		MAP_DPHY_DEST_1[1:0]		MAP_DPHY_DEST_0[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_3	7:6	MAP_SRC_3（0x453）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_2	5:4	MAP_SRC_2（0x451）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_1	3:2	MAP_SRC_1（0x44F）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_0	1:0	MAP_SRC_0（0x44D）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX46（0x46E）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_7[1:0]		MAP_DPHY_DEST_6[1:0]		MAP_DPHY_DEST_5[1:0]		MAP_DPHY_DEST_4[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_7	7:6	MAP_SRC_7（0x45B）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_6	5:4	MAP_SRC_6（0x459）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_5	3:2	MAP_SRC_5（0x457）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_4	1:0	MAP_SRC_4（0x455）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX47（0x46F）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_11[1:0]		MAP_DPHY_DEST_10[1:0]		MAP_DPHY_DEST_9[1:0]		MAP_DPHY_DEST_8[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_11	7:6	MAP_SRC_11（0x463）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_10	5:4	MAP_SRC_10（0x461）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_9	3:2	MAP_SRC_9（0x45F）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_8	1:0	MAP_SRC_8（0x45D）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX48（0x470）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_15[1:0]		MAP_DPHY_DEST_14[1:0]		MAP_DPHY_DEST_13[1:0]		MAP_DPHY_DEST_12[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_15	7:6	MAP_SRC_15（0x46B）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_14	5:4	MAP_SRC_14（0x469）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_13	3:2	MAP_SRC_13（0x467）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_12	1:0	MAP_SRC_12（0x465）および MAP_DST_0（0x44E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX50（0x472）

BIT	7	6	5	4	3	2	1	0
Field	SKEW_PER_SEL[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKEW_PER_SEL	7:0	定期的デスキュー選択レジスタ このレジスタは、以下の 3 つのデコード・セグメントに分割されます。 ビット[7]　定期的デスキュー・キャリブレーションを 1 つの仮想チャンネルについて行うか全仮想チャンネルについて行うかを選択 ビット[6:5]　予約済み ビット[4:0]　ビット 7 で 1 つのチャンネルのみが選択された場合に、定期的デスキュー・キャリブレーションを実行する仮想チャンネルを指定	0b0XXXXXXX: Generate periodic calibration deskew calibration on all Virtual Channels 0b1XXX0000: Periodic deskew calibration generated by Virtual Channel 0 0b1XXX0001: Periodic deskew calibration generated by Virtual Channel 1 0b1XXX0010: Periodic deskew calibration generated by Virtual Channel 2 0b1XXX0011: Periodic deskew calibration generated by Virtual Channel 3 0b1XXX0100: Periodic deskew calibration generated by Virtual Channel 4 0b1XXX0101: Periodic deskew calibration generated by Virtual Channel 5 0b1XXX0110: Periodic deskew calibration generated by Virtual Channel 6 0b1XXX0111: Periodic deskew calibration generated by Virtual Channel 7 0b1XXX1000: Periodic deskew calibration generated by Virtual Channel 8 0b1XXX1001: Periodic deskew calibration generated by Virtual Channel 9 0b1XXX1010: Periodic deskew calibration generated by Virtual Channel 10 0b1XXX1011: Periodic deskew calibration generated by Virtual Channel 11 0b1XXX1100: Periodic deskew calibration generated by Virtual Channel 12 0b1XXX1101: Periodic deskew calibration generated by Virtual Channel 13 0b1XXX1110: Periodic deskew calibration generated by Virtual Channel 14 0b1XXX1111: Periodic deskew calibration generated by Virtual Channel 15

MIPI_TX51（0x473）*

BIT	7	6	5	4	3	2	1	0
Field	TUN_WAIT_VS_START[2:0]			ALT2_MEM_MAP8	MODE_DT	ALT_MEM_MAP10	ALT_MEM_MAP8	ALT_MEM_MAP12
Reset	0x0			0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read			Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_WAIT_VS_START	7:5	MIPI パケットを送信するまでに待機する VS フレーム数。 トンネル・モード専用。	0x0: No wait Others: Number of frames to wait
ALT2_MEM_MAP8	4	代替メモリ・マップを 8 ビット DT 用に有効化。 1 に設定された場合、受信したビデオ・データはシリアライザによって代替方式で 24 ビットにパッキングされていると想定します。	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled
MODE_DT	3	MIPI Tx で 8 ビット MIPI UDP の 24 ビット・パッキングを有効化	0b0: Disabled 0b1: Enabled
ALT_MEM_MAP10	2	代替メモリ・マップを 10 ビット DT 用に有効化（シリアライザによる代替ビット・パッキングを想定）	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled
ALT_MEM_MAP8	1	代替メモリ・マップを 8 ビット DT 用に有効化（シリアライザによる代替ビット・パッキングを想定）	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled
ALT_MEM_MAP12	0	代替メモリ・マップを 12 ビット DT 用に有効化（シリアライザによる代替ビット・パッキングを想定）	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled

MIPI_TX52（0x474）*

BIT	7	6	5	4	3	2	1	0
Field	TUN_NO_CORR	DESKEW_TUN[1:0]		TUN_SER_LANE_NUM[1:0]		DESKEW_TUN_SRC	TUN_DEST	TUN_EN
Reset	0b0	0x0		0x1		0b0	0b0	0b0
Access Type	Write, Read	Write, Read		Write, Read		Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_NO_CORR	7	トンネル・モードでのヘッダ・エラー訂正を有効化しません	0b0: Tunneling error correction enabled 0b1: Tunneling error correction disabled
DESKEW_TUN	6:5	CSI2 トンネリングのデスキュー・モード	0b00: Periodic deskew using deserializer DESKEW_PER register 0b01: Periodic deskew follows what Serializer receives with small offset adjustment by DESKEW_TUN_OFFSET. 0b10: Periodic deskew occurrence follows Serializer but width determined by register DESKEW_PER 0b11: Reserved
TUN_SER_LANE_NUM	4:3	シリアライザ内のレーン数 CSI2 トンネリング・モードおよび CPHY モードにのみ適用されます	0b00: One data lane 0b01: Two data lanes 0b10: Three data lanes 0b11: Four data lanes
DESKEW_TUN_SRC	2	トンネリング・デスキュー・ソースの選択	0b0: Pipe Y 0b1: Pipe Z
TUN_DEST	1	トンネリング・パイプの出力先	0b0: MIPI PHY 1 0b1: MIPI PHY 2
TUN_EN	0	トンネリングの有効化 この値は、初期状態で CFG ピンによって設定され、その後、このレジスタへの書込みによって変更されます。	0b0: Tunneling disabled 0b1: Tunneling enabled

MIPI_TX53（0x475）*

BIT	7	6	5	4	3	2	1	0
Field	DESKEW_TUN_OFFSET[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DESKEW_TUN_OFFSET	7:0	トンネリング・デスキュー幅のオフセット	Used for DESKEW_TUN=1 case: increase this number of BCLK (8UI) to the detected deskew pulse width.

MIPI_TX54（0x476）*

BIT	7	6	5	4	3	2	1	0
Field	TUN_PKT_START_ADDR[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
TUN_PKT_START_ADDR	7:0	トンネル・モードにおいて、ロング・パケットの開始アドレスを指定します。 0 の場合、ロング・パケットは、ライン全体がライン・メモリに格納されたときに送出されます。0 以外の場合、ロング・パケットは、TUN_PKT_START_ADDR x 32 バイトがライン・メモリに格納されたときに開始されます。	0xXX: Value x 32 bytes filled in memory is when long packet starts

MIPI_TX55（0x477）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	TUN_NO_CORR_LENGTH
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_NO_CORR_LENGTH	0	トンネル・モードにおいてヘッダ・エラーに対するパケット長補正を有効化しません	0b0: Tunneling error correction enabled 0b1: Tunneling error correction disabled

MIPI_TX1（0x481）*

BIT	7	6	5	4	3	2	1	0
Field	MODE[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MODE	7:0	MIPI Tx モード	0bXXXXXXX0: Disable MIPI VS short packet counter 0bXXXXXXX1: Enable MIPI VS short packet counter

MIPI_TX2（0x482）

BIT	7	6	5	4	3	2	1	0
Field	STATUS[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
STATUS	7:0	MIPI Tx のステータス このレジスタは、以下のデコード・セグメントに分割されます。 ビット[0] SYNC モードの有効化 ビット[1] ビデオ同期フラグ ビット[2] ビデオ同期消失フラグ ビット[3] トンネル・モード：DPHY ECC または CPHY ヘッダ CRC エラー（訂正可能） ビット[4] トンネル・モード：DPHY ECC または CPHY ヘッダ CRC エラー（訂正不能） ビット[5] トンネル・モード：DPHY/CPHY データ CRC エラー	0bXXXXXXX0: SYNC mode disabled 0bXXXXXXX1: SYNC mode enabled 0bXXXXXX0X: Video channels not in-sync 0bXXXXXX1X: Video channels in-sync 0bXXXXX0XX: No loss of video sync 0bXXXXX1XX: Video sync lost after last read of this register or RESET. 0bXXXX0XXX: No tunneling ECC correctable error 0bXXXX1XXX: Tunneling ECC correctable error after last read of this register or RESET. 0bXXX0XXXX: No tunneling ECC uncorrectable error 0bXXX1XXXX: Tunneling ECC uncorrectable error after last read of this register or RESET. 0bXX0XXXXX: No tunneling data CRC error 0bXX1XXXXX: Tunneling data CRC error after last read of this register or RESET.

MIPI_TX3（0x483）

BIT	7	6	5	4	3	2	1	0
Field	DESKEW_INIT[7:0]							
Reset	0x01							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DESKEW_INIT	7:0	DPHY デスキューの初期キャリブレーションの制御 このレジスタは、以下の 6 つのデコード・セグメントに分割されます。 ビット[7] 自動初期デスキュー・キャリブレーションのオン／オフを選択 ビット[6] 予約済み ビット[5] ビット 4 が 1 の場合に、ビットの変更によって初期キャリブレーションが開始されます ビット[4] 手動初期キャリブレーションのオン／オフを選択 ビット[3] 予約済み ビット[2:0] 初期デスキュー幅を選択	0bXXXXX000: Reserved 0bXXXXX001: Initial deskew width = 2 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX010: Initial deskew width = 3 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX011: Initial deskew width = 4 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX100: Initial deskew width = 5 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX101: Initial deskew width = 6 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX110: Initial deskew width = 7 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX111: Initial deskew width = 8 x 32k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXX0XXX: Reserved 0bXXXX1XXX: Reserved 0bXXX0XXXX: Manual initial off 0bXXX1XXXX: Manual initial on 0bXX0XXXXX: If bit 4 = 1, triggers one-time immediate initial skew calibration 0bXX1XXXXX: If bit 4 = 1, triggers one-time immediate initial skew calibration 0bX0XXXXXX: Reserved 0bX1XXXXXX: Reserved 0b0XXXXXXX: Auto initial deskew off 0b1XXXXXXX: Auto initial deskew on

MIPI_TX4（0x484）

BIT	7	6	5	4	3	2	1	0
Field	DESKEW_PER[7:0]							
Reset	0x01							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DESKEW_PER	7:0	DPHY の定期的デスキュー・キャリブレーションの制御 このレジスタは、以下の 4 つのデコード・セグメントに分割されます。 ビット[7] 定期的デスキュー･キャリブレーションのオン／オフを選択 ビット[6] VS の立上がりエッジで発生するか立下がりエッジで発生するかを選択 ビット[5:3] 定期的な間隔を選択 ビット[2:0] 定期的デスキュー幅を選択	0bXXXXX000: Reserved 0bXXXXX001: Periodic deskew width = 2k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX010: Periodic deskew width = 3k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX011: Periodic deskew width = 4k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX100: Periodic deskew width = 5k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX101: Periodic deskew width = 6k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX110: Periodic deskew width = 7k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXXXXX111: Periodic deskew width = 8k UI - (t_lpx+t_hs_przero)[UI] - 16 UI 0bXX000XXX: Periodic deskew calibration generated every frame 0bXX001XXX: Periodic deskew calibration generated every 2 frames 0bXX010XXX: Periodic deskew calibration generated every 4 frames 0bXX011XXX: Periodic deskew calibration generated every 8 frames 0bXX100XXX: Periodic deskew calibration generated every 16 frames 0bXX101XXX: Periodic deskew calibration generated every 32 frames 0bXX110XXX: Periodic deskew calibration generated every 64 frames 0bXX111XXX: Periodic deskew calibration generated every 128 frames 0bX0XXXXXX: Periodic deskew calibration generated at rising edge of VS 0bX1XXXXXX: Periodic deskew calibration generated at falling edge of VS 0b0XXXXXXX: Periodic deskew calibration off 0b1XXXXXXX: Periodic deskew calibration on

MIPI_TX7（0x487）

BIT	7	6	5	4	3	2	1	0
Field	CSI2_TX_GAP[7:0]							
Reset	0x1C							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
CSI2_TX_GAP	7:0	HS クロックが LP になってから次の送信用に再び有効化するまでに待機する MIPI バイト・クロック数	0xXX: Number of MIPI byte clocks

MIPI_TX10（0x48A）*

BIT	7	6	5	4	3	2	1	0
Field	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	CSI_VCX_EN	RSVD[2:0]		
Reset	0b11		0b0	0b1	0b0	0b000		
Access Type	Write, Read		Write, Read		Write, Read			

ビットフィールド	ビット	説明	デコード
CSI2_LANE_CNT	7:6	MIPI のデータ・レーン数を選択します	0b00: One data lane 0b01: Two data lanes 0b10: Three data lanes 0b11: Four data lanes
CSI2_CPHY_EN	5	CPHY を有効化します	0b0: CPHY disabled 0b1: CPHY enabled
CSI_VCX_EN	3	仮想チャンネル（VC）拡張を有効化します	0b0: Disable VC extension 0x1: Enable VC extension

MIPI_TX11（0x48B）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_EN_L[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_EN_L	7:0	マッピング有効化の下位バイト[7:0] 各ビットは、進行中のビデオ・ストリームに対する 8 個のマッピングおよび分配エントリ（MAP_SRC_x、MAP_DST_x、MAP_DPHY_DST_x で定義）の対応する 1 つを有効化します。 一致しない仮想チャンネル（VC）とデータ・タイプ（DT）は、対応する CSI2 コントローラに転送されます。 ビデオ・ピクセル・モードでは、このレジスタを使って、VC、DT、CSI2 コントローラのマッピング先を変更することができます。	0xX1: Enable MAP_SRC_0 (0x48D) and MAP_DST_0 (0x48E) bitfields 0xX2: Enable MAP_SRC_1(0x48F) and MAP_DST_1 (0x490) bitfields 0xX4: Enable MAP_SRC_2 (0x491) and MAP_DST_2 (0x492) bitfields 0xX8: Enable MAP_SRC_3 (0x493) and MAP_DST_3 (0x494) bitfields 0x1X: Enable MAP_SRC_4 (0x495) and MAP_DST_4 (0x496) bitfields 0x2X: Enable MAP_SRC_5 (0x497) and MAP_DST_5 (0x498) bitfields 0x4X: Enable MAP_SRC_6 and (0x499) and MAX_DST_6 (0x49A) bitfields 0x8X: Enable MAP_SRC_7 (0x49B) and MAP_DST_7 (0x49C) bitfields

MIPI_TX12（0x48C）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_EN_H[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_EN_H	7:0	マッピング有効化の上位バイト[15:8] 各ビットは、現在のビデオ・ストリームに対する 8 個のマッピングおよび分配エントリ（MAP_SRC_x、MAP_DST_x、MAP_DPHY_DST_x で定義）の対応する 1 つを有効化します。 一致しない仮想チャンネル（VC）とデータ・タイプ（DT）は、対応する CSI2 コントローラに転送されます。 ビデオ・ピクセル・モードでは、このレジスタを使って、VC、DT、CSI2 コントローラのマッピング先を変更することができます。	0xX1: Enable MAP_SRC_8 (0x49D) and MAP_DST_8 (0x49E) bitfields 0xX2: Enable MAP_SRC_9 (0x49F) and MAP_DST_9 (0x4A0) bitfields 0xX4: Enable MAP_SRC_10 (0x4A1) and MAP_DST_10 (0x4A2) bitfields 0xX8: Enable MAP_SRC_11 (0x4A3) and MAP_DST_11 (0x4A4) bitfields 0x1X: Enable MAP_SRC_12 (0x4A5) and MAP_DST_12 (0x4A6) bitfields 0x2X: Enable MAP_SRC_13 (0x4A7) and MAP_DST_13 (0x4A8) bitfields 0x4X: Enable MAP_SRC_14 (0x4A9) and MAP_DST_14 (0x4AA) bitfields 0x8X: Enable MAP_SRC_15 (0x4AB) and MAP_DST_15 (x4AC) bitfields

MIPI_TX13（0x48D）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_0	7:0	マッピング元レジスタ 0 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 0

MIPI_TX14（0x48E）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_0	7:0	マッピング先レジスタ 0 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 0

MIPI_TX15（0x48F）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_1	7:0	マッピング元レジスタ 1 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 1

MIPI_TX16（0x490）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_1	7:0	マッピング先レジスタ 1 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 1

MIPI_TX17（0x491）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_2	7:0	マッピング元レジスタ 2 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 2

MIPI_TX18（0x492）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド		ビット	説明	デコード
MAP_DST_2	7:0		マッピング先レジスタ 2 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 2

MIPI_TX19（0x493）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_3	7:0	マッピング元レジスタ 3 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 3

MIPI_TX20（0x494）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_3	7:0	マッピング先レジスタ 3 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 3

MIPI_TX21（0x495）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_4[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_4	7:0	マッピング元レジスタ 4 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 4

MIPI_TX22（0x496）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_4[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_4	7:0	マッピング先レジスタ 4 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 4

MIPI_TX23（0x497）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_5[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_5	7:0	マッピング元レジスタ 5 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 5

MIPI_TX24（0x498）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_5[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_5	7:0	マッピング先レジスタ 5 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 5

MIPI_TX25（0x499）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_6[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_6	7:0	マッピング元レジスタ 6 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 6

MIPI_TX26（0x49A）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_6[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_6	7:0	マッピング先レジスタ 6 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 6

MIPI_TX27（0x49B）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_7[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_7	7:0	マッピング元レジスタ 7 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 7

MIPI_TX28（0x49C）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_7[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_77	7:0	マッピング先レジスタ 7 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 7

MIPI_TX29（0x49D）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_8[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_8	7:0	マッピング元レジスタ 8 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 8

MIPI_TX30（0x49E）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_8[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_8	7:0	マッピング先レジスタ 8 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 8

MIPI_TX31（0x49F）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_9[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_9	7:0	マッピング元レジスタ 9 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 9

MIPI_TX32（0x4A0）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_9[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_9	7:0	マッピング先レジスタ 9 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 9

MIPI_TX33（0x4A1）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_10[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_10	7:0	マッピング元レジスタ 10 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 10

MIPI_TX34（0x4A2）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_10[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_10	7:0	マッピング先レジスタ 10 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 10

MIPI_TX35（0x4A3）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_11[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_11	7:0	マッピング元レジスタ 11 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 11

MIPI_TX36（0x4A4）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_11[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_11	7:0	マッピング先レジスタ 11 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 11

MIPI_TX37（0x4A5）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_12[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_12	7:0	マッピング元レジスタ 12 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 12

MIPI_TX38（0x4A6）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_12[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_12	7:0	マッピング先レジスタ 12 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 12

MIPI_TX39（0x4A7）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_13[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_13	7:0	マッピング元レジスタ 13 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 13

MIPI_TX40（0x4A8）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_13[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_13	7:0	マッピング先レジスタ 13 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 13

MIPI_TX41（0x4A9）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_14[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_14	7:0	マッピング元レジスタ 14 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 14

MIPI_TX42（0x4AA）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_14[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_14	7:0	マッピング先レジスタ 14 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 14

MIPI_TX43（0x4AB）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_15[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_SRC_15	7:0	マッピング元レジスタ 15 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT source for map 15

MIPI_TX44（0x4AC）

BIT	7	6	5	4	3	2	1	0
Field	MAP_DST_15[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAP_DST_15	7:0	マッピング先レジスタ 15 このレジスタは、以下の 2 つのデコード・セグメントに分割されます。 ビット[7:6] VC - 仮想チャンネル ビット[5:0] DT - データ・タイプ	0xXX: VC and DT destination for map 15

MIPI_TX45（0x4AD）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_3[1:0]		MAP_DPHY_DEST_2[1:0]		MAP_DPHY_DEST_1[1:0]		MAP_DPHY_DEST_0[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_3	7:6	MAP_SRC_3（0x493）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_2	5:4	MAP_SRC_2（0x491）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_1	3:2	MAP_SRC_1（0x48F）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_0	1:0	MAP_SRC_0（0x48D）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX46（0x4AE）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_7[1:0]		MAP_DPHY_DEST_6[1:0]		MAP_DPHY_DEST_5[1:0]		MAP_DPHY_DEST_4[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_7	7:6	MAP_SRC_7（0x49B）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_6	5:4	MAP_SRC_6（0x499）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_5	3:2	MAP_SRC_5（0x497）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_4	1:0	MAP_SRC_4（0x495）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX47（0x4AF）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_11[1:0]		MAP_DPHY_DEST_10[1:0]		MAP_DPHY_DEST_9[1:0]		MAP_DPHY_DEST_8[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_11	7:6	MAP_SRC_11（0x4A3）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_10	5:4	MAP_SRC_10（0x4A1）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_9	3:2	MAP_SRC_9（0x49F）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_8	1:0	MAP_SRC_8（0x49D）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX48（0x4B0）*

BIT	7	6	5	4	3	2	1	0
Field	MAP_DPHY_DEST_15[1:0]		MAP_DPHY_DEST_14[1:0]		MAP_DPHY_DEST_13[1:0]		MAP_DPHY_DEST_12[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
MAP_DPHY_DEST_15	7:6	MAP_SRC_15（0x4AB）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_14	5:4	MAP_SRC_14（0x4A9）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_13	3:2	MAP_SRC_13（0x4A8）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)
MAP_DPHY_DEST_12	1:0	MAP_SRC_12（0x4A6）および MAP_DST_0（0x48E）マッピング・ビットフィールドに対応する CSI2 コントローラのマッピング先	0b00: Map to DPHY0 (4x2 mode only) 0b01: Map to DPHY1 0b10: Map to DPHY2 0b11: Map to DPHY3 (4x2 mode only)

MIPI_TX50（0x4B2）

BIT	7	6	5	4	3	2	1	0
Field	SKEW_PER_SEL[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKEW_PER_SEL	7:0	定期的デスキュー選択レジスタ このレジスタは、以下の 3 つのデコード・セグメントに分割されます。 ビット[7] 定期的デスキュー・キャリブレーションを 1 つの仮想チャンネルについて行うか全仮想チャンネルについて行うかを選択 ビット[6:5] 予約済み ビット[4:0] ビット 7 で 1 つのチャンネルのみが選択された場合に、定期的デスキュー・キャリブレーションを実行する仮想チャンネルを指定	0b0XXXXXXX: Generate periodic calibration deskew calibration on all virtual channels 0b1XXX0000: Periodic deskew calibration generated by virtual channel 0 0b1XXX0001: Periodic deskew calibration generated by virtual channel 1 0b1XXX0010: Periodic deskew calibration generated by virtual channel 2 0b1XXX0011: Periodic deskew calibration generated by virtual channel 3 0b1XXX0100: Periodic deskew calibration generated by virtual channel 4 0b1XXX0101: Periodic deskew calibration generated by virtual channel 5 0b1XXX0110: Periodic deskew calibration generated by virtual channel 6 0b1XXX0111: Periodic deskew calibration generated by virtual channel 7 0b1XXX1000: Periodic deskew calibration generated by virtual channel 8 0b1XXX1001: Periodic deskew calibration generated by virtual channel 9 0b1XXX1010: Periodic deskew calibration generated by virtual channel 10 0b1XXX1011: Periodic deskew calibration generated by virtual channel 11 0b1XXX1100: Periodic deskew calibration generated by virtual channel 12 0b1XXX1101: Periodic deskew calibration generated by virtual channel 13 0b1XXX1110: Periodic deskew calibration generated by virtual channel 14 0b1XXX1111: Periodic deskew calibration generated by virtual channel 15

MIPI_TX51（0x4B3）

BIT	7	6	5	4	3	2	1	0
Field	TUN_WAIT_VS_START[2:0]			ALT2_MEM_MAP8	MODE_DT	ALT_MEM_MAP10	ALT_MEM_MAP8	ALT_MEM_MAP12
Reset	0x0			0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read			Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_WAIT_VS_START	7:5	MIPI パケットを送信するまでに待機する VS フレーム数。 トンネル・モード専用。	0x0: No wait Others: Number of frames to wait
ALT2_MEM_MAP8	4	代替メモリ・マップを 8 ビット DT 用に有効化 1 に設定された場合、受信したビデオ・データはシリアライザによって代替方式で 24 ビットにパッキングされていると想定します。	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled
MODE_DT	3	MIPI Tx が 8 ビット MIPI UDP の 24 ビット・パッキングを有効化します	0b0: Disabled 0b1: Enabled
ALT_MEM_MAP10	2	代替メモリ・マップを 10 ビット DT 用に有効化（シリアライザによる代替ビット・パッキングを想定）	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled
ALT_MEM_MAP8	1	代替メモリ・マップを 8 ビット DT 用に有効化（シリアライザによる代替ビット・パッキングを想定）	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled
ALT_MEM_MAP12	0	代替メモリ・マップを 12 ビット DT 用に有効化（シリアライザによる代替ビット・パッキングを想定）	0b0: Alternate memory map disabled 0b1: Alternate memory map enabled

MIPI_TX52（0x4B4）*

BIT	7	6	5	4	3	2	1	0
Field	TUN_NO_CORR	DESKEW_TUN[1:0]		TUN_SER_LANE_NUM[1:0]		DESKEW_TUN_SRC	TUN_DEST	TUN_EN
Reset	0b0	0x0		0x1		0b1	0b1	0b0
Access Type	Write, Read	Write, Read		Write, Read		Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_NO_CORR	7	トンネル・モードでのヘッダ・エラー訂正を有効化しません	0b0: Tunneling error correction enabled 0b1: Tunneling error correction disabled
DESKEW_TUN	6:5	CSI2 トンネリングのデスキュー・モード	0b00: Periodic deskew using deserializer DESKEW_PER register 0b01: Periodic deskew follows what Serializer receives with small offset adjustment by DESKEW_TUN_OFFSET. 0b10: Periodic deskew occurrence follows Serializer but width determined by register DESKEW_PER 0b11: Reserved
TUN_SER_LANE_NUM	4:3	シリアライザ内のレーン数 CSI2 トンネリング・モードおよび CPHY モードにのみ適用されます	0b00: One data lane 0b01: Two data lanes 0b10: Three data lanes 0b11: Four data lanes
DESKEW_TUN_SRC	2	トンネリング・デスキュー・ソースの選択	0b0: Pipe Y 0b1: Pipe Z
TUN_DEST	1	トンネリング・パイプの出力先	0b0: MIPI PHY 1 0b1: MIPI PHY 2
TUN_EN	0	トンネリングの有効化 この値は、初期状態で CFG ピンによって設定され、その後、このレジスタへの書込みによって変更されます。	0b0: Tunneling disabled 0b1: Tunneling enabled

MIPI_TX53（0x4B5）*

BIT	7	6	5	4	3	2	1	0
Field	DESKEW_TUN_OFFSET[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
DESKEW_TUN_OFFSET	7:0	トンネリング・デスキュー幅のオフセット	Used for DESKEW_TUN=1 case: increase this number of BCLK (8UI) to the detected deskew pulse width.

MIPI_TX54（0x4B6）*

BIT	7	6	5	4	3	2	1	0
Field	TUN_PKT_START_ADDR[7:0]							
Reset	0x0							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
TUN_PKT_START_ADDR	7:0	トンネル・モードにおいて、ロング・パケットの開始アドレスを指定します。 0 の場合、ロング・パケットは、ライン全体がライン・メモリに格納されたときに送出されます。0 以外の場合、ロング・パケットは、TUN_PKT_START_ADDR x 32 バイトがライン・メモリに格納されたときに開始されます。	0xXX: Value x 32 bytes filled in memory is when long packet starts

MIPI_TX55（0x4B7）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	TUN_NO_CORR_LENGTH
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_NO_CORR_LENGTH	0	トンネル・モードにおいてヘッダ・エラーに対するパケット長補正を有効化しません	0b0: Tunneling error correction enabled 0b1: Tunneling error correction disabled

MIPI_TX10（0x4CA）*

BIT	7	6	5	4	3	2	1	0
Field	CSI2_LANE_CNT[1:0]		CSI2_CPHY_EN	RSVD	–	–	–	–
Reset	0b11		0b0	0b1	–	–	–	–
Access Type	Write, Read		Write, Read		–	–	–	–

ビットフィールド	ビット	説明	デコード
CSI2_LANE_CNT	7:6	MIPI のデータ・レーン数を選択します	0b00: One data lane for port 0b01: Two data lanes for port 0b10: Three data lanes for port 0b11: Four data lanes for port
CSI2_CPHY_EN	5	CPHY を有効化します	0b0: CPHY disabled 0b1: CPHY enabled

MIPI_TX_EXT0（0x510）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_0_H[2:0]			MAP_DST_0_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_0_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_0_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT1（0x511）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_1_H[2:0]			MAP_DST_1_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_1_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_1_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT2（0x512）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_2_H[2:0]			MAP_DST_2_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_2_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_2_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT3（0x513）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_3_H[2:0]			MAP_DST_3_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_3_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_3_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT4（0x514）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_4_H[2:0]			MAP_DST_4_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_4_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_4_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT5（0x515）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_5_H[2:0]			MAP_DST_5_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_5_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_5_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT6（0x516）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_6_H[2:0]			MAP_DST_6_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_6_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_6_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT7（0x517）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_7_H[2:0]			MAP_DST_7_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_7_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_7_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT8（0x518）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_8_H[2:0]			MAP_DST_8_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_8_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_8_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT9（0x519）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_9_H[2:0]			MAP_DST_9_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_9_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_9_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT10（0x51A）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_10_H[2:0]			MAP_DST_10_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_10_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_10_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT11（0x51B）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_11_H[2:0]			MAP_DST_11_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_11_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_11_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT12（0x51C）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_12_H[2:0]			MAP_DST_12_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_12_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_12_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT13（0x51D）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_13_H[2:0]			MAP_DST_13_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_13_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_13_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT14（0x51E）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_14_H[2:0]			MAP_DST_14_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_14_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_14_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT15（0x51F）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_15_H[2:0]			MAP_DST_15_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_15_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_15_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT0（0x520）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_0_H[2:0]			MAP_DST_0_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_0_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_0_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT1（0x521）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_1_H[2:0]			MAP_DST_1_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_1_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_1_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT2（0x522）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_2_H[2:0]			MAP_DST_2_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_2_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_2_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT3（0x523）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_3_H[2:0]			MAP_DST_3_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_3_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_3_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT4（0x524）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_4_H[2:0]			MAP_DST_4_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_4_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_4_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT5（0x525）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_5_H[2:0]			MAP_DST_5_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_5_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_5_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT6（0x526）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_6_H[2:0]			MAP_DST_6_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_6_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_6_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT7（0x527）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_7_H[2:0]			MAP_DST_7_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_7_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_7_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT8（0x528）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_8_H[2:0]			MAP_DST_8_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_8_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_8_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT9（0x529）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_9_H[2:0]			MAP_DST_9_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_9_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_9_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT10（0x52A）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_10_H[2:0]			MAP_DST_10_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_10_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_10_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT11（0x52B）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_11_H[2:0]			MAP_DST_11_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_11_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_11_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT12（0x52C）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_12_H[2:0]			MAP_DST_12_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_12_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_12_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT13（0x52D）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_13_H[2:0]			MAP_DST_13_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_13_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_13_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT14（0x52E）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_14_H[2:0]			MAP_DST_14_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_14_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_14_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

MIPI_TX_EXT15（0x52F）

BIT	7	6	5	4	3	2	1	0
Field	MAP_SRC_15_H[2:0]			MAP_DST_15_H[2:0]			–	–
Reset	0b000			0b000			–	–
Access Type	Write, Read			Write, Read			–	–

ビットフィールド	ビット	説明	デコード
MAP_SRC_15_H	7:5	拡張モードにおける VC ソースの上位 3 ビット	0xX: VC source MSBs
MAP_DST_15_H	4:2	拡張モードにおける VC ディスティネーションの上位 3 ビット	0xX: VC destination MSBs

CFG_0（0x540）

BIT	7	6	5	4	3	2	1	0
Field	VS_OUT1[2:0]			RSVD[4:0]				
Reset	0b000			0b00000				
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_OUT1	7:5	VS1 ピンから VSYNC を出力します。 MSB は有効化されています。 LSB の 2 ビットで、どのビデオ・パイプラインの VSYNC を出力するかを選択します。	0x0: Reserved 0x1: From Video Pipeline Y 0x2: From Video Pipeline Z 0x3: Reserved

CFG_1（0x541）

BIT	7	6	5	4	3	2	1	0
Field	VS_OUT2[2:0]			RSVD[4:0]				
Reset	0b000			0b00000				
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VS_OUT2	7:5	VS2 ピンから VSYNC を出力します。 MSB は有効化されています。 LSB の 2 ビットで、どのビデオ・パイプラインの VSYNC を出力するかを選択します。	0x0: Reserved 0x1: From Video Pipeline Y 0x2: From Video Pipeline Z 0x3: Reserved

CFG_2（0x542）

BIT	7	6	5	4	3	2	1	0
Field	HS_OUT1[2:0]			RSVD[4:0]				
Reset	0b000			0b00000				
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HS_OUT1	7:5	HS1 ピンから DE/DV を出力します。 MSB は有効化されています。 LSB の 2 ビットで、どのビデオ・パイプラインの DE/DV を出力するかを選択します。	0x0: Reserved 0x1: From Video Pipeline Y 0x2: From Video Pipeline Z 0x3: Reserved

UART_PT_0（0x548）*

BIT	7	6	5	4	3	2	1	0
Field	BITLEN_PT_1_L[7:0]							
Reset	0x96							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
BITLEN_PT_1_L	7:0	パススルーUART チャンネル 1 のカスタム UART ビット長。 この値を使用するには、BITLEN_MAN_CFG_1（0x4F）を 1 にセットします。 このレジスタを、UART ビット長を 6.666ns で除算した値（LSB 8 ビット）に設定します。	0xXX: Low byte of custom UART bit length for pass-through UART Channel 1

UART_PT_1（0x549）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	BITLEN_PT_1_H[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明	デコード
BITLEN_PT_1_H	5:0	パススルーUART チャンネル 1 のカスタム UART ビット長の上位バイト。 この値を使用するには、BITLEN_MAN_CFG_1 (0x4F) を 1 にセットします。 このレジスタを、UART ビット長を 6.666ns で除算した値（LSB 8 ビット）に設定します。	0xXX: High byte of custom UART bit length for pass-through UART Channel 1

UART_PT_2（0x54A）*

BIT	7	6	5	4	3	2	1	0
Field	BITLEN_PT_2_L[7:0]							
Reset	0x96							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
BITLEN_PT_2_L	7:0	パススルーUART チャンネル 2 のカスタム UART ビット長の下位バイト。 この値を使用するには、BITLEN_MAN_CFG_2 (0x4F) を 1 にセットします。 このレジスタを、UART ビット長を 6.666ns で除算した値（LSB 8 ビット）に設定します。	0xXX: Low byte of custom UART bit length for pass-through UART Channel 2

UART_PT_3（0x54B）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	BITLEN_PT_2_H[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明	デコード
BITLEN_PT_2_H	5:0	パススルーUART チャンネル 2 のカスタム UART ビット長の上位バイト。 この値を使用するには、BITLEN_MAN_CFG_1 (0x4F) を 2 にセットします。 このレジスタを、UART ビット長を 6.666ns で除算した値（LSB 8 ビット）に設定します。	0xXX: High byte of custom UART bit length for pass-through UART Channel 2

I2C_PT_4（0x550）

BIT	7	6	5	4	3	2	1	0
Field	SRC_A_1[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
SRC_A_1	7:1	パススルー1 ポート用の I²C アドレス変換ソース A。 GMSL リンクを介した I²C トランザクションのデバイス・アドレスが I²C SRC_A_1 と一致した場合、リモート側で見えるデバイス・アドレスは、I²C DST_A_1 のデバイス・アドレスに置き換えられます。

I2C_PT_5（0x551）

BIT	7	6	5	4	3	2	1	0
Field	DST_A_1[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
DST_A_1	7:1	パススルー1 ポート用の I²C アドレス変換先 A。 SRC_A_1 の説明を参照してください。

I2C_PT_6（0x552）

BIT	7	6	5	4	3	2	1	0
Field	SRC_B_1[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
SRC_B_1	7:1	パススルー1 ポート用の I²C アドレス変換ソース B。 GMSL リンクを介した I²C トランザクションのデバイス・アドレスが I²C SRC_B_1 と一致した場合、リモート側で見えるデバイス・アドレスは、I²C DST_B_1 のデバイス・アドレスに置き換えられます。

I2C_PT_7（0x553）

BIT	7	6	5	4	3	2	1	0
Field	DST_B_1[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
DST_B_1	7:1	パススルー1 ポート用の I2C アドレス変換先 B。 SRC_B_1 の説明を参照してください。

I2C_PT_8（0x554）

BIT	7	6	5	4	3	2	1	0
Field	SRC_A_2[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
SRC_A_2	7:1	パススルー2 ポート用の I²C アドレス変換ソース A。 GMSL リンクを介した I²C トランザクションのデバイス・アドレスが I²C SRC_A_2 と一致した場合、リモート側で見えるデバイス・アドレスは、I²C DST_A_2 のデバイス・アドレスに置き換えられます。

I2C_PT_9（0x555）

BIT	7	6	5	4	3	2	1	0
Field	DST_A_2[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
DST_A_2	7:1	パススルー2 ポート用の I²C アドレス変換先 A。 SRC_A_2 の説明を参照してください。

I2C_PT_10（0x556）

BIT	7	6	5	4	3	2	1	0
Field	SRC_B_2[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
SRC_B_2	7:1	パススルー2 ポート用の I²C アドレス変換ソース B。 GMSL リンクを介した I²C トランザクションのデバイス・アドレスが I²C SRC_B_2 と一致した場合、リモート側で見えるデバイス・アドレスは、I²C DST_B_2 のデバイス・アドレスに置き換えられます。

I2C_PT_11（0x557）

BIT	7	6	5	4	3	2	1	0
Field	DST_B_2[6:0]							–
Reset	0x00							–
Access Type	Write, Read							–

ビットフィールド	ビット	説明
DST_B_2	7:1	パススルー2 ポート用の I²C アドレス変換先 B。 SRC_B_2 の説明を参照してください。

CNT4（0x55C）

BIT	7	6	5	4	3	2	1	0
Field	VID_PXL_CRC_ERR0[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明
VID_PXL_CRC_ERR0	7:0	ビデオ・ストリームで検出されたビデオ・ピクセル CRC エラーの合計数。読出し後、または LOCK の立上がりエッジで、リセットされます。

CNT5（0x55D）

BIT	7	6	5	4	3	2	1	0
Field	VID_PXL_CRC_ERR1[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明
VID_PXL_CRC_ERR1	7:0	ビデオ・ストリームで検出されたビデオ・ピクセル CRC エラーの合計数。読出し後、または LOCK の立上がりエッジで、リセットされます。

CNT6（0x55E）

BIT	7	6	5	4	3	2	1	0
Field	VID_PXL_CRC_ERR2[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明
VID_PXL_CRC_ERR2	7:0	ビデオ・ストリームで検出されたビデオ・ピクセル CRC エラーの合計数。読出し後、または LOCK の立上がりエッジで、リセットされます。

CNT7（0x55F）

BIT	7	6	5	4	3	2	1	0
Field	VID_PXL_CRC_ERR3[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明
VID_PXL_CRC_ERR3	7:0	ビデオ・ストリームで検出されたビデオ・ピクセル CRC エラーの合計数。読出し後、または LOCK の立上がりエッジで、リセットされます。

PORT_TUN_ONLY（0x568）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	TUN_ONLY_2	TUN_ONLY_1	TUN_ONLY_CC
Reset	–	–	–	–	–	0b1	0b1	0b0
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
TUN_ONLY_2	2	RX2/SDA2 および TX2/SCL2 からのコントロール・チャンネルへのアクセスを無効化します	0x0: CC and Tunnel 0x1: Tunnel only
TUN_ONLY_1	1	RX1/SDA1 および TX1/SCL1 からのコントロール・チャンネルへのアクセスを無効化します	0x0: CC and Tunnel 0x1: Tunnel only
TUN_ONLY_CC	0	RX/SDA および TX/SCL からのコンロトール・チャンネルへのアクセスを無効化します	0x0: CC and Tunnel 0x1: Tunnel only

UNLOCK_KEY（0x569）*

BIT	7	6	5	4	3	2	1	0
Field	UNLOCK_KEY[7:0]							
Reset	0xAA							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
UNLOCK_KEY	7:0	DIS_LOCAL_CC、IIC_1_EN、IIC_2_EN、UART_1_EN、UART_2_EN 、 TUN_ONLY_CC 、 TUN_ONLY_1 、TUN_ONLY_2 の各ポート制御ピンへの書込みアクセスを有効化するには、このレジスタがアンロック値になっていなくてはなりません。 デフォルトはアンロックです。	0xAA: Unlock write access Others: Lock write access

PIO_SLEW_0（0x570）*

BIT	7	6	5	4	3	2	1	0
Field	PIO03_SLEW[1:0]		PIO02_SLEW[1:0]		PIO01_SLEW[1:0]		PIO00_SLEW[1:0]	
Reset	0b11		0b11		0b11		0b10	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明
PIO03_SLEW	7:6	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP3 に対応します。

ビットフィールド	ビット	説明
PIO02_SLEW	5:4	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP2 に対応します。
PIO01_SLEW	3:2	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP1 に対応します。
PIO00_SLEW	1:0	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP0 に対応します。

PIO_SLEW_1（0x571）*

BIT	7	6	5	4	3	2	1	0
Field	PIO07_SLEW[1:0]		–	–	–	–	PIO04_SLEW[1:0]	
Reset	0b10		–	–	–	–	0b11	
Access Type	Write, Read		–	–	–	–	Write, Read	

ビットフィールド	ビット	説明
PIO07_SLEW	7:6	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP5 に対応します。
PIO04_SLEW	1:0	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP4 に対応します。

PIO_SLEW_2（0x572）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	PIO08_SLEW[1:0]	
Reset	–	–	–	–	–	–	0b10	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明
PIO08_SLEW	1:0	この PIO に対応するパッド・リングでの立上がり時間および立下がり時間設定。 値が 00 の場合、立上がりおよび立下がりが最も速く、値が 11 の場合は最も遅くなります。 この PIO は MFP6 に対応します。

HS_VS_ACT_Y（0x575）

BIT	7	6	5	4	3	2	1	0
Field	–	DE_DET_Y	VS_DET_Y	HS_DET_Y	–	–	VS_POL_Y	HS_POL_Y
Reset	–	0b0	0b0	0b0	–	–	0b0	0b0
Access Type	–	Read Only	Read Only	Read Only	–	–	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
DE_DET_Y	6	DE のアクティビティを検出したことを示します	0x0: DE is not detected 0x1: DE is detected

ビットフィールド	ビット	説明	デコード
VS_DET_Y	5	VS のアクティビティを検出したことを示します	0x0: VS is not detected 0x1: VS is detected
HS_DET_Y	4	HS のアクティビティを検出したことを示します	0x0: HS is not detected 0x1: HS is detected
VS_POL_Y	1	検出された VS の極性	0x0: Active low 0x1: Active high
HS_POL_Y	0	検出された HS の極性	0x0: Active low 0x1: Active high

HS_VS_ACT_Z（0x576）

BIT	7	6	5	4	3	2	1	0
Field	–	DE_DET_Z	VS_DET_Z	HS_DET_Z	–	–	VS_POL_Z	HS_POL_Z
Reset	–	0b0	0b0	0b0	–	–	0b0	0b0
Access Type	–	Read Only	Read Only	Read Only	–	–	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
DE_DET_Z	6	DE のアクティビティを検出したことを示します	0x0: DE is not detected 0x1: DE is detected
VS_DET_Z	5	VS のアクティビティを検出したことを示します	0x0: VS is not detected 0x1: VS is detected
HS_DET_Z	4	HS のアクティビティを検出したことを示します	0x0: HS is not detected 0x1: HS is detected
VS_POL_Z	1	検出された VS の極性	0x0: Active low 0x1: Active high
HS_POL_Z	0	検出された HS の極性	0x0: Active low 0x1: Active high

DP_ORSTB_CTL（0x577）*

BIT	7	6	5	4	3	2	1	0
Field	–	DP_RST_MIPI3_CHKB	DP_RST_STABLE_CHKB	DP_RST_MIPI2_CHKB	DP_RST_MIPI_CHKB	DP_RST_VP_CHKB	RSVD	RSVD
Reset	–	0b1	0b1	0b0	0b0	0b0	0b0	0b0
Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
DP_RST_MIPI3_CHKB	6	MIPI コントローラのリセット・モードを選択します。必要に応じてこのビットを 1 に設定すると、完全に独立してリセットできるようになり、リンク A とリンク B のリンクアップも独立して行えるようになります。	0x0: Legacy 0x1: Enable auto reset of command FIFO read pointer (controls line memory output to MIPI TX) in MIPI TX
DP_RST_STABLE_CHKB	5	レジスタ値を変更する際のリセット・モードを選択します	0x0: Legacy 0x1: Prevent resets while control register values are changing
DP_RST_MIPI2_CHKB	4	MIPI コントローラのリセット・モードを選択します。必要に応じてこのビットを 1 に設定すると、完全に独立してリセットできるようになり、リンク A とリンク B のリンクアップも独立して行えるようになります。	0x0: Legacy 0x1: Independent reset functionality. Enable auto reset of MIPI controllers.

ビットフィールド	ビット	説明	デコード
DP_RST_MIPI_CHKB	3	MIPI コントローラのリセット・モードを選択します	0x0: Legacy 0x1: Independent reset functionality. This enables RST_MIPITX_LOC[3:0] (0x33F) to reset controllers individually.
DP_RST_VP_CHKB	2	VIDEO_RX（VRX）ブロックのリセット・モードを選択します。必要に応じてこのビットを 1 に設定すると、完全に独立してリセットできるようになり、リンク A とリンク B のリンクアップも独立して行えるようになります。	0x0: Legacy 0x1: Independent reset functionality

PM_OV_STAT2（0x578）*

BIT	7	6	5	4	3	2	1	0
Field	VTERM_OV_OEN	VREG_OV_OEN	VTERM_OV_LEVEL[1:0]		RSVD[1:0]		VREG_OV_LEVEL[1:0]	
Reset	0b0	0b0	0x1		0x1		0x1	
Access Type	Write, Read	Write, Read	Write, Read				Write, Read	

ビットフィールド	ビット	説明	デコード
VTERM_OV_OEN	7	V_{TERM} 過電圧ステータスを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VREG_OV_OEN	6	V_{REG}（LDO により安定化された V_{DD}）過電圧ステータスを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VTERM_OV_LEVEL	5:4	V_{TERM} 過電圧コンパレータのトリップ・レベル	0x0: 1.32V 0x1: 1.35V 0x2: 1.38V 0x3: 1.41V
VREG_OV_LEVEL	1:0	V_{REG}（LDO により安定化された V_{DD}）過電圧コンパレータのトリップ・レベル	0x0: 1.32V 0x1: 1.35V 0x2: 1.38V 0x3: 1.41V

PM_OV_STAT3（0x579）

BIT	7	6	5	4	3	2	1	0
Field	VTERM_OV_FLAG	VREG_OV_FLAG	RSVD	–	RSVD	RSVD	RSVD	RSVD
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All		–				

ビットフィールド	ビット	説明	デコード
VTERM_OV_FLAG	7	V_{TERM} 過電圧のスティッキー・ステータス値	0b0: Overvoltage condition not detected 0b1: Overvoltage condition detected
VREG_OV_FLAG	6	V_{REG}（LDO により安定化された V_{DD}）の過電圧に対するスティッキー・ステータス値	0b0: Overvoltage condition not detected 0b1: Overvoltage condition detected

UART_0（0x808）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	REM_MS_EN_1	LOC_MS_EN_1	–	BYPASS_TO_1[1:0]		BYPASS_EN_1
Reset	–	–	0b0	0b0	–	0b01		0b0
Access Type	–	–	Write, Read	Write, Read	–	Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
REM_MS_EN_1	5	リモート GPIO ピンによる UART バイパス・モード制御を有効化します。 セットされると、リモート・チップの GPIO が MS ピン（UART モードの選択）として使用されます。MS がハイの場合、チップはバイパス・モードになります。MS がローの場合、チップはベース・モードになります。	0b0: UART bypass mode not controlled by remote MS pin 0b1: UART bypass mode controlled by remote MS pin
LOC_MS_EN_1	4	ローカル GPIO ピンによる UART バイパス・モード制御を有効化します。 セットされると、GPIO2 ピンが MS ピン（UART モードの選択）として使用されます。MS がハイの場合、チップはバイパス・モードになります。MS がローの場合、チップはベース・モードになります。	0b0: UART bypass mode not controlled by local MS pin 0b1: UART bypass mode controlled by local MS pin
BYPASS_TO_1	2:1	UART ソフトバイパス・タイムアウト時間。 11 に設定した場合、BYPASS_EN は決してクリアされません。そのため、デバイスは次にパワーダウンされるまでバイパス・モードのままになります。	0b00: 2ms 0b01: 8ms 0b10: 32ms 0b11: Disabled
BYPASS_EN_1	0	UART ソフトバイパス・モードを有効化します。 バイパス・モードは、UART 動作が行われる限りアクティブのままです。選択した時間（BYPASS_TO ビットフィールドによって設定）の間 UART の動作がない場合、デバイスはバイパス・モードを終了し、ビットは自動的にクリアされます。	0b0: UART soft-bypass mode disabled 0b1: UART soft-bypass mode enabled

UART_1（0x809）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	REM_MS_EN_2	LOC_MS_EN_2	–	BYPASS_TO_2[1:0]		BYPASS_EN_2
Reset	–	–	0b0	0b0	–	0b01		0b0
Access Type	–	–	Write, Read	Write, Read	–	Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
REM_MS_EN_2	5	リモート GPIO ピンによる UART バイパス・モード制御を有効化します。 セットされると、リモート・チップの GPIO が MS ピン（UART モードの選択）として使用されます。MS がハイの場合、チップはバイパス・モードになります。MS がローの場合、チップはベース・モードになります。	0b0: UART bypass mode not controlled by remote MS pin 0b1: UART bypass mode controlled by remote MS pin

ビットフィールド	ビット	説明	デコード
LOC_MS_EN_2	4	ローカル GPIO ピンによる UART バイパス・モード制御を有効化します。 セットされると、GPIO2 ピンが MS ピン（UART モードの選択）として使用されます。MS がハイの場合、チップはバイパス・モードになります。MS がローの場合、チップはベース・モードになります。	0b0: UART bypass mode not controlled by local MS pin 0b1: UART bypass mode controlled by local MS pin
BYPASS_TO_2	2:1	UART ソフトバイパス・タイムアウト時間。 11 に設定した場合、BYPASS_EN は決してクリアされません。そのため、デバイスは次にパワーダウンされるまでバイパス・モードのままになります。	0b00: 2ms 0b01: 8ms 0b10: 32ms 0b11: Disabled
BYPASS_EN_2	0	UART ソフトバイパス・モードを有効化します。 バイパス・モードは、UART 動作が行われる限りアクティブのままです。選択した時間（BYPASS_TO ビットフィールドによって設定）の間 UART の動作がない場合、デバイスはバイパス・モードを終了し、ビットは自動的にクリアされます。	0b0: UART soft-bypass mode disabled 0b1: UART soft-bypass mode enabled

I2C_PT_0（0x80E）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	I2C_REGSLV_0_TIMED_OUT	–	–	RSVD	I2C_INTREG_SLV_TO[2:0]		
Reset	0b0	0x0	–	–	0b0	0x6		
Access Type		Read Only	–	–		Write, Read		

ビットフィールド	ビット	説明	デコード
I2C_REGSLV_0_TIMED_OUT	6	プライマリ・コントロール・チャンネルに対応する内部レジスタ用 I²C セカンダリが、メインまたは内部レジスタ・アクセス FSM の応答を待っている間にタイムアウトしたことを示します。	0x0: Internal I²C-to-Register subordinate for Primary Control Channel 0 has not timed out 0x1: Internal I²C-to-Register subordinate for Primary Control Channel 0 has timed out
I2C_INTREG_SLV_TO	2:0	内部レジスタ用 I²C セカンダリ 0 のタイムアウトの設定。 内部レジスタ用 I²C セカンダリ 0 は、設定された時間内に外部メインまたは内部レジスタ FSM から応答がない場合にタイムアウトします。このセカンダリは I²C プライマリ・コントロール・チャンネルに対応しています。	0b000: 1ms 0b001: 2ms 0b010: 4ms 0b011: 8ms 0b100: 16ms 0b101: 32ms 0b110: 35ms 0b111: Disabled

I2C_PT_1（0x80F）*

BIT	7	6	5	4	3	2	1	0
Field	I2C_REGSLV_2_TIMED_OUT	I2C_REGSLV_1_TIMED_OUT	I2C_INTREG_SLV_2_TO[2:0]			I2C_INTREG_SLV_1_TO[2:0]		
Reset	0x0	0x0	0x6			0x6		
Access Type	Read Only	Read Only	Write, Read			Write, Read		

ビットフィールド	ビット	説明	デコード
I2C_REGSLV_2_TIMED_OUT	7	パススルー・ポート 2 に対応する内部レジスタ用 I²C セカンダリが、メインまたは内部レジスタ・アクセス FSM の応答を待っている間にタイムアウトしたことを示します。	0x0: Internal I²C-to-Register subordinate for Pass-Through Port 2 has not timed out 0x1: Internal I²C-to-Register subordinate for Pass-Through Port 2 has timed out
I2C_REGSLV_1_TIMED_OUT	6	パススルー・ポート 1 に対応する内部レジスタ用 I²C セカンダリが、メインまたは内部レジスタ・アクセス FSM の応答を待っている間にタイムアウトしたことを示します。	0x0: Internal I²C-to-Register subordinate for Pass-Through Port 1 has not timed out 0x1: Internal I²C-to-Register subordinate for Pass-Through Port 1 has timed out
I2C_INTREG_SLV_2_TO	5:3	内部レジスタ用 I²C セカンダリ 2 のタイムアウトの設定。 内部レジスタ用 I²C セカンダリ 2 は、設定された時間内に外部メインまたは内部レジスタ FSM から応答がない場合にタイムアウトします。このセカンダリは、I²C パススルー・ポート 2 に対応しています。	0b000: 1ms 0b001: 2ms 0b010: 4ms 0b011: 8ms 0b100: 16ms 0b101: 32ms 0b110: 35ms 0b111: Disabled
I2C_INTREG_SLV_1_TO	2:0	内部レジスタ用 I²C セカンダリ 1 のタイムアウトの設定。 内部レジスタ用 I²C セカンダリ 1 は、設定された時間内に外部メインまたは内部レジスタ FSM から応答がない場合にタイムアウトします。このセカンダリは、I²C パススルー・ポート 1 に対応しています。	0b000: 1ms 0b001: 2ms 0b010: 4ms 0b011: 8ms 0b100: 16ms 0b101: 32ms 0b110: 35ms 0b111: Disabled

GMSL1_EN（0xF00）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	LINK_EN_B	LINK_EN_A
Reset	–	–	–	–	–	–	0b1	0b1
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LINK_EN_B	1	リンク B を有効化します	0x0: Disable Link B 0x1: Enable Link B
LINK_EN_A	0	リンク A を有効化します	0x0: Disable Link A 0x1: Enable Link A

SPI_CC_WR_（0x1300）

GMSL リンクを介して書き込む SPI データ。GMSL リンクを介して書込みデータを送信するには、このアドレス空間を用います。

SPI_CC_RD_（0x1380）

GMSL リンクを介して読み出す SPI データ。GMSL リンクを介して送信されたデータを読み出すには、このアドレス空間を用います。

RLMS3（0x1403、0x1503）

BIT	7	6	5	4	3	2	1	0
Field	AdaptEn	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
Reset	0b0	0b0	0b0	0b0	0b1	0x0	0b10	
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
AdaptEn	7	適応プロセスの有効化	0b0: Disable 0b1: Enable

RLMS4（0x1404、0x1504）

BIT	7	6	5	4	3	2	1	0
Field	EOM_CHK_AMOUNT[3:0]				EOM_CHK_THR[1:0]		EOM_PER_MODE	EOM_EN
Reset	0x4				0b10		0b1	0b1
Access Type	Write, Read				Write, Read		Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
EOM_CHK_AMOUNT	7:4	各アイ開口モニタ・ウィンドウの観察数のオーダーを選択するために用いられるファクタ（N）。 N は次の式で用いられます： 観察数 = 6.29 x $10^{(N+2)}$	0xX: N factor
EOM_CHK_THR	3:2	アイ開口モニタの測定ウィンドウ内で許容されるエラー・ビット数	0b00: Allow no errors 0b01: Allow one error 0b10: Allow two errors 0b11: Allow three errors
EOM_PER_MODE	1	アイ開口モニタの周期モードの有効化	0b0: Eye-opening monitor periodic mode disabled 0b1: Eye-opening monitor periodic mode enabled
EOM_EN	0	アイ開口モニタの有効化	0b0: Eye-opening monitor disabled 0b1: Eye-opening monitor enabled

RLMS5（0x1405、0x1505）

BIT	7	6	5	4	3	2	1	0
Field	EOM_MAN_TRG_REQ	EOM_MIN_THR[6:0]						
Reset	0b0	0b0010000						
Access Type	Write Only	Write, Read						

ビットフィールド	ビット	説明	デコード
EOM_MAN_TRG_REQ	7	アイ開口モニタの手動トリガ。 周期モードが無効の場合に使用されます。	0b0: No action 0b1: EOM manual trigger request

ビットフィールド	ビット	説明	デコード
EOM_MIN_THR	6:0	アイ開口モニタ（EOM)の最小スレッショルドは アイ開口率（%）= EOM_MIN_THR/64 で定義されます。 この値がゼロの場合、EOM は無効です。	0bXXXXXXX: Eye-opening monitor minimum threshold factor

RLMS6（0x1406、0x1506）

BIT	7	6	5	4	3	2	1	0
Field	EOM_PV_MODE	EOM_RST_THR[6:0]						
Reset	0b1	0b0000000						
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明	デコード
EOM_PV_MODE	7	アイ開口を垂直方向または水平方向に測定します	0b0: Vertical opening mode 0b1: Horizontal opening mode
EOM_RST_THR	6:0	アイ開口モニタのリフレッシュ・スレッショルドは アイ開口率（%） = EOM_MIN_THR/64 で定義されます。 この値がゼロの場合、EOM は無効です。	0bXXXXXXX: EOM refresh threshold factor

RLMS7（0x1407、0x1507）

BIT	7	6	5	4	3	2	1	0
Field	EOM_DONE	EOM[6:0]						
Reset	0b0	0b0000000						
Access Type	Read Only	Read Only						

ビットフィールド	ビット	説明	デコード
EOM_DONE	7	アイ開口モニタ測定が完了したことを示します	0b0: EOM not complete 0b1: EOM complete
EOM	6:0	最後に完了した EOM 観察結果	0bXXXXXXX: EOM measurement result

RLMSA（0x140A、0x150A）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD[1:0]		DFEAdpDly[3:0]			
Reset	0x0	0x0	0b00		0x8			
Access Type					Write, Read			

ビットフィールド	ビット	説明	デコード
DFEAdpDly	3:0	DFE の適応が有効になるまでの遅延（ミリ秒）（デフォルト値は低速レシーバ向けに 4）	0xXX: Delay in milliseconds

RLMSB（0x140B、0x150B）

BIT	7	6	5	4	3	2	1	0
Field	AGCAcqDly[3:0]				RSVD[3:0]			
Reset	0x4				0x4			
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
AGCAcqDly	7:4	AGC アクイジション遅延（ミリ秒）	0x0: 1ms 0x1: 2ms 0x2: 3ms 0x3: 4ms 0x4: 5ms 0x5: 6ms 0x6: 7ms 0x7: 8ms 0x8: 9ms 0x9: 10ms 0xA: 12ms 0xB: 15ms 0xC: 20ms 0xD: 25ms 0xE: 32ms 0xF: 63ms

RLMS18（0x1418、0x1518）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD[2:0]			RSVD	VgaHiGain	RSVD[1:0]	
Reset	0x0	0x0			0b1	0b1	0b11	
Access Type						Write, Read		

ビットフィールド	ビット	説明	デコード
VgaHiGain	2	55nm FR VGA には、FFE 段の代わりに追加ゲイン段があります。この制御ビット（VgaHiGain）は、このゲイン段が他の段に追従するか、あるいは高ゲイン・モードで動作するかを設定します。	0: High Gain Stage Tracks VGA 1: VGA High Gain Stage Mode

RLMS1F（0x141F、0x151F）

BIT	7	6	5	4	3	2	1	0
Field	AGCInitG2[7:0]							
Reset	0xA7							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
AGCInitG2	7:0	G2 モードの AGC の初期値	0x00: Maximum gain 0xFF: Minimum gain

RLMS21（0x1421、0x1521）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	–	BSTMuH[5:0]					
Reset	0x0	–	0x04					
Access Type		–	Write, Read					

ビットフィールド	ビット	説明	デコード
BSTMuH	5:0	BST 適応ゲインの MSB	0xXX: BST adapt gain MSBs

RLMS23（0x1423、0x1523）

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	BSTInit[5:0]					
Reset	–	0b1	0b000101					
Access Type	–		Write, Read					

ビットフィールド	ビット	説明	デコード
BSTInit	5:0	BST の初期値 （デフォルト値は低速レシーバ向けに 0）	0xXX: BST initial value

RLMS31（0x1431、0x1531）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	–	OSNMuH[5:0]					
Reset	0b0	–	0b011000					
Access Type		–	Write, Read					

ビットフィールド	ビット	説明	デコード
OSNMuH	5:0	OSN 適応ゲインの MSB	0xXX: OSN adapt gain MSBs

RLMS3E（0x143E、0x153E）

BIT	7	6	5	4	3	2	1	0
Field	ErrChPhSecTAFR6G	ErrChPhSecFR6G[6:0]						
Reset	0b1	0b0010100						
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明	デコード
ErrChPhSecTAFR6G	7	エラー・チャンネル位相のタイミング調整（セカンダリ）	0b0: Sample on rising clock edge 0b1: Sample on falling clock edge
ErrChPhSecFR6G	6:0	エラー・チャンネルのサンプリング・ポイント位相調整（セカンダリ（奇数））	0xXX: 2 UI / 127

RLMS3F（0x143F、0x153F）

BIT	7	6	5	4	3	2	1	0
Field	ErrChPhPriTAFR6G	ErrChPhPriFR6G[6:0]						
Reset	0b0	0b1010100						
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明	デコード
ErrChPhPriTAFR6G	7	エラー・チャンネル位相のタイミング調整（プライマリ）	0b0: Sample on rising clock edge 0b1: Sample on falling clock edge
ErrChPhPriFR6G	6:0	エラー・チャンネルのサンプリング・ポイント位相調整（プライマリ（偶数））	0xXX: 2 UI / 127

RLMS45（0x1445、0x1545）

BIT	7	6	5	4	3	2	1	0
Field	CRULpCtrlSREn	CRUSSCSelSREn	RSVD[1:0]		RSVD	RSVD[2:0]		
Reset	0b1	0b1	0b00		0b1	0b000		
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明	デコード
CRULpCtrlSREn	7	CRU ループ制御のためのオーバーライドを有効化。オーバーライドを有効化した場合、ユーザがプログラムした CRULpCtrl レジスタ値（RLMS46 レジスタ内）を用いて CRU ループ制御を行います。	0: Override is disabled 1: Override is enabled
CRUSSCSelSREn	6	CRU SSC SEL のためのオーバーライドを有効化（低速レシーバ専用）	0b0: Disable 0b1: Enable

RLMS46（0x1446、0x1546）

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]				RSVD	CRULpCtrl[2:0]		
Reset	0xB				0b0	0b011		
Access Type						Write, Read		

ビットフィールド	ビット	説明	デコード
CRULpCtrl	2:0	高速レシーバおよび低速レシーバ用の CRU ループ制御。 オーバーライドが無効の場合、低速レシーバのレートには以下の値が用いられます。 レート 11=101 レート 10=011 レート 01=001 レート 00=000	0b000: 1 CRU edge (highest bandwidth) 0b001: 2 CRU edges 0b010: 1 CRU edge 0b011: 4 CRU edges (default setting) 0b100: 4 CRU edges 0b101: 8 CRU edges 0b110: 4 CRU edges 0b111: 16 CRU edges (lowest bandwidth)

RLMS47（0x1447、0x1547）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	CRUSSCSel[1:0]		RSVD
Reset	0b0	0b0	0b0	0b0	0b0	0b01		0b1
Access Type						Write, Read		

ビットフィールド	ビット	説明
CRUSSCSel	2:1	CRU スペクトラム拡散調整の選択。 オーバーライド無効時の低速レシーバ用 レート 11=10 レート 10=10 レート 01=01 レート 00=01

RLMS49（0x1449、0x1549）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	ErrChPwrUp	–	RSVD
Reset	0x1	0b1	0b1	0b1	0b0	0b1	–	0b1
Access Type						Write, Read	–	

ビットフィールド	ビット	説明	デコード
ErrChPwrUp	2	エラー・チャンネル・パワーダウン	0b0: Periodically power down 0b1: Remain powered up

RLMS64（0x1464、0x1564）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]				RSVD	RSVD	TxSSCMode[1:0]	
Reset	0x9				0x0	0b0	0b00	
Access Type							Write, Read	

ビットフィールド	ビット	説明	デコード
TxSSCMode	1:0	Tx スペクトラム拡散モード	00: Spread spectrum disabled 01: Reserved 10: Reserved 11: Spread spectrum enabled (center spread)

RLMS70（0x1470、0x1570）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	TxSSCFrqCtrl[6:0]						
Reset	0b0	0b0000001						
Access Type		Write, Read						

ビットフィールド	ビット	説明	デコード
TxSSCFrqCtrl	6:0	Tx SSC 変調度（周波数偏差）制御	0x07: SSC 268 PPM 0x06: SSC 580 PPM 0x03: SSC 970 PPM 0x01: SSC 1750 PPM 0x01: SSC 2530 PPM Others: Reserved

RLMS71（0x1471、0x1571）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	TxSSCCenSprSt[5:0]						TxSSCEn
Reset	0x0	0b000001						0b0
Access Type		Write, Read						Write, Read

ビットフィールド	ビット	説明	デコード
TxSSCCenSprSt	6:1	Tx SSC 中心拡散開始位相	0x02: Set this value if SSC Generation is enabled (RLMS64) 0x00: Otherwise
TxSSCEn	0	Tx スペクトラム拡散の有効化	0b0: Tx spread spectrum disabled 0b1: Tx spread spectrum enabled

RLMS72（0x1472、0x1572）*

BIT	7	6	5	4	3	2	1	0
Field	TxSSCPreSclL[7:0]							
Reset	0xCF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
TxSSCPreSclL	7:0	Tx SSC 周波数プリスケーラ・ビット[7:0]。デコード値はビット[7:0]に対するもので、これが TXSSCPreSclH と連結されて最終値となります。	0xC9: SSC 268 PPM 0xAB: SSC 580 PPM 0xAB: SSC 970 PPM 0xF9: SSC 1750 PPM 0xAB: SSC 2530 PPM Others: Reserved

RLMS73（0x1473、0x1573）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD[4:0]					TxSSCPreSclH[2:0]		
Reset	0x00					0b000		
Access Type						Write, Read		

ビットフィールド	ビット	説明	デコード
TxSSCPreSclH	2:0	Tx SSC 周波数プリスケーラ・ビット[10:8] 。 デコード値はビット[10:8]に対するもので、これがTXSSCPreSclL と連結されて最終値となります。	0xC9: SSC 268 PPM 0xAB: SSC 580 PPM 0xAB: SSC 970 PPM 0xF9: SSC 1750 PPM 0xAB: SSC 2530 PPM Others: Reserved

RLMS74（0x1474、0x1574）*

BIT	7	6	5	4	3	2	1	0
Field	TxSSCPhL[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
TxSSCPhL	7:0	Tx SSC 位相アキュムレータ・インクリメント・ビット[7:0]。 デコード値はビット[7:0]に対するもので、これがTXSSCPhH と連結されて最終値となります。	0xC9: SSC 268 PPM 0xAB: SSC 580 PPM 0xAB: SSC 970 PPM 0xF9: SSC 1750 PPM 0xAB: SSC 2530 PPM Others: Reserved

RLMS75（0x1475、0x1575）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	TxSSCPhH[6:0]						
Reset	0b0	0b0000000						
Access Type		Write, Read						

ビットフィールド	ビット	説明	デコード
TxSSCPhH	6:0	Tx SSC 位相アキュムレータ・インクリメント・ビット[14:8]。 デコード値はビット[14:8]に対するもので、これがTXSSCPhL と連結されて最終値となります。	0x01: If SSC Generation enabled (RLMS64) and desired spread is 268 PPM 0x07: If SSC Generation enabled (RLMS64) and desired spread is 580 PPM 0x07: If SSC Generation enabled (RLMS64) and desired spread is 970 PPM 0x05: If SSC Generation enabled (RLMS64) and desired spread is 1750 PPM 0x07: If SSC Generation enabled (RLMS64) and desired spread is 2530 PPM Others: Reserved

RLMS8C（0x148C、0x158C）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	cap_pre_out_rlms[6:0]						
Reset	0b0	0b0000000						
Access Type		Write, Read						

ビットフィールド	ビット	説明	デコード
cap_pre_out_rlms	6:0	オーバーライドされている場合の RLMS 時の cap_preout 値	0xXX: cap_preout value

RLMS95（0x1495、0x1595）

BIT	7	6	5	4	3	2	1	0
Field	TxAmplManEn	RSVD	TxAmplMan[5:0]					
Reset	0b0	0b1	0b101001					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
TxAmplManEn	7	Tx 振幅の手動オーバーライド	0: Do not manually override TX amplitude 1: Manually override TX amplitude
TxAmplMan	5:0	Tx 振幅	0bXXXXXX: Binary amplitude 10mV per count

RLMS98（0x1498、0x1598）

BIT	7	6	5	4	3	2	1	0
Field	Cal_cap_pre_out_en	RSVD	RSVD[2:0]			RSVD[2:0]		
Reset	0b0	0b1	0b000			0b000		
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
Cal_cap_pre_out_en	7	RLMS 時の cap_pre_out の手動オーバーライドを有効化します	0b0: Disable 0b1: Enable

RLMSA4（0x14A4、0x15A4）

BIT	7	6	5	4	3	2	1	0
Field	AEQ_PER_MULT[1:0]		AEQ_PER[5:0]					
Reset	0b10		0b111101					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
AEQ_PER_MULT	7:6	アダプティブ EQ の周期の乗数	00: 1ms 01: 4ms 10: 16ms 11: 64ms
AEQ_PER	5:0	アダプティブ EQ の周期。 値が 0 の場合、周期的なアダプテーションは無効になります。 アダプティブ EQ の周期は、(AEQ_PER の値 × AEQ_PER_MULT)です。	

RLMSA5（0x14A5、0x15A5）

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		PHYC_WBLOCK_DLY[1:0]		RSVD[1:0]		RSVD[1:0]	
Reset	0b01		0b01		0b00		0b00	
Access Type			Write, Read					

ビットフィールド	ビット	説明	デコード
PHYC_WBLOCK_DLY	5:4	PHY コントローラのワード境界ロックの開始遅延	00: 1ms 01: 2ms 10: 4ms 11: 8ms

RLMSA7（0x14A7、0x15A7）

BIT	7	6	5	4	3	2	1	0
Field	MAN_CTRL_EN	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
MAN_CTRL_EN	7	PHY コントローラのマニュアル・モードの有効化	0b0: PHY controller manual mode disabled 0b1: PHY controller manual mode enabled

RLMSA8（0x14A8、0x15A8）

BIT	7	6	5	4	3	2	1	0
Field	FW_PHY_CTRL	FW_PHY_PU_TX	FW_PHY_RSTB	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read					

ビットフィールド	ビット	説明	デコード
FW_PHY_CTRL	7	PHY コントローラのファームウェア・モードの有効化	0b0: Disable 0b1: Enable
FW_PHY_PU_TX	6	PHY コントローラ出力をオーバーライドします	0b0: Power down TX 0b1: Power up TX
FW_PHY_RSTB	5	PHY コントローラ出力をオーバーライドします	0b0: Reset asserted 0b1: Reset deasserted

RLMSA9（0x14A9、0x15A9）

BIT	7	6	5	4	3	2	1	0
Field	FW_REPCAL_RSTB	RSVD	FW_TXD_SQUELCH	FW_TXD_EN	FW_RXD_EN	RSVD	RSVD	RSVD
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read		Write, Read	Write, Read	Write, Read			

ビットフィールド	ビット	説明	デコード
FW_REPCAL_RSTB	7	PHY コントローラ出力をオーバーライドします	0b0: Reset asserted 0b1: Reset deasserted
FW_TXD_SQUELCH	5	PHY コントローラ出力をオーバーライドします	0b0: Disable 0b1: Enable
FW_TXD_EN	4	PHY コントローラ出力をオーバーライドします	0b0: Disable 0b1: Enable
FW_RXD_EN	3	PHY コントローラ出力をオーバーライドします	0b0: Disable 0b1: Enable

RLMSAC（0x14AC、0x15AC）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	ErrChPhSecFR3G[6:0]						
Reset	0b1	0x20						
Access Type		Write, Read						

ビットフィールド	ビット	説明	デコード
ErrChPhSecFR3G	6:0	エラー・チャンネル位相（セカンダリ（奇数））	0xXX: Phase secondary value

RLMSAD（0x14AD、0x15AD）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	ErrChPhPriFR3G[6:0]						
Reset	0b0	0x60						
Access Type		Write, Read						

ビットフィールド	ビット	説明	デコード
ErrChPhPriFR3G	6:0	エラー・チャンネル位相（プライマリ（偶数））	0xXX: Phase primary value

DPLL_0（0x1C00）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
Reset	0b1	0b1	0b1	0b1	0b0	0b1	0b0	0b1
Access Type								Write, Read

ビットフィールド	ビット	説明	デコード
config_soft_rst_n	0	このビットを 0 に設定すると、PLL 機能レジスタがリセットされますが、config_regs はリセットされません。	0b0: Reset asserted 0b1: Reset deasserted

DPLL_3（0x1C03）*

BIT	7	6	5	4	3	2	1	0
Field	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
Reset	0b1	0b0	0b0	0b0	0b0	0b010		
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
config_sel_clock_out_use_external	7	1 の場合、出力クロックの選択に i_sel_clock_out が用いられます。それ以外の場合は、内部レジスタが用いられます。	
config_disable_div_out_exp	6	div_out_exp を 7 に設定すると、分周器が無効化されます	0b0: Disable 0b1: Enable
config_use_internal_pll_mode_values	5	内部の pll_mode 制御をバイパスし、config_reg 値を使用します	0b0: Disable 0b1: Enable
config_use_internal_divider_values	4	全ての分周値が内部制御で決まるようにします	0b0: Disable 0b1: Enable

DPLL_7（0x1C07）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
Reset	0b0	0b00001					0b00	
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明
config_div_fb_L	7	i_div_use_external = 0 の場合に帰還分周値を設定します
config_div_in	6:2	i_clk_in（メイン PLL クロック入力）に接続されている入力分周器の分周値を設定します

DPLL_8（0x1C08）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_H[7:0]							
Reset	0x14							
Access Type	Write, Read							

ビットフィールド	ビット	説明
config_div_fb_H	7:0	i_div_use_external = 0 の場合に帰還分周値を設定します

DPLL_10（0x1C0A）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
Reset	0b1	0b000			0x1			
Access Type		Write, Read						

ビットフィールド	ビット	説明
config_div_out_exp	6:4	i_div_use_external = 0 の場合に出力指数分周値を設定します

DPLL_0（0x1D00）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
Reset	0b1	0b1	0b1	0b1	0b0	0b1	0b0	0b1
Access Type								Write, Read

ビットフィールド	ビット	説明	デコード
config_soft_rst_n	0	このビットを 0 に設定すると、PLL 機能レジスタがリセットされますが、config_regs はリセットされません。	0b0: Reset asserted 0b1: Reset deasserted

DPLL_3（0x1D03）*

BIT	7	6	5	4	3	2	1	0
Field	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
Reset	0b1	0b0	0b0	0b0	0b0	0b010		
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
config_sel_clock_out_use_external	7	1 の場合、出力クロックの選択に i_sel_clock_out が用いられます。それ以外の場合は、内部レジスタが用いられます。	
config_disable_div_out_exp	6	div_out_exp を 7 に設定すると、分周器が無効化されます	0b0: Disable 0b1: Enable
config_use_internal_pll_mode_values	5	内部の pll_mode 制御をバイパスし、config_reg 値を使用します	0b0: Disable 0b1: Enable
config_use_internal_divider_values	4	全ての分周値が内部制御で決まるようにします	0b0: Disable 0b1: Enable

DPLL_7（0x1D07）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
Reset	0b0	0b00001					0b00	
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明
config_div_fb_L	7	i_div_use_external = 0 の場合に帰還分周値を設定します
config_div_in	6:2	i_clk_in（メイン PLL クロック入力）に接続されている入力分周器の分周値を設定します

DPLL_8（0x1D08）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_H[7:0]							
Reset	0x14							
Access Type	Write, Read							

ビットフィールド	ビット	説明
config_div_fb_H	7:0	i_div_use_external = 0 の場合に帰還分周値を設定します

DPLL_10（0x1D0A）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
Reset	0b1	0b000			0x1			
Access Type		Write, Read						

ビットフィールド	ビット	説明
config_div_out_exp	6:4	i_div_use_external = 0 の場合に出力指数分周値を設定します

DPLL_0（0x1E00）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
Reset	0b1	0b1	0b1	0b1	0b0	0b1	0b0	0b1
Access Type								Write, Read

ビットフィールド	ビット	説明	デコード
config_soft_rst_n	0	このビットを 0 に設定すると、PLL 機能レジスタがリセットされますが、config_regs はリセットされません	0b0: Reset asserted 0b1: Reset deasserted

DPLL_3（0x1E03）*

BIT	7	6	5	4	3	2	1	0
Field	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
Reset	0b1	0b0	0b0	0b0	0b0	0b010		
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
config_sel_clock_out_use_external	7	1 の場合、出力クロックの選択に i_sel_clock_out が用いられます。それ以外の場合は、内部レジスタが用いられます。	
config_disable_div_out_exp	6	div_out_exp を 7 に設定すると、分周器が無効化されます	0b0: Disable 0b1: Enable
config_use_internal_pll_mode_values	5	内部の pll_mode 制御をバイパスし、config_reg 値を使用します	0b0: Disable 0b1: Enable
config_use_internal_divider_values	4	全ての分周値が内部制御で決まるようにします	0b0: Disable 0b1: Enable

DPLL_7（0x1E07）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
Reset	0b0	0b00001					0b00	
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明
config_div_fb_L	7	i_div_use_external = 0 の場合に帰還分周値を設定します
config_div_in	6:2	i_clk_in（メイン PLL クロック入力）に接続されている入力分周器の分周値を設定します

DPLL_8（0x1E08）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_H[7:0]							
Reset	0x14							
Access Type	Write, Read							

ビットフィールド	ビット	説明
config_div_fb_H	7:0	i_div_use_external = 0 の場合に帰還分周値を設定します

DPLL_10（0x1E0A）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
Reset	0b1	0b000			0x1			
Access Type		Write, Read						

ビットフィールド	ビット	説明
config_div_out_exp	6:4	i_div_use_external = 0 の場合に出力指数分周値を設定します

DPLL_0（0x1F00）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	config_soft_rst_n
Reset	0b1	0b1	0b1	0b1	0b0	0b1	0b0	0b1
Access Type								Write, Read

ビットフィールド	ビット	説明	デコード
config_soft_rst_n	0	このビットを 0 に設定すると、PLL 機能レジスタがリセットされますが、config_regs はリセットされません	0b0: Reset asserted 0b1: Reset deasserted

DPLL_3（0x1F03）*

BIT	7	6	5	4	3	2	1	0
Field	config_sel_clock_out_use_external	config_disable_div_out_exp	config_use_internal_pll_mode_values	config_use_internal_divider_values	RSVD	RSVD[2:0]		
Reset	0b1	0b0	0b0	0b0	0b0	0b010		
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
config_sel_clock_out_use_external	7	1 の場合、出力クロックの選択に i_sel_clock_out が用いられます。それ以外の場合は、内部レジスタが用いられます。	
config_disable_div_out_exp	6	div_out_exp を 7 に設定すると、分周器が無効化されます	0b0: Disable 0b1: Enable
config_use_internal_pll_mode_values	5	内部の pll_mode 制御をバイパスし、config_reg 値を使用します	0b0: Disable 0b1: Enable
config_use_internal_divider_values	4	全ての分周値が内部制御で決まるようにします	0b0: Disable 0b1: Enable

DPLL_7（0x1F07）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_L	config_div_in[4:0]					RSVD[1:0]	
Reset	0b0	0b00001					0b00	
Access Type	Write, Read	Write, Read						

ビットフィールド	ビット	説明
config_div_fb_L	7	i_div_use_external = 0 の場合に帰還分周値を設定します
config_div_in	6:2	i_clk_in（メイン PLL クロック入力）に接続されている入力分周器の分周値を設定します

DPLL_8（0x1F08）

BIT	7	6	5	4	3	2	1	0
Field	config_div_fb_H[7:0]							
Reset	0x14							
Access Type	Write, Read							

ビットフィールド	ビット	説明
config_div_fb_H	7:0	i_div_use_external = 0 の場合に帰還分周値を設定します

DPLL_10（0x1F0A）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	config_div_out_exp[2:0]			RSVD[3:0]			
Reset	0b1	0b000			0x1			
Access Type		Write, Read						

ビットフィールド	ビット	説明
config_div_out_exp	6:4	i_div_use_external = 0 の場合に出力指数分周値を設定します

CLEAR_STATS（0x2000）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	CLEAR_BITS_CORRECTED	CLEAR_BLOCKS_UNCORRECTABLE	CLEAR_BLOCKS_PROCESSED	CLEAR_ALL_STATS
Reset	–	–	–	–	0b0	0b0	0b0	0b0
Access Type	–	–	–	–	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read

ビットフィールド	ビット	説明	デコード
CLEAR_BITS_CORRECTED	3	FEC によって訂正されたビット数を示すカウンタをクリアします	0b0: Do not clear 0b1: Clear

ビットフィールド	ビット	説明	デコード
CLEAR_BLOCKS_UNCORRECTABLE	2	訂正不能 FEC ブロック数を示すカウンタをクリアします	0b0: Do not clear 0b1: Clear
CLEAR_BLOCKS_PROCESSED	1	処理された FEC ブロック数を示すカウンタをクリアします	0b0: Do not clear 0b1: Clear
CLEAR_ALL_STATS	0	全ての FEC 統計情報およびカウンタをクリアします	0b0: Do not clear 0b1: Clear

STATS_CONTROL（0x2001）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	STATS_ENABLE
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
STATS_ENABLE	0	リンク A の FEC 統計情報の収集を有効化します	0b0: Disable 0b1: Enable

CORRECTED_THRESHOLD_0（0x2008）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_0	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10 進数）。ビット[7:0]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

CORRECTED_THRESHOLD_1（0x2009）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_1	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10 進数）。ビット[15:8]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

CORRECTED_THRESHOLD_2（0x200A）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_2	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10進数）。ビット[23:16]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

CORRECTED_THRESHOLD_3（0x200B）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_3	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10進数）。ビット[31:24]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

ERROR_THRESHOLD_0（0x200C）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_0[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_0	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10進数）。ビット[7:0]。

ERROR_THRESHOLD_1（0x200D）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_1	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10進数）。ビット[15:8]。

ERROR_THRESHOLD_2（0x200E）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_2	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10 進数）。ビット[23:16]。

ERROR_THRESHOLD_3（0x200F）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_3	7:0	FEC エラーがアサートされる前に観測される未訂正ブロックの数のスレッショルド（10 進数）。ビット[31:24]。

BLOCKS_UNCORRECTABLE_0（0x2020）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_0[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_0	7:0	訂正不能ブロックの数。ビット[7:0]。

BLOCKS_UNCORRECTABLE_1（0x2021）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_1[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_1	7:0	訂正不能ブロックの数。ビット[15:8]。

BLOCKS_UNCORRECTABLE_2（0x2022）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_2[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_2	7:0	訂正不能ブロックの数。ビット[23:16]。

BLOCKS_UNCORRECTABLE_3（0x2023）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_3[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_3	7:0	訂正不能ブロックの数。ビット[31:24]。

BITS_CORRECTED_0（0x2024）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_0[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_0	7:0	訂正されたビット・エラーの数。ビット[7:0]。

BITS_CORRECTED_1（0x2025）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_1[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_1	7:0	訂正されたビット・エラーの数。ビット[15:8]。

BITS_CORRECTED_2（0x2026）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_2[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_2	7:0	訂正されたビット・エラーの数。ビット[23:16]。

BITS_CORRECTED_3（0x2027）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_3[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_3	7:0	訂正されたビット・エラーの数。ビット[31:24]。

BLOCKS_PROCESSED_0（0x2028）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_0[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_0	7:0	処理された 120 ビット単位のブロックの数。ビット[7:0]。

BLOCKS_PROCESSED_1（0x2029）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_1[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_1	7:0	処理された 120 ビット単位のブロックの数。ビット[15:8]。

BLOCKS_PROCESSED_2（0x202A）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_2[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_2	7:0	処理された 120 ビット単位のブロックの数。ビット[23:16]。

BLOCKS_PROCESSED_3（0x202B）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_3[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_3	7:0	処理された 120 ビット単位のブロックの数。ビット[31:24]。

CLEAR_STATS（0x2100）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	CLEAR_BITS_CORRECTED_B	CLEAR_BLOCKS_UNCORRECTABLE_B	CLEAR_BLOCKS_PROCESSED_B	CLEAR_ALL_STATS_B
Reset	–	–	–	–	0b0	0b0	0b0	0b0
Access Type	–	–	–	–	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read

ビットフィールド	ビット	説明	デコード
CLEAR_BITS_CORRECTED_B	3	FEC によって訂正されたビット数を示すカウンタをクリアします	0b0: Do not clear 0b1: Clear
CLEAR_BLOCKS_UNCORRECTABLE_B	2	訂正不能 FEC ブロック数を示すカウンタをクリアします	0b0: Do not clear 0b1: Clear
CLEAR_BLOCKS_PROCESSED_B	1	処理された FEC ブロック数を示すカウンタをクリアします	0b0: Do not clear 0b1: Clear
CLEAR_ALL_STATS_B	0	全ての FEC 統計情報およびカウンタをクリアします	0b0: Do not clear 0b1: Clear

STATS_CONTROL（0x2101）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	STATS_ENABLE_B
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
STATS_ENABLE_B	0	リンク B の FEC 統計情報の収集を有効化します	0b0: Disable 0b1: Enable

CORRECTED_THRESHOLD_0（0x2108）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_0_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_0_B	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10 進数）。ビット[7:0]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

CORRECTED_THRESHOLD_1（0x2109）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_1_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_1_B	7:0	FEC エラーがアサートされる前に観測されるビット・エラーの数のスレッショルド（10 進数）。ビット[15:8]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

CORRECTED_THRESHOLD_2（0x210A）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_2_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_2_B	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10 進数）。ビット[23:16]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

CORRECTED_THRESHOLD_3（0x210B）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_THRESHOLD_3_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_THRESHOLD_3_B	7:0	FEC エラーがアサートされる前に観測されるビット・エラー数のスレッショルド（10 進数）。ビット[31:24]。 FEC エラー・フラグがアサートされず、発生した訂正可能エラーが正しく訂正されるように、ここは最大値に設定してください。

ERROR_THRESHOLD_0（0x210C）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_0_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_0_B	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10 進数）。ビット[7:0]。

ERROR_THRESHOLD_1（0x210D）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_1_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_1_B	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10 進数）。ビット[15:8]。

ERROR_THRESHOLD_2（0x210E）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_2_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_2_B	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10 進数）。ビット[23:16]。

ERROR_THRESHOLD_3（0x210F）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTED_ERROR_THRESHOLD_3_B[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
UNCORRECTED_ERROR_THRESHOLD_3_B	7:0	FEC エラーがアサートされる前に観測される未訂正ブロック数のスレッショルド（10 進数）。ビット[31:24]。

BLOCKS_UNCORRECTABLE_0（0x2120）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_0_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_0_B	7:0	訂正不能ブロックの数。ビット[7:0]。

BLOCKS_UNCORRECTABLE_1（0x2121）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_1_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_1_B	7:0	訂正不能ブロックの数。ビット[15:8]。

BLOCKS_UNCORRECTABLE_2（0x2122）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_2_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_2_B	7:0	訂正不能ブロックの数。ビット[23:16]。

BLOCKS_UNCORRECTABLE_3（0x2123）

BIT	7	6	5	4	3	2	1	0
Field	UNCORRECTABLE_BLOCKS_3_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
UNCORRECTABLE_BLOCKS_3_B	7:0	訂正不能ブロックの数。ビット[31:24]。

BITS_CORRECTED_0（0x2124）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_0_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_0_B	7:0	訂正されたビット・エラーの数。ビット[7:0]。

BITS_CORRECTED_1（0x2125）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_1_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_1_B	7:0	訂正されたビット・エラーの数。ビット[15:8]。

BITS_CORRECTED_2（0x2126）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_2_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_2_B	7:0	訂正されたビット・エラーの数。ビット[23:16]。

BITS_CORRECTED_3（0x2127）

BIT	7	6	5	4	3	2	1	0
Field	BIT_ERRS_CORRECTED_3_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BIT_ERRS_CORRECTED_3_B	7:0	訂正されたビット・エラーの数。ビット[31:24]。

BLOCKS_PROCESSED_0（0x2128）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_0_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_0_B	7:0	処理された 120 ビット単位のブロックの数。ビット[7:0]。

BLOCKS_PROCESSED_1（0x2129）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_2_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_1_B	7:0	処理された 120 ビット単位のブロックの数。ビット[15:8]。

BLOCKS_PROCESSED_2（0x212A）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_2_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_2_B	7:0	処理された 120 ビット単位のブロックの数。ビット[23:16]。

BLOCKS_PROCESSED_3（0x212B）

BIT	7	6	5	4	3	2	1	0
Field	BLOCKS_PROCESSED_3_B[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
BLOCKS_PROCESSED_3_B	7:0	処理された 120 ビット単位のブロックの数。ビット[31:24]。

REGCRC0（0x3000）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	RSVD	GEN_ROLLING_CRC	I2C_WR_COMPUTE	PERIODIC_COMPUTE	CHECK_CRC	RESET_CRC
Reset	–	–	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	–	–		Write, Read	Write, Read	Write, Read	Write, Read	Write Clears All, Read

ビットフィールド	ビット	説明	デコード
GEN_ROLLING_CRC	4	4 回の呼び出しごとに CRC 値が繰り返されるように、追加の 2 ビット・カウンタを用いて CRC を計算します	0b0: Disable 0b1: Enable
I2C_WR_COMPUTE	3	I^2C レジスタ書込みごとに CRC 計算を実行します	0b0: Disable 0b1: Enable
PERIODIC_COMPUTE	2	CRC_PERIOD 値に基づき周期的に CRC チェックを実行します	0b0: Disable 0b1: Enable
CHECK_CRC	1	初回を除き、CRC を計算するたびに前回の計算結果と比較します。 一致しない場合、ERRB を発行します。	0b0: Disable 0b1: Enable
RESET_CRC	0	CRC 値を 16'FFFF にリセットします	0b0: Reset deasserted 0b1: Reset asserted

REGCRC1（0x3001）*

BIT	7	6	5	4	3	2	1	0
Field	CRC_PERIOD[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
CRC_PERIOD	7:0	CRC の再計算周期。 このレジスタの値により、CRC 計算のタイミングを変更できます。 周期 = (値 + 1) x 2ms 0000_0000 - 2ms 0000_0001 - 4ms ...

REGCRC2（0x3002）

BIT	7	6	5	4	3	2	1	0
Field	REGCRC_LSB[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
REGCRC_LSB	7:0	CRC 結果の LSB

REGCRC3（0x3003）

BIT	7	6	5	4	3	2	1	0
Field	REGCRC_MSB[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
REGCRC_MSB	7:0	CRC 結果の MSB

I2C_UART_CRC0（0x3008）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	RESET_MSGCNTR
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write Clears All, Read

ビットフィールド	ビット	説明	デコード
RESET_MSGCNTR	0	メッセージ・カウンタ値を 0 にリセットします	

I2C_UART_CRC1（0x3009）*

BIT	7	6	5	4	3	2	1	0
Field	MSGCNTR_ERR_THR[2:0]			CRC_ERR_THR[2:0]			RESET_MSGCNTR_ERR_CNT	RESET_CRC_ERR_CNT
Reset	0b0			0b0			0b0	0b0
Access Type	Write, Read			Write, Read			Write Clears All, Read	Write Clears All, Read

ビットフィールド	ビット	説明	デコード
MSGCNTR_ERR_THR	7:5	I²C/UART CRC エラー報告のスレッショルド。 • CRC_ERR_CNT ≥ CRC_ERR_THR の場合、I2C_UART_CRC_ERR_INT がアサートされます。	0b000: 1 0b001: 2 0b010: 4 0b011: 8 0b101: 16 0b101: 32 0b110: 64 0b111: 128
CRC_ERR_THR	4:2	I²C/UART CRC エラー報告のスレッショルド。 • CRC_ERR_CNT ≥ CRC_ERR_THR の場合、I2C_UART_CRC_ERR_INT がアサートされます。	0b000: 1 0b001: 2 0b010: 4 0b011: 8 0b101: 16 0b101: 32 0b110: 64 0b111: 128
RESET_MSGCNTR_ERR_CNT	1	メッセージ・カウンタのエラー・カウントを 0 にリセットします	0b0: Reset deasserted 0b1: Reset asserted
RESET_CRC_ERR_CNT	0	CRC エラー・カウントを 0 にリセットします	0b0: Reset deasserted 0b1: Reset asserted

I2C_UART_CRC2（0x300A）

BIT	7	6	5	4	3	2	1	0
Field	CRC_VAL[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
CRC_VAL	7:0	最後の書込みトランザクションについて計算した CRC 値

I2C_UART_CRC3（0x300B）

BIT	7	6	5	4	3	2	1	0
Field	MSGCNTR_LSB[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
MSGCNTR_LSB	7:0	現在のメッセージ・カウンタ値のビット[7:0]

I2C_UART_CRC4（0x300C）

BIT	7	6	5	4	3	2	1	0
Field	MSGCNTR_MSB[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
MSGCNTR_MSB	7:0	現在のメッセージ・カウンタ値のビット[7:0]

I2C_UART_CRC5（0x300D）

BIT	7	6	5	4	3	2	1	0
Field	CRC_ERR_CNT[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
CRC_ERR_CNT	7:0	検出された CRC エラーの数

I2C_UART_CRC6（0x300E）

BIT	7	6	5	4	3	2	1	0
Field	MSGCNTR_ERR_CNT[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
MSGCNTR_ERR_CNT	7:0	検出されたメッセージ・カウンタ・エラーの数

I2C_UART_CRC7（0x300F）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	MSGCNTR_PORT_SEL[1:0]		CC_MSGCNTR_EN	CC_CRC_EN	CC_CRC_MSGCNTR_OVR
Reset	–	–	–	0x0		0b1	0b1	0b0
Access Type	–	–	–	Write, Read		Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MSGCNTR_PORT_SEL	4:3	現在のメッセージ／CRC カウンタを選択します。 MSGCCNTR_LSB/MSB 、 MSGCNTR_ERR_CNT 、 CRC_VAL、CRC_ERR_CNT から値を読み出すためのポートを選択します。	0x0: Primary I²C/UART interface 0x1: I²C/UART pass-through 1 0x2: I²C/UART pass-through 2 0x3: Reserved
CC_MSGCNTR_EN	2	1 に設定すると、I²C/UART のメッセージ・カウンタのオーバーライドが有効化されます。 この機能は、CC_CRC_MSGCNTR_OVR = 1 の場合にのみ有効です。	0b0: Reporting disabled 0b1: Reporting enabled
CC_CRC_EN	1	1 に設定すると、I²C/UART の CRC のオーバーライドが有効化されます。 この機能は、CC_CRC_MSGCNTR_OVR = 1 の場合にのみ有効です。	0b0: Reporting disabled 0b1: Reporting enabled

ビットフィールド	ビット	説明	デコード
CC_CRC_MSGCNTR_OVR	0	1 に設定すると、I²C/UART の CRC またはメッセージ・カウンタのオーバーライドが有効化されます。 0 の場合は、eFuse が CRC およびメッセージ・カウンタのオプションを制御します。	0b0: Reporting disabled 0b1: Reporting enabled

FS_INTR0（0x3010）*

BIT	7	6	5	4	3	2	1	0
Field	I2C_UART_MSGCNTR_ERR_OEN	I2C_UART_CRC_ERR_OEN	MEM_ECC_ERR2_OEN	MEM_ECC_ERR1_OEN	–	–	EFUSE_CRC_ERR_OEN	REG_CRC_ERR_OEN
Reset	0b1	0b1	0b1	0b0	–	–	0b1	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
I2C_UART_MSGCNTR_ERR_OEN	7	I²C/UART メッセージ・カウンタ・エラー（I2C_UART_MSGCNTR_ERR_INT）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
I2C_UART_CRC_ERR_OEN	6	I²C/UART CRC エラー（I2C_UART_CRC_ERR_INT）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
MEM_ECC_ERR2_OEN	5	メモリ ECC の 2 ビット訂正不能エラーを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
MEM_ECC_ERR1_OEN	4	メモリ ECC の 1 ビット訂正可能エラーを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
EFUSE_CRC_ERR_OEN	1	eFuse CRC を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
REG_CRC_ERR_OEN	0	レジスタ CRC を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

FS_INTR1（0x3011）

BIT	7	6	5	4	3	2	1	0
Field	I2C_UART_MSGCNTR_ERR_INT	I2C_UART_CRC_ERR_INT	MEM_ECC_ERR2_INT	MEM_ECC_ERR1_INT	–	–	EFUSE_CRC_ERR_FLAG	REG_CRC_ERR_FLAG
Reset	0b0	0b0	0b0	0b0	–	–	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	–	–	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
I2C_UART_MSGCNTR_ERR_INT	7	I²C/UART メッセージ・カウンタ・エラー。MSGCNTR_ERR_CNT ≥ MSGCNTR_ERR_THR の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
I2C_UART_CRC_ERR_INT	6	I²C/UART CRC エラー。CRC_ERR_CNT ≥ CRC_ERR_THR の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted

ビットフィールド	ビット	説明	デコード
MEM_ECC_ERR2_INT	5	2 ビット訂正不能メモリ ECC エラーのデコーディング・エラー・フラグ。MEM_ECC_ERR2_CNT ≥ MEM_ECC_ERR2_THR の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
MEM_ECC_ERR1_INT	4	1 ビット訂正可能メモリ ECC エラーのデコーディング・エラー・フラグ。MEM_ECC_ERR1_CNT ≥ MEM_ECC_ERR1_THR の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
EFUSE_CRC_ERR_FLAG	1	eFuse CRC 計算時にエラーが発生したことを示します	0b0: Flag not asserted 0b1: Flag asserted
REG_CRC_ERR_FLAG	0	レジスタ CRC 計算時にエラーが発生したことを示します	0b0: Flag not asserted 0b1: Flag asserted

MEM_ECC0（0x3016）*

BIT	7	6	5	4	3	2	1	0
Field	MEM_ECC_ERR2_THR[2:0]			MEM_ECC_ERR1_THR[2:0]			RESET_MEM_ECC_ERR2_CNT	RESET_MEM_ECC_ERR1_CNT
Reset	0b0			0b0			0b0	0b0
Access Type	Write, Read			Write, Read			Write Clears All, Read	Write Clears All, Read

ビットフィールド	ビット	説明	デコード
MEM_ECC_ERR2_THR	7:5	デコードおよびエラー報告のスレッショルド。 MEM_ECC_ERR2_CNT ≥ MEM_ECC_ERR2_THR の場合に MEM_ECC_ERR2 がアサートされます。	0b000: 1 0b001: 2 0b010: 4 0b011: 8 0b101: 16 0b101: 32 0b110: 64 0b111: 128
MEM_ECC_ERR1_THR	4:2	デコードおよびエラー報告のスレッショルド。 MEM_ECC_ERR1_CNT ≥ MEM_ECC_ERR1_THR の場合に MEM_ECC_ERR1 がアサートされます。	0b000: 1 0b001: 2 0b010: 4 0b011: 8 0b101: 16 0b101: 32 0b110: 64 0b111: 128
RESET_MEM_ECC_ERR2_CNT	1	メモリ ECC の 2 ビット・エラー・カウントを 0 にリセットします	0b0: Reset deasserted 0b1: Reset asserted
RESET_MEM_ECC_ERR1_CNT	0	メモリ ECC の 1 ビット・エラー・カウントを 0 にリセットします	0b0: Reset deasserted 0b1: Reset asserted

MEM_ECC1（0x3017）

BIT	7	6	5	4	3	2	1	0
Field	MEM_ECC_ERR1_CNT[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
MEM_ECC_ERR1_CNT	7:0	検出された 1 ビット訂正可能メモリ ECC エラーの数

MEM_ECC2（0x3018）

BIT	7	6	5	4	3	2	1	0
Field	MEM_ECC_ERR2_CNT[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
MEM_ECC_ERR2_CNT	7:0	検出された 2 ビット訂正不能メモリ ECC エラーの数

REG_POST0（0x3020）*

BIT	7	6	5	4	3	2	1	0
Field	POST_DONE	POST_MBIST_PASSED	POST_LBIST_PASSED	–	–	RSVD	POST_RUN_MBIST	POST_RUN_LBIST
Reset	0b0	0b0	0b0	–	–	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	–	–		Read Only	Read Only

ビットフィールド	ビット	説明	デコード
POST_DONE	7	パワー・オン・セルフ・テスト（POST）（LBIST や MBIST）が実行中であることを示します	0b0: POST is not run 0b1: POST is run
POST_MBIST_PASSED	6	POST 時に MBIST に合格したことを示します。POST_DONE がアサートされている場合に有効です	0b0: MBIST failed during POST run (or is not enabled) 0b1: MBIST passed during POST run
POST_LBIST_PASSED	5	POST 時に LBIST に合格したことを示します。POST_DONE がアサートされている場合に有効です	0b0: LBIST failed during POST run (or is not enabled) 0b1: LBIST passed during POST run
POST_RUN_MBIST	1	このデバイスが POST 時に MBIST を実行できるかどうかを示します。読出し専用。	0b0: MBIST disabled 0b1: MBIST enabled
POST_RUN_LBIST	0	このデバイスが POST 時に LBIST を実行できるかどうかを示します。読出し専用。	0b0: LBIST disabled 0b1: LBIST enabled

REGCRC8（0x3030）

BIT	7	6	5	4	3	2	1	0
Field	SKIP0_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP0_LSB	7:0	スキップするアドレス 0（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC9（0x3031）

BIT	7	6	5	4	3	2	1	0
Field	SKIP0_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP0_MSB	7:0	スキップするアドレス 0（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC10（0x3032）

BIT	7	6	5	4	3	2	1	0
Field	SKIP1_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP1_LSB	7:0	スキップするアドレス 1（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC11（0x3033）

BIT	7	6	5	4	3	2	1	0
Field	SKIP1_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP1_MSB	7:0	スキップするアドレス 1（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC12（0x3034）

BIT	7	6	5	4	3	2	1	0
Field	SKIP2_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP2_LSB	7:0	スキップするアドレス 2（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC13（0x3035）

BIT	7	6	5	4	3	2	1	0
Field	SKIP2_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP2_MSB	7:0	スキップするアドレス 2（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC14（0x3036）

BIT	7	6	5	4	3	2	1	0
Field	SKIP3_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP3_LSB	7:0	スキップするアドレス 3（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC15（0x3037）

BIT	7	6	5	4	3	2	1	0
Field	SKIP3_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP3_MSB	7:0	スキップするアドレス 3（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC16（0x3038）

BIT	7	6	5	4	3	2	1	0
Field	SKIP4_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP4_LSB	7:0	スキップするアドレス 4（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC17（0x3039）

BIT	7	6	5	4	3	2	1	0
Field	SKIP4_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP4_MSB	7:0	スキップするアドレス 4（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC18（0x303A）

BIT	7	6	5	4	3	2	1	0
Field	SKIP5_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP5_LSB	7:0	スキップするアドレス 5（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC19（0x303B）

BIT	7	6	5	4	3	2	1	0
Field	SKIP5_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP5_MSB	7:0	スキップするアドレス 5（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC20（0x303C）

BIT	7	6	5	4	3	2	1	0
Field	SKIP6_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP6_LSB	7:0	スキップするアドレス 6（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC21（0x303D）

BIT	7	6	5	4	3	2	1	0
Field	SKIP6_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP6_MSB	7:0	スキップするアドレス 6（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

REGCRC22（0x303E）

BIT	7	6	5	4	3	2	1	0
Field	SKIP7_LSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP7_LSB	7:0	スキップするアドレス 7（LSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: LSB of address

REGCRC23（0x303F）

BIT	7	6	5	4	3	2	1	0
Field	SKIP7_MSB[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
SKIP7_MSB	7:0	スキップするアドレス 7（MSB）。 この値を使用することで、レジスタ全体を CRC 計算の対象から除外することができます。	0xXX: MSB of address

CC_RTTN_ERR（0x304F）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	RSVD	RESET_EFUSE_CRC_ERR	INJECT_EFUSE_CRC_ERR	INJECT_RTTN_CRC_ERR
Reset	–	–	–	–	0b0	0b0	0b0	0b0
Access Type	–	–	–	–		Write Clears All, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RESET_EFUSE_CRC_ERR	2	eFuse CRC エラー・ステータスを 0 にリセットします	
INJECT_EFUSE_CRC_ERR	1	eFuse の値を読み出す前にこのビットをセットすると、eFuse CRC 値にエラーが注入されます。ASIL の評価に使用します。	0b0: Do not inject eEuse CRC errors 0b1: Inject eFuse CRC errors
INJECT_RTTN_CRC_ERR	0	スリープ・モードになる前にこのビットをセットすると、RTTN CRC 値にエラーが注入されます。ASIL の評価に使用します。	0b0: Do not inject retention memory CRC errors 0b1: Inject retention memory CRC errors

CTRL9（0x5009）

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	–	–	LOCKED_B	–	–	–
Reset	0b0	0b0	–	–	0b0	–	–	–
Access Type			–	–	Read Only	–	–	–

ビットフィールド	ビット	説明	デコード
LOCKED_B	3	GMSL リンクがロックされていることを示します（双方向）。リンク B 専用。	0b0: GMSL link B not locked 0b1: GMSL link B locked

INTR10（0x5010）*

BIT	7	6	5	4	3	2	1	0
Field	RTTN_CRC_ERR_OEN	IDLE_ERR_OEN_B	FEC_RX_ERR_OEN_B	VDD18_OV_OEN	MAX_RT_OEN_B	RT_CNT_OEN_B	PKT_CNT_OEN_B	VDD_OV_OEN
Reset	0b1	0b0	0b0	0b0	0b1	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RTTN_CRC_ERR_OEN	7	保持メモリ復元 CRC エラー出力の有効化。 このビットをセットすると、RTTN_CRC_ERR が ERRB ロジックに渡され、ERRB 出力に影響します。	0b0: Disabled 0b1: Enabled
IDLE_ERR_OEN_B	6	リンク B のアイドル・ワード・エラー（IDLE_ERR_FLAG_B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

ビットフィールド	ビット	説明	デコード
FEC_RX_ERR_OEN_B	5	リンク B のスレッショルドを超える FEC 受信エラー（FEC_ERR_FLAG）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VDD18_OV_OEN	4	V_{DD18} 過電圧ステータスを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
MAX_RT_OEN_B	3	リンク B の結合 ARQ 最大再送回数超過エラー・フラグ（MAX_RT_FLAG）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
RT_CNT_OEN_B	2	リンク B の結合 ARQ 再送イベント・フラグ（RT_CNT_FLAG）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
PKT_CNT_OEN_B	1	リンク B のパケット・カウント・フラグ（PKT_CNT_FLAG_B）を ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled
VDD_OV_OEN	0	V_{DD} 過電圧ステータスを ERRB ピンで報告するように有効化します	0b0: Reporting disabled 0b1: Reporting enabled

INTR11（0x5011）

BIT	7	6	5	4	3	2	1	0
Field	RTTN_CRC_INT	IDLE_ERR_FLAG_B	FEC_RX_ERR_FLAG_B	VDD18_OV_FLAG	MAX_RT_FLAG_B	RT_CNT_FLAG_B	PKT_CNT_FLAG_B	VDD_OV_FLAG
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Clears All	Read Only	Read Only	Read Only	Read Clears All

ビットフィールド	ビット	説明	デコード
RTTN_CRC_INT	7	保持メモリ復元 CRC エラー割込み。 デバイスがウェイクアップすると、保持メモリの内容はメイン・レジスタに戻されます。復元されたデータは CRC によって検証されます。CRC 検証で不一致が生じると、このビットがセットされます。	0b0: Flag not asserted 0b1: Flag asserted
IDLE_ERR_FLAG_B	6	リンク B のアイドル・ワード・エラー・フラグ。 IDLE_ERR_B ≥ DEC_ERR_THR の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
FEC_RX_ERR_FLAG_B	5	リンク B の FEC 受信エラー・フラグ。 FEC レシーバの訂正可能エラー・カウンタまたは訂正不能エラー・カウンタがそれぞれのスレッショルドを初めて超えたときにアサートされます。このフラグを読み出すと、ステータスはクリアされます。 このフラグが再びアサートされるようにするには、FEC 統計カウンタをリセットしてください。FEC 統計カウンタをリセットするには、CLEAR_STATS レジスタを参照してください。	0b0: Flag not asserted 0b1: Flag asserted
VDD18_OV_FLAG	4	V_{DD} 過電圧のスティッキー・ステータス値	0b0: Overvoltage condition not detected 0b1: Overvoltage condition detected

ビットフィールド	ビット	説明	デコード
MAX_RT_FLAG_B	3	リンク B の結合 ARQ 最大再送回数超過エラー・フラグ。 選択されたチャンネルのいずれかが ARQ 再送回数の上限値に達した場合にアサートされます。選択は、各チャンネルの MAX_RT_ERR_OEN レジスタ・ビットによって行われます。	0b0: Flag not asserted 0b1: Flag asserted
RT_CNT_FLAG_B	2	リンク B の結合 ARQ 再送イベント・フラグ。 選択されたチャンネルのいずれかが 1 回以上 ARQ 再送を行った場合にアサートされます。選択は、各チャンネルの RT_CNT_OEN レジスタ・ビットによって行われます。	0b0: Flag not asserted 0b1: Flag asserted
PKT_CNT_FLAG_B	1	リンク B のパケット・カウント・フラグ。 PKT_CNT_B ≥ PKT_CNT_THR の場合にアサートされます。	0b0: Flag not asserted 0b1: Flag asserted
VDD_OV_FLAG	0	V_{DD} 過電圧フラグのスティッキー・ステータス値	0b0: Overvoltage condition not detected 0b1: Overvoltage condition detected

INTR13（0x5012）

BIT	7	6	5	4	3	2	1	0
Field	FEC_B_INACTIVE_OEN	FEC_A_INACTIVE_OEN	–	–	–	–	video_mem_overflow_oen	LOSS_OF_LOCK_OEN
Reset	0b0	0b0	–	–	–	–	0b0	0b0
Access Type	Write, Read	Write, Read	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
FEC_B_INACTIVE_OEN	7	リンク B の FEC ハンドシェイク・エラー（FEC_B_INACTIVE）を ERRB ピンで報告するように有効化します	0x0: Reporting is disabled 0x1: Reporting is enabled
FEC_A_INACTIVE_OEN	6	リンク A の FEC ハンドシェイク・エラー（FEC_A_INACTIVE）を ERRB ピンで報告するように有効化します	0x0: Reporting is disabled 0x1: Reporting is enabled
video_mem_overflow_oen	1	BACKTOP ビデオ・メモリ・オーバーフロー・エラー（video_mem_overflow）を ERRB ピンで報告するように有効化します	0x0: Reporting is disabled 0x1: Reporting is enabled
LOSS_OF_LOCK_OEN	0	ロック喪失検出（LOSS_OF_LOCK_FLAG）を ERRB ピンで報告するように有効化します	0x0: Reporting is disabled 0x1: Reporting is enabled

INTR14（0x5013）

BIT	7	6	5	4	3	2	1	0
Field	FEC_B_INACTIVE	FEC_A_INACTIVE	–	–	–	–	video_mem_overflow	LOSS_OF_LOCK_FLAG
Reset	0b0	0b0	–	–	–	–	0b0	0b0
Access Type	Read Clears All	Read Clears All	–	–	–	–	Read Only	Read Clears All

ビットフィールド	ビット	説明	デコード
FEC_B_INACTIVE	7	リンク B の FEC デコーダが設定ピンを通じて有効化されている場合に、シリアライザから送信されるはずの FEC エンコーダ・ハンドシェイク InfoFrame がリンク B のロック後 1ms 以内に受信されないことを通知するエラー・フラグ。このハンドシェイクは、FEC デコーダが正式にオンになる前に必要です。これは読出し時にクリアされるスティッキー・エラー・フラグです。	0x0: No error is detected 0x1: Error is detected
FEC_A_INACTIVE	6	リンク A の FEC デコーダが設定ピンによって有効化されている場合に、シリアライザから送信されるはずの FEC エンコーダ・ハンドシェイク InfoFrame がリンク A のロック後 1ms を過ぎても受信されないことを通知するエラー・フラグ。このハンドシェイクは、FEC デコーダが正式にオンになる前に必要です。これは読出し時にクリアされるスティッキー・エラー・フラグです。	0x0: No error is detected 0x1: Error is detected
video_mem_overflow	1	以下の BACKTOP メモリ・オーバーフロー・エラーが 1 つ以上検出されたことを通知するフラグ。 1) ビデオ・パイプ Y のライン・メモリのオーバーフロー（LMO_Y） 2) ビデオ・パイプ Z のライン・メモリのオーバーフロー（LMO_Z） 3) ビデオ・パイプ Y のコマンド FIFO のオーバーフロー（cmd_overflow2） 4) ビデオ・パイプ Z のコマンド FIFO のオーバーフロー（cmd_overflow3） どのエラーが検出されたかを判定するには、BACKTOP11 レジスタで LMO_Y、LMO_Z、cmd_overflow2、cmd_overflow3 の各エラー・フラグをポーリングしてください。	0x0: No BACKTOP memory overflow errors are detected 0x1: One of more BACKTOP memory overflow errors are detected
LOSS_OF_LOCK_FLAG	0	ロック喪失検出フラグ（スティッキー）	0x0: No loss of GMSL lock or MIPI video output is detected 0x1: Loss of GMSL lock (lock_cfg=0) or loss of MIPI video output (lock_cfg=1) detection flag

INTR12（0x5018）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	ERR_RX_ID_B[4:0]				
Reset	–	–	–	0b11111				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
ERR_RX_ID_B	4:0	リンク B の ERR_RX の受信に用いられる GPIO ID	0bXXXXX: Value of GPIO ID for receiving ERR_RX

CNT2（0x5024）

BIT	7	6	5	4	3	2	1	0
Field	IDLE_ERR_B[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
IDLE_ERR_B	7:0	リンク B について検出されたアイドル・ワード・エラーの数。 読出し後、または LOCK の立上がりエッジで、リセットされます。	0xXX: Number of idle-word errors detected

CNT3（0x5025）

BIT	7	6	5	4	3	2	1	0
Field	PKT_CNT_B[7:0]							
Reset	0x00							
Access Type	Read Clears All							

ビットフィールド	ビット	説明	デコード
PKT_CNT_B	7:0	リンク B 用に選択されたタイプの受信パケットの数。 パケット・タイプは PKT_CNT_SEL レジスタで選択されます。 報告されるパケット・カウントは、実際のパケット・カウントが PKT_CNT × ($2^{PKT_CNT_EXP}$) より多く、(PKT_CNT + 1) × ($2^{PKT_CNT_EXP}$)より少なくなるようにスケーリングされた値です。 最大値が報告された場合、パケット・カウントは報告された値以上となります。	0xXX: Scaled number of received packets

VIDEO_RX13（0x501A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK_OEN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
LOSS_OF_VIDEO_LOCK_OEN	0	パイプ Y のビデオ・ロック喪失（VIDEO_RX13::LOSS_OF_VIDEO_LOCK）を ERRB ピンで報告するように有効化します	0x0: Reporting is disabled 0x1: Reporting is enabled

VIDEO_RX14（0x501B）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Read Clears All

ビットフィールド	ビット	説明	デコード
LOSS_OF_VIDEO_LOCK	0	パイプ Y のビデオ・ロック喪失検出フラグ（スティッキー）	0x0: Loss of pipe Y video lock is NOT detected 0x1: Loss of pipe Y video lock is detected

VIDEO_RX13（0x5020）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK_OEN
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
LOSS_OF_VIDEO_LOCK_OEN	0	パイプ Z のビデオ・ロック喪失（VIDEO_RX14::LOSS_OF_VIDEO_LOCK）を ERRB ピンで報告するように有効化します	0x0: Reporting is disabled 0x1: Reporting is enabled

VIDEO_RX14（0x5021）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	LOSS_OF_VIDEO_LOCK
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Read Clears All

ビットフィールド	ビット	説明	デコード
LOSS_OF_VIDEO_LOCK	0	パイプ Z のビデオ・ロック喪失検出フラグ（スティッキー）	0x0: Loss of pipe Z video lock is NOT detected 0x1: Loss of pipe Z video lock is detected

TX0（0x5028）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RSVD	RSVD	–	–	RX_FEC_EN	RSVD
Reset	0b01		0b1	0b0	–	–	0b0	0b0
Access Type					–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_FEC_EN	1	順方向でのリンク B のフォワード・エラー・コレクション（FEC）を有効化します。 GMSL3 デバイスでは、このビットは、パワーアップ時にラッチされた CFG1 ピンの値に従って設定されます。	0b0: Disable 0b1: Enable

TX1（0x5029）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	LINK_PRBS_GEN	RSVD	–	ERRG_EN_B	RSVD	RSVD	RSVD	RSVD
Reset	0b0	0b0	–	0b0	0b1	0b0	0b0	0b0
Access Type	Write, Read		–	Write, Read				

ビットフィールド	ビット	説明	デコード
LINK_PRBS_GEN	7	リンクの PRBS-7 ジェネレータを有効化します	0x0: Disabled 0x1: Enabled
ERRG_EN_B	4	リンク B のエラー・ジェネレータを有効化（逆方向チャンネル）。リンクを通過する全てのデータにエラー注入が適用されます。	0b0: Link B error generator disabled 0b1: Link B error generator enabled

TX2（0x502A）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	ERRG_CNT[1:0]		ERRG_RATE[1:0]		ERRG_BURST[2:0]			ERRG_PER
Reset	0b00		0b10		0b000			0b0
Access Type	Write, Read		Write, Read		Write, Read			Write, Read

ビットフィールド	ビット	説明	デコード
ERRG_CNT	7:6	生成されるエラーの数	0b00: Continuous 0b01: 16 errors 0b10: 128 errors 0b11: 1024 errors
ERRG_RATE	5:4	エラー・ジェネレータの平均ビット・エラー・レート	0b00: 1 in 5120 bits 0b01: 1 in 81920 bits 0b10: 1 in 1310720 bits 0b11: 1 in 20971520 bits
ERRG_BURST	3:1	エラー・ジェネレータのバースト・エラー長	0b000: 1 0b001: 2 0b010: 3 0b011: 4 0b100: 8 0b101: 12 0b110: 16 0b111: 20
ERRG_PER	0	エラー・ジェネレータのエラー分布の選択	0b0: Pseudorandom 0b1: Periodic

TX3（0x502B）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RX_FEC_ACTIVE	RSVD	–	RSVD[2:0]		
Reset	0b01		0b0	0b0	–	0b100		
Access Type			Read Only		–			

ビットフィールド	ビット	説明	デコード
RX_FEC_ACTIVE	5	FEC がアクティブであることを示します	0b0: FEC disabled 0b1: FEC enabled

RX0（0x502C）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	PKT_CNT_LBW[1:0]		RSVD	RSVD	PKT_CNT_SEL[3:0]			
Reset	0b00		0x0	0b0	0x0			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
PKT_CNT_LBW	7:6	PKT_CNT レジスタでカウントする低帯域幅（LBW）パケットのサブタイプを選択します	0b00: Count LBW data packets only 0b01: Count LBW acknowledge packets only 0b10: Count LBW data and acknowledge packets 0b11: Reserved
PKT_CNT_SEL	3:0	PKT_CNT レジスタでカウントする受信パケットのタイプを選択します	0x0: None 0x1: VIDEO 0x2: Reserved 0x3: INFO Frame 0x4: SPI 0x5: I^2C 0x6: UART 0x7: GPIO 0x8: Reserved 0x9: Reserved 0xA: Reserved 0xB: Reserved 0xC: Reserved 0xD: Reserved 0xE: All 0xF: Unknown and packets with error

GPIOA（0x5030）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	GPIO_FWD_CDLY[5:0]					
Reset	0b0	0b1	0b000001					
Access Type			Write, Read					

ビットフィールド	ビット	説明	デコード
GPIO_FWD_CDLY	5:0	順方向用の補償遅延の乗数。リンク B 用。 これは、リンクの反対側にあるチップの GPIO_FWD_CDLY と同じ値であることが必要です。 合計遅延は、(値 + 1)×1.7µs になります。デフォルトの遅延は 3.4µs です。	0bXXXXXX: Forward compensation delay multiplier value

GPIOB（0x5031）*

GMSL リンク B 用

BIT	7	6	5	4	3	2	1	0
Field	GPIO_TX_WNDW[1:0]		GPIO_REV_CDLY[5:0]					
Reset	0b10		0b001000					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
GPIO_TX_WNDW	7:6	パケットを生成するための GPIO 遷移後の待機時間。リンク B 用。 これにより、様々な GPIO 入力の遷移を 1 つのパケットにまとめることができるため、GPIO 帯域幅の使用効率が向上します。	0b00: Disabled 0b01: 200ns 0b10: 500ns 0b11: 1000ns
GPIO_REV_CDLY	5:0	逆方向用の補償遅延の乗数。リンク B 用。 これは、リンクの反対側にあるチップの GPIO_REV_CDLY と同じ値であることが必要です。 合計遅延は、(値 + 1)×1.7µs になります。デフォルトの遅延は 15.3µs です。	0bXXXXXX: Reverse compensation delay multiplier value

RX0（0x5050）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
Reset	0b0	–	–	–	–	–	0b00	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN_B	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL_B	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

RX0（0x5051）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
Reset	0b0	–	–	–	–	–	0b01	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN_B	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL_B	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

RX0（0x5052）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
Reset	0b0	–	–	–	–	–	0b10	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN_B	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL_B	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

RX0（0x5053）*

BIT	7	6	5	4	3	2	1	0
Field	RX_CRC_EN_B	–	–	–	–	–	STR_SEL_B[1:0]	
Reset	0b0	–	–	–	–	–	0b11	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
RX_CRC_EN_B	7	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: No CRC on received packets 0b1: Received packets have CRC and checking is enabled
STR_SEL_B	1:0	予約済み。使用しないでください（従来型）。代わりに、レジスタ 0x161 の VIDEO_PIPE_SEL を使用します。	

TR0（0x5060）*

BIT	7	6	5	4	3	2	1	0
Field	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
Reset	0b1	0b1	0b11		0b00		0b00	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
TX_CRC_EN_B	7	セットされている場合、CRC を計算し、このポートから送信される各パケットにそれを付加します	0b0: Transmit CRC disabled 0b1: Transmit CRC enabled
RX_CRC_EN_B	6	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: Receive CRC disabled 0b1: Receive CRC enabled
PRIO_VAL_B	3:2	このチャンネルのパケット要求の優先度を設定します	0b00: Low priority 0b01: Normal priority 0b10: High priority 0b11: Urgent priority
PRIO_CFG_B	1:0	このチャンネルに用いられる優先度を調整します	0b00: Current channel priority is used 0b01: Increase current channel priority 0b10: Decrease current channel priority 0b11: Reset to channel PRIO_VAL[1:0] setting

TR1（0x5061）*

BIT	7	6	5	4	3	2	1	0
Field	BW_MULT_B[1:0]		BW_VAL_B[5:0]					
Reset	0b10		0b110000					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
BW_MULT_B	7:6	チャンネル帯域幅割り当ての逓倍係数	0b00: Multiply BW_VAL by 1 0b01: Multiply BW_VAL by 4 0b10: Multiply BW_VAL by 16 0b11: Multiply BW_VAL by 16
BW_VAL_B	5:0	チャンネル帯域幅割り当ての基底値。このポートに割り当てられる総リンク帯域幅のパーセンテージを計算するために使用されます。 公正な帯域幅使用比率 = BW_VAL x BW_MULT/10（総リンク帯域幅に対する割合(%)）	0bXXXXXX: Channel base BW value

TR3（0x5063）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	TX_SRC_ID_B[2:0]		
Reset	–	–	–	–	–	0b000		
Access Type	–	–	–	–	–	Write, Read		

ビットフィールド	ビット	説明	デコード
TX_SRC_ID_B	2:0	このチャンネルから送信されるパケットで用いられるソース識別子。 デフォルト値は、CFG0 ピンによって設定されたデバイス・アドレスに基づきます。	0bXXX: Source ID for packets from this channel

TR4（0x5064）*

BIT	7	6	5	4	3	2	1	0
Field	RX_SRC_SEL_B[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
RX_SRC_SEL_B	7:0	選択したソースからパケットを受信します。 各ビットは、そのソース ID を持つパケットを受信するかどうかを示します。これはワンホット・エンコーディングです。 例えば、SRC_SEL = 00001001 の場合、ソース ID が 0 および 3 のパケットが受信されます。	0x00: No packets received 0x01: Packets from source ID 0 received 0x02: Packets from source ID 1 received 0x03: Packets from source ID 0 and 1 received 0x04: Packets from source ID 2 received ... 0xFF: Packets from all source IDs received

TR0（0x5070、0x5080、0x5088）*

BIT	7	6	5	4	3	2	1	0
Field	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
Reset	0b1	0b1	0b11		0b00		0b00	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
TX_CRC_EN_B	7	セットされている場合、CRC を計算し、このポートから送信される各パケットにそれを付加します	0b0: Transmit CRC disabled 0b1: Transmit CRC enabled
RX_CRC_EN_B	6	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: Receive CRC disabled 0b1: Receive CRC enabled
PRIO_VAL_B	3:2	このチャンネルのパケット要求の優先度を設定します	0b00: Low priority 0b01: Normal priority 0b10: High priority 0b11: Urgent priority
PRIO_CFG_B	1:0	このチャンネルに用いられる優先度を調整します	0b00: Current channel priority is used 0b01: Increase current channel priority 0b10: Decrease current channel priority 0b11: Reset to channel PRIO_VAL[1:0] setting

TR1（0x5071、0x5081、0x5089）*

BIT	7	6	5	4	3	2	1	0
Field	BW_MULT_B[1:0]		BW_VAL_B[5:0]					
Reset	0b10		0b110000					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
BW_MULT_B	7:6	チャンネル帯域幅割り当ての逓倍係数	0b00: Multiply BW_VAL by 1 0b01: Multiply BW_VAL by 4 0b10: Multiply BW_VAL by 16 0b11: Multiply BW_VAL by 16
BW_VAL_B	5:0	チャンネル帯域幅割り当ての基底値。このポートに割り当てられる総リンク帯域幅のパーセンテージを計算するために使用されます。 公正な帯域幅使用比率 = BW_VAL x BW_MULT/10（総リンク帯域幅に対する割合(%)）	0bXXXXXX: Channel base BW value

TR3 (0x5073、0x5083、0x508B)*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	TX_SRC_ID_B[2:0]		
Reset	–	–	–	–	–	0b000		
Access Type	–	–	–	–	–	Write, Read		

ビットフィールド	ビット	説明	デコード
TX_SRC_ID_B	2:0	このチャンネルから送信されるパケットで用いられるソース識別子。 デフォルト値は、CFG0 ピンによって設定されたデバイス・アドレスに基づきます。	0bXXX: Source ID for packets from this channel

TR4 (0x5074、0x5084、0x508C)*

BIT	7	6	5	4	3	2	1	0
Field	RX_SRC_SEL_B[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
RX_SRC_SEL_B	7:0	選択したソースからパケットを受信します。 各ビットは、そのソース ID を持つパケットを受信するかどうかを示します。これはワンホット・エンコーディングです。 例えば、SRC_SEL = 00001001 の場合、ソース ID が 0 および 3 のパケットが受信されます。	0x00: No packets received 0x01: Packets from source ID 0 received 0x02: Packets from source ID 1 received 0x03: Packets from source ID 0 and 1 received 0x04: Packets from source ID 2 received ... 0xFF: Packets from all source IDs received

ARQ0 (0x5075、0x5085、0x508D)*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	EN_B	DIS_DBL_ACK_RETX_B	–	–
Reset	0b1	0b0	0b0	0b1	0b1	0b0	–	–
Access Type					Write, Read	Write, Read	–	–

ビットフィールド	ビット	説明	デコード
EN_B	3	ARQ を有効化します	0b0: ARQ disabled 0b1: ARQ enabled
DIS_DBL_ACK_RETX_B	2	同じアクノリッジを 2 度受信したことによる再送信を無効化します	0b0: Enabled 0b1: Disabled

ARQ1（0x5076、0x5086、0x508E）*

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD[2:0]			–	–	MAX_RT_ERR_OEN_B	RT_CNT_OEN_B
Reset	–	0b111			–	–	0b1	0b0
Access Type	–				–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MAX_RT_ERR_OEN_B	1	このチャンネルの ARQ 最大再送回数超過エラー（MAX_RT_ERR）を ERRB ピンで報告するように有効化します	0b0: ARQ maximum retransmission limit errors reporting at ERRB pin disabled 0b1: ARQ maximum retransmission limit errors reporting at ERRB pin enabled
RT_CNT_OEN_B	0	このチャンネルの ARQ 再送イベントを ERRB ピンで報告するように有効化します。 有効化されている場合、このチャンネルの RT_CNT が 0 より大きいときに ERRB がアサートされます。	0b0: ARQ retransmission count reporting at ERRB pin disabled 0b1: ARQ retransmission count reporting at ERRB pin enabled

ARQ2（0x5077、0x5087、0x508F）

BIT	7	6	5	4	3	2	1	0
Field	MAX_RT_ERR_B	RT_CNT_B[6:0]						
Reset	0b0	0b0000000						
Access Type	Read Clears All	Read Clears All						

ビットフィールド	ビット	説明	デコード
MAX_RT_ERR_B	7	このチャンネルの 1 つのパケットで最大再送回数（MAX_RT）に達したことを示します	0b0: Maximum retransmission limit not reached 0b1: Maximum retransmission limit reached
RT_CNT_B	6:0	このチャンネルの合計再送カウント	0xXX: Count of retransmissions for this channel

TR0（0x5078）*

BIT	7	6	5	4	3	2	1	0
Field	TX_CRC_EN_B	RX_CRC_EN_B	RSVD[1:0]		PRIO_VAL_B[1:0]		PRIO_CFG_B[1:0]	
Reset	0b1	0b1	0b11		0b00		0b00	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
TX_CRC_EN_B	7	セットされている場合、CRC を計算し、このポートから送信される各パケットにそれを付加します	0b0: Transmit CRC disabled 0b1: Transmit CRC enabled
RX_CRC_EN_B	6	セットされている場合、このポートで受信したパケットに CRC が付加されており、パケットごとに CRC チェックを行う必要があることを示します	0b0: Receive CRC disabled 0b1: Receive CRC enabled
PRIO_VAL_B	3:2	このチャンネルのパケット要求の優先度を設定します	0b00: Low priority 0b01: Normal priority 0b10: High priority 0b11: Urgent priority
PRIO_CFG_B	1:0	このチャンネルに用いられる優先度を調整します	0b00: Current channel priority is used 0b01: Increase current channel priority 0b10: Decrease current channel priority 0b11: Reset to channel PRIO_VAL[1:0] setting

TR1（0x5079）*

BIT	7	6	5	4	3	2	1	0
Field	BW_MULT_B[1:0]		BW_VAL_B[5:0]					
Reset	0b10		0b110000					
Access Type	Write, Read		Write, Read					

ビットフィールド	ビット	説明	デコード
BW_MULT_B	7:6	チャンネル帯域幅割り当ての逓倍係数	0b00: Multiply BW_VAL by 1 0b01: Multiply BW_VAL by 4 0b10: Multiply BW_VAL by 16 0b11: Multiply BW_VAL by 16
BW_VAL_B	5:0	チャンネル帯域幅割り当ての基底値。このポートに割り当てられる総リンク帯域幅のパーセンテージを計算するために使用されます。 公正な帯域幅使用比率 = BW_VAL x BW_MULT/10（総リンク帯域幅に対する割合(%)）	0bXXXXXX: Channel base BW value

TR3（0x507B）*

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	TX_SRC_ID_B[2:0]		
Reset	–	–	–	–	–	0b000		
Access Type	–	–	–	–	–	Write, Read		

ビットフィールド	ビット	説明	デコード
TX_SRC_ID_B	2:0	このチャンネルから送信されるパケットで用いられるソース識別子 デフォルト値は、CFG0 ピンによって設定されたデバイス・アドレスに基づきます。	0bXXX: Source ID for packets from this channel

TR4（0x507C）*

BIT	7	6	5	4	3	2	1	0
Field	RX_SRC_SEL_B[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
RX_SRC_SEL_B	7:0	選択したソースからパケットを受信します。 各ビットは、そのソース ID を持つパケットを受信するかどうかを示します。これはワンホット・エンコーディングです。 例えば、SRC_SEL = 00001001 の場合、ソース ID が 0 および 3 のパケットが受信されます。	0x00: No packets received 0x01: Packets from source ID 0 received 0x02: Packets from source ID 1 received 0x03: Packets from source ID 0 and 1 received 0x04: Packets from source ID 2 received ... 0xFF: Packets from all source IDs received

ARQ0（0x507D）*

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	EN_B	DIS_DBL_ACK_RETX_B	–	–
Reset	0b1	0b0	0b0	0b1	0b1	0b0	–	–
Access Type					Write, Read	Write, Read	–	–

ビットフィールド	ビット	説明	デコード
EN_B	3	ARQ を有効化します	0b0: ARQ disabled 0b1: ARQ enabled
DIS_DBL_ACK_RETX_B	2	同じアクノリッジを 2 度受信したことによる再送信を無効化します	0b0: Enabled 0b1: Disabled

ARQ1（0x507E）*

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD[2:0]			–	–	MAX_RT_ERR_OEN_B	RT_CNT_OEN_B
Reset	–	0b111			–	–	0b1	0b0
Access Type	–				–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MAX_RT_ERR_OEN_B	1	このチャンネルの ARQ 最大再送回数超過エラー（MAX_RT_ERR）を ERRB ピンで報告するように有効化します	0b0: ARQ maximum retransmit limit errors reporting at ERRB pin disabled 0b1: ARQ maximum retransmit limit errors reporting at ERRB pin enabled
RT_CNT_OEN_B	0	このチャンネルの ARQ 再送イベントを ERRB ピンで報告するように有効化します。 有効化されている場合、このチャンネルの RT_CNT が 0 より大きいときに ERRB がアサートされます。	0b0: ARQ retransmission count reporting at ERRB pin disabled 0b1: ARQ retransmission count reporting at ERRB pin enabled

ARQ2（0x507F）

BIT	7	6	5	4	3	2	1	0
Field	MAX_RT_ERR_B	RT_CNT_B[6:0]						
Reset	0b0	0b0000000						
Access Type	Read Clears All	Read Clears All						

ビットフィールド	ビット	説明	デコード
MAX_RT_ERR_B	7	このチャンネルの 1 つのパケットで最大再送回数（MAX_RT）に達したことを示します	0b0: Maximum retransmission limit not reached 0b1: Maximum retransmission limit reached
RT_CNT_B	6:0	このチャンネルの合計再送カウント	0xXX: Count of retransmissions for this channel

GPIO_A（0x52B0）*

GPIO 0

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b1	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52B1）*

GPIO 0

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00000				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52B2）*

GPIO 0

BIT	7	6	5	4	3	2	1	0
Field	–	GPIO_RECVED_B	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00000				
Access Type	–	Write, Read	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RECVED_B	6	GMSL リンクを介して受信した GPIO 値	
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52B3）*

GPIO 1

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52B4）*

GPIO 1

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00001				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52B5）*

GPIO 1

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00001				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52B6）*

GPIO 2

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52B7）*

GPIO 2

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00010				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52B8）*

GPIO 2

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00010				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52B9）*

GPIO 3

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52BA）*

GPIO 3

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00011				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52BB）*

GPIO 3

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00011				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52BC）*

GPIO 4

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52BD）*

GPIO 4

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00100				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52BE）*

GPIO 4

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00100				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52BF）*

GPIO 5

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52C0）*

GPIO 5

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00101				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52C1）*

GPIO 5

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00101				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52C2）*

GPIO 6

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b1	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52C3）*

GPIO 6

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00110				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52C4）*

GPIO 6

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00110				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52C5）*

GPIO 7

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52C6）*

GPIO 7

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b00111				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52C7）*

GPIO 7

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b00111				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52C8）*

GPIO 8

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52C9）*

GPIO 8

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b01000				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52CA）*

GPIO 8

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b01000				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52CB）*

GPIO 9

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52CC）*

GPIO 9

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b01001				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52CD）*

GPIO 9

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b01001				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52CE）*

GPIO 10

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52CF）*

GPIO 10

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b01010				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52D0）*

GPIO 10

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b01010				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	

GPIO_A（0x52D1）*

GPIO 11

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52D2）*

GPIO 11

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b01011				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52D3）*

GPIO 11

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b01011				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

GPIO_A（0x52D4）*

GPIO 12

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	TX_COMP_EN_B	–	–	GPIO_RX_EN_B	GPIO_TX_EN_B	–
Reset	–	0b0	0b0	–	–	0b0	0b0	–
Access Type	–		Write, Read	–	–	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
TX_COMP_EN_B	5	ジッタ最小化補償を有効化します	0b0: Jitter compensation disabled 0b1: Jitter compensation enabled
GPIO_RX_EN_B	2	GPIO 出力ソース制御。 1 に設定すると、GMSL リンクから GPIO 値を受信します。さらに、GPIO_OUT_DIS を 0 に設定すると、その受信値をローカルの MFP ピンから出力します。	0b0: This GPIO source disabled for GMSL2 reception 0b1: This GPIO source enabled for GMSL2 reception
GPIO_TX_EN_B	1	GPIO Tx ソース制御。 1 に設定すると、ローカルの MFP ピンの入力値を GMSL リンク経由で送信します。	0b0: This GPIO source disabled for GMSL2 transmission 0b1: This GPIO source enabled for GMSL2 transmission

GPIO_B（0x52D5）*

GPIO 12

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	GPIO_TX_ID_B[4:0]				
Reset	–	–	–	0b01100				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_TX_ID_B	4:0	送信時のピンの GPIO ID	0bXXXXX: This GPIO transmit ID

GPIO_C（0x52D6）*

GPIO 12

BIT	7	6	5	4	3	2	1	0
Field	–	RSVD	–	GPIO_RX_ID_B[4:0]				
Reset	–	0b1	–	0b01100				
Access Type	–		–	Write, Read				

ビットフィールド	ビット	説明	デコード
GPIO_RX_ID_B	4:0	受信時のピンの GPIO ID	0bXXXXX: This GPIO receive ID

改訂履歴

版数	改訂日	説明	改訂ページ
0	8/22	市場投入のための初リリース	–
1	1/24	全体： マスタ／スレーブをメイン／セカンダリに更新 メイン I^2C をプライマリ I^2C に更新 詳細説明 立上がり時間の記号 TRLP を削除 GMSL2 のロック時間のセクションおよび図を更新 BIST を含む tWAKEUP の代表的な時間および最大時間を更新 トンネル・モードとピクセル・モードのセクションを更新。トンネル・モードの図を更新 レジスタの表： 明確で理解しやすいように、説明およびデコードを全体的に更新 非表示であった PORT_TUN_ONLY、RLMSB、RLMS1F、RLMS3E、RLMS3F、RLMS45、RLMS49、REGCRC8-to-REGCRC23 の各レジスタを再表示	1-349

MIPI に関する免責条項の通知

ここに記載の MIPI 著作権資料は、明示的にも黙示的にも、この資料の作成者または開発者もしくは MIPI®が所有または管理するいかなる IPR に対しても使用を許諾するものではありません。ここに記載される資料は「現状有姿」かつ、適用可能な法により許可される最大限の範囲で提供され、この資料は「現状有姿かつ瑕疵があった場合もそれを含んで」提供されるものです。また、この資料の作成者および開発者ならびに MIPI は、明示的にも、黙示的にも、法的にも、商品性、特定目的への適合性、応答の正確性または完全性、結果、職人としての努力、ウイルスの不存在、過失の不存在に関する保証、義務、条件を含み、また、これらに限定されない、その他一切の保証および条件を否認します。

ここに記載の全ての MIPI 資料は、著作権法により保護されており、MIPI Alliance から書面により事前に明示された承認なしに、複製、再発行、配布、送信、表示、放送、その他のいかなる方法でも利用することはできません。MIPI、MIPI Alliance、点線の虹のアーチ、および関連する全ての商標、商号、およびその他の知的財産は、MIPI Alliance の独占的財産であり、書面により事前に明示された承認なしに使用することはできません。

また、この資料またはこの資料の内容に関して、権原の状態、平穏な享有、平穏な占有、説明との一致、あるいは非侵害についての保証はありません。いかなる場合も、この資料の作成者または開発はあるいはこの資料の内容もしくは MIPI は、契約、不法行為、保証、またはその他の理由により、この資料またはこの資料に関連するその他の契約、仕様、文書から何らかの形で生じる、代替の物品またはサービスの調達費用、利益の損失、使用不能、データの損失、または付随的、結果的、直接的、間接的、または特別な損害について、他の当事者がそのような損害の可能性について事前に通知を受けていたかどうかにかかわらず、当該当事者に対して責任を負わないものとします。

上記の免責事項の一般性を制限することなく、この資料の内容のユーザに対して、MIPI は以下のことを通知します。

(a) MIPI は、本書の内容の正確性、健全性、または信頼性を評価、テスト、または検証しません。(b) MIPI は、本書の内容の遵守を監視または強制しません。(c) MIPI は、製品やサービス、または本書の内容への準拠の主張を認証、テスト、またはいかなる形でも調査しません。この資料の内容の使用または実施には、MIPI のメンバーであるかどうかにかかわらず、1 人以上の当事者が所有する特許、特許出願、著作権を含む（ただしこれに限定されない）知的財産権（「IPR」）の使用が含まれるか、または必要になる場合があります。MIPI は、IPR に関するいかなる検索や調査も行いません。また、MIPI は、この文書の内容またはその他の点に関して、いかなる IPR または IPR の請求の開示を要求または要請することもありません。この文書またはその条項の条件に関するご質問は、下記までお問い合わせください。
MIPI Alliance, Inc. c/o IEEE-ISTO 445 Hoes Lane Piscataway, NJ 08854 Attn: Board Secretary

アナログ・デバイセズ社の提供する情報は、正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 14 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 14 日
製品名：MAX96792A
対象となるデータシートのリビジョン(Rev)： Rev.1
訂正箇所： 10 頁、「絶対最大定格」の項、右の段、上から 5 行目

【誤】
「+70°C 以上は 40mW/°C でディレーティング.....mW～2200mW」

【正】
「+70°C 以上は 40mW/°C でディレーティング.....2200mW」

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋 1-9-1
東京汐留ビルディング 23F
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー 10F
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島 6-1
名古屋ルーセントタワー 40F

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 14 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 14 日
製品名：MAX96792A
対象となるデータシートのリビジョン(Rev)： Rev.1
訂正箇所： 29 頁、「その他の技術文書」の項、上から 5 行目

【誤】
「GMSL2 ハードウェア設計ガイドには、PCB 設計に関する推奨事項、アプリケーション回路、外部部品の選択、GMSL2 シグナル・インテグリティ・ツールの使用に関するガイドラインが記載されています。」

【正】
「GMSL3 ハードウェア設計ガイドには、PCB 設計に関する推奨事項、アプリケーション回路、外部部品の選択、GMSL3 シグナル・インテグリティ・ツールの使用に関するガイドラインが記載されています。」

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋 1-9-1
東京汐留ビルディング 23F
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー 10F
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島 6-1
名古屋ルーセントタワー 40F

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 14 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 14 日
製品名：MAX96792A
対象となるデータシートのリビジョン（Rev）： Rev.1
訂正箇所： 69 頁、図 41　すぐ下の文

【誤】
「**プライマリ** I2C のホストから **GMSL2** デバイスへの通信
プライマリ I2C のメインは、GMSL3 シリアライザおよびデシリアライザのレジスタにアクセスできます。プライマリは GMSL3 デバイスのレジスタをプログラムして、パススルーI2C/UART インターフェースを I2C または UART に変更できます。」
」

【正】
「**プライマリ** I2C のホストから **GMSL3** デバイスへの通信
プライマリ I2C のメインは、GMSL3 シリアライザおよびデシリアライザのレジスタにアクセスできます。メインは GMSL3 デバイスのレジスタをプログラムして、パススルーI2C/UART インターフェースを I2C または UART に変更できます。

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋 1-9-1
東京汐留ビルディング 23F
大 阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー 10F
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島 6-1
名古屋ルーセントタワー 40F

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 14 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 14 日
製品名：MAX96792A
対象となるデータシートのリビジョン（Rev）： Rev.1
訂正箇所： 69 頁、図 41 下、「Main UART」の項

【誤】
「メイン UART
メイン I2C/UART が UART に設定されている場合、ベース・モードとバイパス・モードの 2 つの動作モードがあります。」

【正】
「プライマリ UART
プライマリ I2C/UART が UART に設定されている場合、ベース・モードとバイパス・モードの 2 つの動作モードがあります。

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋 1-9-1
東京汐留ビルディング 23F
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー 10F
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島 6-1
名古屋ルーセントタワー 40F

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 14 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 14 日
製品名：MAX96792A
対象となるデータシートのリビジョン（Rev）： Rev.1
訂正箇所： 215 頁、一番上の表、ビットフィールド “OVLP_WINDOW_H” の説明欄

【誤】
「オーバーラップ・ウィンドウ値（PCLK サイクル単位）の下位バイト。」

【正】
「オーバーラップ・ウィンドウ値（PCLK サイクル単位）の上位バイト。」

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋 1-9-1
東京汐留ビルディング 23F
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー 10F
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島 6-1
名古屋ルーセントタワー 40F

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 14 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 14 日
製品名：MAX96792A
対象となるデータシートのリビジョン（Rev）： Rev.1
訂正箇所： 215 頁、一番上の表の説明欄

【誤】
「「このレジスタを、UART ビット長を 6.666ns で除算した値（**LSB 8 ビット）に設定します。**」

【正】
「このレジスタに、UART ビット長を 6.666ns で除算した **14 ビットの値の上位 6 ビットを右詰めで設定します。**」

アナログ・デバイセズ株式会社

本　　社／〒105-7323　東京都港区東新橋 1-9-1
東京汐留ビルディング 23F
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー 10F
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島 6-1
名古屋ルーセントタワー 40F