



2.5V~16V 入力、スイッチング電流 5A の 高効率昇降圧コンバータ（外部クロック同期機能搭載）

MAX77845

概要

MAX77845 は、高効率、高性能の昇降圧コンバータです。2.5V~16V の広い入力電圧範囲に対応し、最大 3 セルのリチウムイオン・バッテリー、USB 給電 (PD)、12V DC 電源レールなど、様々な電源からの直接変換が可能です。また、3V~15V の広い出力電圧範囲を備えているため、幅広いアプリケーションに適しています。

このデバイスは、降圧モードで最大 4.5A、昇圧モードで最大 3A の出力電流を供給できます。PWM モードで動作し、軽負荷時の効率を高める自動スキップ・モードも搭載しています。MAX77845 は、94% のピーク効率、低自己消費電流、コンパクトなソリューション・サイズという特長を備えており、スペースに制約のあるバッテリー駆動の設計に最適です。

内部帰還抵抗を使用している場合のデフォルトの出力電圧は 5V です。外部帰還抵抗を使用して、他のデフォルトの出力電圧に設定することもできます。更に、I²C 対応のインターフェースを介して、出力電圧を動的に調整することも可能です。

このデバイスには、ハードウェアによる直接制御用の専用制御ピン (EN、BIASEN、POKB/INTB、FPWM/SYNC、SEL) が用意されています。ソフトスタート時間、DVS スルー・レート、スイッチング電流制限、スイッチング周波数など、その他の設定オプションには、I²C インターフェースを介してアクセスできます。プログラム可能なスイッチング周波数と外部クロック同期のサポートによって、ノイズの影響を受けやすい環境でもシステムを容易に最適化できます。

R_{SEL} ピン、および I²C で設定可能な電流制限を使用することにより、薄型で小型の外付け部品を使用して特定のアプリケーション向けに最適化できます。MAX77845 には、異常な条件下でも安全な動作を確保する包括的な保護機能が内蔵されています。

このデバイスは、2.82mm × 1.69mm の 28 バンプ・ウェハ・レベル・パッケージ (WLP) を採用しています。

アプリケーション

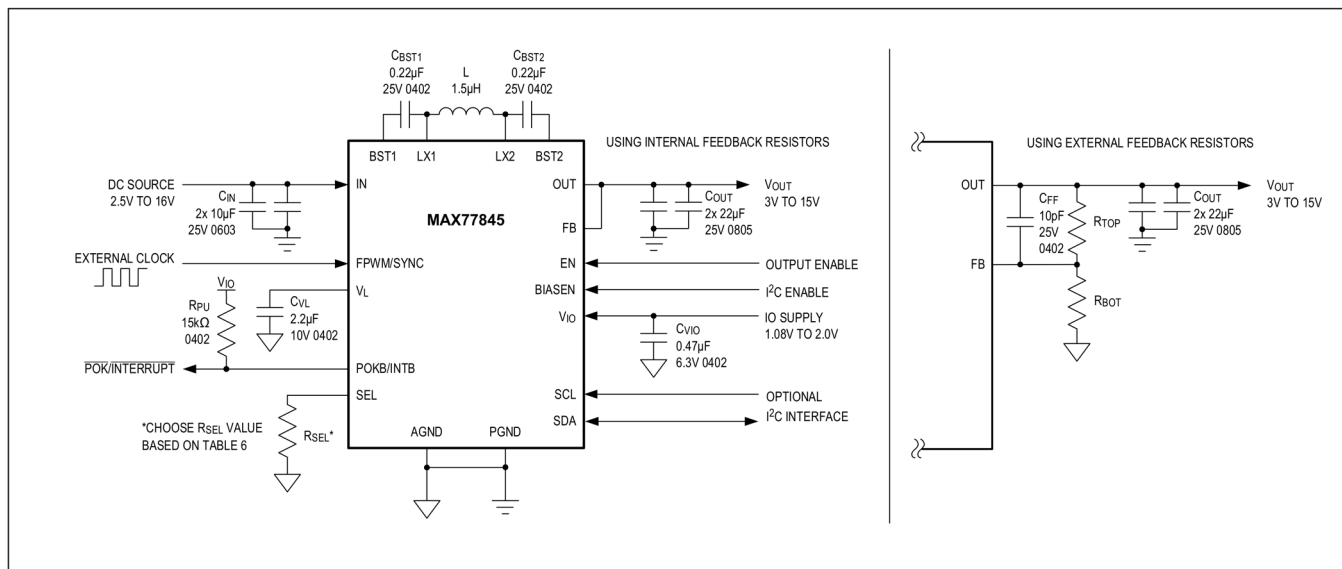
- USB 給電 (USB-PD) OTG
- USB VBUS 電源および DRP (デュアル・ロール電源) ポート
- DSLR、DSLR レンズ
- ディスプレイ電源
- 最大 3 セルのリチウムイオン・バッテリー・アプリケーション
- ワイヤレス充電アクセサリ
- AR/VR ToF バイアス電力
- ノートブック・コンピュータ、タブレット PC

特長と利点

- 広い入力電圧範囲：2.5V~16V
- I²C プログラマブル出力電圧：3V~15V
- 最大出力電流
 - 降圧モード：最大 4.5A
 - 昇圧モード：最大 3A (V_{IN} = 3.7V、V_{OUT} = 5V)
- ピーク・インダクタ・スイッチング電流：5A (代表値)
- 自動スキップ・モードと強制 PWM モード
- 最大 2.60MHz の外部クロック同期
- R_{SEL} 設定
 - I²C インターフェースのターゲット・アドレス
 - スwitchング周波数
 - スwitchング電流制限のスレッシュホールド
 - 内部/外部帰還抵抗
- I²C プログラミング (オプション)
 - 出力電圧 (DVS)
 - DVS スルー・レート
 - ソフトスタート時間
 - スwitchング電流制限のスレッシュホールド
 - スwitchング周波数
 - 強制 PWM モード (FPWM) 動作
 - ループ補償
 - パワーOK (POK) およびフォルト・ステータス/割込み
- ソフトスタートおよび出力アクティブ放電
- オープン・ドレインの POK ステータス/フォルト割込みピン
- 保護機能
 - 低電圧ロックアウト (UVLO)
 - 過電流保護 (OCP)
 - 短絡保護 (SCP)
 - 過電圧保護 (OVP)
 - サーマル・シャットダウン (TSHDN)
- 2.82mm × 1.69mm の 28 バンプ WLP を採用

型番は、データシートの末尾に記載しています。

簡略アプリケーション回路図



絶対最大定格

IN、LX1、LX2、OUT、FB～PGND.....	-0.3V～+17.6V	連続消費電力
BST1、BST2～AGND.....	-0.3V～+20.0V	WLP パッケージ（T _A = +70°C、+70°C を超える温度では
BST1～LX1、BST2～LX2.....	-0.3V～+2.2V	19.76mW/°C）(Note 1).....
SCL、SDA、POKB/INTB～AGND、PGND.....	-0.3V～V _{IO} + 0.3V	1581mW
V _L 、V _{IO} 、SEL、EN、BIASEN～AGND、PGND.....	-0.3V～+2.0V	最高ジャンクション温度.....
FPWM/SYNC～AGND、PGND.....	-0.3V～+6.0V	+150°C
PGND～AGND.....	-0.3V～+0.3V	保管温度範囲.....
		-65°C～+150°C
		ハンダ付け処理温度（リフロー）.....
		+260°C

Note 1： パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.analog.com/jp/technical-articles/thermal-characterization-of-ic-packages.html を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

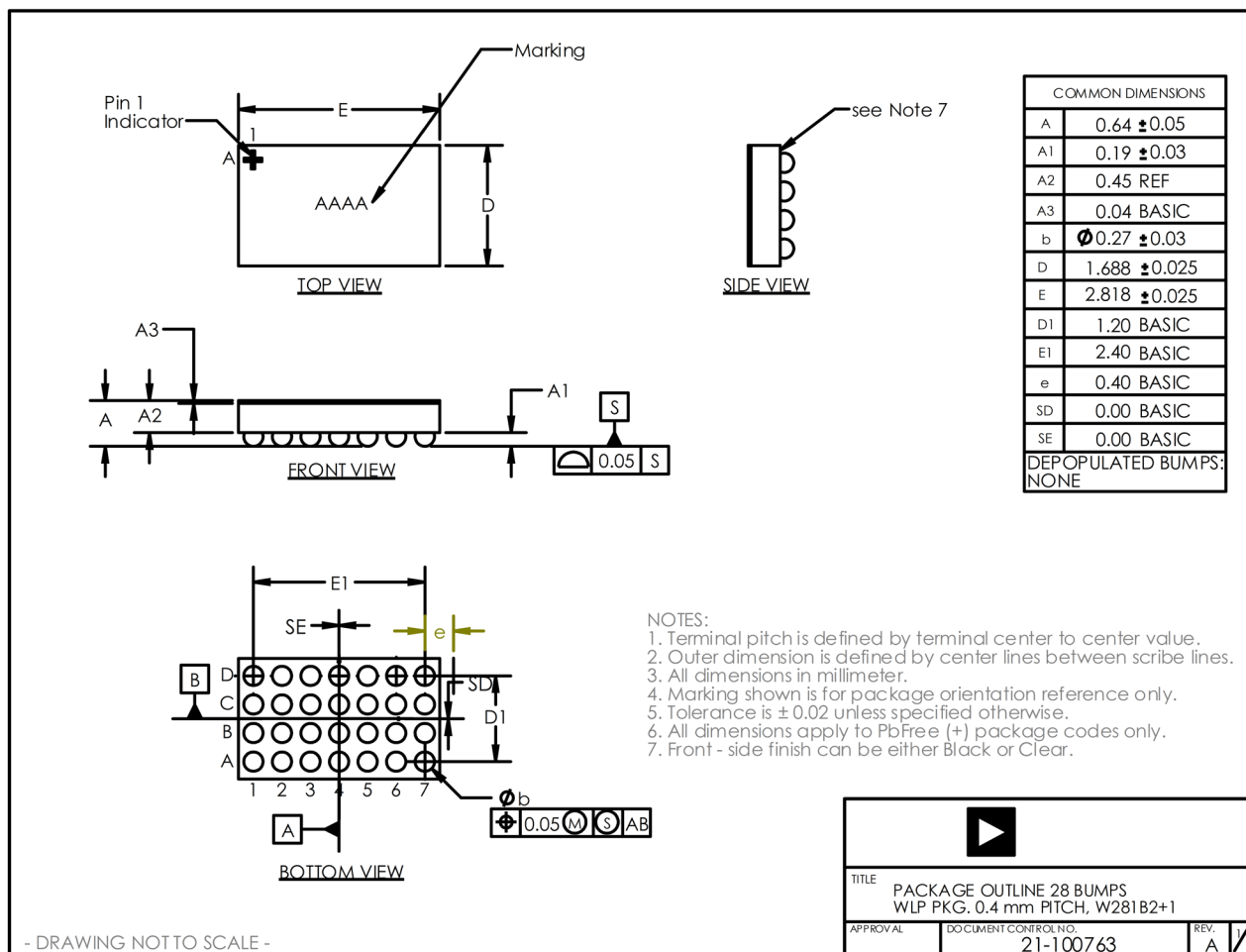
推奨動作条件

PARAMETER	SYMBOL	CONDITION	TYPICAL RANGE
Input Voltage Range	V _{IN}		2.5V to 16V
Output Voltage Range	V _{OUT}		3V to 15V
Output Current Range	I _{OUT}	For continuous operation at 4.5A, the junction temperature (T _J) is limited to +105°C. If the junction temperature is higher than 105°C, the expected lifetime at 4.5A continuous operation is derated	0A to 4.5A
Junction Temperature Range	T _J		-40°C to +125°C

パッケージ

28 WLP

Package Code	W281B2+1
Outline Number	21-100763
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ _{JA})	50.60 (°C/W)



最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.analog.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.analog.com/thermal-tutorial を参照してください。

電氣的特性

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100%製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
INPUT SUPPLY							
Input Voltage Range	V _{IN}			2.5		16	V
Input Undervoltage Lockout (UVLO)	V _{UVLO_R}	V _{IN} rising		2.3	2.4	2.5	V
Input Undervoltage Lockout (UVLO) Hysteresis	V _{UVLO_HYS}	V _{UVLO_R} – V _{UVLO_F}		300			mV
Shutdown Supply Current	I _{SHDN}	EN = LOW, T _J = -40°C to +85°C	BIASEN = LOW	2		6	μA
			BIASEN = HIGH	20		65	
Quiescent Supply Current	I _Q	EN = HIGH, R _{SEL} = short to GND, no switching	SKIP mode, T _J = -40°C to +85°C	60		88	μA
			FPWM mode	4		mA	
OUTPUT VOLTAGE							
Output Voltage Regulation Range	V _{OUT}			3.0		15	V
Output Voltage Accuracy	V _{OUT_ACC}	V _{IN} = 2.5V to 16V, V _{OUT} = 3.0V to 15V, I _{OUT} = 0mA, using internal feedback resistors	SKIP mode, T _J = -40°C to +65°C	-1.0		+4.5	%
			FPWM mode	-1.0		+2.0	
FB Accuracy	V _{FB_ACC}	VREF[9:0] = 0x096 to 0x2ED		-1.0		+2.0	%
V _L INTERNAL SUPPLY							
V _L Regulator Voltage	V _{VL}			1.65	1.8	1.89	V
V _{IO} SUPPLY							
V _{IO} Voltage Range	V _{VIO}			1.08		2.0	V
V _{IO} Valid Threshold	V _{VIO_VALID_R}	V _{IO} rising		0.965	1.02	1.08	V
	V _{VIO_VALID_F}	V _{IO} falling		0.85	0.9	0.955	
V _{IO} Bias Current	I _{VIO}	No I ² C interface (SDA and SCL unconnected)				2.0	μA
		f _{SCL} = f _{SDA} = 1MHz		50			
BUCK-BOOST REGULATOR							
Switching Frequency	f _{SW}	I _{OUT} = 0mA, FPWM mode	FREQ[1:0] = 00	1.10	1.20	1.30	MHz
			FREQ[1:0] = 01	1.38	1.50	1.62	
			FREQ[1:0] = 10	1.66	1.80	1.94	
			FREQ[1:0] = 11	1.93	2.10	2.27	
Startup Delay Time	t _{SUDLY}			100			μs
Soft-Start Time	t _{SS}	VREF[9:0] = 0x0FA, measured from OUT starts ramping to stops ramping, C _{OUT} = 44μF, I _{OUT} = 0mA	SS_TM[1:0] = 00	1		ms	
			SS_TM[1:0] = 01 (default)	2			
			SS_TM[1:0] = 10	4			
			SS_TM[1:0] = 11	8			
	I _{LIM_SS}	ILIM[1:0] = 10 or 11 (I _{LIM} < 3.4A)		I _{LIM}		A	

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100%製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Soft-Start Switching Current Limit		ILIM[1:0] = 00 or 01 ($I_{LIM} \geq 3.4A$)		3.4		
High-Side Switching Current Limit	I_{LIM}	ILIM[1:0] = 00	4.3	5.0	6.3	A
		ILIM[1:0] = 01 (I ² C only, not available with R _{SEL}) (Note 2)	2.9	3.4	4.6	
		ILIM[1:0] = 10 (Note 2)	1.5	1.8	2.9	
		ILIM[1:0] = 11 (I ² C only, not available with R _{SEL}) (Note 2)	0.85	1.0	2.0	
Valley Current Limit	I_{LIM_VALLEY}	ILIM[1:0] = 00 or 01 (Note 2)		1.8		A
		ILIM[1:0] = 10 or 11 (Note 2)		0.3		
Skip Mode Switching Current Limit	I_{LIM_SKIP}	SKIP mode (Note 2)		1.4		A
Line Regulation	$\Delta V/V_{IN}$	V _{IN} = 2.5V to 16V, V _{OUT} = 5V, I _{OUT} = 0mA and 1A, FPWM mode		± 0.3		%/V
Load Regulation	$\Delta V/V_{OUT}$	V _{IN} ≥ 4V, V _{OUT} = 5V, I _{OUT} = 0mA to 3A, FPWM mode		± 0.6		%/A
Internal Reference Voltage	V_{REF}	VREF[9:0] = 0x096, code clamped below this level		0.18311		V
		VREF[9:0] = 0x0FA, default value		0.30518		
		VREF[9:0] = 0x2ED, code clamped above this level		0.91431		
Internal Reference Voltage Programmable Range	V_{REF}	VREF[9:0] = 0x096 to 0x2ED	0.18311		0.91431	V
Internal Reference DVS Ramp Rate	$\Delta V_{REF}/\Delta t$	DVS_SR[1:0] = 00 (default)		4/3		mV/μs
		DVS_SR[1:0] = 01		2/3		
		DVS_SR[1:0] = 10		1/3		
		DVS_SR[1:0] = 11		1/6		
FB Input Leakage Current	I_{FB_LK}		-1		+1	μA
High-Side MOSFET On Resistance	R _{DS(on)_HS}	IN to LX1, LX2 to OUT		25	40	mΩ
Low-Side MOSFET On Resistance	R _{DS(on)_LS}	LX1 to PGND, LX2 to PGND		30	50	mΩ
OVERVOLTAGE PROTECTION						
Overvoltage Threshold	V _{OVP_R}	V _{OUT} rising	15.85	16.40	16.95	V
	V _{OVP_F}	V _{OUT} falling	15.25	15.50	16.20	
ACTIVE DISCHARGE						
Output Active Discharge Current	I _{AD}	AD_EN = 1, EN = LOW or V _{IN} < V _{UVLO_F} , V _{OUT} = 15V		5		mA
ENABLE CONTROL INPUTS						
EN, BIAS _{EN} Input LOW Voltage	V _{EN_IL}			0.4		V
EN, BIAS _{EN} Input HIGH Voltage	V _{EN_IH}		0.9			V
EN Internal Pulldown Current	I _{EN_PD}	EN = HIGH, pulldown current to AGND		0.1		μA

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100%製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BIASEN Internal Pulldown Resistance	R _{BIASEN_PD}	Pulldown resistance to AGND		800		kΩ
FPWM/SYNC CONTROL INPUT						
FPWM/SYNC Input LOW Voltage	V _{FPWM_IL}				0.4	V
FPWM/SYNC Input HIGH Voltage	V _{FPWM_IH}		0.9			V
Valid Synchronization Range	f _{SYNC}	FREQ[1:0] = 00 (1.2MHz)	0.84		1.50	MHz
		FREQ[1:0] = 01 (1.5MHz)	1.05		1.88	
		FREQ[1:0] = 10 (1.8MHz)	1.26		2.25	
		FREQ[1:0] = 11 (2.1MHz)	1.47		2.60	
POWER-OK (POK) AND INTERRUPT OUTPUT						
Output LOW Voltage	V _{OL}	I _{POKB/INTB} = 1mA			0.3	V
POK Threshold	V _{POK_R}	V _{OUT} rising, expressed as a percentage of the target V _{OUT} voltage	90	95		%
	V _{POK_F}	V _{OUT} falling, expressed as a percentage of the target V _{OUT} voltage		85		
THERMAL PROTECTION						
Thermal-Shutdown Threshold	T _{SHDN_R}	T _J rising (Note 2)		150		°C
Thermal-Shutdown Hysteresis	T _{SHDN_HYS}	T _{SHDN_R} – T _{SHDN_F} (Note 2)		20		°C

電氣的特性-I²C シリアル・インターフェース

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100%製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O STAGE						
SCL, SDA Input HIGH Voltage	V_{IH}		0.7 x V_{VIO}			V
SCL, SDA Input LOW Voltage	V_{IL}				0.3 x V_{VIO}	V
SCL, SDA Input Hysteresis	V_{HYS}	Fast mode/Fast-mode plus	0.05 x V_{VIO}			V
		High-speed mode	0.1 x V_{VIO}			
SDA Output LOW Voltage	V_{OL}	$I_{SINK} = 2mA$ (Fast mode/Fast-mode plus) or 3mA (High-speed mode)			0.2 x V_{VIO}	V
SCL, SDA Input Capacitance	C_I				10	pF
SCL, SDA Input Leakage Current	I_{LK}		-10	0.001	+10	μA
TIMING (FAST MODE)						
Clock Frequency	f_{SCL}		0		400	kHz
Bus Free Time Between STOP and START Condition	t_{BUSF}		1.3			μs
Hold Time (REPEATED) START Condition	t_{HD_START}		0.6			μs
SCL LOW Period	t_{LOW}		1.3			μs
SCL HIGH Period	t_{HIGH}		0.6			μs
Setup Time (REPEATED) START Condition	t_{SU_START}		0.6			μs
DATA Setup Time	T_{SU_DATA}		100			ns
SCL, SDA Receiving Rise Time	t_{R_REV}		20		300	ns
SCL, SDA Receiving Fall Time	t_{F_REV}		20 x ($V_{VIO} / 5.5V$)		300	ns
Setup Time for STOP Condition	t_{SU_STO}		0.26			μs
Data Valid Time	t_{VD_DATA}				900	ns
Data Valid Acknowledge Time	t_{VD_ACK}				900	ns
Bus Capacitance	C_B	(Note 3)			400	pF
Pulse Width of Suppressed Spikes	t_{SP}				140	ns
TIMING (FAST-MODE PLUS)						
Clock Frequency	f_{SCL}		0		1000	kHz
Bus Free Time Between STOP and START Condition	t_{BUSF}		0.5			μs

($V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $V_{VIO} = 1.8V$ 、 $R_{SEL} = 536\Omega$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値。制限値は $T_J = +25^\circ C$ で 100%製品テストされています。特に指定のない限り、動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および対応する電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

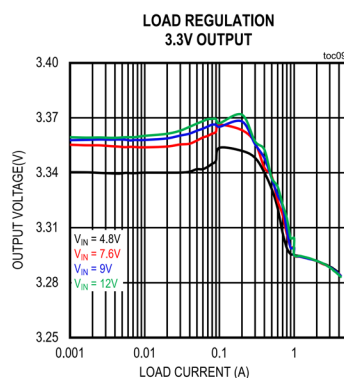
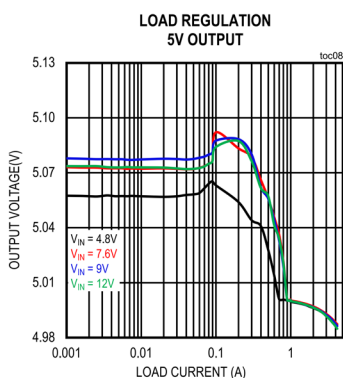
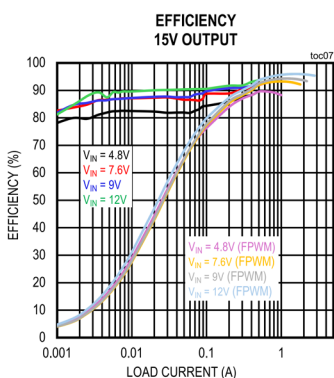
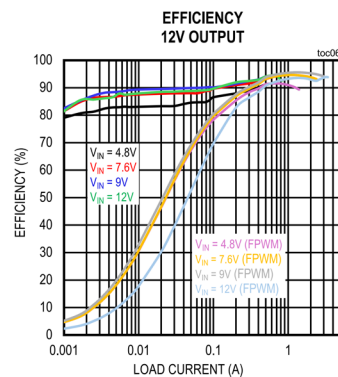
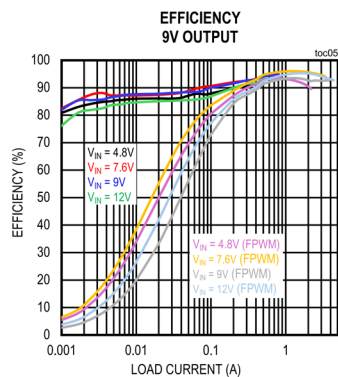
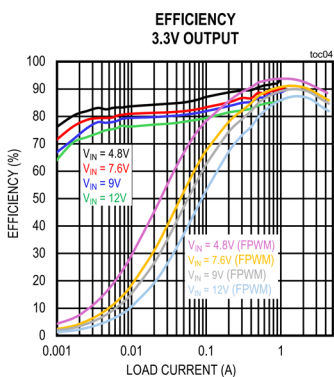
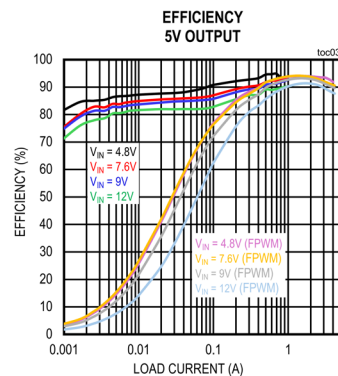
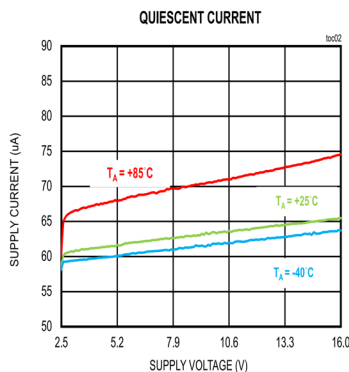
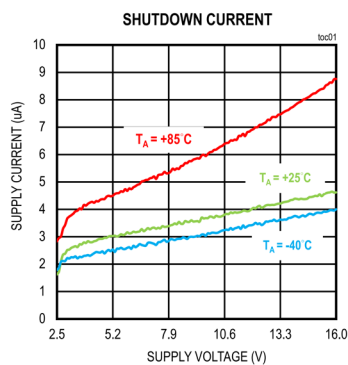
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Hold Time (REPEATED) START Condition	t_{HD_START}		0.26			μs
SCL LOW Period	t_{LOW}		0.5			μs
SCL HIGH Period	t_{HIGH}		0.26			μs
Setup Time (REPEATED) START Condition	t_{SU_START}		0.26			μs
DATA Setup Time	T_{SU_DATA}		50			ns
SCL, SDA Receiving Rise Time	t_{R_REV}				120	ns
SCL, SDA Receiving Fall Time	t_{F_REV}		20 x ($V_{VIO} / 5.5V$)		120	ns
Setup Time for STOP Condition	t_{SU_STO}		0.26			μs
Data Valid Time	t_{VD_DATA}				450	ns
Data Valid Acknowledge Time	t_{VD_ACK}				450	ns
Bus Capacitance	C_B	(Note 3)			550	pF
Pulse Width of Suppressed Spikes	t_{SP}				140	ns
TIMING (HIGH-SPEED MODE, BUS CAPACITANCE = 100pF)						
Clock Frequency	f_{SCL}				3.4	MHz
Hold Time (REPEATED) START Condition	t_{HD_START}		160			ns
SCL LOW Period	t_{LOW}		160			ns
SCL HIGH Period	t_{HIGH}		60			ns
Setup Time (REPEATED) START Condition	t_{SU_START}		160			ns
DATA Hold Time	t_{HD_DATA}				95	ns
DATA Setup Time	T_{SU_DATA}		10			ns
SCL Rise Time	t_{R_SCL}		10		50	ns
SCL Fall Time	t_{F_SCL}		10		50	ns
SDA Rise Time	t_{R_SDA}		10		80	ns
SDA Fall Time	t_{F_SDA}		10		80	ns
Setup Time for STOP Condition	t_{SU_STOP}		160			ns
Bus Capacitance	C_B	(Note 3)			100	pF
Pulse Width of Suppressed Spikes	t_{SP}				30	ns

Note 2 : 自動試験装置（テスト）またはベンチ試験によって特性評価を行っています。製品テストの対象外です。

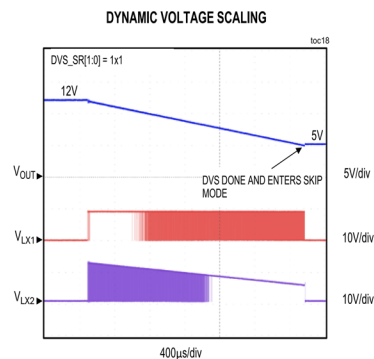
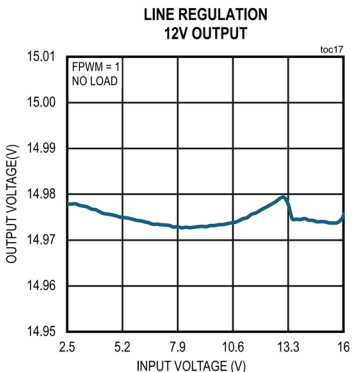
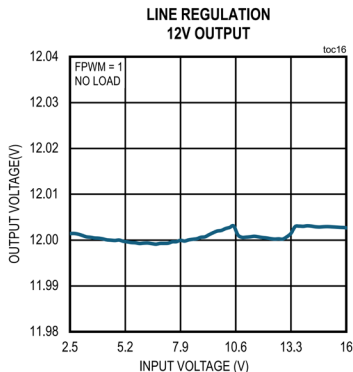
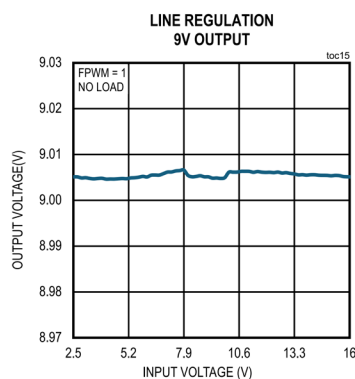
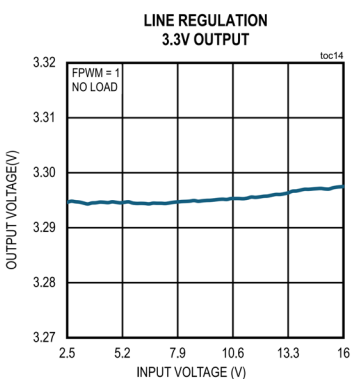
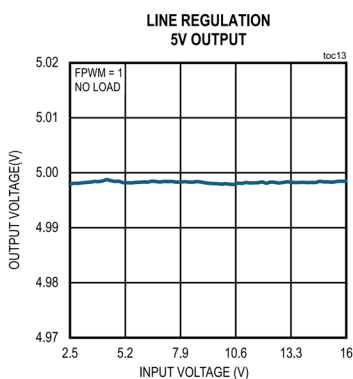
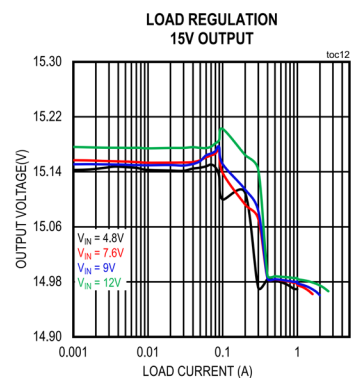
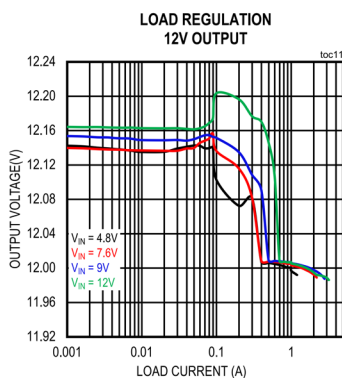
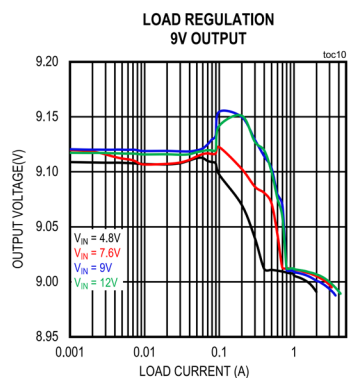
Note 3 : 内部設計の目標値です。製品テストの対象外です。

標準動作特性

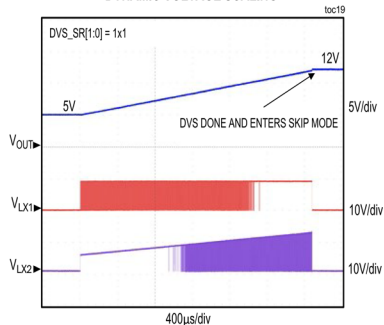
（特に指定のない限り、 $V_{IN} = 7.6V$ 、 $V_{OUT} = 5V$ 、 $L = 1.5\mu H$ （Coilcraft XGL4020-152ME）、 $C_{OUT} = 2 \times 22\mu F$ 、 $FPWM = 0$ 、 $I_{LIM}[1:0] = 0x0$ （5.0A）、 $f_{sw} = 2.1MHz$ 、内部帰還設定、 $T_A = +25^\circ C$ 。注：スイッチング電流の制限値で制限した測定です。実際の最大出力電流はシステムの熱性能によって異なります。）



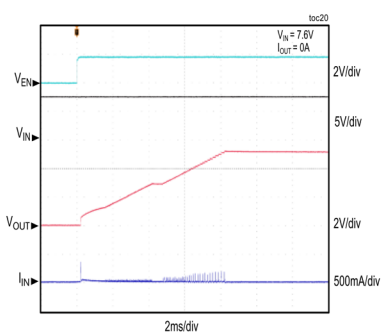
2.5V~16V 入力、スイッチング電流 5A の 高効率昇降圧コンバータ（外部クロック同期機能搭載）



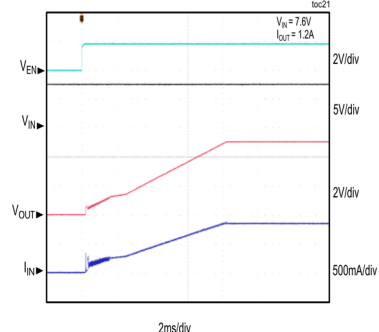
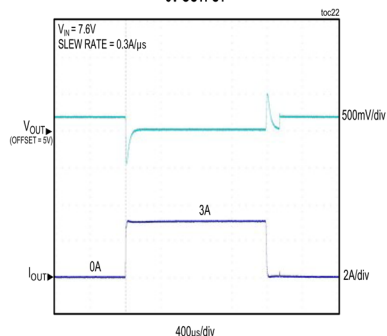
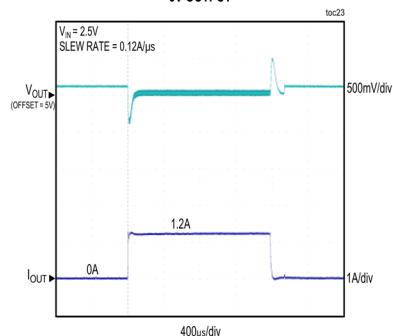
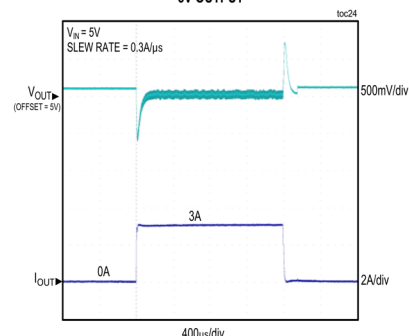
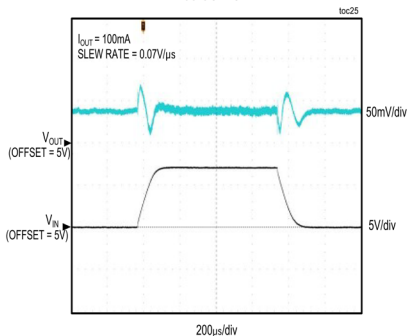
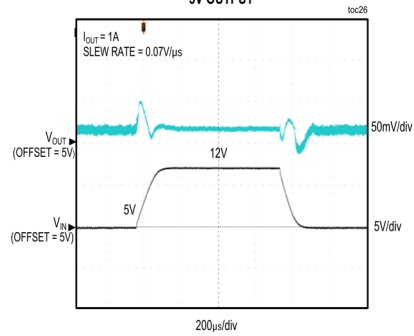
DYNAMIC VOLTAGE SCALING



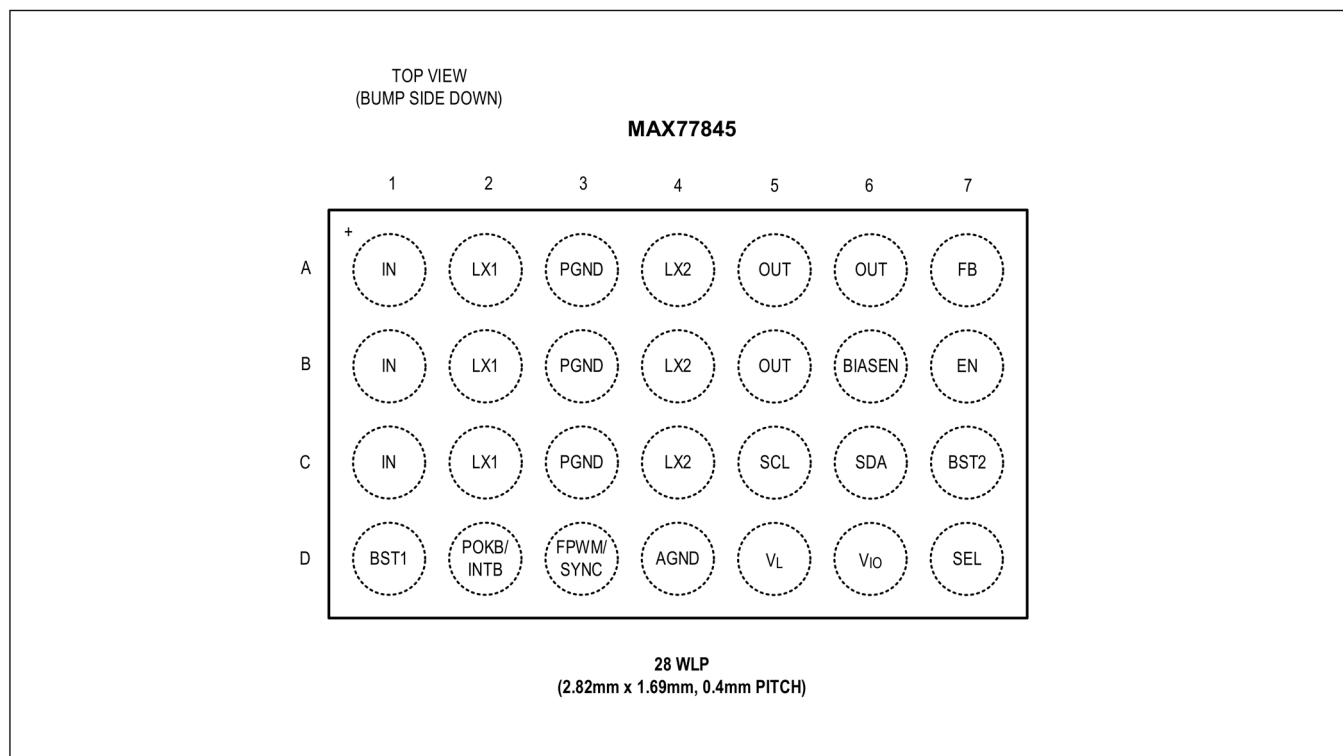
STARTUP WAVEFORM



STARTUP WAVEFORM

LOAD TRANSIENT RESPONSE
5V OUTPUTLOAD TRANSIENT RESPONSE
5V OUTPUTLOAD TRANSIENT RESPONSE
5V OUTPUTLINE TRANSIENT RESPONSE
5V OUTPUTLINE TRANSIENT RESPONSE
5V OUTPUT

ピン配置

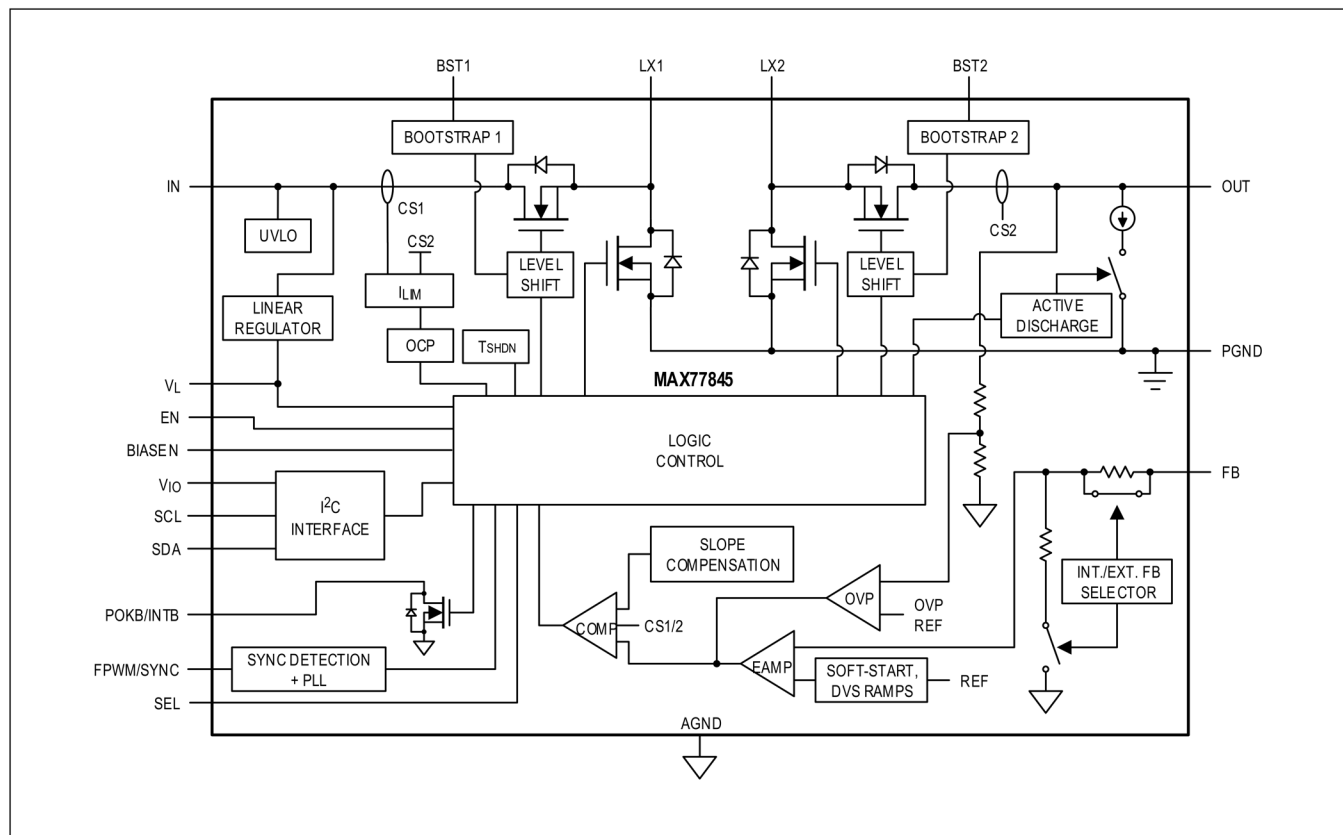


端子説明

端子	名称	機能	タイプ
A1, B1, C1	IN	昇降圧入力。25V 10 μ F のセラミック・コンデンサを 2 個使用して、できるだけ近くで PGND にバイパスします。	Power Input
A2, B2, C2	LX1	昇降圧スイッチング・ノード 1。	Power
A3, B3, C3	PGND	電源グランド。PCB 上の AGND と接続します。	Ground
A4, B4, C4	LX2	昇降圧スイッチング・ノード 2。	Power
A5, A6, B5	OUT	昇降圧出力。25V 22 μ F のセラミック・コンデンサを 2 個使用して、できるだけ近くで PGND にバイパスします。	Power Output
A7	FB	内部帰還抵抗を使用時： 出力電圧検出入力。ポイントオブロードで（出力コンデンサの近くで）出力と接続します。 外部帰還抵抗を使用時： 出力電圧帰還入力。OUT と AGND の間に配置した外部抵抗分圧器の midpoint に接続して、出力電圧を設定します。	Analog
B6	BIASEN	アクティブ・ハイの内部電源イネーブル入力。内部的に 800k Ω の抵抗でプルダウンされています。昇降圧出力をイネーブルする前に、ロジック・ハイに接続して I ² C インターフェースと V _L をイネーブルします。	Digital Input
B7	EN	アクティブ・ハイの昇降圧イネーブル入力。内部的に 0.1 μ A の電流源でプルダウンされています。	Digital Input
C5	SCL	I ² C シリアル・インターフェースのクロック（オフ状態では高インピーダンス）。1.5k Ω ~2.2k Ω の抵抗で V _{IO} にプルアップします。使用しない場合は AGND に接続します。	Digital Input
C6	SDA	I ² C シリアル・インターフェースのデータ（オフ状態では高インピーダンス）。1.5k Ω ~2.2k Ω の抵抗で V _{IO} にプルアップします。使用しない場合は AGND に接続します。	Digital I/O
C7	BST2	LX2 側ハイサイド FET ドライバの電源。BST2 と LX2 の間に 25V 0.22 μ F のセラミック・コンデンサを接続します。	Power Input

D1	BST1	LX1 側ハイサイド FET ドライバの電源。BST1 と LX1 の間に 25V 0.22 μ F のセラミック・コンデンサを接続します。	Power Input
D2	POKB/INTB	アクティブ・ロー、オープン・ドレインのステータス／割込み出力。15k Ω の抵抗でロジック・ハイにプルアップします。使用しない場合は、このピンを接続しないでください。	Digital Output
D3	FPWM/SYNC	アクティブ・ハイの強制 PWM モード制御兼外部クロック同期入力。AGND に接続するとスキップ・モードがイネーブルされ、ロジック・ハイに接続すると強制 PWM モードになり、外部クロックに接続すると外部同期 FPWM モードがイネーブルされます。	Digital Input
D4	AGND	アナログ・グラウンド。PCB 上の PGND と接続します。	Ground
D5	V _L	低電圧内部電源。電源は IN から供給されます。10V 2.2 μ F のセラミック・コンデンサで AGND にバイパスします。このピンには外部から負荷を接続しないでください。	Analog
D6	V _{IO}	IO 電圧源。6.3V 0.47 μ F のセラミック・コンデンサで AGND にバイパスします。IN と V _{IO} が有効であれば、I ² C シリアル・インターフェースがイネーブルされます。このピンの電圧が無効であるとき、レジスタ群はリセット状態に保たれ、レギュレータはディスエーブル状態のままになります。スタンダアロン・モード動作の場合には、このピンを V _L に接続します。	Power Input
D7	SEL	設定の選択。SEL と AGND の間に抵抗を接続して、内部帰還／外部帰還、スイッチング電流制限値、I ² C シリアル・インターフェースのアドレスを設定します。	Analog

機能図



詳細説明

概要

MAX77845 は、高効率、高性能の昇降圧コンバータです。2.5V~16V の広い入力電圧範囲に対応し、最大 3 セルのリチウムイオン・バッテリー、USB 給電 (PD)、12V DC 電源レールなど、様々な電源からの直接変換が可能です。出力電圧範囲が 3V~15V と広いので、幅広いアプリケーションをサポートできます。

このデバイスは、降圧モードで最大 4.5A、昇圧モードで最大 3A の出力電流を供給できます。PWM モードで動作し、軽負荷時の効率を高める自動スキップ・モードも備えています。MAX77845 は、94% のピーク効率、低自己消費電流、コンパクトなソリューション・サイズという特長を備えており、スペースに制約のあるバッテリー駆動の設計に最適です。

内部帰還抵抗を使用している場合のデフォルトの出力電圧は 5V です。これと異なるデフォルト出力電圧を、外部帰還抵抗を使用して設定できます。I²C 対応インターフェースを介して出力電圧を動的に調節することも可能です。

専用制御ピン (EN、BIASEN、POKB/INTB、FPWM/SYNC、SEL) により、ハードウェアによる直接制御が可能です。ソフトスタート時間、ダイナミック電圧スケーリング (DVS) スルー・レート、スイッチング電流制限、スイッチング周波数など、その他のプログラマブルな機能には、I²C 対応インターフェースを介してアクセスできます。プログラマブルなスイッチング周波数と外部クロック同期のサポートによって、ノイズの影響を受けやすい環境でもシステムを容易に最適化できます。

R_{SEL} ピン、および I²C で設定可能なスイッチング電流制限を使用することにより、薄型で小型の外付け部品を使用して特定のアプリケーション向けに最適化できます。内蔵の保護機能により、異常な条件でも安全な動作がサポートされます。

MAX77845 は、2.82mm × 1.69mm の 28 バンプ・ウェハ・レベル・パッケージ (WLP) を採用しています。

イネーブル制御

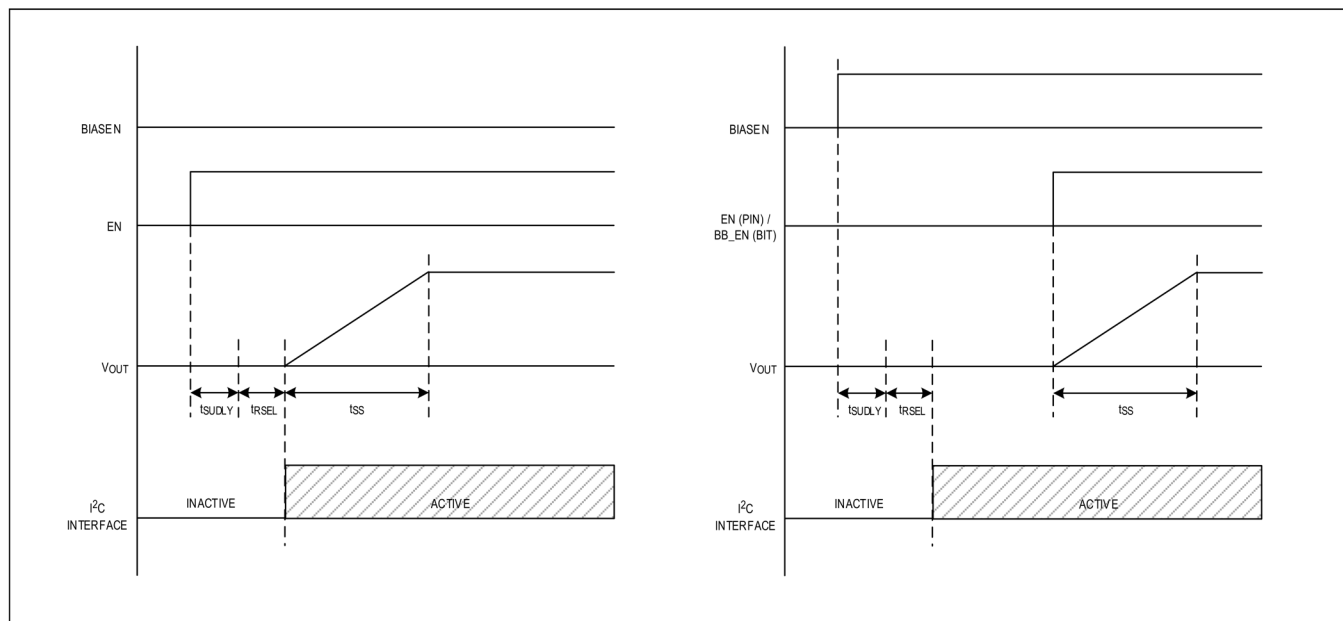


図 1. 起動時の波形

BIASEN ピンと EN ピンのいずれかをハイにプルアップすると、IC の内部バイアス回路 (V_L) がイネーブルされます。 V_L 電源が安定になるとすぐに (代表的には $100\mu\text{s}$ (t_{SUDLY}) 以内)、IC はデバイスの設定のために R_{SEL} の値を読み取ります (所要時間は代表値で $200\mu\text{s}$ (t_{RSEL}))。詳細については、[SEL ピンの設定](#)のセクションを参照してください。有効な V_{IO} 電圧を供給すると、I²C インターフェースがイネーブルされます。EN ピンをハイにするか、I²C を介して BB_EN ビットをセットすると、昇降圧コンバータのソフトスタート処理が開始します ([ソフトスタート](#)のセクションを参照)。(EN ピンをハイにせず) BIASEN ピンをハイにして I²C インターフェースをイネーブルすると、ホスト・プロセッサは昇降圧出力の動作が開始する前に設定を変更できます。

内部レギュレータ V_L を使用して V_{IO} ピンに電力を供給するか、 V_{IN} ピンを使用して EN ピンを制御することも可能です。詳細については、[I²C レス動作とスタンダアロン動作](#)のセクションを参照してください。

昇降圧コンバータの起動後、EN ピンをローにし、I²C を介して BB_EN ビットをクリアすると、昇降圧出力がディスエーブルされます。V_Lをディスエーブルして IC を完全にシャットダウンするためには、EN ピンと BIASEN ピンの両方をローにプルダウンします。表 1 は、EN ピン、BIASEN ピン、BB_EN ビットの組み合わせによる動作の詳細を示しています。BIASEN ピンがハイに保持されている間は、I²C インターフェースはイネーブル状態を保ち、レジスタ設定が保存されます。

表 1. イネーブル・ロジック

EN (PIN)	BIASEN (PIN)	BB_EN (BIT)	V _L AND I ² C SERIAL INTERFACE	BUCK-BOOST OUTPUT	REGISTER RESET	INPUT CURRENT (TYP)
Low	Low	X	Disabled	Disabled	True	2μA
Low	High	0 (default)	Enabled	Disabled	False	20μA
Low	High	1	Enabled	Enabled	False	50μA
High	X	X	Enabled	Enabled	False	50μA

*入力電流の数値は、無負荷状態のスキップ・モード（スイッチングなし）での代表値です。

ソフトスタート

この IC には内蔵のソフトスタート・タイマー (t_{ss}) があり、昇降圧コンバータが起動するときの出力のランプ時間を制御します。昇降圧コンバータの起動時の突入電流はソフトスタートにより制限されます。タイマーが SS_TM[1:0]ビットフィールドで設定され、そのデフォルト値は V_{REF}のデフォルト値 0.30518V に対して 2ms です。t_{ss}の長さは V_{REF}の値に依存して変化します。スイッチング電流制限のスレッシュホールド I_{LIM}が 5A (ILIM[1:0] = 0b00) に設定されていれば、ソフトスタート中には I_{LIM}が 3.4A まで一時的に低下し、t_{ss}終了後に通常値に戻ります。ソフトスタートの間、DVS は無効化されます。ソフトスタート中に VREF[9:0]が変化すると、ソフトスタートの完了後に DVS が開始します。

OCP_LCH ビットが設定されている場合 (MAX77845C のデフォルト)、t_{ss}の終了後に V_{OUT}が POK レベルの V_{POK_R} (代表値で V_{OUT}目標値の 95%) に達しなければ、IC はソフトスタート・フォルトの状態に入り、POK_I フォルト割込みを発行してラッチオフします。詳細については、[即時ラッチオフ条件](#)のセクションを参照してください。

表 2. ソフトスタート電流制限値

ILIM[1:0] BITFIELD	NORMAL CURRENT LIMIT (I _{LIM}) (A)	SOFT-START CURRENT LIMIT (I _{LIM_SS}) (A)
00 (0x0)	5.0	3.4
01 (0x1)	3.4	
10 (0x2)	1.8	1.8
11 (0x3)	1.0	1.0

即時ラッチオフ条件

この IC は、特定のフォルト条件においては自動的にシャットダウンしてデバイス自体を保護します。以下に示すカテゴリのイベントが、危険につながりうるシステム状態を示します。

即時シャットダウン条件の場合は、IC は昇降圧出力をディスエーブルし、I²C インターフェースをオフにし、フォルト条件がクリアされるまでの間すべてのレジスタをリセットします。

ラッチオフ条件の場合は、IC は昇降圧出力をディスエーブルし、BB_EN ビットがセットされていればクリアしますが、I²C インターフェースはアクティブなままとし、レジスタ値を保持します。

即時シャットダウンの条件：

- 低電圧ロックアウト (UVLO)

ラッチオフの条件：

- サーマル・シャットダウン (T_{SHDN})
- 過電流保護 (OCP)
- 出力短絡保護 (SCP)
- ソフトスタート・フォルト

フォルトがクリアされた後、ラッチオフ状態から回復するためには、BB_EN ビットをセットするか EN ピンに電源を再投入します。

出力アクティブ放電

この IC は、OUT と PGND の間にアクティブ放電スイッチを内蔵しており、昇降圧出力がディスエーブルされたときに出力コンデンサを放電します（シャットダウン・イベントや即時ラッチオフ条件のセクションに示した条件のうちサーマル・シャットダウンを除くいずれかの条件による場合）。放電電流は 5mA（代表値）です。アクティブ放電が有効であるとき、イネーブル制御信号（EN ピン、BIASEN ピン、BB_EN ビット）はすべて無視されます。V_{OUT} が放電して 1V（代表値）より下がるか、アクティブ放電が 128ms（代表値）の間継続するか、いずれか早い方でアクティブ放電は停止します。昇降圧レギュレータの動作中、内部放電スイッチは出力から切り離されます。I²C を介して AD_EN ビットをクリアすることによって、アクティブ放電を完全に無効にできます（昇降圧出力がディスエーブルされても放電はオンになりません）。

注：アクティブ放電機能は、V_{OUT} が放電されて 1V より低くなると動作を停止します。アプリケーションの設計においては、この動作を考慮してください。

昇降圧レギュレータ制御方式

この昇降圧レギュレータは、4 スwitch の H ブリッジ構成を使用し、入力電圧範囲全体にわたって出力電圧の安定化を維持します。固定周波数のパルス幅変調（PWM）制御スキームで動作します。スイッチング周波数は FREQ[1:0] ビットフィールドによって設定します。

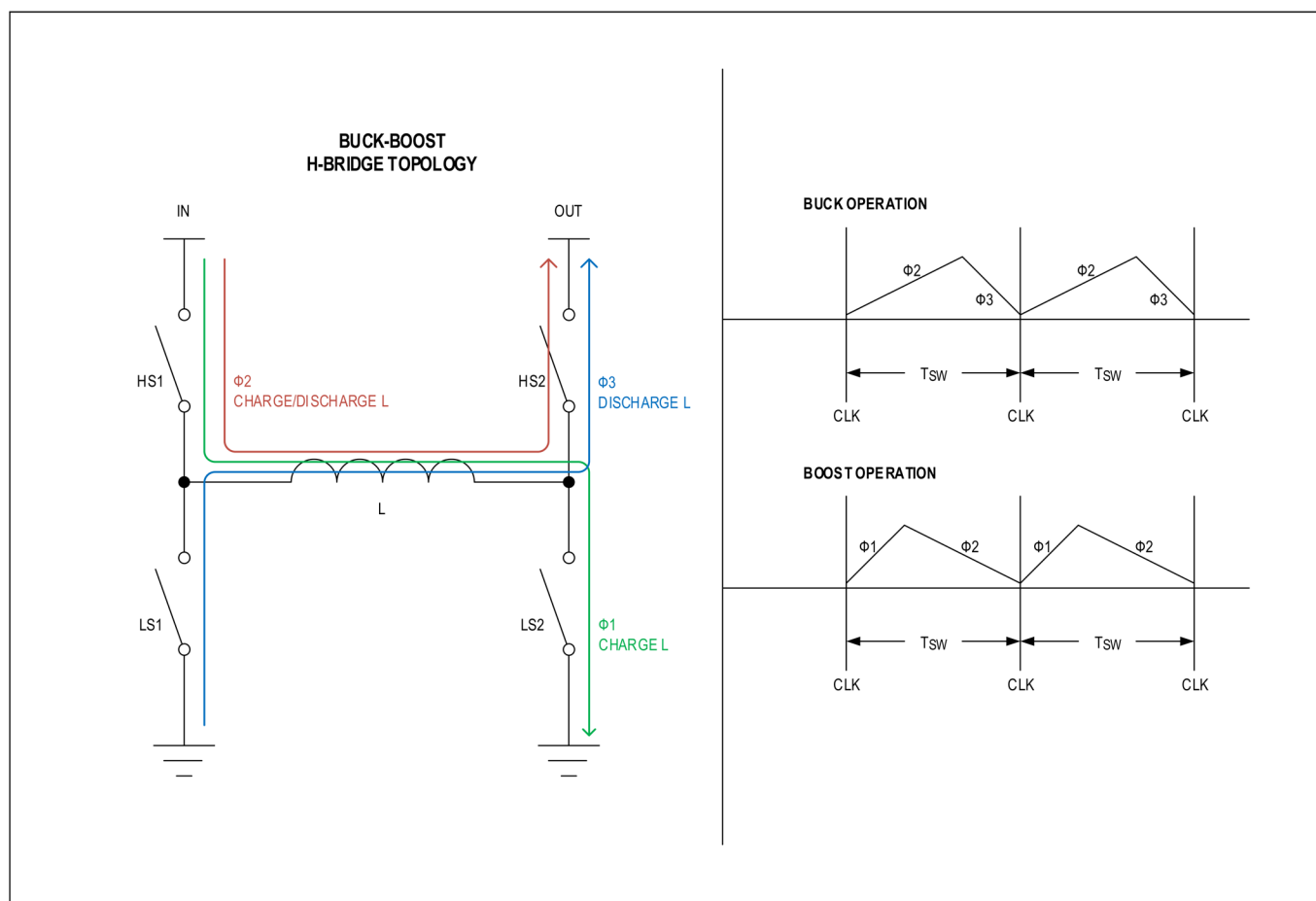


図 2. 昇降圧 H ブリッジ方式

モード制御（FPWM）

無負荷もしくは軽負荷の条件では、IC は効率を改善するためにスキップ・モード動作に移行します。スキップ・モードでは、IC はスイッチングを停止し、出力電圧 V_{OUT} がスキップ・モードの上限スレッシュホールドである V_{SKIP_UPPER} （代表値で V_{OUT} 目標値より 3% 高い電圧）に近づくと、スリープ・モードに入ります。 V_{OUT} がスキップ・モードの下限スレッシュホールドである V_{SKIP_LOWER} （代表値で V_{OUT} 目標値より 1% 高い電圧）より低くなると、IC が起動してスイッチングを再開します。この結果、 V_{OUT} は V_{SKIP_UPPER} と V_{SKIP_LOWER} の間で安定化され、 V_{OUT} のリップル周波数は負荷条件に応じて変動します。負荷電流が一定のスレッシュホールドを超過すると、IC は自動的にスキップ・モードから PWM モードに遷移します。

FPWM/SYNC ピンはアクティブ・ハイのデジタル入力であり、昇降圧レギュレータの動作モードを制御します。FPWM/SYNC ピンをローにすると、自動スキップ・モードが有効になります。FPWM/SYNC ピンをハイにすると、強制 PWM（FPWM）モードが有効になります。モード間のチャタリングを防止するため、このピンは常に駆動を保ってください。FPWM モードでは、特に軽負荷時に昇降圧レギュレータが一定の周波数で動作できるので、出力リップルが低いことが必要なアプリケーションで有効です。これに対し、スキップ・モードでは、軽負荷時における昇降圧レギュレータの効率を最大化できます。PC を使用して FPWM ビットを設定することでも、FPWM モードを有効にできます。FPWM/SYNC 入力は、外部クロック同期に使用することもできます。詳細については、[外部クロック同期（SYNC）](#) のセクションを参照してください。

表 3. 昇降圧モード制御

FPWM/SYNC (PIN)	FPWM (BIT)	BUCK-BOOST MODE
Low	0	Automatic SKIP mode
High	X	FPWM mode (internal clock)
Low/High	1	FPWM mode (internal clock)
Clock (within f_{SYNC})	X	FPWM mode (external clock)

昇降圧モードの設定にかかわらず、 V_{OUT} が異なる目標値に変更されたとき（DVS）には、IC は遷移を高速化するために FPWM モードに入ります。 V_{OUT} が高い電圧から低い電圧に遷移する DVS イベント中は、IC は V_{OUT} が遷移前の V_{TARGET} に対する V_{SKIP_LOWER} を下回ったときに FPWM モードに入り、 V_{OUT} が新しい V_{TARGET} の V_{SKIP_UPPER} より低くなるまで FPWM モードを継続します。その後、 V_{OUT} は出力負荷条件に従って自然に低下し、 V_{SKIP_LOWER} まで下がるとスキップ・モードのスイッチング・サイクルを再開します。[図 3](#) は DVS 中のこうした動作を示しています。

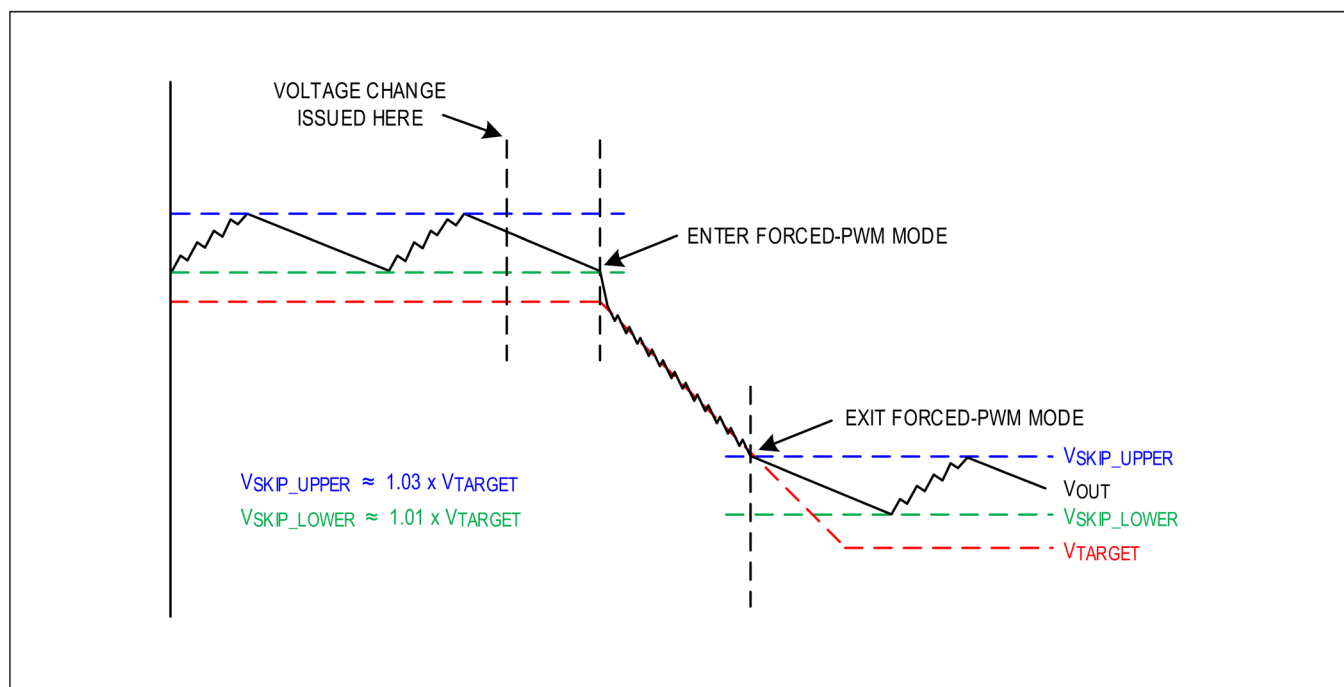


図 3. スキップ・モードのスレッシュホールドと DVS 中の FPWM モード動作

外部クロック同期（SYNC）

周波数が有効範囲（ f_{SYNC} ）内の外部クロック信号（デューティサイクル 50%近辺）を FPWM/SYNC に供給すると、外部同期 FPWM モードが有効になります。有効なロック可能範囲は、内部スイッチング周波数 $\text{FREQ}[1:0]$ の選択に応じて変化します。外部同期が有効になるのは、昇降圧出力がイネーブルされ、ソフトスタート処理が完了し、外部信号の周波数が安定した後に限られます。内部デジタル・ステート・マシンが外部クロック周波数をサイクルごとに評価し、信号周波数が有効範囲内かどうかを判定します。このロジックが、10 サイクル連続で有効範囲内であることを検知したとします。この場合、昇降圧コンバータは、次のオンタイム・サイクルの先頭を、FPWM/SYNC の外部クロックの立上がりエッジに同期させます。SYNC ステータス・ビットがセットされます。それに続く外部クロック・サイクルが有効範囲内である限り、コンバータはオンタイム同期を維持します。ロジックが無効な外部クロック・サイクルを検出すると（立上がりエッジの発生が早すぎる場合や遅すぎる場合）、コンバータは直ちに内部発振器動作に戻ります。SYNC ステータス・ビットはクリアされ、SYNC_I 割込みビットが設定されます。FPWM ビットがゼロに設定されていて、FPWM/SYNC が約 5 μ s の間ローにアサートされると、コンバータはスキップ・モードに戻ります。

表 4. 有効同期周波数範囲（ f_{SYNC} ）

FREQ[1:0] BITFIELD	INTERNAL SWITCHING FREQUENCY (TYP) (MHz)	MINIMUM VALID SYNC FREQUENCY (MHz)	MAXIMUM VALID SYNC FREQUENCY (MHz)
00 (0x0)	1.2	0.84	1.50
01 (0x1)	1.5	1.05	1.88
10 (0x2)	1.8	1.26	2.25
11 (0x3)	2.1	1.47	2.60

出力電圧の設定

この IC は 3V～15V と広い出力電圧範囲に対応しています。内部帰還抵抗を使用すると外付け部品が少なく全体のソリューション・サイズが小さくなるメリットが得られ、外部帰還抵抗を使用する場合には、I²C シリアル・インターフェースを使用しなくても起動時に出力電圧 V_{OUT} をカスタマイズ設定できます。内部帰還抵抗と外部帰還抵抗のどちらを使用するかは、 R_{SEL} で設定します。詳細については、[SEL ピンの設定](#)のセクションを参照してください。

内部帰還抵抗の設定

内部帰還抵抗を使用するとき、 V_{OUT} の範囲は 20mV ステップで 3V～15V です。デフォルトの V_{OUT} は 5V（ $V_{\text{REF}} = 0.30518\text{V}$ ）です。内部帰還抵抗を使用するように IC を設定するためには、適切な値の R_{SEL} を使用し、FB ピンを近傍の出力コンデンサの地点で直接 OUT ピンに接続します。

外部帰還抵抗の設定

外部帰還抵抗を使用する場合、実際の出力電圧範囲とステップ幅は、外部帰還抵抗と内部帰還抵抗の比に応じて変化します。外部帰還抵抗を使用して IC を設定するためには、適切な値の R_{SEL} を使用してください。図 4 に示すように、OUT、FB、AGND の間に抵抗分圧器を接続します。上側の帰還抵抗（ R_{TOP} ）と並列に 10pF のフィードフォワード・コンデンサ（CFF）を追加することも推奨します。 R_{TOP} （OUT と FB の間）は 150k Ω ～330k Ω のものを選択します。 V_{OUT} の精度を保つために、許容誤差が 1%以下の抵抗を強く推奨します。起動時に必要な V_{OUT} に対し、 R_{BOT} （FB と AGND の間）を次式によって計算します。

$$R_{\text{BOT}} = \frac{R_{\text{TOP}} \times V_{\text{REF}}}{V_{\text{OUT}} - V_{\text{REF}}}, V_{\text{OUT}} \leq V_{\text{OVP}}$$

ここで、 V_{REF} はデフォルト内部リファレンス電圧です。

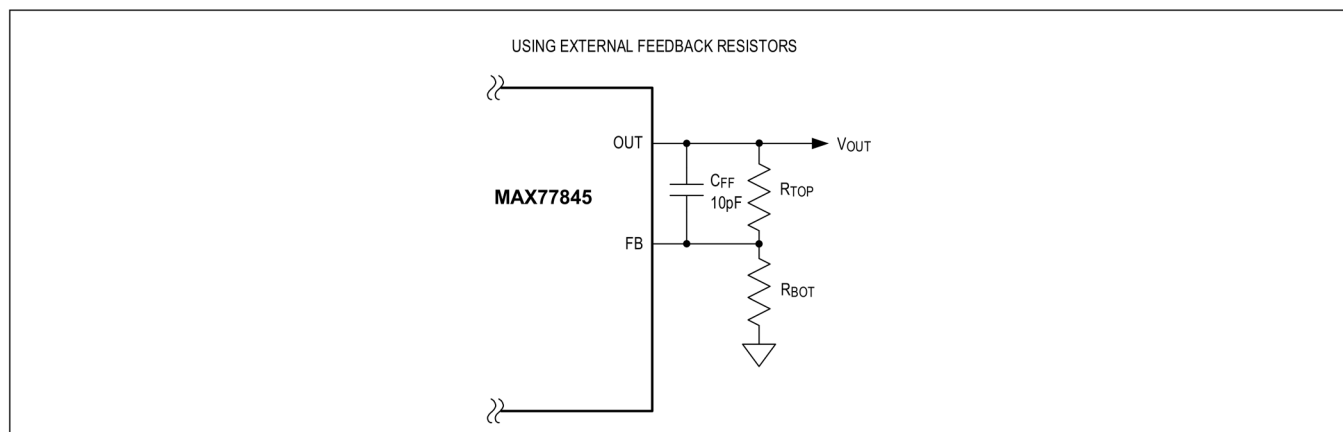


図 4. 外部帰還抵抗の接続

表 5 は、デフォルトの V_{REF} である 0.30518V を前提に、代表的な起動時出力電圧に対する推奨の外部帰還抵抗の値（E192 系列）を示しています。

表 5. 帰還抵抗の推奨値

DEFAULT V_{REF} (V)	R_{TOP} (k Ω)	R_{BOT} (k Ω)	STARTUP V_{OUT} (V)	PROGRAMMABLE V_{OUT} RANGE (V)	V_{OUT} STEP SIZE (mV)
0.30518	205	23.2	3	3.0 to 9.0	12
	162	16.5	3.3	3.0 to 9.9	13.2
	Internal Feedback Resistors		5	3.0 to 15	20
	160	5.62	9	5.4 to 15	36
	182	4.75	12	7.2 to 15	48
	180	3.74	15	9.0 to 15	60

ダイナミック電圧スケーリング (DVS)

V_{REF} を I²C シリアル・インターフェースで設定することにより、 V_{OUT} を動的に調整できます。ビットフィールド $V_{REF}[9:0]$ によって V_{REF} を設定します。 V_{REF} の範囲は 1.22mV ステップで 0.18311V～0.91431V です。内部帰還抵抗を使用する場合、 V_{OUT} の範囲は 20mV ステップで 3V～15V で、次式によって計算できます。

$$V_{OUT} = V_{REF} \times 16.4$$

外部帰還抵抗を使用する場合、 V_{OUT} の範囲とステップ幅は外部帰還抵抗の値によって変わります。 V_{OUT} のステップ幅は次式によって計算できます。

$$V_{OUT_STEP} = \left(\frac{1.22mV}{R_{BOT}} \right) \times (R_{BOT} + R_{TOP})$$

V_{OUT} の範囲を計算するには、次式を使用し、 V_{REF} の最小値 0.18311V と V_{REF} の最大値 0.91431V を代入します。

$$V_{OUT} = \left(\frac{V_{REF}}{R_{BOT}} \right) \times (R_{BOT} + R_{TOP}), V_{OUT} \leq V_{OVP}$$

過電圧保護が動作してしまうため、 V_{OUT} が出力電圧範囲を超過することはできません。詳細については、[過電圧保護 \(OVP\)](#) のセクションを参照してください。

ビットフィールド $DVS_SR[1:0]$ は V_{REF} の DVS ランプ・レート ($\Delta V_{REF}/\Delta t$) を設定し、デフォルト値は 4/3mV/ μ s です。実際の V_{OUT} の DVS ランプ・レート ($\Delta V_{OUT}/\Delta t$) は、 V_{REF} の DVS ランプ・レート ($\Delta V_{REF}/\Delta t$) から上記の外部帰還抵抗の式を使って計算できます。例えば、内部帰還抵抗を使用していれば、 $\Delta V_{REF}/\Delta t$ のデフォルトの 4/3mV/ μ s に対し $\Delta V_{OUT}/\Delta t$ は 21.87mV/ μ s になります。

SEL ピンの設定

SEL ピンを使用し、1 つの抵抗 (R_{SEL}) を SEL ピンと AGND の間に接続することにより、スイッチング周波数、ハイサイド・スイッチング電流制限スレッシュホールド (I_{LIM})、I²C シリアル・インターフェースのターゲット・アドレス、帰還抵抗の内部／外部選択を設定できます。 R_{SEL} には許容誤差が 1% 以下の抵抗を使用する必要があります。表 6 は R_{SEL} の公称値と、対応する設定を示しています。 R_{SEL} のデコードによる設定が、IC のイネーブル直後の初期値として設定されます。その後、すべての設定は I²C インターフェースを介して変更できます。また、2 通りの OTP 設定を使用して I_{LIM} の選択 (5A/3.4A または 1A/1.8A) を変更できます。

表 6. R_{SEL} の選択表

R _{SEL} (Ω)	I ² C ADDRESS (7-BIT)	TYPICAL I _{LIM} (A)		SWITCHING FREQUENCY (MHz)	R _{FB} SELECTION
		OTP = 0	OTP = 1		
GND	110 0110 (0x66)	5.0	1	2.1	External feedback resistors
200	110 0111 (0x67)				
309	110 1110 (0x6E)				
422	110 1111 (0x6F)				
536	110 0110 (0x66)	3.4	1.8		
649	110 0111 (0x67)				
768	110 1110 (0x6E)				
909	110 1111 (0x6F)				
1050	110 0110 (0x66)	5.0	1	1.5	
1210	110 0111 (0x67)				
1400	110 1110 (0x6E)				
1620	110 1111 (0x6F)				
1870	110 0110 (0x66)	3.4	1.8		
2150	110 0111 (0x67)				
2490	110 1110 (0x6E)				
2870	110 1111 (0x6F)				
3740	110 0110 (0x66)	5.0	1	2.1	Internal feedback resistors
8060	110 0111 (0x67)				
12400	110 1110 (0x6E)				
16900	110 1111 (0x6F)				
21500	110 0110 (0x66)	3.4	1.8		
26100	110 0111 (0x67)				
30900	110 1110 (0x6E)				
36500	110 1111 (0x6F)				
42200	110 0110 (0x66)	5.0	1	1.5	
48700	110 0111 (0x67)				
56200	110 1110 (0x6E)				
64900	110 1111 (0x6F)				
75000	110 0110 (0x66)	3.4	1.8		
86600	110 0111 (0x67)				
100000	110 1110 (0x6E)				
OPEN	110 1111 (0x6F)				

内部補償オプション

性能を最適化しようとする設計では、内部補償調整用の COMP[2:0]ビットフィールドを I²C シリアル・インターフェース経由で使用できます。I²C シリアル・インターフェースを使用しないシステムでも、出力容量の調整によって安定性を最適化できます。一般的には、COMP[2:0]ビットフィールドの値の低減または出力容量の追加によって、性能を更に改善できます。

パワーOK (POK)

この IC は、昇降圧出力の安定化状態をモニタするパワーOK (POK) コンパレータを備えています。昇降圧レギュレータが動作中は、実際の V_{OUT} のレベルに基づいて POK が継続的に更新されます。POK ステータス・ビットは、V_{OUT} が目標電圧の 85%（代表値）を下回るとクリアされ、目標電圧の 95%（代表値）を超えるとセットされます。DVS イベント中は、POK モニタの更新は一時的に無効になり、POK ステータス・ビットは DVS イベント以前の値を保持します。POK モニタの更新は、DVS が終了すると再開します。POK ステータス・ビットが 1 から 0 に遷移したとき、あるいはソフトスタート・フォルトが発生したときには、POK_I フォルト割込みが発生します。

フォルト・イベント・ステータス／割込み

この IC には、危険につながりうる状態を示すフォルト・ステータス／割込みがあります。レジスタ 0x10 (STAT) 中のフォルト・ステータス・ビットは IC のリアルタイムの状態を反映し、レジスタ 0x11 (INT) の割込みビットは、対応するフォルト状態が発生するとトリガされてラッチされ、読み出すとクリアされます。以下のフォルト・イベントはどれも、STAT レジスタと INT レジスタの対応するビットをアサートします。

- SYNC : [外部クロック同期 \(SYNC\)](#) のセクションを参照してください。
- POK : [パワーOK \(POK\)](#) のセクションを参照してください。
- OVP : [過電圧保護 \(OVP\)](#) のセクションを参照してください。
- SCP : [出力短絡保護 \(SCP\)](#) のセクションを参照してください。
- TSHDN : [サーマル・シャットダウン \(TSHDN\)](#) のセクションを参照してください。
- OCP : [過電流保護 \(OCP\)](#) のセクションを参照してください。

フォルト割込みビットは、レジスタ 0x12 (MASK) の対応するマスク・ビットフィールドをセットすることにより、作動しないようマスクできます。例えば、TSHDN_M ビットフィールドが 1 である場合、サーマル・シャットダウン・イベントが発生しても TSHDN_I ビットフィールドはセットされません。

表 7. フォルト・ステータス／割込みビットの変化条件

FUNCTION	STATUS BIT SET CONDITION	STATUS BIT RESET CONDITION	INTERRUPT BIT SET CONDITION	INTERRUPT BIT RESET CONDITION
SYNC	Buck-boost sync'd to external clock	Buck-boost sync'd to internal clock	SYNC status bit transitions from 1 → 0	INT register is read
POK	V _{OUT} > V _{POK_R}	V _{OUT} < V _{POK_F}	POK status bit is 0, or a soft-start fault occurs	
OVP	V _{OUT} > V _{OVP_R}	V _{OUT} < V _{OVP_F}	Corresponding fault status bit transitions from 0 → 1	
SCP	V _{OUT} < V _{SCP_TH}	V _{OUT} > V _{SCP_TH}		
T _{SHDN}	T _J > T _{SHDN_R}	T _J < T _{SHDN_F}		
OCP	I _L > I _{LIM}	I _L < I _{LIM} in the next clock cycle		

*全フォルト割込みビットのマスクを解除している場合 (MASK = 0x00)

POKB/INTB 出力ピン

POKB/INTB はアクティブ・ロー、オープン・ドレインのデジタル出力ピンです。15kΩ のプルアップ抵抗を使用して、POKB/INTB ピンを V_{IO} に接続します。このピンは、レジスタ 0x15 (BB_CFG2) の POKBINTB ビットによる選択で、POK ピンまたはフォルト割込みピンのいずれかに構成できます。

- POKBINTB = 0 : POK ピン (POKB)。
- POKBINTB = 1 : フォルト割込みピン (INTB)。

このピンが POK ピンとして構成されている場合、POKB/INTB ピンのデジタル出力信号は POK ステータス・ビットの論理 NOT です。すなわち V_{OUT} が POK スレッシュホールドより低い場合、ロジック・ローになります。表 8 は、POKB/INTB ピンが POK ピンとして構成されているときの真理値表です。

表 8. POKB/INTB ピンの真理値表（POKBINTB = 0b0）

V_{OUT} CONDITION	POK BIT	POKB/INTB PIN
$V_{OUT} < \text{POK falling threshold}$	0	HIGH
$V_{OUT} > \text{POK rising threshold}$	1	LOW

このピンがフォルト割込みピンとして設定されているとき、POKB/INTB ピンの信号は、フォルト割込みレジスタ（0x11、INT）の全ビットの論理 NOR になります。別の言い方をすると、マスクされていないフォルト割込みイベントが発生した場合に、このピンがローになります。表 9 は POKB/INTB ピンがフォルト割込みピンとして設定された場合の真理値表を、全割込みビットのマスクが解除された条件（MASK = 0x00）で示しています。

表 9. POKB/INTB ピンの真理値表（POKBINTB = 0b1）

SYNC_I BIT	POK_I BIT	OVP_I BIT	SCP_I BIT	TSHDN_I BIT	OCP_I BIT	POKB/INTB PIN
0	0	0	0	0	0	HIGH
1	X	X	X	X	X	LOW
X	1	X	X	X	X	LOW
X	X	1	X	X	X	LOW
X	X	X	1	X	X	LOW
X	X	X	X	1	X	LOW
X	X	X	X	X	1	LOW

*全フォルト割込みビットのマスクを解除している場合（MASK = 0x00）

保護機能

低電圧ロックアウト（UVLO）

この IC の低電圧ロックアウト（UVLO）機能により、異常な入力条件下での動作が防止されます。BIASEN ピンや EN ピンの状態にかかわらず、IC がシャットダウン状態になり、下記の条件がクリアされるまでの間、すべてのレジスタがリセットされます。

- IN の UVLO : $V_{IN} < \text{入力 UVLO の立下がりスレッシュホールド (V}_{UVLO_F})$
- V_{IO} の UVLO : $V_{VIO} < V_{IO}$ 有効立下がりスレッシュホールド ($V_{VIO_VALID_F}$)

過電圧保護（OVP）

この IC の過電圧保護機能を用いることにより、出力電圧 V_{OUT} が過電圧制限スレッシュホールド (V_{OVP} 、代表値 16.4V) を超えないことを徹底できます。このフォルト状態においては、 V_{OUT} は V_{OVP} まで上昇します。IC は過電圧を検出して、OVP ステータスと OVP_I 割込みビットをセットし、過電圧保護を有効化します。これは、ハイサイド MOSFET をディスエーブル、ローサイド MOSFET をイネーブルにし、 V_{OUT} が過電圧リリース・スレッシュホールド (V_{OVP_REL} 、代表値 15.5V) を下回るまで待つことによって行います。この結果、 V_{OUT} は V_{OVP} と V_{OVP_REL} の間で安定化されます。 V_{OUT} が V_{OVP_REL} より低くなると、OVP ステータス・ビットは自動クリアされます。

過電流保護（OCP）

この IC は、過負荷や高速トランジェントの条件で IC やインダクタを保護するために、信頼性の高いスイッチング電流制限方式を備えています。電流検出回路がハイサイド MOSFET からの電流情報を用い、ピーク・スイッチング電流を求めます ($R_{DS(ON)} \times I_L$)。ビットフィールド ILIM[2:0] で、ピーク・スイッチング・インダクタ電流制限 I_{LIM} を設定します。

インダクタ電流 (I_L) が設定された I_{LIM} に達すると、IC は OCP 状態に入り、OCP ステータス・ビットと OCP_I 割込みビットがセットされます。インダクタの充電フェーズが終了し、スイッチング期間の残りの時間は放電フェーズ ($\Phi 3$) で動作します。充電フェーズは次のクロック・サイクルで再び開始します。次のクロック・サイクルでインダクタ電流が I_{LIM} に達していなければ、OCP ステータス・ビットは自動クリアされます。

OCP_LCH ビットによって OCP 状態での IC ラッチオフ動作を制御します。セットされていると、IC は 200 μ s（代表値）のラッチオフ・タイマーを起動します。タイマーの時間が経過すると (I_L が I_{LIM} に 200 μ s 間継続して到達)、IC は昇降圧レギュレータをラッチオフします。ラッチオフ以前に過電流イベントがなくなり、 I_L が I_{LIM} に達しない状態になれば、タイマーはリセットします。

出力短絡保護（SCP）

動作中に、出力短絡スレッシュホールド V_{SCP_TH} （表 10 に示すように SCP_TH ビットで選択）よりも V_{OUT} が低下すると、IC は SCP 状態に入り、SCP ステータス・ビットと SCP_I 割込みビットがセットされます。OCP 状態と同様に、設定された I_{LIM} に I_L が到達するとインダクタの充電フェーズが終了し、放電フェーズ（Φ3）が開始します。ただし、この放電フェーズは、OCP 状態とは異なり、インダクタ電流がバレー電流制限スレッシュホールド（ I_{LIM_VALLEY} ）未満に下がるまでは終了せず、終了時点でインダクタ充電フェーズに入ります。その結果、SCP 状態における実効スイッチング周波数は、レジスタの $FREQ[1:0]$ ビットフィールドや外部クロックで設定された通常のスイッチング周波数とは異なります。選択可能な I_{LIM} オプションと、対応する I_{LIM_VALLEY} 値については、表 11 を参照してください。

SCP_LCH ビットによって SCP 状態での IC ラッチオフ動作を制御します。セットされていると、IC は 200μs（代表値）のラッチオフ・タイマーを起動します。タイマーの時間が経過すると（ V_{OUT} が 200μs 連続して V_{SCP_TH} より低い状態）、IC は昇降圧レギュレータをラッチオフします。ラッチオフ以前に短絡イベントがなくなり、 V_{OUT} が V_{SCP_TH} に達すると、タイマーはリセットします。

表 10. 出力短絡保護スレッシュホールド

SCP_TH BITFIELD	SCP FALLING THRESHOLD	SCP RISING THRESHOLD
0	30% of V_{OUT} target	40% of V_{OUT} target
1	60% of V_{OUT} target	70% of V_{OUT} target

表 11. スwitchング電流制限値のオプション

ILIM[1:0] BITFIELD	NORMAL CURRENT LIMIT (I_{LIM}) (A)	VALLEY CURRENT LIMIT (I_{LIM_VALLEY}) (A)
00 (0x0)	5.0	1.8
01 (0x1)	3.4	
10 (0x2)	1.8	0.3
11 (0x3)	1.0	

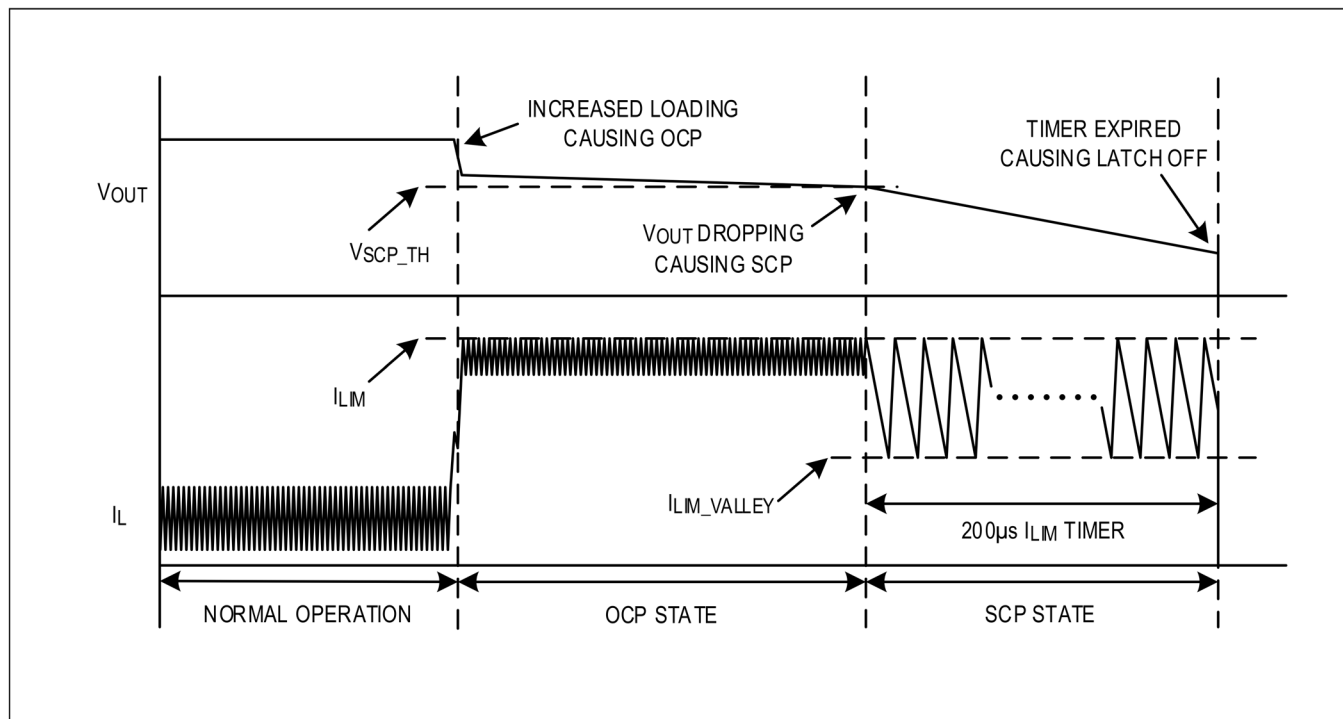


図 5. OCP_LCH = 0 かつ SCP_LCH = 1（MAX77845B のデフォルト）の場合の過電流と出力短絡の動作

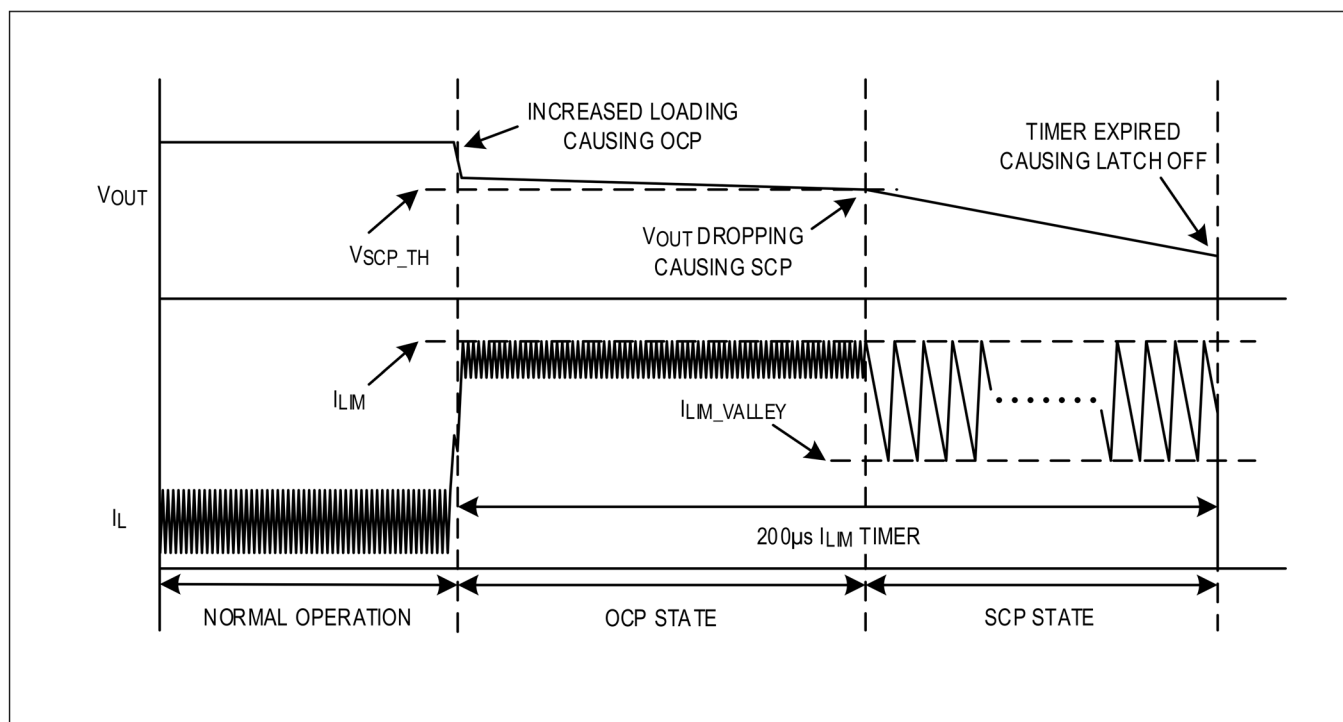


図 6. OCP_LCH = 1 かつ SCP_LCH = 1 (MAX77845C のデフォルト) の場合の過電流と出力短絡の動作

サーマル・シャットダウン (T_{SHDN})

この IC には、ダイ温度を監視する過熱保護回路が内蔵されています。ジャンクション温度 (T_J) がサーマル・シャットダウンの立上がりスレッシュホルド (T_{SHDN_R}、代表値 150°C) を超過すると、IC はサーマル・シャットダウン (T_{SHDN}) に入ります。IC はラッチオフし、T_{SHDN} ステータス・ビットと T_{SHDN_I} 割込みビットがセットされます。他のラッチオフ・イベントと異なり、AD_EN ビットが 1 であっても出力のアクティブ放電は起動されません。 T_J がサーマル・シャットダウン・ヒステリシス (T_{SHDN_HYS}、代表値 20°C) より大きく低下すると、T_{SHDN} ステータス・ビットは自動クリアされます。

詳細説明 – I²C シリアル・インターフェース

概要

I²C 互換の 2 線式シリアル・インターフェースを、出力電圧やその他の機能の設定に使用します。設定項目については [レジスタ・マップ](#) を参照してください。

I²C シリアル・バスは、双方向のシリアルデータ・ライン（SDA）とシリアル・クロック（SCL）で構成されています。I²C はオープン・ドレインのバスで、SDA と SCL にはプルアップ抵抗（500Ω 以上）が必要です。SDA と SCL に 24Ω の直列抵抗を追加することで、バス・ラインの高電圧スパイクからデバイスの入力を保護できます。また、直列抵抗はバス・ラインのクロストークとアンダーシュートを最小限に抑えます。

システム構成

I²C バスはマルチコントローラ・バスです。このバスに接続できるデバイスの最大数は、バスの容量によってのみ制限されます。

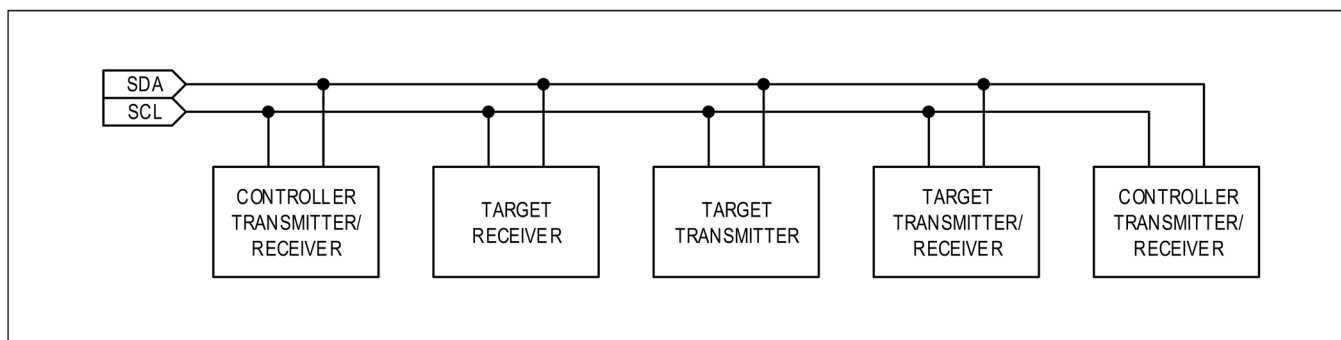


図 7. 通信コントローラの機能論理図

図 8 は、一般的な I²C バス・システムの例です。I²C バス上でバスにデータを送信するデバイスは、「トランスミッタ」と呼ばれます。バスからデータを受信するデバイスは、「レシーバ」と呼ばれます。データ転送を開始し、データ転送を制御するための SCL クロック信号を生成するデバイスは、「コントローラ」と呼ばれます。コントローラからアドレス指定されるデバイスは、「ターゲット」と呼ばれます。MAX77845 は I²C バス上のターゲットであり、トランスミッタとレシーバのどちらにもなることができます。

ビット転送

SCL クロック・サイクルごとに 1 データ・ビットが転送されます。SDA 上のデータは、SCL クロック・パルスがハイの間、安定した状態を維持する必要があります。SCL がハイの間に SDA が変化すると、制御信号（スタート条件またはストップ条件）になります。

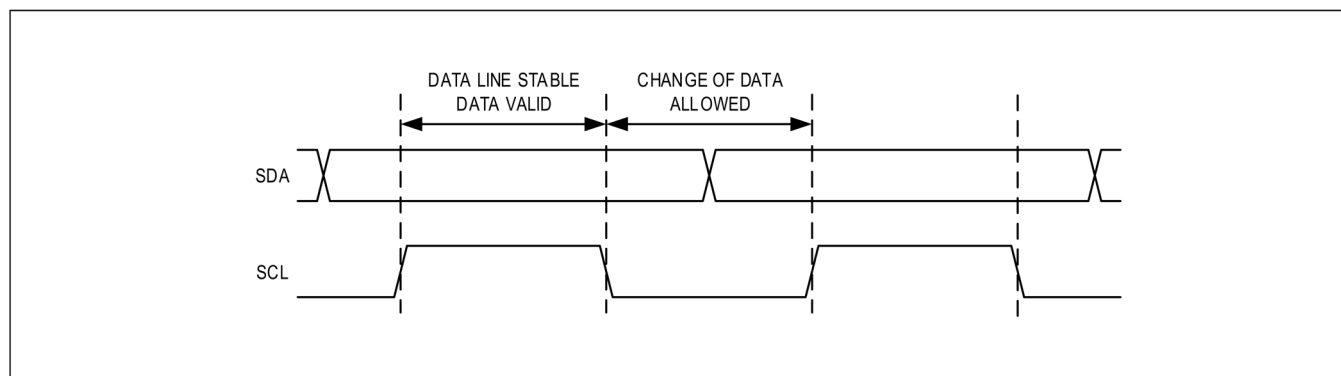


図 8. I²C ビット転送

スタート条件とストップ条件

I²C シリアル・インターフェースがアクティブでない時、SDA と SCL はアイドル・ハイです。コントローラ・デバイスは、スタート条件 (S) を発行することで通信を開始します。スタート条件 (S) は、SCL がハイの状態における SDA のハイからローへの遷移です。ストップ条件 (P) は、SCL がハイの状態における SDA のローからハイへの遷移です。

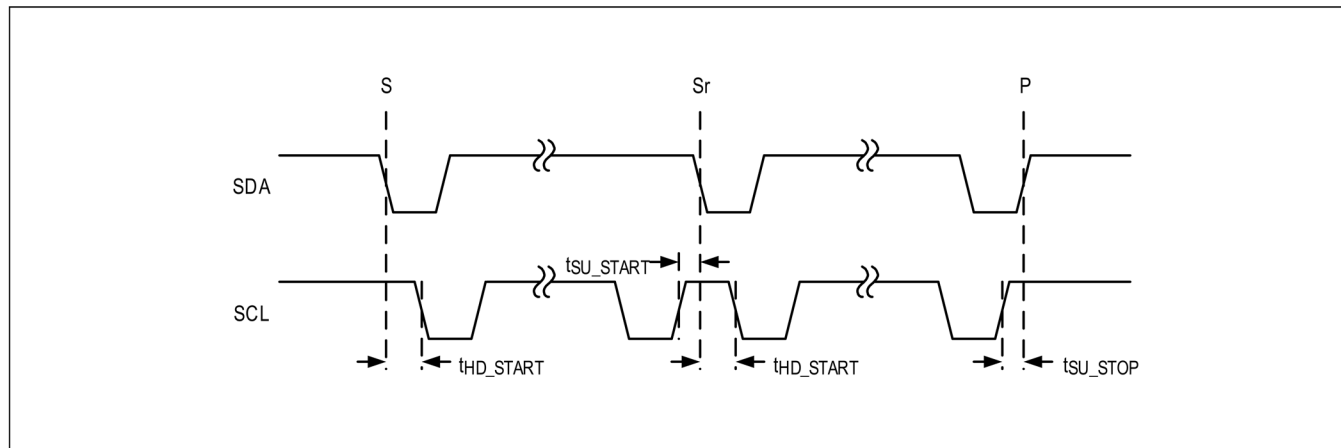


図 9. スタート条件とストップ条件

コントローラ・デバイスからのスタート条件 (S) は、送信の開始を通知します。ノット・アクノレッジ (nA)、ストップ条件 (P) の順に発行することでコントローラは送信を終了します。

ストップ条件 (P) はバスを解放します。ターゲットに対して連続するコマンドを発行する場合、コントローラはストップ条件 (P) の代わりに反復スタート (Sr) コマンドを使用してバスの制御を維持できます。一般的に、反復スタート (Sr) コマンドは、通常のスタート条件と機能的に同等です。

ストップ条件 (P) または不正なアドレスが検出されると、MAX77845 は次のスタート条件 (S) が検出されるまで I²C シリアル・インターフェースから SCL を内部的に切り離して、デジタル・ノイズとフィードスルーを最小限に抑えます。

アクノレッジ・ビット

I²C バス・コントローラ・デバイスとターゲット・デバイスのどちらも、データを受信するとアクノレッジ・ビットを生成します。アクノレッジ・ビットは、9 ビットの各データ・パケットにある最後のビットです。アクノレッジ (A) を生成するには、受信デバイスはアクノレッジに関連したクロック・パルス (9 番目のパルス) の立上がりエッジの前に SDA をローにし、クロック・パルスがハイの間ローに維持する必要があります。ノット・アクノレッジ (nA) を生成するには、受信デバイスはアクノレッジに関連したクロック・パルスの立上がりエッジの前に SDA がハイにプルアップされるようにし、クロック・パルスがハイの間ハイに維持します。

アクノレッジ・ビットをモニタリングすることで、失敗したデータ転送を検出できます。データ転送が失敗するのは、受信デバイスがビジー状態の場合、またはシステム・フォルトが発生した場合です。データ転送が失敗した場合、その後バス・コントローラは通信を再試行する必要があります。

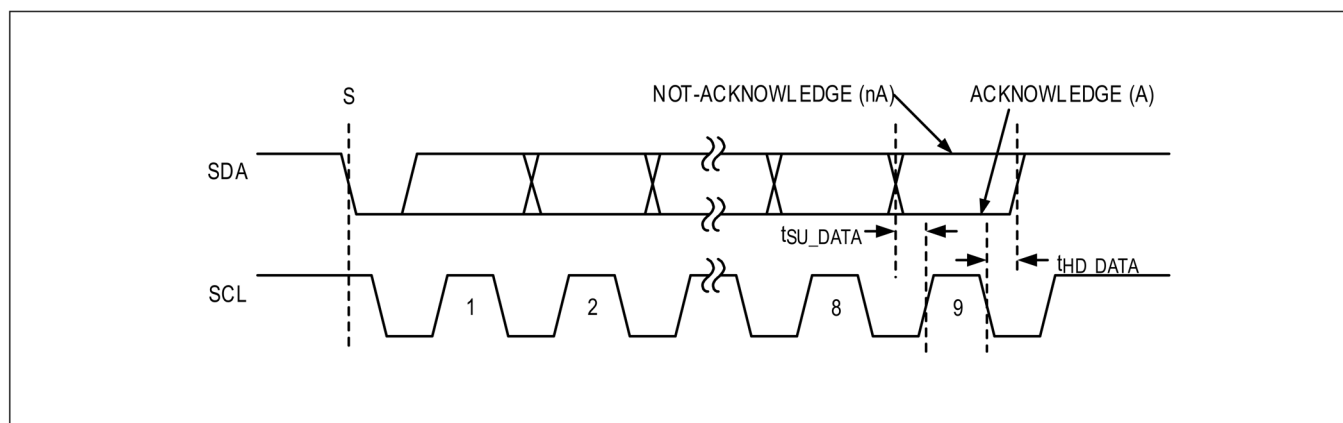


図 10. アクノレッジ・ビット

ターゲット・アドレス

表 12 は MAX77845 で使用可能な I²C ターゲット・アドレスを示しています。MAX77845 は最大 4 つの異なるターゲット・アドレスを R_{SEL} の設定を通じて使用でき、同一の I²C バス・ライン上で複数のデバイスを同時に使用する場合は、システム中でターゲット・アドレスの衝突がある場合に有効です。使用可能な R_{SEL} の値と対応する I²C ターゲット・アドレスについては、表 2 を参照してください。

表 12. MAX77845 の I²C ターゲット・アドレス

7-BIT TARGET ADDRESS	8-BIT WRITE ADDRESS	8-BIT READ ADDRESS
110 0110 (0x66)	1100 1100 (0xCC)	1100 1101 (0xCD)
110 0111 (0x67)	1100 1110 (0xCE)	1100 1111 (0xCF)
110 1110 (0x6E)	1101 1100 (0xDC)	1101 1101 (0xDD)
110 1111 (0x6F)	1101 1110 (0xDE)	1101 1111 (0xDF)

図 11 に 7 ビット・ターゲット・アドレスが 0x66 の場合の例を示します。

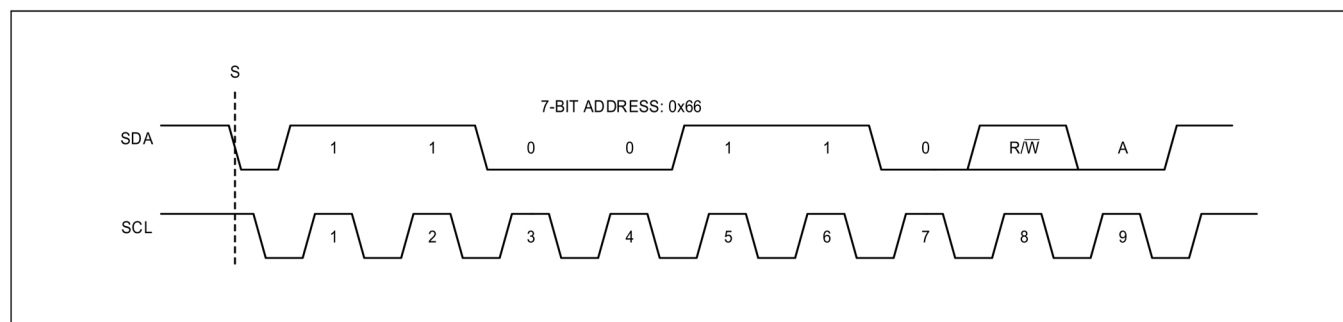


図 11. ターゲット・アドレス・バイトの例

クロック・ストレッチング

一般に、I²C バスのクロック信号生成はコントローラ・デバイスの役割です。I²C の仕様では、低速のターゲット・デバイスが、クロック・ラインをローに保持することによってクロック信号を変更できるようになっています。ターゲット・デバイスがクロック・ラインをローに保持するプロセスは、一般にクロック・ストレッチングと呼ばれています。MAX77845 は、クロック・ラインをローに保持するクロック・ストレッチング動作はいかなる形でも使用しません。

ジェネラル・コール・アドレス

MAX77845 は、I²C 仕様の「ジェネラル・コール・アドレス」には対応していません。MAX77845 は、「ジェネラル・コール・アドレス」(0000 0000) を検出しても、アクノレッジ (A) を発行しません。

通信速度

MAX77845 は、次の通信スピードをサポートしています：

- 0Hz~100kHz（標準モード）
- 0Hz~400kHz（ファースト・モード）
- 0Hz~1MHz（ファーストモード・プラス）
- 0Hz~3.4MHz（ハイスピード・モード）

標準モード、ファースト・モード、ファーストモード・プラスで動作させる場合、特別なプロトコルは必要ありません。この範囲全体でバス速度を調整する場合の主な考慮事項は、バス容量とプルアップ抵抗の組み合わせです。バス容量とプルアップ抵抗で作られる時定数 ($C \times R$) が大きくなると、バス動作が遅くなります。したがって、バス速度を上げる場合は、適切な時定数を維持するために、プルアップ抵抗を下げる必要があります。一般に、バス容量が 200pF の場合、100kHz のバスには 5.6k Ω 、400kHz のバスには約 1.5k Ω 、1MHz のバスには 680 Ω のプルアップ抵抗が必要です。プルアップ抵抗は、オープン・ドレイン・バスが低電圧の場合に電力を消費します。プルアップ抵抗の値が小さいほど、消費電力 (V^2/R) は大きくなります。

ハイスピード・モードでの動作には、いくつかの特別な考慮事項が必要です。MAX77845 に関する主な考慮事項は、次のとおりです。

- コントローラ・デバイスは、電流源プルアップを用いて、信号の立上がり時間を短縮します。
- ターゲット・デバイスは、より高いバス速度に対応するため、SDA ラインと SCL ラインで異なるセットの入力フィルタを使用する必要があります。
- 通信プロトコルは、高速のコントローラ・コードを利用する必要があります。

起動時および各ストップ条件 (P) 後、MAX77845 の入力フィルタは標準モード、ファースト・モード、ファーストモード・プラス用のいずれか（すなわち 0Hz~1MHz）に設定されます。入力フィルタをハイスピード・モードに切り替えるには、[ハイスピード・モードでの通信](#)のセクションに記載のプロトコルを使用します。

通信プロトコル

MAX77845 は、レジスタからの書込みと読出しに対応しています。

単一レジスタへの書込み

[図 12](#) に、単一レジスタへの書込みプロトコルを示します。このプロトコルは、SMBus 規格の「バイト書込み」プロトコルと同様です。

「バイト書込み」プロトコルは次のとおりです。

1. コントローラはスタート条件 (S) を送信します。
2. コントローラは、7ビットのターゲット・アドレス、書込みビット ($R/\overline{W}=0$) の順に送信します。
3. アドレス指定されたターゲットは、SDA をローにしてアクノレッジ (A) をアサートします。
4. コントローラが 8 ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラがデータ・バイトを送信します。
7. ターゲットはデータ・バイトをアクノレッジします。SCL の立上がりエッジで、データ・バイトがそのターゲット・レジスタに読み込まれ、データがアクティブになります。
8. コントローラは、ストップ条件 (P) または反復開始条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復開始条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

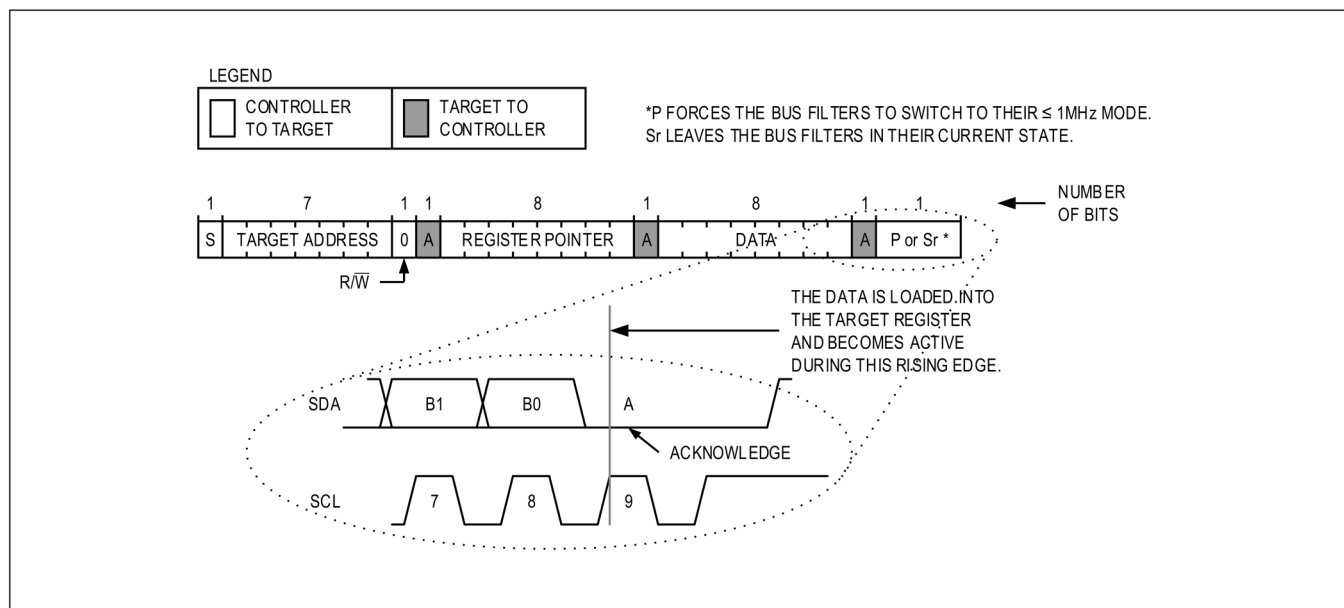


図 12. 単一レジスタへの書込み

連続する複数レジスタへの書込み

図 13 に、連続する複数レジスタへの書込みプロトコルを示します。このプロトコルは「バイト書込み」プロトコルに似ていますが、ターゲット・デバイスがデータの最初のバイトを受信した後もコントローラ・デバイスが書込みを継続する点が異なります。データ書込みが終了すると、コントローラはストップ条件（P）または反復開始条件（Sr）を発行します。

「連続する複数レジスタへの書込み」プロトコルは次のとおりです。

1. コントローラはスタート条件（S）を送信します。
2. コントローラは、7ビットのターゲット・アドレス、書込みビット（ $R/\overline{W}=0$ ）の順に送信します。
3. アドレス指定されたターゲットは、SDA をローにしてアクノレッジ（A）をアサートします。
4. コントローラが8ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラがデータ・バイトを送信します。
7. ターゲットはデータ・バイトをアクノレッジします。SCL の立上がりエッジで、データ・バイトがそのターゲット・レジスタに読み込まれ、データがアクティブになります。
8. 手順 6~7 は、コントローラが必要とする回数だけ繰り返されます。
9. 最後のアクノレッジに関連したクロック・パルス中に、ターゲットはアクノレッジ（A）を発行します。
10. コントローラは、ストップ条件（P）または反復開始条件（Sr）を送信します。ストップ条件（P）を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復開始条件（Sr）を発行すると、バスの入力フィルタは現在の状態を維持します。

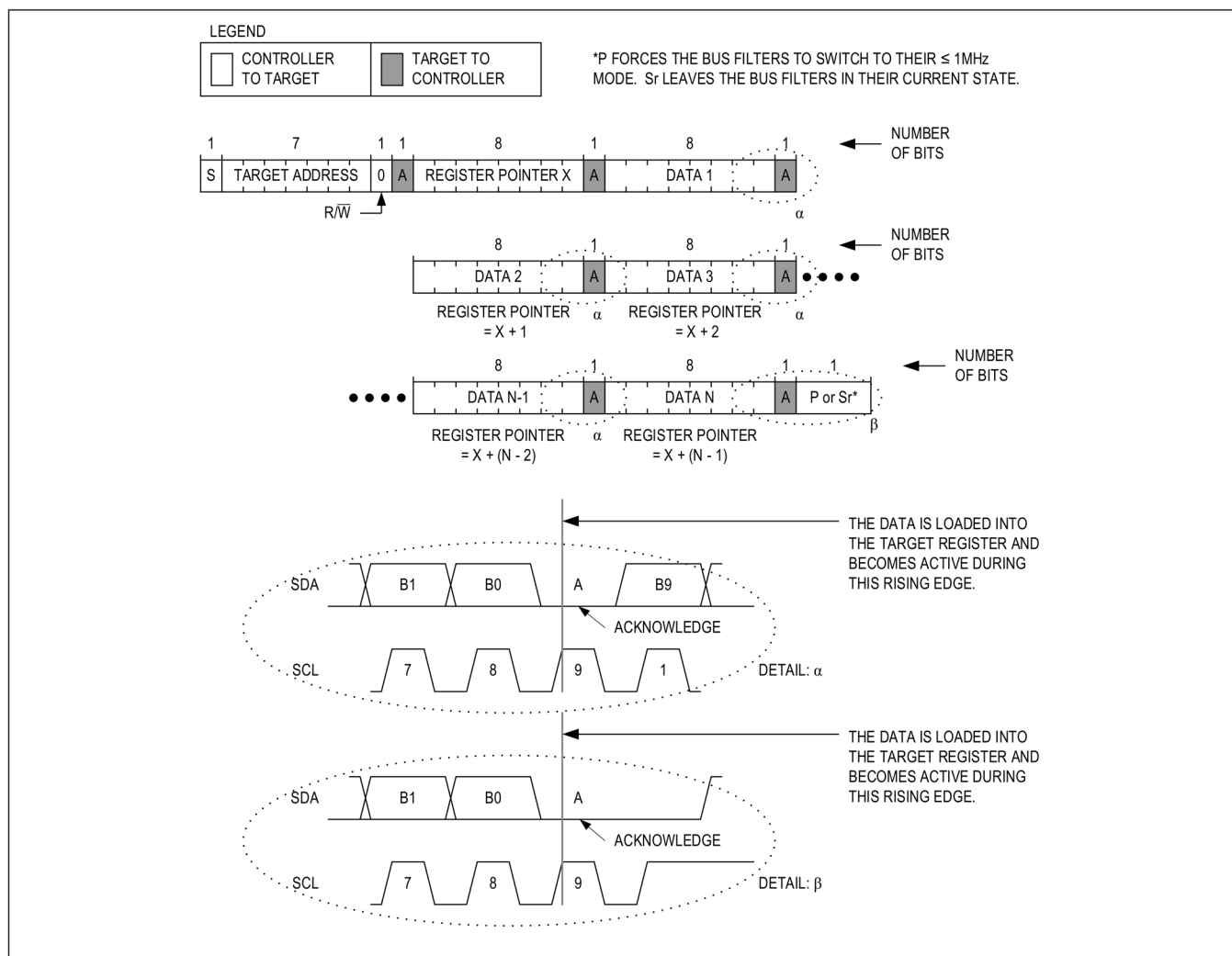


図 13. 連続する複数レジスタへの書き込み

単一レジスタからの読出し

図 14 に単一レジスタからの読出しプロトコルを示します。このプロトコルは、SMBus 仕様の「バイト読出し」プロトコルと同じです。

「バイト読出し」プロトコルは、以下のとおりです。

1. コントローラはスタート条件 (S) を送信します。
2. コントローラは、7 ビットのターゲット・アドレス、書き込みビット ($R/\overline{W}=0$) の順に送信します。
3. アドレス指定されたターゲットは、SDA をローにしてアクノレッジ (A) をアサートします。
4. コントローラが 8 ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラは反復開始条件 (Sr) を送信します。
7. コントローラは、7 ビットのターゲット・アドレス、読出しビット ($R/\overline{W}=1$) の順に送信します。
8. アドレス指定されたターゲットは、SDA をローにしてアクノレッジ (A) をアサートします。
9. アドレス指定されたターゲットは、レジスタ・ポインタで指定された位置から 8 ビットのデータをバス上に配置します。
10. コントローラはノット・アクノレッジ (nA) を発行します。
11. コントローラは、ストップ条件 (P) または反復開始条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復開始条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

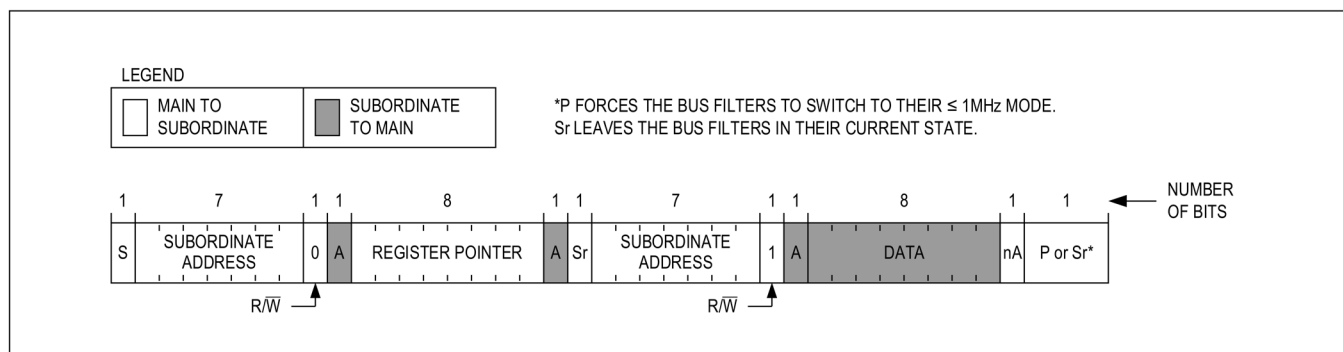


図 14. 単一レジスタからの読出し

連続する複数レジスタからの読出し

図 15 に、連続する複数レジスタからの読出しプロトコルを示します。このプロトコルは「バイト読出し」プロトコルに似ていますが、コントローラ・デバイスがアクノレッジ (A) を発行し、ターゲット・デバイスに対して更にデータが必要であることを知らせる点が異なります。コントローラ・デバイスが必要なデータをすべて取得すると、ノート・アクノレッジ (nA) とストップ条件 (P) を発行して送信を終了します。

「複数レジスタからの連続読出し」のプロトコルは以下のとおりです。

1. コントローラはスタート条件 (S) を送信します。
2. コントローラは、7ビットのターゲット・アドレス、書込みビット ($R/\overline{W}=0$) の順に送信します。
3. アドレス指定されたターゲットは、SDA をローにしてアクノレッジ (A) をアサートします。
4. コントローラが 8ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラは反復開始条件 (Sr) を送信します。
7. コントローラは、7ビットのターゲット・アドレス、読出しビット ($R/\overline{W}=1$) の順に送信します。
8. アドレス指定されたターゲットは、SDA をローにしてアクノレッジ (A) をアサートします。
9. アドレス指定されたターゲットは、レジスタ・ポインタで指定された位置から 8ビットのデータをバス上に配置します。
10. コントローラはアクノレッジ (A) を発行し、更にデータを受信する必要があることをターゲットに知らせます。
11. 手順 9~10 は、コントローラが必要とする回数だけ繰り返されます。最後のデータ・バイトの後、コントローラはノート・アクノレッジ (nA) を発行して、データの受信を停止することを知らせる必要があります。
12. コントローラは、ストップ条件 (P) または反復開始条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復開始条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

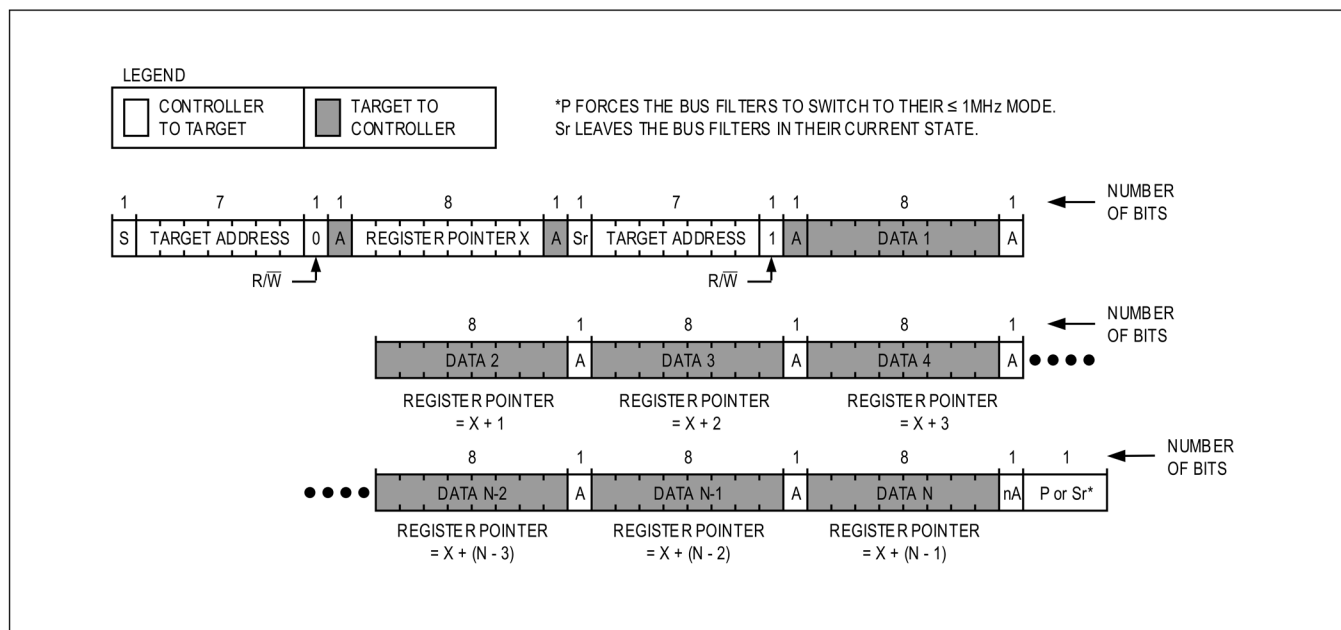


図 15. 連続する複数レジスタからの読出し

ハイスピード・モードでの通信

図 16 に、ハイスピード・モードでの通信するためのプロトコルを示します。このモードではバスが最大 3.4MHz の速度で動作できます。ハイスピード・モードでの通信のためのプロトコルは以下のとおりです。

- 1MHz 以下のバス速度で動作している時にプロトコルを開始します。
- コントローラはスタート条件 (S) を送信します。
- コントローラは、0000 1xx0 (xx は任意ビット) の 8 ビット・コントローラ・コードを送信します。
- アドレス指定されたターゲットは、ノット・アクノレッジ (nA) を発行します。
- コントローラはバス速度を 3.4MHz まで上昇させ、任意の読出し／書込み動作を開始できます。

コントローラはストップ条件 (P) が発行されるまで、ハイスピードの読出し／書込み動作を継続して発行できます。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。

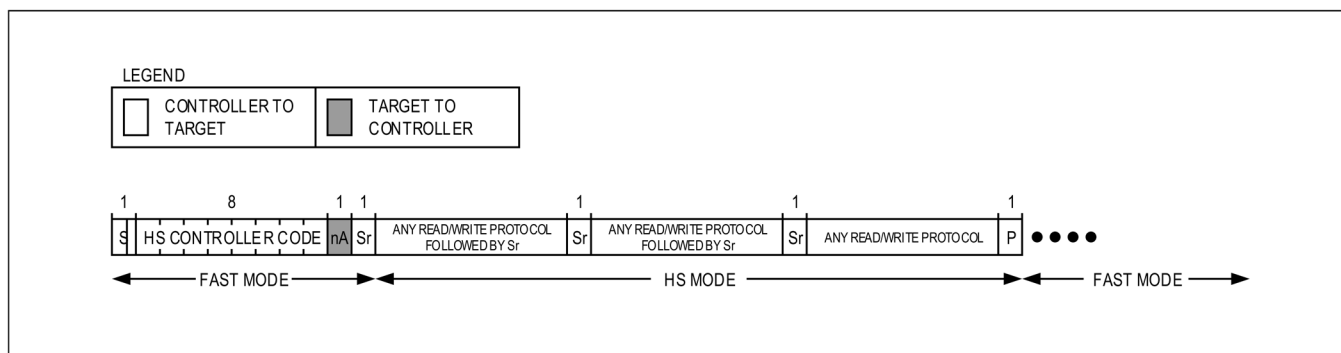


図 16. ハイスピード・モードでの通信プロトコル

ハイスピード・モードの延長

MAX77845 は、ハイスピード・モード延長機能をサポートしています。この機能により、ストップ条件（P）を受信した後もハイスピード・モードを維持できます。コントローラ・デバイスが複数回の読出し／書込みサイクルにわたってハイスピード・モードを継続しなければならない場合に、ハイスピード・モードでの通信するためのコマンドを再発行する必要がなくなります。

図 17 は I²C モードの状態遷移図を示します。MAX77845 が低速モードの場合に HS_EXT ビットフィールドに 1 を書き込むと、ハイスピード・モードの延長ができます。MAX77845 がハイスピード・モードである状態でのハイスピード・モードの延長はサポートされていません。

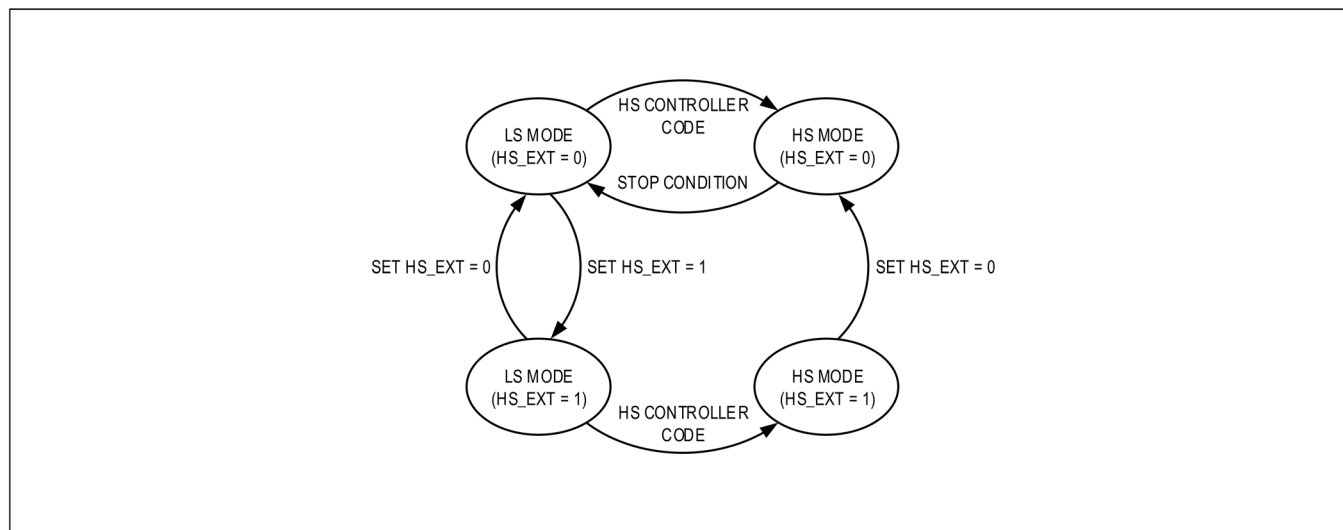


図 17. I²C 動作モードの状態図

アプリケーション情報

低い出力電圧についての考慮事項

MAX77845 の最小オン時間は 110ns（代表値）で、これによって出力電圧が低い条件での入力電圧範囲が制限されます。所定の最小出力電圧に対する最大入力電圧を計算するには、以下の式を使用します。入力電圧範囲を制限することによって、3V よりも低い出力電圧を得ることができます。しかし、2.5V より低い出力電圧ではデバイスを動作させないでください。

$$V_{IN_MAX} = V_{OUT} / (110ns \times f_{SW})$$

例えば、2.5V 出力で 2.1MHz のスイッチング周波数では、最大入力電圧は 10.82V になります。

ソフトウェア（I²C）制御

I²C シリアル・インターフェースで送信されるソフトウェア・コマンドで IC を制御します。

V_{IO} 有効をアサートし、SDA と SCL をシリアル・ホストに接続すると、シリアル・バスが有効になり、IC の完全なソフトウェア制御が可能になります。ソフトウェアを使用する場合、シリアル・ホストは以下を実施できます。

- SYNC、POK、OVP、TSHDN、OCP の各ビットフィールドによるパワーOK および個別フォルト・ステータスへのアクセス。
- SYNC_I、POK_I、OVP_I、TSHDN_I、OCP_I の各ビットフィールドによる個別フォルト割込みへのアクセス。
- SYNC_M、POK_M、OVP_M、TSHDN_M、OCP_M の各ビットフィールドによる個別フォルト割込みマスクの設定。
- POKB/INTB ピンを POK ピンとして使用するか（POKB）フォルト割込みピンとして使用するか（INTB）を POKBINTB[0] ビットフィールドで設定。
- 過電流保護と出力短絡保護のラッチ・オフを SCP_LCH ビットフィールドと OCP_LCH ビットフィールドにより設定。
- 出力短絡トリガ・スレッシュホールドを SCP_TH ビットフィールドで設定。
- 内部補償オプションを COMP[2:0] ビットフィールドで設定。
- スwitchング周波数を FREQ[1:0] ビットフィールドで設定。
- スwitchング電流制限スレッシュホールド（I_{LIM}）を ILIM[1:0] ビットフィールドで設定。
- アクティブ放電のイネーブルを AD_EN ビットフィールドで設定。
- 昇降圧出力を BB_EN ビットフィールドでイネーブル。
- レギュレーション・モード（スキップ、FPWM）を FPWM ビットフィールドで設定。
- ソフトスタート時間を SS_TM[1:0] ビットフィールドで設定。
- VREF_U[1:0] と VREF_L[7:0] のビットフィールドで、内部リファレンス電圧（V_{REF}）の設定により出力電圧（V_{OUT}）を設定。
- V_{OUT} DVS を DVS_STR ビットフィールドにより開始。
- V_{OUT} DVS のスルー・レートを DVS_SR[1:0] ビットフィールドにより設定。

設定レジスタは、V_{IO} が無効になったとき、IN が UVLO 立下がりスレッシュホールド（V_{UVLO_F}）を下回ったとき、EN と BIASEN の両方がロジック・ローになったときにリセットされます。詳細については、[詳細説明 – I²C シリアル・インターフェース](#) および [レジスタ・マップ](#) のセクションを参照してください。

I²C レス動作とスタンダアロン動作

MAX77845 は I²C のソフトウェア制御なしでの動作が可能です。スイッチング周波数とスイッチング電流制限は、SEL ピンと AGND の間に接続される抵抗（R_{SEL}）によって設定できます。外部帰還抵抗を使用して出力電圧を設定できます。詳細については、[SEL ピンの設定](#) のセクションおよび [出力電圧の設定](#) のセクションを参照してください。I²C シリアル・インターフェースを使用しない場合には、予期せぬ挙動を防止するために SCL ピンと SDA ピンを V_{IO} に接続します。

更に、この IC はスタンダアロン動作も可能で、この場合には IC は V_{IN} が有効になると起動し、V_{IO} ピン用の別電源は不要です。これはホスト・コントローラが存在しないシステム、あるいはこの IC がシステム中の唯一の電源である場合に有用です。スタンダアロン動作用にこの IC を設定するためには、IN ピンと EN ピンの間に 510kΩ の抵抗を接続します。BIASEN ピンは EN ピンに接続します。この IC は EN ピンと BIASEN ピンの電圧を内部でクランプし、絶対最大定格を超過しないようにします。V_{IO} ピンに電力供給する別電源がシステムに存在しない場合は、V_{IO} ピンを V_L ピンに接続して、V_{IO} 電圧に内部レギュレータから電力供給するようにします。スタンダアロン動作の接続を [図 18](#) に示します。

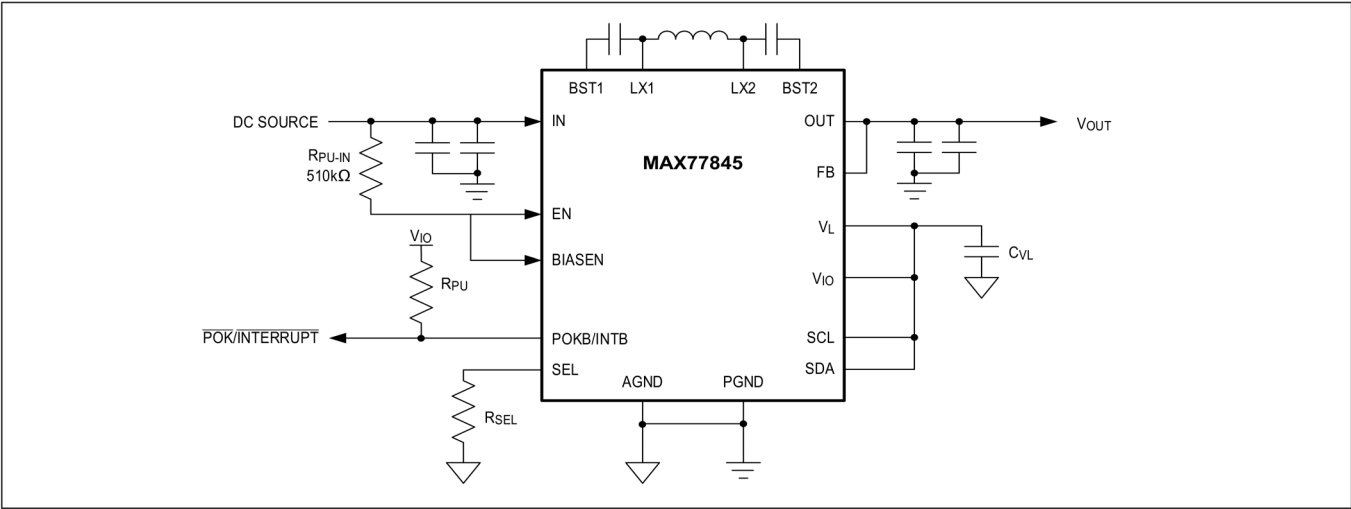


図 18. スタンドアロン動作時の接続

インダクタの選択

インダクタは、飽和電流定格（ I_{SAT} ）が、ハイサイド・スイッチング電流制限スレッショルド（ I_{LIM} ）の代表的な設定値以上のものを推奨します。一般的に、飽和電流が小さく DCR 定格が高いものは物理的なサイズが小さくなります。DCR の値が大きいとコンバータの効率は低下します。インダクタの実効値電流の定格（ I_{RMS} ）（温度が明らかに増加する電流値）は、予想される負荷電流に基づいて選択します。

選択するインダクタの値は、ピーク・インダクタ・リップル電流（ I_{PEAK} ）が I_{LIM} 設定値より低くなり、コンバータがレギュレーションを維持できるようにします。コンバータの動作範囲全体にわたり、1.5μH のインダクタを推奨します。推奨インダクタについては表 13 を参照してください。

表 13. 推奨インダクタ

VENDOR	PART NUMBER	NOMINAL INDUCTANCE (μH)	TYPICAL DCR (mΩ)	I_{SAT} (A)	I_{RMS} (A)	DIMENSIONS L x W x H (mm)	I_{LIM} SETUP
Coilcraft	XGL4020-152MEC	1.5	13	7.5	11.1	4.0 x 4.0 x 2.1	$I_{LIM}[1:0] = 00$ (5.0A)
Murata	DFE322520F-1R5M#	1.5	29 (max)	5.2	4	3.2 x 2.5 x 2.0	$I_{LIM}[1:0] = 00$ (5.0A)
Samsung	CIGW252012TM1R5ML#	1.5	40 (max)	3.4	4.2	2.5 x 2.0 x 1.2	$I_{LIM}[1:0] = 01$ (3.4A)
Cyntec	HTEH25201T-1R5MSR	1.5	35	4	4	2.5 x 2.0 x 1.0	$I_{LIM}[1:0] = 01$ (3.4A)
Murata	DFE201612E-1R5M#	1.5	72 (max)	3.2	2.3	2.0 x 1.6 x 1.2	$I_{LIM}[1:0] = 10$ (1.8A)
Samsung	CIGW201610GL1R5ML#	1.5	75 (max)	2.1	2.4	2.0 x 1.6 x 1.0	$I_{LIM}[1:0] = 10$ (1.8A)

入力コンデンサの選択

ほとんどのアプリケーションでは、動作電圧で 1μF 以上の実効容量を維持する公称値 25V 10μF のセラミック入力コンデンサ（ C_{IN} ）を 2 つ用いて、IN ピンをバイパスしてください。実効的な C_{IN} とは、動作時のコンバータ入力から見た実際の容量値です。これより大きな値を用いるとコンバータのデカップリングは向上しますが、電源接続時の突入電流が増加します。 C_{IN} は、入力電源から引き出される電流のピーク値を減少させ、またシステムのスイッチング・ノイズを低減します。 C_{IN} およびそれと直列の PCB パターンによる ESR/ESL は、コンバータのスイッチング周波数以下の周波数に対し、非常に低い値（< 15mΩ、< 2nH）とする必要があります。

C_{IN} の選択にあたっては、コンデンサの電圧定格、初期許容誤差、温度による変動、DC バイアス特性に特別の注意を払ってください。小型、低 ESR、小さな温度係数といった特長があるため、X7R 誘電体を使用するセラミック・コンデンサを強く推奨します。すべてのセラミック・コンデンサは、DC バイアス電流によって定格値より容量が低下します（DC バイアスの上昇に伴い実効容量が減少）。一般的に、ケース・サイズの小さなコンデンサはケース・サイズの大きなものに比べ、ディレーティングが著しくなります（0603 のケース・サイズの方が 0402 より高性能）。メーカーのデータシートを参照し、慎重に実効容量を検討してください。詳細については、チュートリアル 5527 を参照してください。

出力コンデンサの選択

コンバータの安定動作のために、十分な出力容量（C_{OUT}）が必要です。実効的な C_{OUT} が 8.2μF 以上となるよう選択してください。実効的な C_{OUT} とは、動作時のコンバータ出力から見た実際の容量値です。より大きい値（必要な最小有効容量に加えて）を選択すると負荷過渡応答の性能が改善しますが、ソフトスタート中や出力電圧変動時の突入電流が増加します。出力リップルと負荷過渡応答の条件を満たすためには、出力のフィルタ・コンデンサの ESR がコンバータのスイッチング周波数以下の周波数に対し十分小さい値であることが必要です。出力容量は十分大きくして、全負荷条件から無負荷条件に遷移する間のインダクタのエネルギーを吸収できるようにする必要があります。ほとんどのアプリケーションで、C_{OUT} として 25V 22μF のコンデンサを 2 つ使用することを推奨します。

C_{OUT} の選択にあたっては、コンデンサの電圧定格、初期許容誤差、温度による変動、DC バイアス特性に特別の注意を払ってください。小型、低 ESR、小さな温度係数といった特長があるため、X7R 誘電体を使用するセラミック・コンデンサを強く推奨します。すべてのセラミック・コンデンサは、DC バイアス電流によって定格値より容量が低下します（DC バイアスの上昇に伴い実効容量が減少）。一般的に、ケース・サイズの小さなコンデンサはケース・サイズの大きなものに比べディレーティングが著しくなります（0603 のケース・サイズの方が 0402 より高性能）。メーカーのデータシートを参照し、慎重に実効容量を検討してください。詳細については、チュートリアル 5527 を参照してください。

その他の必要部品の選択

表 14 はその他の必要部品の要求事項を示しています。

表 14. 他の部品選択の要求事項

SYMBOL	COMPONENT DESCRIPTION	PARAMETER	MIN	TYP	MAX	UNITS
C _{BST}	High-Side FET Driver Bootstrap Capacitor	Suggested Capacitance		0.22		μF
C _{VL}	V _L Regulator Bypass Capacitor	Effective Capacitance	0.5		3	μF
		Equivalent Series Resistance (ESR)			100	mΩ
C _{VIO}	V _{IO} Regulator Bypass Capacitor	Effective Capacitance	0.3		1.5	μF
		Equivalent Series Resistance (ESR)			100	mΩ
R _{SEL}	SEL Pin Resistor	Acceptable Tolerance	-1		+1	%
R _{PU}	POKB/INTB Pullup Resistor	Suggested Resistance		15		kΩ

PCB レイアウトのガイドライン

スイッチング電力損失を低減し、クリーンで安定した動作を得るためには、回路基板レイアウトに細心の注意を払う必要があります。EN、FPWM/SYNC、POKB/INTB の各ピンへの配線には高密度インターコネクト（HDI）の PCB が必要です。図 19 に MAX77845 の WLP パッケージのレイアウト例を示します。

PCB の設計時には以下のガイドラインに従ってください。

- 入力コンデンサ (C_{IN}) と出力コンデンサ (C_{OUT}) は IC の IN ピンと OUT ピンの直近にそれぞれ配置します。IC は高スイッチング周波数で動作するため、この配置は入力側と出力側の電流ループの寄生インダクタンスを最小限に抑えるために重要です。この寄生インダクタンスは大きな電圧スパイクを発生させ、内部スイッチング MOSFET を損傷するおそれがあります。
- インダクタは LX バンプの隣に（できるだけ近接して）配置し、LX バンプとインダクタ間のパターンは、PCB のパターン・インピーダンスが最小となるよう、短くかつ幅広にします。過剰な PCB インピーダンスはコンバータの効率を低下させます。LX パターンを別の層に配線する場合（図 19 を参照）、十分な数のビアを用いてパターンのインピーダンスを最小限に抑えるようにします。配線パターンのインピーダンスを更に低減するために、LX のパターンを複数の層に配線することを推奨します。更に、LX パターンが過大な面積を占めないようにします。このノードの電圧は非常に早く切り替わるため、面積が増えると放射エミッションが増加します。
- LX ノードは対応するブートストラップ・コンデンサ (C_{BST}) にできるだけ短距離で配線します。 C_{BST} の配置を優先して、IC へのパターン長を最短にしてください。
- 内部 PGND バンプは、バンプに隣接して配置されたビアを介して PCB の低インピーダンス・グランド・プレーンに接続します。PGND の島はホット・ループを遮るおそれがあるため、形成することのないようにしてください。AGND と AGND の島は PCB の低インピーダンス・グランド・プレーン（PGND と同じネット）に接続します。
- 電源パターンと負荷の接続は短く広くします。これはコンバータの効率を確保するために必要です。
- セラミック・コンデンサの DC 電圧ディレーティングを無視しないようにしてください。コンデンサの値とケース・サイズは慎重に選択します。詳細については、出力コンデンサの選択のセクションとチュートリアル 5527 を参照してください。

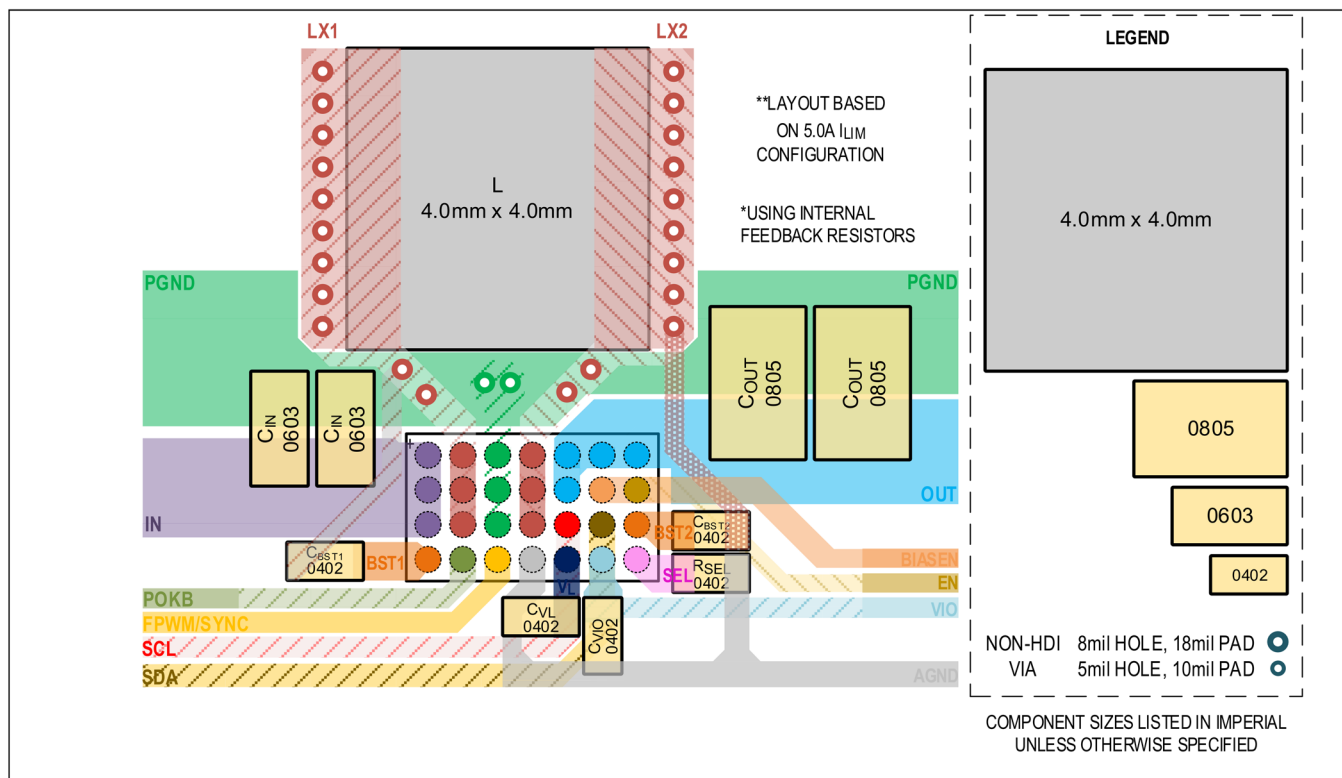


図 19. 28 WLP パッケージに対する推奨 PCB レイアウト

レジスタ・マップ

ユーザ・レジスタ

シャットダウン時にレジスタはリセットされます。

ADDRESS	NAME	MSB							LSB
User Registers									
0x10	STAT[7:0]	RSVD[1:0]		SYNC	POK	OVP	SCP	TSHDN	OCP
0x11	INT[7:0]	RSVD[1:0]		SYNC_I	POK_I	OVP_I	SCP_I	TSHDN_I	OCP_I
0x12	MASK[7:0]	RSVD[1:0]		SYNC_M	POK_M	OVP_M	SCP_M	TSHDN_M	OCP_M
0x13	LCH_CFG[7:0]	RSVD[4:0]					SCP_LCH	RSVD	OCP_LCH
0x14	BB_CFG1[7:0]	COMP[2:0]			FREQ[1:0]		SCP_TH	ILIM[1:0]	
0x15	BB_CFG2[7:0]	AD_EN	BB_EN	FPWM	POKBINTB	SS_TM[1:0]		DVS_SR[1:0]	
0x16	VREF_CFG1[7:0]	RSVD[4:0]					DVS_STR	VREF_U[1:0]	
0x17	VREF_CFG2[7:0]	VREF_L[7:0]							
0x18	I2C_CFG[7:0]	RSVD[6:0]							HS_EXT

レジスタの詳細

STAT (0x10)

POK とフォルト・ステータス・レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		SYNC	POK	OVP	SCP	TSHDN	OCP
Reset	0b00		0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only		Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
RSVD	7:6	予約済み。0 をリードバックします。	N/A
SYNC	5	外部クロック同期ステータス	0: Buck-boost is NOT synchronized to external clock. 1: Buck-boost is synchronized to external clock. This status bit indicate instantaneous value.
POK	4	パワーOK ステータス	0: Output voltage is below POK threshold. 1: Output voltage is above POK threshold. This status bit indicate instantaneous value.

ビットフィールド	ビット	説明	デコード
OVP	3	過電圧保護ステータス	0: Output voltage is below OVP threshold. 1: Output voltage is above OVP threshold. This status bit indicate instantaneous value.
SCP	2	出力短絡保護ステータス	0: Output voltage is above SCP threshold. 1: Output voltage is below SCP threshold. This status bit indicate instantaneous value.
TSHDN	1	サーマル・シャットダウン・ステータス	0: Die temperature is below TSHDN threshold. 1: Die temperature is above TSHDN threshold. This status bit indicate instantaneous value.
OCP	0	過電流保護ステータス	0: Switching current is below set limit. 1: Switching current is above set limit. This status bit indicate instantaneous value.

INT (0x11)

POK とフォルト割込みレジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		SYNC_I	POK_I	OVP_I	SCP_I	TSHDN_I	OCP_I
Reset	0b00		0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Clears All		Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビットフィールド	ビット	説明	デコード
RSVD	7:6	予約済み。0 をリードバックします。	N/A
SYNC_I	5	外部クロック同期フォルト割込み	0: SYNC fault has NOT been detected. 1: SYNC fault has been detected. This bit latches once triggered. Interrupt clears after read.
POK_I	4	パワーOK フォルト割込み	0: POK fault has NOT been detected. 1: POK fault has been detected. This bit latches once triggered. Interrupt clears after read.
OVP_I	3	過電圧保護フォルト割込み	0: OVP fault has NOT been detected. 1: OVP fault has been detected. This bit latches once triggered. Interrupt clears after read.

ビットフィールド	ビット	説明	デコード
SCP_I	2	出力短絡保護フォルト割込み	0: SCP fault has NOT been detected. 1: SCP fault has been detected. This bit latches once triggered. Interrupt clears after read.
TSHDN_I	1	サーマル・シャットダウン・フォルト割込み	0: TSHDN fault has NOT been detected. 1: TSHDN fault has been detected. This bit latches once triggered. Interrupt clears after read.
OCP_I	0	過電流保護フォルト割込み	0: OCP fault has NOT been detected. 1: OCP fault has been detected. This bit latches once triggered. Interrupt clears after read.

MASK (0x12)

POK とフォルト割込みマスク・レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		SYNC_M	POK_M	OVP_M	SCP_M	TSHDN_M	OCP_M
Reset	0b00		0b1	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RSVD	7:6	予約済み	N/A
SYNC_M	5	外部クロック同期フォルト割込みマスク	0: External clock synchronization fault interrupt is NOT masked. 1: External clock synchronization fault interrupt is masked (Default).
POK_M	4	パワーOK フォルト割込みマスク	0: Power-OK fault interrupt is NOT masked (Default). 1: Power-OK fault interrupt is masked.
OVP_M	3	過電圧保護フォルト割込みマスク	0: Overvoltage protection fault interrupt is NOT masked (Default). 1: Overvoltage protection fault interrupt is masked.
SCP_M	2	出力短絡保護フォルト割込みマスク	0: Output short circuit protection fault interrupt is NOT masked (Default). 1: Output short circuit protection fault interrupt is masked.
TSHDN_M	1	サーマル・シャットダウン・フォルト割込みマスク	0: Thermal shutdown fault interrupt is NOT masked (Default). 1: Thermal shutdown fault interrupt is masked.
OCP_M	0	過電流保護フォルト割込みマスク	0: Overcurrent protection fault interrupt is NOT masked (Default). 1: Overcurrent protection fault interrupt is masked.

LCH_CFG (0x13)

フォルト・ラッチオフ設定レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[4:0]					SCP_LCH	RSVD	OCP_LCH
Reset	0b00000					0b1	0b0	OTP
Access Type	Write, Read					Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RSVD	7:3	予約済み	N/A
SCP_LCH	2	出力短絡保護ラッチオフ制御	0: Output short circuit protection latch-off is disabled. 1: Output short circuit protection latch-off is enabled (Default).
RSVD	1	予約済み	N/A
OCP_LCH	0	過電流保護ラッチオフ制御	0: Overcurrent protection latch-off is disabled. 1: Overcurrent protection latch-off is enabled.

BB_CFG1 (0x14)

昇降圧設定レジスタ 1

BIT	7	6	5	4	3	2	1	0
Field	COMP[2:0]			FREQ[1:0]		SCP_TH	ILIM[1:0]	
Reset	0b010			0b11		0b1	0b00	
Access Type	Write, Read			Write, Read		Write, Read	Write, Read	

ビットフィールド	ビット	説明	デコード
COMP	7:5	内部補償用 R_C のオプション（バンド幅）	000: $R_C = 30k\Omega$, Buck mode $R_C = 20k\Omega$, Boost mode 001: $R_C = 45k\Omega$, Buck mode $R_C = 30k\Omega$, Boost mode 010: $R_C = 60k\Omega$, Buck mode $R_C = 45k\Omega$, Boost mode (Default) 011: $R_C = 70k\Omega$, Buck mode $R_C = 50k\Omega$, Boost mode 100: $R_C = 80k\Omega$, Buck mode $R_C = 55k\Omega$, Boost mode 101: $R_C = 90k\Omega$, Buck mode $R_C = 60k\Omega$, Boost mode 110: $R_C = 110k\Omega$, Buck mode $R_C = 75k\Omega$, Boost mode 111: $R_C = 150k\Omega$, Buck mode $R_C = 100k\Omega$, Boost mode
FREQ	4:3	スイッチング周波数	00: 1.2MHz 01: 1.5MHz 10: 1.8MHz 11: 2.1MHz
SCP_TH	2	出力短絡保護検出スレッシュホールド	0: 30% of output voltage target 1: 60% of output voltage target (Default)
ILIM	1:0	ハイサイド・スイッチング電流制限	00: 5.0A 01: 3.4A 10: 1.8A 11: 1.0A

BB_CFG2 (0x15)

昇降圧設定レジスタ 2

BIT	7	6	5	4	3	2	1	0
Field	AD_EN	BB_EN	FPWM	POKBINTB	SS_TM[1:0]		DVS_SR[1:0]	
Reset	OTP	0b0	0b0	0b0	OTP		0b00	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
AD_EN	7	アクティブ放電イネーブル	0: Active discharge is disabled during shutdown. 1: Active discharge is enabled during shutdown (Default).
BB_EN	6	昇降圧出力のソフトウェア・イネーブル	0: Buck-boost output is disabled (Default). 1: Buck-boost output is enabled. 'OR' logic with EN pin input.
FPWM	5	強制 PWM モード	0: Forced-PWM mode is disabled (Default). 1: Forced-PWM mode is enabled. 'OR' logic with FPWM/SYNC pin input.
POKBINTB	4	POKB/INTB ピンの設定	0: POKB/INTB pin configured as POKB pin (reflection of POK bit in STAT register) (Default). 1: POKB/INTB pin is configured as INTB pin (reflection of INT register).
SS_TM	3:2	ソフトスタート時間	00: 1ms 01: 2ms 10: 4ms 11: 8ms
DVS_SR	1:0	内部リファレンス DVS スルー・レート。 V_{REF} DVS のスルー・レートを V_{OUT} DVS のスルー・レートに変換する式については、 出力電圧の設定 のセクションを参照してください。	00: 4/3mV/ μ s (Default) 01: 2/3mV/ μ s 10: 1/3mV/ μ s 11: 1/6mV/ μ s

VREF_CFG1 (0x16)

内部リファレンス設定レジスタ 1

BIT	7	6	5	4	3	2	1	0
Field	RSVD[4:0]					DVS_STR	VREF_U[1:0]	
Reset	0b00000					0b0	0b00	
Access Type	Write, Read					Write, Read	Write, Read	

ビットフィールド	ビット	説明	デコード
RSVD	7:3	予約済み	N/A
DVS_STR	2	DVS 開始	Initiates DVS to apply new VREF. This bit self-clears after DVS is done, or if there is no change to VREF[9:0].
VREF_U	1:0	内部リファレンス電圧の上位ビット	See VREF_L[7:0] for decode values

VREF_CFG2 (0x17)

内部リファレンス設定レジスタ 2

BIT	7	6	5	4	3	2	1	0
Field	VREF_L[7:0]							
Reset	0xFA							
Access Type	Write, Read							

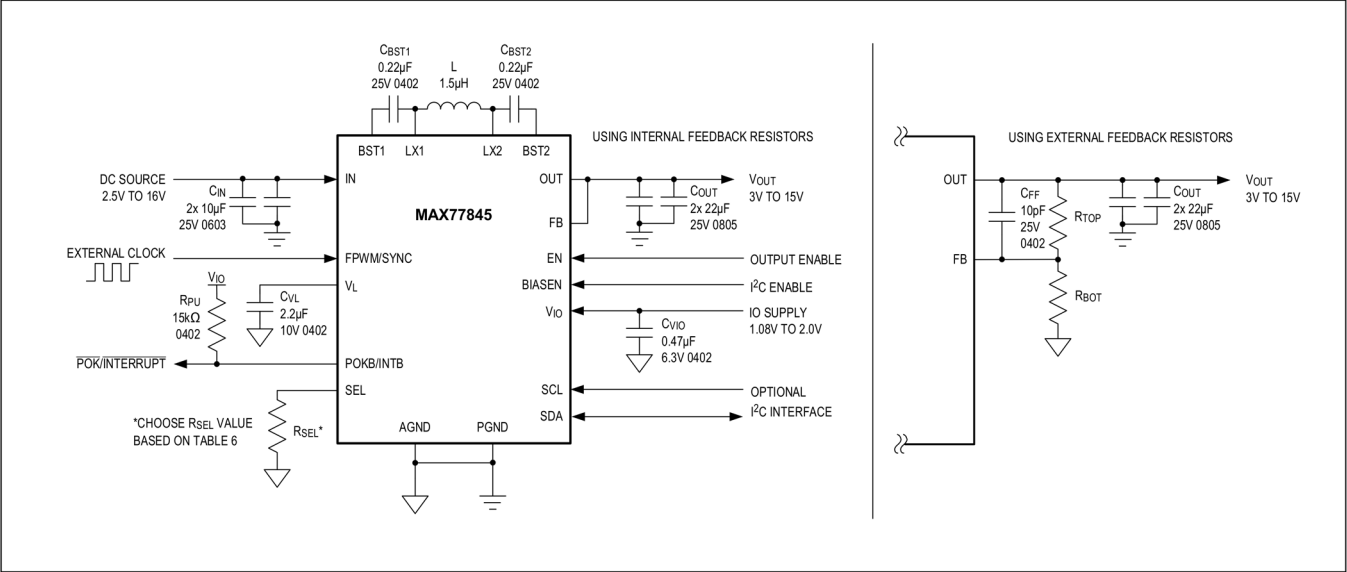
ビットフィールド	ビット	説明	デコード
VREF_L	7:0	内部リファレンス電圧の下位ビット	VREF[9:0] bitfield is a combination of VREF_U[1:0] and VREF_L[7:0], in which VREF_U[1:0] represents the upper 2 bits and VREF_L[7:0] represents the lower 8 bits. After updating VREF[9:0], write 0b1 to DVS_STR (or within the same I²C transaction writing VREF_U[1:0]) to apply the new value. The decode of VREF[9:0] bitfield is as follows: 0x000–0x095: 0.18311V 0x096–0x2ED: 1.22mV/LSB in a linear transfer function between 0.18311V (0x096) and 0.91431V (0x2ED) 0x2EC–0x3FF: 0.91431V Default: 0x0FA: 0.30518V

I2C_CFG (0x18)I²C 設定レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD[6:0]							HS_EXT
Reset	0b0000000							0b0
Access Type	Write, Read							Write, Read

ビットフィールド	ビット	説明	デコード
RSVD	7:1	予約済み	N/A
HS_EXT	0	I ² C ハイスピード・モードの延長制御	0: I ² C high-speed mode extension is disabled (Default). 1: I ² C high-speed mode extension is enabled.

標準アプリケーション回路



型番

PART NUMBER	DEFAULT OUTPUT VOLTAGE (V)	DEFAULT SOFT- START TIME (ms)	DEFAULT OCP LATCH-OFF	DEFAULT SCP LATCH-OFF	PIN-PACKAGE
MAX77845BEWI+T	5	2	Disabled	Enabled	28 WLP
MAX77845CEWI+T			Enabled		28 WLP

+は鉛 (Pb) フリー／RoHS 適合のパッケージであることを示します。
T はテープのリール巻きを示します。
その他のデフォルト・オプションについては、弊社または弊社代理店にお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	11/25	市場投入のためのリリース	—

注