

## MAX77542

## 16VIN/16A の 4 相高効率降圧コンバータ

### 概要

MAX77542 は、4 つの 4A スイッチング位相を備えた高効率降圧コンバータです。適応型 COT (オン時間一定) 電流モード制御方式を使用し、柔軟なアーキテクチャにより 5 つの位相構成に対応できます。幅広い入力電圧範囲を備えているため、1~3 セルのリチウムイオン・バッテリ、および USB 給電 (PD) 電源レールから 1V 未満の出力へ直接変換することが可能です。出力電圧は、抵抗を使用してプリセットでき、I<sup>2</sup>C 対応のインターフェースを通じて更に調整が可能です。

フレキシブル・シーケンサとプログラマブルなソフトスタート／ソフトストップ・スルーレートにより、動作状態間の遷移を制御することができます。プログラマブルなスイッチング周波数、周波数トラッキング、およびスペクトラム拡散機能を搭載しており、ノイズに敏感なアプリケーションに対してシステムを容易に最適化できます。多機能 I/O により、EN、LPM、FPWM、POK、RSTINB、および RSTOB ステータスに対する各出力を柔軟に制御することができます。一連の保護機能を内蔵しているため、異常な動作条件下でも安全な動作を確保します。

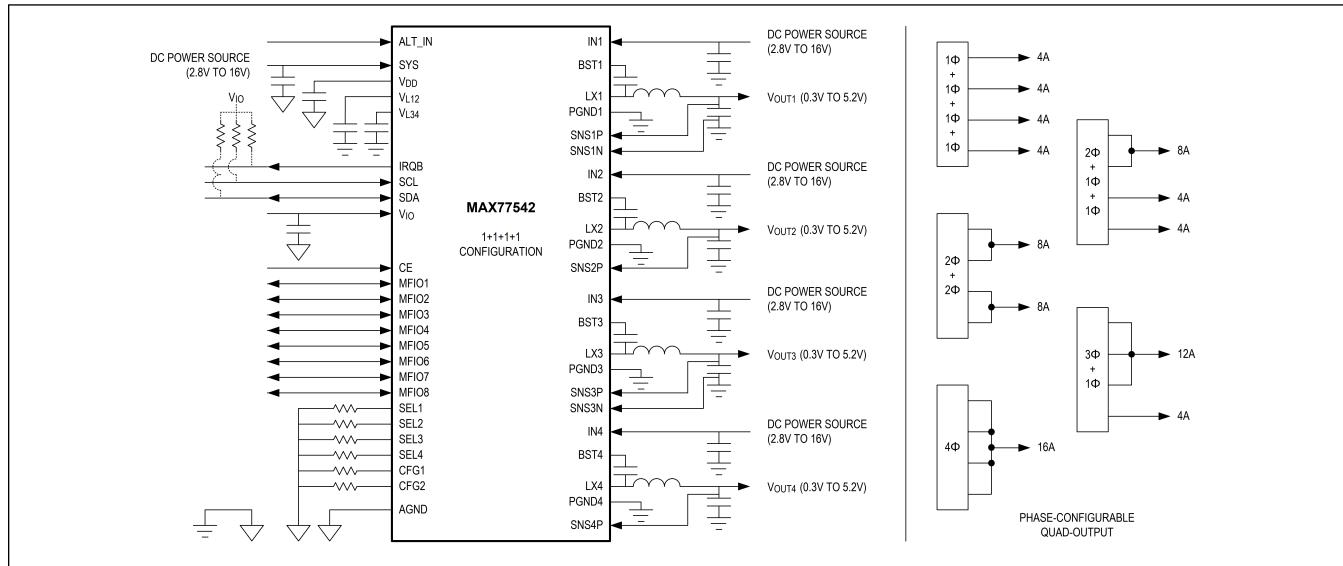
### アプリケーション

- 1~3 セルのリチウムイオン、および USB-C Power Delivery システム
- オーディオ／ビデオ機器および PCIe/RAID カード
- アプリケーション・プロセッサ、FPGA、DSP、ASIC

### 特長と利点

- 入力電圧範囲 : 2.8V~16V
- 出力電圧範囲 : 0.3V~5.2V
- 最大 16A (4A/Φ)、5 つの位相構成
- V<sub>OUT</sub> 精度 : ±0.5% (+25°C のデフォルト V<sub>OUT</sub> に対して)
- ピーク効率 : 94% (7.6V<sub>IN</sub>、3.3V<sub>OUT</sub>、1MHz)
- 自動スキップ／PWM 遷移および低消費電力モード
- 最大デューティ・サイクル 98% のドロップアウト動作
- 差動出力電圧の検出
- ソフトスタート／ソフトストップ・スルーレートを備えたフレキシブル・シーケンサ
- プリバイアスされた起動およびアクティブ出力放電
- 公称スイッチング周波数 : 0.5MHz/1.0MHz/1.5MHz
- スペクトラム拡散変調により EMI を低減
- 内部／外部周波数トラッキング
- デフォルト V<sub>OUT</sub> と位相構成は R<sub>SELx</sub> で設定
- 多機能 I/O による EN、LPM、FPWM、POK
- UVLO、サーマル・シャットダウン、および短絡保護
- 高速 I<sup>2</sup>C シリアル・インターフェース
- 60 バンプ WLP (4.36mm × 2.56mm × 0.65mm)
- 総ソリューション・サイズ : 115mm<sup>2</sup> 未満 (2520 インダクタ使用時)

### 標準アプリケーション回路



標準アプリケーション回路の続きはデータシート末尾に記載されています。

オーダー情報はデータシート末尾に記載されています。

## 目次

概要	1
アプリケーション	1
特長と利点	1
標準アプリケーション回路	1
絶対最大定格	7
推奨動作条件	7
パッケージ情報	7
60 WLP (厚い UBM)	7
電気的特性—トップ・レベル	9
電気的特性—4 相構成の設定が可能な降圧コンバータ	11
電気的特性—多機能 I/O	15
電気的特性—ADC	16
電気的特性—I <sup>2</sup> C シリアル・インターフェース	16
標準動作特性	19
ピン配置	28
MAX77542	28
端子説明	28
詳細—トップ・レベル	31
チップ・イネーブル (CE) および内部バイアス電源	31
低電圧の代替入力 (ALT_IN)	31
デバイスの設定 (CFGx)	32
出力イネーブル制御	35
フレキシブル・パワー・シーケンサ (FPS)	35
低電圧ロックアウト (UVLO)	36
V <sub>IO</sub> のフォルト	36
過熱警告およびサーマル・シャットダウン (TSHDN)	36
リセット入出力	37
割込み (IRQB)、マスクおよびステータス	37
レジスタのリセット条件	38
出荷時のオプション	38
詳細—4 相構成の設定が可能な降圧コンバータ	39
降圧コンバータの制御方式	39
降圧動作モード	40
スキップ・モード	40
低消費電力スキップ (LP-Skip) モード	41
強制 PWM (FPWM) モード	41
ドロップアウト・モード	41
スイッチング周波数	41
位相と出力の構成	42

## 目次 (続き)

デフォルト出力電圧の選択 (SELx) .....	43
出力電圧の設定 .....	45
ソフトスタートとソフトストップ .....	45
ダイナミック出力電圧スケーリング .....	46
出力電圧のアクティブ放電 .....	46
ブートストラップ・リフレッシュ .....	46
周波数トラッキング (FTRAK) .....	47
スペクトラム拡散変調 .....	48
擬似乱数パターン .....	48
三角波パターン .....	49
インダクタ電流制限値 .....	50
パワーOK (POK) .....	50
フォルト保護 .....	50
詳細—多機能 I/O .....	52
MFIO の機能 .....	53
出力イネーブル (EN) .....	54
低消費電力モード (LPM) .....	54
FPWM モード (FPWM) .....	54
外部クロック検出 (CLKDET) .....	54
クロック出力 (CLKOUT) .....	54
出力電圧の選択 (VSEL) .....	54
ブート (デフォルト) 出力電圧の選択 (VB) .....	54
パワーOK (POK) 出力 .....	55
FPS 入力 (FPSI) .....	55
FPS 出力 (FPSO) .....	55
システム・リセット入力 (RSTINB) .....	55
システム・リセット出力 (RSTOB) .....	55
過熱警告出力 (TWARNB) .....	55
汎用入力 (GPI) .....	55
汎用出力 (GPO) .....	55
ADC マルチプレクサ入力 (ADCMUX) .....	56
バランス防止タイマー .....	56
内部プルダウン抵抗およびプルアップ抵抗 .....	56
出力ドライバ・モード .....	56
詳細—ADC .....	56
ADC のイネーブルおよび測定オプション .....	57
出力電流の測定 .....	58
出力電圧の測定 .....	58
SYS 電圧の測定 .....	58

## 目次 (続き)

ジャンクション温度の測定	58
外部電圧の測定	58
詳細—I <sup>2</sup> Cシリアル・インターフェース	58
スレーブ・アドレス	58
HS拡張モード	59
I <sup>2</sup> Cウォッチドッグ・タイマー	59
レジスタ・マップ	60
MAX77542	60
レジスタの詳細	63
アプリケーション情報—4相構成の設定が可能な降圧コンバータ	113
インダクタの選択	113
入力コンデンサの選択	113
出力コンデンサの選択	113
PCBレイアウト時の一般的なガイドライン	114
不使用の出力	115
標準アプリケーション回路	116
1+1+1+1相構成	116
2+1+1相構成	117
2+2相構成	118
3+1相構成	119
4相構成	120
オーダー情報	121
改訂履歴	122

## 図一覧

図 1. 代替入力によるスイッチオーバー回路	32
図 2. 代表的なスタートアップおよびシャットダウン・シーケンス	36
図 3. 過熱警告およびサーマル・シャットダウン	37
図 4. 機能ブロック図	39
図 5. 降圧動作モード	40
図 6. アクティブ・コントロール・レジスタ	43
図 7. 周波数トラッキング	47
図 8. 擬似乱数変調エンジン	48
図 9. 4 ビットの擬似乱数変調信号の例	49
図 10. 三角波変調エンジン	49
図 11. 4 ビットの三角波変調信号の例	50
図 12. フォルト保護のステート図	52
図 13. ADC ブロック図	57
図 14. I <sup>2</sup> C 動作モードのステート図	59
図 15. PCB レイアウトの例	115

## 表一覧

表 1. V <sub>DD</sub> および I <sup>2</sup> C イネーブルの真理値表 .....	31
表 2. R <sub>CFG1</sub> によるデバイスの設定 .....	32
表 3. R <sub>CFG2</sub> によるデバイスの設定 .....	34
表 4. 工場出荷時に設定される MAX77542 のデフォルト値 (OTP オプション) .....	38
表 5. 位相構成の選択 .....	42
表 6. 降圧出力電圧検出の割り当て .....	42
表 7. デフォルト V <sub>OUT1</sub> の選択 .....	43
表 8. デフォルト V <sub>OUT2/3/4</sub> の選択 .....	44
表 9. 降圧出力電圧範囲 .....	45
表 10. M <sub>x</sub> _FSREN による降圧動作の設定 .....	46
表 11. ブートストラップ・リフレッシュ間隔の選択 .....	46
表 12. M <sub>x</sub> _FTRAK イネーブルの真理値表 .....	47
表 13. 位相シーケンス .....	47
表 14. MFIO の機能 .....	53
表 15. MFIO I/O の選択 .....	53
表 16. バウンス防止タイマーの設定 .....	56
表 17. 内部抵抗の設定 .....	56
表 18. ADC 機能および測定範囲 .....	57
表 19. 推奨インダクタ .....	113
表 20. 推奨される実効出力容量の最小値 .....	113

### 絶対最大定格

SYS~AGND	-0.3V~+17.6V
ALT_IN~AGND	-0.3V~+6.0V
V <sub>DD</sub> ~AGND	-0.3V~+2.2V
V <sub>L12</sub> , V <sub>L34</sub> ~AGND, PGND	-0.3V~+2.2V
CE~AGND	-0.3V~min (V <sub>SYS</sub> + 0.3, +17.6)V
CFGx~AGND	-0.3V~min (V <sub>DD</sub> + 0.3, +2.2)V
SELx~AGND	-0.3V~min (V <sub>DD</sub> + 0.3, +2.2)V
INx~PGNDx, AGND	-0.3V~+17.6V
LXx~PGNDx	-0.3V~+17.6V
LXx~PGNDx (10ns 未満)	(V <sub>IN</sub> - 22)V to +22V
BSTx~LXx	-0.3V~+2.2V
SNSxP~AGND	-0.3V~+12.0V

SNSxN~AGND	-0.3V~+0.3V
PGNDx~AGND	-0.3V~+0.3V
V <sub>IO</sub> ~AGND	-0.3V~+2.2V
SCL~AGND	-0.3V~+2.2V
SDA~AGND	-0.3V~+2.2V
IRQB~AGND	-0.3V~+2.2V
MFIOx~AGND	-0.3V~min (V <sub>IO</sub> + 0.3, +2.2)V
連続消費電力 (JESD51-7, T <sub>A</sub> = +70°C)	
60 WLP (+70°C を超えると 25.4mW/°C で劣化)	2037mW
ジャンクション温度	+150°C
保存温度範囲	-65°C~+150°C
ハンダ処理温度 (リフロー)	+260°C

Note 1 : 各 LXx には、PGNDx および INx との間に内部クランプダイオードが接続されています。これらのダイオードに順方向バイアスをかけるアプリケーションでは、IC パッケージの消費電力制限値を超えないように注意してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 推奨動作条件

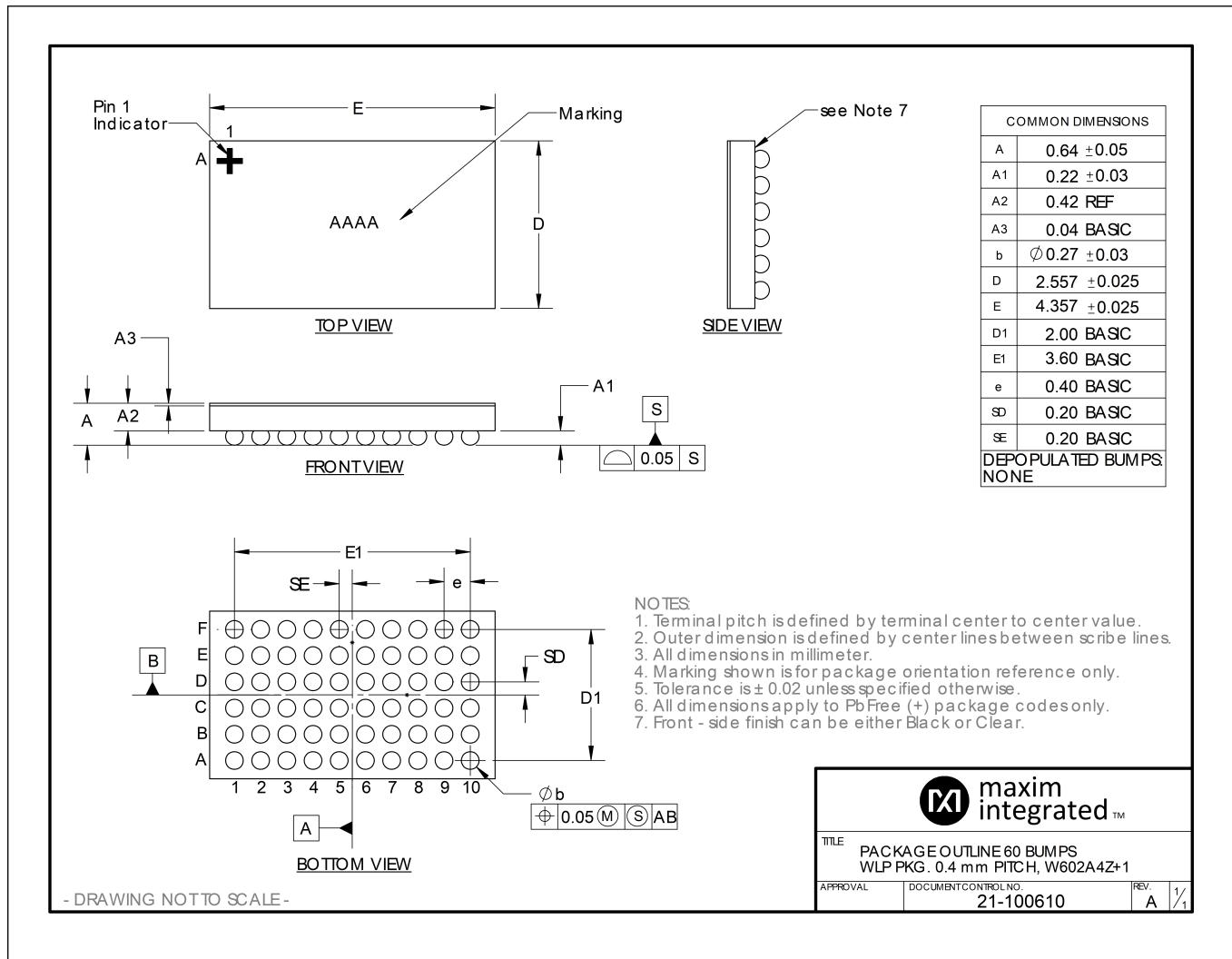
PARAMETER	SYMBOL	CONDITION	TYPICAL RANGE	UNIT
Input Voltage Range	V <sub>IN</sub>		2.8 to 16	V
Output Current Range	I <sub>OUT</sub>	For continuous operation at 4A, the junction temperature (T <sub>J</sub> ) is limited to +120°C; if the junction temperature is higher than +120°C, the expected lifetime at 4A continuous operation is derated	0 to 4	A
Junction Temperature Range	T <sub>J</sub>		-40 to +125	°C

Note : これらの条件範囲は保証値ではありません。

### パッケージ情報

#### 60 WLP (厚い UBM)

Packkage Code	W602A4Z+1
Outline Number	<a href="#">21-100610</a>
Land Pattern Number	<a href="#">Application Note 1891</a>
Thermal Resistance, Four-Layer Board:	
Junction-to-Ambient ( $\theta_{JA}$ )	39.27°C/W



最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages) で確認してください。パッケージ・コードの「+」、「#」、「-」はRoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面はRoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[www.maxim-ic.com/thermal-tutorial](http://www.maxim-ic.com/thermal-tutorial) を参照してください。

## 電気的特性-トップ・レベル

(特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 0.8V (M1\_RNG = 0x0)、V<sub>OUT2</sub> = 1.1V (M2\_RNG = 0x1)、V<sub>OUT3</sub> = 1.8V (M3\_RNG = 0x1)、V<sub>OUT4</sub> = 3.3V (M4\_RNG = 0x2)、単相の構成、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C ~ +125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INPUT VOLTAGE AND SUPPLY CURRENT</b>						
SYS and INx Voltage Range	V <sub>SYS</sub> , V <sub>INx</sub>		2.8	16		V
SYS Undervoltage Lock-Out (UVLO)	V <sub>UVLO_R</sub>	V <sub>SYS</sub> rising	2.8	2.9	3.0	V
	V <sub>UVLO_F</sub>	V <sub>SYS</sub> falling with 200mV of hysteresis	2.6	2.7	2.8	
Power-On Reset (POR) Threshold (Note 7)	V <sub>POR</sub>	V <sub>SYS</sub> falling		1.7		V
Shutdown Supply Current (Note 3)	I <sub>SHDN</sub>	V <sub>CE</sub> = 0V, T <sub>J</sub> = -40°C to +85°C		1.5	15	μA
Standby Supply Current (Note 3)	I <sub>STBY</sub>	FTMON_EN = 0, all bucks are disabled, T <sub>J</sub> = -40°C to +85°C		25	60	μA
Quiescent Supply Current in LP-Skip Mode (Note 3)	I <sub>Q_LP-SKIP</sub>	V <sub>ALT_IN</sub> = 0V, V <sub>OUT</sub> > V <sub>OUT(TARGET)</sub> , no load	Only one buck phase is enabled	270	370	μA
			Two buck phases are enabled	380	480	
			Three buck phases are enabled	505	635	
			All buck phases are enabled	625	755	
Quiescent Supply Current in Skip Mode (Note 3)	I <sub>Q_SKIP</sub>	V <sub>ALT_IN</sub> = 0V, V <sub>OUT</sub> > V <sub>OUT(TARGET)</sub> , no load	Only one buck phase is enabled	300	405	μA
			Two buck phases are enabled	450	555	
			Three buck phases are enabled	620	750	
			All buck phases are enabled	780	910	
<b>INTERNAL BIAS SUPPLY</b>						
V <sub>DD</sub> Regulator Voltage	V <sub>DD</sub>			1.9		V
V <sub>DD</sub> Undervoltage Lock-Out (UVLO)	V <sub>DD_UVLO_F</sub>			1.55		V
V <sub>L12</sub> , V <sub>L34</sub> Regulator Voltage	V <sub>Lx</sub>			1.8		V
V <sub>L12</sub> , V <sub>L34</sub> Undervoltage Lock-Out (UVLO)	V <sub>L_UVLO_F</sub>			1.55		V
ALT_IN Switchover Threshold	V <sub>SWO</sub>	V <sub>ALT_IN</sub> rising, 100mV hysteresis, V <sub>L</sub> and V <sub>DD</sub> input switches from SYS to ALT_IN above this threshold	2.7	2.8	2.9	V
ALT_IN Valid Voltage Range	V <sub>ALT_IN</sub>		V <sub>SWO</sub>	5.5		V
ALT_IN Shutdown Supply Current	I <sub>ALT_IN_SHDN</sub>	V <sub>CE</sub> = 0V, V <sub>ALT_IN</sub> = 3.3V		0.2		μA

## 電気的特性-トップ・レベル (続き)

(特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 0.8V (M1\_RNG = 0x0)、V<sub>OUT2</sub> = 1.1V (M2\_RNG = 0x1)、V<sub>OUT3</sub> = 1.8V (M3\_RNG = 0x1)、V<sub>OUT4</sub> = 3.3V (M4\_RNG = 0x2)、単相の構成、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C ~ +125°C、代表値は T<sub>A</sub> = T<sub>J</sub> = +25°C での値です。Note 2。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>THERMAL PROTECTION</b>						
Thermal Warning	T <sub>WARN</sub>	T <sub>J</sub> rising, 15°C hysteresis	TWARN_TH[2:0] = 0x0	+95		°C
			TWARN_TH[2:0] = 0x1	+100		
			TWARN_TH[2:0] = 0x2	+105		
			TWARN_TH[2:0] = 0x3	+110		
			TWARN_TH[2:0] = 0x4	+115		
			TWARN_TH[2:0] = 0x5 (default)	+120		
			TWARN_TH[2:0] = 0x6	+125		
			TWARN_TH[2:0] = 0x7	+130		
Thermal Shutdown (TSHDN)	T <sub>SHDN</sub>	T <sub>J</sub> rising, 15°C hysteresis		+165		°C
<b>FLEXIBLE POWER SEQUENCER (FPS)</b>						
Sequence Start Delay	t <sub>DLY_SEQ</sub>	Delay from rising edge of FPS_EN signal to V <sub>OUTx</sub> ramping start-off in the 1st time slot	V <sub>Lx</sub> is enabled	100		μs
Time Slot Delay Step	t <sub>DLY_STEP</sub>	DLY_STEP[1:0] = 0x0		0.5		ms
		DLY_STEP[1:0] = 0x1		1.0		
		DLY_STEP[1:0] = 0x2		2.0		
		DLY_STEP[1:0] = 0x3		4.0		
Time Slot Accuracy	f <sub>OSC_ACC</sub>	Root oscillator accuracy		-5	+5	%
<b>LOGIC INPUT AND OUTPUT</b>						
CE Input Logic High Threshold	V <sub>IH_CE</sub>	CE_PD_EN = 0		1.1		V
		CE_PD_EN = 1		1.5		
CE Input Logic Low Threshold	V <sub>IL_CE</sub>				0.4	V
IRQB Output Logic Low Threshold	V <sub>OL_IRQB</sub>	Sinking 2mA			0.2	V
CE Pull-Down Current	I <sub>PD_CE</sub>	CE_PD_EN = 1	1.1V ≤ V <sub>CE</sub> ≤ 16V	0.5	1.7	4.0
			V <sub>CE</sub> ≤ 0.4V		100	200
CE Leakage Current	I <sub>LKG_CE</sub>	V <sub>SYS</sub> = 16V, V <sub>CE</sub> = 0V and 16V, CE_PD_EN = 0	T <sub>J</sub> = +25°C		±0.1	μA
			T <sub>J</sub> = +85°C (Note 5)		±0.5	

### 電気的特性-トップ・レベル (続き)

(特に指定のない限り、 $V_{SYS} = V_{INx} = 12V$ 、 $V_{OUT1} = 0.8V$  ( $M1\_RNG = 0x0$ )、 $V_{OUT2} = 1.1V$  ( $M2\_RNG = 0x1$ )、 $V_{OUT3} = 1.8V$  ( $M3\_RNG = 0x1$ )、 $V_{OUT4} = 3.3V$  ( $M4\_RNG = 0x2$ )、単相の構成、 $V_{CE} = 1.8V$ 、 $V_{IO} = 1.8V$ 、 $T_A = T_J = -40^{\circ}C \sim +125^{\circ}C$ 、代表値は  $T_A = T_J = +25^{\circ}C$  での値です。Note 2。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IRQB Leakage Current	$I_{LKG\_IRQB}$	IRQB set to high impedance (i.e., no interrupt pending), $V_{IRQB} = 0V$ and $2.0V$	-1		+1	$\mu A$

### 電気的特性-4 相構成の設定が可能な降圧コンバータ

(特に指定のない限り、 $V_{SYS} = V_{INx} = 12V$ 、 $V_{OUT1} = 0.8V$  ( $M1\_RNG = 0x0$ )、 $V_{OUT2} = 1.1V$  ( $M2\_RNG = 0x1$ )、 $V_{OUT3} = 1.8V$  ( $M3\_RNG = 0x1$ )、 $V_{OUT4} = 3.3V$  ( $M4\_RNG = 0x2$ )、単相の構成、 $V_{CE} = 1.8V$ 、 $V_{IO} = 1.8V$ 、 $T_A = T_J = -40^{\circ}C \sim +125^{\circ}C$ 、代表値は  $T_A = T_J = +25^{\circ}C$  での値です。Note 2。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INPUT SUPPLY</b>						
Input-Voltage Range	$V_{INx}$		2.8		16	V
<b>DC OUTPUT VOLTAGE AND ACCURACY</b>						
Output-Voltage Range	$V_{OUT\_RNG}$	Low range ( $Mx\_RNG[1:0] = 0x0$ )	0.3	1.3		V
		Mid range ( $Mx\_RNG[1:0] = 0x1$ )	0.6	2.6		
		High range ( $Mx\_RNG[1:0] = 0x2$ )	1.2	5.2		
Line Regulation		1Φ, FPWM mode, $V_{INx} = 2.8V$ to $16V$ , $V_{OUT} = \text{default}$ , $I_{OUT} = 0A$	-0.1		+0.1	%/V
Load Regulation		1Φ, FPWM mode, $I_{OUT} = 0A$ to $4A$ (Note 2)		0.1		%/A

## 電気的特性—4 相構成の設定が可能な降圧コンバータ（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 0.8V（M1\_RNG = 0x0）、V<sub>OUT2</sub> = 1.1V（M2\_RNG = 0x1）、V<sub>OUT3</sub> = 1.8V（M3\_RNG = 0x1）、V<sub>OUT4</sub> = 3.3V（M4\_RNG = 0x2）、単相の構成、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C ~ +125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC Output-Voltage Accuracy	V <sub>OUT_ACC</sub>	0.3V ≤ V <sub>OUT</sub> < 0.5V (Mx_RNG = 0x0)	-3.0		+3.0	%
		0.5V ≤ V <sub>OUT</sub> < 0.8V (Mx_RNG = 0x0)	-2.0		+2.0	
		0.8V ≤ V <sub>OUT</sub> ≤ 1.3V (Mx_RNG = 0x0)	-1.0		+1.0	
		0.6V ≤ V <sub>OUT</sub> < 1.2V (Mx_RNG = 0x1)	-3.0		+3.0	
		1.2V ≤ V <sub>OUT</sub> < 1.9V (Mx_RNG = 0x1)	-1.5		+1.5	
		1.9V ≤ V <sub>OUT</sub> ≤ 2.6V (Mx_RNG = 0x1)	-1.0		+1.0	
		1.2V ≤ V <sub>OUT</sub> < 2.2V (Mx_RNG = 0x2)	-3.0		+3.0	
		2.2V ≤ V <sub>OUT</sub> < 3.6V (Mx_RNG = 0x2)	-1.5		+1.5	
		3.6V ≤ V <sub>OUT</sub> ≤ 5.2V (Mx_RNG = 0x2)	-1.0		+1.0	
		1Φ, FPWM mode, V <sub>INx</sub> = 2.8V to 16V, I <sub>OUT</sub> = 0A, T <sub>A</sub> = T <sub>J</sub> = 0°C to +85°C	V <sub>OUT</sub> = factory default, T <sub>J</sub> = +25°C	-0.5		+0.5
POWER STAGE						
High-Side MOSFET Peak Current Limit	I <sub>PLIM</sub>	Mx_ILIM[1:0] = 0x0	3.1	3.5	3.9	A
		Mx_ILIM[1:0] = 0x1	4.0	4.5	5.0	
		Mx_ILIM[1:0] = 0x2	4.9	5.5	6.1	
		Mx_ILIM[1:0] = 0x3	5.4	6.0	6.6	
Low-Side MOSFET Valley Current Limit	I <sub>VLIM</sub>	Tracks I <sub>PLIM</sub>		I <sub>PLIM</sub> - 1		A
Low-Side MOSFET Negative Current Limit	I <sub>NLIM</sub>	FPWM mode	-3.6	-3.0	-2.4	A
Low-Side MOSFET Zero-Crossing Current Threshold	I <sub>ZX</sub>	Skip or LP-skip mode		150		mA
High-Side MOSFET On-Resistance	R <sub>ON_HS</sub>	1Φ, I <sub>LXx</sub> = 190mA	35	70		mΩ

## 電気的特性-4 相構成の設定が可能な降圧コンバータ（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 0.8V（M1\_RNG = 0x0）、V<sub>OUT2</sub> = 1.1V（M2\_RNG = 0x1）、V<sub>OUT3</sub> = 1.8V（M3\_RNG = 0x1）、V<sub>OUT4</sub> = 3.3V（M4\_RNG = 0x2）、単相の構成、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C ~ +125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Low-Side MOSFET On-Resistance	R <sub>ON_LS</sub>	1Φ, I <sub>LXX</sub> = -190mA			18	40	mΩ
Nominal Switching Frequency	F <sub>SW</sub>	FPWM mode, no load, no external clock, T <sub>J</sub> = +25°C (Note 4)	M <sub>x</sub> _FREQ[1:0] = 0x0	0.5			MHz
			M <sub>x</sub> _FREQ[1:0] = 0x1	1			
			M <sub>x</sub> _FREQ[1:0] = 0x2	1.5			
Maximum Duty Cycle	D <sub>MAX</sub>	Drop-out region (V <sub>OUT</sub> falls below its regulation target)		97	98		%
LX Active Discharge Resistance	R <sub>AD1</sub>	1Φ, buck output disabled, active discharge enabled (M <sub>x</sub> _ADIS1 = 1), resistance from corresponding LX <sub>X</sub> to PGND <sub>x</sub>			1		Ω
	R <sub>AD100</sub>	1Φ, buck output disabled, active discharge enabled (M <sub>x</sub> _ADIS100 = 1), resistance from corresponding LX <sub>X</sub> to PGND <sub>x</sub>			100		
LX Leakage Current	I <sub>LX_LKG</sub>	1Φ, V <sub>LXX</sub> = 0V or 16V, M <sub>x</sub> _ADIS100 = 0	T <sub>J</sub> = +25°C	1	15		μA
			T <sub>J</sub> = -40°C to +85°C (Note 5)	1			

## SLEW RATE AND TIMING

Soft-Start Slew Rate (Note 6)	ΔV <sub>OUT</sub> /Δt	M <sub>x</sub> _SSTART_SR[2:0] = 0x0	0.15	mV/μs
		M <sub>x</sub> _SSTART_SR[2:0] = 0x1	0.625	
		M <sub>x</sub> _SSTART_SR[2:0] = 0x2	1.25	
		M <sub>x</sub> _SSTART_SR[2:0] = 0x3	2.5	
		M <sub>x</sub> _SSTART_SR[2:0] = 0x4	5	
		M <sub>x</sub> _SSTART_SR[2:0] = 0x5	10	
		M <sub>x</sub> _SSTART_SR[2:0] = 0x6	20	
		M <sub>x</sub> _SSTART_SR[2:0] = 0x7	40	
Soft-Stop Slew Rate (Note 6)	ΔV <sub>OUT</sub> /Δt	M <sub>x</sub> _SSTOP_SR[2:0] = 0x0	-0.15	mV/μs
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x1	-0.625	
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x2	-1.25	
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x3	-2.5	
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x4	-5	
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x5	-10	
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x6	-20	
		M <sub>x</sub> _SSTOP_SR[2:0] = 0x7	-40	

## 電気的特性-4 相構成の設定が可能な降圧コンバータ（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 0.8V（M1\_RNG = 0x0）、V<sub>OUT2</sub> = 1.1V（M2\_RNG = 0x1）、V<sub>OUT3</sub> = 1.8V（M3\_RNG = 0x1）、V<sub>OUT4</sub> = 3.3V（M4\_RNG = 0x2）、単相の構成、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C ~ +125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Ramp-Up Slew Rate (Note 6)	$\Delta V_{OUT}/\Delta t$	Mx_RU_SR[2:0] = 0x0		0.15			mV/μs
		Mx_RU_SR[2:0] = 0x1		0.625			
		Mx_RU_SR[2:0] = 0x2		1.25			
		Mx_RU_SR[2:0] = 0x3		2.5			
		Mx_RU_SR[2:0] = 0x4		5			
		Mx_RU_SR[2:0] = 0x5		10			
		Mx_RU_SR[2:0] = 0x6		20			
		Mx_RU_SR[2:0] = 0x7		40			
Ramp-Down Slew Rate (Note 6)	$\Delta V_{OUT}/\Delta t$	Mx_RD_SR[2:0] = 0x0		-0.15			mV/μs
		Mx_RD_SR[2:0] = 0x1		-0.625			
		Mx_RD_SR[2:0] = 0x2		-1.25			
		Mx_RD_SR[2:0] = 0x3		-2.5			
		Mx_RD_SR[2:0] = 0x4		-5			
		Mx_RD_SR[2:0] = 0x5		-10			
		Mx_RD_SR[2:0] = 0x6		-20			
		Mx_RD_SR[2:0] = 0x7		-40			
Slew-Rate Accuracy		REFDAC slew-rate accuracy		-5		+5	%
Turn-On Delay	t <sub>DLY</sub>	Delay from rising edge of EN_Mx (MFIOx) signal to V <sub>OUTx</sub> ramping start-off	V <sub>LX</sub> is pre-enabled	90	110		μs
			V <sub>LX</sub> is not pre-enabled	110	150		
<b>FREQUENCY TRACKING</b>							
External Frequency Tracking Lockable Range (Note 6)	F <sub>FFTRAK</sub>	Expressed as a percentage of the nominal frequency set by Mx_FREQ[1:0]		95	105		%
<b>SPREAD-SPECTRUM</b>							
Modulation Frequency (Note 6)	F <sub>SS_MOD</sub>	Mx_SS_FREQ[1:0] = 0x0		1			kHz
		Mx_SS_FREQ[1:0] = 0x1		3			
		Mx_SS_FREQ[1:0] = 0x2		5			
		Mx_SS_FREQ[1:0] = 0x3		7			
Modulation Envelope	ΔF <sub>SS</sub>	Mx_SS_ENV[1:0] = 0x1		±8			%
		Mx_SS_ENV[1:0] = 0x2		±12			
		Mx_SS_ENV[1:0] = 0x3		±16			
<b>POWER-OK AND SHORT-CIRCUIT PROTECTION</b>							
Power-OK Rising Threshold	V <sub>POK_R</sub>	Expressed as a percentage of V <sub>OUT</sub>		77	82	87	%
Power-OK Falling Threshold	V <sub>POK_F</sub>	Expressed as a percentage of V <sub>OUT</sub>		73	78	83	%

## 電気的特性-4 相構成の設定が可能な降圧コンバータ（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 0.8V（M1\_RNG = 0x0）、V<sub>OUT2</sub> = 1.1V（M2\_RNG = 0x1）、V<sub>OUT3</sub> = 1.8V（M3\_RNG = 0x1）、V<sub>OUT4</sub> = 3.3V（M4\_RNG = 0x2）、単相の構成、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C～+125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-OK Fault Time-Out (Note 6)	tPOK_TO	POK_TO[1:0] = 0x1		1		ms
		POK_TO[1:0] = 0x2		5		
		POK_TO[1:0] = 0x3		10		
Short-Circuit Detection Threshold	V <sub>SCP</sub>	V <sub>OUT</sub> falling, expressed as a percentage of target V <sub>OUT</sub>		20		%

## 電気的特性-多機能 I/O

（特に指定のない限り、V<sub>SYS</sub> = 12V、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C～+125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>MULTIFUNCTION I/O (MFIO)</b>							
MFIO Input Logic High Threshold	V <sub>IH</sub>		0.75 x V <sub>IO</sub>			V	
MFIO Input Logic Low Threshold	V <sub>IL</sub>			0.25 x V <sub>IO</sub>		V	
MFIO Output High Voltage	V <sub>OH_MFIO</sub>	Push-pull output mode, sourcing 2mA	0.8 x V <sub>IO</sub>			V	
MFIO Output Low Voltage	V <sub>OL_MFIO</sub>	Sinking 2mA		0.2		V	
MFIO Input Debounce Time	t <sub>DB_MFIO</sub>	MFIOx_DEB[2:0] = 0x0		0		μs	
		MFIOx_DEB[2:0] = 0x1		0.5			
		MFIOx_DEB[2:0] = 0x2		1			
		MFIOx_DEB[2:0] = 0x3		2			
		MFIOx_DEB[2:0] = 0x4		4			
		MFIOx_DEB[2:0] = 0x5		8			
		MFIOx_DEB[2:0] = 0x6		16			
		MFIOx_DEB[2:0] = 0x7		32			
MFIO Pull-Down Resistance	R <sub>PD_MFIO</sub>	Input mode, MFIOx_PDPD = 0x0	400	800	1600	kΩ	
		Input mode, MFIOx_PDPD = 0x1	50	100	200		
MFIO Pull-Up Resistance	R <sub>PU_MFIO</sub>	Input mode, MFIOx_PDPD = 0x2	50	100	200	kΩ	
MFIO Leakage Current	I <sub>LK_MFIO</sub>	V <sub>MFIOx</sub> = 0V and 2.0V, MFIOx_PDPD = 0x3	T <sub>J</sub> = +25°C	-1.5	0.01	1.5	μA
			T <sub>J</sub> = +85°C (Note 5)		0.1		

## 電気的特性-ADC

(特に指定のない限り、V<sub>SYS</sub> = 12V、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C～+125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
<b>READBACK ACCURACY (Note 7)</b>								
Output-Current Readback Accuracy	I <sub>OUT_ADC</sub>	1Φ, I <sub>OUT</sub> = I <sub>OUT(MAX)</sub>	T <sub>J</sub> = -40°C to +85°C	5		%		
			T <sub>J</sub> = +125°C	7.5				
Output-Voltage Readback Accuracy	V <sub>OUT_ADC</sub>	T <sub>J</sub> = -40°C to +85°C		3		%		
		T <sub>J</sub> = +125°C		5				
SYS Input-Voltage Readback Accuracy	V <sub>SYS_ADC</sub>	3.0V ≤ V <sub>SYS</sub> ≤ 16V	T <sub>J</sub> = -40°C to +85°C	3		%		
			T <sub>J</sub> = +125°C	5				
Junction Temperature Readback Accuracy	T <sub>J_ADC</sub>	T <sub>J</sub> = +85°C to +125°C		5		%		
MFIO Voltage Readback Accuracy	V <sub>MFIO_ADC</sub>	T <sub>J</sub> = -40°C to +85°C		3		%		
		T <sub>J</sub> = +125°C		5				
<b>TIMING (Note 6)</b>								
Clock Frequency	f <sub>ADC</sub>				1	MHz		
ADC Startup Time	t <sub>ADC_SU</sub>	One of buck outputs is enabled			22	μs		
		All buck outputs are disabled			26			
ADC Sampling Time	t <sub>SAMPLE</sub>	Per channel	I <sub>OUTX</sub> , T <sub>J</sub>	1		ms		
			V <sub>OUTX</sub> , V <sub>SYS</sub> , V <sub>MFIOX</sub>	18		μs		
Conversion Time	t <sub>CONV</sub>	Per channel			18	μs		
Sampling Interval for Averaging Mode	t <sub>INT_AVG</sub>	Sampling interval for the same channel in averaging mode			5	ms		
Sampling Interval for Continuous Measurement	t <sub>INT_CONT</sub>	Sampling interval for the same channel during continuous measurement operation			1	s		

電気的特性-I<sup>2</sup>C シリアル・インターフェース(特に指定のない限り、V<sub>SYS</sub> = 12V、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C～+125°C、代表値はT<sub>A</sub> = T<sub>J</sub> = +25°Cでの値です。Note 2。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>I/O STAGE</b>							
V <sub>IO</sub> Supply Voltage	V <sub>IO</sub>			1.1	1.8	2.0	V
V <sub>IO</sub> Dynamic Supply Current	I <sub>IO</sub>	f <sub>SCL</sub> = f <sub>SDA</sub> = 3.4MHz, V <sub>CE</sub> = 1.8V, all bucks are disabled	5		μA		
SYS Dynamic Supply Current	I <sub>SYS</sub>	f <sub>SCL</sub> = f <sub>SDA</sub> = 3.4MHz, V <sub>CE</sub> = 1.8V, all bucks are disabled	40		μA		
V <sub>IO</sub> Undervoltage Lock-Out (UVLO)	V <sub>IO_UVLO_R</sub>	V <sub>IO</sub> rising	1.06		1.09	1.12	V
	V <sub>IO_UVLO_F</sub>	V <sub>IO</sub> falling	0.96		0.99	1.02	
SCL, SDA Input Logic Low Threshold	V <sub>IL</sub>			0.25 × V <sub>IO</sub>		V	

電気的特性—I<sup>2</sup>C シリアル・インターフェース（続き）

（特に指定のない限り、V<sub>SYS</sub> = 12V、V<sub>CE</sub> = 1.8V、V<sub>IO</sub> = 1.8V、T<sub>A</sub> = T<sub>J</sub> = -40°C～+125°C、代表値は T<sub>A</sub> = T<sub>J</sub> = +25°C での値です。Note 2。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL, SDA Input Logic High Threshold	V <sub>IH</sub>		0.75 x V <sub>IO</sub>			V
SCL, SDA Input Hysteresis	V <sub>HYS</sub>			0.3		V
SDA Output Logic Low Threshold	V <sub>OL_SDA</sub>	Sinking 20mA			0.2	V
SCL, SDA Input Leakage Current	I <sub>LKG</sub>	V <sub>SCL</sub> = V <sub>SDA</sub> = 0V or 2.0V	-10		+10	μA
SCL, SDA Pin Capacitance		(Note 7)		10		pF

## STANDARD, FAST, AND FAST MODE PLUS TIMING

Clock Frequency	f <sub>SCL</sub>		1	MHz
Hold Time (Repeated) Start Condition	t <sub>HD;STA</sub>		260	ns
SCL Low Period	t <sub>LOW</sub>		500	ns
SCL High Period	t <sub>HIGH</sub>		260	ns
Setup Time Repeated Start Condition	t <sub>SU;STA</sub>		260	ns
Data Hold Time	t <sub>HD;DAT</sub>		0	μs
Data Setup Time	t <sub>SU;DAT</sub>		50	ns
Setup Time for Stop Condition	t <sub>SU;STO</sub>		260	ns
Bus Free Time Between Stop and Start Condition	t <sub>BUF</sub>		0.5	μs
Input Filter Suppressed Spike Pulse Width	t <sub>SP</sub>	(Note 7)	50	ns

## HIGH-SPEED MODE TIMING

Clock Frequency	f <sub>SCL</sub>	High-speed mode	3.4	MHz
Setup Time Repeated Start Condition	t <sub>SU;STA</sub>		160	ns
Hold Time (Repeated) Start Condition	t <sub>HD;STA</sub>		160	ns
SCL Low Period	t <sub>LOW</sub>		160	ns
SCL High Period	t <sub>HIGH</sub>		60	ns
Data Setup Time	t <sub>SU;DAT</sub>		10	ns
Data Hold Time	t <sub>HD;DAT</sub>		0	μs
Setup Time for Stop Condition	t <sub>SU;STO</sub>		160	ns
Input Filter Suppressed Spike Pulse Width	t <sub>SP</sub>	(Note 7)	10	ns

Note 2 : MAX77542 は T<sub>J</sub> ≈ T<sub>A</sub> となるようなパルス負荷条件下でテストされています。制限値は T<sub>A</sub> = +25°C で 100% テストされています。動作温度範囲 (T<sub>j</sub> = -40°C～+125°C) における制限値は、統計的プロセス制御の方法を使用した設計および特性評価により確保されています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件、基板レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件によって決まります。

Note 3 : 電源電流=  $I_{SYS} + I_{IN1} + I_{IN2} + I_{IN3} + I_{IN4}$ 。

Note 4 : スイッチング周波数はクロック発振器によって設定されるわけではありません。 $F_{SW}$ は、入力電圧、出力電圧、負荷、およびスペクトラム拡散の設置値によって変化します。

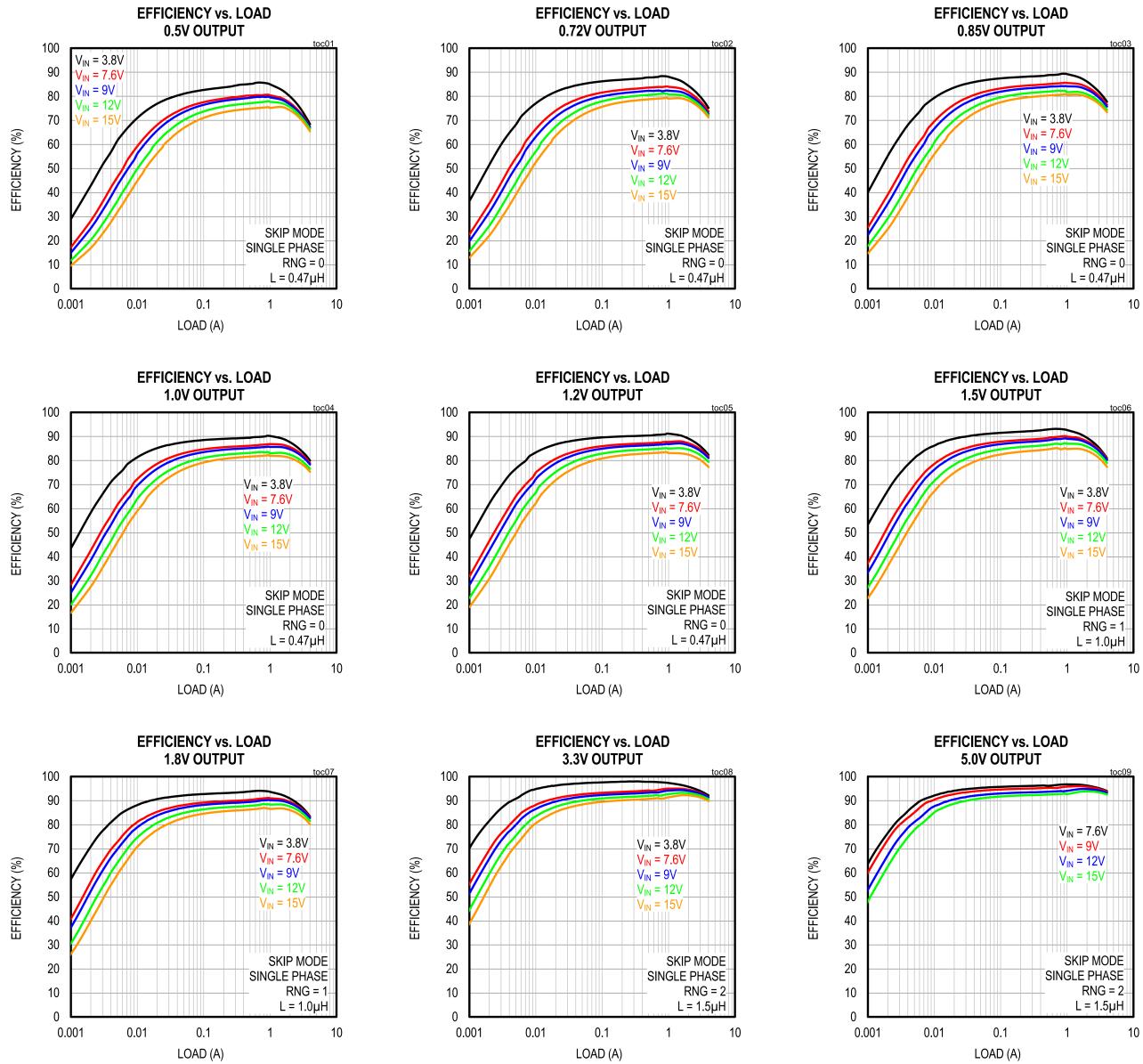
Note 5 : ATE の特性評価によって確保されています。製造時に直接テストされているわけではありません。

Note 6 : 設計により確保されています。スキャンによる出荷テストを行っています。

Note 7 : 出荷テストの対象外です。設計ガイドラインとしてのみ使用してください。

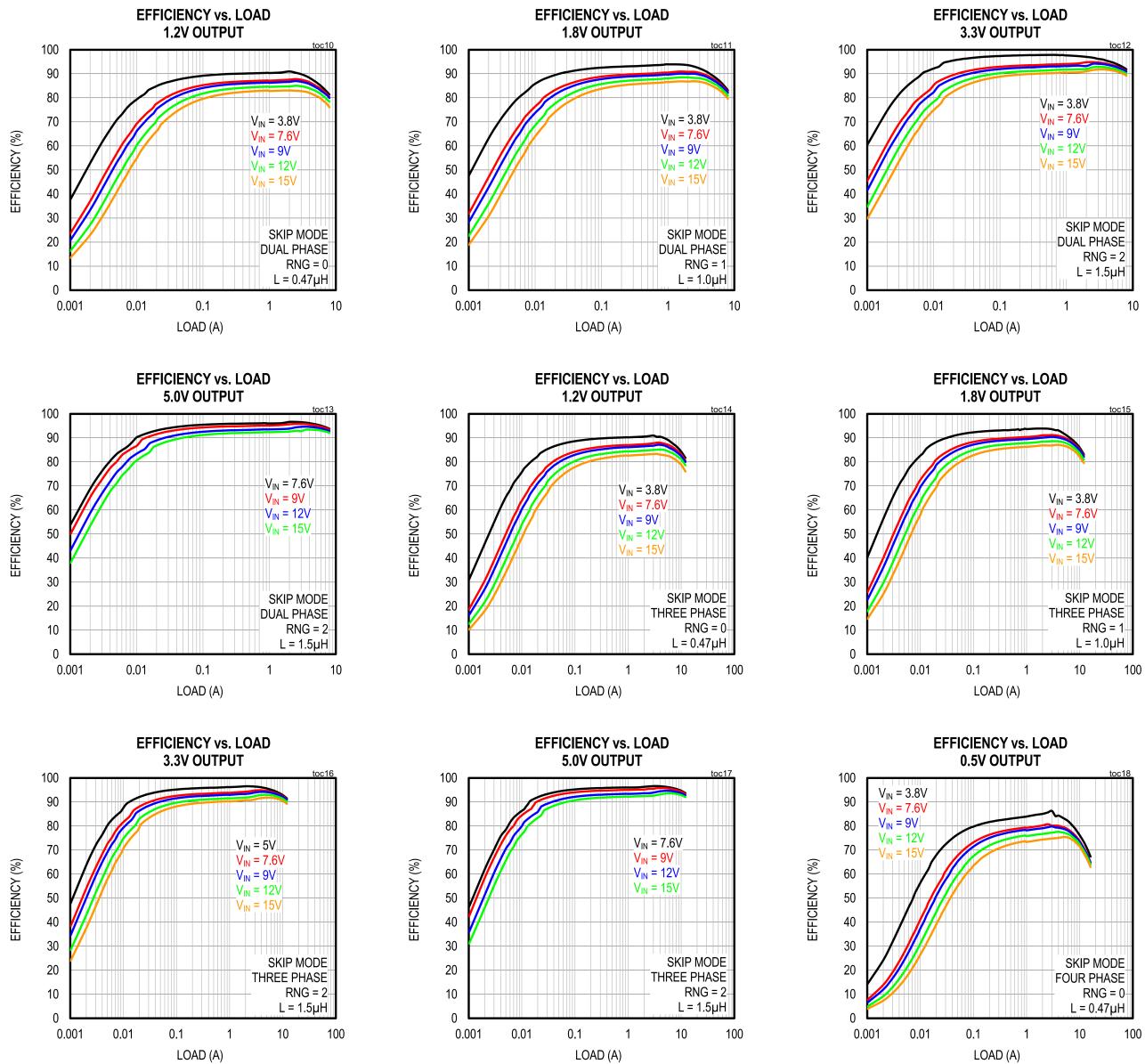
## 標準動作特性

(特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。)



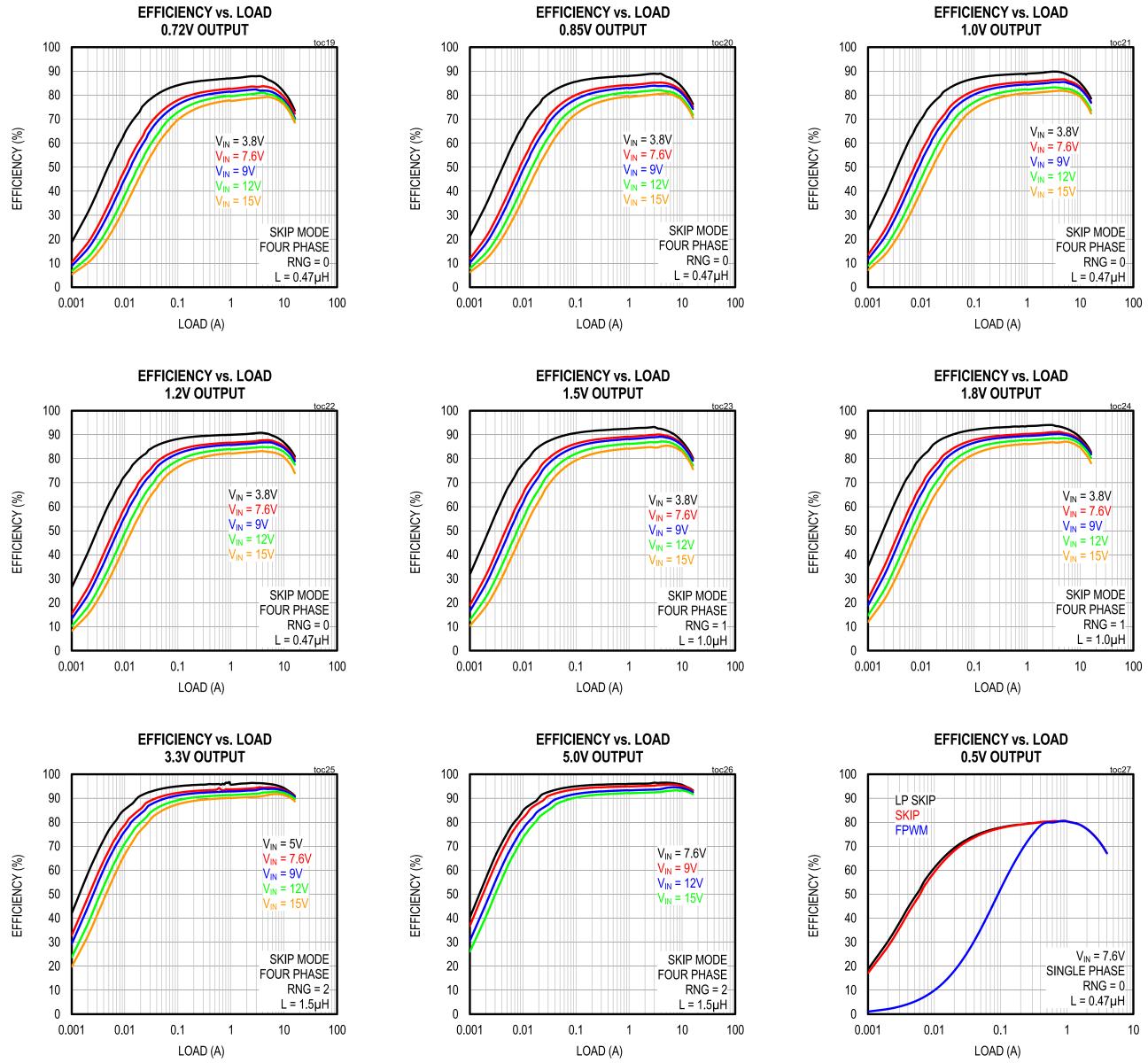
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



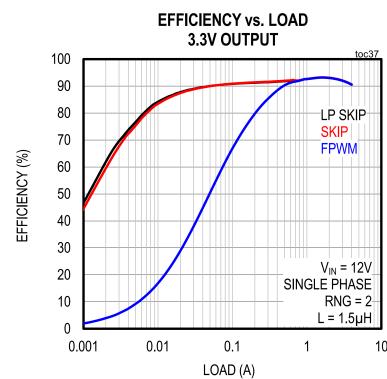
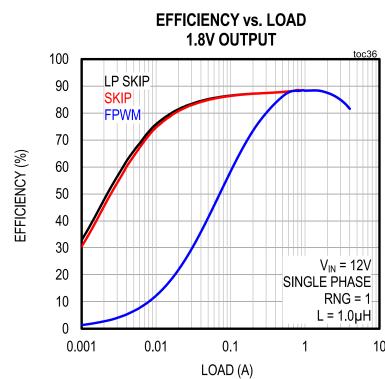
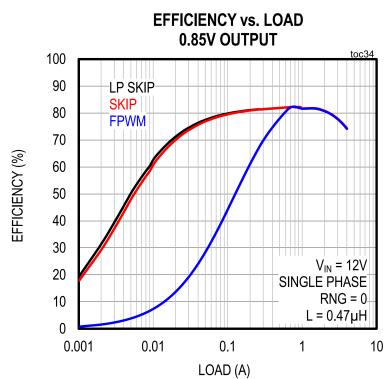
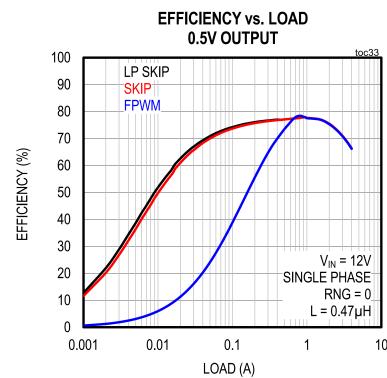
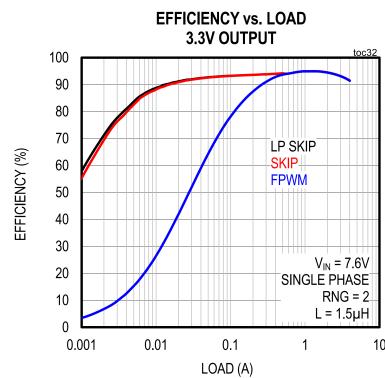
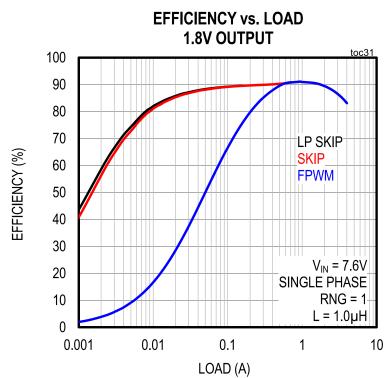
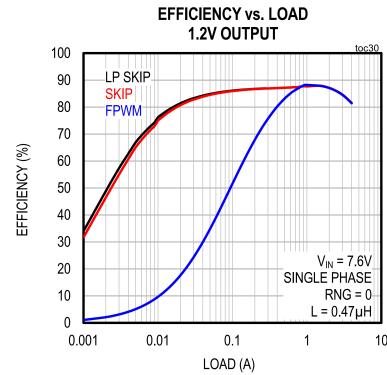
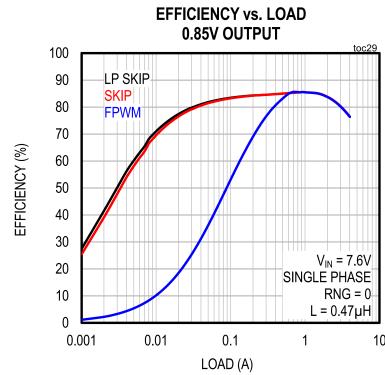
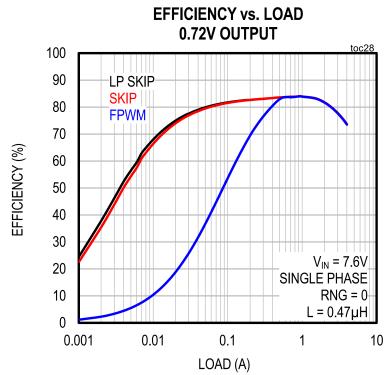
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



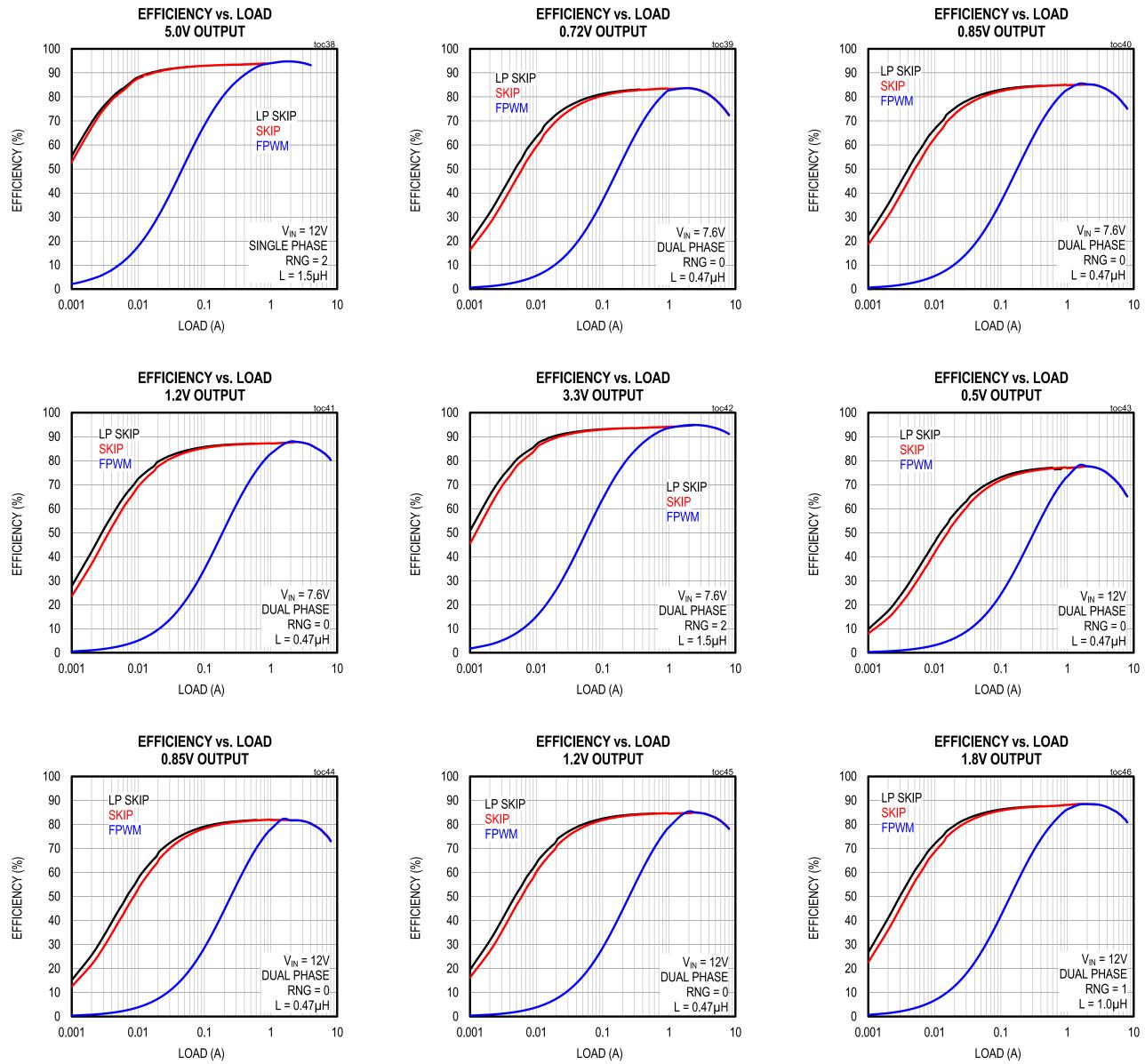
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



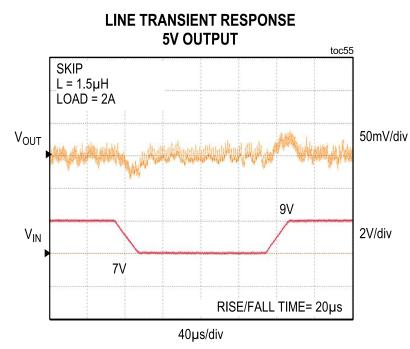
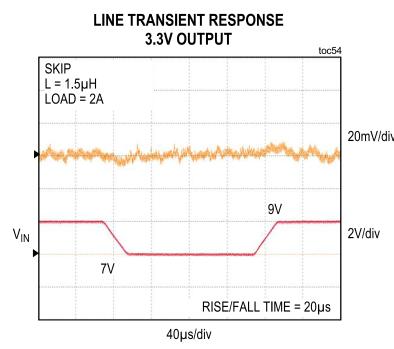
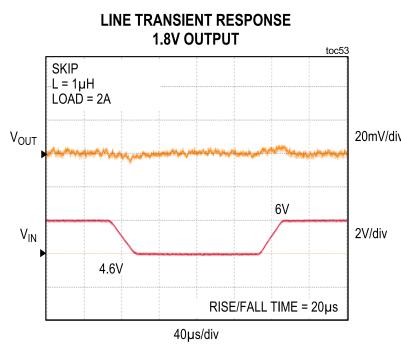
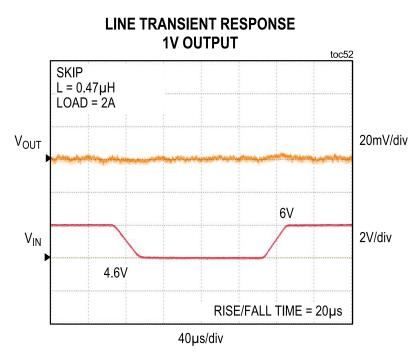
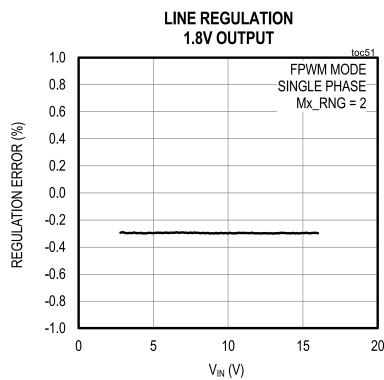
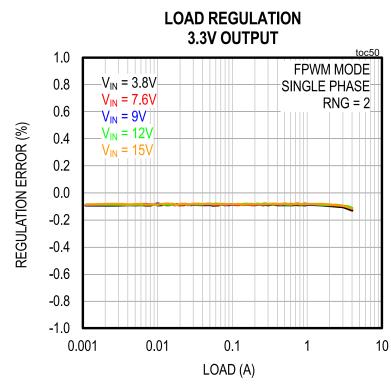
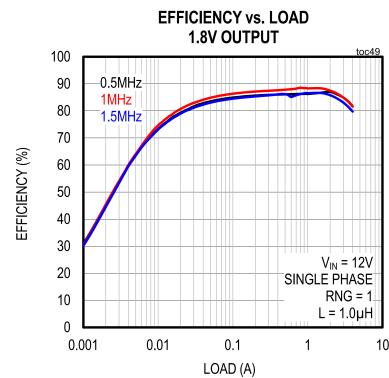
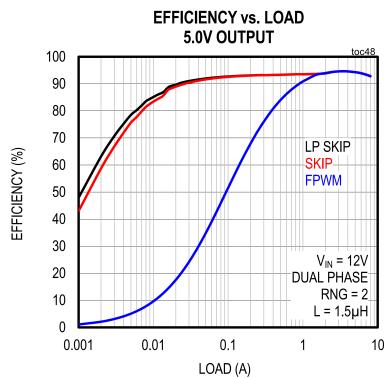
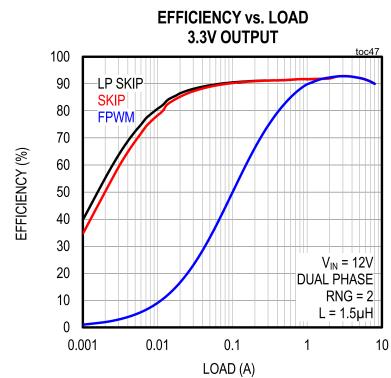
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



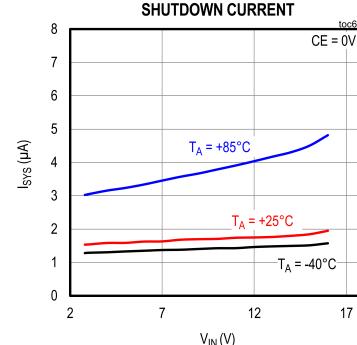
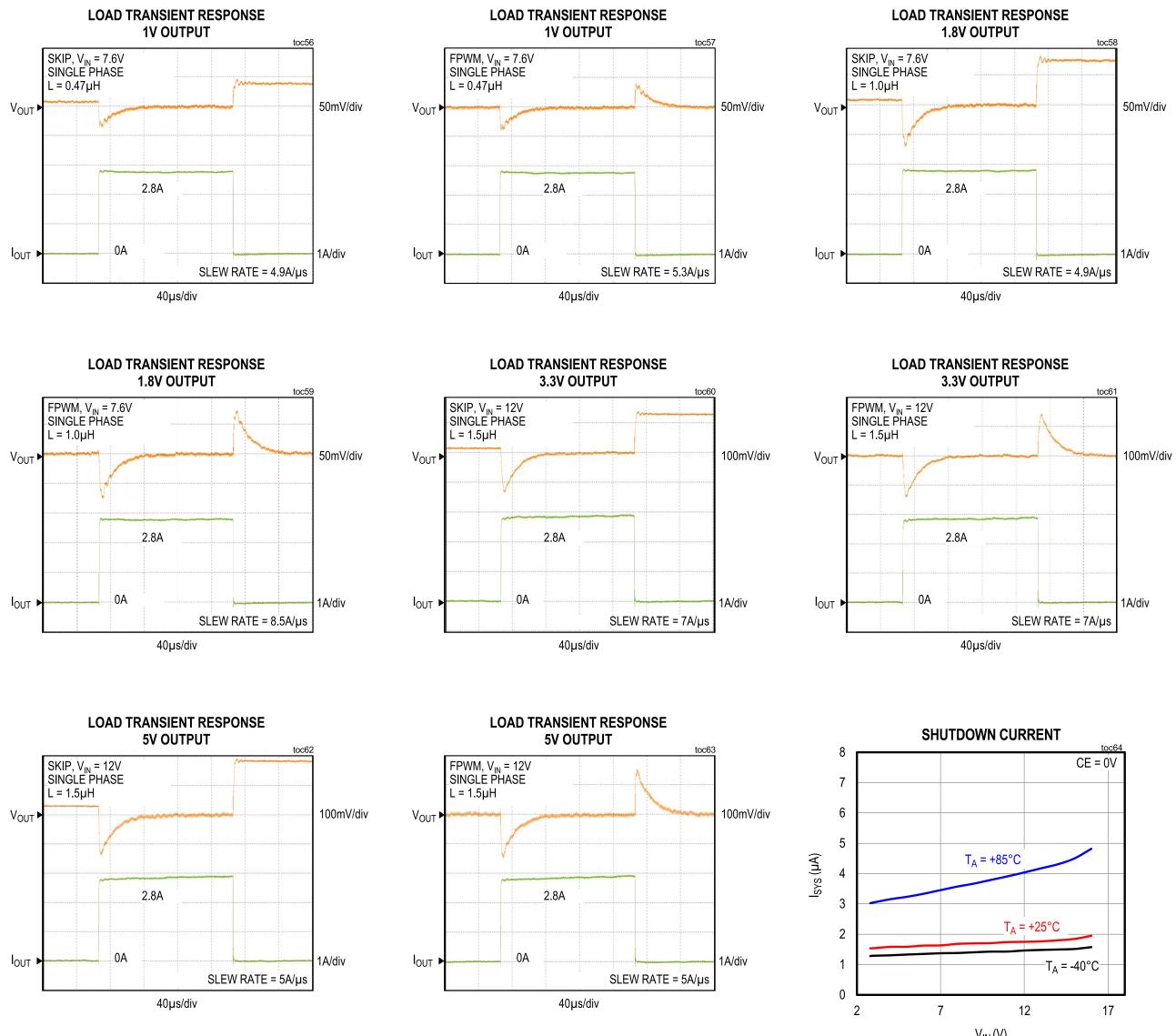
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



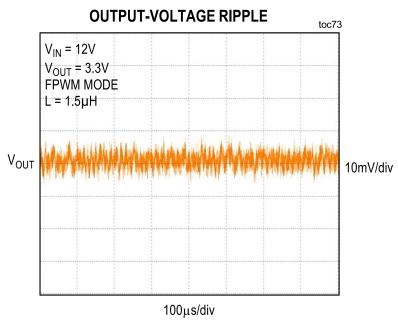
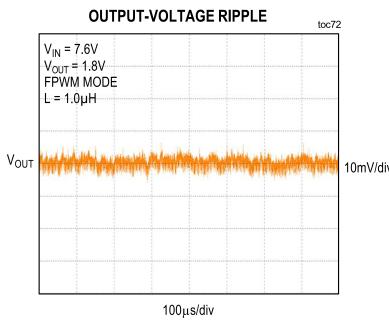
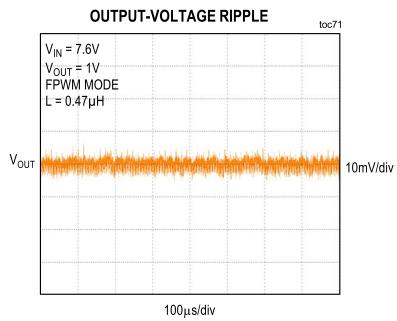
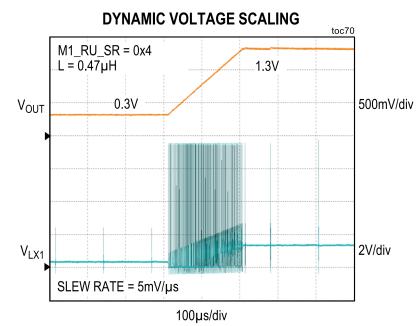
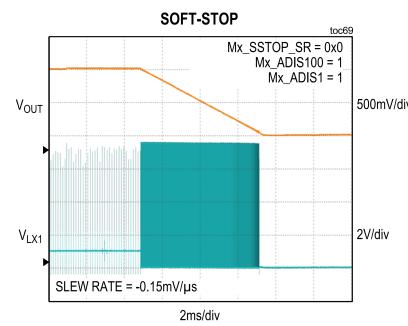
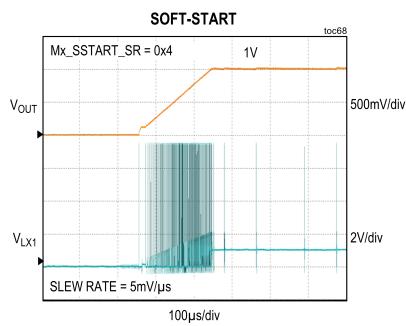
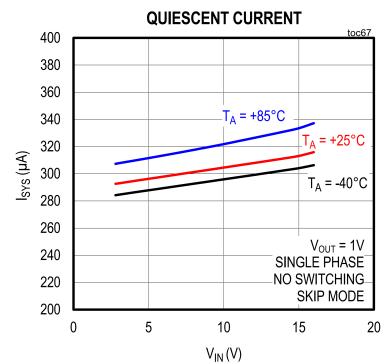
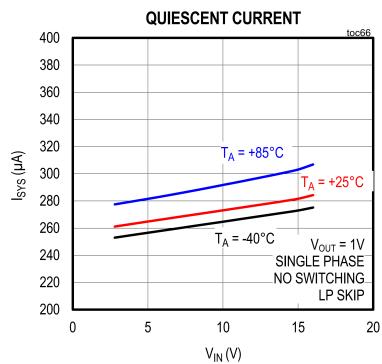
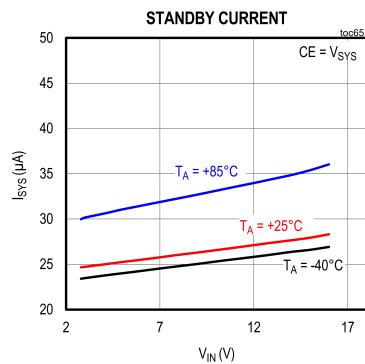
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



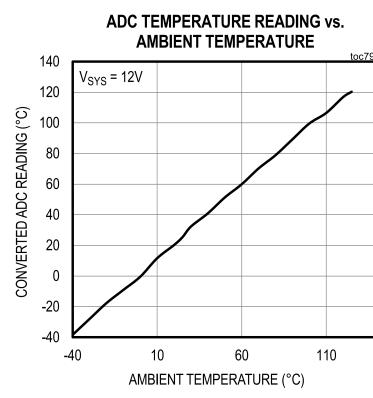
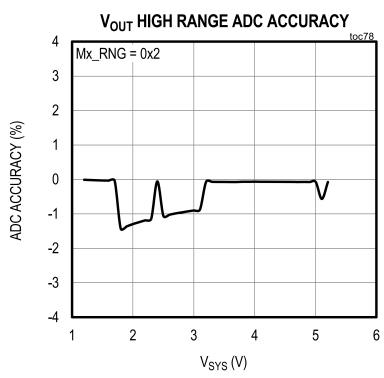
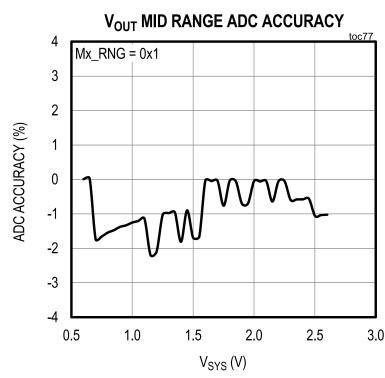
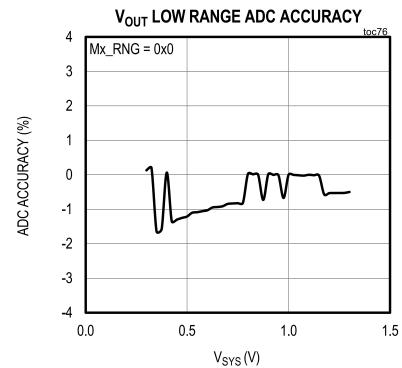
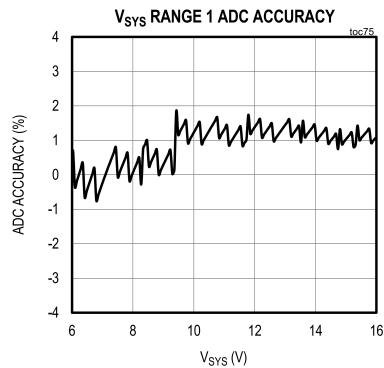
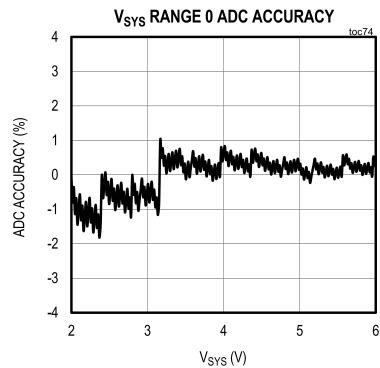
## 標準動作特性（続き）

（特に指定のない限り、V<sub>SYS</sub> = V<sub>INx</sub> = 12V、V<sub>OUT1</sub> = 1.0V、単相の構成、V<sub>VIO</sub> = 1.8V、スキップ・モード、T<sub>A</sub> = +25°C。）



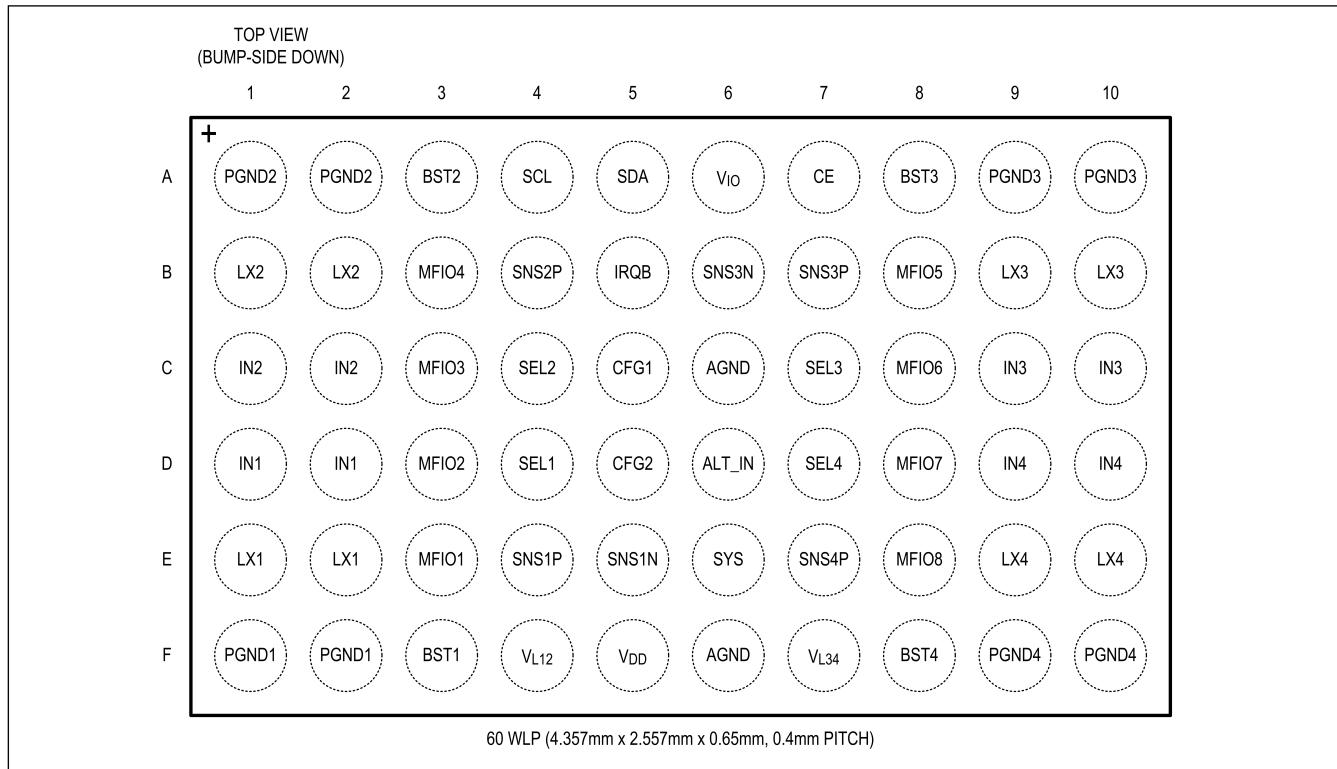
## 標準動作特性（続き）

（特に指定のない限り、 $V_{SYS} = V_{INx} = 12V$ 、 $V_{OUT1} = 1.0V$ 、単相の構成、 $V_{VIO} = 1.8V$ 、スキップ・モード、 $T_A = +25^\circ C$ 。）



## ピン配置

## MAX77542



## 端子説明

ピン	名称	説明	タイプ
<b>降圧スイッチング位相</b>			
F3	BST1	位相 1 のハイサイド MOSFET ドライバの電源。BST1 と LX1 の間に 0.1μF のセラミック・コンデンサを接続します。	電源入力
A3	BST2	位相 2 のハイサイド MOSFET ドライバの電源。BST2 と LX2 の間に 0.1μF のセラミック・コンデンサを接続します。	電源入力
A8	BST3	位相 3 のハイサイド MOSFET ドライバの電源。BST3 と LX3 の間に 0.1μF のセラミック・コンデンサを接続します。	電源入力
F8	BST4	位相 4 のハイサイド MOSFET ドライバの電源。BST4 と LX4 の間に 0.1μF のセラミック・コンデンサを接続します。	電源入力
D1, D2	IN1	位相 1 の入力。10μF のセラミック・コンデンサで PGND1 にバイパスします。	電源入力
C1, C2	IN2	位相 2 の入力。10μF のセラミック・コンデンサで PGND2 にバイパスします。	電源入力
C9, C10	IN3	位相 3 の入力。10μF のセラミック・コンデンサで PGND3 にバイパスします。	電源入力
D9, D10	IN4	位相 4 の入力。10μF のセラミック・コンデンサで PGND4 にバイパスします。	電源入力
E1, E2	LX1	位相 1 のスイッチング・ノード	電源出力
B1, B2	LX2	位相 2 のスイッチング・ノード	電源出力
B9, B10	LX3	位相 3 のスイッチング・ノード	電源出力
E9, E10	LX4	位相 4 のスイッチング・ノード	電源出力

## 端子説明（続き）

ピン	名称	説明	タイプ
F1, F2	PGND1	位相 1 の電源グランド	電源グランド
A1, A2	PGND2	位相 2 の電源グランド	電源グランド
A9, A10	PGND3	位相 3 の電源グランド	電源グランド
F9, F10	PGND4	位相 4 の電源グランド	電源グランド
E5	SNS1N	位相 1 の負側差動出力電圧の検出入力	アナログ入力
E4	SNS1P	位相 1 の正側差動出力電圧の検出入力	アナログ入力
B4	SNS2P	位相 2 の正側差動出力の検出入力。位相 2 が多相のコンバータのスレーブ位相になっている場合は、AGND に接続するか未接続のまま（フローティング）にします。	アナログ入力
B6	SNS3N	位相 3 の負側差動出力電圧の検出入力。位相 3 が多相のコンバータのスレーブ位相になっている場合は、AGND に接続するか未接続のまま（フローティング）にします。	アナログ入力
B7	SNS3P	位相 3 の正側差動出力電圧の検出入力。位相 3 が多相のコンバータのスレーブ位相になっている場合は、AGND に接続するか未接続のまま（フローティング）にします。	アナログ入力
E7	SNS4P	位相 4 の正側差動出力電圧の検出入力。位相 4 が多相のコンバータのスレーブ位相になっている場合は、AGND に接続するか未接続のまま（フローティング）にします。	アナログ入力

## 内部バイアス電源

C6, F6	AGND	アナログ（静）グランド	グランド
D6	ALT_IN	$V_{DD}$ 、 $V_{L12}$ 、 $V_{L34}$ の代替電源入力。使用する場合は、2.2 $\mu$ F のセラミック・コンデンサで AGND にバイパスします。詳細については、 <a href="#">低電圧の代替入力（ALT_IN）</a> のセクションを参照してください。	電源入力
E6	SYS	システム電源入力（内部の $V_{DD}$ 、 $V_{L12}$ 、および $V_{L34}$ リニア電圧レギュレータに電源を供給します）。2.2 $\mu$ F のセラミック・コンデンサで AGND にバイパスします。	電源入力
F5	$V_{DD}$	内部バイアス電源出力。電源は SYS から供給されます。1 $\mu$ F のセラミック・コンデンサで AGND にバイパスします。このピンには外部から負荷を接続しないでください。	電源出力
F4	$V_{L12}$	位相 1 と位相 2 の内部ゲート・ドライバの電源出力。電源は SYS から供給されます。 $V_{L12}$ は、2.2 $\mu$ F のセラミック・コンデンサで PGND にバイパスします。このピンには外部から負荷を接続しないでください。	電源出力
F7	$V_{L34}$	位相 3 と位相 4 の内部ゲート・ドライバの電源出力。電源は SYS から供給されます。 $V_{L34}$ は、2.2 $\mu$ F のセラミック・コンデンサで PGND にバイパスします。このピンには外部から負荷を接続しないでください。	電源出力
A6	$V_{IO}$	I/O の電源入力。1 $\mu$ F のセラミック・コンデンサで AGND にバイパスします。	電源入力

## 制御およびシリアル・インターフェース

A7	CE	チップ・イネーブル入力（アクティブ・ハイ）。 $V_{DD}$ 、 $V_{L12}$ 、および $V_{L34}$ レギュレータと、I <sup>2</sup> C シリアル・インターフェースのイネーブル。詳細については、 <a href="#">チップ・イネーブル（CE）および内部バイアス電源</a> のセクションを参照してください。	デジタル入力
C5	CFG1	デバイス設定 1 の選択入力。選択用の抵抗 ( $R_{CFG1}$ ) を CFG1 と AGND の間に接続し、I <sup>2</sup> C のスレーブ・アドレスとデフォルトの MFIO 機能を設定します。デフォルトの設定値は、I <sup>2</sup> C を通じて上書きすることができます。詳細については、 <a href="#">デバイスの設定（CFGx）</a> のセクションを参照してください。	アナログ入力

## 端子説明（続き）

ピン	名称	説明	タイプ
D5	CFG2	デバイス設定 2 の選択入力。選択用の抵抗 ( $R_{CFG2}$ ) を CFG2 と AGND の間に接続し、電流制限とスイッチング周波数を設定します。デフォルトの設定値は、I <sup>2</sup> C を通じて上書きすることができます。詳細については、 <a href="#">デバイスの設定 (CFGx)</a> のセクションを参照してください。	アナログ入力
B5	IRQB	割込み出力（アクティブ・ロー、オープンドレイン）。V <sub>IO</sub> との間に、100k $\Omega$ の外部プルアップ抵抗を接続する必要があります。CE = ローのときは高インピーダンスです。	デジタル出力
A4	SCL	I <sup>2</sup> C シリアル・インターフェースのクロック入力。（シャットダウン・モードでは高インピーダンスです。）V <sub>IO</sub> との間に、1.5k $\Omega$ ~2.2k $\Omega$ のプルアップ抵抗を接続する必要があります。使用しない場合はグランドに接続します。	デジタル入力
A5	SDA	I <sup>2</sup> C シリアル・インターフェースのデータ I/O（シャットダウン・モードでは高インピーダンスです。）V <sub>IO</sub> との間に、1.5k $\Omega$ ~2.2k $\Omega$ のプルアップ抵抗を接続する必要があります。使用しない場合はグランドに接続します。	デジタル I/O
D4	SEL1	降圧 1 のデフォルト V <sub>OUT</sub> の選択入力。選択用の抵抗 ( $R_{SEL1}$ ) を SEL1 と AGND の間に接続し、デフォルトの V <sub>OUT1</sub> と V <sub>OUT1</sub> 範囲を設定します。デフォルトの設定値は、I <sup>2</sup> C を通じて上書きすることができます。詳細については、 <a href="#">デフォルト出力電圧の選択 (SELx)</a> のセクションを参照してください。	アナログ入力
C4	SEL2	降圧 2 のデフォルト V <sub>OUT</sub> の選択入力。選択用の抵抗 ( $R_{SEL2}$ ) を SEL2 と AGND の間に接続し、デフォルトの目標 V <sub>OUT2</sub> と V <sub>OUT2</sub> 範囲を設定します。デフォルトの設定値は、I <sup>2</sup> C を通じて上書きすることができます。R <sub>SEL2</sub> ≤ 95.3 $\Omega$ の場合、降圧 2 は多相のコンバータのスレーブ位相になります。詳細については、 <a href="#">デフォルト出力電圧の選択 (SELx)</a> のセクションを参照してください。	アナログ入力
C7	SEL3	降圧 3 のデフォルト V <sub>OUT</sub> の選択入力。選択用の抵抗 ( $R_{SEL3}$ ) を SEL3 と AGND の間に接続し、デフォルトの目標 V <sub>OUT3</sub> と V <sub>OUT3</sub> 範囲を設定します。デフォルトの設定値は、I <sup>2</sup> C を通じて上書きすることができます。R <sub>SEL3</sub> ≤ 95.3 $\Omega$ の場合、降圧 3 は多相のコンバータのスレーブ位相になります。詳細については、 <a href="#">デフォルト出力電圧の選択 (SELx)</a> のセクションを参照してください。	アナログ入力
D7	SEL4	降圧 4 のデフォルト V <sub>OUT</sub> の選択入力。選択用の抵抗 ( $R_{SEL4}$ ) を SEL4 と AGND の間に接続し、デフォルトの目標 V <sub>OUT4</sub> と V <sub>OUT4</sub> 範囲を設定します。デフォルトの設定値は、I <sup>2</sup> C を通じて上書きすることができます。R <sub>SEL4</sub> ≤ 95.3 $\Omega$ の場合、降圧 4 は多相のコンバータのスレーブ位相になります。詳細については、 <a href="#">デフォルト出力電圧の選択 (SELx)</a> のセクションを参照してください。	アナログ入力

## 多機能 I/O

E3	MFIO1	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
D3	MFIO2	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
C3	MFIO3	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
B3	MFIO4	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
B8	MFIO5	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
C8	MFIO6	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
D8	MFIO7	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O
E8	MFIO8	多機能入出力。このピンを使用しない場合は、フロート状態のままにします。詳細については、 <a href="#">MFIO の機能</a> のセクションを参照してください。	デジタル I/O

## 詳細-トップ・レベル

### チップ・イネーブル (CE) および内部バイアス電源

MAX77542 は、専用の内部電源として V<sub>DD</sub>、V<sub>L12</sub>、および V<sub>L34</sub> を備えています。V<sub>DD</sub> は、内部のロジック回路と制御回路に電源を供給し、V<sub>L12</sub> と V<sub>L34</sub> は、MOSFET のスイッチングを行うゲート・ドライバに電源を供給します。これら 3 つのレギュレータには、SYS (または、該当する場合は ALT\_IN) 入力から電源を供給します。

V<sub>SYS</sub> 電源が有効な場合は、CE ピンをロジック・ハイにすることで V<sub>DD</sub> レギュレータなどの内部バイアス回路をオンします。V<sub>DD</sub> 電源が安定になるとすぐ、MAX77542 は R<sub>CFGx</sub> と R<sub>SELx</sub> の値を読み出してデバイスの設定を行い、スタンバイ・モードに入ります。スタンバイ・モードに入るまでにかかる時間は、通常、CE ピンがハイになってから 430μs です。スタンバイ・モードでは、I<sup>2</sup>C シリアル・インターフェースがアクティブになり、各レギュレータのデフォルト出力電圧、スタートアップ遅延の設定、出力イネーブルの制御など、ユーザ・アクセス可能なすべてのレジスタの上書きが可能になります。

降圧 1 または降圧 2 がイネーブルの場合、V<sub>L12</sub> 電源がオンします。降圧 3 または降圧 4 がイネーブルの場合、V<sub>L34</sub> 電源が自動的にオンします。ターンオン遅延時間を短縮するために、I<sup>2</sup>C を通じて VL\_EN ビットを 1 に設定することで、降圧出力がディスエーブルの場合でも V<sub>L12</sub> および V<sub>L34</sub> 電源をオンにすることができます。CE ピンと MFIO ピン (EN\_Mx 機能が選択されている場合) の両方が同時にハイになっている場合は、降圧イネーブル信号を伝える前に内部バイアス回路をオンにする必要があるため、降圧出力の起動には更に時間がかかります。

CE ピンをローにすると、MAX77542 はシャットダウン・モードに入り、Mx\_EN ビットおよび EN\_Mx (MFIOx) ピンの状態に関わらず、すべてのレギュレータをオフにします。また、このイベントは、すべてのレジスタを POR デフォルト値にリセットします。

表 1. V<sub>DD</sub> および I<sup>2</sup>C イネーブルの真理値表

CE PIN	V <sub>DD</sub> AND I <sup>2</sup> C SERIAL INTERFACE
Low	Disabled
High	Enabled

### 低電圧の代替入力 (ALT\_IN)

V<sub>SWO</sub> と V<sub>SYS</sub> の間で代替電源 (V<sub>ALT\_IN</sub>) を利用可能な場合は、専用の内部リニア電圧レギュレータ (V<sub>DD</sub>、V<sub>L12</sub>、および V<sub>L34</sub>) の電源供給にこれを使用することで効率を向上させることができます。図 1 に示すように、V<sub>DD</sub>、V<sub>L12</sub>、および V<sub>L34</sub> 電源の入力をスイッチオーバー回路によって SYS ピンと ALT\_IN ピンの間で動的に選択し、安定動作を維持します。デバイスがシャットダウン・モードを終了すると (CE = 1)、リニア電圧レギュレータにはまず SYS ピンから電源が供給されます。そして、有効な電源が ALT\_IN に接続されている場合には、SYS ピンから ALT\_IN ピンに切り替わります。スイッチオーバー回路のステータスは、ALT\_IN\_I 割込みビットと ALT\_SWO ステータス・ビットが示しています。

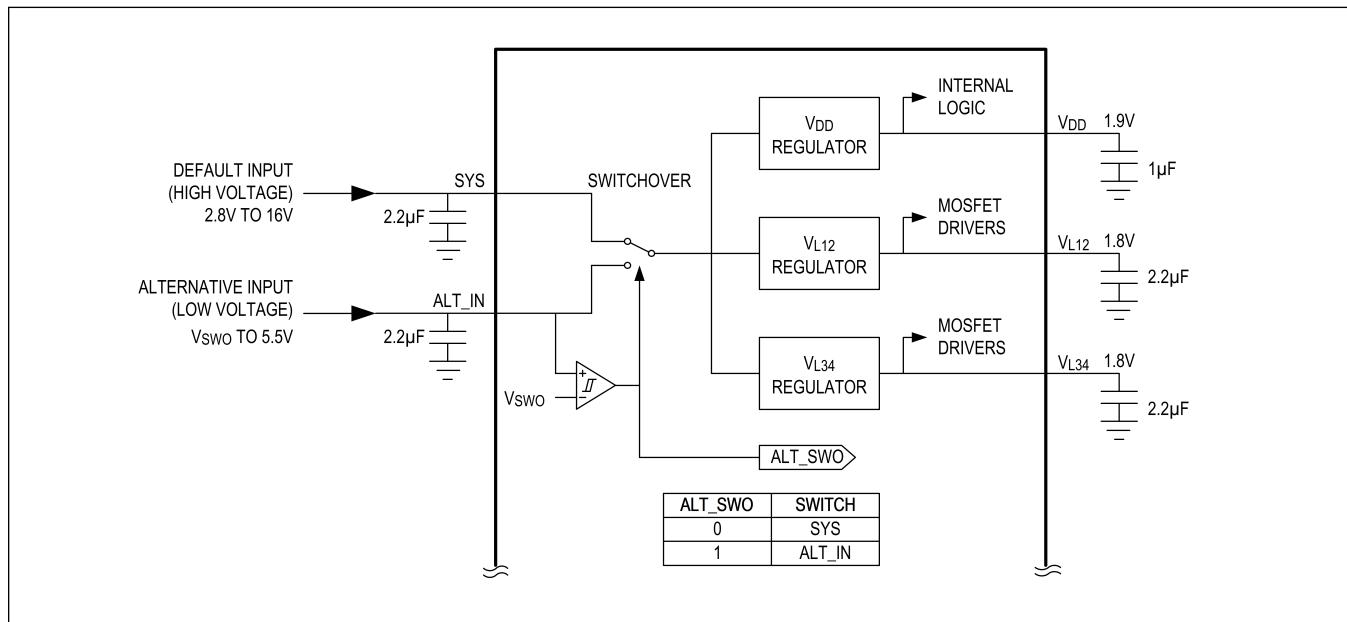


図 1. 代替入力によるスイッチオーバー回路

ALT\_IN 入力には、3 つの使用方法があります。

- オプション 1 : ALT\_IN ピンを AGND に接続します（使用しない場合）。この場合、内部リニア電圧レギュレータは常時 SYS ピンから電源供給を受けます。
- オプション 2 : ALT\_IN ピンを V<sub>SWO</sub> より高い降圧出力の 1 つに接続します。降圧出力を使用してリニア電圧レギュレータに電源を供給することで、デバイスの総効率を向上させることができます。（降圧出力は動的にオン／オフすることができます。）
- オプション 3 : V<sub>SWO</sub> より高い降圧出力がない場合は、高効率で V<sub>SWO</sub> より高電圧の外部 DC ソースに ALT\_IN ピンを接続します。（高効率電源を使用することで、システム全体の効率も向上します。）

## デバイスの設定 (CFGx)

MAX77542 は、許容誤差 1%以下の抵抗を使用して、デバイスの設定をユーザが選択できます。V<sub>DD</sub> レギュレータが最初にオンになる（シャットダウン・モードが終了する）と必ず、MAX77542 は CFGx と AGND の間の抵抗値を確認します。R<sub>CFGx</sub> のデコード値は、次にデバイスがシャットダウン・モードを終了するまでラッチされます。ラッチされた R<sub>CFGx</sub> のデコード値は、CFGx\_LATCH[4:0]ステータス・ビットに反映されます。詳細については、レジスタ・マップを参照してください。

表 2 に、デフォルトで選択可能な I<sup>2</sup>C スレーブ・アドレスとデフォルト MFIO 機能のデコード値を示します。ラッチされると、選択された MFIO のオプションは MFIOx\_FUNC[3:0] ビットにすぐに反映されます。75kΩ 以上の R<sub>CFG1</sub> のデコード値は工場出荷時に設定可能です。R<sub>CFGx</sub> のデコードが完了するまで、すべての MFIO は内部 800kΩ 抵抗を使用して AGND にプルダウンされています。

表 2. R<sub>CFG1</sub> によるデバイスの設定

R <sub>CFG1</sub> (Ω)	I <sup>2</sup> C SLAVE ADDRESS (7-BIT ADDRESS)	MFIO1	MFIO2	MFIO3	MFIO4	MFIO5	MFIO6	MFIO7	MFIO8
≤ 95.3	7'h60 (110 0000)	EN_M1	POK_M1	EN_M2	POK_M2	EN_M3	POK_M3	EN_M4	POK_M4
200	7'h61 (110 0001)	EN_M1	POK_M1	EN_M2	POK_M2	EN_M3	POK_M3	EN_M4	POK_M4

表 2. R<sub>CFG1</sub> によるデバイスの設定 (続き)

R <sub>CFG1</sub> (Ω)	I <sup>2</sup> C SLAVE ADDRESS (7-BIT ADDRESS)	MFIO1	MFIO2	MFIO3	MFIO4	MFIO5	MFIO6	MFIO7	MFIO8
309	7'h62 (110 0010)	EN_M1	POK_M1	EN_M2	POK_M2	EN_M3	POK_M3	EN_M4	POK_M4
422	7'h63 (110 0011)	EN_M1	POK_M1	EN_M2	POK_M2	EN_M3	POK_M3	EN_M4	POK_M4
536	7'h60 (110 0000)	EN_M1	POK_M1	FPWM_M1	EN_M2	EN_M3	POK_M3	EN_M4	FPWM_M3
649	7'h61 (110 0001)	EN_M1	POK_M1	FPWM_M1	EN_M2	EN_M3	POK_M3	EN_M4	FPWM_M3
768	7'h62 (110 0010)	EN_M1	POK_M1	FPWM_M1	EN_M2	EN_M3	POK_M3	EN_M4	FPWM_M3
909	7'h63 (110 0011)	EN_M1	POK_M1	FPWM_M1	EN_M2	EN_M3	POK_M3	EN_M4	FPWM_M3
1.05k	7'h60 (110 0000)	EN_M1	POK_M1	FPWM_M1	CLKDET_GLB	EN_M3	POK_M3	EN_M4	POK_M4
1.21k	7'h61 (110 0001)	EN_M1	POK_M1	FPWM_M1	CLKDET_GLB	EN_M3	POK_M3	EN_M4	POK_M4
1.40k	7'h62 (110 0010)	EN_M1	POK_M1	FPWM_M1	CLKDET_GLB	EN_M3	POK_M3	EN_M4	POK_M4
1.62k	7'h63 (110 0011)	EN_M1	POK_M1	FPWM_M1	CLKDET_GLB	EN_M3	POK_M3	EN_M4	POK_M4
1.87k	7'h60 (110 0000)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	EN_M3	POK_M3	FPWM_M3	CLKDET_M3
2.15k	7'h61 (110 0001)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	EN_M3	POK_M3	FPWM_M3	CLKDET_M3
2.49k	7'h62 (110 0010)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	EN_M3	POK_M3	FPWM_M3	CLKDET_M3
2.87k	7'h63 (110 0011)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	EN_M3	POK_M3	FPWM_M3	CLKDET_M3
3.74k	7'h60 (110 0000)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	POK_M4	FPWM_M4	EN_M4
8.06k	7'h61 (110 0001)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	POK_M4	FPWM_M4	EN_M4
12.4k	7'h62 (110 0010)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	POK_M4	FPWM_M4	EN_M4
16.9k	7'h63 (110 0011)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	POK_M4	FPWM_M4	EN_M4
21.5k	7'h60 (110 0000)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	VSEL_M1	FPWM_M4	EN_M4
26.1k	7'h61 (110 0001)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	VSEL_M1	FPWM_M4	EN_M4
30.9k	7'h62 (110 0010)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	VSEL_M1	FPWM_M4	EN_M4
36.5k	7'h63 (110 0011)	EN_M1	POK_M1	FPWM_M1	CLKDET_M1	CLKDET_M4	VSEL_M1	FPWM_M4	EN_M4
42.2k	7'h60 (110 0000)	FPSI	POK_M1	FPWM_M1	CLKDET_M1	VB_GLB	RSTINB	TWARNB	RSTOB

表 2. R<sub>CFG1</sub> によるデバイスの設定 (続き)

R <sub>CFG1</sub> (Ω)	I <sup>2</sup> C SLAVE ADDRESS (7-BIT ADDRESS)	MFIO1	MFIO2	MFIO3	MFIO4	MFIO5	MFIO6	MFIO7	MFIO8
48.7k	7'h61 (110 0001)	FPSI	POK_M1	FPWM_M1	CLKDET_M1	VB_GLB	RSTINB	TWARNB	RSTOB
56.2k	7'h62 (110 0010)	FPSI	POK_M1	FPWM_M1	CLKDET_M1	VB_GLB	RSTINB	TWARNB	RSTOB
64.9k	7'h63 (110 0011)	FPSI	POK_M1	FPWM_M1	CLKDET_M1	VB_GLB	RSTINB	TWARNB	RSTOB
75.0k	7'h60 (110 0000)	Factory Option							
86.6k	7'h61 (110 0001)	Factory Option							
100k	7'h62 (110 0010)	Factory Option							
≥ 115k	7'h63 (110 0011)	Factory Option							

表 3 に、デフォルトで選択可能なマスタ位相のピーク電流制限とスイッチング周波数設定のデコード値を示します。ラッチされると、選択されたオプションは Mx\_ILIM[1:0] ビットと Mx\_FREQ[1:0] ビットにすぐに反映されます。115kΩ 以上の R<sub>CFG2</sub> のデコード値は工場出荷時に設定可能です。

表 3. R<sub>CFG2</sub> によるデバイスの設定

R <sub>CFG2</sub> (Ω)	M1_ILIM (A)	M2_ILIM (A)	M3_ILIM (A)	M4_ILIM (A)	Mx_FREQ (MHz)
≤ 95.3	5.5	5.5	5.5	5.5	1.0
200	5.5	5.5	5.5	5.5	1.5
309	5.5	5.5	5.5	3.5	1.0
422	5.5	5.5	5.5	3.5	1.5
536	5.5	5.5	3.5	5.5	1.0
649	5.5	5.5	3.5	5.5	1.5
768	5.5	5.5	3.5	3.5	1.0
909	5.5	5.5	3.5	3.5	1.5
1.05k	5.5	3.5	5.5	5.5	1.0
1.21k	5.5	3.5	5.5	5.5	1.5
1.40k	5.5	3.5	5.5	3.5	1.0
1.62k	5.5	3.5	5.5	3.5	1.5
1.87k	5.5	3.5	3.5	5.5	1.0
2.15k	5.5	3.5	3.5	5.5	1.5
2.49k	5.5	3.5	3.5	3.5	1.0
2.87k	5.5	3.5	3.5	3.5	1.5
3.74k	3.5	5.5	5.5	5.5	1.0
8.06k	3.5	5.5	5.5	5.5	1.5
12.4k	3.5	5.5	5.5	3.5	1.0
16.9k	3.5	5.5	5.5	3.5	1.5
21.5k	3.5	5.5	3.5	5.5	1.0
26.1k	3.5	5.5	3.5	5.5	1.5

表 3. R<sub>CFG2</sub> によるデバイスの設定 (続き)

R <sub>CFG2</sub> (Ω)	M1_ILIM (A)	M2_ILIM (A)	M3_ILIM (A)	M4_ILIM (A)	M <sub>x</sub> _FREQ (MHz)
30.9k	3.5	5.5	3.5	3.5	1.0
36.5k	3.5	5.5	3.5	3.5	1.5
42.2k	3.5	3.5	5.5	5.5	1.0
48.7k	3.5	3.5	5.5	5.5	1.5
56.2k	3.5	3.5	5.5	3.5	1.0
64.9k	3.5	3.5	5.5	3.5	1.5
75.0k	3.5	3.5	3.5	5.5	1.0
86.6k	3.5	3.5	3.5	5.5	1.5
100k	3.5	3.5	3.5	3.5	1.0
≥ 115k					Factory Option

## 出力イネーブル制御

MAX77542 には、出力イネーブル入力として選択可能な 8 つの多機能 I/O が搭載されています。MFIOx が V<sub>IH</sub> を超える電圧にプルされた場合 (EN\_Mx 機能が選択されます) 、それに対応する降圧出力がイネーブルされます。降圧出力は、I<sup>2</sup>C を使用して Mx\_EN ビットを 1 に設定することでもオンにできます。EN\_Mx (MFIOx) ピンと、それに対応する I<sup>2</sup>C イネーブル・ビット (Mx\_EN) の論理的な関係は OR です。例えば、マスタ 1 は、M1\_EN ビットと EN\_M1 (MFIOx) 信号のどちらかが 1 にセットされるとイネーブルされます。アクティブな信号のすべてが 0 の場合、対応するマスタ位相はオフになります。シリアル・インターフェースは、V<sub>DD</sub> レギュレータがイネーブルの場合は常時アクティブです (表 1 を参照)。

## フレキシブル・パワー・シーケンサ (FPS)

MAX77542 は、フレキシブル・パワー・シーケンサをサポートしており、各マスタ位相のスタートアップ遅延時間とシャットダウン遅延時間をプログラマブルに制御できます。スタートアップ・シーケンスおよびシャットダウン・シーケンスは、FPS\_EN ビット、または MFIOx のグローバル出力イネーブル機能 (FPSI) によって開始します。スタートアップ遅延時間とシャットダウン遅延時間は、それぞれ 0ms~56ms (0.5ms/1ms/2ms/4ms のステップ・サイズで 15 スロット) の中から設定可能で、スタートアップなしのオプションも選択できます。スタートアップ遅延時間は、Mx\_STUP\_DLY[3:0] ビットと FPSO\_STUP\_DLY[3:0] ビットで設定でき、デフォルト値は OTP で設定されています。一方、シャットダウン遅延時間は Mx\_SHDN\_DLY[3:0] ビットと FPSO\_SHDN\_DLY[3:0] ビットでしか設定できません。すべてのマスタ位相の遅延時間のステップと遅延時間が設定可能です。スタートアップなしのオプションを選択した場合、対応する降圧出力は FPS のリソースから除外されます。

スタートアップ・シーケンスまたはシャットダウン・シーケンスが開始すると、FPS\_EN ビットや FPSI 入力はシーケンスが完了するまで無視 (非アクティブ化) されます。また、スタートアップ・シーケンスおよびシャットダウン・シーケンスの間、Mx\_STUP\_DLY[3:0] ビット、Mx\_SHDN\_DLY[3:0] ビット、DLY\_STEP[1:0] ビットに変更が加えられても、シーケンスが終了するまでは無効です。

スタートアップ・シーケンスまたはシャットダウン・シーケンスが開始する前に Mx\_EN ビットが MFIOx のイネーブル機能 (EN\_Mx) によってオンになったマスタ位相がある場合、スタートアップ・シーケンスおよびシャットダウン・シーケンスは、既に個別にオンになったマスタ位相には影響を及ぼしません。代表的なスタートアップ・シーケンスとシャットダウン・シーケンスを図 2 に示します。

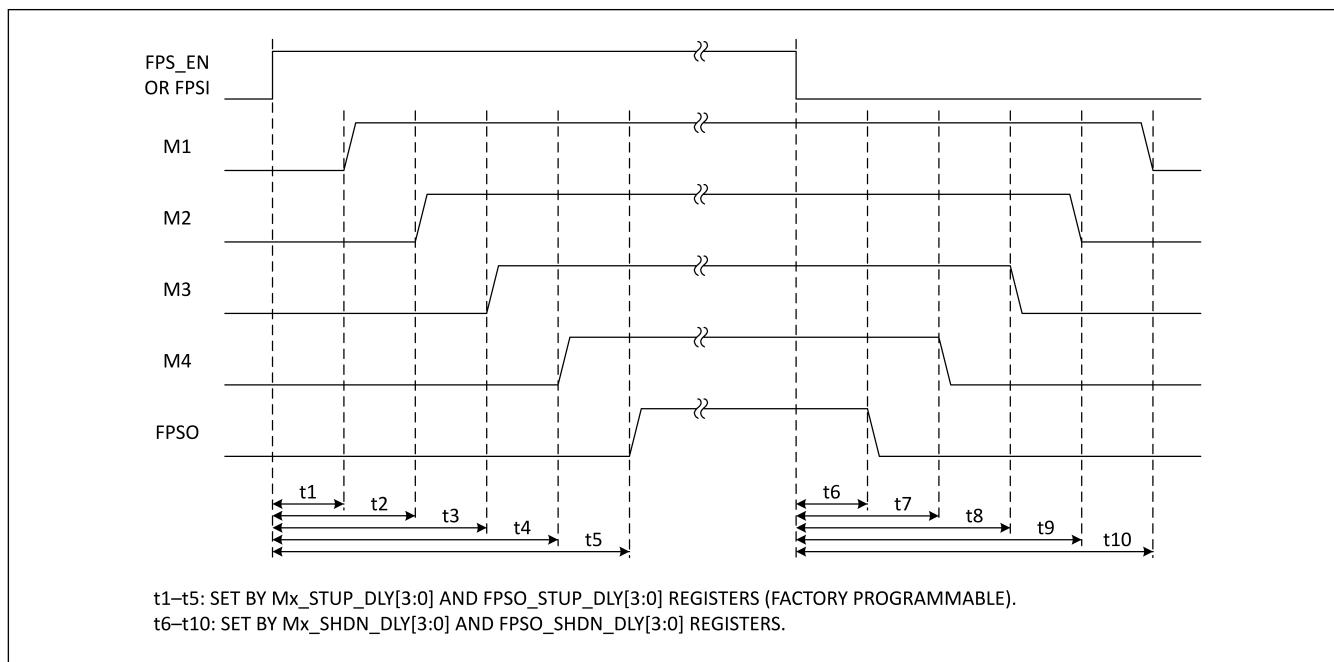


図 2. 代表的なスタートアップおよびシャットダウン・シーケンス

## 低電圧ロックアウト (UVLO)

V<sub>SYS</sub> 電圧が V<sub>UVLO\_F</sub> (代表値 2.7V) を下回ると、MAX77542 はすべての降圧出力を直ちにディスエーブルし、すべての降圧出力電圧設定レジスタ (タイプ F) をリセットします。詳細については、[フォルト保護](#)のセクションを参照してください。

UVLO イベントは、V<sub>SYS</sub> 電圧が UVLO の立上がりスレッショルド (代表値 2.9V) を上回るまでの間、デバイスを強制的に休止状態にします。UVLO の立下がりスレッショルドは I<sup>2</sup>C を通じて設定可能です。V<sub>SYS</sub> 電圧が POR スレッショルド (代表値 1.7V) まで低下した場合、V<sub>DD</sub> 電源がオフになり (すべてのレジスタがリセットされます)、MAX77542 はシャットダウン状態に入ります。

## V<sub>IO</sub> のフォルト

I/O 電源が V<sub>IO\_UVLO\_F</sub> を下回ると、I<sup>2</sup>C バッファがクリアされ、すべての MFIO の入出力機能が非アクティブになります。I<sup>2</sup>C バッファと MFIO は、V<sub>IO</sub> 電源が V<sub>IO\_UVLO\_R</sub> を超えるまで非アクティブの状態に維持されます。V<sub>IOFLT\_I</sub> 割込みがマスクされていない場合は、V<sub>IO</sub> フォルト・イベントによってこの割込みがトリガされます。詳細については、[レジスタ・マップ](#)を参照してください。V<sub>IOFLT\_SHDN</sub> ビットが 1 に設定されている場合、V<sub>IO</sub> のフォルト状態によってすべての降圧出力のシャットダウンをすぐに開始することができます。

## 過熱警告およびサーマル・シャットダウン (TSHDN)

MAX77542 は、ジャンクション温度がプログラマブルなスレッショルド温度を超えたかどうかを監視する、過熱警告機能を備えています。図 3 に示すように、ジャンクション温度が TSHDN (代表値は約+165°C) を超えた場合、デバイスはサーマル・シャットダウン (TSHDN) に入ります。TSHDN イベントは、すべての降圧出力を直ちにディスエーブルし、すべての降圧出力電圧設定レジスタ (タイプ F) をリセットします。詳細については、[フォルト保護](#)のセクションを参照してください。過熱の監視は、以下の条件のいずれかが真の場合にアクティブになります。

- 降圧出力のうち 1 つがイネーブル。
- 強制過熱保護イネーブル・ビットがセット (FTMON\_EN = 1)。
- (何らかの理由で) 過熱保護がイネーブルになっているときに、T<sub>J</sub> ≥ TWARN\_TH[2:0] を検知。 (この場合、過熱の監視は T<sub>J</sub> ≤ TWARN\_TH[2:0] - 15°C になるまでアクティブのままです。)

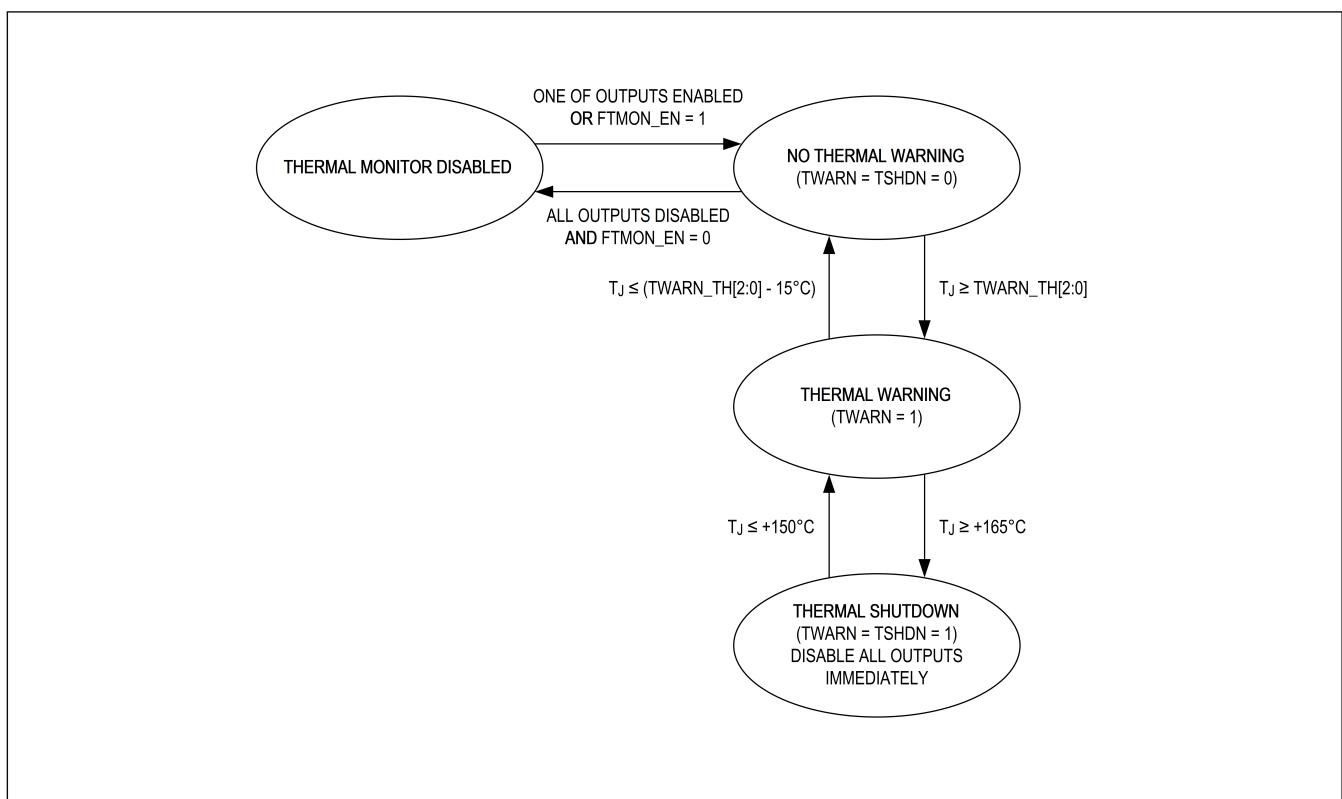


図 3. 過熱警告およびサーマル・シャットダウン

## リセット入出力

MFIOx ピンの 1 つが有効なリセット信号を検出した場合に、MAX77542 のすべての機能レジスタ（タイプ O およびタイプ F の両方）を POR のデフォルト値にリセットすることができます。この機能をアクティブにするには、MFIOx ピンの 1 つをシステム・リセット入力（アクティブ・ロー）機能として設定し（MFIOx\_FUNC[3:0] = 0xA）、RSTINB\_SHDN を 1 に設定する必要があります。グリッヂによる誤トリガを防止するため、この入力に対応する MFIOx\_DEB[2:0] ビットを使用して、適切なバウンス防止タイマーを設定することを推奨します。詳細については、[システム・リセット入力 \(RSTINB\)](#) のセクションを参照してください。

また、MAX77542 には「システム・リセット出力」機能も搭載されており、MFIOx ピンの 1 つを設定（MFIOx\_FUNC[3:0] = 0xB）することで使用できます。「システム・リセット出力」はアクティブ・ローのオープンドレインで、（リセット出力に関連した）フォルト・イベントの 1 つが発生するとアサートされます。「システム・リセット出力」を特定のフォルト条件と関連付けるには、Mx\_RSTOB\_EN ビット、TSHDN\_RSTOB\_EN ビット、または UVLO\_RSTOB\_EN ビットを 1 に設定する必要があります。リセット出力をアサートさせるフォルト条件がクリアされるとすぐに、リセット出力信号はアサート解除されます。詳細については、[システム・リセット出力 \(RSTOB\)](#) のセクションを参照してください。

## 割込み (IRQB) 、マスクおよびステータス

IRQB はアクティブ・ローのオープンドレイン出力で、MAX77542 の状態が変化したことをホスト・プロセッサに知らせます。IRQB は、マスクされていないすべての割込みビットの論理「NOR」です。ステータス・ビットと割込みビットのすべてが網羅されたリストについては、[レジスタ・マップ](#) のセクションを参照してください。

IRQB 出力は、マスクされていない割込みビットがトリガされた場合はいつでもアサート（ローになる）されます。そして、ホスト・プロセッサは、割込みソース・レジスタ（0x00）と、割込みソース・レジスタが示す割込みレジスタを読み出し、割込みイベントの原因を確認します。割込みソース・レジスタは、それに対応する割込みレジスタ・グループがホスト・プロセッサによって読み出されるとクリアされます。すべての割込みイベントはエッジでトリガされます。そのため、割込み条件が持続する場合でも、同じ割込みが繰り返し生成されることはありません。

各割込みレジスタは一度に読み出すことができます。すべての割込みビットは読み出し後クリアされるビットです。IRQB 出力は、すべての割込みビットがクリアされると、アサート解除（ハイになる）されます。読み出しシーケンスの間に割込みがキャプチャされると、IRQB 出力はローに保持されます。マスクされていない割込みイベントによって IRQB 出力がローになると、ホスト・プロセッサの読み出し動作によって割込みビットがクリアされるか、対応する割込みマスク・ビットが 1 に設定される（マスクされる）まで、IRQB 出力はローのままでです。すべての割込み（UVLO\_I を除く）はデフォルトでマスクされています。マスクされた割込みビットは、IRQB ピンをアサートしません。

MAX77542 には、2 つの割込みマスク・モードがあります。MASK\_MODE = 0（デフォルト）の場合、割込みビットは、それに対応するマスク・ビットに関わりなく割込みイベントをセットしますが、割込みイベントがマスクされた割込みソース・レジスタに伝搬されることはありません。MASK\_MODE が 1 に設定された場合、割込みレジスタ・ビットが、それに対応する割込みイベントをアサートすることはありません（割込みビットを閉じる）。

割込みビットに加えて、MAX77542 には読み出し専用のステータス・ビットがあります。ステータス・ビットは、常にデバイスの現在の状態を表しています。ホスト・プロセッサによって MAX77542 を初期化するときは、必ずステータス・ビットを読み出すことを強く推奨します。ステータス・ビットが割込みビットの状態に直接影響を与えることはありません。

### レジスタのリセット条件

CE ピンがローになった場合、または V<sub>SYS</sub> 電源がその POR スレッショルド（代表値 1.7V）を下回った場合、すべてのレジスタ（タイプ O とタイプ F の両方）は、[レジスタ・マップ](#) のセクションで仕様規定された POR のデフォルト値にリセットされます。MAX77542 は、CE ピンがハイになったときには常に、R<sub>CFGx</sub> と R<sub>SELx</sub> の検出値に基づいてデフォルトのレジスタ値を更新します。そして、更新されたデフォルト値は、CE ピンがローになるか POR イベントが発生するまでの間、ラッチされます。UVLO イベント、または TSHDN イベントは、すべての降圧出力電圧設定レジスタ（タイプ F）をデフォルト値にリセットします。一方、SCP イベントは、それに対応する出力の降圧出力電圧設定レジスタ（タイプ F）のみをリセットします。

### 出荷時のオプション

MAX77542 には、工場出荷時に設定可能な様々なワンタイム・プログラマブル（OTP）のオプションがあります。[表 4](#) の選択ガイドを参照してください。特殊な OTP オプションを持つ製品タイプについては、アナログ・デバイセズまでお問い合わせください。

表 4. 工場出荷時に設定される MAX77542 のデフォルト値（OTP オプション）

		MAX77542A
<b>SELx OPTIONS</b>		
	VOUT1 (V)	0.8
	VOUT2 (V)	1.1
	VOUT3 (V)	1.8
	VOUT4 (V)	3.3
<b>CFG1 OPTIONS</b>		
	MFIO1	FPSI
	MFIO2	POK_M1
	MFIO3	FPWM_M1
	MFIO4	CLKDET_M1
	MFIO5	VB_GLB
	MFIO6	RSTINB
	MFIO7	TWARNB
	MFIO8	RSTOB
<b>CFG2 OPTIONS</b>		
	M1_ILIM (A)	5.5
	M2_ILIM (A)	5.5
	M3_ILIM (A)	5.5
	M4_ILIM (A)	5.5
	Mx_FREQ (MHz)	1.0

#### 詳細-4 相構成の設定が可能な降圧コンバータ

MAX77542 は、4A の位相 ( $\Phi$ ) を 4つ備えた、位相構成を設定可能な高効率降圧コンバータです。出力電圧の検出入力 (SNSxP と SNSxN) の作動ペアにより、負荷点でクラス最高の出力電圧レギュレーションを確保します。各降圧コンバータは、2.8V~16V の入力電源で動作します。出力電圧は SELx 入力を使用してプリセットしますが、更に、I<sup>2</sup>C シリアル・インターフェースを使用することで、Mx\_RNG[1:0] ビットに応じて 0.3V~5.2V の間の電圧を 5mV、10mV、または 20mV ステップで設定することができます。詳細については、[出力電圧の設定](#)のセクションを参照してください。

それぞれのスイッチング位相は4A の電流が可能で、4相 (4 $\Phi$ ) 構成では最大 16A が可能です。位相の構成は、SEL2、SEL3、または SEL4 ピンを PCB の AGND に接続することによって、ユーザによる設定が可能です。詳細については、[位相と出力の構成](#)のセクションを参照してください。

#### 降圧コンバータの制御方式

MAX77542 は、適応型 COT (オン時間一定) 電流モードの制御方式を使用します。適応型 COT 制御は、負荷過渡応答に対する高速応答、入力電圧の変動に対する補償、低デューティ・サイクルでの安定した性能を実現します。図 4 に示すように、以下では降圧 1 を例に説明します。

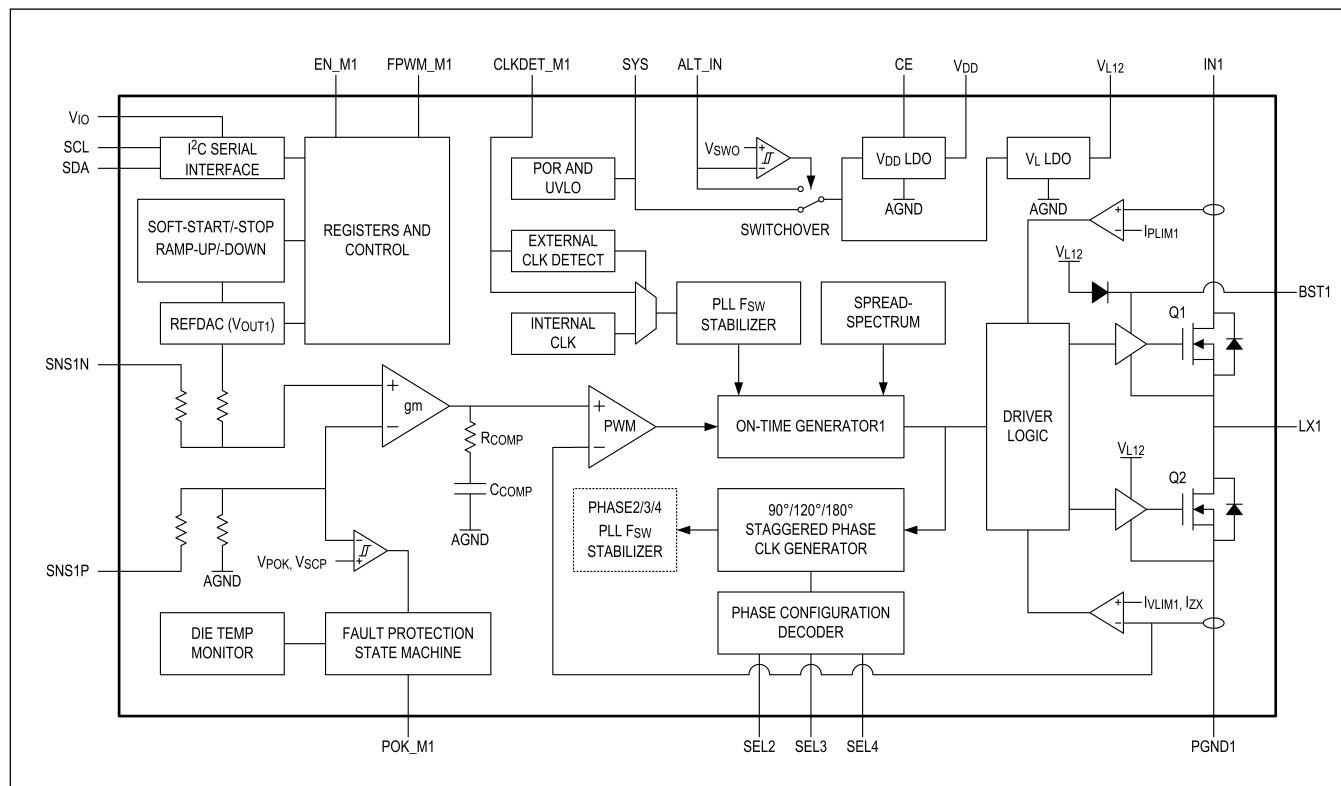


図 4. 機能ブロック図

オン時間 (MOSFET Q1 がオン) は、オン時間ジェネレータ回路によって制御されます。オン時間ジェネレータ回路は、入力電圧 (V<sub>IN1</sub>)、出力電圧 (V<sub>OUT1</sub>)、および目標のスイッチング周波数 (F<sub>SW1</sub>) に基づいてオン時間を計算します。オン時間が終了すると、オフ時間 (MOSFET Q2 がオン) が始まります。デッド・タイムの間は、固有のボディ・ダイオードを通じてインダクタ電流が流れます。PWM コンパレータがオフ時間を変調することにより、V<sub>OUT1</sub> をレギュレーションします。PWM コンパレータの正入力は、実際の出力電圧誤差に比例する電圧です。負入力は、MOSFET Q2 を通じて検出されたインダクタ電流に比例する電圧です。PWM コンパレータは、誤差電圧が電流検出信号より高くなるとオン時間を開始します。計算されたオン時間が終了すると、自動的にオフ時間が再開します。フェーズロック・ループ (PLL) はスイッチング周波数を安定化し、位相間隔を制御します。出力が多相の動作に設定されている場合、PLL はスレーブ位相をマスタ位相から 90°、120°、または 180° 離れた位相に安定化します。多相の構成では、すべてのマスタ位相とスレーブ位相がアクティビ化され、定常状態で動作している間、常に順々に切り替わります。位相が追加されたり削減されたりはしません。

## 降圧動作モード

降圧コンバータには、図 5 に示すように 3 つの動作モードがあります。モード間の遷移は、動作条件とモード制御の設定によって決定されます。動作モードの設定は、I<sup>2</sup>C 通信が利用可能な間はいつでも変更できます。スキップ・モードと FPWM モードの切替えは、MFIOx ピンで制御することもできます (FPWM\_Mx 機能が選択されている場合)。FPWM\_Mx (MFIOx) ピンをハイにすると、それに対応する降圧出力は強制 PWM モードで動作します。FPWM\_Mx (MFIOx) ピンがローに保持されている場合、Mx\_LPM ビットと Mx\_FPWM ビットを使用して動作モードを制御します。

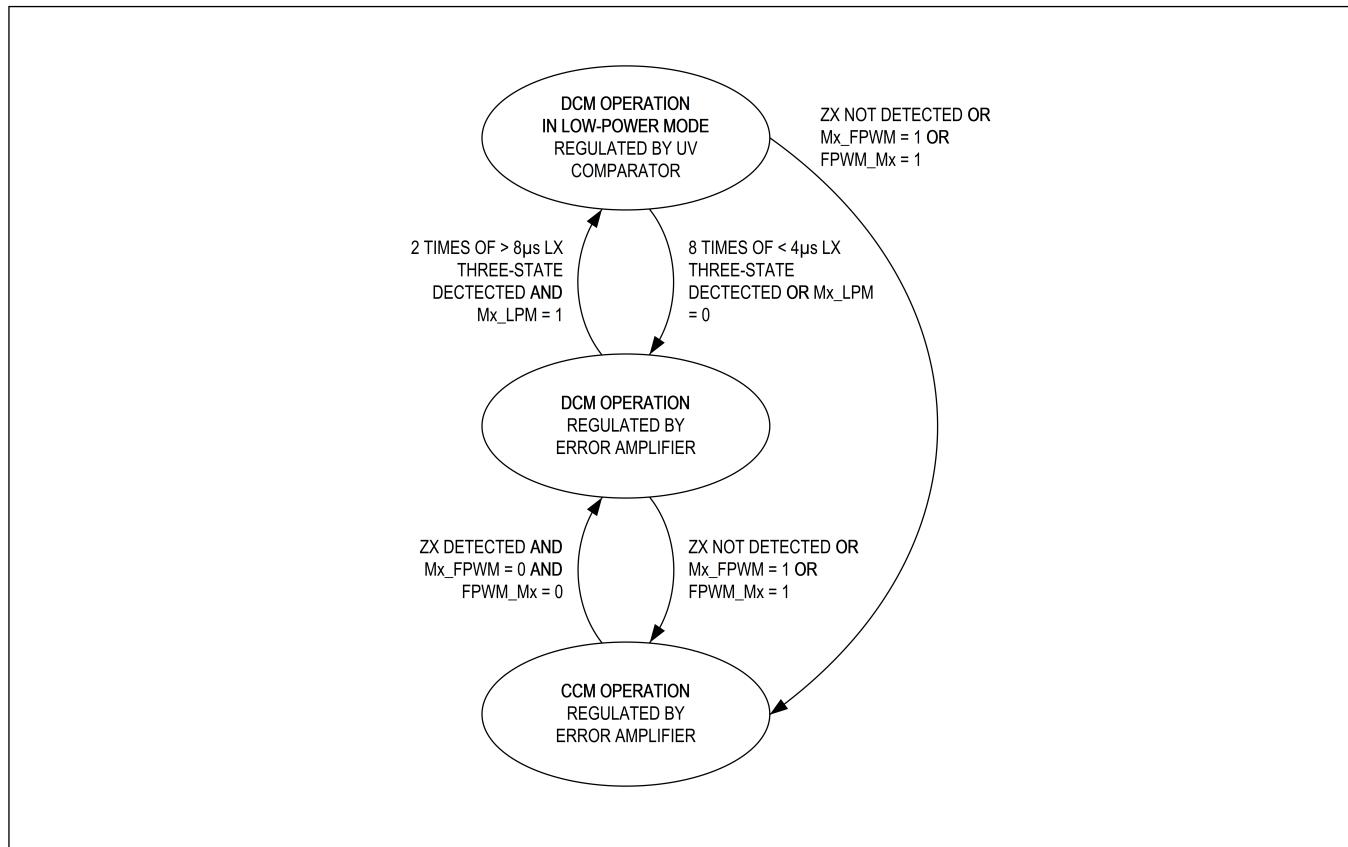


図 5. 降圧動作モード

モード制御設定の詳細については、以下で説明します。

### スキップ・モード

スキップ・モード ( $Mx_LPM = LPM_Mx = Mx_FPWM = FPWM_Mx = 0$ ) では、降圧コンバータは負荷に応じて不連続導通モード (DCM)、または連続導通モード (CCM) で動作します。軽負荷条件下で、平均出力電流がインダクタのピーク to ピーク・リップル電流の 1/2 より低い場合、インダクタ電流が 0A 付近まで低下する (ゼロ交差) と直ちに、ローサイド MOSFET はオフになります。そして、スイッチング・ノード (LX) は次のオン時間がトリガされるまでスリーステート (高インピーダンス) を保ちます。これにより、降圧コンバータは負のインダクタ電流を抑止し、出力電圧をレギュレーションするために必要なスイッチング・サイクルの総数を減らすことで軽負荷時の効率を向上させます。

ゼロ交差 (ZX) が検出されない場合 (重負荷条件下) 、降圧コントローラは CCM に入ります。CCM では、平均出力電流はインダクタのリップル電流の 1/2 より大きくなっています。出力電圧は、DCM と CCM のどちらもエラー・アンプによってレギュレーションされます。高出力電圧レンジ (Mx\_RNG[1:0] = 0x2) において所定の動作条件で求められたオン時間が十分な長さでない場合、オン時間はインダクタ電流が 500mA に達するまで自動的に延長されます。これにより、ZX を確実に検出できるだけのオフ時間を確保します。

### 低消費電力スキップ (LP-Skip) モード

低消費電力スキップ・モード { (Mx\_LPM = 1、または LPM\_Mx = 1) および Mx\_FPWM = FPWM\_Mx = 0} は、負のインダクタ電流が許容されないため、スキップ・モードと似ています。スキップ・モードにおいて平均出力電流が更に低下した (8μs を超える LX のスリーステートが連続で 2 回検出される) 場合に、低消費電力モードがイネーブルになっていると降圧コンバータは LP-Skip モードに入ります。LP-Skip モードでは、エラー・アンプや他の内部ブロックを非アクティブ化することで I<sub>Q</sub> 消費量を低減します。LP-Skip モードでは、エラー・アンプの代わりに低消費電力のコンパレータが出力電圧をモニタします。

LX のスリーステート時間が 8 回連続で 4μs 未満になるか、LP-Skip モードがディスエーブルされる (Mx\_LPM = LPM\_Mx = 0) と、降圧コンバータはスキップ・モードの DCM 動作に入ります。ゼロ交差が検出されない (例えは突然の負荷過渡応答など) 、または FPWM モードがイネーブル (Mx\_FPWM = 1 または FPWM\_Mx = 1) になった場合、降圧コンバータは LP-Skip モードから直接 CCM 動作に入ります。

LP-Skip モードは、4Φ 構成では推奨しません。

### 強制 PWM (FPWM) モード

強制 PWM モード (Mx\_FPWM = 1 または FPWM\_Mx = 1) では、すべての負荷条件下で連続インダクタ電流が確保されます。FPWM モードでは、ローサイド MOSFET を通じた負のインダクタ電流が許容されますが、最大電流は I<sub>INLIM</sub> (代表値 -3A) に制限されます。 (CLKDET\_Mx 機能が選択されている場合) MFIOx 入力で有効な外部周波数を検出した場合、動作モードの設定に関わらず、それに対応する降圧コンバータは FPWM モードに入ります。詳細については、[周波数トラッキング \(FTRAK\)](#) のセクションを参照してください。

### ドロップアウト・モード

MAX77542 のアキテクチャでは、入力電圧が目標出力電圧に近づいた場合でも降圧コンバータを動作させることができます。動作中に入力電圧と出力電圧の間のヘッドルームが減少すると、降圧コントローラは、デューティ・サイクルを増やすことによって出力電圧のレギュレーションを維持しようとします。最大デューティ・サイクル (代表値 98%) でも目標出力電圧にレギュレーションできない場合は、オフ時間をスキップする (ドロップアウト・モード) ことによって自動的にオン時間を延長します。ドロップアウト・モードでは、ハイサイド MOSFET を駆動するため、ローサイド MOSFET が時折オンになることでブートストラップ回路をリフレッシュします。詳細については、[ブートストラップ・リフレッシュ](#) のセクションを参照してください。

### スイッチング周波数

MAX77542 は、3 つの公称スイッチング周波数のオプション (0.5MHz、1.0MHz、1.5MHz) を備えており、効率、過渡応答、ノイズ性能、およびソリューション・サイズの最適化が可能です。降圧コンバータのデフォルト・スイッチング周波数は CFG2 入力によって設定し ([表 3](#) を参照) 、個々の降圧コンバータのスイッチング周波数は Mx\_FREQ[1:0] ビットでも選択できます。

適応型 COT で制御される降圧コンバータのスイッチング周波数 (F<sub>sw</sub>) は固定されておらず、瞬時の負荷電流に常に大きく影響を受けます。出力電流が増加すると、所定の時間におけるオン時間パルスの増加 (F<sub>sw</sub> の増加) が見られ、出力電流が減少すると、所定の時間におけるオン時間の減少 (F<sub>sw</sub> の低下) が見られます。MFIOx 入力に有効な外部周波数が検出される (CLKDET\_Mx 機能が選択されている場合) か、内部周波数トラッキング機能がイネーブルされている (Mx\_FTRAK = 1) と、それに対応した降圧コンバータは、安定したスイッチング周波数で定常状態の動作をします。詳細については、[周波数トラッキング \(FTRAK\)](#) のセクションを参照してください。

与えられた動作条件で計算されたオン時間が最小オン時間 (代表値 90ns) より小さい場合、降圧コントローラは、オフ時間を増加することによって出力電圧をレギュレーションします。その結果、実際のスイッチング周波数は公称周波数の設定値より低くなります。例えは、16V<sub>IN</sub>、0.8V<sub>OUT</sub> で計算したデューティ・サイクルは約 5%になりますが、これは 1MHz の公称スイッチング周波数では 90ns より小さいオン時間になります。すなわち、この条件下での実際のスイッチング周波数は 1MHz より低くなります。この場合、公称スイッチング周波数の設定値を 0.5MHz にすることを推奨します。

## 位相と出力の構成

MAX77542 は、4つの4Aスイッチング位相を備えており、5つの位相構成が設定可能です。表5に示すように、降圧コンバータは、SELx入力の抵抗値に基づいて、単一の出力(4Φ)から4つの個別出力(1Φ+1Φ+1Φ+1Φ)まで構成可能です。

表5. 位相構成の選択

R <sub>SEL1</sub> (Ω)	R <sub>SEL2</sub> (Ω)	R <sub>SEL3</sub> (Ω)	R <sub>SEL4</sub> (Ω)	PHASE (Φ) CONFIGURATION	NUMBER OF OUTPUTS
Any	≥ 200	≥ 200	≥ 200	1Φ + 1Φ + 1Φ + 1Φ	4
Any	≤ 95.3	≥ 200	≥ 200	2Φ + 1Φ + 1Φ	3
Any	≤ 95.3	≥ 200	≤ 95.3	2Φ + 2Φ	2
Any	≤ 95.3	≤ 95.3	≥ 200	3Φ + 1Φ	2
Any	≤ 95.3	≤ 95.3	≤ 95.3	4Φ	1

また、位相構成の設定に基づき、降圧コンバータの出力電圧検出が割り当てられます。多相の構成では、降圧コントローラは、マスタ位相の出力電圧検出の差動入力(SNSxP/SNSxN)を使用して出力電圧のレギュレーションを行います。表6に、各位相構成での出力電圧検出入力の設定を示します。

表6. 降圧出力電圧検出の割り当て

PHASE (Φ) CONFIGURATION	PHASE ASSIGNED*	BUCK NAMING CONVENTION	V <sub>OUT</sub> SENSING INPUT
1Φ + 1Φ + 1Φ + 1Φ (4 Outputs)	Phase1 (M1)	Buck1 (V <sub>OUT1</sub> )	SNS1P/SNS1N
	Phase2 (M2)	Buck2 (V <sub>OUT2</sub> )	SNS2P
	Phase3 (M3)	Buck3 (V <sub>OUT3</sub> )	SNS3P/SNS3N
	Phase4 (M4)	Buck4 (V <sub>OUT4</sub> )	SNS4P
2Φ + 1Φ + 1Φ (3 Outputs)	Phase1 (M1) Phase2 (S1)	Buck1 (V <sub>OUT1</sub> )	SNS1P/SNS1N
	Phase3 (M3)	Buck3 (V <sub>OUT3</sub> )	SNS3P/SNS3N
	Phase4 (M4)	Buck4 (V <sub>OUT4</sub> )	SNS4P
2Φ + 2Φ (2 Output)	Phase1 (M1) Phase2 (S1)	Buck1 (V <sub>OUT1</sub> )	SNS1P/SNS1N
	Phase3 (M3) Phase4 (S3)	Buck3 (V <sub>OUT3</sub> )	SNS3P/SNS3N
3Φ + 1Φ (2 Output)	Phase1 (M1) Phase2 (S1) Phase3 (S1)	Buck1 (V <sub>OUT1</sub> )	SNS1P/SNS1N
	Phase4 (M4)	Buck4 (V <sub>OUT4</sub> )	SNS4P
4Φ (1 Output)	Phase1 (M1) Phase2 (S1) Phase3 (S1) Phase4 (S1)	Buck1 (V <sub>OUT1</sub> )	SNS1P/SNS1N

M<sub>x</sub> = マスタ位相。

S<sub>x</sub> = スレーブ位相。

多相の構成では、スレーブ位相に割り当てられたロジックI/Oピンとコントロール・レジスタは非アクティブ化され、マスタ位相のレジスタ設定が、そのマスタに対応するスレーブ位相の動作を決定します(図6を参照)。

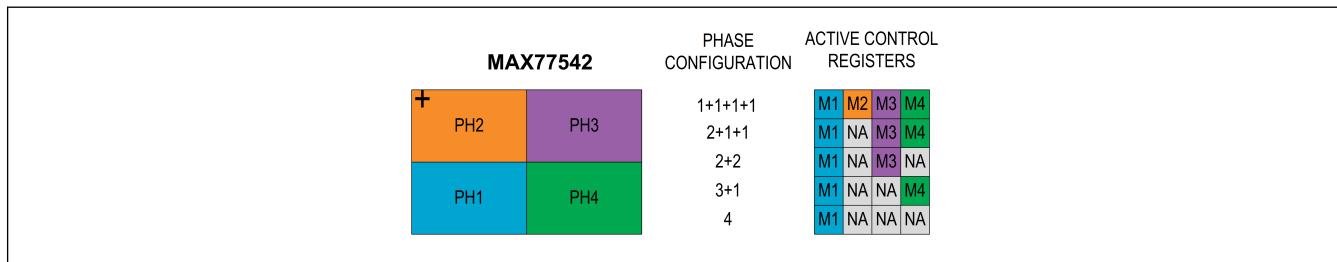


図 6. アクティブ・コントロール・レジスタ

### デフォルト出力電圧の選択 (SELx)

MAX77542 は、許容誤差 1%以下の抵抗を使用して、個々の降圧出力のデフォルト電圧をユーザが選択できます。V<sub>DD</sub> レギュレータが最初にオンになる（シャットダウン・モードが終了する）と必ず、MAX77542 は SELx と AGND の間の抵抗値を評価します。R<sub>SELx</sub> のデコード値は、次にデバイスがシャットダウン・モードを終了するまでラッチされます。ラッチされた R<sub>SELx</sub> のデコード値は、SELx\_LATCH[4:0] データス・ビットに反映されます。詳細については、[レジスタ・マップ](#) を参照してください。

SELx と AGND の間の抵抗値 (R<sub>SELx</sub>) は、それに対応する降圧出力のデフォルト電圧を設定します。また、R<sub>SEL2</sub>、R<sub>SEL3</sub>、R<sub>SEL4</sub> は、位相構成の選択にも使用します。SEL2 ピン、SEL3 ピン、または SEL4 ピンを PCB の AGND に接続した場合 (R<sub>SELx</sub>  $\leq$  95.3Ω)、対応する降圧出力は、多相のコンバータにおけるスレーブ位相として構成されます。詳細については、[位相と出力の構成](#) のセクションを参照してください。

多相の構成が選択された場合、マスタ位相でデコードされた抵抗値 (R<sub>SELx</sub>) がデフォルトの出力電圧を設定します。表 7 および表 8 に、V<sub>OUT1</sub>、V<sub>OUT2</sub>、V<sub>OUT3</sub>、V<sub>OUT4</sub> のそれぞれでデフォルトの設定が可能なデコード値を示します。選択されたオプションは、ラッチされるとすぐに M<sub>x</sub>\_VOUT\_H[7:0] ビット、M<sub>x</sub>\_VOUT\_L[7:0] ビット、M<sub>x</sub>\_VOUT\_B[7:0] ビット、M<sub>x</sub>\_RNG[1:0] ビットに反映されます。115kΩ 以上の R<sub>SELx</sub> のデコード値は工場出荷時に設定可能です。

表 7. デフォルト V<sub>OUT1</sub> の選択

R <sub>SEL1</sub> (Ω)	TARGET V <sub>OUT1</sub> (V)	V <sub>OUT1</sub> RANGE
≤ 95.3	0.500	Low
200	0.550	Low
309	0.600	Low
422	0.650	Low
536	0.675	Low
649	0.700	Low
768	0.720	Low
909	0.750	Low
1.05k	0.800	Low
1.21k	0.820	Low
1.40k	0.900	Low
1.62k	0.950	Low
1.87k	1.000	Low
2.15k	1.050	Low
2.49k	1.100	Low
2.87k	1.150	Low
3.74k	1.200	Low
8.06k	1.20	Mid
12.4k	1.25	Mid
16.9k	1.35	Mid

表 7. デフォルト  $V_{OUT1}$  の選択（続き）

$R_{SEL1}$ (Ω)	TARGET $V_{OUT1}$ (V)	$V_{OUT1}$ RANGE
21.5k	1.40	Mid
26.1k	1.50	Mid
30.9k	1.80	Mid
36.5k	2.00	Mid
42.2k	2.5	High
48.7k	2.8	High
56.2k	3.0	High
64.9k	3.3	High
75.0k	3.4	High
86.6k	3.8	High
100k	5.0	High
≥ 115k	Factory Option	

表 8. デフォルト  $V_{OUT2/3/4}$  の選択

$R_{SEL2/3/4}$ (Ω)	TARGET $V_{OUT2/3/4}$ (V)	$V_{OUT2/3/4}$ RANGE
≤ 95.3	Multiphase Configuration	
200	0.500	Low
309	0.550	Low
422	0.600	Low
536	0.650	Low
649	0.700	Low
768	0.720	Low
909	0.750	Low
1.05k	0.800	Low
1.21k	0.820	Low
1.40k	0.850	Low
1.62k	0.900	Low
1.87k	0.950	Low
2.15k	1.000	Low
2.49k	1.050	Low
2.87k	1.100	Low
3.74k	1.150	Low
8.06k	1.200	Low
12.4k	1.25	Mid
16.9k	1.35	Mid
21.5k	1.40	Mid
26.1k	1.50	Mid
30.9k	1.80	Mid
36.5k	2.00	Mid
42.2k	2.5	High
48.7k	2.8	High
56.2k	3.0	High

表 8. デフォルト  $V_{OUT2/3/4}$  の選択（続き）

$R_{SEL2/3/4}$ (Ω)	TARGET $V_{OUT2/3/4}$ (V)	$V_{OUT2/3/4}$ RANGE
64.9k	3.3	High
75.0k	3.4	High
86.6k	3.8	High
100k	5.0	High
≥ 115k	Factory Option	

## 出力電圧の設定

出力電圧 ( $V_{OUTx}$ ) は、 $Mx\_RNG[1:0]$  ビットに応じて 0.3V～5.2V の範囲の電圧を 5mV、10mV、または 20mV ステップで調整可能です（表 9 を参照）。各出力電圧レンジにおいて、出力電圧設定レジスタの最小コード (0x00) が出力電圧の最小値を表し、目標出力電圧は、コードが増えるにしたがって 1LSB ステップだけ増加します。 $Mx\_VOUT\_M[7:0]$  レジスタによって、たとえコードがこの値を超えたとしても、各レンジで設定可能な最大出力電圧を制限します。

各マスタ位相には、3つの出力電圧コントロール・レジスタがあります。VSEL 機能と VB 機能を使用しない ( $VSEL\_Mx$  および  $VB\_Mx$  信号がロジック・ハイ) 場合は、 $Mx\_VOUT\_H[7:0]$  レジスタを使用して通常動作を行います。MFIOx の VSEL 機能または VB 機能を選択した場合は、ロジック入力に応じて、 $Mx\_VOUT\_L[7:0]$  レジスタまたは  $Mx\_VOUT\_B[7:0]$  レジスタを使用して出力電圧を制御します。詳細については、[出力電圧の選択 \(VSEL\)](#) および [ブート \(デフォルト\) 出力電圧の選択 \(VB\)](#) のセクションを参照してください。

$Mx\_VOUT\_H[7:0]$ 、 $Mx\_VOUT\_L[7:0]$ 、 $Mx\_VOUT\_B[7:0]$ 、および  $Mx\_RNG[1:0]$  レジスタのデフォルト値は、それぞれに対応する  $R_{SELx}$  値によって設定されます。詳細については、[デフォルト出力電圧の選択 \(SELx\)](#) のセクションを参照してください。

レンジがオーバーラップする出力電圧（例えば 1V など）の場合は、負荷過渡応答と必要な実効出力容量のトレードオフから、必要なレンジを選択してください。1V 出力を例にとると、低レンジを使用すると負荷過渡応答がわずかに向上し、中レンジを使用すると過渡応答はわずかに悪くなります（実効出力容量の条件が緩和されます）。様々な出力電圧レンジで必要な実効出力容量については、[出力コンデンサの選択](#) のセクションを参照してください。

表 9. 降圧出力電圧範囲

$Mx\_RNG[1:0]$	$V_{OUT}$ PROGRAMMING RANGE	STEP PER LSB
0x0 (Low range)	0.3V to 1.3V	5mV
0x1 (Mid range)	0.6V to 2.6V	10mV
0x2 (High range)	1.2V to 5.2V	20mV

## ソフトスタートとソフトストップ

降圧コンバータは、イネーブルになったとき ( $EN\_Mx$  (MFIOx) か  $I^2C$  コマンドかに関わらず)、またはフォルト状態から復帰したときには、常にソフトスタートによって起動します。また、個々の降圧コンバータは、 $EN\_Mx$  (MFIOx) または  $I^2C$  コマンドによってディスエーブルされると、常にソフトストップを開始します。POK の故障タイムアウト、または SCP イベントが降圧出力に発生した場合は、そ

の降圧出力のみが直ちにスイッチングを停止します（LX ノードが高インピーダンスになる）。このとき、他の降圧出力の動作には影響を及ぼしません。UVLO または TSHDN フォルトが発生した場合は、直ちにすべての降圧出力がスイッチングを停止します。

各降圧コンバータにはランプが内蔵されており、ソフトスタートおよびソフトストップ時での出力電圧変化のスルーレートを制御します。ソフトスタートのスルーレートは  $Mx\_SSTRT\_SR[2:0]$  ビットによって、ソフトストップのスルーレートは  $Mx\_SSTOP\_SR[2:0]$  ビットによってそれぞれ設定します。 $Mx\_FSREN$  ビットが 1 (デフォルト値) に設定されている場合は、ソフトスタートおよびソフトストップの間、降圧コンバータは動作モードの設定値によらず自動的に FPWM モードに入ります。「プリバイアス」スタートアップ（出力に既に存在する電圧を放電せずに起動）に対応するには、降圧コンバータをイネーブルする前に、 $Mx\_FSREN$  ビットと  $Mx\_ADIS100$  ビットを 0 にセットする必要があります。

$Mx\_SSTRT\_SR[2:0]$  ビットと  $Mx\_SSTOP\_SR[2:0]$  ビットは、エラー・アンプの電圧リファレンスのスルーレートを設定します。最も速いスルーレート・オプションを選択した場合、実際の出力電圧のスルーレートは、与えられた回路パラメータと動作条件下での降圧コンバータの電流ソース／シンク能力に制約があるため、目標の設定値より遅くなります。詳細については、表 10 を参照してください。

## ダイナミック出力電圧スケーリング

標準的なプロセッサ用電源アプリケーションでは、所定の時間に処理するタスク量に応じてプロセッサの動作（クロック）周波数が増減する、いくつかの電源領域があります。動作周波数を変化させる必要がある場合、対応する降圧コンバータには、コマンドに応答して、指定されたスルーレートで新しい目標値に出力を変化することができます。

対応する降圧コンバータがイネーブルになっており、I<sup>2</sup>C を通じて新しい目標値が Mx\_VOUT\_H[7:0] ビットに書き込まれると、出力電圧の変化が開始されます。出力電圧は、Mx\_RU\_SR[2:0]（または Mx\_RD\_SR[2:0]）ビットによって設定された正（または負）のスルーレートで上昇（または下降）します。Mx\_FSREN ビットが設定されている場合、その降圧コンバータは、出力電圧の下降時（またはソフトストップ時）に（Mx\_FPWM ビットの設定に関わらず）自動的に FPWM モードに入ります。FPWM モードでは、降圧コンバータはローサイド MOSFET を通じて C<sub>OUTx</sub> から PGND<sub>x</sub> に電流をシンクすることができ、これにより、V<sub>OUTx</sub> を Mx\_RD\_SR[2:0] ビットで設定された負のレートに追随させることができます。

表 10. Mx\_FSREN による降圧動作の設定

OPERATING MODE	Mx_FSREN	BUCK BEHAVIOR IN STEADY STATE	BUCK BEHAVIOR DURING DYNAMIC VOLTAGE SCALING
Skip or LP-Skip	0	Source Only	Source Only
	1	Source Only	Source or Sink
FPWM	X	Source or Sink	Source or Sink

Note : 電流シンクが可能な降圧出力（V<sub>OUTx</sub>）は、Mx\_RD\_SR[2:0] または Mx\_SSTOP\_SR[2:0] によって設定された下降率に追随することができます。

負のインダクタ電流が INLIM（代表値-3A）に達すると、ローサイド MOSFET は直ちにオフになり、降圧コンバータは新しいオン時間を作ります（ハイサイド MOSFET がオン）。このため、選択したランプダウン（またはソフトストップ）のスルーレートに対して実効出力容量が非常に大きい場合、出力電圧のランプダウン（またはソフトストップ）時の最大スルーレートは制限されます。出力電圧の最大スルーレートは、 $dV_C/dt = i_C/C$  によって計算します。

## 出力電圧のアクティブ放電

各降圧コンバータには、L<sub>XX</sub> と PGND<sub>x</sub> の間に 100Ω のアクティブ放電抵抗が内蔵されており、降圧出力がディスエーブルされるときに出力容量を放電することができます。ソフトストップの最後に出力電圧の放電を加速するため、1Ω のアクティブ放電機能が追加されています。これら 2 つのアクティブ放電抵抗は、Mx\_ADIS100 ビットと Mx\_ADIS1 ビットを設定することで、個々にイネーブルできます。Mx\_ADIS100 と Mx\_ADIS1 の両方を 1 に設定した場合、ソフトストップ完了直後の 1ms 間、1Ω のアクティブ放電が最初にアクティブになります。そして次に 100Ω のアクティブ放電が、降圧コンバータが次にイネーブルになるまでの間、イネーブルされます。シャットダウン・モード（CE = 0）では、各降圧フェーズの 100Ω のアクティブ放電は非アクティブ化されます。

立下がりのスルーレート制御機能がディスエーブルの場合は（Mx\_FSREN = 0）、過度の電力消費を避けるため、これに対応する出力の 1Ω のアクティブ放電機能は、必ずディスエーブル（Mx\_ADIS1 = 0）してください。

## ブートストラップ・リフレッシュ

降圧コンバータが非常に軽い負荷条件下でドロップアウト・モードまたはスキップ（または LP-Skip）モードで動作している場合、ローサイド MOSFET は長時間オンしません。この場合、降圧コントローラはローサイド MOSFET を約 100ns（代表値）間、時々オンにして、ハイサイド MOSFET を駆動するためのブートストラップ回路を充電します。ブートストラップ・リフレッシュの間隔は、デフォルトで 128μs に設定されています。Mx\_REFRESH ビットを 1 に設定するとブートストラップ・リフレッシュの間隔を 10μs に短縮できます。ブートストラップ・リフレッシュ間隔のオプションを表 11 に示します。

表 11. ブートストラップ・リフレッシュ間隔の選択

Mx_REFRESH	REFRESH INTERVAL
0	128μs
1	10μs

降圧コンバータがスイッチングを開始したときにもブートストラップ・リフレッシュが必要です。スタートアップ手順の一部として、降圧コントローラは、3μs の間隔で 16 回、リフレッシュ・パルスを実行します。

## 周波数トラッキング (FTRAK)

MAX77542 は、周波数トラッキング機能をサポートしています。 (CLKDET\_Mx 機能が選択されている場合に) MFIOx 入力で有効な外部クロックを検出した場合、動作モードの設定に関わらず、それに対応する降圧コンバータは FPWM モードに入り、オン時間を変調することで外部周波数をトラッキングします。このイベントは、MFIOx\_I 割込みがマスクされていない場合、これをトリガします。外部トラッキング機能がイネーブルの場合、降圧 1 と降圧 3 は、オン時間の開始を外部クロックの立上がりエッジに合わせてトラッキングしようとし、降圧 2 と降圧 4 は、オン時間の開始を外部クロックの立下がりエッジに合わせてトラッキングしようとします。

表 12. Mx\_FTRAK イネーブルの真理値表

CLKDET_Mx (MFIOx)	Mx_FTRAK	PLL	BUCK OPERATING MODE	NOTE
Not Detected	0	Disabled	Depends on Buck Mode Setting	No Tracking
Not Detected	1	Enabled	Depends on Buck Mode Setting	Internal Frequency Tracking
Detected	0	Enabled	FPWM	External Frequency Tracking
Detected	1	Enabled	FPWM	External Frequency Tracking

表 12 に示すように、降圧コンバータは内部クロックをトラッキングすることもできます。FTRAK 機能がイネーブル (Mx\_FTRAK = 1) で、有効な外部クロックの入力がない場合、対応する降圧コンバータは内部 PLL 周波数 (周波数は Mx\_FREQ[1:0] ビットによって設定) をトラッキングします。対応する降圧コンバータが内部 PLL をトラッキングしているときに有効な外部クロックが検出された場合、外部クロック・トラッキングに切り替わります。外部および内部の周波数トラッキングの幅は、公称スイッチング周波数の約±5%です。降圧コンバータが 1 つでもイネーブルであれば、周波数トラッキング動作は有効です。CLKDET\_Mx (MFIOx) はローかハイのどちらかに駆動し、チャタリングやトラッキング・ミスを防止する必要があります (図 7 を参照)。

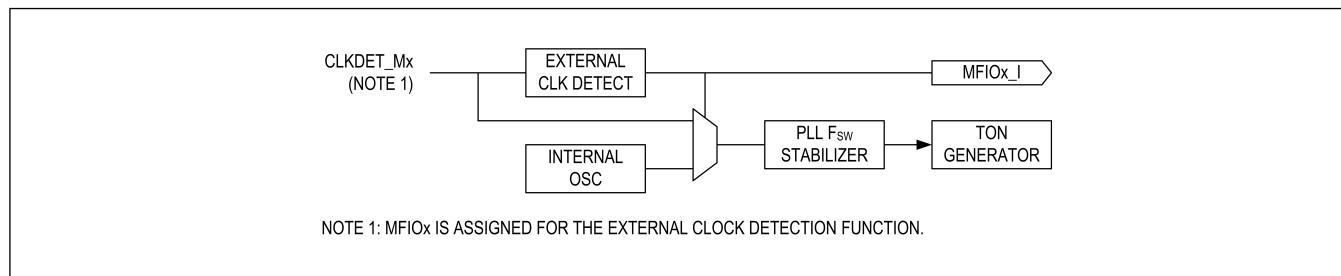


図 7. 周波数トラッキング

内部周波数トラッキングと外部周波数トラッキングでの位相シーケンスを表 13 に示します。

表 13. 位相シーケンス

PHASE CONFIGURATION	INTERNAL FTRAK	EXTERNAL FTRAK
1+1+1+1	PH1(M): 0° PH2(M): 180° PH3(M): 90° PH4(M): 270°	PH1(M): Rising Edge PH2(M): Falling Edge PH3(M): Rising Edge PH4(M): Falling Edge
2+1+1	PH1(M): 0° PH2(S): 180° PH3(M): 90° PH4(M): 270°	PH1(M): Rising Edge PH2(S): 180° from M1 PH3(M): Rising Edge PH4(M): Falling Edge
2+2	PH1(M): 0° PH2(S): 180° PH3(M): 90° PH4(S): 270°	PH1(M): Rising Edge PH2(S): 180° from M1 PH3(M): Rising Edge PH4(S): 180° from M3

表 13. 位相シーケンス（続き）

3+1	PH1(M): 0° PH2(S): 240° PH3(S): 120° PH4(M): 270°	PH1(M): Rising Edge PH2(S): 240° from M1 PH3(S): 120° from M1 PH4(M): Falling Edge
4	PH1(M): 0° PH2(S): 180° PH3(S): 90° PH4(S): 270°	PH1(M): Rising Edge PH2(S): 180° from M1 PH3(S): 90° from M1 PH4(S): 270° from M1

## スペクトラム拡散変調

降圧コンバータは、ノイズの影響を受けやすいアプリケーション向けにスイッチング周波数のディザリングが可能です。M<sub>x</sub>\_SS\_ENV[1:0]ビットを設定することにより、各降圧出力のスペクトラム拡散機能を個別にイネーブルすることができます。スペクトラム拡散機能は、連続導通モード（CCM）でのみ有効化でき、降圧出力が不連続導通モード（DCM）に入ると自動的に無効になります。スペクトラム拡散変調パターンは、M<sub>x</sub>\_SSM\_PAT[1:0]ビットで設定し、擬似乱数パターンか三角波パターンに設定可能です。スペクトラム拡散変調の特性は、変調エンベロープと変調周波数によって決まります。

- 変調エンベロープ ( $\Delta f_{ss}$ ) は、変調後のスイッチング周波数と公称スイッチング周波数の間の最大差を決定します。変調エンベロープは M<sub>x</sub>\_SS\_ENV[1:0]ビットを使用して ( $\pm 8\%$ 、 $\pm 12\%$ 、 $\pm 16\%$ ) の値から設定可能で、これにより、スイッチング周波数をディザリングする範囲を制御します。
- 変調周波数 ( $f_{ss\_mod}$ ) は、スイッチング周波数をある値から別の値に変化させる頻度を決定します。変調周波数は M<sub>x</sub>\_SS\_FREQ[1:0]ビットを使用して 1kHz、3kHz、5kHz、7kHz のいずれかの値に設定することも可能で、これにより、スイッチング周波数をディザリングする速度を制御します。

## 擬似乱数パターン

擬似乱数エンジンは、図 8 に示すように、4 ビットのリニア・フィードバック・シフト・レジスタ（LFSR）を使用して擬似乱数値を生成します。LFSR の値は、アナログ信号に変換され増幅されてから、オン時間生成回路の出力に加算されます。擬似乱数値により、オン時間は短くなったり長くなったりします。これにより、降圧コントローラのスイッチング周波数を増減し、電圧のレギュレーションを維持します。各降圧コントローラには、それぞれに専用の擬似乱数パターン・ジェネレータが搭載されています。

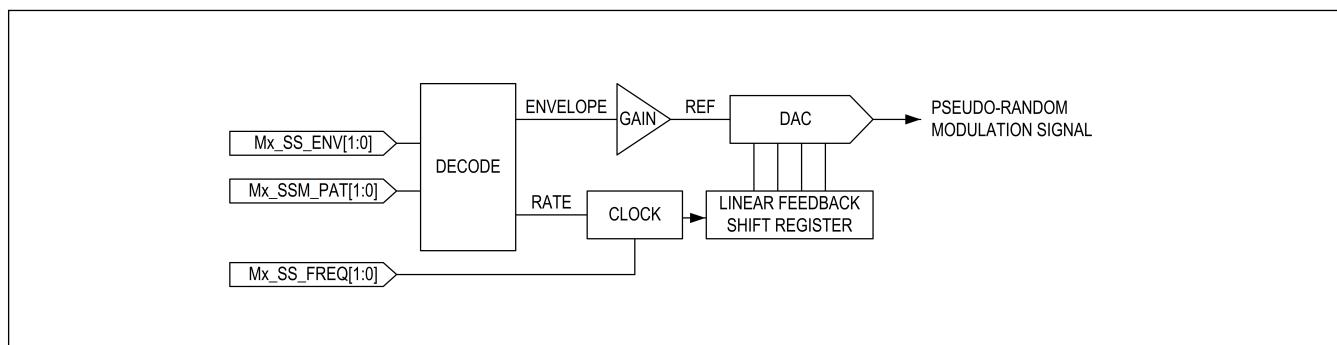


図 8. 擬似乱数変調エンジン

変調エンベロープは M<sub>x</sub>\_SS\_ENV[1:0]ビット、変調周波数は M<sub>x</sub>\_SS\_FREQ[1:0]ビットを使用して設定可能です。F<sub>ss\_mod</sub>は、LFSR がシード値に戻る頻度（周波数）を設定します。LFSR のクロック・レートは f<sub>LFSR</sub> で、これは擬似乱数がある値から別の値に変化する周波数です。図 9 に例を示します。

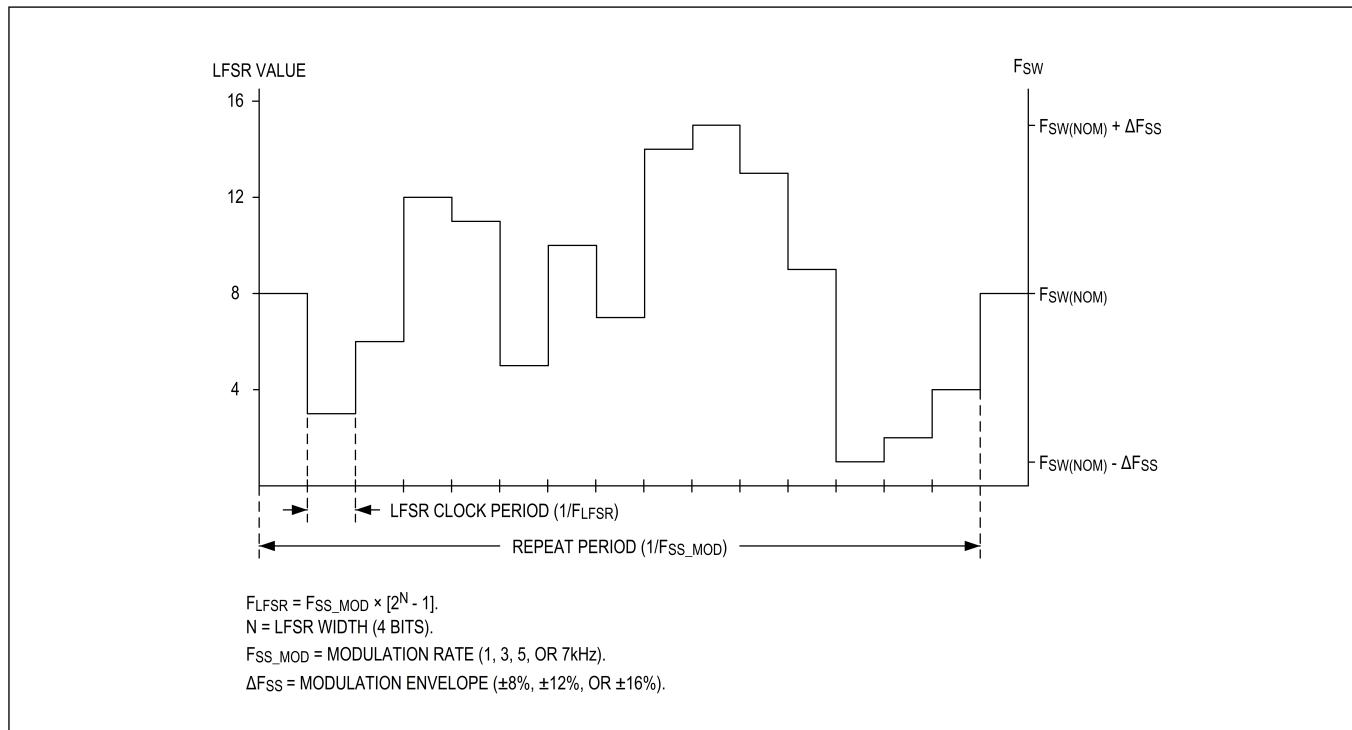
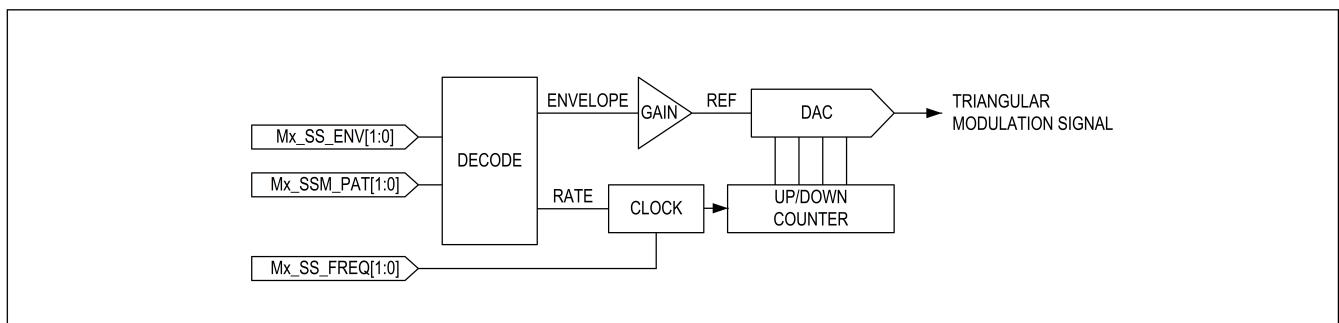


図 9.4 ビットの擬似乱数変調信号の例

### 三角波パターン

三角波エンジンは、4 ビットのアップ／ダウン同期カウンタを使用してステップ状の三角波パターンを生成します（図 10 を参照）。カウンタの値は、アナログ信号に変換され増幅されてから、オン時間生成回路の出力に加算されます。カウンタ値は、漸次、オン時間を短く、または長くします。これにより、降圧コントローラのスイッチング周波数を累進的に増減させ、電圧のレギュレーションを維持します。各降圧コントローラには、それぞれに専用の三角波パターン・ジェネレータが搭載されています。



変調エンvelopeは  $M_{x\_SS\_ENV}[1:0]$  ビット、変調周波数は  $M_{x\_FREQ}[1:0]$  ビットを使用して設定可能です。 $F_{SS\_MOD}$  は、カウンタが同じ値に戻る頻度（周波数）を設定します。カウンタのクロック・レートは  $F_{COUNT}$  で、これは周波数がある値から別の値に変化する周波数です。図 11 に例を示します。

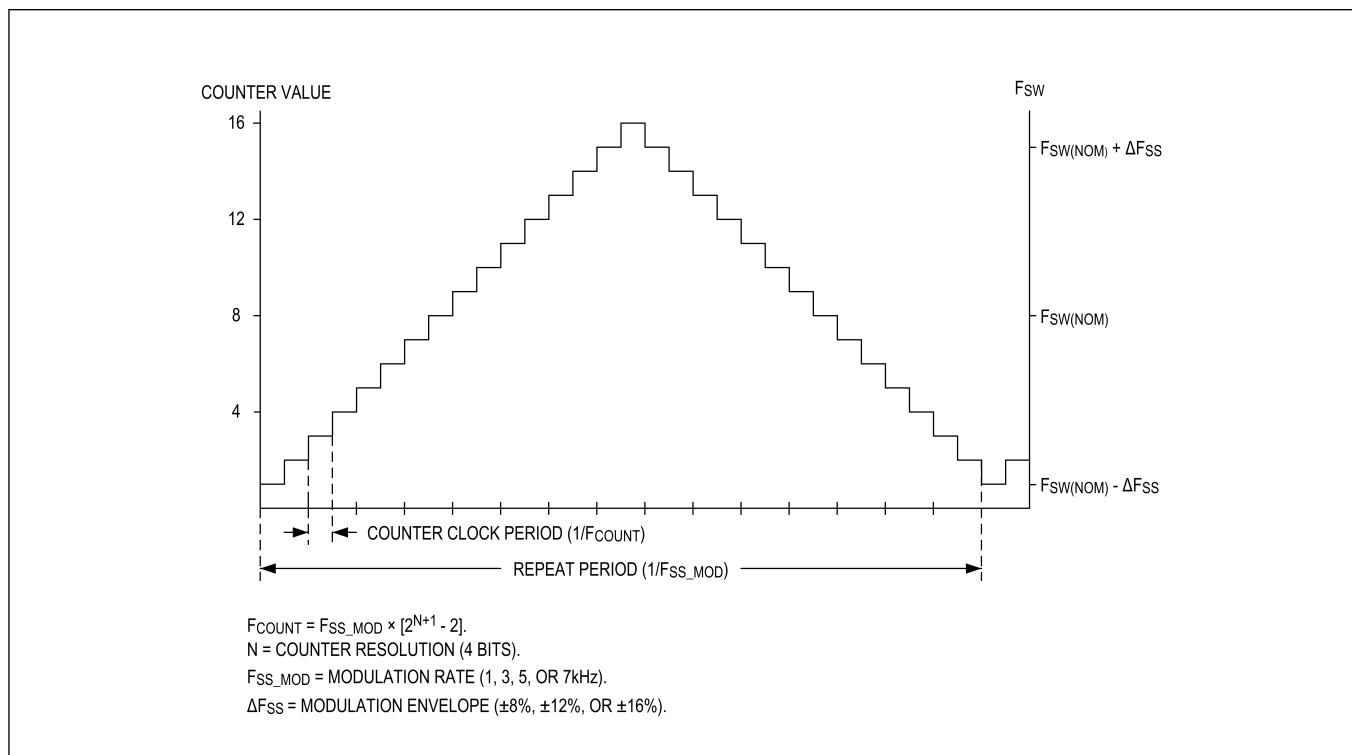


図 11.4 ビットの三角波変調信号の例

## インダクタ電流制限値

MAX77542 は、サイクルごとに動作する電流制限機能を備えており、インダクタ電流（各位相での）が  $I_{PLIM}$  を超えて増加することを防ぎます。オン時間がピーク電流制限値で終了した場合、降圧コンバータは、インダクタ電流がバレー電流制限 ( $I_{VLIM}$ ) を下回るまで新しいオン時間を作りないようにします。 $I_{VLIM}$  は、一般的に、 $I_{PLIM}$  より 1A 小さい値です。これにより、出力が過負荷になったためにインダクタ電流が増加して制御できない状態になることを防止します。与えられた動作条件で求められたオン時間が 130ns（代表値）未満の場合、インダクタ電流が  $I_{VLIM}$  になるまで次のオン時間パルスはトリガされません。各降圧出力には 4 つの PLIM スレッショルドがあり、それぞれ  $Mx\_ILIM[1:0]$  ビットを使用して設定します。詳細については、[レジスタ・マップ](#)を参照してください。プログラマブルな PLIM スレッショルドにより、与えられた動作条件および負荷条件に対して回路の保護とインダクタの選択を最適化することができます。

## パワーOK (POK)

MAX77542 には、各降圧出力の品質をモニタするパワーOK (POK) コンパレータが内蔵されています。モニタリング状況は、 $Mx\_POK$  ステータス・ビットに常に反映されます。ソフトスタートが完了したときに、対応する降圧出力電圧が  $V_{POK\_R}$ （一般的に目標  $V_{OUT}$  の 82%）を上回っている場合、対応する  $Mx\_POK$  ビットはハイになります。降圧出力が  $V_{POK\_F}$ （一般的に目標  $V_{OUT}$  の 78%）を下回ると、対応する  $Mx\_POK$  ビットはローになります。 $Mx\_POKFLT_I$  割込みがマスクされていない場合、 $Mx\_POK$  ステータス・ビットが 1 から 0 に変化するたびに  $Mx\_POKFLT_I$  割込みがセットされます。 $Mx\_POKFLT_I$  ビットは個別にマスクすることができます。詳細については、[レジスタ・マップ](#)を参照してください。

降圧出力の品質は、MFI<sub>Ox</sub> ピンの POK 機能を使用して直接モニタすることもできます。詳細については、[パワーOK \(POK\) 出力](#)のセクションを参照してください。

## �ルト保護

MAX77542 は、異常状態からデバイス自身を保護するため、�ルト保護の設計がなされています。各降圧コンバータは、それぞれに専用の�ルト・ステート・マシン（図 12 を参照）を備えており、短絡保護 (SCP)、サーマル・シャットダウン (TSHDN)、低電圧ロックアウト (UVLO) の各イベントによってトリガされます。ステート・マシンの動作を以下に説明します。

- $V_{SYS}$  が  $V_{UVLO\_F}$  (代表値 2.7V) を下回った場合、すべての降圧出力は直ちにディスエーブルされ ( $UVLO\_I$  割込みがアサートされます)、すべての降圧フェーズの出力電圧設定レジスタ (タイプ F) はデフォルト値にリセットされます (そして降圧 x 出力オフ状態に入ります)。
- $V_{IO}$  が  $V_{IO\_UVLO\_F}$  (代表値 0.97V) を下回った場合、すべての降圧出力は直ちにディスエーブルされ ( $V_{IOFLT\_I}$  割込みがアサートされます)、すべての降圧フェーズの出力電圧設定レジスタ (タイプ F) はデフォルト値にリセットされます (そして降圧 x 出力オフ状態に入ります)。
- イネーブルされた降圧出力のうちの 1 つが  $V_{POK\_F}$  (一般的に、レギュレーション目標値の 78%) を下回った場合、 $Mx\_POKFLT\_I$  がアサートされます。
- イネーブルされた降圧出力のうちの 1 つが  $t_{POK\_TO}$  以上の時間、 $V_{POK\_R}$  (一般的に、レギュレーション目標値の 82%) 未満の状態を続けた場合、その出力のみ直ちにディスエーブルされ、その降圧出力の出力電圧設定レジスタ (タイプ F) はデフォルト値にリセットされます。
- イネーブルされた降圧出力のうちの 1 つが  $V_{SCP}$  (一般的に、レギュレーション目標値の 20%) を下回った場合、その出力のみ直ちにディスエーブルされ ( $Mx\_SCFLT\_I$  割込みがアサートされます)、その降圧出力の出力電圧設定レジスタ (タイプ F) はデフォルト値にリセットされます。
- ジャンクション温度が  $T_{SHDN}$  (代表値 +165°C) を上回った場合、すべての降圧出力は直ちにディスエーブルされ ( $TSHDN\_I$  割込みがアサートされます)、すべての降圧フェーズの出力電圧設定レジスタ (タイプ F) はデフォルト値にリセットされます。
- POK および SCP モニタは、ソフトスタート時とソフトトップ時には非アクティブです (マスクされます)。

POK フォルト・タイムアウト、SCP、または TSHDN フォルトが発生した場合、その降圧出力は、 $AUTO\_RSTRT$  ビットの設定に応じて、リセット状態からラッチオフ状態、または待機状態に入ります。

- $AUTO\_RSTRT = 0$  の場合、
  - 各降圧コンバータの出力は、ラッチオフ状態に強制的にディスエーブルされます。
  - $Mx\_EN = EN\_Mx = 0$  および  $T_J \leq +150^\circ\text{C}$  になると、その降圧コンバータはラッチオフ状態を終了し、降圧 x 出力オフ状態に入ります。
- $AUTO\_RSTRT = 1$  の場合、
  - 強制的にディスエーブルされて待機状態に入ってから 500ms 経過後、ジャンクション温度が +150°C ( $TSHDN = 0$ ) を下回った場合は、降圧コンバータは自動的に待機状態を終了し、降圧 x 出力オフ状態に入ります。
  - 降圧 x 出力オフ状態に入ってもその降圧コンバータのイネーブル・ロジックが有効な場合は、その降圧コンバータはソフトスタートを開始し、すぐに降圧 x 出力オン状態に入ります。

- 1) EACH BUCK HAS AN INDEPENDENT FAULT STATE.
- 2) IN POK FAULT STATE, THE INDIVIDUAL BUCK OUTPUT CAN STILL BE ENABLED OR DISABLED.
- 3) SHORT-CIRCUIT FAULT EVENT DISABLES ONLY BUCK IN FAULT CONDITION AND RESETS VOUT REGISTERS OF CORRESPONDING BUCK.
- 4) UVLO FAULT EVENT DISABLES ALL BUCKS AND RESETS VOUT REGISTERS OF ALL BUCKS.
- 5) V<sub>IO</sub> FAULT EVENT DISABLES ALL BUCKS AND RESETS VOUT REGISTERS OF ALL BUCKS.
- 6) OVER-TEMPERATURE FAULT EVENT DISABLES ALL BUCKS AND RESETS VOUT REGISTERS OF ALL BUCKS.
- 7) AFTER 500ms OF FORCED DISABLE TIME, BUCK FAULT STATE IS AUTOMATICALLY CLEARED WHEN JUNCTION TEMPERATURE COOLS DOWN TO +140°C, IF THE AUTO\_RSTRT BIT IS SET TO 1.
- 8) ALL BUCK OUTPUTS MUST BE DISABLED TO CLEAR TSHDN FAULT, HOWEVER SCP FAULT IS CLEARED WHEN THE CORRESPONDING BUCK OUTPUT IS DISABLED.
- 9) TRANSITION IS PREVENTED DURING SOFT-START AND SOFT-STOP.
- 10) IF V<sub>SYS</sub> DROPS BELOW POR THRESHOLD (TYP 1.7V) OR V<sub>DD</sub> SUPPLY IS NOT VALID (< 1.55V, TYP), ALL FAULT STATE IS CLEARED.

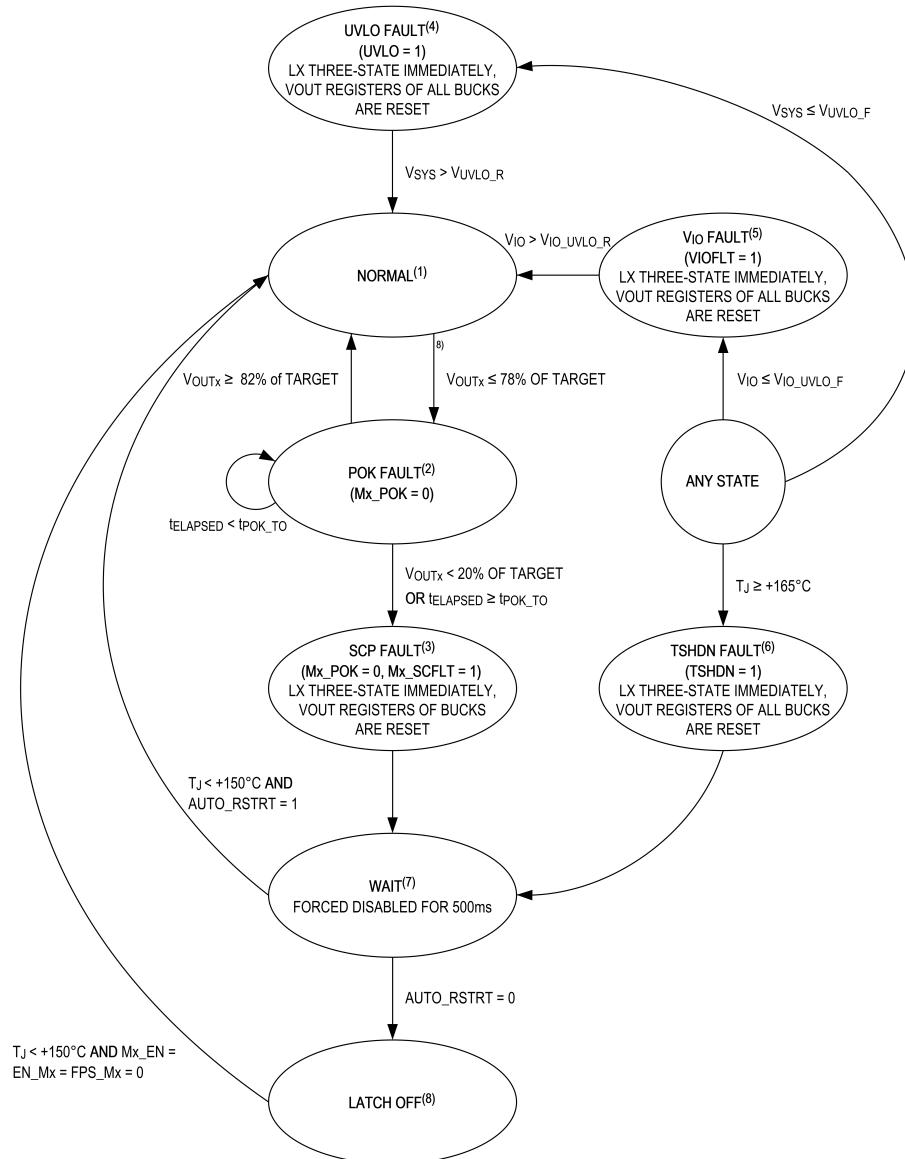


図 12. フォルト保護のステート図

## 詳細-多機能 I/O

MAX77542 は、8つの多機能 I/O (MFIO1~MFIO8) を備えており、出力イネーブル、低消費電力モード、強制 PWM モード、外部クロック検出、クロック出力、出力電圧の選択、POK 出力、FPS 入力、FPS 出力、システム・リセット入力、システム・リセット出力、過熱警告出力、GPIO、および ADC マルチプレクサ入力として設定可能です。MFIO のデフォルト機能は RCFG1 によって選択されています (詳細については、[デバイスの設定 \(CFGx\)](#) のセクションを参照)。また、I<sup>2</sup>C インターフェースを通じて個別に選択可能です。MFIOx をプッシュプル・モードの GPO 機能として動作させるには、I/O 電源電圧 (V<sub>IO</sub>) を有効にする必要があります。各 MFIO は、割込みビット、割込みマスク・ビット、ステータス・ビットを備えています。マスクされていない場合、割込みビットは、有効化された入力状態がトグルされるたびにセットされます。

## MFIO の機能

ユーザが選択可能な MFIO の機能を表 14 に示します。各 MFIO の機能は MFIOx\_FUNC[3:0] ビットによって選択します。

表 14. MFIO の機能

MFIOx_FUNC[3:0]	FUNCTION	LOGIC POLARITY	OUTPUT DRIVER	INTERNAL RESISTOR	DEBOUNCE TIMER AND INTERRUPT
0x0	Output Enable (EN)	Active-High	N/A	Programmable Pull-Up/Pull-Down	Enabled
0x1	Low-Power Mode (LPM)	Active-High	N/A	Programmable Pull-Up/Pull-Down	Enabled
0x2	Forced-PWM Mode (FPWM)	Active-High	N/A	Programmable Pull-Up/Pull-Down	Enabled
0x3	External Clock Detection (CLKDET)	Active-High	N/A	Disabled*	Enabled
0x4	Clock Output (CLKOUT)	Active-High	Push-Pull*	N/A	Disabled
0x5	Output-Voltage Selection (VSEL)	Active-High	N/A	Programmable Pull-Up/Pull-Down	Enabled
0x6	Boot (Default) Output-Voltage Selection (VB)	Active-Low	N/A	Programmable Pull-Up/Pull-Down	Enabled
0x7	Power-OK Output (POK)	Active-High	Open Drain or Push-Pull	N/A	Disabled
0x8	FPS Input (FPSI)	Active-High	N/A	Programmable Pull-Up/Pull-Down	Enabled
0x9	FPS Output (FPSO)	Active-High	Open Drain or Push-Pull	N/A	Disabled
0xA	System Reset Input (RSTINB)	Active-Low	N/A	100kΩ Pull-Up to V <sub>IO</sub> *	Enabled
0xB	System Reset Output (RSTOB)	Active-Low	Open Drain*	N/A	Disabled
0xC	Thermal-Warning Output (TWARNB)	Active-Low	Open Drain*	N/A	Disabled
0xD	General-Purpose Input (GPI)	Active-High	N/A	Programmable Pull-Up/Pull-Down	Enabled
0xE	General-Purpose Output (GPO)	Active-High	Open Drain or Push-Pull	N/A	Disabled
0xF	ADC MUX Input (ADCMUX) for MFIO8	N/A	N/A	N/A	N/A

\*R<sub>CFG1</sub> で設定することにより、MFIOx\_PDP[1:0] ビットと MFIOx\_DRV\_MODE ビットをオーバーライドします。

各機能の I/O 信号は、表 15 に示すように、MFIOx\_SEL[2:0] ビットによって選択します。

表 15. MFIO I/O の選択

MFIOx_SEL[2:0]*	EN, LPM, FPWM, CLKDET, VSEL, VB	CLKOUT	POK	GPO
0x0	M1	0 Clock Shifts	M1	High Impedance
0x1	M2	1 Clock Shift	M2	High Impedance
0x2	M3	2 Clock Shifts	M3	High Impedance
0x3	M4	3 Clock Shifts	M4	High Impedance
0x4	GLB (M1, M2, M3, M4)	Low	POK_M1, POK_M2, POK_M3, and POK_M4	High Impedance

表 15. MFIO I/O の選択（続き）

0x5	N/A	Low	Low	High
0x6	N/A	Low	Low	Low
0x7	N/A	Low	Low	High Impedance

\*MFIO<sub>x</sub>\_SEL[2:0]ビットは、FPSI、FPSO、RSTINB、RSTOB、TWARNB、GPI、およびADCMUX機能には使用しません。

### 出力イネーブル (EN)

MFIO<sub>x</sub>を出力イネーブル・ピンとして設定した場合、降圧コンバータのイネーブル・ロジックは、MFIO<sub>x</sub>と対応するイネーブル・レジスタ・ビット (M<sub>x</sub>\_EN) の OR ロジックになります。例えば、MFIO1 が降圧マスター 1 のイネーブルとして割り当てられた場合 (MFIO1\_FUNC[3:0] = 0x0 および MFIO1\_SEL[2:0] = 0x0)、降圧マスター 1 は MFIO1 ピンと M<sub>1</sub>\_EN ビットによって制御されます。1つ以上の MFIO が出力イネーブル機能として設定された場合 (例えば、MFIO2\_FUNC[3:0] = MFIO3\_FUNC[3:0] = 0x0 および MFIO2\_SEL[2:0] = MFIO3\_SEL[2:0] = 0x1)、これらの入力は M<sub>2</sub>\_EN ビットとの OR ロジックになります。

### 低消費電力モード (LPM)

MFIO<sub>x</sub>を低消費電力モード・ピンとして設定した場合、降圧コンバータの低消費電力モードのロジックは、MFIO<sub>x</sub>と対応するイネーブル・レジスタ・ビット (M<sub>x</sub>\_LPM) の OR ロジックになります。詳細については、[低消費電力スキップ \(LP-Skip\) モード](#)のセクションを参照してください。

### FPWM モード (FPWM)

MFIO<sub>x</sub>をFPWM制御入力として設定した場合、降圧コンバータのFPWMコントロール・ロジックは、MFIO<sub>x</sub>と対応するイネーブル・レジスタ・ビット (M<sub>x</sub>\_FPWM) の OR ロジックになります。詳細については、[強制 PWM \(FPWM\) モード](#)のセクションを参照してください。

### 外部クロック検出 (CLKDET)

MFIO<sub>x</sub>を外部クロック検出入力として設定した場合、対応する降圧コンバータは MFIO<sub>x</sub>入力で有効な外部クロック信号をトラッキングします。有効な外部クロックが検出されると、MFIO<sub>x</sub>ステータス・ビットが 1 にセットされ、対応する割込みビットがマスクされていない場合は割込みビットを起動させます。すべての降圧出力がディスエーブルの場合、外部周波数の検出は無効になります。1つの降圧コンバータに対して、同時に複数の MFIO を外部クロック検出機能として割り当てないでください。詳細については、[周波数トラッキング \(FTRAK\)](#) のセクションを参照してください。

### クロック出力 (CLKOUT)

MFIO<sub>x</sub>は、MFIO<sub>x</sub>\_FUNC[3:0] = 0x4 のとき、クロック出力（アクティブ・ハイ、プッシュプル）として設定されます。CLKOUT は、M<sub>1</sub>\_FREQ[1:0]ビットで選択した降圧マスター 1 の公称スイッチング周波数と同じ周波数を出力します。複数デバイス間での位相インターリーブ機能に対応する場合には、MFIO<sub>x</sub>\_SEL[2:0]ビットを使用して CLKOUT 信号を降圧マスター 1 から 0 クロック～3 クロックだけシフトさせることができます。すべての降圧出力がオフになった場合、CLKOUT はディスエーブルされます。すべての降圧出力がディスエーブルされた場合でも、システムで CLKOUT が必要となる場合は CLK\_EN ビット (0x0C) を 1 に設定します。

### 出力電圧の選択 (VSEL)

MFIO<sub>x</sub>を電圧選択ピンとして設定した場合、対応する降圧コンバータの出力電圧は、VSEL\_M<sub>x</sub>入力に基づき M<sub>x</sub>\_VOUT\_H[7:0]レジスタと M<sub>x</sub>\_VOUT\_L[7:0]レジスタによって設定されます。例えば、MFIO1\_FUNC[3:0] = 0x5、および MFIO1\_SEL[2:0] = 0x0 の場合、降圧マスター 1 の出力電圧は MFIO1 =ハイのとき M<sub>1</sub>\_VOUT\_H[7:0]によって、MFIO1 =ローのとき M<sub>1</sub>\_VOUT\_L[7:0]によって設定されます。複数の MFIO が電圧選択機能として設定された場合、これらの入力は OR ロジックになります。出力電圧の遷移時におけるランプアップ／ランプダウン・スルー・レートは M<sub>x</sub>\_RU\_SR[2:0]および M<sub>x</sub>\_RD\_SR[2:0]によって制御されます。

### ブート (デフォルト) 出力電圧の選択 (VB)

MFIO<sub>x</sub>をブート (デフォルト) 電圧の選択ピンとして設定した場合、対応する降圧コンバータの出力電圧は入力ロジックに基づき M<sub>x</sub>\_VOUT\_H[7:0]レジスタ（または M<sub>x</sub>\_VOUT\_L[7:0]レジスタ）と M<sub>x</sub>\_VOUT\_B[7:0]レジスタによって設定されます。例えば、MFIO1\_FUNC[3:0] = 0x6、および MFIO1\_SEL[2:0] = 0x1 の場合、降圧マスター 2 の出力電圧は MFIO1 =ハイのとき M<sub>2</sub>\_VOUT\_H[7:0]（または M<sub>2</sub>\_VOUT\_L[7:0]）によって、MFIO1 =ローのとき M<sub>2</sub>\_VOUT\_B[7:0]によって設定されます。複数の MFIO が同じ電圧選択機能として設定された場合、VB はこれらの入力の AND ロジックになります。出力電圧の遷移時におけるランプアップ／ランプダウン・スルー・レートは M<sub>x</sub>\_RU\_SR[2:0]および M<sub>x</sub>\_RD\_SR[2:0]によって制御されます。

## パワーOK (POK) 出力

MFIOx は、特定の降圧コンバータのパワーOK (POK) 出力として設定することができます。例えば、MFIO1 が降圧マスタ 1 の POK 出力として割り当てられた場合 (MFIO1\_FUNC[3:0] = 0x7 および MFIO1\_SEL[2:0] = 0x0) 、降圧マスタ 1 の出力電圧がソフトスタート終了時に V<sub>POK\_R</sub> (一般的に、目標 V<sub>OUT</sub> の 82%) を上回っていると MFIO1 ピンはハイになります。降圧マスタ 1 の出力が V<sub>POK\_F</sub> (一般的に目標 V<sub>OUT</sub> の 78%) を下回ると、MFIO1 はローになります。MFIOx をオープンドレインの POK 出力として設定する場合、外部プルアップ抵抗 (一般的に 10kΩ~100kΩ) が必要です。

## FPS 入力 (FPSI)

MFIOx を FPS イネーブル入力として設定する場合、フレキシブル・パワー・シーケンサのイネーブル・ロジックは MFIOx ビットと FPS\_EN ビットの OR ロジックになります。どちらかの信号がロジック・ハイになると、MAX77542 は GLB\_CFG1~GLB\_CFG6 レジスタによって決められたスタートアップ・シーケンスを開始します。どちらの信号もロジック・ローの場合、シャットダウン・シーケンスがトリガされます。

## FPS 出力 (FPSO)

MFIOx を FPS 出力ピンとして設定した場合、MFIOx ピンは他のデバイスのイネーブル信号を駆動できます。スタートアップおよびシャットダウン・シーケンス内において、FPSO\_STUP\_DLY[3:0]ビット、FPSO\_SHDN\_DLY[3:0]ビット、および DLY\_STEP[1:0]ビットに基づいて MFIOx はハイまたはローになります。MFIOx をオープンドレインの FPS 出力として設定する場合、外部プルアップ抵抗 (一般的に 10kΩ~100kΩ) が必要です。

## システム・リセット入力 (RSTINB)

MFIOx をシステム・リセット入力ピンとして設定した場合、バウンス防止タイマーの設定値より長いロジック・ロー信号 (アクティブ・ロー、内部 100kΩ 抵抗を使用して V<sub>IO</sub> ピンにプルアップ) が有効なリセット入力信号と見なされます。RSTINB\_SHDN ビットが 1 に設定されている場合、有効なリセット入力信号によりすべての機能レジスタ (タイプ O およびタイプ F) のリセットを開始し、1μs の間 POR デフォルト値にします。RSTINB\_SHDN ビットが 0 に設定されている場合、MAX77542 は RSTINB 入力を無視し、何の処理も行いません。複数の MFIO がシステム・リセット入力機能として設定された場合、RSTINB はこれらの入力の AND ロジックになります。

## システム・リセット出力 (RSTOB)

MFIOx をシステム・リセット出力ピンとして設定した場合、MAX77542 はリセット出力信号 (アクティブ・ロー、オープンドレイン) を生成することで、ホスト・プロセッサや接続されたデバイスにフォルト状態を知らせることができます。Mx\_RSTOB\_EN ビット、TSHDN\_RSTOB\_EN ビット、および UVLO\_RSTOB\_EN ビットによって、ホスト・プロセッサは、どのフォルト条件でリセット出力信号をトリガするかを設定できます。短絡保護 (SCP) イベントは、システム・リセット信号を約 3μs の間アサートし、その降圧出力の SCP イベントがオフになるとアサート解除します。

## 過熱警告出力 (TWARNB)

MFIOx を過熱警告出力ピンとして設定した場合、MAX77542 は、ダイのジャンクション温度が過熱警告のスレッショルドに達したこと음을示すロジック信号 (アクティブ・ロー、オープンドレイン) を生成します。TWARN\_TH[2:0]ビットによって、+95°C~+130°C の範囲、5°C ステップでホスト・プロセッサから過熱警告のスレッショルドを設定することができます。

## 汎用入力 (GPI)

MFIOx ピンは、MFIOx\_FUNC[3:0] = 0xD のとき、汎用入力として設定されます。GPI モードでは、対応するステータス・ビット (MFIOx) が MFIOx 入力の現在のロジック・データを表します。マスクされていない場合、入力ロジックをトグルすることで割込みが生成されます。バウンス防止タイマーと内部プルダウン抵抗の設定値は、MFIOx\_DEB[2:0]ビットと MFIOx\_PDPUI[1:0]ビットによって設定します。

## 汎用出力 (GPO)

MFIOx ピンは、MFIOx\_FUNC[3:0] = 0xE のとき、汎用出力として設定されます。GPO モードでは、MFIOx\_SEL[2:0]によって、出力データをロジック・ハイ、ロジック・ロー、または高インピーダンスのいずれにするかを決定します (表 15 を参照)。MFIOx をオープンドレインの GPO として設定する場合、外部プルアップ抵抗 (一般的に 10kΩ~100kΩ) が必要です。

### ADC マルチプレクサ入力 (ADCMUX)

MFIO8 を ADC マルチプレクサ入力として設定した場合、MAX77542 はこの入力に印加された電圧を変換することができます。有効な入力電圧範囲は 0V~1.195V で、リードバック・データは ADC DATA11[7:0] レジスタ・ビットで得られます。詳細については、[外部電圧の測定](#) のセクションを参照してください。ADC マルチプレクサの最大電圧が V<sub>DD</sub> (代表値 1.9V) を超えることのないようにしてください。

### バウンス防止タイマー

MFIOx がロジック入力として設定されている場合、MFIOx\_DEB[2:0] ビットでバウンス防止タイマーを設定することにより、入力信号のグリッチやバウンスによるロジック信号のチャタリングを防止します。タイマー設定のオプションを表 16 に示します。

システム・クロックがディスエーブルの場合 (すべての降圧出力がオフ状態で、ADC がディスエーブル)、選択したバウンス防止タイマーの値に更にバウンス防止時間 (5μs 未満) が追加されます (バウンス防止なしのオプションを除く)。追加のバウンス防止時間は、I<sup>2</sup>C インターフェースを通じて CLK\_EN ビットを 1 に設定することで回避することができ、これにより、35μA (代表値) の自己消費電流が追加されますが、スタンバイ状態においてもシステム・クロックをイネーブルすることができます。

表 16. バウンス防止タイマーの設定

MFIOx_DEB[2:0]	TIMER SETTING
0x0	No Debounce
0x1	0.55μs
0x2	1μs
0x3	2μs
0x4	4μs
0x5	8μs
0x6	16μs
0x7	32μs

### 内部プルダウン抵抗およびプルアップ抵抗

MFIOx をロジック入力として設定した場合、表 17 に示すように、MFIOx\_PDPD[1:0] ビットによって内部プルダウン抵抗またはプルアップ抵抗を選択します。システム・リセット入力機能 (MFIOx\_FUNC[3:0] = 0xA) では、MFIOx\_PDPD[1:0] ビットに関わらず、対応する MFIOx ピンは内部 100kΩ 抵抗を介して V<sub>IO</sub> ピンにプルアップされます。

表 17. 内部抵抗の設定

MFIOx_PDPD[1:0]	RESISTOR SETTING
0x0	800kΩ Pull-Down to AGND
0x1	100kΩ Pull-Down to AGND
0x2	100kΩ Pull-Up to V <sub>IO</sub>
0x3	Disable (No Pull-Down or Pull-Up)

### 出力ドライバ・モード

MFIOx が POK、FPSO、または GPO 機能として設定されている場合、MFIOx\_DRV\_MODE ビットによってオープンドレインまたはプッシュプル出力モードを選択することができます。プッシュプル・モードの場合、最大駆動電流は 2mA に制限されます。

### 詳細-ADC

MAX77542 は、11 個のマルチプレクサを備えた 8 ビット逐次比較レジスタ (SAR) ADC を搭載しており、遠隔測定機能をサポートしています (図 13 を参照)。11 個のマルチプレクサには、各降圧コンバータの出力電流と出力電圧、V<sub>sys</sub> 電圧、ジャンクション温度、および MFIO からの外部入力が割り当てられています。各 ADC チャンネルは I<sup>2</sup>C インターフェースを通じて個別に制御することができ、それぞれが割込みビットと割込みマスク・ビットを備えています。マスクされていない場合、ADC データが読出し可能になるたびに割込みビットがセットされます。

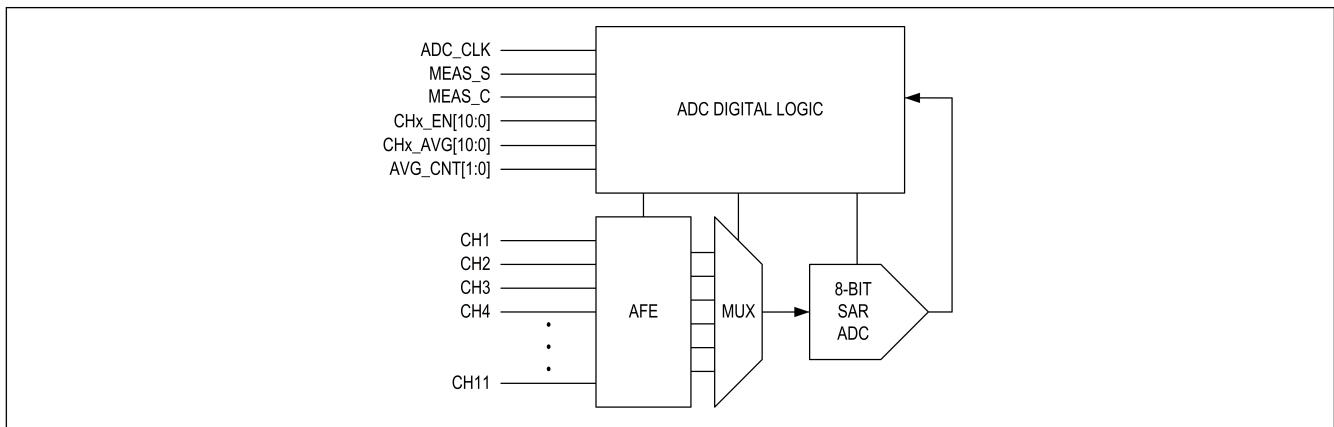


図 13. ADC のブロック図

各 ADC チャンネルの測定範囲と LSB サイズを表 18 に示します。

表 18. ADC 機能および測定範囲

CHANNEL NUMBER	DESCRIPTION	MEASUREMENT RANGE	LSB SIZE
1	PH1 Output Current ( $I_{OUT1}$ )	-6.69A to 9.2475A	62.5mA
2	PH2 Output Current ( $I_{OUT2}$ )	-6.69A to 9.2475A	62.5mA
3	PH3 Output Current ( $I_{OUT3}$ )	-6.69A to 9.2475A	62.5mA
4	PH4 Output Current ( $I_{OUT4}$ )	-6.69A to 9.2475A	62.5mA
5	PH1 Output Voltage ( $V_{OUT1}$ )	0V to 1.59375V ( $M1\_RNG = 0x0$ )	6.25mV
		0V to 3.1875V ( $M1\_RNG = 0x1$ )	12.5mV
		0V to 6.375V ( $M1\_RNG = 0x2$ )	25mV
6	PH2 Output Voltage ( $V_{OUT2}$ )	0V to 1.59375V ( $M2\_RNG = 0x0$ )	6.25mV
		0V to 3.1875V ( $M2\_RNG = 0x1$ )	12.5mV
		0V to 6.375V ( $M2\_RNG = 0x2$ )	25mV
7	PH3 Output Voltage ( $V_{OUT3}$ )	0V to 1.59375V ( $M3\_RNG = 0x0$ )	6.25mV
		0V to 3.1875V ( $M3\_RNG = 0x1$ )	12.5mV
		0V to 6.375V ( $M3\_RNG = 0x2$ )	25mV
8	PH4 Output Voltage ( $V_{OUT4}$ )	0V to 1.59375V ( $M4\_RNG = 0x0$ )	6.25mV
		0V to 3.1875V ( $M4\_RNG = 0x1$ )	12.5mV
		0V to 6.375V ( $M4\_RNG = 0x2$ )	25mV
9	SYS Input Voltage ( $V_{SYS}$ )	0V to 6.375V	25mV
		0V to 19.125V	75mV
10	Junction Temperature ( $T_J$ )	-273°C to +167°C	1.725°C
11	External Input ( $V_{MFIOx}$ )	0V to 1.195V	4.6875mV

### ADC のイネーブルおよび測定オプション

それぞれの ADC チャンネルは、 $CHx\_EN$  ビットを設定することで個々にイネーブルできます。ADC は、 $MEAS\_S$  ビットがセットされてから約 20 $\mu$ s 後にデータのサンプリングを開始します（単一測定の場合）。サンプリングが終了すると、約 10 $\mu$ s の変換時間を経てリードバック・データがデータ・レジスタ ( $ADC\_DATAx$ ) にアップロードされます。複数のチャンネルがイネーブルされている場合、ADC エンジンはイネーブルされたすべてのチャンネルを 1 つずつ測定し、リードバック・データを順番に  $ADC\_DATAx$  レジスタにアップロードします。ADC がデータの平均値を  $ADC\_DATAx$  レジスタにアップロードする前に、 $AVG\_CNT[1:0]$  ビットで読み出す数（2、4、8、または 16 点）を設定します。

また、MEAS\_C ビットを設定することにより、ADC で連続測定を行うことも可能です。MEAS\_C=1 のとき、ADC エンジンはイネーブルされたすべてのチャンネルを読み出し、データを毎秒、ADC\_DATAx レジスタにアップロードします。連続測定がイネーブル (MEAS\_C=1) の間、MEAS\_S ビットは無視されます。

マスクされていない場合、対応するデータ・レジスタに新しいデータがアップロードされるたびに割込み (ADC\_CHx\_I) がトリガされます。これにより、データが読み出しが可能になったことをホスト・プロセッサに伝えます。

## 出力電流の測定

MAX77542 は、各スイッチング位相の DC 出力電流を測定することができます。電流測定のサンプリング時間はチャンネル当たり約 1ms です。ADC\_DATA1～ADC\_DATA4 の各レジスタのデータ・コードは、位相 1～位相 4 の出力電流の測定値を表しています。多相の構成の場合、1 つの ADC チャンネルのリードバック・データは、対応する位相の DC 出力電流の測定値を表しているため、総出力電流を求めるには、同じ多相グループ内の各位相の出力電流データを合算する必要があります。リードバック・コードと出力電流の測定値との間の変換式については、[レジスタ・マップ](#) のセクションを参照してください。

降圧コンバータの動作条件によって定まるローサイド MOSFET のオン時間が 230ns (代表値) 未満の場合、MAX77542 は出力電流を確実に測定することができないため、対応するコンバータのステータス・ビット (CH1\_IMON\_OK～CH4\_IMON\_OK) を 0 にクリアすることにより、ホスト・プロセッサはリードバック・データの読み出しをスキップすることができます。

## 出力電圧の測定

MAX77542 は、各スイッチング位相の DC 出力電圧も測定できます。出力電圧のサンプリングには約 10μs かかります。ADC\_DATA5～ADC\_DATA8 の各レジスタのデータ・コードが位相 1～位相 4 の出力電圧の測定値を表しています。多相の構成では、マスタ位相の出力電圧が既に測定されている場合、同じ多相構成のグループ内のスレーブ位相の出力電圧を測定する必要はありません。リードバック・コードと出力電圧の測定値との間の変換式については、[レジスタ・マップ](#) のセクションを参照してください。

## SYS 電圧の測定

SYS ノードの電源電圧 (V<sub>SYS</sub>) は、ADC CH9 を使用してモニタすることができます。2 つの測定範囲 (0V～6.375V、および 0V～19.125V) を備えており、SYS\_RNG ビットで選択することができます。入力電圧のサンプリングには約 10μs かかります。リードバック・コードと SYS 電圧の測定値との間の変換式については、[レジスタ・マップ](#) のセクションを参照してください。

## ジャンクション温度の測定

ADC CH10 は、デバイスのジャンクション温度を測定するための専用のチャンネルです。これにより、ホスト・プロセッサは消費電力を最適化して信頼性の高い動作を確保できます。ジャンクション温度のサンプリングには約 1ms かかります。リードバック・コードとジャンクション温度の測定値との間の変換式については、[レジスタ・マップ](#) のセクションを参照してください。

## 外部電圧の測定

ADC CH11 は、MFIO の ADCMUX 機能を通じて外部電圧を測定するための専用のチャンネルです。この機能により、ホスト・プロセッサは ADC を汎用として使用できます (入力範囲は 0V～1.195V)。外部電圧のサンプリングには約 10μs かかります。リードバック・コードと入力電圧の測定値との間の変換式については、[レジスタ・マップ](#) のセクションを参照してください。詳細については、[ADC マルチプレクサ入力 \(ADCMUX\)](#) のセクションを参照してください。

## 詳細-I<sup>2</sup>C シリアル・インターフェース

MAX77542 は、シリアル・クロック・ライン (SCL) と双方向シリアル・データ・ライン (SDA) で構成されたリビジョン 3.0 I<sup>2</sup>C 対応の 2 線式シリアル・インターフェースを搭載しています。MAX77542 はスレーブ専用デバイスで、SCL クロックの生成は外部バス・マスタに依存します。0Hz～3.4MHz の範囲の SCL クロック・レートに対応しています。I<sup>2</sup>C はオープンドレイン・バスのため、SCL と SDA には外部プルアップ抵抗が必要です。

## スレーブ・アドレス

I<sup>2</sup>C 通信コントローラは、7 ビットのスレーブ・アドレス指定を行います。I<sup>2</sup>C バス・マスタは、スタート・コンディション、スレーブ・アドレスの順に送信することで、スレーブとの通信を開始します。MAX77542 は、4 つのスレーブ・アドレスに対応でき、R<sub>CFG1</sub> で選択します ([デバイスの設定 \(CFGx\)](#) のセクションを参照)。表 2 に記載されていないスレーブ・アドレスはアクノレッジされません。デバイスは、8 ビットのレジスタを使用して 8 ビットのレジスタ・アドレス指定を行います。対応する標準通信プロトコルは下記のとおりです。

- 単一レジスタへの書き込み
- データ・ポインタを自動でインクリメントして連続する複数レジスタへ書き込み
- 単一レジスタからの読み出し
- データ・ポインタを自動でインクリメントして連続する複数レジスタから読み出し。

I<sup>2</sup>C プロトコルの詳細については、I<sup>2</sup>C の仕様を参照してください。

### HS 拡張モード

MAX77542 は、HS 拡張モードと呼ばれる特別な I<sup>2</sup>C 機能をサポートしています。HS 拡張機能では、ストップ・コンディション後も高速の動作を続けます。これにより、I<sup>2</sup>C マスター・コントローラが複数の読み出し／書き込みサイクルのために HS モードを維持したい場合に、I<sup>2</sup>C マスター・コントローラから HS マスター・コードを送信する必要がなくなります。

図 14 に示すように、I<sup>2</sup>C バスが LS (標準、ファスト、ファストモード・プラス) モードで動作しているときにのみ HS\_EXT\_EN ビットを設定して HS 拡張モードをイネーブルすることができます。

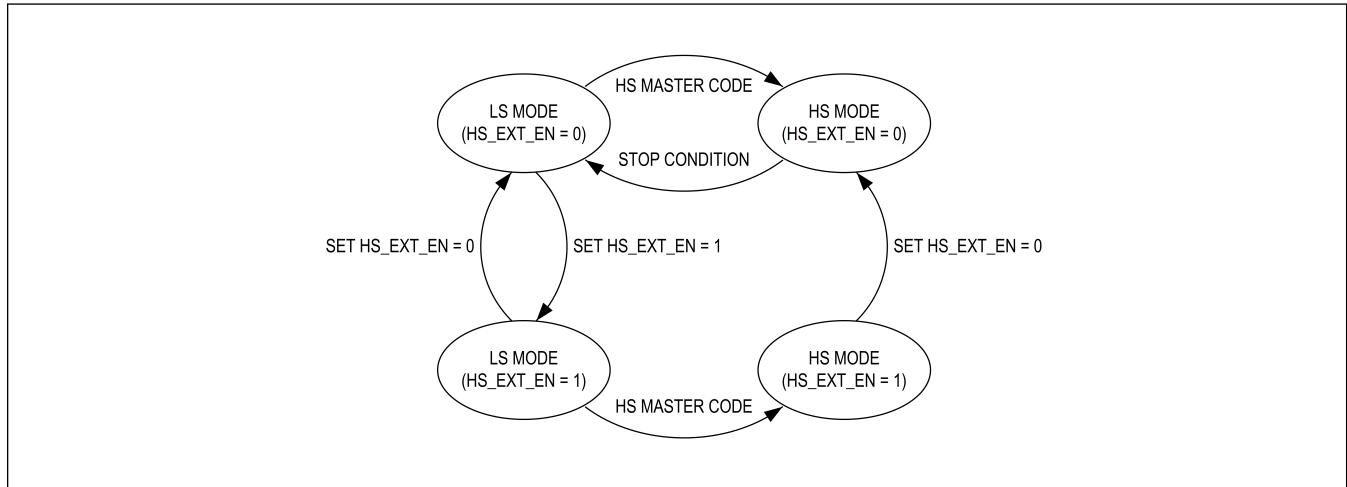


図 14. I<sup>2</sup>C 動作モードのステート図

### I<sup>2</sup>C ウオッチドッグ・タイマー

MAX77542 は、I<sup>2</sup>C バスが信頼性の高い動作を保てるように、I<sup>2</sup>C ウオッチドッグ・タイマーを内蔵しています。ノイズや不適切なシステム設計によって I<sup>2</sup>C バス上のデバイスの動作が互いに同期から外れて I<sup>2</sup>C バスがハンギングアップしてしまった場合、I<sup>2</sup>C ウオッチドッグ・タイマーは、ハンギングアップからシステムを回復させる際に役立ちます。ほとんどの場合、バス・マスターから連続して 9 回、停止コマンドを送信することで I<sup>2</sup>C バスのハンギングアップをクリアすることができます。ただし、システムに予期せぬ問題がある場合を考慮し、I<sup>2</sup>C ウオッチドッグ・タイマーは、I<sup>2</sup>C バスのハンギングアップから回復するためのバックアップ保護手段としても機能します。

MAX77542 は、WD\_TMR[1:0] ビットで設定できる 4 つのタイマー・オプション (31ms、62ms、124ms、248ms) をサポートしています。I<sup>2</sup>C ウオッチドッグ・タイマーは、WD\_EN ビットが 1 に設定されるとイネーブルされます。I<sup>2</sup>C ウオッチドッグ・タイマーがイネーブルされている間、MAX77542 はスタート・コンディションからストップ・コンディションまでの時間をモニタし、この時間が選択したタイマー・オプションを超えることがあった場合は、I<sup>2</sup>C ステート・マシンをリセットします。

I<sup>2</sup>C ウオッチドッグ・タイマーは、デフォルトではディスエーブルされています。I<sup>2</sup>C ウオッチドッグ・タイマーがディスエーブルの場合、デバイスは I<sup>2</sup>C の仕様に規定されている 0Hz の SCL 周波数に対応することができます。I<sup>2</sup>C ウオッチドッグ・タイマーを有効化すると 0Hz の仕様は満足できなくなりますが、この 0Hz 性能は、多くの場合必要にはなりません。

## レジスタ・マップ

## MAX77542

ADDRESS	NAME	MSB							LSB
<b>GLOBAL CONFIGURATION 1</b>									
0x00	<a href="#">INT_SRC[7:0]</a>		RESERVED[3:0]			ADC_I	MFIO_I	BUCK_I	TOPSYS_I
0x01	<a href="#">INT_SRC_MSK[7:0]</a>		RESERVED[3:0]			ADC_M	MFIO_M	BUCK_M	TOPSYS_M
0x02	<a href="#">TOPSYS_INT[7:0]</a>		RESERVED[2:0]		ALT_SW_O_I	VIOFLT_I	UVLO_I	TSHDN_I	TWARN_I
0x03	<a href="#">TOPSYS_MSK[7:0]</a>		RESERVED[2:0]		ALT_SW_O_M	VIOFLT_M	UVLO_M	TSHDN_M	TWARN_M
0x04	<a href="#">TOPSYS_STAT[7:0]</a>		RESERVED[2:0]		ALT_SW_O	VIOFLT	UVLO	TSHDN	TWARN
0x06	<a href="#">DEVICE_CFG1[7:0]</a>		PH_CFG[2:0]		CFG1_LATCH[4:0]				
0x07	<a href="#">DEVICE_CFG2[7:0]</a>		RESERVED[2:0]		CFG2_LATCH[4:0]				
0x08	<a href="#">DEVICE_CFG3[7:0]</a>		RESERVED[2:0]		SEL1_LATCH[4:0]				
0x09	<a href="#">DEVICE_CFG4[7:0]</a>		RESERVED[2:0]		SEL2_LATCH[4:0]				
0x0A	<a href="#">DEVICE_CFG5[7:0]</a>		RESERVED[2:0]		SEL3_LATCH[4:0]				
0x0B	<a href="#">DEVICE_CFG6[7:0]</a>		RESERVED[2:0]		SEL4_LATCH[4:0]				
0x0C	<a href="#">TOPSYS_CFG[7:0]</a>		RESERVED[1:0]	ALT_IN_EN	CE_PD_EN	MASK_MODE	FTMON_EN	CLK_EN	VL_EN
0x0D	<a href="#">PROT_CFG[7:0]</a>	RESERVED	TWARN_TH[2:0]			RESERVED	UVLO_F	POK_TO[1:0]	
0x0E	<a href="#">RESET_CFG1[7:0]</a>		RESERVED[4:0]				RSTINB_SHDN	VIOFLT_SHDN	AUTO_RST
0x0F	<a href="#">RESET_CFG2[7:0]</a>		RESERVED[1:0]	UVLO_R_STOB_E_N	TSHDN_RSTOB_EN	M4_RST_OB_EN	M3_RST_OB_EN	M2_RST_OB_EN	M1_RST_OB_EN
<b>GLOBAL CONFIGURATION 2</b>									
0x10	<a href="#">EN_CTRL[7:0]</a>	M4_LPM	M3_LPM	M2_LPM	M1_LPM	M4_EN	M3_EN	M2_EN	M1_EN
0x11	<a href="#">GLB_CFG1[7:0]</a>	M1_SHDN_DLY[3:0]			M1_STUP_DLY[3:0]				
0x12	<a href="#">GLB_CFG2[7:0]</a>	M2_SHDN_DLY[3:0]			M2_STUP_DLY[3:0]				
0x13	<a href="#">GLB_CFG3[7:0]</a>	M3_SHDN_DLY[3:0]			M3_STUP_DLY[3:0]				
0x14	<a href="#">GLB_CFG4[7:0]</a>	M4_SHDN_DLY[3:0]			M4_STUP_DLY[3:0]				
0x15	<a href="#">GLB_CFG5[7:0]</a>	FPSO_SHDN_DLY[3:0]			FPSO_STUP_DLY[3:0]				
0x16	<a href="#">GLB_CFG6[7:0]</a>	RESERVED[5:0]					DLY_STEP[1:0]		
0x17	<a href="#">GLB_CFG7[7:0]</a>	RESERVED[6:0]					FPS_EN		
<b>I2C_CONFIGURATION</b>									
0x1A	<a href="#">I2C_CFG1[7:0]</a>	RESERVED[5:0]					WD_TMR[1:0]		
0x1B	<a href="#">I2C_CFG2[7:0]</a>	RESERVED[5:0]					WD_EN	HS_EXT_EN	
<b>BUCK1 CONFIGURATION</b>									
0x20	<a href="#">BUCK_INT[7:0]</a>	M4_SCF_LT_I	M3_SCF_LT_I	M2_SCF_LT_I	M1_SCF_LT_I	M4_POK_FLT_I	M3_POK_FLT_I	M2_POK_FLT_I	M1_POK_FLT_I

ADDRESS	NAME	MSB							LSB
0x21	<a href="#">BUCK_MSK[7:0]</a>	M4_SCFLT_M	M3_SCFLT_M	M2_SCFLT_M	M1_SCFLT_M	M4_POKFLT_M	M3_POKFLT_M	M2_POKFLT_M	M1_POKFLT_M
0x22	<a href="#">BUCK_STAT[7:0]</a>	M4_SCFLT	M3_SCFLT	M2_SCFLT	M1_SCFLT	M4_POK	M3_POK	M2_POK	M1_POK
0x23	<a href="#">M1_VOUT_H[7:0]</a>					M1_VOUT_H[7:0]			
0x24	<a href="#">M1_VOUT_L[7:0]</a>					M1_VOUT_L[7:0]			
0x25	<a href="#">M1_VOUT_B[7:0]</a>					M1_VOUT_B[7:0]			
0x26	<a href="#">M1_VOUT_M[7:0]</a>				M1_VOUT_M[4:0]		RESERVED		M1_RNG[1:0]
0x27	<a href="#">M1_CFG1[7:0]</a>		RESERVED[1:0]		M1_RD_SR[2:0]				M1_RU_SR[2:0]
0x28	<a href="#">M1_CFG2[7:0]</a>		RESERVED[1:0]		M1_SSTOP_SR[2:0]				M1_SSTRT_SR[2:0]
0x29	<a href="#">M1_CFG3[7:0]</a>		M1_BBRK[1:0]	M1_ADI_S100	M1_ADI_S1	M1_FTR_AK	M1_REFRESH	M1_FSR_EN	M1_FPW_M
0x2A	<a href="#">M1_CFG4[7:0]</a>		M1_SS_ENV[1:0]	M1_SS_FREQ[1:0]		M1_SSM_PAT[1:0]			M1_FREQ[1:0]
0x2B	<a href="#">M1_CFG5[7:0]</a>			RESERVED[2:0]	RESERVED		RESERVED[1:0]		M1_ILIM[1:0]
<b>BUCK2 CONFIGURATION</b>									
0x33	<a href="#">M2_VOUT_H[7:0]</a>					M2_VOUT_H[7:0]			
0x34	<a href="#">M2_VOUT_L[7:0]</a>					M2_VOUT_L[7:0]			
0x35	<a href="#">M2_VOUT_B[7:0]</a>					M2_VOUT_B[7:0]			
0x36	<a href="#">M2_VOUT_M[7:0]</a>				M2_VOUT_M[4:0]		RESERVED		M2_RNG[1:0]
0x37	<a href="#">M2_CFG1[7:0]</a>		RESERVED[1:0]		M2_RD_SR[2:0]				M2_RU_SR[2:0]
0x38	<a href="#">M2_CFG2[7:0]</a>		RESERVED[1:0]		M2_SSTOP_SR[2:0]				M2_SSTRT_SR[2:0]
0x39	<a href="#">M2_CFG3[7:0]</a>		M2_BBRK[1:0]	M2_ADI_S100	M2_ADI_S1	M2_FTR_AK	M2_REFRESH	M2_FSR_EN	M2_FPW_M
0x3A	<a href="#">M2_CFG4[7:0]</a>		M2_SS_ENV[1:0]	M2_SS_FREQ[1:0]		M2_SSM_PAT[1:0]			M2_FREQ[1:0]
0x3B	<a href="#">M2_CFG5[7:0]</a>			RESERVED[2:0]	RESERVED		RESERVED[1:0]		M2_ILIM[1:0]
<b>BUCK3 CONFIGURATION</b>									
0x43	<a href="#">M3_VOUT_H[7:0]</a>					M3_VOUT_H[7:0]			
0x44	<a href="#">M3_VOUT_L[7:0]</a>					M3_VOUT_L[7:0]			
0x45	<a href="#">M3_VOUT_B[7:0]</a>					M3_VOUT_B[7:0]			
0x46	<a href="#">M3_VOUT_M[7:0]</a>				M3_VOUT_M[4:0]		RESERVED		M3_RNG[1:0]
0x47	<a href="#">M3_CFG1[7:0]</a>		RESERVED[1:0]		M3_RD_SR[2:0]				M3_RU_SR[2:0]
0x48	<a href="#">M3_CFG2[7:0]</a>		RESERVED[1:0]		M3_SSTOP_SR[2:0]				M3_SSTRT_SR[2:0]
0x49	<a href="#">M3_CFG3[7:0]</a>		M3_BBRK[1:0]	M3_ADI_S100	M3_ADI_S1	M3_FTR_AK	M3_REFRESH	M3_FSR_EN	M3_FPW_M
0x4A	<a href="#">M3_CFG4[7:0]</a>		M3_SS_ENV[1:0]	M3_SS_FREQ[1:0]		M3_SSM_PAT[1:0]			M3_FREQ[1:0]
0x4B	<a href="#">M3_CFG5[7:0]</a>			RESERVED[2:0]	RESERVED		RESERVED[1:0]		M3_ILIM[1:0]
<b>BUCK4 CONFIGURATION</b>									
0x53	<a href="#">M4_VOUT_H[7:0]</a>					M4_VOUT_H[7:0]			
0x54	<a href="#">M4_VOUT_L[7:0]</a>					M4_VOUT_L[7:0]			
0x55	<a href="#">M4_VOUT_B[7:0]</a>					M4_VOUT_B[7:0]			

ADDRESS	NAME	MSB							LSB		
0x56	<a href="#">M4_VOUT_M[7:0]</a>	M4_VOUT_M[4:0]					RESERVED	M4_RNG[1:0]			
0x57	<a href="#">M4_CFG1[7:0]</a>	RESERVED[1:0]		M4_RD_SR[2:0]			M4_RU_SR[2:0]				
0x58	<a href="#">M4_CFG2[7:0]</a>	RESERVED[1:0]		M4_SSTOP_SR[2:0]			M4_SSTRT_SR[2:0]				
0x59	<a href="#">M4_CFG3[7:0]</a>	M4_BBRK[1:0]		M4_ADI_S100	M4_ADI_S1	M4_FTR_AK	M4_REFRESH	M4_FSR_EN	M4_FPW_M		
0x5A	<a href="#">M4_CFG4[7:0]</a>	M4_SS_ENV[1:0]		M4_SS_FREQ[1:0]		M4_SSM_PAT[1:0]		M4_FREQ[1:0]			
0x5B	<a href="#">M4_CFG5[7:0]</a>	RESERVED[2:0]			RESERVED	RESERVED[1:0]		M4_ILIM[1:0]			

**MFIO\_CONFIGURATION**

0x60	<a href="#">MFIO_INT[7:0]</a>	MFIO8_I	MFIO7_I	MFIO6_I	MFIO5_I	MFIO4_I	MFIO3_I	MFIO2_I	MFIO1_I
0x61	<a href="#">MFIO_MSK[7:0]</a>	MFIO8_M	MFIO7_M	MFIO6_M	MFIO5_M	MFIO4_M	MFIO3_M	MFIO2_M	MFIO1_M
0x62	<a href="#">MFIO_STAT[7:0]</a>	MFIO8	MFIO7	MFIO6	MFIO5	MFIO4	MFIO3	MFIO2	MFIO1
0x63	<a href="#">MFIO1_CFG1[7:0]</a>	RESERVED	MFIO1_SEL[2:0]			MFIO1_FUNC[3:0]			
0x64	<a href="#">MFIO1_CFG2[7:0]</a>	RESERVED[1:0]		MFIO1_DRV_M_ODE	MFIO1_PDPU[1:0]		MFIO1_DEB[2:0]		
0x65	<a href="#">MFIO2_CFG1[7:0]</a>	RESERVED	MFIO2_SEL[2:0]			MFIO2_FUNC[3:0]			
0x66	<a href="#">MFIO2_CFG2[7:0]</a>	RESERVED[1:0]		MFIO2_DRV_M_ODE	MFIO2_PDPU[1:0]		MFIO2_DEB[2:0]		
0x67	<a href="#">MFIO3_CFG1[7:0]</a>	RESERVED	MFIO3_SEL[2:0]			MFIO3_FUNC[3:0]			
0x68	<a href="#">MFIO3_CFG2[7:0]</a>	RESERVED[1:0]		MFIO3_DRV_M_ODE	MFIO3_PDPU[1:0]		MFIO3_DEB[2:0]		
0x69	<a href="#">MFIO4_CFG1[7:0]</a>	RESERVED	MFIO4_SEL[2:0]			MFIO4_FUNC[3:0]			
0x6A	<a href="#">MFIO4_CFG2[7:0]</a>	RESERVED[1:0]		MFIO4_DRV_M_ODE	MFIO4_PDPU[1:0]		MFIO4_DEB[2:0]		
0x6B	<a href="#">MFIO5_CFG1[7:0]</a>	RESERVED	MFIO5_SEL[2:0]			MFIO5_FUNC[3:0]			
0x6C	<a href="#">MFIO5_CFG2[7:0]</a>	RESERVED[1:0]		MFIO5_DRV_M_ODE	MFIO5_PDPU[1:0]		MFIO5_DEB[2:0]		
0x6D	<a href="#">MFIO6_CFG1[7:0]</a>	RESERVED	MFIO6_SEL[2:0]			MFIO6_FUNC[3:0]			
0x6E	<a href="#">MFIO6_CFG2[7:0]</a>	RESERVED[1:0]		MFIO6_DRV_M_ODE	MFIO6_PDPU[1:0]		MFIO6_DEB[2:0]		
0x6F	<a href="#">MFIO7_CFG1[7:0]</a>	RESERVED	MFIO7_SEL[2:0]			MFIO7_FUNC[3:0]			
0x70	<a href="#">MFIO7_CFG2[7:0]</a>	RESERVED[1:0]		MFIO7_DRV_M_ODE	MFIO7_PDPU[1:0]		MFIO7_DEB[2:0]		

ADDRESS	NAME	MSB							LSB
0x71	<a href="#">MFIO8_CFG1[7:0]</a>	RESERVED	MFIO8_SEL[2:0]			MFIO8_FUNC[3:0]			
0x72	<a href="#">MFIO8_CFG2[7:0]</a>	RESERVED[1:0]		MFIO8_DRV_MODE	MFIO8_PDPDU[1:0]		MFIO8_DEB[2:0]		
<b>ADC CONFIGURATION</b>									
0x80	<a href="#">ADC_INT1[7:0]</a>	ADC_CH8_I	ADC_CH7_I	ADC_CH6_I	ADC_CH5_I	ADC_CH4_I	ADC_CH3_I	ADC_CH2_I	ADC_CH1_I
0x81	<a href="#">ADC_INT2[7:0]</a>	RESERVED[2:0]			-	-	ADC_CH11_I	ADC_CH10_I	ADC_CH9_I
0x82	<a href="#">ADC_MSK1[7:0]</a>	ADC_CH8_M	ADC_CH7_M	ADC_CH6_M	ADC_CH5_M	ADC_CH4_M	ADC_CH3_M	ADC_CH2_M	ADC_CH1_M
0x83	<a href="#">ADC_MSK2[7:0]</a>	RESERVED[2:0]			-	-	ADC_CH11_M	ADC_CH10_M	ADC_CH9_M
0x84	<a href="#">ADC_STAT[7:0]</a>	RESERVED[3:0]			CH4_IMON_OK	CH3_IMON_OK	CH2_IMON_OK	CH1_IMON_OK	
0x85	<a href="#">ADC_DATA_CH1[7:0]</a>	ADC_DATA1[7:0]							
0x86	<a href="#">ADC_DATA_CH2[7:0]</a>	ADC_DATA2[7:0]							
0x87	<a href="#">ADC_DATA_CH3[7:0]</a>	ADC_DATA3[7:0]							
0x88	<a href="#">ADC_DATA_CH4[7:0]</a>	ADC_DATA4[7:0]							
0x89	<a href="#">ADC_DATA_CH5[7:0]</a>	ADC_DATA5[7:0]							
0x8A	<a href="#">ADC_DATA_CH6[7:0]</a>	ADC_DATA6[7:0]							
0x8B	<a href="#">ADC_DATA_CH7[7:0]</a>	ADC_DATA7[7:0]							
0x8C	<a href="#">ADC_DATA_CH8[7:0]</a>	ADC_DATA8[7:0]							
0x8D	<a href="#">ADC_DATA_CH9[7:0]</a>	ADC_DATA9[7:0]							
0x8E	<a href="#">ADC_DATA_CH10[7:0]</a>	ADC_DATA10[7:0]							
0x8F	<a href="#">ADC_DATA_CH11[7:0]</a>	ADC_DATA11[7:0]							
0x92	<a href="#">ADC_CFG1[7:0]</a>	CH8_EN	CH7_EN	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN
0x93	<a href="#">ADC_CFG2[7:0]</a>	RESERVED[2:0]			-	-	CH11_EN	CH10_EN	CH9_EN
0x94	<a href="#">ADC_CFG3[7:0]</a>	CH8_AVG	CH7_AVG	CH6_AVG	CH5_AVG	CH4_AVG	CH3_AVG	CH2_AVG	CH1_AVG
0x95	<a href="#">ADC_CFG4[7:0]</a>	RESERVED[2:0]			-	-	CH11_AVG	CH10_AVG	CH9_AVG
0x96	<a href="#">ADC_CFG5[7:0]</a>	RESERVED[1:0]		SYS_RNG	RESERVED	AVG_CNT[1:0]		MEAS_C	MEAS_S

## レジスタの詳細

### INT\_SRC (0x00)

BIT	7	6	5	4	3	2	1	0	
Field	RESERVED[3:0]					ADC_I	MFIO_I	BUCK_I	TOPSYS_I
Reset	0x0					0x0	0x0	0x0	0x0
Access Type	Read Clears All			Read Only					

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:4	O	予備。0を返します。	
ADC_I	3	O	ADC割込みソース	0x0 = Interrupt event in ADC has not been detected. 0x1 = Interrupt event in ADC has been detected.
MFIO_I	2	O	MFIO割込みソース	0x0 = Interrupt event in MFIO has not been detected. 0x1 = Interrupt event in MFIO has been detected.
BUCK_I	1	O	降圧割込みソース	0x0 = Interrupt event in Buck has not been detected. 0x1 = Interrupt event in Buck has been detected.
TOPSYS_I	0	O	トップ・レベル割込みソース	0x0 = Interrupt event in TOPSYS has not been detected. 0x1 = Interrupt event in TOPSYS has been detected.

**INT\_SRC\_MSK (0x01)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[3:0]				ADC_M	MFIO_M	BUCK_M	TOPSYS_M
Reset	0xF				0x1	0x1	0x1	0x0
Access Type	Write, Read				Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:4	O	予備。1を返します。	
ADC_M	3	O	ADC割込みソース・マスク	0x0 = Enable ADC_I. 0x1 = Mask ADC_I.
MFIO_M	2	O	MFIO割込みソース・マスク	0x0 = Enable MFIO_I. 0x1 = Mask MFIO_I.
BUCK_M	1	O	降圧割込みソース・マスク	0x0 = Enable BUCK_I. 0x1 = Mask BUCK_I.
TOPSYS_M	0	O	トップ・レベル割込みソース・マスク	0x0 = Enable TOPSYS_I. 0x1 = Mask TOPSYS_I.

**TOPSYS\_INT (0x02)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]			ALT_SWO_I	VIOFLT_I	UVLO_I	TSHDN_I	TWARN_I
Reset	0x0			0x0	0x0	0x0	0x0	0x0
Access Type	Read Clears All			Read Clears All				

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	

ビット・フィールド	ビット	タイプ	説明	デコード
ALT_SWO_I	4	O	代替入力によるスイッチオーバー	0x0 = Input voltage of internal bias circuitry has not switched to ALT_IN input. 0x1 = Input voltage of internal bias circuitry has switched to ALT_IN input.
VIOFLT_I	3	O	V <sub>IO</sub> フォルト割込み	0x0 = I/O supply (V <sub>IO</sub> ) has not dropped below its UVLO threshold. 0x1 = I/O supply (V <sub>IO</sub> ) has dropped below its UVLO threshold.
UVLO_	2	O	SYS低電圧ロックアウト割込み	0x0 = Input voltage (V <sub>SYS</sub> ) has not dropped below UVLO threshold. 0x1 = Input voltage (V <sub>SYS</sub> ) has dropped below UVLO threshold.
TSHDN_I	1	O	サーマル・シャットダウン割込み	0x0 = Junction temperature has not risen above thermal-shutdown threshold (+165°C). 0x1 = Junction temperature has risen above thermal-shutdown threshold (+165°C).
TWARN_I	0	O	過熱警告割込み	0x0 = Junction temperature has not risen above TWARN_TH[2:0]. 0x1 = Junction temperature has risen above TWARN_TH[2:0].

**TOPSYS\_MSK (0x03)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]			ALT_SWO_M	VIOFLT_M	UVLO_M	TSHDN_M	TWARN_M
Reset	0x7			0x1	0x1	0x0	0x1	0x1
Access Type	Write, Read			Write, Read				

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。1を返します。	
ALT_SWO_M	4	O	代替入力によるスイッチオーバー割込み	0x0 = Enable ALT_SWO_I. 0x1 = Mask ALT_SWO_I.
VIOFLT_M	3	O	V <sub>IO</sub> フォルト割込み	0x0 = Enable VIOFLT_I. 0x1 = Mask VIOFLT_I.
UVLO_M	2	O	SYS低電圧ロックアウト割込みマスク	0x0 = Enable UVLO_I. 0x1 = Mask UVLO_I.
TSHDN_M	1	O	サーマル・シャットダウン割込みマスク	0x0 = Enable TSHDN_I. 0x1 = Mask TSHDN_I.
TWARN_M	0	O	過熱警告割込みマスク	0x0 = Enable TWARN_I. 0x1 = Mask TWARN_I.

**TOPSYS\_STAT (0x04)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[2:0]			ALT_SWO	VIOFLT	UVLO	TSHDN	TWARN
<b>Reset</b>	0x0			0x0	0x0	0x0	0x0	0x0
<b>Access Type</b>	Read Only			Read Only				

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
ALT_SWO	4	O	代替入力によるスイッチオーバーのステータス	0x0 = $V_{DD}$ , $V_{L12}$ , and $V_{L34}$ LDOs are powered from SYS. 0x1 = $V_{DD}$ , $V_{L12}$ , and $V_{L34}$ LDOs are powered from ALT_IN.
VIOFLT	3	O	$V_{IO}$ フォルトのステータス	0x0 = $V_{IO} \geq V_{IO\_UVLO\_R}$ . 0x1 = $V_{IO} \leq V_{IO\_UVLO\_F}$ .
UVLO	2	O	SYS低電圧ロックアウトのステータス	0x0 = $V_{SYS} \geq V_{UVLO\_R}$ . 0x1 = $V_{SYS} \leq V_{UVLO\_F}$ .
TSHDN	1	O	サーマル・シャットダウンのステータス	0x0 = $T_J \leq +150^{\circ}\text{C}$ . 0x1 = $T_J \geq +165^{\circ}\text{C}$ .
TWARN	0	O	過熱警告のステータス	0x0 = $T_J \leq \text{TWARN\_TH}[2:0]$ . 0x1 = $T_J \geq \text{TWARN\_TH}[2:0]$ .

**DEVICE\_CFG1 (0x06)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	PH_CFG[2:0]			CFG1_LATCH[4:0]				
<b>Reset</b>	0x0			0x0				
<b>Access Type</b>	Read Only			Read Only				

ビット・フィールド	ビット	タイプ	説明	デコード
PH_CFG	7:5	O	位相の構成	0x0 = 1PH + 1PH + 1PH + 1PH (4 outputs). 0x1 = 2PH + 1PH + 1PH (3 outputs). 0x2 = 2PH + 2PH (2 outputs). 0x3 = 3PH + 1PH (2 outputs). 0x4 = 4PH (1 output). 0x5–0x7 = Reserved.
CFG1_LATCH	4:0	O	CFG1のラッチ・コード	

**DEVICE\_CFG2 (0x07)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[2:0]			CFG2_LATCH[4:0]				
<b>Reset</b>	0x0			0x0				
<b>Access Type</b>	Read Only			Read Only				

ビット・フィールド	ビット	タイプ	説明
RESERVED	7:5	O	予備。0を返します。

ビット・フィールド	ビット	タイプ	説明
CFG2_LATCH	4:0	O	CFG2のラッチ・コード

**DEVICE\_CFG3 (0x08)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]					SEL1_LATCH[4:0]		
Reset	0x0					0x0		
Access Type	Read Only					Read Only		

ビット・フィールド	ビット	タイプ	説明
RESERVED	7:5	O	予備。0を返します。
SEL1_LATCH	4:0	O	SEL1のラッチ・コード

**DEVICE\_CFG4 (0x09)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]					SEL2_LATCH[4:0]		
Reset	0x0					0x0		
Access Type	Read Only					Read Only		

ビット・フィールド	ビット	タイプ	説明
RESERVED	7:5	O	予備。0を返します。
SEL2_LATCH	4:0	O	SEL2のラッチ・コード

**DEVICE\_CFG5 (0x0A)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]					SEL3_LATCH[4:0]		
Reset	0x0					0x0		
Access Type	Read Only					Read Only		

ビット・フィールド	ビット	タイプ	説明
RESERVED	7:5	O	予備。0を返します。
SEL3_LATCH	4:0	O	SEL3のラッチ・コード

**DEVICE\_CFG6 (0x0B)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]					SEL4_LATCH[4:0]		
Reset	0x0					0x0		
Access Type	Read Only					Read Only		

ビット・フィールド	ビット	タイプ	説明
RESERVED	7:5	O	予備。0を返します。
SEL4_LATCH	4:0	O	SEL4のラッチ・コード

**TOPSYS\_CFG (0x0C)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]		ALT_IN_EN	CE_PD_EN	MASK_MODE	FTMON_EN	CLK_EN	VL_EN
<b>Reset</b>	0x0		0x1	0x1	0x0	0x0	0x0	0x0
<b>Access Type</b>	Write, Read		Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
ALT_IN_EN	5	O	代替入力の制御	0x0 = $V_{DD}$ , $V_{L12}$ and $V_{L34}$ LDOs are powered from SYS. 0x1 = $V_{DD}$ , $V_{L12}$ and $V_{L34}$ LDOs are powered from ALT_IN.
CE_PD_EN	4	O	CEプルダウンの制御	0x0 = Disable an internal pull-down. 0x1 = Enable an internal pull-down.
MASK_MODE	3	O	割込みマスク・モードの設定	0x0 = Interrupt signal is gated after the corresponding interrupt bit when masked. 0x1 = Interrupt signal is gated before the corresponding interrupt bit when masked.
FTMON_EN	2	O	ジャンクション温度の強制モニタリング	0x0 = Monitor junction temperature only when one or more outputs is/are enabled. 0x1 = Monitor junction temperature even when all the outputs are disabled.
CLK_EN	1	O	システム・クロックのプライマリ制御	0x0 = Disable. 0x1 = Enable (enable internal OSC even when all buck outputs are disabled).
VL_EN	0	O	$V_{L12}$ および $V_{L34}$ LDOのプライマリ制御	0x0 = Disable. 0x1 = Enable (Allow shorter buck turn-on delay).

**PROT\_CFG (0x0D)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED		TWARN_TH[2:0]			RESERVED	UVLO_F	POK_TO[1:0]
<b>Reset</b>	0x0		0x5			0x0	0x1	0x0
<b>Access Type</b>	Write, Read		Write, Read			Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
TWARN_TH	6:4	O	過熱警告のスレッショルド	0x0 = +95°C. 0x1 = +100°C. 0x2 = +105°C. 0x3 = +110°C. 0x4 = +115°C. 0x5 = +120°C. 0x6 = +125°C. 0x7 = +130°C.
RESERVED	3	O	予備。0を返します。	
UVLO_F	2	O	$V_{SYS}$ UVLOの立下がりスレッショルド (UVLOの立上がりスレッショルドを基準として)	0x0 = UVLO_R - 150mV. 0x1 = UVLO_R - 200mV.

ビット・フィールド	ビット	タイプ	説明	デコード
POK_TO	1:0	O	パワーOKフォルト・タイムアウトの設定	0x0 = Disable. 0x1 = 1ms. 0x2 = 5ms. 0x3 = 10ms.

**RESET\_CFG1 (0x0E)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[4:0]					RSTINB_S HDN	VIOFLT_SH DN	AUTO_RST RT
Reset	0x0					0x0	0x1	0x0
Access Type	Write, Read					Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:3	O	予備。0を返します。	
RSTINB_SHDN	2	O	シャットダウンおよびRSTINB (MFIO) 入力のレジスタ・リセット制御	0x0 = Disable. 0x1 = Enable.
VIOFLT_SHDN	1	O	V <sub>IO</sub> フォルト・シャットダウン制御	0x0 = Disable. 0x1 = Enable (initiates a shutdown of all buck outputs when V <sub>IO</sub> fault occurs).
AUTO_RSTRT	0	O	POK故障タイムアウト、SCP、およびTSHDNから自動で再開	0x0 = Disable (Mx_EN and/or MFIOx signals need to be toggled to exit latch-off state). 0x1 = Enable (allow auto-restart after 500ms of forced off time).

**RESET\_CFG2 (0x0F)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[1:0]		UVLO_RST OB_EN	TSHDN_RS TOB_EN	M4_RSTOB _EN	M3_RSTOB _EN	M2_RSTOB _EN	M1_RSTOB _EN
Reset	0x0		0x0	0x0	0x0	0x0	0x0	0x0
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
UVLO_RSTOB_EN	5	O	UVLO故障時のRSTOB (MFIO) 出力制御	0x0 = Disable. 0x1 = Enable (assert RSTOB signal when UVLO fault occurs).
TSHDN_RSTOB_EN	4	O	サーマル・シャットダウン・フォルト時のRSTOB (MFIO) 出力制御	0x0 = Disable. 0x1 = Enable (assert RSTOB signal when TSHDN fault occurs).
M4_RSTOB_EN	3	O	降圧マスター4フォルト時のRSTOB (MFIO) 制御	0x0 = Disable. 0x1 = Enable (assert RSTOB signal when Buck Master4 SCP fault occurs).
M3_RSTOB_EN	2	O	降圧マスター3フォルト時のRSTOB (MFIO) 制御	0x0 = Disable. 0x1 = Enable (assert RSTOB signal when Buck Master3 SCP fault occurs).

ビット・フィールド	ビット	タイプ	説明	デコード
M2_RSTOB_EN	1:0	O	降圧マスター2フォルト時のRSTOB (MFIO) 制御	0x0 = Disable. 0x1 = Enable (assert RSTOB signal when Buck Master2 SCP fault occurs).
M1_RSTOB_EN	0	O	降圧マスター1フォルト時のRSTOB (MFIO) 制御	0x0 = Disable. 0x1 = Enable (assert RSTOB signal when Buck Master1 SCP fault occurs).

**EN\_CTRL (0x10)**

BIT	7	6	5	4	3	2	1	0
Field	M4_LPM	M3_LPM	M2_LPM	M1_LPM	M4_EN	M3_EN	M2_EN	M1_EN
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_LPM	7	O	降圧マスター4の低消費電力モードの制御	0x0 = Disable. 0x1 = Enable (OR logic with LPM_M4 input).
M3_LPM	6	O	降圧マスター3の低消費電力モードの制御	0x0 = Disable. 0x1 = Enable (OR logic with LPM_M3 input).
M2_LPM	5	O	降圧マスター2の低消費電力モードの制御	0x0 = Disable. 0x1 = Enable (OR logic with LPM_M2 input).
M1_LPM	4	O	降圧マスター1の低消費電力モードの制御	0x0 = Disable. 0x1 = Enable (OR logic with LPM_M1 input).
M4_EN	3	O	降圧マスター4のイネーブル制御	0x0 = Disable. 0x1 = Enable (OR logic with EN_M4 input).
M3_EN	2	O	降圧マスター3のイネーブル制御	0x0 = Disable. 0x1 = Enable (OR logic with EN_M3 input).
M2_EN	1	O	降圧マスター2のイネーブル制御	0x0 = Disable. 0x1 = Enable (OR logic with EN_M2 input).
M1_EN	0	O	降圧マスター1のイネーブル制御	0x0 = Disable. 0x1 = Enable (OR logic with EN_M1 input).

**GLB\_CFG1 (0x11)**

BIT	7	6	5	4	3	2	1	0
Field	M1_SHDN_DLY[3:0]							M1_STUP_DLY[3:0]
Reset	0x8							0x0
Access Type	Write, Read							Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
M1_SHDN_DLY	7:4	O	降圧マスター1のシャットダウン遅延制御	0x0-0xE = (DLY_STEP × M1_SHDN_DLY)ms. 0xF = Reserved.

ビット・フィールド	ビット	タイプ	説明	デコード
M1_STUP_DLY	3:0	O	降圧マスタ1のスタートアップ遅延制御	0x0–0xE = (DLY_STEP × M1_STUP_DLY)ms. 0xF = No startup (excluded from FPS).

**GLB\_CFG2 (0x12)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M2_SHDN_DLY[3:0]					M2_STUP_DLY[3:0]		
<b>Reset</b>	0x6					0x2		
<b>Access Type</b>	Write, Read					Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
M2_SHDN_DLY	7:4	O	降圧マスタ2のシャットダウン遅延制御	0x0–0xE = (DLY_STEP × M2_SHDN_DLY)ms. 0xF = Reserved.
M2_STUP_DLY	3:0	O	降圧マスタ2のスタートアップ遅延制御	0x0–0xE = (DLY_STEP × M2_STUP_DLY)ms. 0xF = No startup (excluded from FPS).

**GLB\_CFG3 (0x13)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M3_SHDN_DLY[3:0]					M3_STUP_DLY[3:0]		
<b>Reset</b>	0x4					0x4		
<b>Access Type</b>	Write, Read					Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
M3_SHDN_DLY	7:4	O	降圧マスタ3のシャットダウン遅延制御	0x0–0xE = (DLY_STEP × M3_SHDN_DLY)ms. 0xF = Reserved.
M3_STUP_DLY	3:0	O	降圧マスタ3のスタートアップ遅延制御	0x0–0xE = (DLY_STEP × M3_STUP_DLY)ms. 0xF = No startup (excluded from FPS).

**GLB\_CFG4 (0x14)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M4_SHDN_DLY[3:0]					M4_STUP_DLY[3:0]		
<b>Reset</b>	0x2					0x6		
<b>Access Type</b>	Write, Read					Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
M4_SHDN_DLY	7:4	O	降圧マスタ4のシャットダウン遅延制御	0x0–0xE = (DLY_STEP × M4_SHDN_DLY)ms. 0xF = Reserved.
M4_STUP_DLY	3:0	O	降圧マスタ4のスタートアップ遅延制御	0x0–0xE = (DLY_STEP × M4_STUP_DLY)ms. 0xF = No startup (excluded from FPS).

**GLB\_CFG5 (0x15)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	FPSO_SHDN_DLY[3:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
FPSO_SHDN_DLY	7:4	O	FPSOのシャットダウン遅延制御	0x0-0xE = (DLY_STEP × FPSO_SHDN_DLY)ms. 0xF = Reserved.
FPSO_STUP_DLY	3:0	O	FPSOのスタートアップ遅延制御	0x0-0xE = (DLY_STEP × FPSO_STUP_DLY)ms. 0xF = No startup (excluded from FPS).

**GLB\_CFG6 (0x16)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[5:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:2	O	予備。0を返します。	
DLY_STEP	1:0	O	遅延のステップ・サイズ	0x0 = 0.5ms. 0x1 = 1ms. 0x2 = 2ms. 0x3 = 4ms.

**GLB\_CFG7 (0x17)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[6:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:1	O	予備。0を返します。	
FPS_EN	0	O	フレキシブル・パワー・シーケンサのスタートアップ／シャットダウン・イネーブル	0-to-1 Transition: Initialize startup sequence (OR logic with FPSI input). 1-to-0 Transition: Initialize shutdown sequence (OR logic with FPSI input).

**I2C\_CFG1 (0x1A)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[5:0]						WD_TMR[1:0]	
Reset	0x0						0x0	
Access Type	Write, Read						Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:2	O	予備。0を返します。	
WD_TMR	1:0	O	I <sup>2</sup> Cウォッチドッグ・タイマーの設定	0x0 = 31ms. 0x1 = 62ms. 0x2 = 124ms. 0x3 = 248ms.

**I2C\_CFG2 (0x1B)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[5:0]						WD_EN	HS_EXT_EN
Reset	0x0						0x0	0x0
Access Type	Write, Read						Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:2	O	予備。0を返します。	
WD_EN	1	O	I <sup>2</sup> Cウォッチドッグ・タイマーの制御	0x0 = Disable. 0x1 = Enable.
HS_EXT_EN	0	O	ハイスピード・モードの延長の制御	0x0 = Disable HS-mode extension. 0x1 = Enable HS-mode extension (HS-mode is extended during/after stop condition).

**BUCK\_INT (0x20)**

BIT	7	6	5	4	3	2	1	0
Field	M4_SCFLT_I	M3_SCFLT_I	M2_SCFLT_I	M1_SCFLT_I	M4_POKFL_T_I	M3_POKFL_T_I	M2_POKFL_T_I	M1_POKFL_T_I
Reset	0x0							
Access Type	Read Clears All							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_SCFLT_I	7	O	降圧マスター4の短絡�オルト割込み	0x0 = Buck Master4 short-circuit fault has not been detected. 0x1 = Buck Master4 short-circuit fault has been detected.
M3_SCFLT_I	6	O	降圧マスター3の短絡�オルト割込み	0x0 = Buck Master3 short-circuit fault has not been detected. 0x1 = Buck Master3 short-circuit fault has been detected.

ビット・フィールド	ビット	タイプ	説明	デコード
M2_SCFLT_I	5	O	降圧マスター2の短絡フォルト割込み	0x0 = Buck Master2 short-circuit fault has not been detected. 0x1 = Buck Master2 short-circuit fault has been detected.
M1_SCFLT_I	4	O	降圧マスター1の短絡フォルト割込み	0x0 = Buck Master1 short-circuit fault has not been detected. 0x1 = Buck Master1 short-circuit fault has been detected.
M4_POKFLT_I	3	O	降圧マスター4のパワーOKフォルト割込み	0x0 = Buck Master4 power-OK fault has not been detected. 0x1 = Buck Master4 power-OK fault has been detected.
M3_POKFLT_I	2	O	降圧マスター3のパワーOKフォルト割込み	0x0 = Buck Master3 power-OK fault has not been detected. 0x1 = Buck Master3 power-OK fault has been detected.
M2_POKFLT_I	1	O	降圧マスター2のパワーOKフォルト割込み	0x0 = Buck Master2 power-OK fault has not been detected. 0x1 = Buck Master2 power-OK fault has been detected.
M1_POKFLT_I	0	O	降圧マスター1のパワーOKフォルト割込み	0x0 = Buck Master1 power-OK fault has not been detected. 0x1 = Buck Master1 power-OK fault has been detected.

**BUCK\_MSK (0x21)**

BIT	7	6	5	4	3	2	1	0
Field	M4_SCFLT_M	M3_SCFLT_M	M2_SCFLT_M	M1_SCFLT_M	M4_POKFLT_M	M3_POKFLT_M	M2_POKFLT_M	M1_POKFLT_M
Reset	0x1							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_SCFLT_M	7	O	降圧マスター4の短絡フォルト割込みマスク	0x0 = Enable M4_SCFLT_I. 0x1 = Mask M4_SCFLT_I.
M3_SCFLT_M	6	O	降圧マスター3の短絡フォルト割込みマスク	0x0 = Enable M3_SCFLT_I. 0x1 = Mask M3_SCFLT_I.
M2_SCFLT_M	5	O	降圧マスター2の短絡フォルト割込みマスク	0x0 = Enable M2_SCFLT_I. 0x1 = Mask M2_SCFLT_I.
M1_SCFLT_M	4	O	降圧マスター1の短絡フォルト割込みマスク	0x0 = Enable M1_SCFLT_I. 0x1 = Mask M1_SCFLT_I.
M4_POKFLT_M	3	O	降圧マスター4のパワーOK故障割込みマスク	0x0 = Enable M4_POKFLT_I. 0x1 = Mask M4_POKFLT_I.
M3_POKFLT_M	2	O	降圧マスター3のパワーOK故障割込みマスク	0x0 = Enable M3_POKFLT_I. 0x1 = Mask M3_POKFLT_I.
M2_POKFLT_M	1	O	降圧マスター2のパワーOK故障割込みマスク	0x0 = Enable M2_POKFLT_I. 0x1 = Mask M2_POKFLT_I.
M1_POKFLT_M	0	O	降圧マスター1のパワーOK故障割込みマスク	0x0 = Enable M1_POKFLT_I. 0x1 = Mask M1_POKFLT_I.

**BUCK\_STAT (0x22)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M4_SCFLT	M3_SCFLT	M2_SCFLT	M1_SCFLT	M4_POK	M3_POK	M2_POK	M1_POK
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_SCFLT	7	O	降圧マスタ4の短絡フォルトのステータス	0x0 = Buck Master4 output voltage is higher than its SCP threshold, or Buck Master1 is disabled. 0x1 = Buck Master4 output voltage is lower than its SCP threshold.
M3_SCFLT	6	O	降圧マスタ3の短絡故障のステータス	0x0 = Buck Master3 output voltage is higher than its SCP threshold, or Buck Master1 is disabled. 0x1 = Buck Master3 output voltage is lower than its SCP threshold.
M2_SCFLT	5	O	降圧マスタ2の短絡故障のステータス	0x0 = Buck Master2 output voltage is higher than its SCP threshold, or Buck Master1 is disabled. 0x1 = Buck Master2 output voltage is lower than its SCP threshold.
M1_SCFLT	4	O	降圧マスタ1の短絡故障のステータス	0x0 = Buck Master1 output voltage is higher than its SCP threshold, or Buck Master1 is disabled. 0x1 = Buck Master1 output voltage is lower than its SCP threshold.
M4_POK	3	O	降圧マスタ4のパワーOKのステータス	0x0 = Buck Master4 output voltage is lower than its POK threshold, or Buck Master1 is disabled. 0x1 = Buck Master4 output voltage is higher than its POK threshold.
M3_POK	2	O	降圧マスタ3のパワーOKのステータス	0x0 = Buck Master3 output voltage is lower than its POK threshold, or Buck Master1 is disabled. 0x1 = Buck Master3 output voltage is higher than its POK threshold.
M2_POK	1	O	降圧マスタ2のパワーOKのステータス	0x0 = Buck Master2 output voltage is lower than its POK threshold, or Buck Master1 is disabled. 0x1 = Buck Master2 output voltage is higher than its POK threshold.
M1_POK	0	O	降圧マスタ1のパワーOKのステータス	0x0 = Buck Master1 output voltage is lower than its POK threshold, or Buck Master1 is disabled. 0x1 = Buck Master1 output voltage is higher than its POK threshold.

**M1\_VOUT\_H (0x23)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M1_VOUT_H[7:0]							
<b>Reset</b>	0x8C							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M1_VOUT_H	7:0	F	降圧マスター1の公称出力電圧コントロール・レジスタ (VSEL_M1 =ハイおよびVB_M1 =ハイの場合、またはVSELおよびVB機能を使用しない場合はV <sub>OUT</sub> が選択されます)	When M1_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M1_VOUT_H)V, 0xC8–0xFF = 1.3V.  When M1_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M1_VOUT_H)V, 0xC8–0xFF = 2.6V.  When M1_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M1_VOUT_H)V, 0xC8–0xFF = 5.2V.

**M1\_VOUT\_L (0x24)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M1_VOUT_L[7:0]							
<b>Reset</b>	0x8C							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M1_VOUT_L	7:0	F	降圧マスター1の公称出力電圧コントロール・レジスタ (VSEL_M1 =ローおよびVB_M1 =ハイの場合、V <sub>OUT</sub> が選択されます)	When M1_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M1_VOUT_L)V, 0xC8–0xFF = 1.3V.  When M1_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M1_VOUT_L)V, 0xC8–0xFF = 2.6V.  When M1_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M1_VOUT_L)V, 0xC8–0xFF = 5.2V.

**M1\_VOUT\_B (0x25)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M1_VOUT_B[7:0]							
<b>Reset</b>	0x8C							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M1_VOUT_B	7:0	F	降圧マスター1のブート (デフォルト) 出力電圧コントロール・レジスタ (VB_M1 =ローの場合、VOUTが選択されます)	When M1_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M1_VOUT_B)V, 0xC8–0xFF = 1.3V.  When M1_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M1_VOUT_B)V, 0xC8–0xFF = 2.6V.  When M1_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M1_VOUT_B)V, 0xC8–0xFF = 5.2V.

**M1\_VOUT\_M (0x26)**

BIT	7	6	5	4	3	2	1	0
Field	M1_VOUT_M[4:0]						RESERVED	M1_RNG[1:0]
Reset	0x19						0x0	0x0
Access Type	Write, Read						Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
M1_VOUT_M	7:3	F	降圧マスター1の最大出力電圧コントロール・レジスタ	When M1_RNG = 0x0, 0x0–0x18 = (0.3 + 0.04 × M1_VOUT_M)V, 0x19–0x1F = 1.3V.  When M1_RNG = 0x1, 0x0–0x18 = (0.6 + 0.08 × M1_VOUT_M)V, 0x19–0x1F = 2.6V.  When M1_RNG = 0x2, 0x0–0x18 = (1.2 + 0.16 × M1_VOUT_M)V, 0x19–0x1F = 5.2V.
RESERVED	2	F	予備。0を返します。	
M1_RNG	1:0	F	降圧マスター1の出力電圧範囲の設定	0x0 = Low range (0.3V to 1.3V, 5mV step). 0x1 = Mid range (0.6V to 2.6V, 10mV step). 0x2 = High range (1.2V to 5.2V, 20mV step). 0x3 = Reserved.

**M1\_CFG1 (0x27)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[1:0]			M1_RD_SR[2:0]			M1_RU_SR[2:0]	
Reset	0x0			0x0			0x4	
Access Type	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	

ビット・フィールド	ビット	タイプ	説明	デコード
M1_RD_SR	5:3	O	降圧マスター1のランプダウン・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.
M1_RU_SR	2:0	O	降圧マスター1のランプアップ・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M1\_CFG2 (0x28)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[1:0]			M1_SSTOP_SR[2:0]			M1_SSTRT_SR[2:0]	
Reset	0x0			0x0			0x4	
Access Type	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
M1_SSTOP_SR	5:3	O	降圧マスター1のソフトストップ・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.
M1_SSTRT_SR	2:0	O	降圧マスター1のソフトスタート・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M1\_CFG3 (0x29)**

BIT	7	6	5	4	3	2	1	0	
Field	M1_BBRK[1:0]			M1_ADIS100	M1_ADIS1	M1_FTRAK	M1_REFRESH	M1_FSREN	M1_FPWM
Reset	0x0			0x1	0x0	0x0	0x0	0x1	0x0
Access Type	Write, Read			Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
M1_BBRK	7:6	O	降圧マスター1のボディ・ダイオードによる制動制御設定	0x0 = Disable. 0x1 = Body braking for 8μs. 0x2 = Body braking for 8μs. followed by FPWM for 8μs. 0x3 = Reserved.
M1_ADIS100	5	O	降圧マスター1の100Ωのアクティブ放電	0x0 = Disable. 0x1 = Enable.
M1_ADIS1	4	O	降圧マスター1の1Ωのアクティブ放電：対応する出力の下降時のスルー・レート機能がディスエーブル (M1_FSREN = 0) の場合は、1Ωのアクティブ放電をディスエーブルする必要があります。	0x0 = Disable. 0x1 = Enable (active for 1ms after soft-stop is completed).
M1_FTRAK	3	O	降圧マスター1の内部周波数トラッキング制御	0x0 = Disable. 0x1 = Enable.
M1_REFRESH	2	O	降圧マスター1のブートストラップ・リフレッシュ間隔の制御	0x0 = 128μs. 0x1 = 10μs.
M1_FSREN	1		降圧マスター1の下降時のスルー・レート制御	0x0 = Disable (buck does not sink current from C <sub>OUT</sub> in skip or LP-skipmode). 0x1 = Enable (buck operates in FPWM mode to sink current from C <sub>OUT</sub> when its V <sub>OUT(TARGET)</sub> is lower than the actual V <sub>OUT</sub> ).
M1_FPWM	0	O	降圧マスター1の強制PWM制御	0x0 = Disable (automatic skip mode operation under light load condition). 0x1 = Enable (OR logic with FPWM_M1 input).

**M1\_CFG4 (0x2A)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M1_SS_ENV[1:0]			M1_SS_FREQ[1:0]		M1_SSM_PAT[1:0]		M1_FREQ[1:0]
<b>Reset</b>	0x0			0x0		0x0		0x1
<b>Access Type</b>	Write, Read			Write, Read		Write, Read		Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
M1_SS_ENV	7:6	O	降圧マスター1のスペクトラム拡散エンベロープの設定	0x0 = Disable. 0x1 = ±8%. 0x2 = ±12%. 0x3 = ±16%.
M1_SS_FREQ	5:4	O	降圧マスター1のスペクトラム拡散周波数の設定	0x0 = 1kHz. 0x1 = 3kHz. 0x2 = 5kHz. 0x3 = 7kHz.
M1_SSM_PAT	3:2	O	降圧マスター1のスペクトラム拡散パターンの設定	0x0 = Triangular pattern (0001b to 1111b). 0x1 = Pseudo-random polynomial (x <sup>4</sup> + x + 1). 0x2 = Pseudo-random polynomial (x <sup>4</sup> + x <sup>3</sup> + 1). 0x3 = Pseudo-random polynomial (alternating x <sup>4</sup> + x + 1 and x <sup>4</sup> + x <sup>3</sup> + 1 every cycle).

ビット・フィールド	ビット	タイプ	説明	デコード
M1_FREQ	1:0	O	降圧マスタ1のスイッチング周波数の設定	0x0 = 0.5MHz. 0x1 = 1.0MHz. 0x2 = 1.5MHz. 0x3 = Reserved.

**M1\_CFG5 (0x2B)**

BIT	7	6	5	4	3	2	1	0		
Field	RESERVED[2:0]				RESERVED	RESERVED[1:0]				M1_ILIM[1:0]
Reset	0x0				0x0	0x2				0x2
Access Type	Write, Read				Write, Read	Write, Read				Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
RESERVED	4	O	予備。0を返します。	
RESERVED	3:2	O	予備。0b10を返します。	
M1_ILIM	1:0	O	降圧マスタ1のピーク電流制限の設定	0x0 = 3.5A. 0x1 = 4.5A. 0x2 = 5.5A. 0x3 = 6.0A.

**M2\_VOUT\_H (0x33)**

BIT	7	6	5	4	3	2	1	0
Field	M2_VOUT_H[7:0]							
Reset	0x78							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M2_VOUT_H	7:0	F	降圧マスタ2の公称出力電圧コントローラ・レジスタ (VSEL_M2 =ハイおよびVB_M2 =ハイの場合、またはVSELおよびVB機能を使用しない場合はV <sub>OUT</sub> が選択されます)	When M2_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M2_VOUT_H)V, 0xC8–0xFF = 1.3V.  When M2_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M2_VOUT_H)V, 0xC8–0xFF = 2.6V.  When M2_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M2_VOUT_H)V, 0xC8–0xFF = 5.2V.

**M2\_VOUT\_L (0x34)**

BIT	7	6	5	4	3	2	1	0
Field	M2_VOUT_L[7:0]							
Reset	0x78							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M2_VOUT_L	7:0	F	降圧マスタ2の公称出力電圧コントロール・レジスタ (VSEL_M2 =ローおよびVB_M2 =ハイの場合、V <sub>OUT</sub> が選択されます)	When M2_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M2_VOUT_L)V, 0xC8–0xFF = 1.3V. When M2_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M2_VOUT_L)V, 0xC8–0xFF = 2.6V. When M2_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M2_VOUT_L)V, 0xC8–0xFF = 5.2V.

**M2\_VOUT\_B (0x35)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M2_VOUT_B[7:0]							
<b>Reset</b>	0x78							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M2_VOUT_B	7:0	F	降圧マスタ2のブート (デフォルト) 出力電圧コントロール・レジスタ (VB_M2 =ローの場合V <sub>OUT</sub> が選択されます)	When M2_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M2_VOUT_B)V, 0xC8–0xFF = 1.3V. When M2_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M2_VOUT_B)V, 0xC8–0xFF = 2.6V. When M2_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M2_VOUT_B)V, 0xC8–0xFF = 5.2V.

**M2\_VOUT\_M (0x36)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M2_VOUT_M[4:0]					RESERVED	M2_RNG[1:0]	
<b>Reset</b>	0x19					0x0	0x1	
<b>Access Type</b>	Write, Read					Write, Read	Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
M2_VOUT_M	7:3	F	降圧マスタ2の最大出力電圧コントロール・レジスタ	When M2_RNG = 0x0, 0x0–0x18 = (0.3 + 0.04 × M2_VOUT_M)V, 0x19–0x1F = 1.3V. When M2_RNG = 0x1, 0x0–0x18 = (0.6 + 0.08 × M2_VOUT_M)V, 0x19–0x1F = 2.6V. When M2_RNG = 0x2, 0x0–0x18 = (1.2 + 0.16 × M2_VOUT_M)V, 0x19–0x1F = 5.2V.

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	2	F	予備。0を返します。	
M2_RNG	1:0	F	降圧マスタ2の出力電圧範囲の設定	0x0 = Low range (0.3V to 1.3V, 5mV step), 0x1 = Mid range (0.6V to 2.6V, 10mV step), 0x2 = High range (1.2V to 5.2V, 20mV step), 0x3 = Reserved.

**M2\_CFG1 (0x37)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			M2_RD_SR[2:0]			M2_RU_SR[2:0]	
<b>Reset</b>	0x0			0x0			0x4	
<b>Access Type</b>	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
M2_RD_SR	5:3	O	降圧マスタ2のランプダウン・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.
M2_RU_SR	2:0	O	降圧マスタ2のランプアップ・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M2\_CFG2 (0x38)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			M2_SSTOP_SR[2:0]			M2_SSTRT_SR[2:0]	
<b>Reset</b>	0x0			0x0			0x4	
<b>Access Type</b>	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
M2_SSTOP_SR	5:3	O	降圧マスタ2のソフトストップ・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.

ビット・フィールド	ビット	タイプ	説明	デコード
M2_SSTRT_SR	2:0	O	降圧マスタ2のソフトスタート・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M2\_CFG3 (0x39)**

BIT	7	6	5	4	3	2	1	0
Field	M2_BBRK[1:0]		M2_ADIS100	M2_ADIS1	M2_FTRAK	M2_REFRESH	M2_FSREN	M2_FPWM
Reset	0x0		0x1	0x0	0x0	0x0	0x1	0x0
Access Type	Write, Read		Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
M2_BBRK	7:6	O	降圧マスタ2のボディ・ダイオードによる制動制御設定	0x0 = Disable. 0x1 = Body braking for 8μs. 0x2 = Body braking for 8μs followed by FPWM for 8μs. 0x3 = Reserved.
M2_ADIS100	5	O	降圧マスタ2の100Ωのアクティブ放電	0x0 = Disable. 0x1 = Enable.
M2_ADIS1	4	O	降圧マスタ2の1Ωのアクティブ放電：対応する出力の下降時のスルーレート機能がディスエーブル（M2_FSREN = 0）の場合は、1Ωのアクティブ放電をディスエーブルする必要があります。	0x0 = Disable. 0x1 = Enable (Active for 1ms after soft-stop is completed).
M2_FTRAK	3	O	降圧マスタ2の内部周波数トラッキング制御	0x0 = Disable. 0x1 = Enable.
M2_REFRESH	2	O	降圧マスタ2のブートストラップ・リフレッシュ間隔の制御	0x0 = 128μs. 0x1 = 10μs.
M2_FSREN	1	O	降圧マスタ2の下降時のスルーレート制御	0x0 = Disable (buck does not sink current from C <sub>OUT</sub> in skip or LP-skip mode). 0x1 = Enable (buck operates in FPWM mode to sink current from C <sub>OUT</sub> when its V <sub>OUT(TARGET)</sub> is lower than the actual V <sub>OUT</sub> ).
M2_FPWM	0	O	降圧マスタ2の強制PWM制御	0x0 = Disable (automatic skip mode operation under light load condition). 0x1 = Enable (OR logic with FPWM_M2 input).

**M2\_CFG4 (0x3A)**

BIT	7	6	5	4	3	2	1	0
Field	M2_SS_ENV[1:0]			M2_SS_FREQ[1:0]			M2_SSM_PAT[1:0]	
Reset	0x0			0x0			0x0	
Access Type	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
M2_SS_ENV	7:6	-	降圧マスタ2のスペクトラム拡散エンベロープの設定	0x0 = Disable. 0x1 = $\pm 8\%$ . 0x2 = $\pm 12\%$ . 0x3 = $\pm 16\%$ .
M2_SS_FREQ	5:4	O	降圧マスタ2のスペクトラム拡散周波数の設定	0x0 = 1kHz. 0x1 = 3kHz. 0x2 = 5kHz. 0x3 = 7kHz.
M2_SSM_PAT	3:2	O	降圧マスタ2のスペクトラム拡散パターンの設定	0x0 = Triangular pattern (0001b to 1111b). 0x1 = Pseudo-random polynomial ( $x^4 + x + 1$ ). 0x2 = Pseudo-random polynomial ( $x^4 + x^3 + 1$ ). 0x3 = Pseudo-random polynomial (alternating $x^4 + x + 1$ and $x^4 + x^3 + 1$ every cycle).
M2_FREQ	1:0	O	降圧マスタ2のスイッチング周波数の設定	0x0 = 0.5MHz. 0x1 = 1.0MHz. 0x2 = 1.5MHz. 0x3 = Reserved.

**M2\_CFG5 (0x3B)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]				RESERVED	RESERVED[1:0]		M2_ILIM[1:0]
Reset	0x0				0x0	0x2		0x2
Access Type	Write, Read				Write, Read	Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
RESERVED	4	O	予備。0を返します。	
RESERVED	3:2	O	予備。0b10を返します。	
M2_ILIM	1:0	O	降圧マスタ2のピーク電流制限の設定	0x0 = 3.5A. 0x1 = 4.5A. 0x2 = 5.5A. 0x3 = 6.0A.

**M3\_VOUT\_H (0x43)**

BIT	7	6	5	4	3	2	1	0
Field	M3_VOUT_H[7:0]							
Reset	0x69							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M3_VOUT_H	7:0	F	降圧マスター3の公称出力電圧コントロール・レジスタ (VSEL_M3 =ハイおよびVB_M3 =ハイの場合、またはVSELおよびVB機能を使用しない場合はVOUTが選択されます)	When M3_RNG = 0x0, 0x0–0xC7 = $(0.3 + 0.005 \times M3\_VOUT\_H)V$ , 0xC8–0xFF = 1.3V.  When M3_RNG = 0x1, 0x0–0xC7 = $(0.6 + 0.01 \times M3\_VOUT\_H)V$ , 0xC8–0xFF = 2.6V.  When M3_RNG = 0x2, 0x0–0xC7 = $(1.2 + 0.02 \times M3\_VOUT\_H)V$ , 0xC8–0xFF = 5.2V.

**M3\_VOUT\_L (0x44)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M3_VOUT_L[7:0]							
<b>Reset</b>	0x69							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M3_VOUT_L	7:0	F	降圧マスター3の公称出力電圧コントロール・レジスタ (VSEL_M3 =ローおよびVB_M3 =ハイの場合VOUTが選択されます)	When M3_RNG = 0x0, 0x0–0xC7 = $(0.3 + 0.005 \times M3\_VOUT\_L)V$ , 0xC8–0xFF = 1.3V.  When M3_RNG = 0x1, 0x0–0xC7 = $(0.6 + 0.01 \times M3\_VOUT\_L)V$ , 0xC8–0xFF = 2.6V.  When M3_RNG = 0x2, 0x0–0xC7 = $(1.2 + 0.02 \times M3\_VOUT\_L)V$ , 0xC8–0xFF = 5.2V.

**M3\_VOUT\_B (0x45)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M3_VOUT_B[7:0]							
<b>Reset</b>	0x69							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M3_VOUT_B	7:0	F	降圧マスター3のブート (デフォルト) 出力電圧コントロール・レジスタ (VB_M3 =ローの場合、VOUTが選択されます)	When M3_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M3_VOUT_B)V, 0xC8–0xFF = 1.3V.  When M3_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M3_VOUT_B)V, 0xC8–0xFF = 2.6V.  When M3_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M3_VOUT_B)V, 0xC8–0xFF = 5.2V.

**M3\_VOUT\_M (0x46)**

BIT	7	6	5	4	3	2	1	0
Field	M3_VOUT_M[4:0]						RESERVED	M3_RNG[1:0]
Reset	0x19						0x0	0x2
Access Type	Write, Read						Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
M3_VOUT_M	7:3	F	降圧マスター3の最大出力電圧コントロール・レジスタ	When M3_RNG = 0x0, 0x0–0x18 = (0.3 + 0.04 × M3_VOUT_M)V, 0x19–0x1F = 1.3V.  When M3_RNG = 0x1, 0x0–0x18 = (0.6 + 0.08 × M3_VOUT_M)V, 0x19–0x1F = 2.6V.  When M3_RNG = 0x2, 0x0–0x18 = (1.2 + 0.16 × M3_VOUT_M)V, 0x19–0x1F = 5.2V.
RESERVED	2	F	予備。0を返します。	
M3_RNG	1:0	F	降圧マスター3の出力電圧範囲の設定	0x0 = Low range (0.3V to 1.3V, 5mV step). 0x1 = Mid range (0.6V to 2.6V, 10mV step). 0x2 = High range (1.2V to 5.2V, 20mV step). 0x3 = Reserved.

**M3\_CFG1 (0x47)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[1:0]			M3_RD_SR[2:0]			M3_RU_SR[2:0]	
Reset	0x0			0x0			0x4	
Access Type	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	

ビット・フィールド	ビット	タイプ	説明	デコード
M3_RD_SR	5:3	O	降圧マスタ3のランプダウン・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.
M3_RU_SR	2:0	O	降圧マスタ3のランプアップ・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M3\_CFG2 (0x48)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			M3_SSTOP_SR[2:0]			M3_SSTRT_SR[2:0]	
<b>Reset</b>	0x0			0x0			0x4	
<b>Access Type</b>	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
M3_SSTOP_SR	5:3	O	降圧マスタ3のソフトストップ・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.
M3_SSTRT_SR	2:0	O	降圧マスタ3のソフトスタート・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M3\_CFG3 (0x49)**

BIT	7	6	5	4	3	2	1	0	
<b>Field</b>	M3_BBRK[1:0]			M3_ADIS10_0	M3_ADIS1	M3_FTRAK	M3_REFRESH	M3_FSREN	M3_FPWM
<b>Reset</b>	0x0			0x1	0x0	0x0	0x0	0x1	0x0
<b>Access Type</b>	Write, Read			Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
M3_BBRK	7:6	O	降圧マスタ3のボディ・ダイオードによる制動制御設定	0x0 = Disable. 0x1 = Body braking for 8μs. 0x2 = Body braking for 8μs followed by FPWM for 8μs. 0x3 = Reserved.
M3_ADIS100	5	O	降圧マスタ3の100Ωのアクティブ放電	0x0 = Disable. 0x1 = Enable.
M3_ADIS1	4	O	降圧マスタ3の1Ωのアクティブ放電：対応する出力の下降時のスルー・レート機能がディスエーブル (M3_FSREN = 0) の場合は、1Ωのアクティブ放電をディスエーブルする必要があります	0x0 = Disable. 0x1 = Enable (active for 1ms after soft-stop is completed).
M3_FTRAK	3	O	降圧マスタ3の内部周波数トラッキング制御	0x0 = Disable. 0x1 = Enable.
M3_REFRESH	2	O	降圧マスタ3のブートストラップ・リフレッシュ間隔の制御	0x0 = 128μs. 0x1 = 10μs.
M3_FSREN	1	O	降圧マスタ3の下降時のスルー・レート制御	0x0 = Disable (buck does not sink current from C <sub>OUT</sub> in skip or LP-skip mode). 0x1 = Enable (buck operates in FPWM mode to sink current from C <sub>OUT</sub> when its V <sub>OUT(TARGET)</sub> is lower than the actual V <sub>OUT</sub> ).
M3_FPWM	0	O	降圧マスタ3の強制PWM制御	0x0 = Disable (automatic skip mode operation under light load condition). 0x1 = Enable (OR logic with FPWM_M3 input).

**M3\_CFG4 (0x4A)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M3_SS_ENV[1:0]			M3_SS_FREQ[1:0]		M3_SSM_PAT[1:0]		M3_FREQ[1:0]
<b>Reset</b>	0x0			0x0		0x0		0x1
<b>Access Type</b>	Write, Read			Write, Read		Write, Read		Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
M3_SS_ENV	7:6	O	降圧マスタ3のスペクトラム拡散エンベロープの設定	0x0 = Disable. 0x1 = ±8%. 0x2 = ±12%. 0x3 = ±16%.
M3_SS_FREQ	5:4	O	降圧マスタ3のスペクトラム拡散周波数の設定	0x0 = 1kHz. 0x1 = 3kHz. 0x2 = 5kHz. 0x3 = 7kHz.
M3_SSM_PAT	3:2	O	降圧マスタ3のスペクトラム拡散パターンの設定	0x0 = Triangular pattern (0001b to 1111b). 0x1 = Pseudo-random polynomial (x <sup>4</sup> + x + 1). 0x2 = Pseudo-random polynomial (x <sup>4</sup> + x <sup>3</sup> + 1). 0x3 = Pseudo-random polynomial (alternating x <sup>4</sup> + x + 1 and x <sup>4</sup> + x <sup>3</sup> + 1 every cycle).

ビット・フィールド	ビット	タイプ	説明	デコード
M3_FREQ	1:0	O	降圧マスタ3のスイッチング周波数の設定	0x0 = 0.5MHz. 0x1 = 1.0MHz. 0x2 = 1.5MHz. 0x3 = Reserved.

**M3\_CFG5 (0x4B)**

BIT	7	6	5	4	3	2	1	0		
<b>Field</b>	RESERVED[2:0]				RESERVED	RESERVED[1:0]				M3_ILIM[1:0]
<b>Reset</b>	0x0				0x0	0x2				0x2
<b>Access Type</b>	Write, Read				Write, Read	Write, Read				Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
RESERVED	4	O	予備。0を返します。	
RESERVED	3:2	O	予備。0b10を返します。	
M3_ILIM	1:0	O	降圧マスタ3のピーク電流制限の設定	0x0 = 3.5A. 0x1 = 4.5A. 0x2 = 5.5A. 0x3 = 6.0A.

**M4\_VOUT\_H (0x53)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M4_VOUT_H[7:0]							
<b>Reset</b>	0xBE							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_VOUT_H	7:0	F	降圧マスタ4の公称出力電圧コントロール・レジスタ (VSEL_M4 =ハイおよびVB_M4 =ハイの場合、またはVSELおよびVB機能を使用しない場合はV <sub>OUT</sub> が選択されます)	When M4_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M4_VOUT_H)V, 0xC8–0xFF = 1.3V.  When M4_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M4_VOUT_H)V, 0xC8–0xFF = 2.6V.  When M4_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M4_VOUT_H)V, 0xC8–0xFF = 5.2V.

**M4\_VOUT\_L (0x54)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M4_VOUT_L[7:0]							
<b>Reset</b>	0xBE							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_VOUT_L	7:0	F	降圧マスタ4の公称出力電圧コントロール・レジスタ (VSEL_M4 =ローおよびVB_M4 =ハイの場合、V <sub>OUT</sub> が選択されます)	When M4_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M4_VOUT_L)V, 0xC8–0xFF = 1.3V. When M4_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M4_VOUT_L)V, 0xC8–0xFF = 2.6V. When M4_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M4_VOUT_L)V, 0xC8–0xFF = 5.2V.

**M4\_VOUT\_B (0x55)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M4_VOUT_B[7:0]							
<b>Reset</b>	0xBE							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
M4_VOUT_B	7:0	F	降圧マスタ4のブート (デフォルト) 出力電圧コントロール・レジスタ (VB_M4 =ローの場合V <sub>OUT</sub> が選択されます)	When M4_RNG = 0x0, 0x0–0xC7 = (0.3 + 0.005 × M4_VOUT_B)V, 0xC8–0xFF = 1.3V. When M4_RNG = 0x1, 0x0–0xC7 = (0.6 + 0.01 × M4_VOUT_B)V, 0xC8–0xFF = 2.6V. When M4_RNG = 0x2, 0x0–0xC7 = (1.2 + 0.02 × M4_VOUT_B)V, 0xC8–0xFF = 5.2V.

**M4\_VOUT\_M (0x56)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	M4_VOUT_M[4:0]					RESERVED	M4_RNG[1:0]	
<b>Reset</b>	0x19					0x0	0x2	
<b>Access Type</b>	Write, Read					Write, Read	Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
M4_VOUT_M	7:3	F	降圧マスタ4の最大出力電圧コントロール・レジスタ	When M4_RNG = 0x0, 0x0–0x18 = (0.3 + 0.04 × M4_VOUT_M)V, 0x19–0x1F = 1.3V. When M4_RNG = 0x1, 0x0–0x18 = (0.6 + 0.08 × M4_VOUT_M)V, 0x19–0x1F = 2.6V. When M4_RNG = 0x2, 0x0–0x18 = (1.2 + 0.16 × M4_VOUT_M)V, 0x19–0x1F = 5.2V.

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	2	F	予備。0を返します。	
M4_RNG	1:0	F	降圧マスタ4の出力電圧範囲の設定	0x0 = Low range (0.3V to 1.3V, 5mV step). 0x1 = Mid range (0.6V to 2.6V, 10mV step). 0x2 = High range (1.2V to 5.2V, 20mV step). 0x3 = Reserved.

**M4\_CFG1 (0x57)**

BIT	7	6	5	4	3	2	1	0		
<b>Field</b>	RESERVED[1:0]		M4_RD_SR[2:0]				M4_RU_SR[2:0]			
<b>Reset</b>	0x0				0x0					
<b>Access Type</b>	Write, Read				Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
M4_RD_SR	5:3	O	降圧マスタ4のランプダウン・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.
M4_RU_SR	2:0	O	降圧マスタ4のランプアップ・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M4\_CFG2 (0x58)**

BIT	7	6	5	4	3	2	1	0		
<b>Field</b>	RESERVED[1:0]		M4_SSTOP_SR[2:0]				M4_SSTRT_SR[2:0]			
<b>Reset</b>	0x0				0x0					
<b>Access Type</b>	Write, Read				Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
M4_SSTOP_SR	5:3	O	降圧マスタ4のソフトストップ・スルーレートの設定	0x0 = -0.15mV/μs. 0x1 = -0.625mV/μs. 0x2 = -1.25mV/μs. 0x3 = -2.5mV/μs. 0x4 = -5.0mV/μs. 0x5 = -10mV/μs. 0x6 = -20mV/μs. 0x7 = -40mV/μs.

ビット・フィールド	ビット	タイプ	説明	デコード
M4_SSTRT_SR	2:0	O	降圧マスタ4のソフトスタート・スルーレートの設定	0x0 = 0.15mV/μs. 0x1 = 0.625mV/μs. 0x2 = 1.25mV/μs. 0x3 = 2.5mV/μs. 0x4 = 5.0mV/μs. 0x5 = 10mV/μs. 0x6 = 20mV/μs. 0x7 = 40mV/μs.

**M4\_CFG3 (0x59)**

BIT	7	6	5	4	3	2	1	0
Field	M4_BBRK[1:0]		M4_ADIS100	M4_ADIS1	M4_FTRAK	M4_REFRESH	M4_FSREN	M4_FPWM
Reset	0x0		0x1	0x0	0x0	0x0	0x1	0x0
Access Type	Write, Read		Write, Read					

ビット・フィールド	ビット	タイプ	説明	デコード
M4_BBRK	7:6	O	降圧マスタ4のボディ・ダイオードによる制動制御設定	0x0 = Disable. 0x1 = Body braking for 8μs. 0x2 = Body braking for 8μs followed by FPWM for 8μs. 0x3 = Reserved.
M4_ADIS100	5	O	降圧マスタ4の100Ωのアクティブ放電	0x0 = Disable. 0x1 = Enable.
M4_ADIS1	4	O	降圧マスタ4の1Ωのアクティブ放電：対応する出力の下降時のスルーレート機能がディスエーブル（M4_FSREN = 0）の場合は、1Ωのアクティブ放電をディスエーブルする必要があります	0x0 = Disable. 0x1 = Enable (active for 1ms after soft-stop is completed).
M4_FTRAK	3	O	降圧マスタ4の内部周波数トラッキング制御	0x0 = Disable. 0x1 = Enable.
M4_REFRESH	2	O	降圧マスタ4のブートストラップ・リフレッシュ間隔の制御	0x0 = 128μs. 0x1 = 10μs.
M4_FSREN	1	O	降圧マスタ4の下降時のスルーレート制御	0x0 = Disable (buck does not sink current from C <sub>OUT</sub> in skip or LP-skip mode). 0x1 = Enable (buck operates in FPWM mode to sink current from C <sub>OUT</sub> when its V <sub>OUT(TARGET)</sub> is lower than the actual V <sub>OUT</sub> ).
M4_FPWM	0	O	降圧マスタ4の強制PWM制御	0x0 = Disable (automatic skip mode operation under light load condition). 0x1 = Enable (OR logic with FPWM_M4 input).

**M4\_CFG4 (0x5A)**

BIT	7	6	5	4	3	2	1	0
Field	M4_SS_ENV[1:0]			M4_SS_FREQ[1:0]		M4_SSM_PAT[1:0]		M4_FREQ[1:0]
Reset	0x0			0x0		0x0		0x1
Access Type	Write, Read			Write, Read		Write, Read		Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
M4_SS_ENV	7:6	O	降圧マスタ4のスペクトラム拡散エンベロープの設定	0x0 = Disable. 0x1 = ±8%. 0x2 = ±12%. 0x3 = ±16%.
M4_SS_FREQ	5:4	O	降圧マスタ4のスペクトラム拡散周波数の設定	0x0 = 1kHz. 0x1 = 3kHz. 0x2 = 5kHz. 0x3 = 7kHz.
M4_SSM_PAT	3:2	O	降圧マスタ4のスペクトラム拡散パターンの設定	0x0 = Triangular pattern (0001b to 1111b). 0x1 = Pseudorandom polynomial ( $x^4 + x + 1$ ). 0x2 = Pseudorandom polynomial ( $x^4 + x^3 + 1$ ). 0x3 = Pseudorandom polynomial (alternating $x^4 + x + 1$ and $x^4 + x^3 + 1$ every cycle).
M4_FREQ	1:0	O	降圧マスタ4のスイッチング周波数の設定	0x0 = 0.5MHz. 0x1 = 1.0MHz. 0x2 = 1.5MHz. 0x3 = Reserved.

**M4\_CFG5 (0x5B)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[2:0]				RESERVED	RESERVED[1:0]		M4_ILIM[1:0]
<b>Reset</b>	0x0				0x0	0x2		0x2
<b>Access Type</b>	Write, Read				Write, Read	Write, Read		Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	Od	予備。0を返します。	
RESERVED	4	O	予備。0を返します。	
RESERVED	3:2	O	予備。0b10を返します。	
M4_ILIM	1:0	O	降圧マスタ4のピーク電流制限の設定	0x0 = 3.5A. 0x1 = 4.5A. 0x2 = 5.5A. 0x3 = 6.0A.

**MFIO\_INT (0x60)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	MFIO8_I	MFIO7_I	MFIO6_I	MFIO5_I	MFIO4_I	MFIO3_I	MFIO2_I	MFIO1_I
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Clears All							

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO8_I	7	O	多機能I/O 8割込み	0x0 = MFIO8 input has not toggled. 0x1 = MFIO8 input has toggled.
MFIO7_I	6	O	多機能I/O 7割込み	0x0 = MFIO7 input has not toggled. 0x1 = MFIO7 input has toggled.

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO6_I	5	O	多機能I/O 6割込み	0x0 = MFIO6 input has not toggled. 0x1 = MFIO6 input has toggled.
MFIO5_I	4	O	多機能I/O 5割込み	0x0 = MFIO5 input has not toggled. 0x1 = MFIO5 input has toggled.
MFIO4_I	3	O	多機能I/O 4割込み	0x0 = MFIO4 input has not toggled. 0x1 = MFIO4 input has toggled.
MFIO3_I	2	O	多機能I/O 3割込み	0x0 = MFIO3 input has not toggled. 0x1 = MFIO3 input has toggled.
MFIO2_I	1	O	多機能I/O 2割込み	0x0 = MFIO2 input has not toggled. 0x1 = MFIO2 input has toggled.
MFIO1_I	0	O	多機能I/O 1割込み	0x0 = MFIO1 input has not toggled. 0x1 = MFIO1 input has toggled.

**MFIO\_MSK (0x61)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	MFIO8_M	MFIO7_M	MFIO6_M	MFIO5_M	MFIO4_M	MFIO3_M	MFIO2_M	MFIO1_M
<b>Reset</b>	0x1							
<b>Access Type</b>	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO8_M	7	O	多機能I/O 8割込みのマスク	0x0 = Enable MFIO8_I. 0x1 = Mask MFIO8_I.
MFIO7_M	6	O	多機能I/O 7割込みのマスク	0x0 = Enable MFIO7_I. 0x1 = Mask MFIO7_I.
MFIO6_M	5	O	多機能I/O 6割込みのマスク	0x0 = Enable MFIO6_I. 0x1 = Mask MFIO6_I.
MFIO5_M	4	O	多機能I/O 5割込みのマスク	0x0 = Enable MFIO5_I. 0x1 = Mask MFIO5_I.
MFIO4_M	3	O	多機能I/O 4割込みのマスク	0x0 = Enable MFIO4_I. 0x1 = Mask MFIO4_I.
MFIO3_M	2	O	多機能I/O 3割込みのマスク	0x0 = Enable MFIO3_I. 0x1 = Mask MFIO3_I.
MFIO2_M	1	O	多機能I/O 2割込みのマスク	0x0 = Enable MFIO2_I. 0x1 = Mask MFIO2_I.
MFIO1_M	0	O	多機能I/O 1割込みのマスク	0x0 = Enable MFIO1_I. 0x1 = Mask MFIO1_I.

**MFIO\_STAT (0x62)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	MFIO8	MFIO7	MFIO6	MFIO5	MFIO4	MFIO3	MFIO2	MFIO1
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO8	7	O	多機能I/O 8のステータス	0x0 = MFIO8 input is not asserted. 0x1 = MFIO8 input is asserted.

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO7	6	O	多機能I/O 7のステータス	0x0 = MFIO7 input is not asserted. 0x1 = MFIO7 input is asserted.
MFIO6	5	O	多機能I/O 6のステータス	0x0 = MFIO6 input is not asserted. 0x1 = MFIO6 input is asserted.
MFIO5	4	O	多機能I/O 5のステータス	0x0 = MFIO5 input is not asserted. 0x1 = MFIO5 input is asserted.
MFIO4	3	O	多機能I/O 4のステータス	0x0 = MFIO4 input is not asserted. 0x1 = MFIO4 input is asserted.
MFIO3	2	O	多機能I/O 3のステータス	0x0 = MFIO3 input is not asserted. 0x1 = MFIO3 input is asserted.
MFIO2	1	O	多機能I/O 2のステータス	0x0 = MFIO2 input is not asserted. 0x1 = MFIO2 input is asserted.
MFIO1	0	O	多機能I/O 1のステータス	0x0 = MFIO1 input is not asserted. 0x1 = MFIO1 input is asserted.

**MFIO1\_CFG1 (0x63)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED	MFIO1_SEL[2:0]					MFIO1_FUNC[3:0]	
<b>Reset</b>	0x0	0x0					0x8	
<b>Access Type</b>	Write, Read	Write, Read					Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
MFIO1_SEL	6:4	O	MFIO1の選択を設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).
MFIO1_FUNC	3:0	O	MFIO1機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

**MFIO1\_CFG2 (0x64)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			MFIO1_DRV_MODE	MFIO1_PDPD[1:0]			MFIO1_DEB[2:0]
<b>Reset</b>	0x0			0x0	0x0			0x2
<b>Access Type</b>	Write, Read			Write, Read	Write, Read			Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO1_DRV_MODE	5	O	MFIO1の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO1_PDPD	4:3	O	MFIO1のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).
MFIO1_DEB	2:0	O	MFIO1のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**MFIO2\_CFG1 (0x65)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED		MFIO2_SEL[2:0]			MFIO2_FUNC[3:0]		
<b>Reset</b>	0x0		0x0			0x7		
<b>Access Type</b>	Write, Read		Write, Read			Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
MFIO2_SEL	6:4	O	MFIO2の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO2_FUNC	3:0	O	MFIO2機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

**MFIO2\_CFG2 (0x66)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			MFIO2_DRV_MODE	MFIO2_PDPUI[1:0]			MFIO2_DEB[2:0]
<b>Reset</b>	0x0			0x0	0x0			0x2
<b>Access Type</b>	Write, Read			Write, Read	Write, Read			Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO2_DRV_MODE	5	O	MFIO2の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO2_PDPUI	4:3	O	MFIO2のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).
MFIO2_DEB	2:0	O	MFIO2のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**MFIO3\_CFG1 (0x67)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED			MFIO3_SEL[2:0]			MFIO3_FUNC[3:0]	
<b>Reset</b>	0x0			0x0			0x2	
<b>Access Type</b>	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO3_SEL	6:4	O	MFIO3の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).
MFIO3_FUNC	3:0	O	MFIO3機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

### MFIO3\_CFG2 (0x68)

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[1:0]		MFIO3_DR_V_MODE	MFIO3_PDPUI[1:0]		MFIO3_DEB[2:0]		
Reset	0x0		0x0	0x0		0x2		
Access Type	Write, Read		Write, Read	Write, Read		Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO3_DRV_MODE	5	O	MFIO3の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO3_PDPUI	4:3	O	MFIO3のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to VIO. 0x3 = Disable (no pull-down or pull-up).
MFIO3_DEB	2:0	O	MFIO3のバウンス防止タイマーの設定	0x0 = No debounce, 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**MFIO4\_CFG1 (0x69)**

BIT	7	6	5	4	3	2	1	0	
<b>Field</b>	RESERVED	MFIO4_SEL[2:0]				MFIO4_FUNC[3:0]			
<b>Reset</b>	0x0	0x0				0x3			
<b>Access Type</b>	Write, Read	Write, Read				Write, Read			

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
MFIO4_SEL	6:4	O	MFIO4の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).
MFIO4_FUNC	3:0	O	MFIO4機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

**MFIO4\_CFG2 (0x6A)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			MFIO4_DRV_MODE	MFIO4_PDPUI[1:0]	MFIO4_DEB[2:0]		
<b>Reset</b>	0x0			0x0	0x0	0x2		
<b>Access Type</b>	Write, Read			Write, Read	Write, Read	Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO4_DRV_MODE	5	O	MFIO4の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO4_PDPUI	4:3	O	MFIO4のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO4_DEB	2:0	O	MFIO4のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**MFIO5\_CFG1 (0x6B)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED	MFIO5_SEL[2:0]					MFIO5_FUNC[3:0]	
<b>Reset</b>	0x0	0x4					0x6	
<b>Access Type</b>	Write, Read	Write, Read					Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
MFIO5_SEL	6:4	O	MFIO5の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).
MFIO5_FUNC	3:0	O	MFIO5機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

**MFIO5\_CFG2 (0x6C)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			MFIO5_DR V_MODE	MFIO5_PDP[1:0]			MFIO5_DEB[2:0]
<b>Reset</b>	0x0			0x0	0x0			0x2
<b>Access Type</b>	Write, Read			Write, Read	Write, Read			Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO5_DRV_MODE	5	O	MFIO5の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO5_PDPD	4:3	O	MFIO5のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).
MFIO5_DEB	2:0	O	MFIO5のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**MFIO6\_CFG1 (0x6D)**

BIT	7	6	5	4	3	2	1	0	
<b>Field</b>	RESERVED	MFIO6_SEL[2:0]				MFIO6_FUNC[3:0]			
<b>Reset</b>	0x0	0x0				0xA			
<b>Access Type</b>	Write, Read	Write, Read				Write, Read			

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
MFIO6_SEL	6:4	O	MFIO6の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).
MFIO6_FUNC	3:0	O	MFIO6機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

**MFIO6\_CFG2 (0x6E)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]			MFIO6_DRV_MODE	MFIO6_PDPD[1:0]			MFIO6_DEB[2:0]
<b>Reset</b>	0x0			0x0	0x0			0x2
<b>Access Type</b>	Write, Read			Write, Read	Write, Read			Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO6_DRV_MODE	5	O	MFIO6の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO6_PDPD	4:3	O	MFIO6のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).
MFIO6_DEB	2:0	O	MFIO6のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**MFIO7\_CFG1 (0x6F)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED		MFIO7_SEL[2:0]			MFIO7_FUNC[3:0]		
<b>Reset</b>	0x0		0x0			0xC		
<b>Access Type</b>	Write, Read		Write, Read			Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	
MFIO7_SEL	6:4	O	MFIO7の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO7_FUNC	3:0	O	MFIO7機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM Mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose input (GPI). 0xE = General-purpose output (GPO). 0xF = Reserved.

### MFIO7\_CFG2 (0x70)

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[1:0]			MFIO7_DR_V_MODE	MFIO7_PDPU[1:0]			MFIO7_DEB[2:0]
Reset	0x0			0x0	0x0			0x2
Access Type	Write, Read			Write, Read	Write, Read			Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO7_DRV_MODE	5	O	MFIO7の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO7_PDPU	4:3	O	MFIO7のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).
MFIO7_DEB	2:0	O	MFIO7のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

### MFIO8\_CFG1 (0x71)

BIT	7	6	5	4	3	2	1	0
Field	RESERVED		MFIO8_SEL[2:0]			MFIO8_FUNC[3:0]		
Reset	0x0			0x0			0xB	
Access Type	Write, Read			Write, Read			Write, Read	

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7	O	予備。0を返します。	

ビット・フィールド	ビット	タイプ	説明	デコード
MFIO8_SEL	6:4	O	MFIO8の選択の設定	0x0 = M1 (Master1). 0x1 = M2 (Master2). 0x2 = M3 (Master3). 0x3 = M4 (Master4). 0x4 = GLB (M1, M2, M3, M4). 0x5 = Logic high (GPO mode only). 0x6 = Logic low (GPO mode only). 0x7 = High impedance (GPO mode only).
MFIO8_FUNC	3:0	O	MFIO8機能の設定	0x0 = Output enable (EN). 0x1 = Low-power mode (LPM). 0x2 = Forced-PWM mode (FPWM). 0x3 = External clock detection (CLKDET). 0x4 = Clock output (CLKOUT). 0x5 = Output-voltage selection (VSEL). 0x6 = Boot (default) output-voltage selection (VB). 0x7 = Power-OK output (POK). 0x8 = FPS input (FPSI). 0x9 = FPS output (FPSO). 0xA = System reset input (RSTINB). 0xB = System reset output (RSTOB). 0xC = Thermal-warning output (TWARNB). 0xD = General-purpose Input (GPI). 0xE = General-purpose output (GPO). 0xF = ADC mux input (ADCMUX).

**MFIO8\_CFG2 (0x72)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]		MFIO8_DR_V_MODE	MFIO8_PDPU[1:0]		MFIO8_DEB[2:0]		
<b>Reset</b>	0x0		0x0	0x0		0x2		
<b>Access Type</b>	Write, Read		Write, Read	Write, Read		Write, Read		

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
MFIO8_DRV_MODE	5	O	MFIO8の出力ドライバ・モードの設定	0x0 = Open drain. 0x1 = Push-pull.
MFIO8_PDPU	4:3	O	MFIO8のプルダウンおよびプルアップの制御	0x0 = 800kΩ pull-down to AGND. 0x1 = 100kΩ pull-down to AGND. 0x2 = 100kΩ pull-up to V <sub>IO</sub> . 0x3 = Disable (no pull-down or pull-up).
MFIO8_DEB	2:0	O	MFIO8のバウンス防止タイマーの設定	0x0 = No debounce. 0x1 = 0.55μs. 0x2 = 1μs. 0x3 = 2μs. 0x4 = 4μs. 0x5 = 8μs. 0x6 = 16μs. 0x7 = 32μs.

**ADC\_INT1 (0x80)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_CH8_I	ADC_CH7_I	ADC_CH6_I	ADC_CH5_I	ADC_CH4_I	ADC_CH3_I	ADC_CH2_I	ADC_CH1_I
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Clears All							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_CH8_I	7	O	ADCチャンネル8割込み	0x0 = ADC Channel8 data has not updated. 0x1 = ADC Channel8 data has updated.
ADC_CH7_I	6	O	ADCチャンネル7割込み	0x0 = ADC Channel7 data has not updated. 0x1 = ADC Channel7 data has updated.
ADC_CH6_I	5	O	ADCチャンネル6割込み	0x0 = ADC Channel6 data has not updated. 0x1 = ADC Channel6 data has updated.
ADC_CH5_I	4	O	ADCチャンネル5割込み	0x0 = ADC Channel5 data has not updated. 0x1 = ADC Channel5 data has updated.
ADC_CH4_I	3	O	ADCチャンネル4割込み	0x0 = ADC Channel4 data has not updated. 0x1 = ADC Channel4 data has updated.
ADC_CH3_I	2	O	ADCチャンネル3割込み	0x0 = ADC Channel3 data has not updated. 0x1 = ADC Channel3 data has updated.
ADC_CH2_I	1	O	ADCチャンネル2割込み	0x0 = ADC Channel2 data has not updated. 0x1 = ADC Channel2 data has updated.
ADC_CH1_I	0	O	ADCチャンネル1割込み	0x0 = ADC Channel1 data has not updated. 0x1 = ADC Channel1 data has updated.

**ADC\_INT2 (0x81)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[2:0]			—	—	ADC_CH11_I	ADC_CH10_I	ADC_CH9_I
<b>Reset</b>	0x0			—	—	0x0	0x0	0x0
<b>Access Type</b>	Read Clears All			—	—	Read Clears All	Read Clears All	Read Clears All

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
ADC_CH11_I	2	O	ADCチャンネル11割込み	0x0 = ADC Channel11 data has not updated. 0x1 = ADC Channel11 data has updated.
ADC_CH10_I	1	O	ADCチャンネル10割込み	0x0 = ADC Channel10 data has not updated. 0x1 = ADC Channel10 data has updated.

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_CH9_I	0	O	ADCチャンネル9割込み	0x0 = ADC Channel9 data has not updated. 0x1 = ADC Channel9 data has updated.

**ADC\_MSK1 (0x82)**

BIT	7	6	5	4	3	2	1	0
Field	ADC_CH8_M	ADC_CH7_M	ADC_CH6_M	ADC_CH5_M	ADC_CH4_M	ADC_CH3_M	ADC_CH2_M	ADC_CH1_M
Reset	0x1							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_CH8_M	7	O	ADCチャンネル8割込みのマスク	0x0 = Enable ADC_CH8_I. 0x1 = Mask ADC_CH8_I.
ADC_CH7_M	6	O	ADCチャンネル7割込みのマスク	0x0 = Enable ADC_CH7_I. 0x1 = Mask ADC_CH7_I.
ADC_CH6_M	5	O	ADCチャンネル6割込みのマスク	0x0 = Enable ADC_CH6_I. 0x1 = Mask ADC_CH6_I.
ADC_CH5_M	4	O	ADCチャンネル5割込みのマスク	0x0 = Enable ADC_CH5_I. 0x1 = Mask ADC_CH5_I.
ADC_CH4_M	3	O	ADCチャンネル4割込みのマスク	0x0 = Enable ADC_CH4_I. 0x1 = Mask ADC_CH4_I.
ADC_CH3_M	2	O	ADCチャンネル3割込みのマスク	0x0 = Enable ADC_CH3_I. 0x1 = Mask ADC_CH3_I.
ADC_CH2_M	1	O	ADCチャンネル2割込みのマスク	0x0 = Enable ADC_CH2_I. 0x1 = Mask ADC_CH2_I.
ADC_CH1_M	0	O	ADCチャンネル1割込みのマスク	0x0 = Enable ADC_CH1_I. 0x1 = Mask ADC_CH1_I.

**ADC\_MSK2 (0x83)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]				—	—	ADC_CH11_M	ADC_CH10_M
Reset	0x7				—	—	0x1	0x1
Access Type	Write, Read				—	—	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。1を返します。	
ADC_CH11_M	2	O	ADCチャンネル11割込みのマスク	0x0 = Enable ADC_CH11_I. 0x1 = Mask ADC_CH11_I.
ADC_CH10_M	1	O	ADCチャンネル10割込みのマスク	0x0 = Enable ADC_CH10_I. 0x1 = Mask ADC_CH10_I.
ADC_CH9_M	0	O	ADCチャンネル9割込みのマスク	0x0 = Enable ADC_CH9_I. 0x1 = Mask ADC_CH9_I.

**ADC\_STAT (0x84)**

BIT	7	6	5	4	3	2	1	0	
<b>Field</b>	RESERVED[3:0]					CH4_IMON_OK	CH3_IMON_OK	CH2_IMON_OK	CH1_IMON_OK
<b>Reset</b>	0x0					0x0	0x0	0x0	0x0
<b>Access Type</b>	Read Only					Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:4	O	予備。0を返します。	
CH4_IMON_OK	3	O	ADCチャンネル4の電流モニタのステータス	0x0 = ADC Channel4 current monitor data is not valid. 0x1 = ADC Channel4 current monitor data is valid.
CH3_IMON_OK	2	O	ADCチャンネル3の電流モニタのステータス	0x0 = ADC Channel3 current monitor data is not valid. 0x1 = ADC Channel3 current monitor data is valid.
CH2_IMON_OK	1	O	ADCチャンネル2の電流モニタのステータス	0x0 = ADC Channel2 current monitor data is not valid. 0x1 = ADC Channel2 current monitor data is valid.
CH1_IMON_OK	0	O	ADCチャンネル1の電流モニタのステータス	0x0 = ADC Channel1 current monitor data is not valid. 0x1 = ADC Channel1 current monitor data is valid.

**ADC\_DATA\_CH1 (0x85)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA1[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA1	7:0	O	ADCチャンネル1 ( $I_{OUT1}$ ) データのリードバック	$0x0-0xFF = (-6.69 + 0.0625 \times ADC\_DATA1)A$ .

**ADC\_DATA\_CH2 (0x86)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA2[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA2	7:0	O	ADCチャンネル2 ( $I_{OUT2}$ ) データのリードバック	$0x0-0xFF = (-6.69 + 0.0625 \times ADC\_DATA2)A$ .

**ADC\_DATA\_CH3 (0x87)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA3[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA3	7:0	O	ADCチャンネル3 ( $I_{OUT3}$ ) データのリードバック	$0x0-0xFF = (-6.69 + 0.0625 \times ADC\_DATA3)A.$

**ADC\_DATA\_CH4 (0x88)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA4[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA4	7:0	O	ADCチャンネル4 ( $I_{OUT4}$ ) データのリードバック	$0x0-0xFF = (-6.69 + 0.0625 \times ADC\_DATA4)A.$

**ADC\_DATA\_CH5 (0x89)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA5[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA5	7:0	O	ADCチャンネル5 ( $V_{OUT1}$ ) データのリードバック	When M1_RNG = 0x0, $0x0-0xFF = (0.00625 \times ADC\_DATA5)V.$  When M1_RNG = 0x1, $0x0-0xFF = (0.0125 \times ADC\_DATA5)V.$  When M1_RNG = 0x2, $0x0-0xFF = (0.025 \times ADC\_DATA5)V.$

**ADC\_DATA\_CH6 (0x8A)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA6[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA6	7:0	O	ADCチャンネル6 (V <sub>OUT2</sub> ) データのリードバック	When M2_RNG = 0x0, 0x0–0xFF = (0.00625 × ADC_DATA6)V.  When M2_RNG = 0x1, 0x0–0xFF = (0.0125 × ADC_DATA6)V.  When M2_RNG = 0x2, 0x0–0xFF = (0.025 × ADC_DATA6)V.

**ADC\_DATA\_CH7 (0x8B)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA7[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA7	7:0	O	ADCチャンネル7 (V <sub>OUT3</sub> ) データのリードバック	When M3_RNG = 0x0, 0x0–0xFF = (0.00625 × ADC_DATA7)V.  When M3_RNG = 0x1, 0x0–0xFF = (0.0125 × ADC_DATA7)V.  When M3_RNG = 0x2, 0x0–0xFF = (0.025 × ADC_DATA7)V.

**ADC\_DATA\_CH8 (0x8C)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA8[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA8	7:0	O	ADCチャンネル8 (V <sub>OUT4</sub> ) データのリードバック	When M4_RNG = 0x0, 0x0–0xFF = (0.00625 × ADC_DATA8)V.  When M4_RNG = 0x1, 0x0–0xFF = (0.0125 × ADC_DATA8)V.  When M4_RNG = 0x2, 0x0–0xFF = (0.025 × ADC_DATA8)V.

**ADC\_DATA\_CH9 (0x8D)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	ADC_DATA9[7:0]							
<b>Reset</b>	0x0							
<b>Access Type</b>	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA9	7:0	O	ADCチャンネル9 (V <sub>SYS</sub> ) データのリードバック	When SYS_RNG = 0x0, 0x0–0xFF = (0.025 × ADC_DATA9)V.  When SYS_RNG = 0x1, 0x0–0xFF = (0.075 × ADC_DATA9)V.

**ADC\_DATA\_CH10 (0x8E)**

BIT	7	6	5	4	3	2	1	0
Field	ADC_DATA10[7:0]							
Reset	0x0							
Access Type	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA10	7:0	O	ADCチャンネル10 (ジャンクション温度) データのリードバック	0x0–0xFF = (-273 + 1.725 × ADC_DATA10)°C.

**ADC\_DATA\_CH11 (0x8F)**

BIT	7	6	5	4	3	2	1	0
Field	ADC_DATA11[7:0]							
Reset	0x0							
Access Type	Read Only							

ビット・フィールド	ビット	タイプ	説明	デコード
ADC_DATA11	7:0	O	ADCチャンネル11 (V <sub>MFIQ</sub> ) データのリードバック	0x0–0xFF = (0.0046875 × ADC_DATA11)V.

**ADC\_CFG1 (0x92)**

BIT	7	6	5	4	3	2	1	0
Field	CH8_EN	CH7_EN	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
CH8_EN	7	O	ADCチャンネル8データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH7_EN	6	O	ADCチャンネル7データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH6_EN	5	O	ADCチャンネル6データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH5_EN	4	O	ADCチャンネル5データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH4_EN	3	O	ADCチャンネル4データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH3_EN	2	O	ADCチャンネル3データのリードバック制御	0x0 = Disable. 0x1 = Enable.

ビット・フィールド	ビット	タイプ	説明	デコード
CH2_EN	1	O	ADCチャンネル2データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH1_EN	0	O	ADCチャンネル1データのリードバック制御	0x0 = Disable. 0x1 = Enable.

**ADC\_CFG2 (0x93)**

BIT	7	6	5	4	3	2	1	0
Field	RESERVED[2:0]			—	—	CH11_EN	CH10_EN	CH9_EN
Reset	0x0			—	—	0x0	0x0	0x0
Access Type	Write, Read			—	—	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
CH11_EN	2	O	ADCチャンネル11データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH10_EN	1	O	ADCチャンネル10データのリードバック制御	0x0 = Disable. 0x1 = Enable.
CH9_EN	0	O	ADCチャンネル9データのリードバック制御	0x0 = Disable. 0x1 = Enable.

**ADC\_CFG3 (0x94)**

BIT	7	6	5	4	3	2	1	0
Field	CH8_AVG	CH7_AVG	CH6_AVG	CH5_AVG	CH4_AVG	CH3_AVG	CH2_AVG	CH1_AVG
Reset	0x0							
Access Type	Write, Read							

ビット・フィールド	ビット	タイプ	説明	デコード
CH8_AVG	7	O	ADCチャンネル8データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH7_AVG	6	O	ADCチャンネル7データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH6_AVG	5	O	ADCチャンネル6データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH5_AVG	4	O	ADCチャンネル5データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH4_AVG	3	O	ADCチャンネル4データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH3_AVG	2	O	ADCチャンネル3データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH2_AVG	1	O	ADCチャンネル2データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH1_AVG	0	O	ADCチャンネル1データの平均化制御	0x0 = Disable. 0x1 = Enable.

**ADC\_CFG4 (0x95)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[2:0]			—	—	CH11_AVG	CH10_AVG	CH9_AVG
<b>Reset</b>	0x0			—	—	0x0	0x0	0x0
<b>Access Type</b>	Write, Read			—	—	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:5	O	予備。0を返します。	
CH11_AVG	2	O	ADCチャンネル11データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH10_AVG	1	O	ADCチャンネル10データの平均化制御	0x0 = Disable. 0x1 = Enable.
CH9_AVG	0	O	ADCチャンネル9データの平均化制御	0x0 = Disable. 0x1 = Enable.

**ADC\_CFG5 (0x96)**

BIT	7	6	5	4	3	2	1	0
<b>Field</b>	RESERVED[1:0]		SYS_RNG	RESERVED	AVG_CNT[1:0]		MEAS_C	MEAS_S
<b>Reset</b>	0x0		0x0	0x0	0x0		0x0	0x0
<b>Access Type</b>	Write, Read		Write, Read	Write, Read	Write, Read		Write, Read	Write, Read

ビット・フィールド	ビット	タイプ	説明	デコード
RESERVED	7:6	O	予備。0を返します。	
SYS_RNG	5	O	ADCチャンネル9のSYS電圧測定範囲の設定	0x0 = 2.0V to 6.08V with 16mV LSB. 0x1 = 2.0V to 18.32V with 64mV LSB.
RESERVED	4	O	予備。0を返します。	
AVG_CNT	3:2	O	ADCの平均化点数の設定	0x0 = 2 points. 0x1 = 4 points. 0x2 = 8 points. 0x3 = 16 points.
MEAS_C	1	O	ADCの連続測定の制御	0x0 = Disable. 0x1 = Enable (update ADC readback every second).
MEAS_S	0	O	ADCの単一測定の制御	0x0 = Disable. 0x1 = Enable (this bit is ignored when MEAS_C = 1).

## アプリケーション情報-4 相構成の設定が可能な降圧コンバータ

### インダクタの選択

インダクタには、ピーク電流制限の設定値 ( $I_{PLIM}$ ) 以上の飽和電流を持つものを推奨します。インダクタの RMS 電流定格を選択する場合には、システムの（位相当たりの）負荷電流条件も考慮事項です。飽和電流が低く DCR 定格が高いインダクタは物理的に小さい傾向があります。ただし、DCR の値が大きくなると効率が低下します。所定のアプリケーションにおいて最適なインダクタを選択するには、インダクタのサイズと DCR 値の間のトレードオフを考慮する必要があります。インダクタの平均電流に対するリップル電流の比が 30%~60% になるようにインダクタンスを選択することを推奨します。

インダクタンスを選択するときには、出力電圧範囲とスイッチング周波数を考慮してください。一般に、1.0MHz~1.5MHz のスイッチング周波数の場合、低レンジの出力には、0.47μH が適しています。中レンジおよび高レンジの出力では、1.0μH~1.5μH を推奨します。インダクタンスが大きいと、インダクタ電流の最大スルーレートは遅くなります。また、大きなインダクタンスに高いデューティ・サイクル ( $V_{OUT}$  に近い  $V_{IN}$ ) が組み合わされると、負荷過渡応答が遅くなる可能性があります。

表 19. 推奨インダクタ

MANUFACTURER PART NUMBER	INDUCTANCE (μH)	TYPICAL DCR (mΩ)	TYPICAL $I_{SAT}$ (A)	TYPICAL $I_{TEMP}$ (A)	DIMENSION (L x W x H) (mm)
DFE252012F-R47M	0.47 ±20%	23	6.7	4.9	2.5 x 2.0 x 1.2
DFE252012F-1R0M	1.0 ±20%	40	4.7	3.3	2.5 x 2.0 x 1.2
XEL4020-152ME	1.5 ±20%	21.45	7.4	5.2	4.0 x 4.0 x 3.25

多相の構成では、同じ出力における各位相には、同じインダクタンス値を持つインダクタがそれぞれに必要です（異なる位相の LX ノード同士を PCB 上で短絡させないでください）。様々な位相構成に関する詳細については、[位相と出力の構成](#)のセクションを参照してください。

### 入力コンデンサの選択

入力コンデンサ ( $C_{IN}$ ) は、バッテリまたは入力電源から流れる電流ピークを低減します。また、デバイスのスイッチング・ノイズを低減します。スイッチング周波数での  $C_{IN}$  のインピーダンスを非常に低い値に保つ必要があります。小型、低 ESR で温度係数が小さい X7R 誘電体のセラミック・コンデンサを推奨します。ほとんどのアプリケーションでは、10μF のコンデンサで十分です。

### 出力コンデンサの選択

出力コンデンサ ( $C_{OUT}$ ) は、出力電圧リップルを小さく保ち、安定したレギュレーション・ループを確保するために必要です。 $C_{OUT}$  は、スイッチング周波数でのインピーダンスを低くする必要があります。小型、低 ESR で温度係数が小さい X7R 誘電体のセラミック・コンデンサを推奨します。位相当たりの最小実効出力容量の推奨値を表 20 に示します。

表 20. 推奨される実効出力容量の最小値

$V_{OUT}$ RANGE	SWITCHING FREQUENCY	MINIMUM EFFECTIVE $C_{OUT}^*$
Low (0.3V to 1.3V)	1MHz	42μF
Mid (0.6V to 2.6V)	1MHz	24μF
High (1.2V to 5.2V)	1MHz	16μF

\*必要な最小  $C_{OUT}^{(EFF)}$  は、スイッチング周波数の設定値に逆比例します。例えば、 $Mx\_RNG = 0x0$  を使用しスイッチング周波数が 1MHz の降圧出力には、83μF の最小実効出力容量が必要です。スイッチング周波数を 1.5MHz に変更すると、必要な実効出力容量は 56μF (= 83μF/1.5) に低下します。

実効  $C_{OUT}$  は、動作中の降圧出力から見える実際の容量値です。公称容量 ( $C_{OUT}$ ) は、コンデンサの初期許容誤差、温度による変動、および DC バイアスによるディレイティングを考慮して、慎重に選択する必要があります。詳細については、チュートリアル 5527 を参照してください。 $C_{OUT}$  を大きな値にすると（必要な最小実効値を超える範囲で）負荷過渡応答性能が向上しますが、スタートアップ時の入力突入電流が増加します。出力フィルタ・コンデンサは、出力リップルと負荷過渡応答の条件を満たすため、十分に低い ESR を持っている必要があります。出力容量は、全負荷条件から無負荷条件に遷移するときのインダクタのエネルギーを吸収できるだけの大きな値が必要です。高容量で低 ESR のコンデンサを使用した場合、フィルタ・コンデンサの ESR が連続導通モードにおける出力電圧リップルを支配します。このため、出力コンデンサのサイズは、出力電圧リップルの仕様を満足するために必要な最大 ESR によって決まります。

### PCB レイアウト時の一般的なガイドライン

- 電源部品を最初に配置し、その次に小型のアナログ制御信号部品を配置してください (図 15 を参照)。
- スイッチ・オン時間の間、一様なグランド層が入力コンデンサと出力コンデンサの間に切れ目のないグランド・リターン・パスを形成するため、グランド層は、必ずパワーワークの層から最も近い層にすることが重要です (一様なグランド・プレーンは、インダクタンスを絶対最小値に抑えることができると共に、非常に優れた熱伝導体のため、ヒート・シンクとしても機能します)。
- 外部の高電流電源層には厚い銅層の使用を推奨します。これにより、PCB の伝導損失と熱抵抗を最小限に抑えられます。
- EMC を考慮して、入力コンデンサ ( $C_{IN}$ )、LX パターン、インダクタ (L)、そして出力コンデンサ ( $C_{OUT}$ ) から PGND<sub>x</sub> ピンへと戻るパワーワークのループができるだけ小さくしてください。
- 入力コンデンサ ( $C_{IN}$ ) は、それぞれの位相の入力ピンの近くに配置してください。
- $V_{DD}$ 、 $V_{L12}$ 、 $V_{L34}$ 、および  $BSTx$  ピンのバイパス・コンデンサは、できるだけ近くに配置します。
- アナログ・グランド (AGND) ピンと電源グランド (PGND) ピンは別々に、直接グランド・プレーンに接続してください。
- これにより、共通のインピーダンスを持ったグランドになることを防ぎます。
- SYS およびこれの AGND パターンと、最も近い IN および PGND との直接接続は避けることを推奨します。
- 出力電圧検出用のパターンがパワーワーク (LX パターン、インダクタ、出力コンデンサ、および PGND によって形成されるループ) と交差しないようにしてください。
- 多相の構成において安定した動作を得るため、位相間のインピーダンス・マッチングを行うことが重要です (各相の出力 PCB パターンをできるだけ対称に形成してください)。
- 多相の構成では、マスター相の出力電圧検出ピンを各出力相の中間点に接続してください。

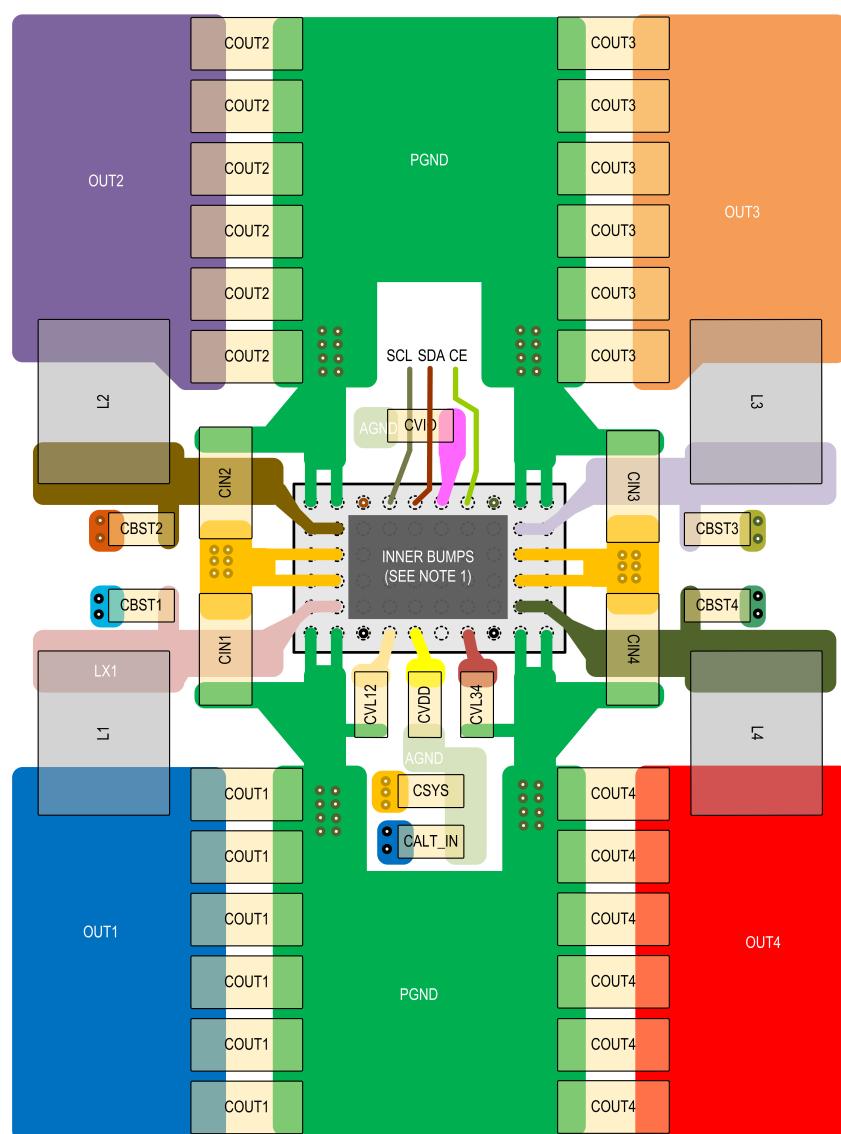


図 15. PCB レイアウトの例

## 不使用の出力

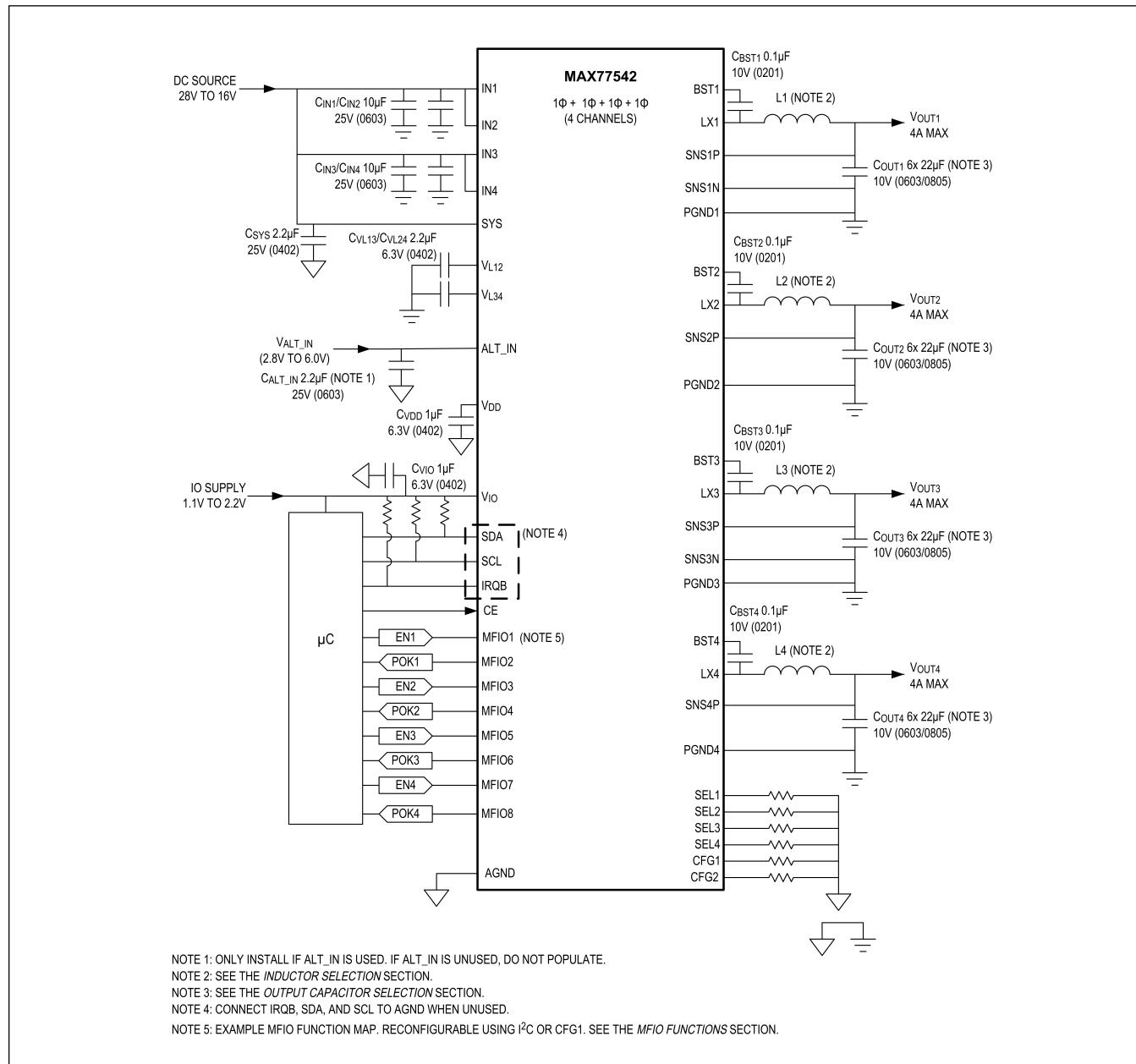
アプリケーションにおいて不使用の降圧出力がある場合は、次のガイドラインに従ってください。

- 不使用の入力 (INx) は SYS に接続します。
- 不使用の LXx ピンおよび BSTx ピンは未接続 (オーブン) のままにします。
- 不使用の SNSxP および SNSxN 入力はグランド (AGND) に接続します。
- PGNDx ピンはグランドに接続します。
- 不使用の降圧出力はイネーブルしないでください。

マスター・コントローラの下に構成されたスレーブ位相は、表 6 に従って接続してください。不使用の降圧出力がイネーブルされた場合は（上記のガイドラインに従って）、フォルト・ステータスがラッチされます ( $Mx\_SCFLT = 1$ )。対応する降圧出力がディスエーブルになると、フォルト・ステータスはクリアされます（図 12 を参照）。

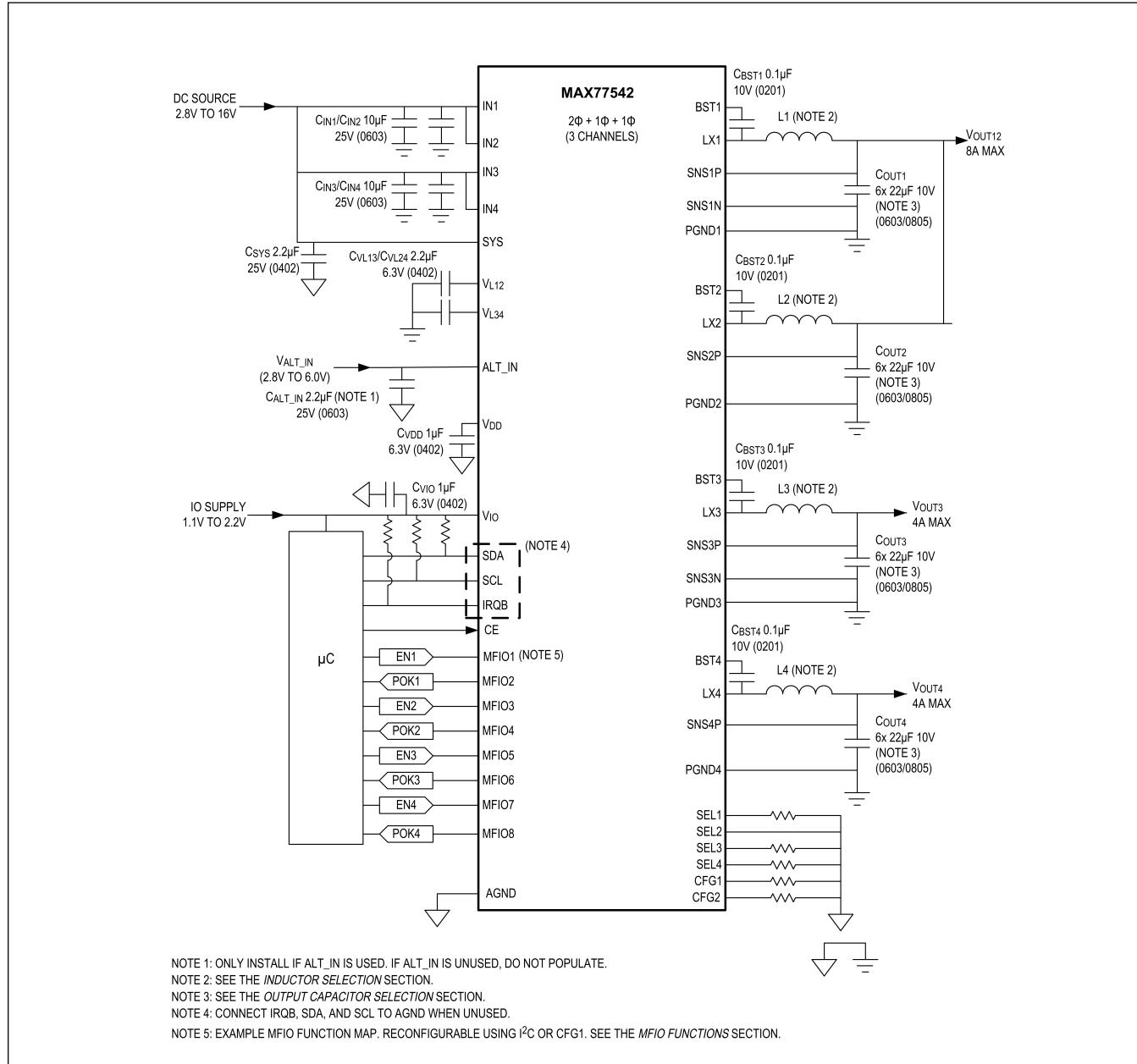
## 標準アプリケーション回路

## 1+1+1+1 相構成



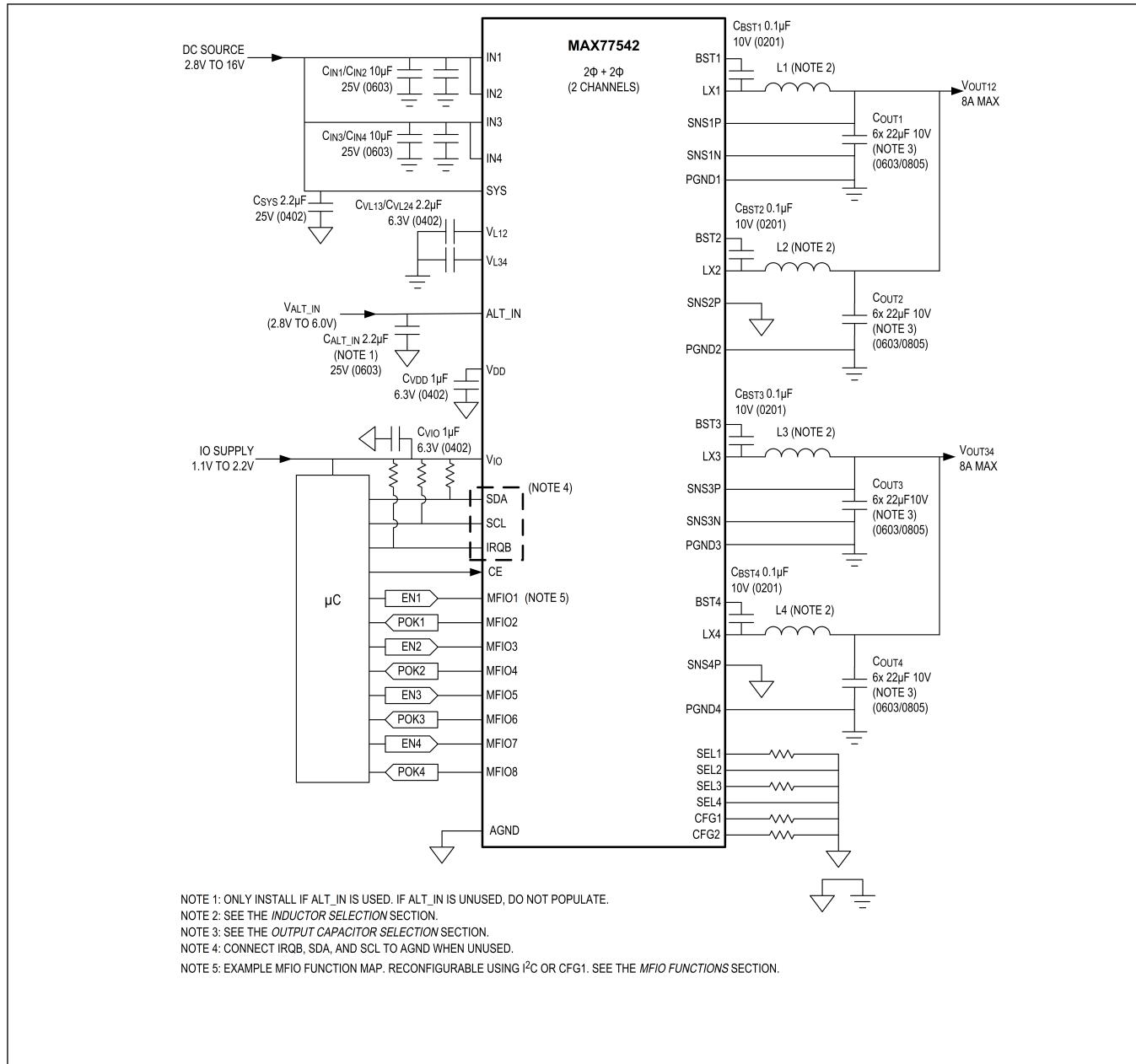
## 標準アプリケーション回路（続き）

## 2+1+1 相構成



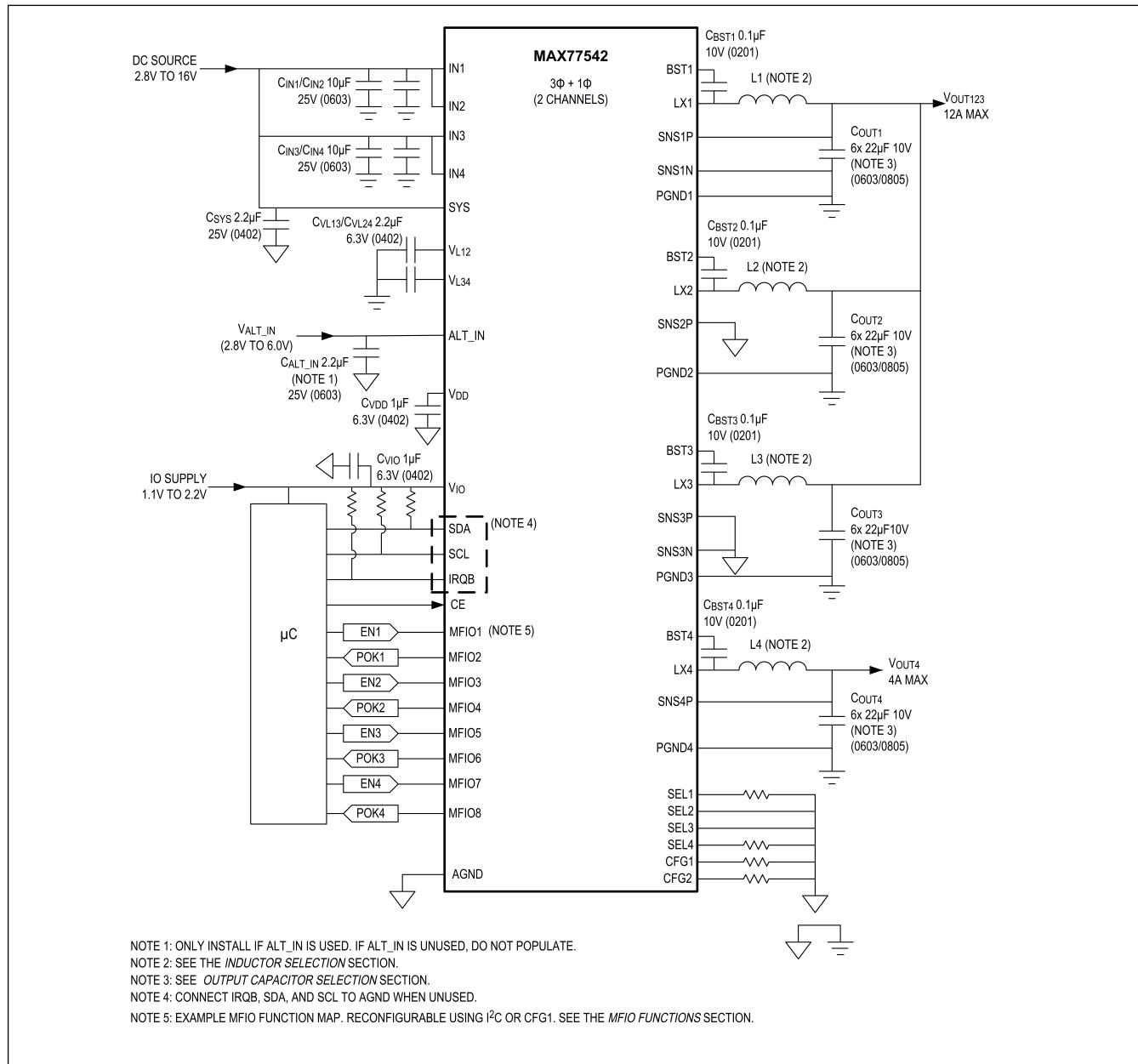
## 標準アプリケーション回路（続き）

## 2+2 相構成



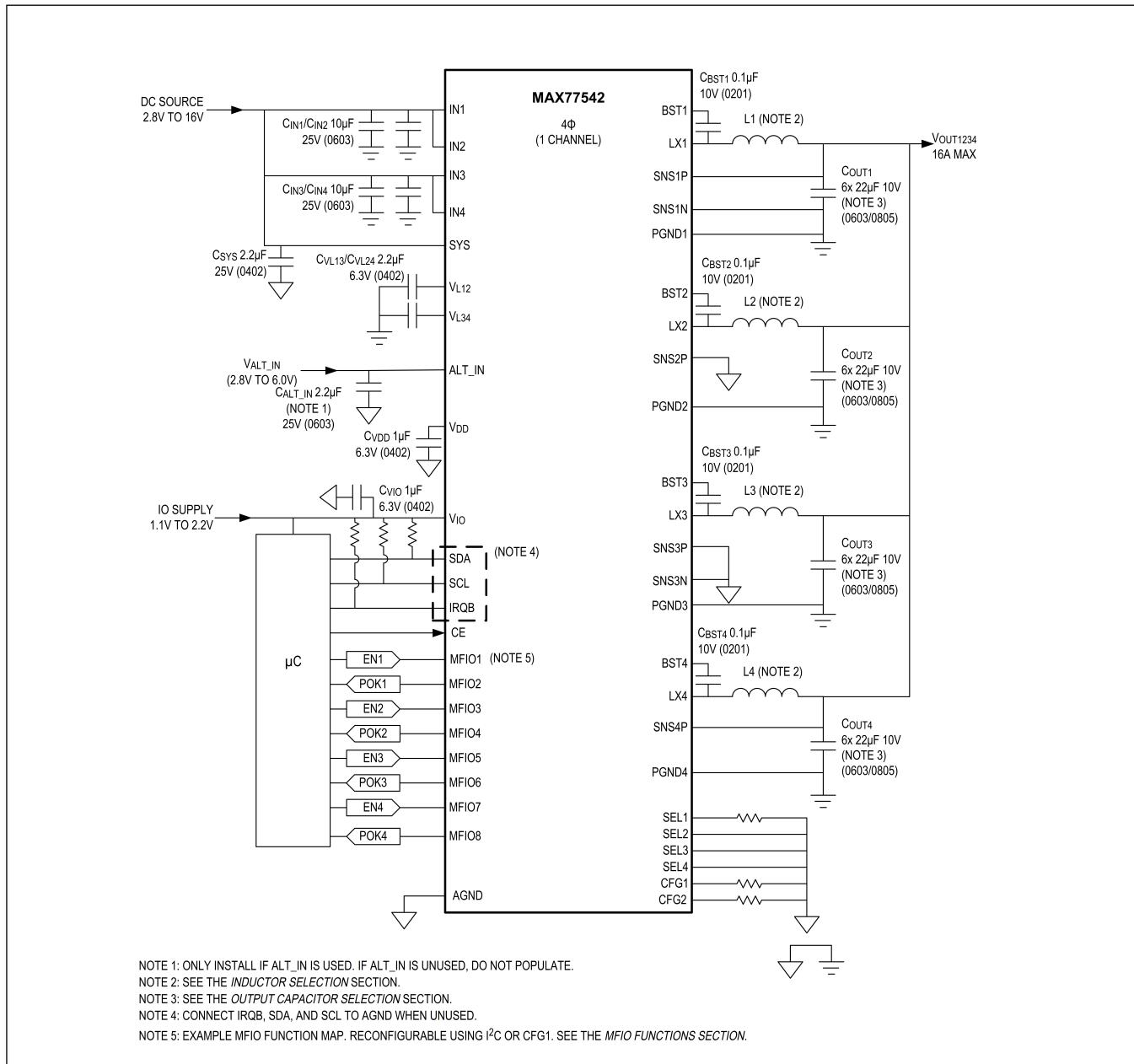
## 標準アプリケーション回路（続き）

## 3+1 相構成



## 標準アプリケーション回路（続き）

## 4 相構成



**オーダー情報**

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX77542AAWU+T	-40°C to +125°C	60 WLP

+は鉛 (Pb) フリー／RoHS 準拠のパッケージであることを示します。

T = テープ&リール。

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	2/23	初版発行	-