

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

概要

MAX548A/MAX549A/MAX550Aは、+2.5V ~ +5.5V 単一電源で動作するシリアル8ビット電圧出力デジタルアナログコンバータ(DAC)です。TUEの仕様は、 ± 1 LSBが全温度において保証されています。動作電流(消費電流+リファレンス電流)は、 $V_{DD} = 2.5V$ で回路当たり75 μ A(typ)となっています。シャットダウン中は、DACとリファレンスの接続が切断されて消費電流が1 μ A以下に低減します。MAX548A/MAX549Aは、各DACが独立してシャットダウンできるようになっています。

10MHz、3線シリアルインタフェースはSPI™/QSPI™及びMicrowire™インタフェース規格とコンパチブルです。入力はダブルバッファ付であるため、DACの更新の際の自由度が増しています。つまり、入力レジスタとDACレジスタを個別に、あるいは同時に更新できます。

MAX548Aは非同期ロード入力付のデュアルDACで、 V_{DD} をリファレンス入力として使用しています。MAX549Aは、外部リファレンス入力付のデュアルDACです。MAX550Aは、外部リファレンス入力及び非同期ロード入力付のシングルDACです。

MAX548A/MAX549A/MAX550Aは消費電力が小さく、パッケージが小型 μ MAX及びDIPであるため、ポータブル及びバッテリー駆動アプリケーションに最適です。

アプリケーション

バッテリー駆動機器

VCXO制御

コンパレータレベル設定

GaAsアンプのバイアス制御

デジタル利得及びオフセット制御

選択ガイド

機能	MAX548A	MAX549A	MAX550A
回路数	2	2	1
DACリファレンス	V_{DD}	外部	外部
非同期ロードDAC入力	√	—	√
μ MAXパッケージ	√	√	√

SPI及びQSPIはMotorola Inc.の商標です。
MicrowireはNational Semiconductor Corp.の商標です。

特長

- ◆ 単一電源動作 : +2.5V ~ +5.5V
- ◆ TUE : ± 1 LSB(max)
- ◆ パワーオンリセットで全てのレジスタがゼロにクリア
- ◆ 低動作電流 :
150 μ A(MAX548A/MAX549A, $V_{REF} = +2.5V$)
75 μ A(MAX550A, $V_{REF} = +2.5V$)
- ◆ シャットダウンモード : 1 μ A
- ◆ 10MHz、3線シリアルインタフェース : SPI/QSPI
及びMicrowireとコンパチブル
- ◆ パッケージ : μ MAX(8ピンSOPよりも50%小型)
- ◆ 各DACに独立のシャットダウンを装備
(MAX548A/MAX549A)

型番

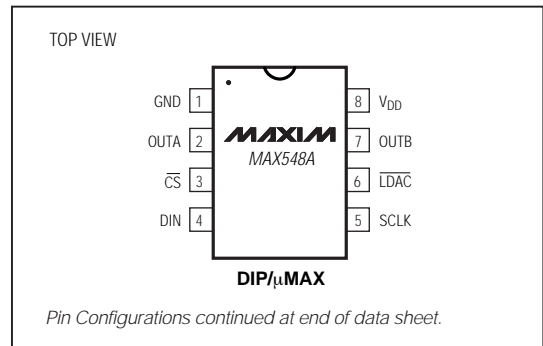
PART	TEMP. RANGE	PIN-PACKAGE†
MAX548ACPA	0°C to +70°C	8 Plastic DIP
MAX548ACUA	0°C to +70°C	8 μ MAX
MAX548AC/D	0°C to +70°C	Dice*
MAX548AEPA	-40°C to +85°C	8 Plastic DIP
MAX548AEUA	-40°C to +85°C	8 μ MAX

Ordering Information continued at end of data sheet.

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

†Contact factory for availability of 8-pin SO package.

ピン配置



+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

ABSOLUTE MAXIMUM RATINGS

V_{DD}, SCLK, DIN, $\overline{\text{CS}}$, $\overline{\text{LDAC}}$, OUT₋ to GND-0.3V to 6V
 REF to GND-0.3V to (V_{DD} + 0.3V)
 Maximum Current (any pin)±50mA
 Continuous Power Dissipation (T_A = +70°C)
 Plastic DIP (derate 9.09mW/°C above +70°C)727mW
 μ MAX (derate 4.10mW/°C above +70°C)330mW

Operating Temperature Ranges

MAX5_AC_A0°C to +70°C
 MAX5_AE_A-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.5V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC PERFORMANCE							
Resolution	N			8			Bits
Differential Nonlinearity	DNL	Guaranteed monotonic	MAX5_ <u>AE</u> UA (Note 1)			±0.9	LSB
			All others			±0.9	
Total Unadjusted Error	TUE		MAX5_ <u>AE</u> UA (Note 1)			±1	LSB
			All others			±1	
Zero-Code Error	ZCE					±1	LSB
Full-Scale Error	FSE					±1	LSB
REFERENCE INPUT							
Reference Input Voltage Range	V _{REF}	MAX549A/MAX550A for specified performance		2.5		V _{DD}	V
Reference Input Resistance DAC Code = 55 Hex (Note 2)	R _{REF}	MAX549A		16.7			k Ω
		MAX550A		33.3			
Reference Input Current DAC Code = 55 Hex (Note 3)	I _{REF}	MAX549A	V _{DD} = V _{REF} = 5.5V	330	550		μ A
			V _{DD} = V _{REF} = 2.5V	150	250		
		MAX550A	V _{DD} = V _{REF} = 5.5V	165	275		
			V _{DD} = V _{REF} = 2.5V	75	125		
DAC OUTPUT							
DAC Output Voltage Swing		MAX548A		0		V _{DD}	V
		MAX549A/MAX550A		0		V _{REF}	
DAC Output Resistance	R _{OUT}			33.3			k Ω
DAC Output Resistance Matching	Δ R _{OUT} / R _{OUT}	MAX548A/MAX549A		±0.2			%
DIGITAL INPUTS							
Input High Voltage	V _{IH}			0.7V _{DD}			V
Input Low Voltage	V _{IL}					0.3V _{DD}	V
Input Current	I _{IN}	V _{IN} = 0V or V _{DD}				±1	μ A
Input Capacitance (Note 4)	C _{IN}					10	pF

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、μMAXパッケージ

MAX548A/MAX549A/MAX550A

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.5V$ to $+5.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Digital Feedthrough and Crosstalk		$\overline{CS} = \text{high}$, all digital inputs from 0V to V_{DD}		50		nV-sec
Voltage-Output Settling Time		$T_o \pm 1/2LSB$, $C_L = 20pF$		4		μs
Voltage-Output Slew Rate		$C_L = 20pF$	$V_{DD} = 2.5V$	1.4		V/ μs
			$V_{DD} = 5.5V$	3.1		
Wake-Up Time at Power-Up		$C_L = 20pF$		4		μs
POWER SUPPLIES						
Supply Voltage Range	V_{DD}	Outputs unloaded, all inputs = GND or V_{DD}	2.5		5.5	V
Supply Current (MAX548A)	I_{DD}	Outputs unloaded, all inputs = GND or V_{DD} (Note 5)	$V_{DD} = 5.5V$	330	550	μA
			$V_{DD} = 2.5V$	150	250	
Supply Current (MAX549A/MAX550A)	I_{DD}	Outputs unloaded, all inputs = GND or V_{DD} ; $V_{DD} = 5.5V$		0.3	10	μA
Shutdown Current		Shutdown mode		0.3		μA

TIMING CHARACTERISTICS

($V_{DD} = +2.5V$ to $+5.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Digital inputs switching from 0V to V_{DD} .) (Figure 3) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
DIN to SCLK High Setup	t_{DS}		30			ns
DIN to SCLK High Hold	t_{DH}	$V_{DD} = 2.5V$	0			ns
		$V_{DD} = 5.5V$	10			
\overline{CS} Low to SCLK High Setup	t_{CSS0}		30			ns
\overline{CS} High to SCLK High Setup	t_{CSS1}		30			ns
SCLK High to \overline{CS} Low Hold	t_{CSH0}		10			ns
Delay, SCLK High to \overline{CS} High	t_{CSH1}	$V_{DD} = 2.5V$	10			ns
		$V_{DD} = 5.5V$	20			
\overline{CS} Pulse Width High	t_{CSW}		40			ns
SCLK Period	t_{CP}		80			ns
LDAC Pulse Width Low	t_{LDAC}	MAX548A/MAX550A only	50			ns
CS High to LDAC Low	t_{CSLD}	MAX548A/MAX550A only	50			ns
V_{DD} High to \overline{CS} Low			5			μs

Note 1: Cold temperature specifications (to $-40^\circ C$) guaranteed by design using six sigma design limits.

Note 2: Worst-case input resistance at REF occurs at DAC code 55 hex.

Note 3: Worst-case reference input current occurs at DAC code 55 hex.

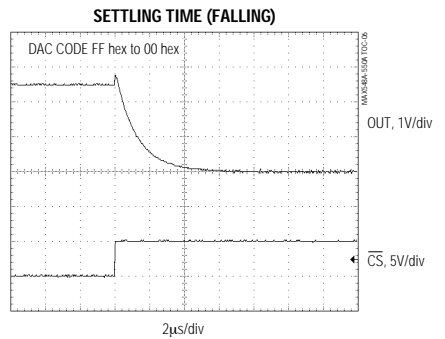
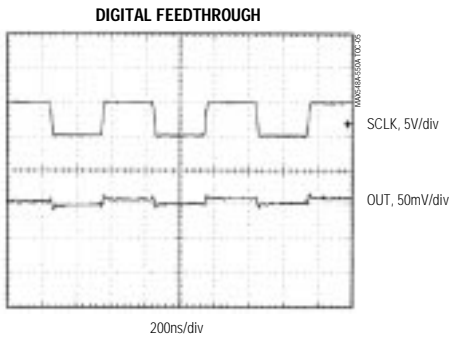
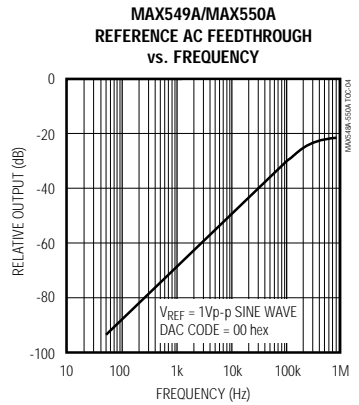
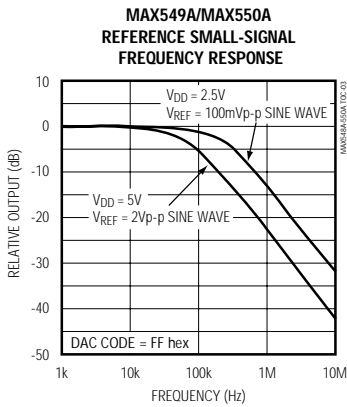
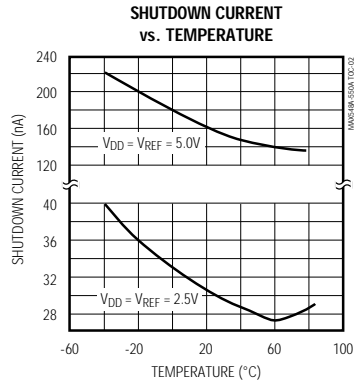
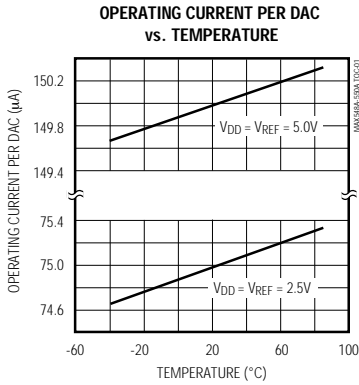
Note 4: Guaranteed by design. Not production tested.

Note 5: I_{DD} measured with DACs loaded with worst-case DAC code 55 hex.

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

標準動作特性

($V_{DD} = V_{REF} = 2.5V$, $R_L = 1M\Omega$, $C_L = 15pF$, $T_A = +25^\circ C$, unless otherwise noted.)

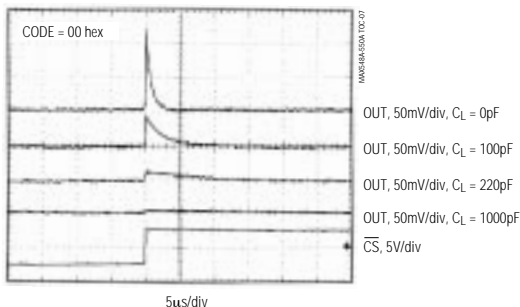


+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

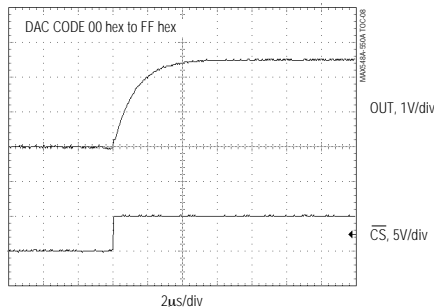
標準動作特性(続き)

($V_{DD} = V_{REF} = 2.5V$, $R_L = 1M\Omega$, $C_L = 15pF$, $T_A = +25^\circ C$, unless otherwise noted.)

OUTPUT GLITCH FILTERING



SETTLING TIME (RISING)



端子説明

端子			名称	機能
MAX548A	MAX549A	MAX550A		
1	1	1	GND	グランド
2	2	—	OUTA	DAC A出力電圧
—	—	2	OUT	DAC出力電圧
3	3	3	\overline{CS}	チップセレクト入力。 \overline{CS} がロジックローのとき、シリアルデータが入力シフトレジスタにクロックインできるようになります。プログラミングコマンドは、 \overline{CS} の立上がりエッジで実行されます。
4	4	4	DIN	シリアルデータ入力。データは、SCLKの立上がりエッジで16ビット入力シフトレジスタにクロックインされます。
5	5	5	SCLK	シリアルクロック入力。データは、SCLKの立上がりエッジでクロックインされます。
6	—	6	\overline{LDAC}	DAC入力ロード。 \overline{CS} がハイになった後、制御ワードでプログラムされている場合は、 \overline{LDAC} の立下がりエッジでDACラッチが更新されます。使用しない場合は \overline{LDAC} を V_{DD} に接続してください。
7	6	—	OUTB	DAC B出力電圧
—	7	7	REF	DACの外部リファレンス電圧入力
8	8	8	V_{DD}	正電源(+2.5V ~ +5.5V)

MAX548A/MAX549A/MAX550A

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

詳細

アナログセクション

MAX548A/MAX549A/MAX550Aは、8ビット電圧出力デジタルアナログコンバータ(DAC)です。MAX548A/MAX549AはデュアルDACで、MAX550AはシングルDACです。各DACは、8ビットデジタル入力を印加されたリファレンス電圧に比例する等価アナログ出力電圧に変換するR-2Rラダーネットワークで構成されています(図1)。

DACはダブルバッファ付入力及びバッファなしの出力を備えています。MAX549A/MAX550Aは、外部リファレンスを必要とします。MAX548Aのリファレンス入力は内部で V_{DD} に接続されています。電源電圧範囲は+2.5V ~ +5.5Vです。

リファレンス入力

REF (MAX548Aの場合は V_{DD})に印加された電圧(範囲は+2.5V ~ V_{DD})により、全てのDACのフルスケール出力が設定されます。REFの入力抵抗はコードに依存し、コード01010101(16進の55)のときに最小値になります。INLエラーを最小にするため、リファレンス電圧ソースの出力インピーダンスは3 Ω 以下にしてください。

DAC出力

MAX548A/MAX549A/MAX550AのDACはバッファなしの出力を備えており、各出力は直接R-2Rラダーに接続しています。標準出力インピーダンスは33.3k Ω です。この構成により消費電力が最小限に抑えられ、オフセットエラーが低減します。最高の精度を得るには、大きな抵抗性負荷(1M Ω 以上)を接続してください。これ以下

の抵抗性負荷を駆動することもできますが、出力負荷電流によってフルスケールエラーが増加します。

予想される誤差の大きさは、DACの出力抵抗と出力におけるDC負荷抵抗の比です。

通常、 \overline{CS} の立上がりエッジでエネルギーパルスがDAC出力にカップリングされます。各DAC出力はバッファされていないため、出力とグランドの間にローパスフィルタとして小さなコンデンサ(200pF ~ 1000pF)を接続すると、このパルスを効率的に抑圧できます(「標準動作特性」を参照)。

シャットダウンモード

MAX548A/MAX549A/MAX550Aがシャットダウンモードのときは、R-2Rラダーがリファレンスソースから切り離されます。MAX549A/MAX550Aの消費電流は変化しませんが、REF入力電流は1 μ A以下に低減します。このため、外部から印加されたシステムリファレンス電圧がアクティブの状態でも消費電力を最小限に抑えられます。MAX548Aの消費電流もシャットダウンモードでは1 μ A以下に低減します。MAX548A/MAX549A/MAX550Aのシャットダウンモードを解除するときのリカバリ時間は、DACのセトリング時間と等価です。

シリアルインタフェース

インタフェースは、SPI/QSPI及びMicrowireとコンパチブルになっています。アクティブローのチップセレクト(\overline{CS})が入力シフトレジスタをイネーブルして、シリアル入力(DIN)からのデータを受け取れるようにします。データはシリアルクロック信号(SCLK)の立上りエッジで入力シフトレジスタにクロックインされます。クロック周波数は最大10MHzまでとなっています。

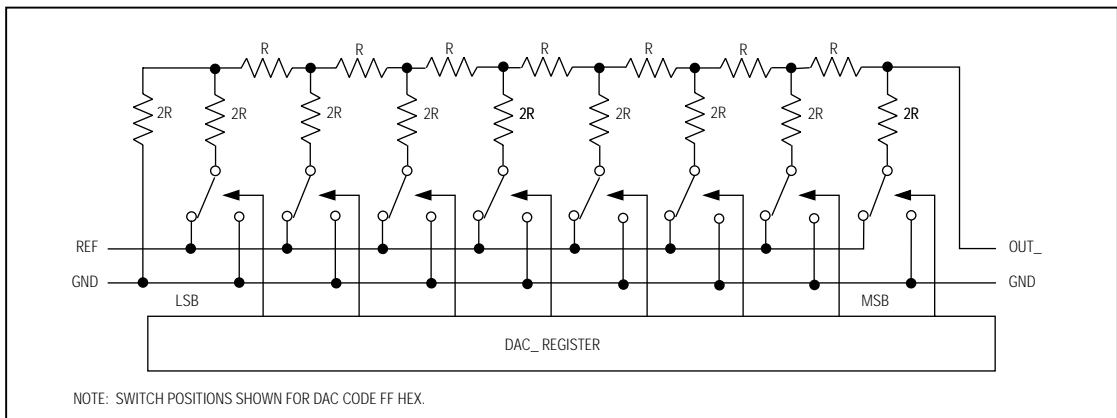


図1. DACの簡略回路図

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

16ビットワード1個又は8ビットバイト2個でMSBから先にデータを送信してください。 \overline{CS} をアクティブ(ロー)状態に保持して8ビット幅の転送を可能にすることにより、書込みサイクルをセグメント化することもできます。16ビット全部を入力シフトレジスタにクロックインした後の \overline{CS} の立上りエッジでDACが設定されます。DACレジスタを更新せずに、入力レジスタを個別あるいは同時にロードできます。これにより、両方のDACを異なったデジタル値で同時に更新することができます。DAC出力は、DACレジスタに保存されているデータを反映します。 \overline{LDAC} を使用して、DACレジスタを \overline{CS} とは独立に非同期で更新することができます(MAX548A/MAX550A)。C1がハイに設定された状態で制御ワードのC0を設定すると、DACレジスタが \overline{CS} の立上りエッジではなく \overline{LDAC} の立下りエッジで強制的に更新されます(表1)。

初期化

MAX548A/MAX549A/MAX550Aは、内部パワーオンリセットを備えています。パワーアップ時に全ての内部レジスタがゼロにリセットされるため、初期化書込みシーケンスは必要ありません。

シリアル入力データフォーマット及び制御コード

制御バイトで、どの入力レジスタ/DACレジスタが更新されるかを決定します(表1)。DAC入力レジスタは、 \overline{CS} の立上がりエッジで更新されます。DACレジスタは \overline{CS} の立上がりエッジ又は \overline{CS} がハイになった後の \overline{LDAC} の立下りエッジで更新できます。制御バイトのC0ビットでMAX548A/MAX550AのDACレジスタの更新方法を決定します。MAX549Aには \overline{LDAC} ピンがなく、DACレジスタは常に \overline{CS} の立上がりエッジで更新されます(制御バイトのC0は影響しません)。

表1. 制御バイト/入力ワードビット定義

	ビット名	状態	動作
制御バイト	UB1*	X	未指定ビット1
	UB2	X	未指定ビット2
	UB3	X	未指定ビット3
	C2	0	パワーアップモード
	C2	1	パワーダウンモード
	C1	0	DACレジスタ負荷動作ディセーブル
	C1	1	DACレジスタ負荷動作イネーブル
	C0	0	\overline{CS} の立上りエッジのDACレジスタ更新
	C0	1	\overline{LDAC} 立下りエッジのDACレジスタ更新(MAX549A=任意)
	A1	0	DAC Bはアドレスしないで下さい(MAX550A=任意)
	A1	1	DAC Bをアドレス(MAX550A=任意)
	A0	0	DAC Aはアドレスしないで下さい
A0	1	DAC Aをアドレス	
データバイト	D7	—	DACデータビット7 (MSB)
	D6	—	DACデータビット6
	D5	—	DACデータビット5
	D4	—	DACデータビット4
	D3	—	DACデータビット3
	D2	—	DACデータビット2
	D1	—	DACデータビット1
	D0**	—	DACデータビット0 (LSB)

X = 任意。* 最初にクロックイン ** 最後にクロックイン

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

表2、3及び4にMAX548A、MAX549A及びMAX550Aのシリアル入力コマンドフォーマットをそれぞれ示します。16ビット入力ワードは、8ビットの制御バイト及び8ビットのデータバイトから構成されています。制御バイトは内部でデコードされません。各制御ビットに1つの機能が指定されています。データは未指定ビット1(UB1)を先頭にして、その後に残りの制御ビットとDACデータバイトが続いてクロックインされます。データバイトのLSB(D0)が入力レジスタにクロックインされる最後のビットになります(図2)。

表5は以下の機能を持つ16ビットワードの例です。

- 16進の80(10進の128)をDAC(MAX548A/MAX549AではDACA)入力レジスタにロード
- \overline{CS} の立上がりエッジでDACレジスタを更新

表6に、入力コードに基づいて出力電圧を計算する方法を示します。図3には、タイミングの詳細を示します。

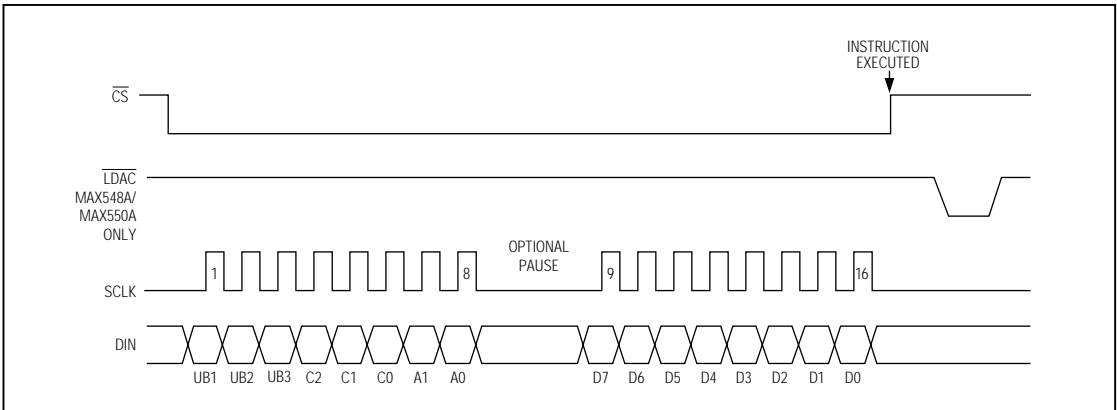


図2. シリアルインタフェースのタイミング図

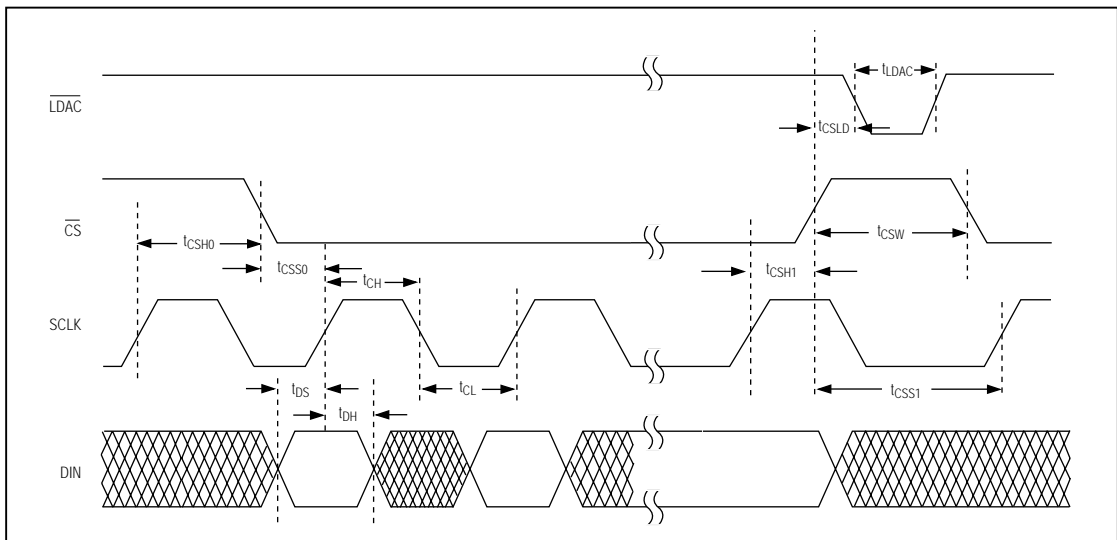


図3. シリアルインタフェースのタイミング詳細図

+2.5V~+5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、μMAXパッケージ

MAX548A/MAX549A/MAX550A

表2. MAX548Aシリアルインタフェースプログラミングコマンド

制御バイト								データバイト	LDAC	コマンド (コマンドはCSの立ち上がりエッジで実行)
最初にロード								最後にロード		
UB1	UB2	UB3	C2	C1	C0	A1	A0	D7.....D0	ピン6	
未指定コマンド										
X	X	X	0	0	X	0	0	XXXXXXXX	X	未指定コマンド
X	X	X	1	X	X	0	0	XXXXXXXX	X	未指定動作
入力レジスタのみにロードするコマンド										
X	X	X	0	0	X	0	1	8ビット DACデータ	X	DAC A入力レジスタにロード。DAC B入力レジスタ及び両DACレジスタは不変。
X	X	X	0	0	X	1	0	8ビット DACデータ	X	DAC B入力レジスタにロード。DAC A入力レジスタ及び両DACレジスタは不変。
X	X	X	0	0	X	1	1	8ビット DACデータ	X	両DAC入力レジスタにロード。DACレジスタは両方も不変。
DACレジスタを更新するコマンド										
X	X	X	0	1	0	0	0	XXXXXXXX	X	両DACレジスタをそれぞれの入力レジスタのその時点の内容で更新。両入力レジスタは不変。
X	X	X	0	1	0	0	1	8ビット DACデータ	X	DAC A入力レジスタにロードし、両DACレジスタを更新。DAC B入力レジスタは不変。
X	X	X	0	1	0	1	0	8ビット DACデータ	X	DAC B入力レジスタにロードし、両DACレジスタを更新。DAC A入力レジスタは不変。
X	X	X	0	1	0	1	1	8ビット DACデータ	X	両DAC入力レジスタにロードし、両DACレジスタを更新。
X	X	X	0	1	1	0	0	XXXXXXXX	0	両DACレジスタをそれぞれの入力レジスタのその時点の内容で更新。両入力レジスタは不変。
X	X	X	0	1	1	0	1	8ビット DACデータ	0	DAC A入力レジスタにロードし、両DACレジスタを更新。DAC B入力レジスタは不変。
X	X	X	0	1	1	1	0	8ビット DACデータ	0	DAC B入力レジスタにロードし、両DACレジスタを更新。DAC A入力レジスタは不変。
X	X	X	0	1	1	1	1	8ビット DACデータ	0	両DAC入力レジスタにロードし、両DACレジスタを更新。
非同期ロード機能を使用したコマンド										
X	X	X	0	1	1	0	0	XXXXXXXX	1	CSの立ち上がりエッジの後のLDACの立下がりエッジで、両DACレジスタをそれぞれの入力レジスタのその時点での内容で更新。両入力レジスタは不変。
X	X	X	0	1	1	0	1	8ビット DACデータ	1	DAC A入力レジスタにロード。CSの立ち上がりエッジの後のLDACの立下がりエッジで、両DACレジスタを更新。
X	X	X	0	1	1	1	0	8ビット DACデータ	1	DAC B入力レジスタにロード。CSの立ち上がりエッジの後のLDACの立下がりエッジで、両DACレジスタを更新。
X	X	X	0	1	1	1	1	8ビット DACデータ	1	両入力レジスタにロード。CSの立ち上がりエッジの後のLDACの立下がりエッジで、両DACレジスタを更新。

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

表2. MAX548Aシリアルインタフェースプログラミングコマンド(続き)

パワーダウン用コマンド

制御バイト								データバイト	LDAC	コマンド (コマンドはCSの立上がりエッジで実行)
最初にロード								最後にロード		
UB1	UB2	UB3	C2	C1	C0	A1	A0	D7.....D0	ピン6	
パワーダウン及び入力レジスタのみのロードコマンド										
X	X	X	1	0	X	0	1	8ビット DACデータ	X	DAC A入力レジスタにロードしてDAC Aをパワー ダウン。DAC Bレジスタは不変。
X	X	X	1	0	X	1	0	8ビット DACデータ	X	DAC B入力レジスタにロードしてDAC Bをパワー ダウン。DAC Aレジスタは不変。
X	X	X	1	0	X	1	1	8ビット DACデータ	X	両DAC入力レジスタにロードして両DACをパワー ダウン。DACレジスタは両方とも不変。
パワーダウン及びDACレジスタ更新コマンド										
X	X	X	1	1	0	0	1	8ビット DACデータ	X	DAC A入力レジスタにロード、DAC Aをパワー ダウン、そして両DACレジスタを更新。DAC B 入力レジスタは不変。
X	X	X	1	1	0	1	0	8ビット DACデータ	X	DAC B入力レジスタにロード、DAC Bをパワー ダウン、そして両DACレジスタを更新。DAC A 入力レジスタは不変。
X	X	X	1	1	0	1	1	8ビット DACデータ	X	両DAC入力レジスタにロード、両DACをパワー ダウン、そして両DACレジスタを更新。
X	X	X	1	1	1	0	1	8ビット DACデータ	0	DAC A入力レジスタにロード、DAC Aをパワー ダウン、そして両DACレジスタを更新。DAC B 入力レジスタは不変。
X	X	X	1	1	1	1	0	8ビット DACデータ	0	DAC B入力レジスタにロード、DAC Bをパワー ダウン、そして両DACレジスタを更新。DAC A 入力レジスタは不変。
X	X	X	1	1	1	1	1	8ビット DACデータ	0	両DAC入力レジスタにロード、両DACをパワー ダウン、そして両DACレジスタを更新。
パワーダウン及び非同期ロード機能利用コマンド										
X	X	X	1	1	1	0	1	8ビット DACデータ	1	DAC A入力レジスタにロードしてDAC Aをパワー ダウン。パワーダウン中、LDACの立上がりエッジ で両DACレジスタを更新。DAC B入力レジスタは 不変。
X	X	X	1	1	1	1	0	8ビット DACデータ	1	DAC B入力レジスタにロードしてDAC Bをパワー ダウン。パワーダウン中、LDACの立上がりエッジ で両DACレジスタを更新。DAC A入力レジスタは 不変。
X	X	X	1	1	1	1	1	8ビット DACデータ	1	両DAC入力レジスタにロードして両DACをパワー ダウン。パワーダウン中、LDACの立上がりエッジ で両DACレジスタを更新。

X = 任意

+2.5V~+5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、μMAXパッケージ

MAX548A/MAX549A/MAX550A

表3. MAX549Aシリアルインタフェースプログラミングコマンド

制御バイト									データバイト	コマンド (コマンドはCSの立上がりエッジで実行)
最初にロード									最後にロード	
UB1	UB2	UB3	C2	C1	C0	A1	A0	D7.....D0		
未指定コマンド										
X	X	X	X	0	X	0	0	XXXXXXXX	未指定コマンド	
入力レジスタのみにロードするコマンド										
X	X	X	0	0	X	0	1	8ビットDACデータ	DAC A入力レジスタにロード。DACレジスタは不変。	
X	X	X	0	0	X	1	0	8ビットDACデータ	DAC B入力レジスタにロード。DACレジスタは不変。	
X	X	X	0	0	X	1	1	8ビットDACデータ	両DAC入力レジスタにロード。DACレジスタは不変。	
DACレジスタを更新するコマンド										
X	X	X	X	1	X	0	0	XXXXXXXX	両DACレジスタをそれぞれの入力レジスタのその時の内容で更新。両入力レジスタは不変。	
X	X	X	0	1	X	0	1	8ビットDACデータ	DAC A入力レジスタにロードし、両DACレジスタを更新。DAC B入力レジスタは不変。	
X	X	X	0	1	X	1	0	8ビットDACデータ	DAC B入力レジスタにロードし、両DACレジスタを更新。DAC A入力レジスタは不変。	
X	X	X	0	1	X	1	1	8ビットDACデータ	両DAC入力レジスタにロードし、両DACレジスタを更新。	
パワーダウン及び入力レジスタのみのロードコマンド										
X	X	X	1	0	X	0	1	8ビットDACデータ	DAC A入力レジスタにロードしてDAC Aをパワーダウン。DAC B入力レジスタ及び両DACレジスタは不変。	
X	X	X	1	0	X	1	0	8ビットDACデータ	DAC B入力レジスタにロードしてDAC Bをパワーダウン。DAC A入力レジスタ及び両DACレジスタは不変。	
X	X	X	1	0	X	1	1	8ビットDACデータ	両DAC入力レジスタにロードして両DACをパワーダウン。DACレジスタは両方とも不変。	
パワーダウン及びDACレジスタ更新コマンド										
X	X	X	1	1	X	0	1	8ビットDACデータ	DAC A入力レジスタにロード、DAC Aをパワーダウン、そして両DACレジスタを更新。DAC B入力レジスタは不変。	
X	X	X	1	1	X	1	0	8ビットDACデータ	DAC B入力レジスタにロード、DAC Bをパワーダウン、そして両DACレジスタを更新。DAC A入力レジスタは不変。	
X	X	X	1	1	X	1	1	8ビットDACデータ	両DAC入力レジスタにロード、両DACをパワーダウン、そして両DACレジスタを更新。	

X = 任意

+2.5V~+5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

表4. MAX550Aシリアルインタフェースプログラミングコマンド

制御バイト								データバイト	LDAC	コマンド (コマンドは \overline{CS} の立上がりエッジで実行)
最初にロード								最後にロード		
UB1	UB2	UB3	C2	C1	C0	A1	A0	D7.....D0	ピン6	
未指定コマンド										
X	X	X	0	0	X	X	0	XXXXXXXX	X	未指定コマンド
X	X	X	1	X	X	X	0	XXXXXXXX	X	未指定動作
入力レジスタのみにロードするコマンド										
X	X	X	0	0	X	X	1	8ビットDACデータ	X	DAC入力レジスタにロード。DACレジスタは不変。
DACレジスタにロードするコマンド										
X	X	X	0	1	0	X	0	XXXXXXXX	X	DACレジスタを入力レジスタのその時の内容で更新。入力レジスタは不変。
X	X	X	0	1	0	X	1	8ビットDACデータ	X	DAC入力レジスタにロードし、DACレジスタを更新。
X	X	X	0	1	1	X	0	XXXXXXXX	0	DACレジスタを入力レジスタのその時の内容で更新。入力レジスタは不変。
X	X	X	0	1	1	X	1	8ビットDACデータ	0	DAC入力レジスタにロードし、DACレジスタを更新。
非同期ロード機能を使用したコマンド										
X	X	X	0	1	1	X	0	XXXXXXXX	1	\overline{CS} の立上がりエッジの後のLDACの立下がりエッジで、DACレジスタを入力レジスタのその時の内容で更新。入力レジスタは不変。
X	X	X	0	1	1	X	1	8ビットDACデータ	1	DAC入力レジスタにロード。 \overline{CS} の立上がりエッジの後のLDACの立下がりエッジで、DACレジスタを更新。
パワーダウン及び入力レジスタのみのロードコマンド										
X	X	X	1	0	X	X	1	8ビットDACデータ	X	DAC入力レジスタにロードしてDACをパワーダウン。
パワーダウン及びDACレジスタ更新コマンド										
X	X	X	1	1	0	X	1	8ビットDACデータ	X	DAC入力レジスタにロード、DACをパワーダウン、そしてDACレジスタを更新。
X	X	X	1	1	1	X	1	8ビットDACデータ	0	DAC入力レジスタにロード、DACをパワーダウン、そしてDACレジスタを更新。
パワーダウン及び非同期ロード機能利用コマンド										
X	X	X	1	1	1	X	1	8ビットDACデータ	1	DAC入力レジスタにロードしてDACをパワーダウン。パワーダウン中、LDACの立下がりエッジでDACレジスタを更新。

X = 任意

表5. 入力ワード例

CONTROL BYTE								DATA BYTE							
Loaded First								Loaded Last							
UB1	UB2	UB3	C2	C1	C0	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	1	0	0	1	1	0	0	0	0	0	0	0

X = 任意

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

マイクロプロセッサとのインタフェース

MAX548A/MAX549A/MAX550Aのシリアルインタフェースは、SPI/QSPI及びMicrowireとコンパチブルです。SPI/QSPIを使用する場合は、CPOL及びCPHAビットをクリアしてください(CPOL = 0、CPHA = 0)。CPOL = 0にするとクロックアイドル状態がゼロに設定され、CPHA = 0ではSCLKの立下がりエッジでデータが変更されます。これはMicrowireのデフォルト状態です。マイクロプロセッサに使用できるシリアルポートがない場合は、パラレルポートのビットを3ビット使用することによりシリアルポートをエミュレーションできます。電圧出力におけるデジタルフィードスルーを最小限に抑えるために、シリアルクロックは必要な時だけ動作させるようにしてください。

アプリケーション情報

電源及びグランド管理

GNDはできる限り高品質のグランドに接続してください。V_{DD}は0.1 μ F ~ 0.22 μ FのコンデンサでGNDにバイパスしてください。リファレンス入力、バイパスせずに使用できます。但し、ライン/負荷過渡応答及びノイズ性能を改善するには、リファレンス入力を0.1 μ F ~ 4.7 μ FでGNDにバイパスしてください。

PCボードのレイアウトを注意深く行うことにより、DACレジスタ、リファレンス及びデジタル入力の間

のクロストークを最小限に抑えることができます。アナログトレース間は、グランドトレースを挟んで分離してください。高周波デジタルラインがアナログラインと並行に走らないように気を付けてください。

ACに関する考慮

デジタルフィードスルー

デジタル入力ピンに高速データが入るとDACの内部浮遊容量を通じてカップリングを起こし、LDACあるいはCSがハイでもDAC出力でノイズ(デジタルフィードスルー)が発生することがあります(「標準動作特性」を参照)。このデジタルフィードスルーは、LDACあるいはCSをハイに保ちながらデジタル入力を全て1から全て0にトグルすることによってテストしてください。

アナログフィードスルー

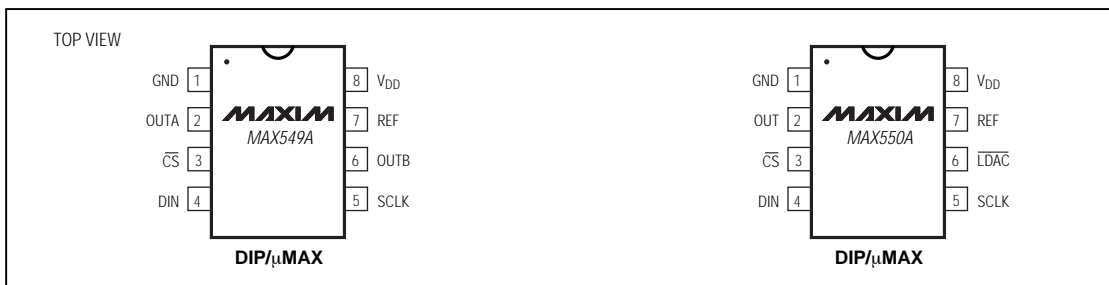
内部の浮遊容量のために、(入力デジタルコードが全てゼロでも)REFにおける高周波のアナログ入力信号が出力にカップリングすることがあります。この状態は「標準動作特性」のMAX549A/MAX550AリファレンスACフィードスルー対周波数のグラフに示されています。アナログフィードスルーをテストするには、DAC出力を0Vに設定してREFを掃引してください。

表6. アナログ出力対コード

DAC CONTENTS								ANALOG OUTPUT (V)
D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	1	1	1	1	1	+V _{REF} (255 / 256)
1	0	0	0	0	0	0	1	+V _{REF} (129 / 256)
1	0	0	0	0	0	0	0	+V _{REF} (128 / 256) = +V _{REF} / 2
0	1	1	1	1	1	1	1	+V _{REF} (127 / 256)
0	0	0	0	0	0	0	1	+V _{REF} (1 / 256)
0	0	0	0	0	0	0	0	0

注：1LSB = V_{REF} × 2⁻⁸ = V_{REF}(1/256)；アナログ出力 = +V_{REF}(1/256)。ここで1 = デジタル入力の整数値

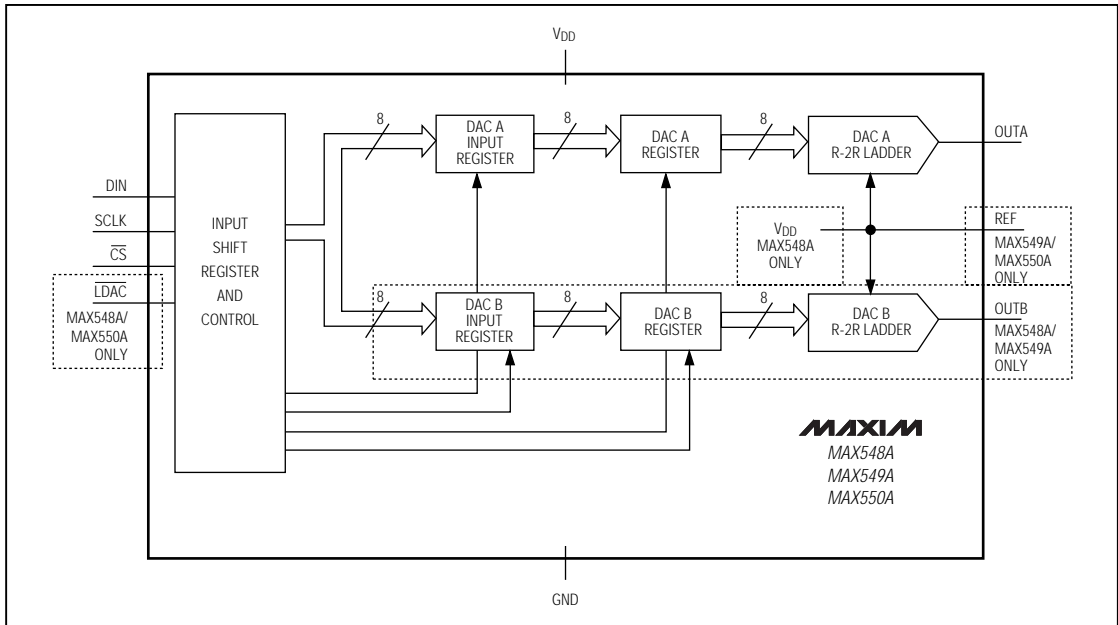
ピン配置(続き)



+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

ファンクションダイアグラム



型番(続き)

チップ情報

PART	TEMP. RANGE	PIN-PACKAGE
MAX549 ACPA	0°C to +70°C	8 Plastic DIP
MAX549ACUA	0°C to +70°C	8 μ MAX
MAX549AC/D	0°C to +70°C	Dice*
MAX549AEPA	-40°C to +85°C	8 Plastic DIP
MAX549AEUA	-40°C to +85°C	8 μ MAX
MAX550 ACPA	0°C to +70°C	8 Plastic DIP
MAX550ACUA	0°C to +70°C	8 μ MAX
MAX550AC/D	0°C to +70°C	Dice*
MAX550AEPA	-40°C to +85°C	8 Plastic DIP
MAX550AEUA	-40°C to +85°C	8 μ MAX

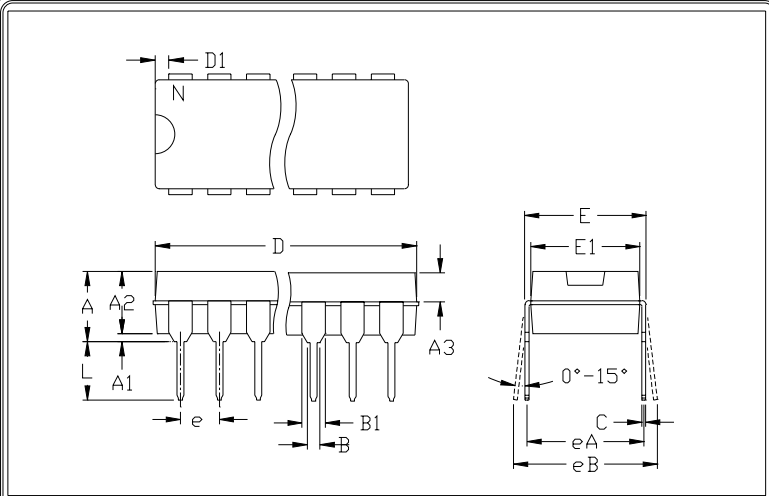
TRANSISTOR COUNT: 1562

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

パッケージ

MAX548A/MAX549A/MAX550A



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS		N	MS001
	MIN	MAX	MIN	MAX		
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

- NOTES:
1. D&E DO NOT INCLUDE MOLD FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
 3. CONTROLLING DIMENSION: MILLIMETER
 4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
 5. SIMILAR TO JEDEC MO-058AB
 6. N = NUMBER OF PINS



PACKAGE FAMILY OUTLINE: PDIP .300"

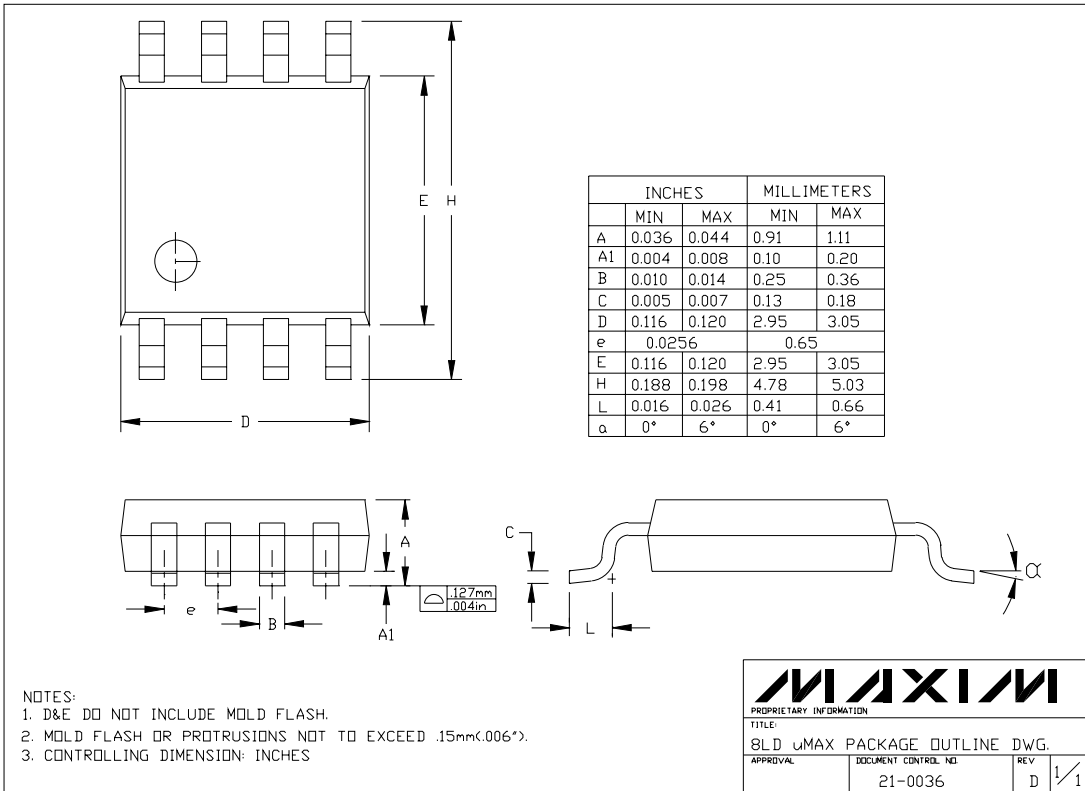
1/1

21-0043 A
DOCUMENT CONTROL NUMBER REV

+2.5V ~ +5.5V、低電力、シングル/デュアル 8ビット電圧出力DAC、 μ MAXパッケージ

MAX548A/MAX549A/MAX550A

パッケージ(続き)



8LDUMXD.EPS

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 1997 Maxim Integrated Products

Printed USA

MAXIM is a registered trademark of Maxim Integrated Products.