

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

## 概要

MAX5234/MAX5235は、高精度なデュアル出力の12ビットD/Aコンバータ(DAC)です。消費電流は単一電源5V(MAX5235)で僅か360 $\mu$ A、または単一電源3V(MAX5234)で325 $\mu$ Aです。これらデバイスの出力バッファの特長は、レイルトゥレイルスイングです。内部の利得アンプは、DAC出力のダイナミックレンジを最大にします。

MAX5234/MAX5235の特長は、SPI™、QSPI™、MICROWIRE™コンパチブルの13.5MHzの3線シリアルインタフェースを備えています。各々のDAC入力は、入力レジスタにDACレジスタが続く構成になっています。16ビットシフトレジスタは、入力レジスタへデータをロードします。入力レジスタは、個別にあるいは同時にDACレジスタを更新します。更にプログラマブルコントロールビットは、1k $\Omega$ または200 $\Omega$ の内部負荷でパワーダウンを可能にします。

MAX5234/MAX5235は、拡張工業用温度範囲(-40 $^{\circ}$ C ~ +85 $^{\circ}$ C)の仕様となっており、省スペースの10ピン $\mu$ MAXパッケージで提供されます。

## アプリケーション

工業用プロセス制御

自動試験機器

デジタルオフセット及び利得調整

モーション制御

マイクロプロセッサ制御のシステム

レイルトゥレイルは日本モトローラの商標です。  
SPI/QSPIはMotorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corp.の商標です。

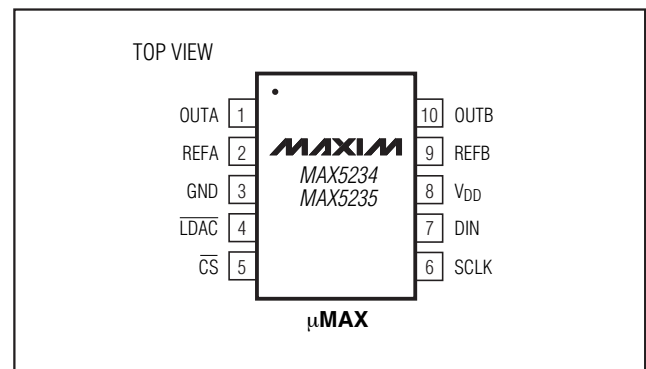
## 特長

- ◆ 1/2LSB INL(最大)の保証
- ◆ 低消費電流
  - 325 $\mu$ A(通常動作)
  - 0.4 $\mu$ A(フルパワーダウンモード)
- ◆ 単一電源動作
  - 3V(MAX5234)
  - 5V(MAX5235)
- ◆ パッケージ: 省スペース10ピン $\mu$ MAX
- ◆ レイルトゥレイル出力バッファ
- ◆ レジスタ及びDACをゼロにクリアするパワーオンリセット
- ◆ 1k $\Omega$ 又は200k $\Omega$ の内部負荷によるプログラマブルシャットダウンモード
- ◆ ゼロにリセット
- ◆ 13.5MHz SPI/QSPI/MICROWIREコンパチブルの3線シリアルインタフェース
- ◆ 5k $\Omega$  || 100pFを駆動する出力バッファ

## 型番

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX5234AEUB	-40 $^{\circ}$ C to +85 $^{\circ}$ C	10 $\mu$ MAX	$\pm 0.5$
MAX5234BEUB	-40 $^{\circ}$ C to +85 $^{\circ}$ C	10 $\mu$ MAX	$\pm 1$
MAX5235AEUB	-40 $^{\circ}$ C to +85 $^{\circ}$ C	10 $\mu$ MAX	$\pm 0.5$
MAX5235BEUB	-40 $^{\circ}$ C to +85 $^{\circ}$ C	10 $\mu$ MAX	$\pm 1$

## ピン配置



# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

MAX5234/MAX5235

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub> to GND .....-0.3V to +6V  
 Digital Inputs to GND .....-0.3V to +6V  
 REF<sub>-</sub>, OUT<sub>-</sub> to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
 Maximum Current into Any Pin.....50mA

Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 10-Pin μMAX (derate 5.60mW/°C above +70°C) .....444mW  
 Operating Temperature Range .....-40°C to +85°C  
 Storage Temperature Range .....-65°C to +150°C  
 Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS—MAX5235

(V<sub>DD</sub> = +4.5V to +5.5V, GND = 0, V<sub>REFA</sub> = V<sub>REFB</sub> = +2.5V, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 100pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution	N		12			Bits
Integral Nonlinearity	INL	MAX5235A (Note 1)			±0.5	LSB
		MAX5235B (Note 1)			±1	
Differential Nonlinearity	DNL				±1	LSB
Offset Error	V <sub>OS</sub>	(Note 2)			±5	mV
Gain Error					±3	LSB
Full-Scale Voltage	V <sub>FS</sub>	Code = FFF hex, T <sub>A</sub> = +25°C (Note 3)	4.087	4.095	4.103	V
Full-Scale Temperature Coefficient	TCV <sub>FS</sub>	Normalized to 4.095V		2		ppm/°C
Offset Temperature Coefficient	TCV <sub>OS</sub>			±8		μV/°C
Power-Supply Rejection	PSR	4.5V ≤ V <sub>DD</sub> ≤ 5.5V		15	200	μV
DC Crosstalk		(Note 4)			100	μV
<b>REFERENCE INPUT</b>						
Reference Input Range	V <sub>REF</sub>	(Note 5)	0.25		2.60	V
Reference Input Resistance	R <sub>REF</sub>	Minimum with code 555 hex and AAA hex	28	37		kΩ
Reference Current in Shutdown	I <sub>REF</sub>				±1	μA
<b>MULTIPLYING MODE PERFORMANCE</b>						
Reference -3dB Bandwidth, Slew-Rate Limited		Input code = FFF hex, V <sub>REF-</sub> = 0.5V <sub>P-P</sub> + 1.5V <sub>DC</sub>		350		kHz
Reference Feedthrough		Input code = 000 hex, V <sub>REF-</sub> = 3.6V <sub>P-P</sub> + 1.8V <sub>DC</sub> , f = 1kHz		-80		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = FFF hex, V <sub>REF-</sub> = 2V <sub>P-P</sub> + 1.5V <sub>DC</sub> , f = 10kHz		79		dB

# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

MAX5234/MAX5235

## ELECTRICAL CHARACTERISTICS—MAX5235 (continued)

( $V_{DD} = +4.5V$  to  $+5.5V$ ,  $GND = 0$ ,  $V_{REFA} = V_{REFB} = +2.5V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL INPUT</b>						
Input High Voltage	$V_{IH}$		$0.7 \times V_{DD}$			V
Input Low Voltage	$V_{IL}$				$0.3 \times V_{DD}$	V
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current		Digital inputs = 0 or $V_{DD}$			$\pm 1$	$\mu A$
Input Capacitance				8		pF
<b>DYNAMIC PERFORMANCE</b>						
Voltage-Output Slew Rate	SR			0.6		V/ $\mu s$
Voltage-Output Settling Time		To $\pm 0.5LSB$ , $V_{STEP} = \pm 4V$ , $0.25V \leq V_{OUT} \leq (V_{DD} - 0.25V)$		10		$\mu s$
Output-Voltage Swing		(Note 6)		0 to $V_{DD}$		V
Time Required for Output to Settle After Turning on $V_{DD}$		(Note 7)			70	$\mu s$
Time Required for Output to Settle After Exiting Full Power-Down		(Note 7)			70	$\mu s$
Time Required for Output to Settle After Exiting DAC Power-Down		(Note 7)			60	$\mu s$
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $f_{SCLK} = 100kHz$ , $V_{SCLK} = 5VP-P$		5		nV-s
Major-Carry Glitch Energy				40		nV-s
<b>POWER SUPPLIES</b>						
Power-Supply Voltage	$V_{DD}$		4.5		5.5	V
Power-Supply Current	$I_{DD}$	(Note 8)		360	450	$\mu A$
Power-Supply Current in Power-Down and Shutdown Modes	$I_{SHDN}$	Full power-down mode		1	5	$\mu A$
		One DAC shutdown mode		190	215	
		Both DACs shutdown mode		26	42	

# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

MAX5234/MAX5235

## ELECTRICAL CHARACTERISTICS—MAX5234

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $GND = 0$ ,  $V_{REFA} = V_{REFB} = +1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution	N		12			Bits
Integral Nonlinearity	INL	MAX5234A (Note 1)			$\pm 0.5$	LSB
		MAX5234B (Note 1)			$\pm 1$	
Differential Nonlinearity	DNL				$\pm 1$	LSB
Offset Error	$V_{OS}$	(Note 2)			$\pm 5$	mV
Gain Error	GE				$\pm 6$	LSB
Full-Scale Voltage	$V_{FS}$	Code = FFF hex, $T_A = +25^\circ C$ (Note 3)	2.041	2.0475	2.054	V
Temperature Coefficient	$TCV_{FS}$	Normalized to 2.0475V		4		ppm/ $^\circ C$
Offset Temperature Coefficient	$TCV_{OS}$			$\pm 8$		$\mu V/^\circ C$
Power-Supply Rejection	PSR	$2.7V \leq V_{DD} \leq 3.6V$		18	280	$\mu V$
DC Crosstalk		(Note 4)			100	$\mu V$
<b>REFERENCE INPUT</b>						
Reference Input Range	$V_{REF}$	(Note 5)	0.25		1.50	V
Reference Input Resistance	$R_{REF}$	Minimum with code 555 hex and AAA hex	28	37		$k\Omega$
Reference Current in Shutdown	$I_{REF}$				$\pm 1$	$\mu A$
<b>MULTIPLYING MODE PERFORMANCE</b>						
Reference -3dB Bandwidth, Slew-Rate Limited		Input code = FFF hex, $V_{REF-} = 0.5V_{P-P} + 0.75V_{DC}$		350		kHz
Reference Feedthrough		Input code = 000 hex, $V_{REF-} = 1.6V_{P-P} + 0.8V_{DC}$ , $f = 1kHz$		-80		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = FFF hex, $V_{REF-} = 0.6V_{P-P} + 0.9V_{DC}$ , $f = 10kHz$		79		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	$V_{IH}$		$0.7 \times V_{DD}$			V
Input Low Voltage	$V_{IL}$				$0.3 \times V_{DD}$	V
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current		Digital inputs = 0 or $V_{DD}$			$\pm 1$	$\mu A$
Input Capacitance				8		pF
<b>DYNAMIC PERFORMANCE</b>						
Voltage-Output Slew Rate	SR			0.6		V/ $\mu s$
Voltage-Output Settling Time		To $\pm 0.5LSB$ , $V_{STEP} = \pm 2V$ , $0.25V \leq V_{OUT} \leq (V_{DD} - 0.25V)$		10		$\mu s$
Output-Voltage Swing		(Note 6)		0 to $V_{DD}$		V

# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

MAX5234/MAX5235

## ELECTRICAL CHARACTERISTICS—MAX5234 (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $GND = 0$ ,  $V_{REFA} = V_{REFB} = +1.25V$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Time Required for Output to Settle After Turning on $V_{DD}$		(Note 7)			60	$\mu s$
Time Required for Output to Settle After Exiting Full Power-Down		(Note 7)			60	$\mu s$
Time Required for Output to Settle After Exiting DAC Power-Down		(Note 7)			50	$\mu s$
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $f_{SCLK} = 100kHz$ , $V_{SCLK} = 3VP-P$		5		nV-s
Major Carry Glitch Energy				115		nV-s
<b>POWER SUPPLIES</b>						
Power-Supply Voltage	$V_{DD}$		2.7		3.6	V
Power-Supply Current	$I_{DD}$	(Note 8)		325	430	$\mu A$
Power-Supply Current in Power-Down and Shutdown Modes	$I_{SHDN}$	Full power-down mode		0.4	5	$\mu A$
		One DAC shutdown mode		175	200	
		Both DACs shutdown mode		25	40	

## TIMING CHARACTERISTICS—MAX5235 (FIGURES 1 AND 2)

( $V_{DD} = +4.5V$  to  $+5.5V$ ,  $GND = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	$t_{CP}$		74			ns
SCLK Pulse Width High	$t_{CH}$		30			ns
SCLK Pulse Width Low	$t_{CL}$		30			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		30			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSH}$		0			ns
DIN Setup Time	$t_{DS}$		30			ns
DIN Hold Time	$t_{DH}$		0			ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	$t_{CS1}$		30			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		75			ns
$\overline{LDAC}$ Pulse Width Low	$t_{LDL}$		30			ns
$\overline{CS}$ Rise to $\overline{LDAC}$ Rise Hold Time	$t_{CSLD}$	(Note 9)	40			ns

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

MAX5234/MAX5235

## TIMING CHARACTERISTICS—MAX5234 (FIGURES 1 AND 2)

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $GND = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t <sub>CP</sub>		74			ns
SCLK Pulse Width High	t <sub>CH</sub>		30			ns
SCLK Pulse Width Low	t <sub>CL</sub>		30			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	t <sub>CSS</sub>		30			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	t <sub>CSH</sub>		0			ns
DIN Setup Time	t <sub>DS</sub>		30			ns
DIN Hold Time	t <sub>DH</sub>		0			ns
SCLK Rise to $\overline{CS}$ Fall Delay	t <sub>CS0</sub>		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	t <sub>CS1</sub>		30			ns
$\overline{CS}$ Pulse Width High	t <sub>CSW</sub>		75			ns
LDAC Pulse Width Low	t <sub>LDL</sub>		30			ns
$\overline{CS}$ Rise to LDAC Rise Hold Time	t <sub>CSLD</sub>	(Note 9)	75			ns

**Note 1:** Accuracy is guaranteed in the following way:

V <sub>DD</sub>	V <sub>REF_</sub>	ACCURACY GUARANTEED FROM CODE	TO CODE
3	1.250	20	4095
5	2.500	10	4095

**Note 2:** Offset is measured at the code closest to 10mV.

**Note 3:** Gain from V<sub>REF\_</sub> to V<sub>OUT\_</sub> is typically 1.638 x CODE/4096.

**Note 4:** DC crosstalk is measured as follows: set DAC A to midscale, and DAC B to zero, and measure DAC A output; then change DAC B to full scale and measure  $\Delta V_{OUT}$  for DAC A. Repeat the same measurement with DAC A and DAC B interchanged. DC crosstalk is the maximum  $\Delta V_{OUT}$  measured.

**Note 5:** The DAC output voltage is derived by gaining up V<sub>REF</sub> by 1.638 x CODE/4096. This gain factor may cause V<sub>OUT</sub> to try to exceed the supplies. The maximum value of V<sub>REF</sub> in the reference input range spec prevents this from happening at full scale. The minimum V<sub>REF</sub> value of 0.25V is determined by linearity constraints, not DAC functionality.

**Note 6:** Accuracy is better than 1LSB for V<sub>OUT</sub> = 10mV to V<sub>DD</sub> - 180mV.

**Note 7:** Guaranteed by design. Not production tested.

**Note 8:** R<sub>LOAD</sub> = ∞ and digital inputs are at either V<sub>DD</sub> or GND. V<sub>OUT</sub> = full-scale output voltage.

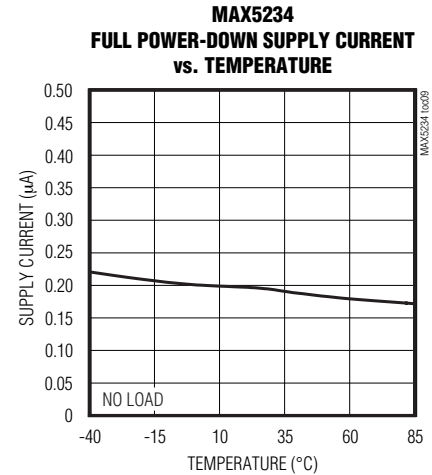
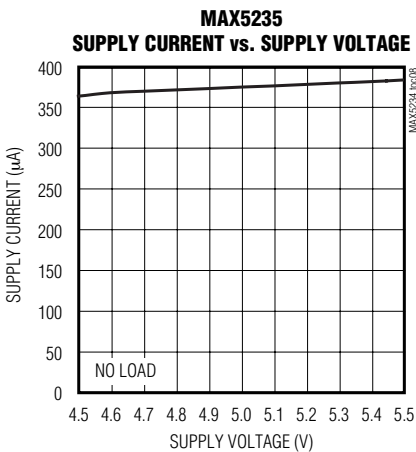
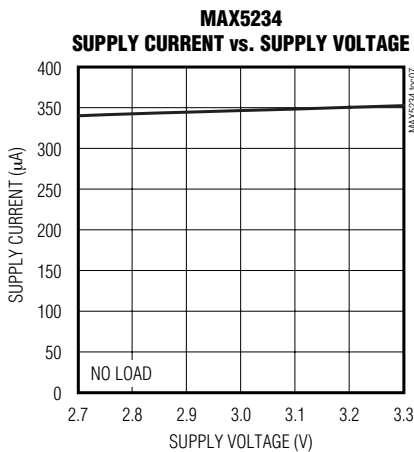
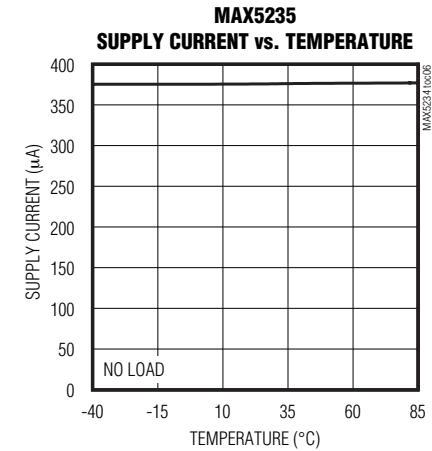
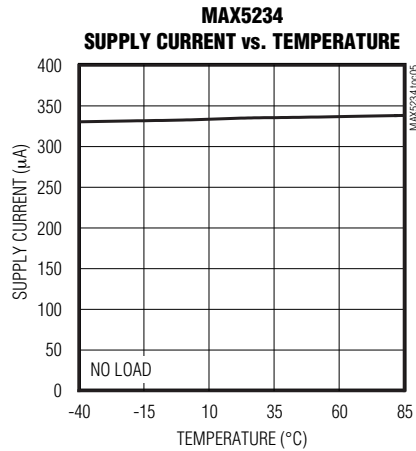
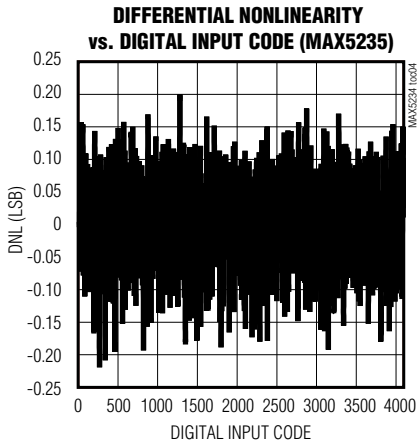
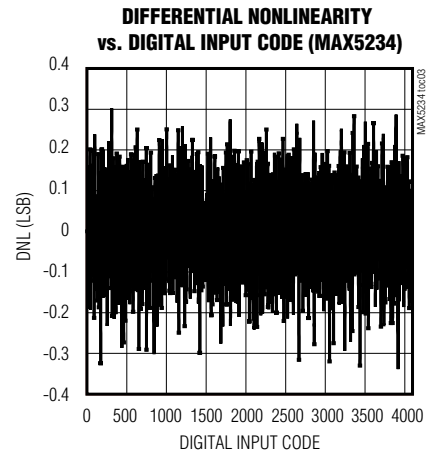
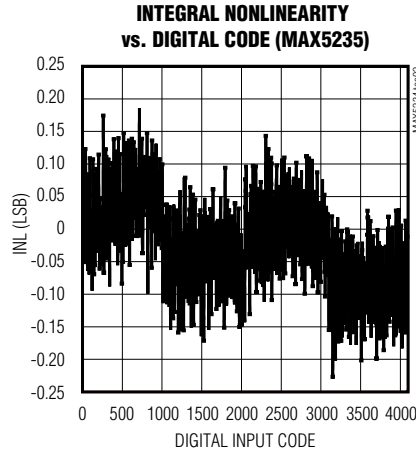
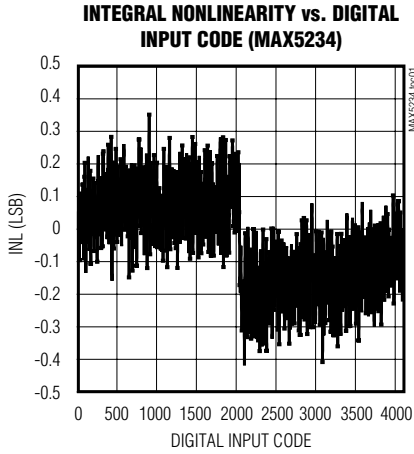
**Note 9:** This timing requirement applies only to  $\overline{CS}$  rising edges, which execute commands modifying the DAC input register contents.

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

MAX5234/MAX5235

## 標準動作特性

( $V_{DD} = +5V$  (MAX5235)  $V_{DD} = +3V$  (MAX5234),  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $V_{REF} = +1.25V$  (MAX5234),  $V_{REF} = +2.5V$  (MAX5235),  $C_{REF} = 0.1\mu F$  ceramic ||  $2.2\mu F$  electrolytic, both DACs on,  $V_{OUT} = \text{full scale}$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

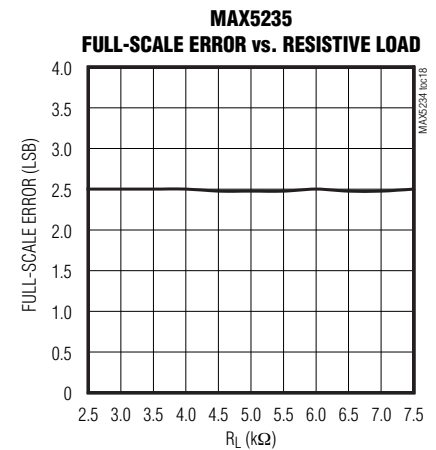
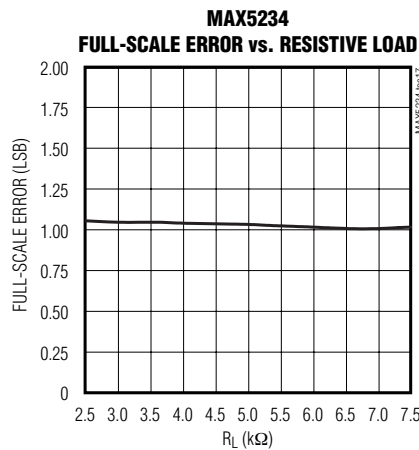
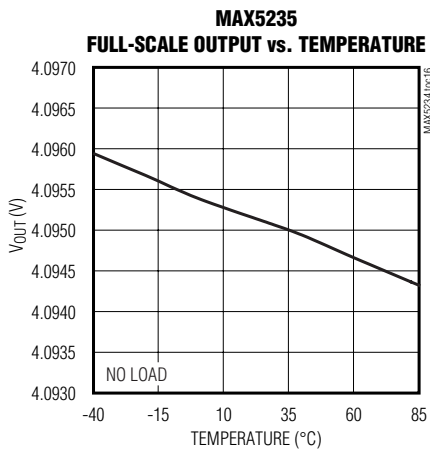
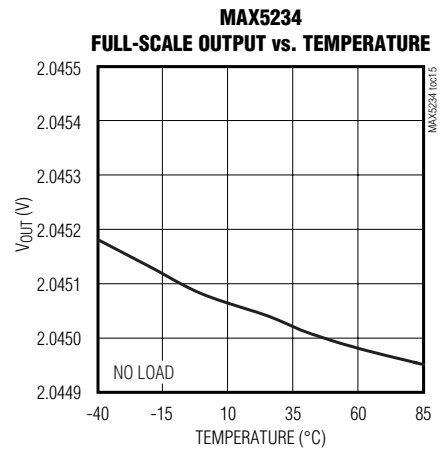
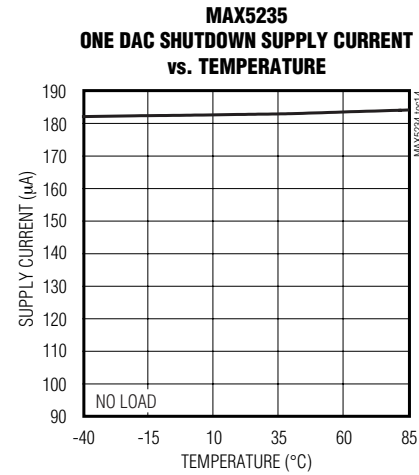
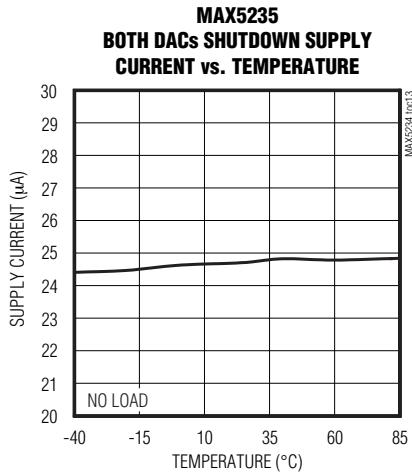
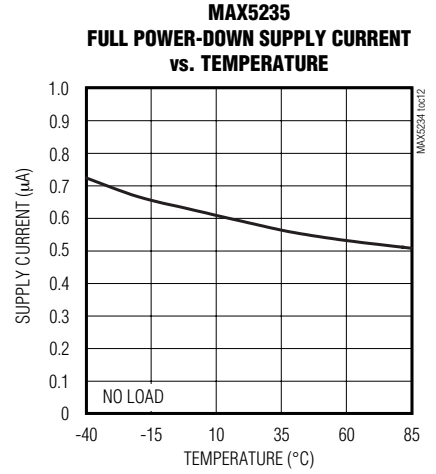
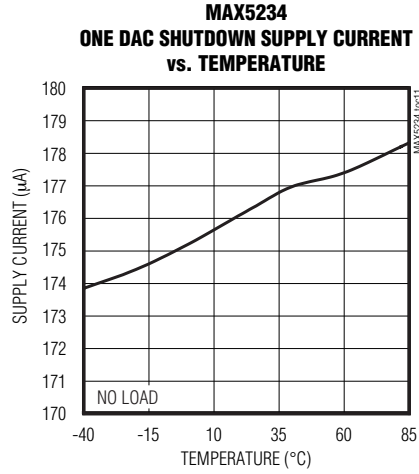
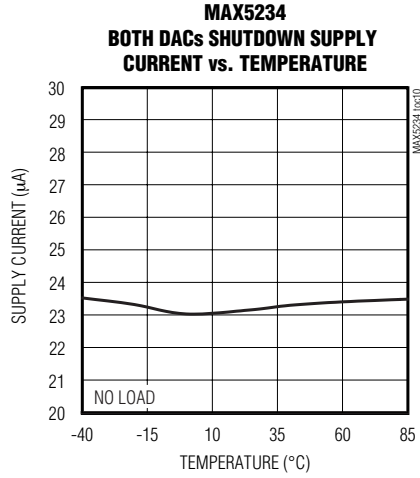


# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

MAX5234/MAX5235

## 標準動作特性(続き)

( $V_{DD} = +5V$  (MAX5235)  $V_{DD} = +3V$  (MAX5234),  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $V_{REF} = +1.25V$  (MAX5234),  $V_{REF} = +2.5V$  (MAX5235),  $C_{REF} = 0.1\mu F$  ceramic ||  $2.2\mu F$  electrolytic, both DACs on,  $V_{OUT} = \text{full scale}$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)





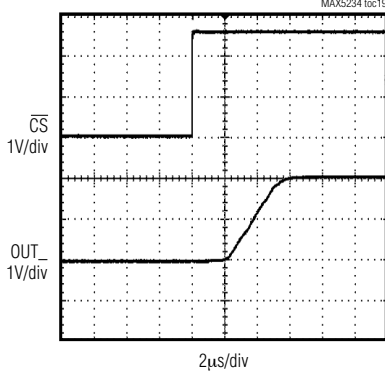
# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

MAX5234/MAX5235

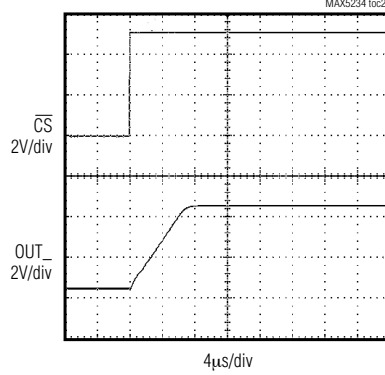
## 標準動作特性(続き)

( $V_{DD} = +5V$  (MAX5235)  $V_{DD} = +3V$  (MAX5234),  $R_L = 5k\Omega$ ,  $C_L = 100pF$ ,  $V_{REF} = +1.25V$  (MAX5234),  $V_{REF} = +2.5V$  (MAX5235),  $C_{REF} = 0.1\mu F$  ceramic ||  $2.2\mu F$  electrolytic, both DACs on,  $V_{OUT} = \text{full scale}$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

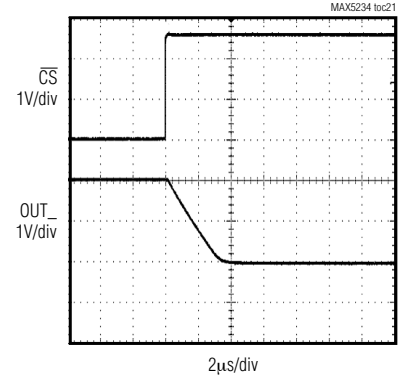
**MAX5234**  
DYNAMIC RESPONSE RISE TIME



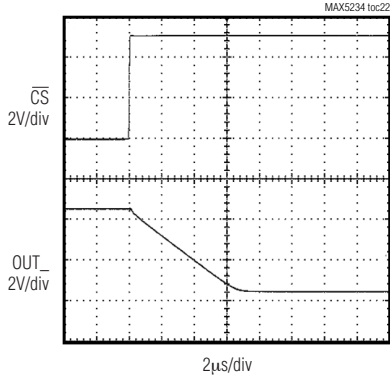
**MAX5235**  
DYNAMIC RESPONSE RISE TIME



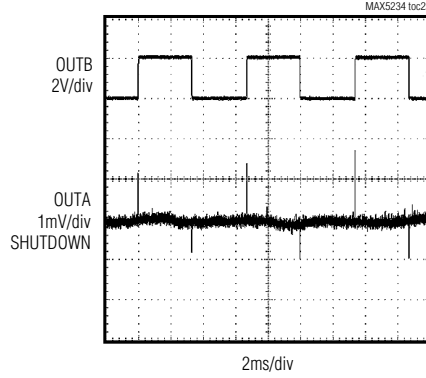
**MAX5234**  
DYNAMIC RESPONSE FALL TIME



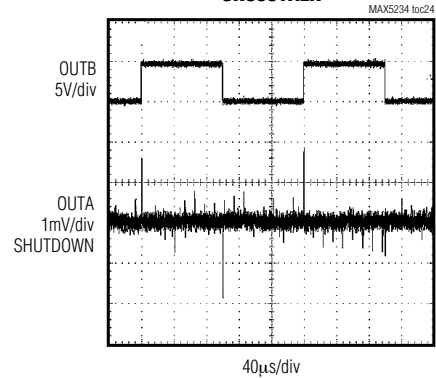
**MAX5235**  
DYNAMIC RESPONSE FALL TIME



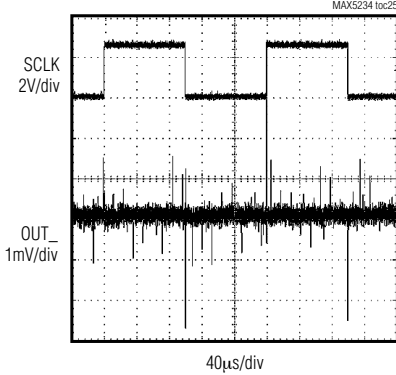
**MAX5234**  
CROSSTALK



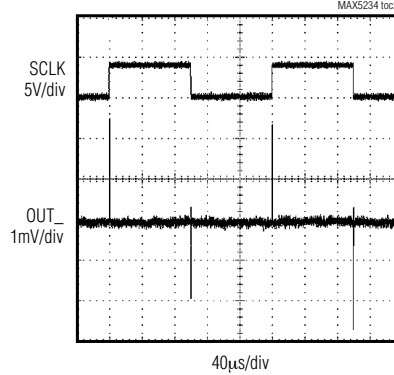
**MAX5235**  
CROSSTALK



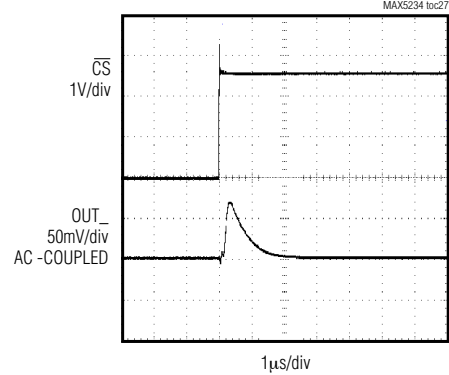
**MAX5234**  
DIGITAL FEEDTHROUGH



**MAX5235**  
DIGITAL FEEDTHROUGH



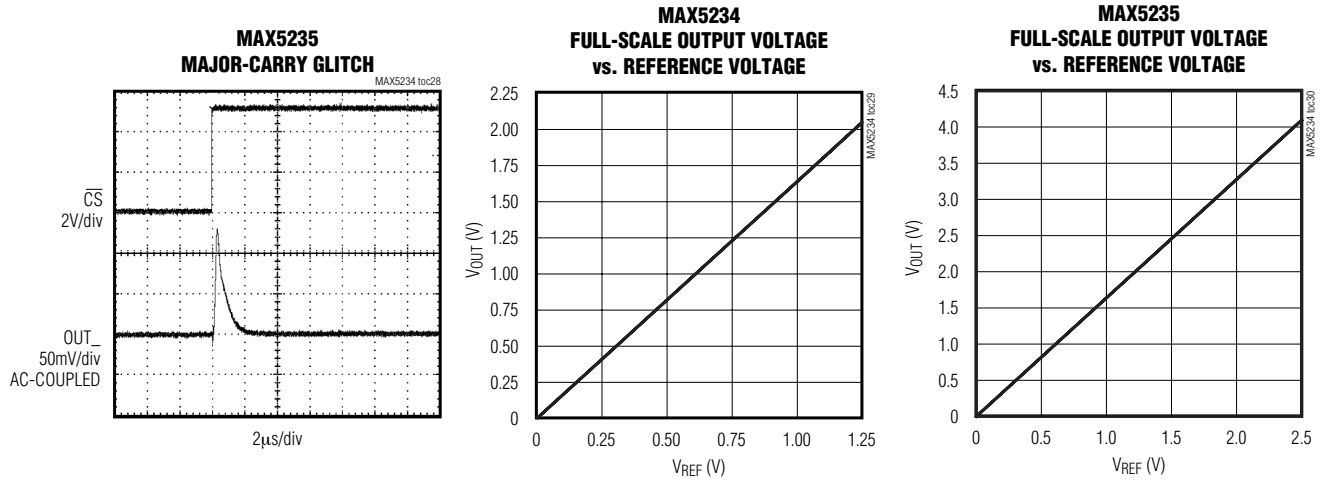
**MAX5234**  
MAJOR-CARRY GLITCH



# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

## 標準動作特性(続き)

(V<sub>DD</sub> = +5V (MAX5235) V<sub>DD</sub> = +3V (MAX5234), R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 100pF, V<sub>REF</sub> = +1.25V (MAX5234), V<sub>REF</sub> = +2.5V (MAX5235), C<sub>REF</sub> = 0.1μF ceramic II 2.2μF electrolytic, both DACs on, V<sub>OUT</sub> = full scale, T<sub>A</sub> = +25°C, unless otherwise noted.)



## 端子説明

端子	名称	機能
1	OUTA	DAC Aの出力
2	REFA	DAC Aのリファレンス
3	GND	グランド
4	$\overline{\text{LDAC}}$	DAC A及びBの負荷
5	$\overline{\text{CS}}$	チップ選択入力
6	SCLK	シフトレジスタシリアルクロック入力
7	DIN	シリアルデータ入力
8	V <sub>DD</sub>	正電源
9	REFB	DAC Bのリファレンス
10	OUTB	DAC Bの出力

## 詳細

MAX5234/MAX5235 12ビット、電圧出力DACは、3線のSPI、QPPI、MICROWIREのシリアルインタフェースを使って容易に設定されます。本デバイスは、16ビットのデータ入/出のシフトレジスタを装備しており、入力レジスタ及びDACレジスタで構成される入力を備えています。更にこれらのデバイスは、1.6384V/Vの利得を生成するためにトリムした高精度内蔵レジスタを使い出力電圧スウィングを最大にし、又インピーダンスを1kΩあるいは200kΩのプログラマブルシャットダウン出力を備えています。フルスケール出力電圧は、MAX5235では4.095Vで、MAX5234では、2.0475Vです。これらのデバイスは、反転したレイルトゥレイル

ラダーネットワークでデジタル入力コードに比例し加重された出力電圧を生成します(図3)。

## 外部リファレンス

リファレンス入力は、電圧範囲をMAX5235では0.25Vから2.6V、MAX5234では0.25Vから1.5Vに拡張することにより、AC及びDC値両方に応じることが可能です。適切な動作のためには、入力電圧範囲の限界を超えないで下さい。次式を使って出力電圧を決めて下さい。

$$V_{\text{OUT}} = (V_{\text{REF}} \times \text{NB} / 4096) \times 1.6384\text{V/V}$$

この場合、NBはDACの2進法の入力コード(0から4095)の数値、V<sub>REF</sub>はリファレンス電圧、1.6384V/Vは内蔵出力アンプの利得です。

コードに依存するリファレンスの入力インピーダンスは、最小28kΩからコード0で数GΩまでの範囲です。コードに依存するリファレンスの入力容量は、標準23pFです。

## 出力アンプ

出力アンプは1.6384V/Vの利得を供給する内蔵レジスタを備えています。これらのトリムしたレジスタは利得誤差を最小化します。出力アンプは0.6V/μsの標準スルーレートで、100pFと並列の5kΩ負荷において10μs(typ)以内に1/2LSBまでセトリングします。アンプのシャットダウン出力インピーダンスを1kΩまたは200kΩに設定するためにはシリアルインタフェースを使用して下さい。

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

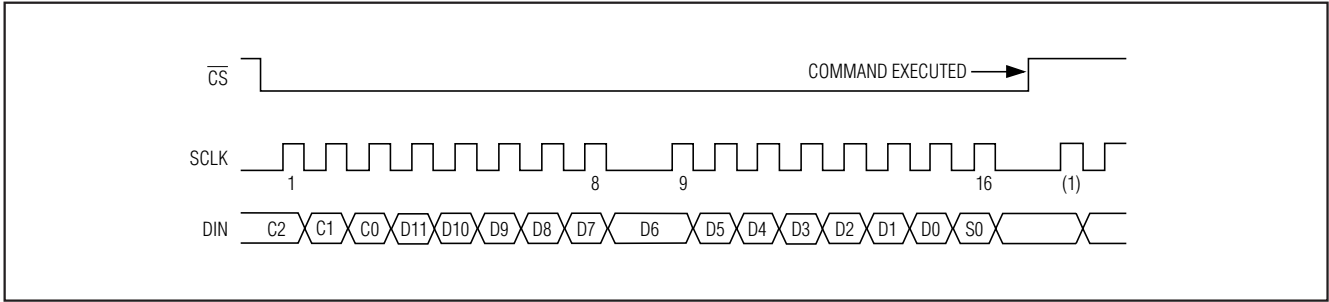


図1. シリアルインタフェースタイミング

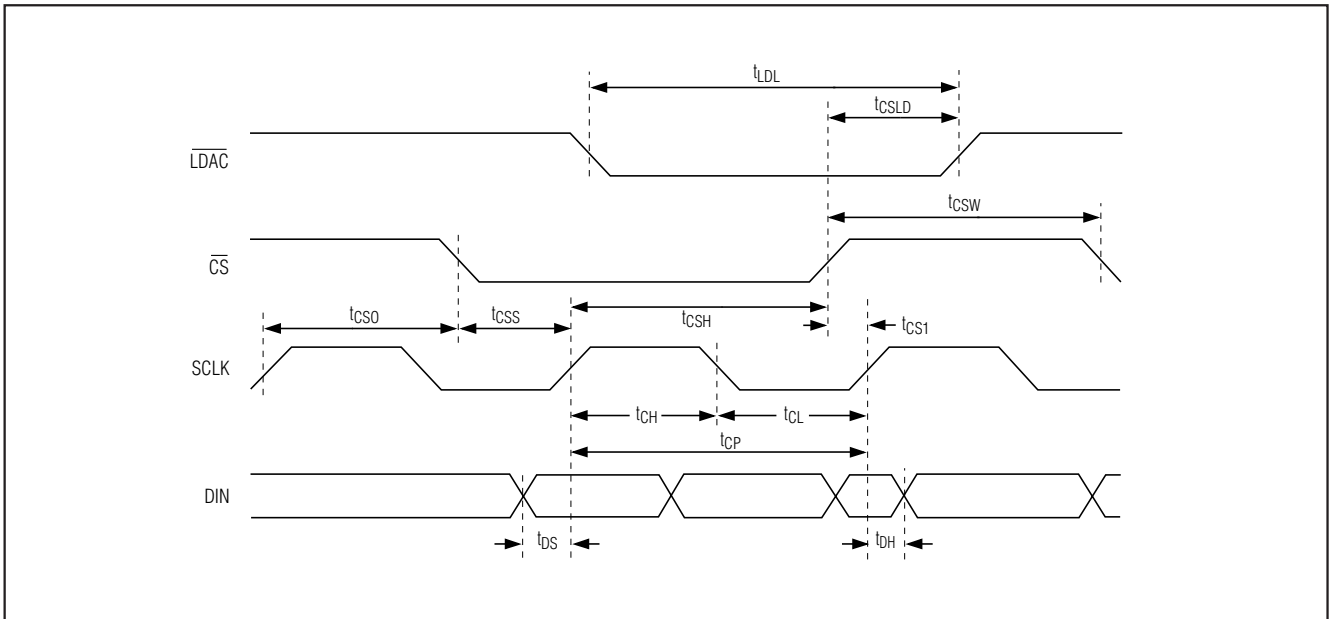


図2. 詳細シリアルインタフェースタイミング

## シリアルインタフェース

3線シリアルインタフェース(SPI、QSPI、及びMICROWIREコンパチブル)は、MAX5234/MAX5235で使われているDAC動作の完全制御を可能にします(図4及び5)。図1及び2はシリアルインタフェースのタイミングを示しています。表1、2、3に説明されているようにシリアルワードは12データビット(最初にMSB)及び1サブビットが後に続く3制御ビットで構成されています。3制御ビットが全部0又は全部1である時、D11~D8はDAC機能をさらに増大するように付加的制御ビットとして使われます。

デジタル入力は、以下を可能にします。DACレジスタを更新せず入力レジスタをロードしたり、入力レジスタからDACレジスタを更新したり、入力及びDACレジスタを同時に更新したりすることを可能にします。制御ビット及びD11~D8はDACが独立して動作することを可能にします。

この期間中は、16ビットデータを1つの16ビットワード(QSPI)又は2つの8ビットパケット(SPI及びMICROWIRE)にしてCSローで送って下さい。制御ビット及びD11~D8は、シャットダウンを出る時に、更新されるレジスタ、及びレジスタの状態を決定します。3ビット制御及びD11~D8は次のことを決めます。

- 更新されるレジスタ
- パワーダウンモードの選択

図1の一般タイミングダイアグラムは、データ取得を図解しています。CSローで駆動すると、デバイスがデータを受信可能となります。さもなければ、インタフェース制御回路はディセーブされます。CSローでDINのデータがSCLKの立ち上がりエッジでレジスタにクロックされます。CSがハイになると、制御ビットとD11~D8の状態によって、データは入力及び/又はDACレジスタにラッチされます。適切な動作のために保証されている最大クロック周波数は13.5MHzです。図2は、シリアル

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

表1. シリアルデータフォーマット

MSB <----- 16 bits of serial data -----> LSB		
3 Control Bits	MSB.....12 Data Bits.....LSB	Sub Bit
C2...C0	D11.....D0	S0

インタフェースのより詳しいタイミングダイアグラムです。

## パワーダウン及びシャットダウンモード

表2、3に記述されているように、いくつかのシリアルインタフェースコマンドは、1つ又は両方のDACをシャットダウンモードにします。シャットダウンモードは各DACで完全に独立しています。シャットダウン時、アンプの出力はハイインピーダンスになり、そしてOUT<sub>+</sub>は200kΩ (typ)の利得レジスタを介してGNDへ終端されます。オプションとして、OUT<sub>+</sub>は1kΩでGNDへ終端が可能です(図2及び3を参照)。

フルパワーダウンモードはメインバイアスジェネレータと両DACをシャットダウンします。DAC出力のシャットダウンインピーダンスは、図2、3に述べられているように、個別に制御することが可能です。

シリアルインタフェースコマンドは、シャットダウンモードを出てDACレジスタを更新します。各DACは同時に又は個別にシャットダウンから出ることが可能です(表2及び3を参照)。例えば両方のDACがシャットダウンしている時にDAC Aレジスタを更新するとDAC Aが起動しますが、一方DAC Bはシャットダウンしています。フルパワーダウンモードで、どちらかのDACを起動するとメインバイアスジェネレータが起動します。フルパワーダウンから両方のDACをシャットダウンモードに変換するにはステート間のDACのどちらかをウェイクさせることが必要です。

MAX5234/MAX5235をパワーアップする時は(V<sub>DD</sub>をパワーする)、出力安定のために60μs(MAX5234)又は70μs(MAX5235)が必要です。フルパワーダウンモードから出る時は出力安定のために最大60μs(MAX5234)又は最大70s(MAX5435)が必要です。DACがシャットダウンモードから出る時出力安定のため最大50μs(MAX5234)又は最大60μs(MAX5235)が必要です。

## ロードDAC入力(LDAC)

LDACを非同期に確定すると対応入力レジスタからDACレジスタをロードします(シャットダウンされているDACはシャットダウンのままです)。LDACの入力は完全非同期性で、有効にするためにCS、SCLK又はDINのいかなるアクティビティも必要としません。もし、

LDACが、DAC入力レジスタのどちらかの値を修正するシリアルコマンドを実行するCSの立ち上がりエッジで同時に確定されたら、それからLDACはCSの立上りエッジに続いて少なくとも30nsの間確定されている必要があります。この要求はDAC入力レジスタの値を修正するシリアルコマンドにのみ適用されます。

## アプリケーション情報

### 定義

#### 積分非直線性(INL)

積分非直線性(図6a)とは直線からの実際の伝達関数上の偏差値です。直線は最もフィットするベスト・ストレート・ラインか(実際のトランスファ曲線へ一番近い)あるいは、いったんオフセットと利得誤差が調整された後の伝達関数の終了点間に引かれた線になります。DACでは、偏差はステップごとに測定されています。

#### 微分非直線性(DNL)

微分非直線性(図6b)とは実際のステップの高さと1LSBの理想の値との差です。DNL幅が1LSBより少ない場合は、DACはミッシングコードがないこと及び単調性を保証します。

#### オフセット誤差

オフセット誤差(図6c)とは理想と実際のオフセットポイントの差です。DACでは、オフセットポイントはデジタル入力が0の時のステップ値です。この誤差は、同じ量ですべてのコードに影響し、通常トリミングによって補正することが可能です。

#### 利得誤差

利得誤差(図6d)とはオフセット誤差をなくした後で、トランスファ曲線上の理想と実際のフルスケール電圧出力間の差です。この誤差は伝達関数のスロープを変え、各ステップで同じ割合の誤差になっています。

#### セトリングタイム

セトリングタイムとはコンバータの規定精度の範囲内で遷移の開始点からDAC出力が新しい出力値にセトリングするまで必要とされる時間です。

#### デジタルフィードスルー

デジタルフィードスルーはいかなるデジタル入力遷移の時にDAC上に発生するノイズのことです。適切な基板レイアウトと接地によってかなりノイズを低減することができますが、DAC自体によって起こされるフィードスルーが常にいくつかあります。

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

表2. シリアルインタフェース プログラミングコマンド

16-BIT SERIAL WORD					FUNCTION
C2	C1	C0	D11.....D0	S0*	
0	0	1	12-bit DAC data	0	Load input register A; DAC registers are unchanged.
0	1	0	12-bit DAC data	0	Load input register A; all DAC registers are updated.
0	1	1	12-bit DAC data	0	Load all DAC registers from the shift register (start up both DACs with new data, and load the input registers).
1	0	0	X X X X X X X X X X X X	0	Update both DAC registers from their respective input registers (start up both DACs with data previously stored in the input registers).
1	0	1	12-bit DAC data	0	Load input register B; DAC registers are unchanged.
1	1	0	12-bit DAC data	0	Load input register B; all DAC registers are updated.
1	1	1	P1A P1B X X X X X X X X X X	0	Power down both DACs respectively according to bits P1A and P1B (see Table 3). Internal bias remains active.
0	0	0	0 0 1 X X X X X X X X X X	0	Update DAC register A from input register A (start up DAC A with data previously stored in input register A).
0	0	0	0 1 1 P1A P1B X X X X X X X X	0	Full power-down. Power down the main bias generator and power down both DACs respectively according to bits P1A and P1B (see Table 3).
0	0	0	1 0 1 X X X X X X X X X X	0	Update DAC register B from input register B (start up DAC B with data previously stored in input register B).
0	0	0	1 1 0 P1A X X X X X X X X X X	0	Power down DAC A according to bit P1A (see Table 3).
0	0	0	1 1 1 P1B X X X X X X X X X X	0	Power down DAC B according to bit P1B (see Table 3).

X = Don't care.

\* = S0 must be zero for proper operation.

## ユニポーラ出力

図7は1.6384V/Vの利得を備えたユニポーラレイルトゥレイル動作用に構成されたMAX5234/MAX5235を示しています。MAX5235は、2.5Vリファレンスで0~4.095V出力を生成します。一方MAX5234は1.25Vレファレンスで0~2.0475V範囲の出力を生成します。表4は、ユニポーラ出力コードのリストです。

## バイポーラ出力

MAX5234/MAX5235は、図8に示されるようにバイポーラ出力に構成されることが可能です。電圧出力は次式によって得られます。

$$V_{OUT} = V_{REF} [((1.6348 \times NB) / 4096) - 1]$$

この場合、NBはDACの2進法入力コードの数値を表しています。表5はデジタルコードと図8の回路に対応する出力電圧を示しています。

## ACリファレンスの使用

アプリケーションでリファレンスにAC信号成分がある場合、MAX5234/MAX5235はリファレンス入力電圧範囲の仕様内で掛け算できる機能を備えています。図4

は、AC信号がリファレンス入力に適用される前にオフセットされるREF\_へ、正弦波入力を適応する方法を示しています。

表3. P1シャットダウンモード

P1(A/B)	SHUTDOWN MODE
0	Shut down with internal 1kΩ load to GND
1	Shut down with internal 200kΩ load to GND

## デジタルキャリブレーションとスレッショルドの選択

図10はMAX5234/MAX5235のデジタルキャリブレーションアプリケーションを示しています。フォトダイオード(on)に高輝度の光信号値を加えると、DACはコンパレータを始動させるまでデジタルでランプアップします。マイクロプロセッサ(μP)は、「高」キャリブレーション値を保存します。暗電流キャリブレーションを得るまで調光(off)でこの過程を繰り返して下さい。μPはDACが2つのキャリブレーション値の中間点で電圧出力をセットするようにDACをプログラムします。アプリケーションには、タコメータ、モーションセンサ、自動読み取り、液体透明度の分析があります。

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

表4. ユニポーラコード表  
利得 = 1.6384

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111 1111 1	111 (0)	$+V_{REF} \left( \frac{4095}{4096} \right) \times 1.6384$
1000 0000 0	001 (0)	$+V_{REF} \left( \frac{2049}{4096} \right) \times 1.6384$
1000 0000 0	000 (0)	$+V_{REF} \left( \frac{2048}{4096} \right) \times 1.6384 = V_{REF}$
0111 1111 1	111 (0)	$+V_{REF} \left( \frac{2047}{4096} \right) \times 1.6384$
0000 0000 0001 (0)		$+V_{REF} \left( \frac{1}{4096} \right) \times 1.6384$
0000 0000 0	000 (0)	0V

Note: ( ) are for the sub-bit.

表5. バイポーラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111 1111 1	111 (0)	$+V_{REF} \left( \frac{2047}{2048} \right)$
1000 0000 0	001 (0)	$+V_{REF} \left( \frac{1}{2048} \right)$
1000 0000 0	000 (0)	0V
0111 1111 1	111 (0)	$-V_{REF} \left( \frac{1}{2048} \right)$
0000 0000 001 (0)		$-V_{REF} \left( \frac{2047}{2048} \right)$
0000 0000 000 (0)		$-V_{REF} \left( \frac{2048}{2048} \right) = -V_{REF}$

Note: ( ) are for the sub-bit.

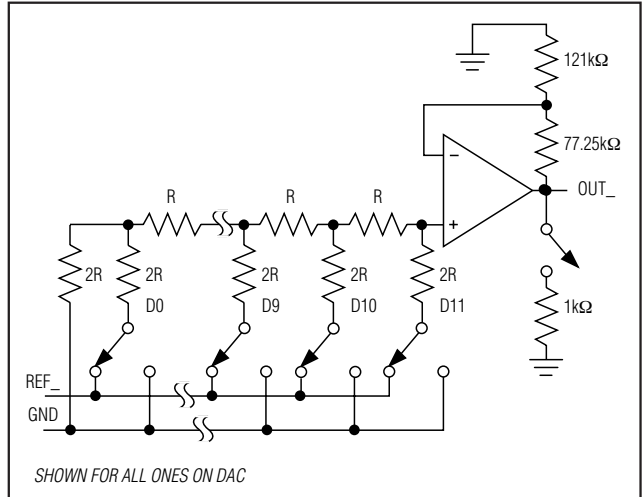


図3. 簡略化したDAC回路ダイアグラム

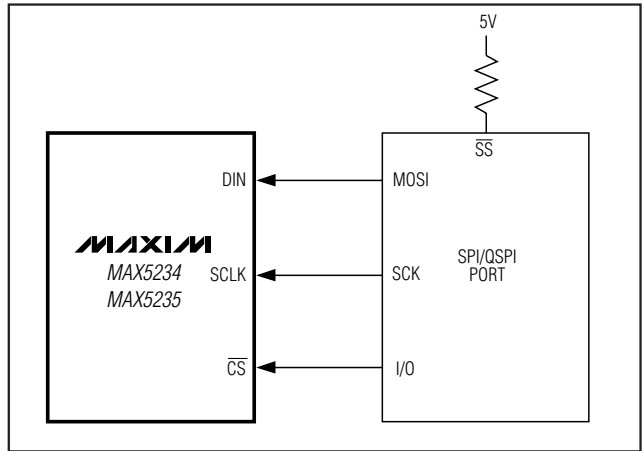


図4. SPI/QSPIインタフェース接続

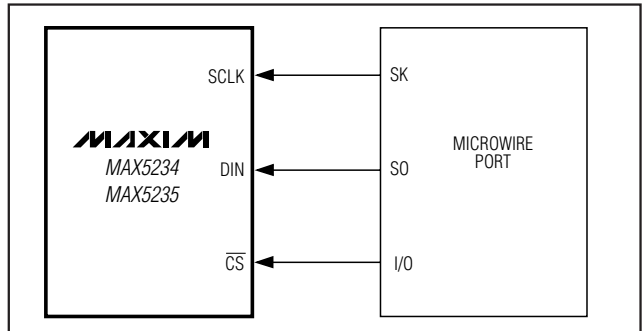


図5. MICROWIREの接続

# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

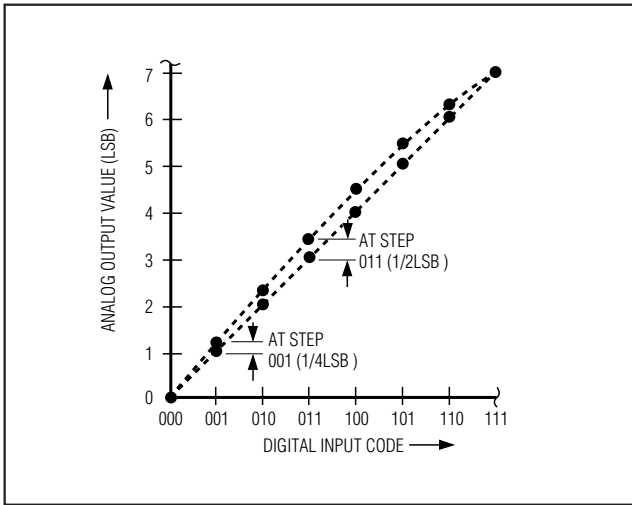


図6a. 積分非直線性

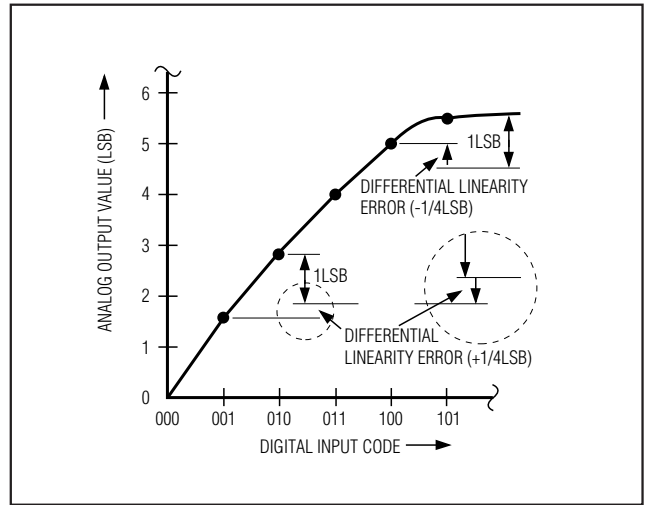


図6b. 微分非直線性

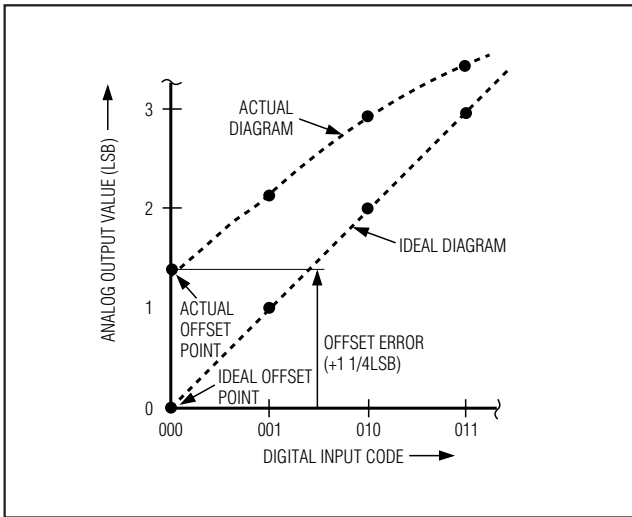


図6c. オフセット誤差

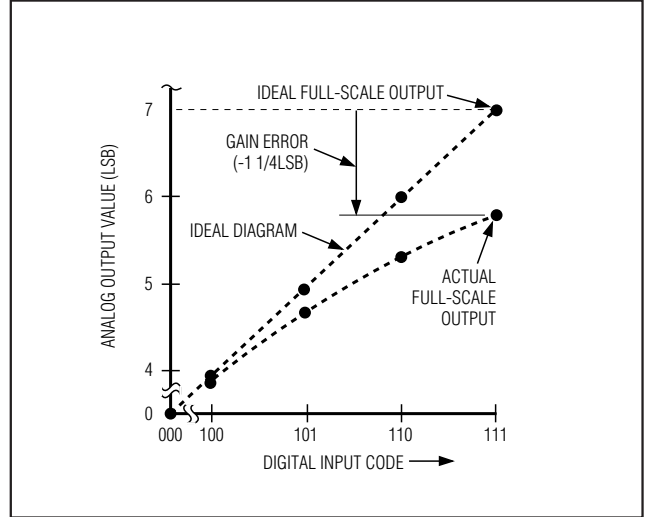


図6d. 利得誤差

# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

MAX5234/MAX5235

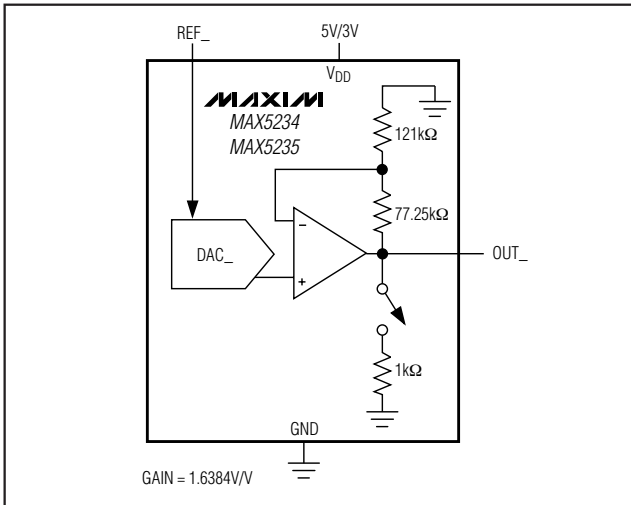


図7. ユニポーラ出力回路(レールトゥレール)

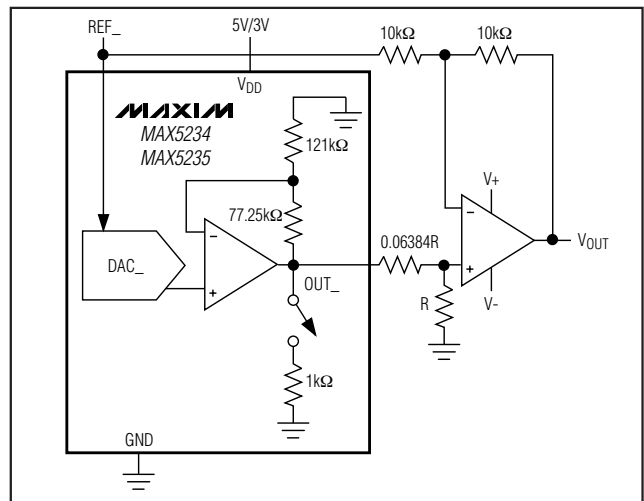


図8. バイポーラ出力回路

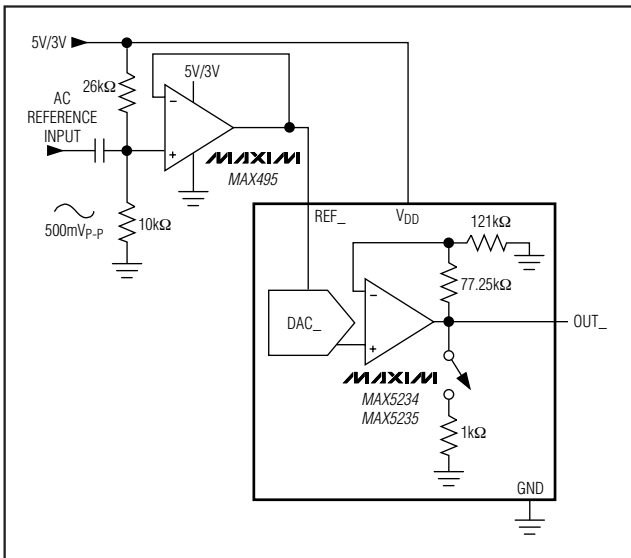


図9. AC成分の外部リファレンス

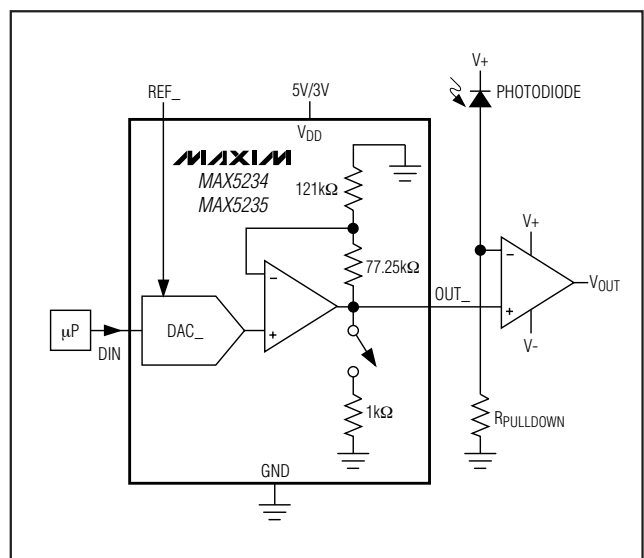


図10. デジタルキャリブレーション

## 利得及びオフセットのデジタル制御

2つのDACは、トランスデューサ線形化又はアナログ圧縮/拡大のアプリケーションのような曲線フィット非直線性機能のためにオフセット及び利得を調整することが可能です。入力信号は利得調整DACのリファレンスとして使われます。そのDAC出力がオフセット調整DACからの出力と合計されます。各DAC出力の比重はR1とR2とR3とR4で(図11)で調整されます。

## 共通DINラインを共有する

複数のMAX5234/MAX5235が1つの共通DINラインを(図12)共有することも可能です。この構成においては、

データバスはすべてのデバイスに共有されています。データはデジチェーンを介してシフトされません。SCLKとDIN線はすべてのデバイスによって共有されますが、各ICは各々専用のCS線が必要です。

## 電源の考察

パワーアップ時、入力とDACレジスタがクリアになります(0コードにセットされます)。電源は0.1μFコンデンサと並列の4.7μFコンデンサでグラウンドにバイパスして下さい。引込み線の長さは、リードインダクタンスを低減するために最小にして下さい。



# 単一電源3V/5V、電圧出力、デュアル、高精度、12ビットDAC

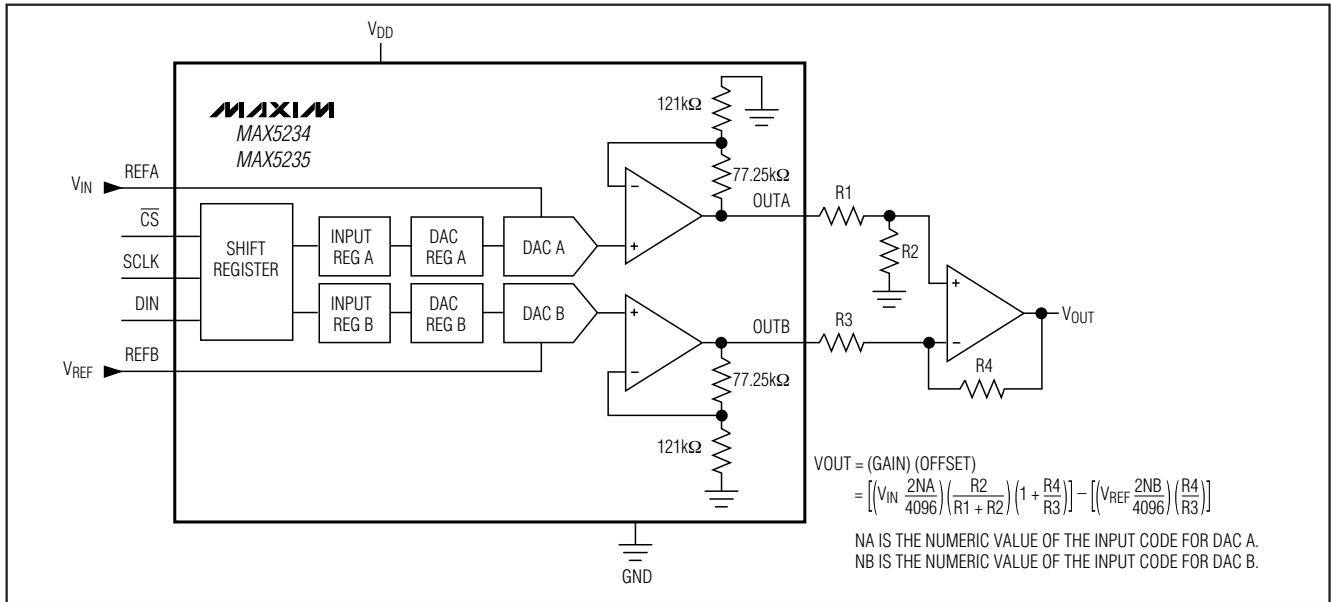


図11. 利得及びオフセットのデジタル制御

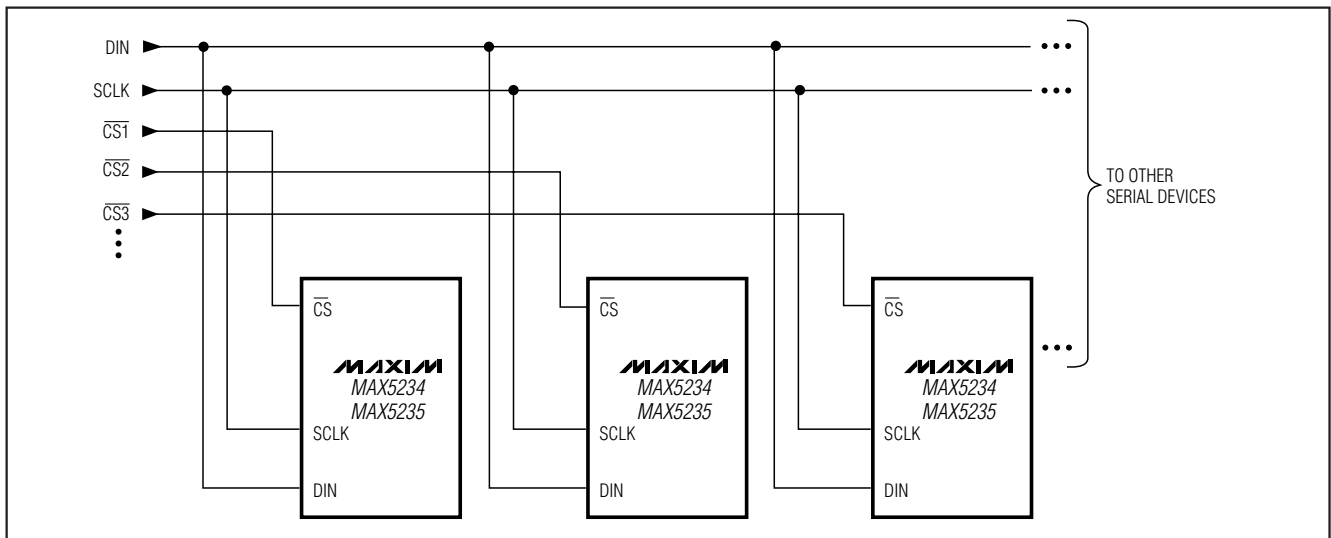


図12. 複数のMAX5234/MAX5235が共通のDIN線を共有

## 接地及びレイアウトの考察

GND上のデジタル及びAC遷移信号は出力時にノイズを発生します。高品質のグラウンドにGNDを接続して下さい。低インダクタンスグラウンドプレーン付の、又はMAX5234/MAX5235に全てのグラウンドリターン経路を戻す星型接続のマルチレイヤーボードのような適切な接地方法を使って下さい。ACクロス結合及びクロストークを低減するために、チャンネル間のトレースを

慎重にレイアウトして下さい。線で被覆されたボードやソケットは推奨しません。ノイズが問題になる場合、シールドが必要になるかもしれません。

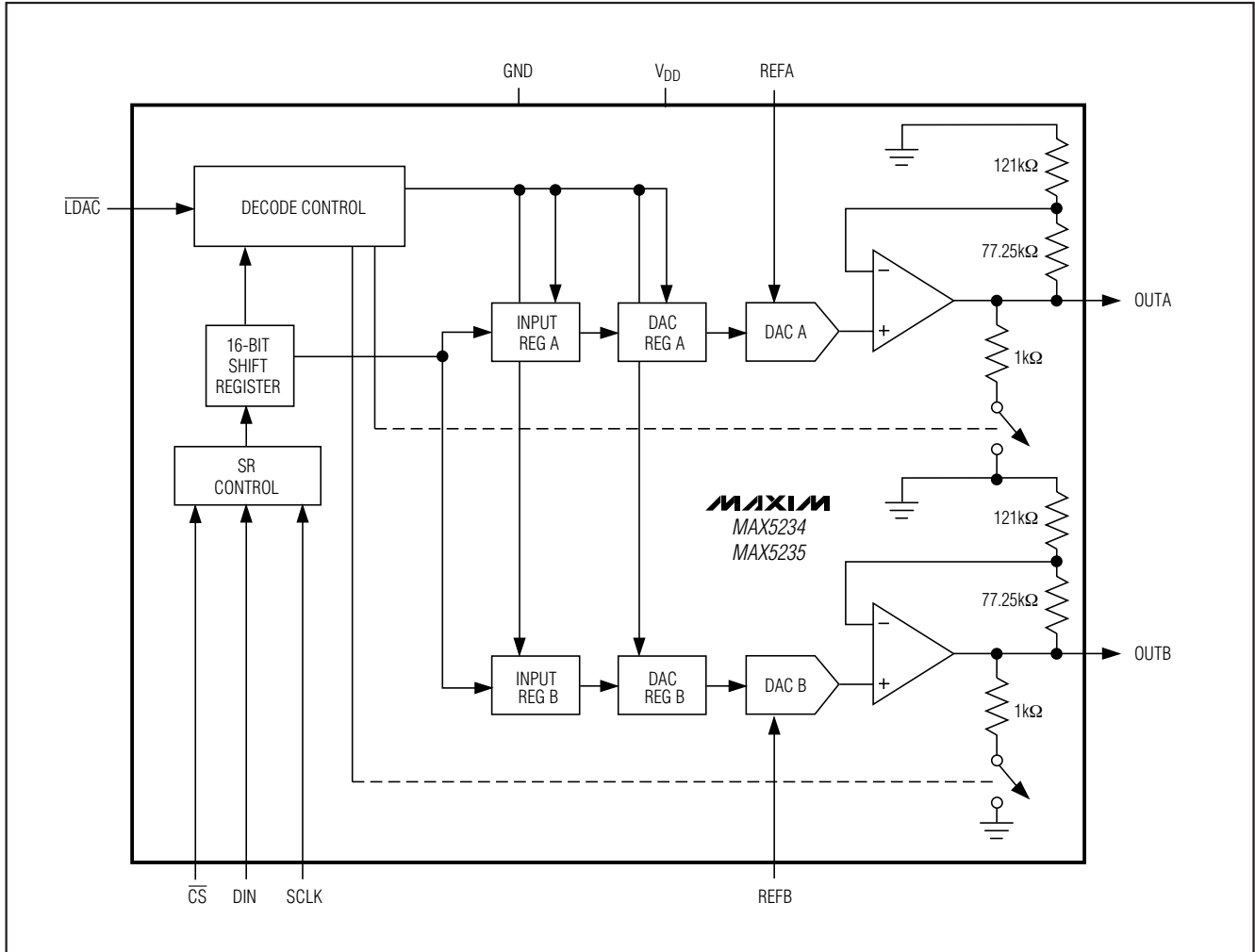
## チップ情報

TRANSISTOR COUNT: 4184  
PROCESS: BiCMOS

# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

MAX5234/MAX5235

ファンクションダイアグラム

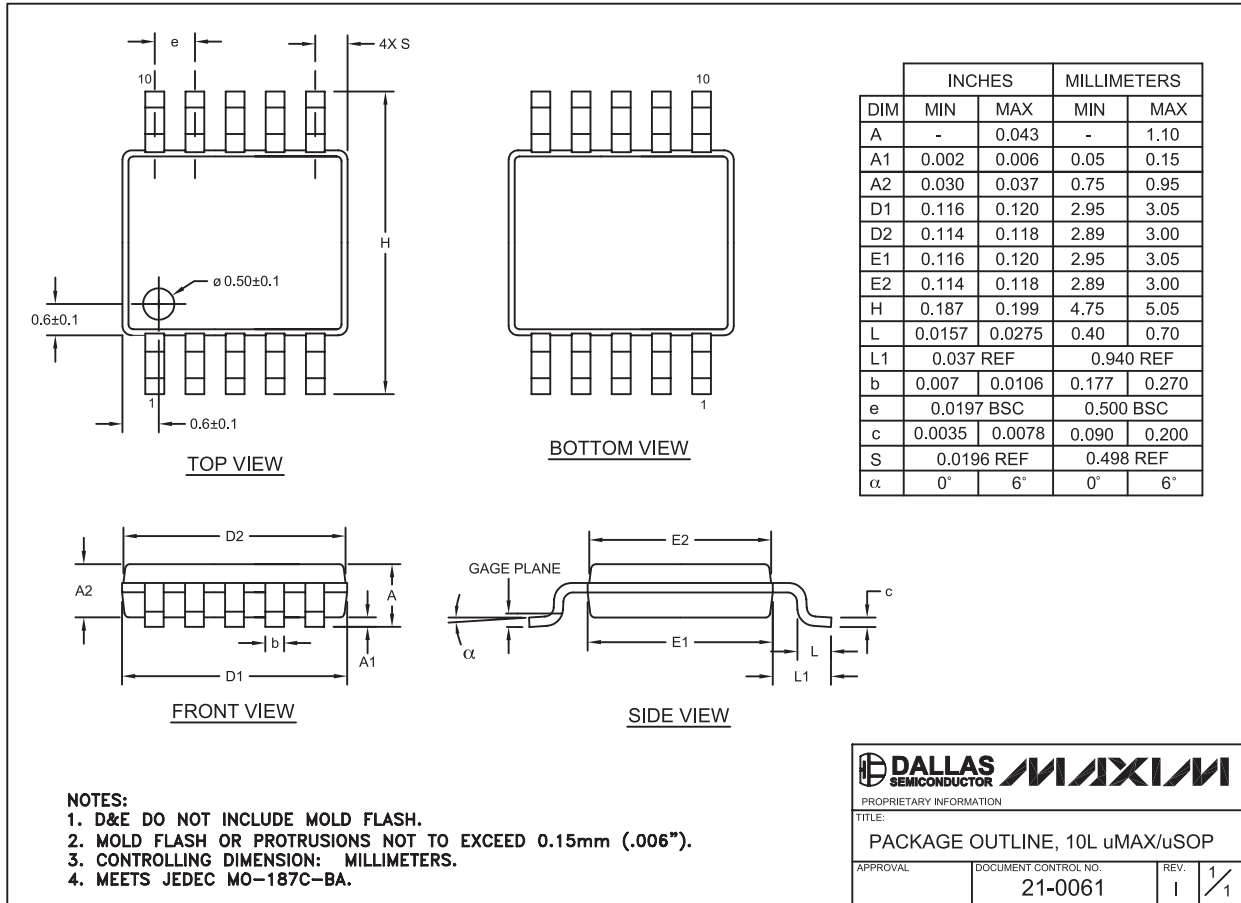


# 単一電源3V/5V、電圧出力、デュアル、 高精度、12ビットDAC

MAX5234/MAX5235

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 19

© 2002 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products.