

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

概要

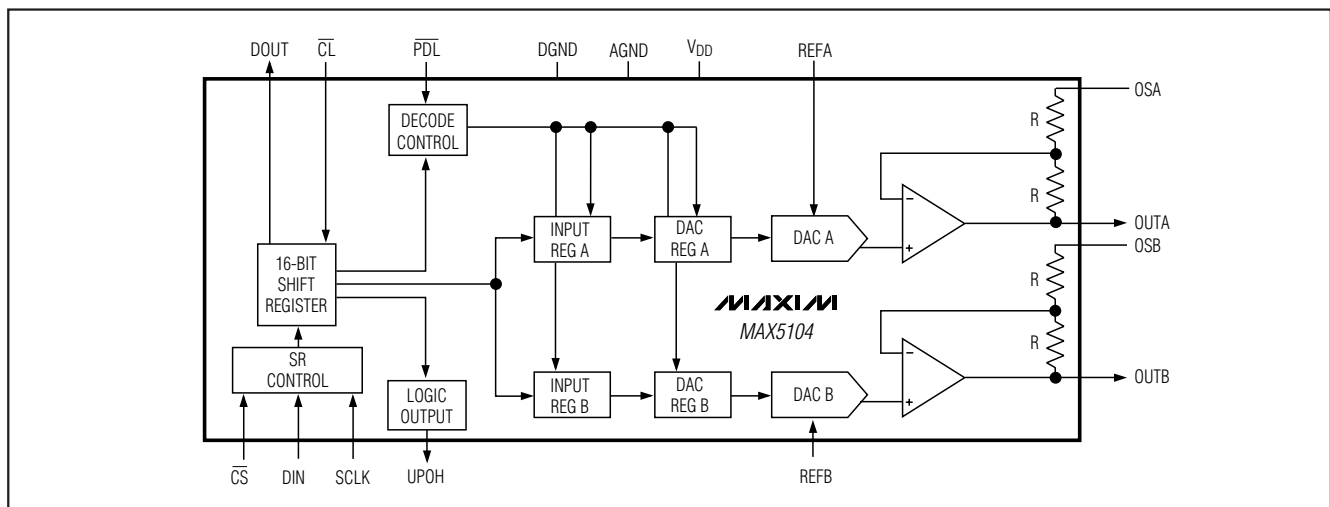
MAX5104は、低電力、シリアル、電圧出力、デュアル、12ビットデジタルアナログコンバータ(DAC)です。+5V単一電源で消費電流は僅か500 μ Aとなっています。本素子は、レイルトゥレイル®の出力スイングが可能で、省スペースの16ピンQSOP及びDIPパッケージで提供されています。ダイナミックレンジを最大限にするため、DAC出力アンプは内部利得+2V/Vに設定されています。

3線シリアルインタフェースは、SPI™/QSPI™/MICROWIRE™とコンパチブルです。各DACは、入力レジスタにDACレジスタが続く構成のダブルバッファ付入力を備えています。このため、入力及びDACレジスタは16ビットシリアルワードでそれぞれ独立に、あるいは同時に更新できます。その他の特長としては、プログラマブルパワーダウン(2 μ A)、ハードウェアパワーダウンロックアウト(PDL)、DACごとに独立したリファレンス電圧入力(AC及びDCを許容)及び全てのレジスタとDACをゼロにリセットするアクティブローのクリア入力(CL)等が挙げられます。MAX5104は、機能性を増すプログラマブルロジック出力及びデジizerチェーン接続用のシリアルデータ出力を備えています。

アプリケーション

- 工業用プロセス制御
- 遠隔工業用制御
- デジタルオフセット及び利得調整
- マイクロプロセッサ制御のシステム
- モーションコントロール
- 自動試験機器(ATE)

ファンクションダイアグラム



レイルトゥレイルは日本モトローラの登録商標です。

SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

- ◆ 内部利得+2V/Vの12ビットデュアルDAC
- ◆ レイルトゥレイル出力スイング
- ◆ セトリング時間：12 μ s
- ◆ 単一電源動作：+5V
- ◆ 低自己消費電流：
 - 500 μ A(通常動作)
 - 2 μ A(シャットダウンモード)
- ◆ SPI/QSPI及/MICROWIREコンパチブル
- ◆ パッケージ：省スペースの16ピンQSOP
- ◆ パワーオンリセットによりレジスタとDAC出力をゼロにクリア
- ◆ 可変出力オフセット

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5104CEE	0°C to +70°C	16 QSOP	± 4
MAX5104EEE	-40°C to +85°C	16 QSOP	± 4

ピン配置はデータシートの最後に記載されています。

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND.....	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
V _{DD} to DGND.....	-0.3V to +6V	16-Pin QSOP (derate 8.30mW/°C above +70°C).....	667mW
AGND to DGND.....	±0.3V	Operating Temperature Ranges	
OSA, OSB to AGND.....	(V _{AGND} - 4V) to (V _{DD} + 0.3V)	MAX5104CEE.....	0°C to +70°C
REF ₋ , OUT ₋ to AGND.....	-0.3V to (V _{DD} + 0.3V)	MAX5104EEE.....	-40°C to +85°C
Digital Inputs (SCLK, DIN, \overline{CS} , CL, PDL) to DGND.....	(-0.3V to +6V)	Junction Temperature.....	+150°C
Digital Outputs (DOUT, UPO) to DGND.....	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range.....	-65°C to +150°C
Maximum Current into Any Pin.....	±20mA	Lead Temperature (soldering, 10sec).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±10%, V_{REFA} = V_{REFB} = +2.048V, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C (OS₋ connected to AGND for a gain of +2V/V).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution			12			Bits
Integral Nonlinearity	INL	(Note 1)			±4	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Offset Error	V _{OS}	Code = 10			±10	mV
Offset Tempco	TCV _{OS}	Normalized to 2.048V		4		ppm/°C
Gain Error				-0.2	±8	LSB
Gain-Error Tempco		Normalized to 2.048V		4		ppm/°C
V _{DD} Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		20	600	μV/V
REFERENCE INPUT						
Reference Input Range	REF		0		V _{DD} - 1.4	V
Reference Input Resistance	R _{REF}	Minimum with code 1554 hex	14	20		kΩ
MULTIPLYING-MODE PERFORMANCE						
Reference 3dB Bandwidth		Input code = 1FFE hex, V _{REF-} = 0.67V _{p-p} at 2.5V _{DC}		300		kHz
Reference Feedthrough		Input code = 0000 hex, V _{REF-} = (V _{DD} - 1.4V _{p-p}), f = 1kHz		-82		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFE hex, V _{REF-} = 1V _{p-p} at 1.25V _{DC} , f = 25kHz		75		dB
DIGITAL INPUTS						
Input High Voltage	V _{IH}	\overline{CL} , PDL, \overline{CS} , DIN, SCLK	3			V
Input Low Voltage	V _{IL}	\overline{CL} , PDL, \overline{CS} , DIN, SCLK			0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	V _{IN} = 0 to V _{DD}		0.001	±1	μA
Input Capacitance	C _{IN}			8		pF

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 10\%$, $V_{REFA} = V_{REFB} = +2.048V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$ (OS_{-} connected to AGND for a gain of $+2V/V$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (DOUT, UPO)						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.40	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.75		V/ μs
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 4V$		15		μs
Output Voltage Swing		Rail-to-rail (Note 2)		0 to V_{DD}		V
OSA or OSB Input Resistance	$R_{OS_{-}}$		24	34		$k\Omega$
Time Required to Exit Shutdown				25		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, SCLK = 100kHz, $V_{SCLK} = 5Vp-p$		5		nVs
Digital Crosstalk				5		nVs
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current	I_{DD}	(Note 3)		0.5	0.65	mA
Power-Supply Current in Shutdown	$I_{DD(SHDN)}$	(Note 3)		2	10	μA
Reference Current in Shutdown				0	± 1	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}	(Note 4)	100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		40			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 1: Accuracy is specified from code 6 to code 4095.

Note 2: Accuracy is better than 1LSB for $V_{OUT_{-}}$ greater than 6mV and less than $V_{DD} - 50mV$. Guaranteed by PSRR test at the end points.

Note 3: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

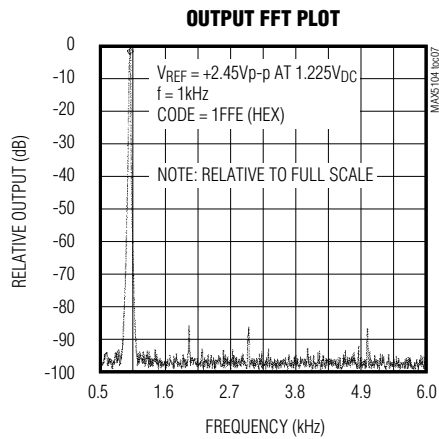
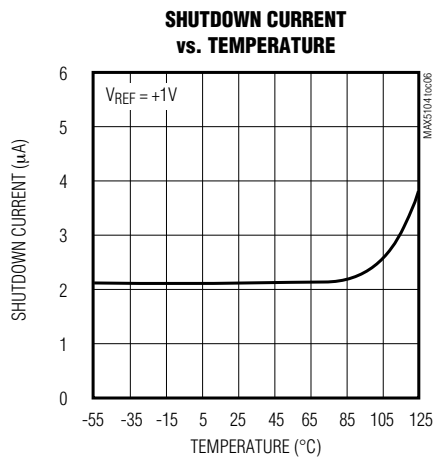
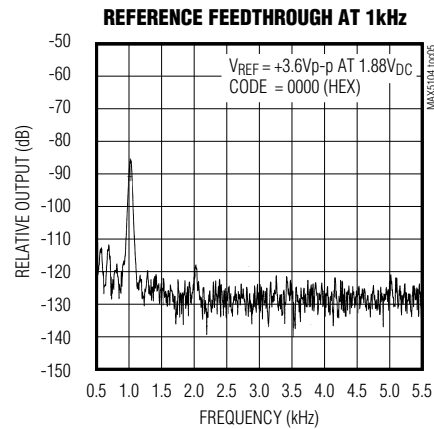
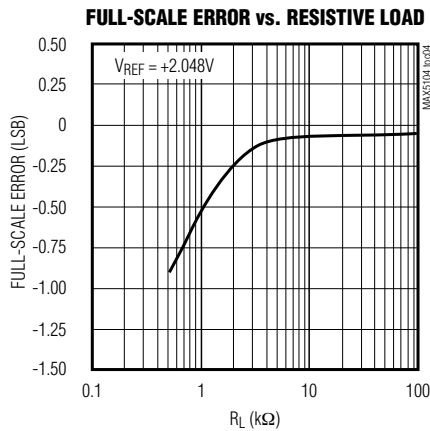
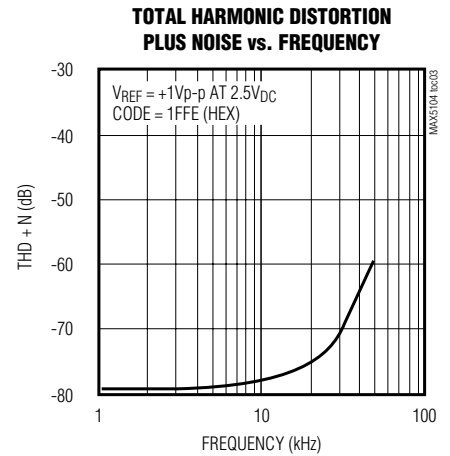
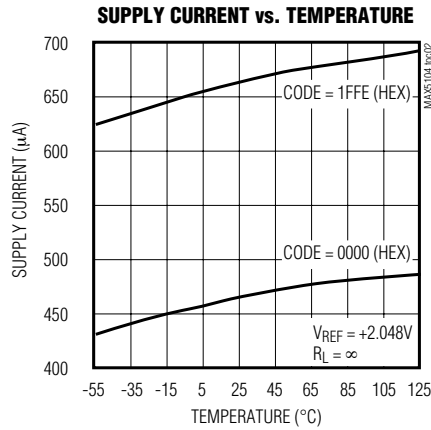
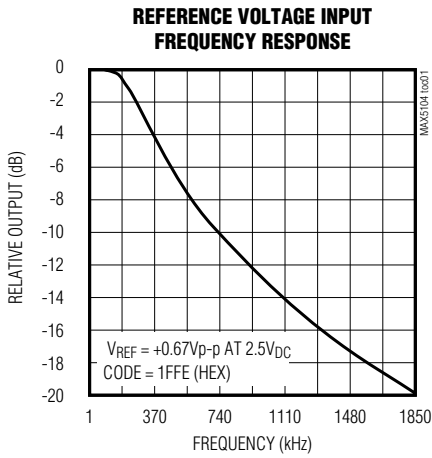
Note 4: SCLK minimum clock period includes the rise and fall times.

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

標準動作特性

($V_{DD} = +5V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_ pins connected to AGND, $T_A = +25^\circ C$, unless otherwise noted.)



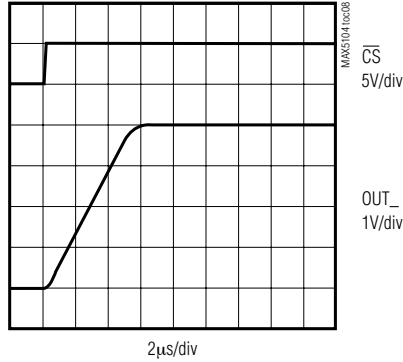
低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

標準動作特性(続き)

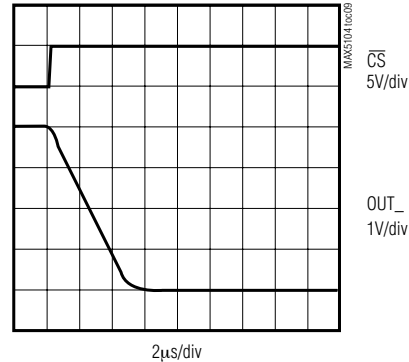
($V_{DD} = +5V$, $R_L = 10k\Omega$, $C_L = 100pF$, OS_ pins connected to AGND, $T_A = +25^\circ C$, unless otherwise noted.)

DYNAMIC RESPONSE RISE TIME



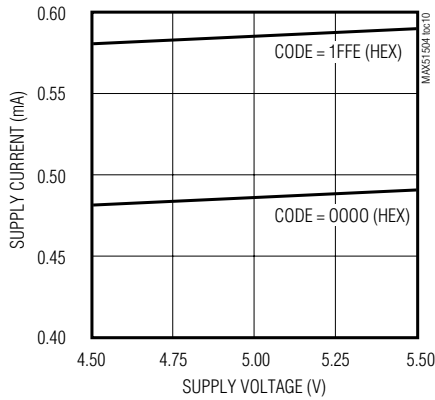
$V_{REF} = +2.048V$

DYNAMIC RESPONSE FALL TIME

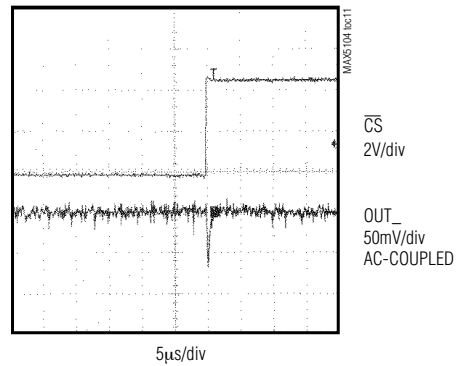


$V_{REF} = +2.048V$

SUPPLY CURRENT vs. SUPPLY VOLTAGE

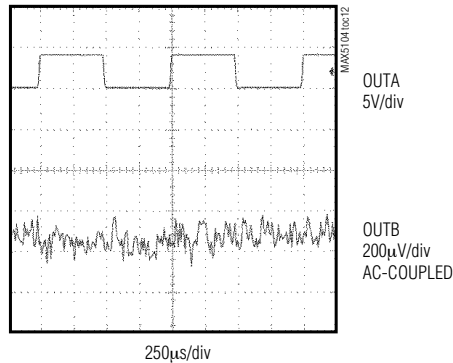


MAJOR-CARRY TRANSITION



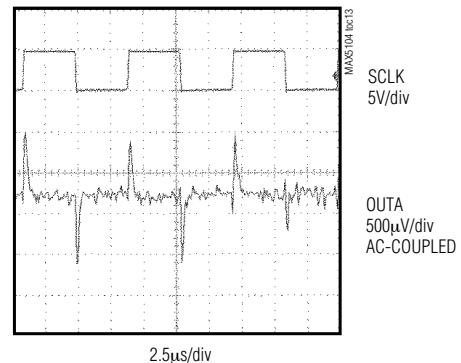
TRANSITION FROM 1000 (HEX) TO 0000 (HEX)

ANALOG CROSSTALK



$V_{REF} = +2.048V$, GAIN = +2V/V, CODE = 1FFE HEX

DIGITAL FEEDTHROUGH



低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

端子説明

端子	名称	機能
1	AGND	アナロググランド
2	OUTA	DAC A出力電圧
3	OSA	DAC Aオフセット調整
4	REFA	DAC Aのリファレンス
5	\overline{CL}	アクティブクリア入力。全てのレジスタをゼロにリセット。DAC出力は0V。
6	\overline{CS}	チップセレクト入力
7	DIN	シリアルデータ入力
8	SCLK	シリアルクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザプログラマブル出力
12	\overline{PDL}	パワーダウンロックアウト。 \overline{PDL} がローの時は、デバイスをパワーダウンできません。
13	REFB	DAC Bのリファレンス
14	OSB	DAC Bオフセット調整
15	OUTB	DAC B出力電圧
16	V _{DD}	正電源

詳細

MAX5104デュアル12ビット電圧出力DACは、3線シリアルインタフェースで簡単に設定できます。本素子は、16ビットデータイン/データアウトシフトレジスタを備え、各DACは入力レジスタ及びDACレジスタからなるダブルバッファ付入力を備えています(ファンクションダイアグラムを参照)。さらに、トリミングされた内部抵抗が+2V/Vの内部利得を提供して出力電圧スイングを最大限にします。アンプのオフセット調整ピンにより、DAC出力のDCシフトが可能です。

DACには、入力電圧値に比例する重み付き電圧を生成する反転R-2Rラダーネットワークが使用されています。各DACがそれぞれのリファレンス入力を持っているため、フルスケール値を独立に設定しやすくなっています。図1に、2つのDACの内の1つの概略回路図を示します。

リファレンス入力

リファレンス入力は0V ~ (V_{DD} - 1.4V)のDC及びAC値を受け入れます。

次式で出力電圧を求めます(OS₋ = AGND)。

$$V_{OUT} = (V_{REF} \cdot NB/4096) \cdot 2$$

ここで、NBはDACのバイナリ入力コードの数値(0 ~ 4095)です。V_{REF}は、リファレンス電圧です。

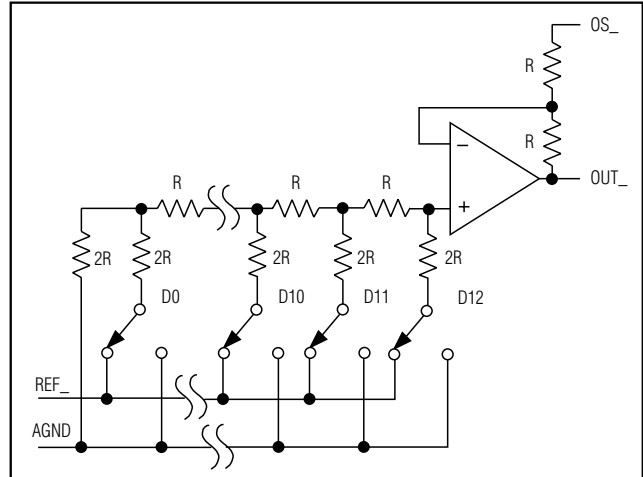


図1. DACの概略回路図

リファレンス入力インピーダンスは、14k (1554 hex) から数G (入力コード0000 hex)の範囲となっています。リファレンス入力容量はコードに依存し、その範囲は入力コードが全て0の時に15pF(typ)、入力コードがフルスケールの時に50pFです。

出力アンプ

MAX5104の出力アンプは、OS₋がAGNDに接続されているときに利得+2V/Vを与える内部抵抗を持っています。これらの抵抗は、利得誤差を最小限に抑えるためにトリミングされています。出力アンプのスルーレートは0.75V/μs(typ)で、1/2LSBへの標準セトリング時間は、負荷が10k と100pFの並列の時に15μsです。負荷が2k 以下になると性能が劣化します。

OS₋ピンを使用することにより、出力において可変オフセット電圧を生成できます。例えば、1Vのオフセットを実現するには、OS₋ピンに-1Vを印加することにより、出力範囲1V ~ (1V + V_{REF} · 2)を生成できます。DACの出力範囲は最大出力電圧仕様に制限されることに注意して下さい。

パワーダウンモード

MAX5104は、ソフトウェアでプログラムできるシャットダウンモードを備えており、この時の消費電流は2μA (typ)まで低減します。2つのDACは、プログラミングコマンドを使用することにより、個別又は同時にパワーダウンできます。どちらのDACも、適切な入力制御ワード(表1)を書き込むとパワーダウンモードになります。パワーダウンモードでは、リファレンス入力及びアンプ出力がハイインピーダンス状態になり、シリアルインタフェースはアクティブのままになります。入力レジスタ内のデータは保存されるため、MAX5104は、通常モードに戻るとパワーダウンに入る前の出力状態を呼び起こすことができます。パワーダウン状態から起動するには、以前の設定を呼び起こすか、新しいデータで

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD					FUNCTION
A0	C1	C0	D11.....D0 (MSB) (LSB)	S0	
0	0	1	12-bit DAC data	0	Load input register A; DAC registers are unchanged.
1	0	1	12-bit DAC data	0	Load input register B; DAC registers are unchanged.
0	1	0	12-bit DAC data	0	Load input register A; all DAC registers are updated.
1	1	0	12-bit DAC data	0	Load input register B; all DAC registers are updated.
0	1	1	12-bit DAC data	0	Load all DAC registers from the shift register (start up both DACs with new data).
1	0	0	XXXXXXXXXXXX	0	Update both DAC registers from their respective input registers (start up both DACs with data previously stored in the input registers).
1	1	1	XXXXXXXXXXXX	0	Shut down both DACs (provided $\overline{PDL} = 1$).
0	0	0	0 0 1 X XXXXXXXX	0	Update DAC register A from input register A (start up DAC A with data previously stored in input register A).
0	0	0	1 0 1 X XXXXXXXX	0	Update DAC register B from input register B (start up DAC B with data previously stored in input register B).
0	0	0	1 1 0 X XXXXXXXX	0	Power Down DAC A (provided $\overline{PDL} = 1$).
0	0	0	1 1 1 X XXXXXXXX	0	Power Down DAC B (provided $\overline{PDL} = 1$).
0	0	0	0 1 0 X XXXXXXXX	0	UPO goes low (default).
0	0	0	0 1 1 X XXXXXXXX	0	UPO goes high.
0	0	0	1 0 0 1 XXXXXXXX	0	Mode 1, DOUT clocked out on SCLK's rising edge.
0	0	0	1 0 0 0 XXXXXXXX	0	Mode 0, DOUT clocked out on SCLK's falling edge (default).
0	0	0	0 0 0 X XXXXXXXX	0	No operation (NOP).

X = Don't care

Note: D11, D10, D9, and D8 become control bits when A0, C1, and C0 = 0. S0 is a sub-bit, always zero.

DACを更新して下さい。パワーダウンから通常動作に戻す時は、出力の安定時間として20 μ s待つて下さい。

シリアルインタフェース

MAX5104の3線シリアルインタフェースは、MICROWIRE(図2)及びSPI/QSPI(図3)のいずれともコンパチブルです。16ビットシリアル入力ワードは、図4に示すようにアドレスビット1つと制御ビット2つの後に、12個のデータビット(MSBからLSBへ)及び1つのサブビットが続く構成になっています。このアドレス/制御コードにより、表1に示すMAX5104の応答が決定されます。

MAX5104のデジタル入力はダブルバッファ付であるため、DACレジスタを更新せずに入力レジスタにロードすること、入力レジスタからDACレジスタを更新すること、あるいは入力レジスタとDACを同時に更新することが可能です。アドレスビット及び制御ビット

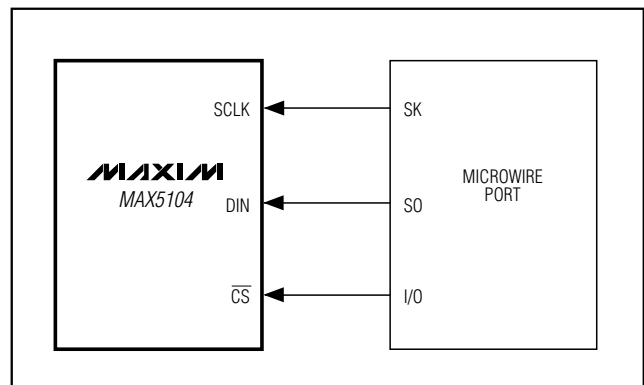


図2. MICROWIRE用の接続

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

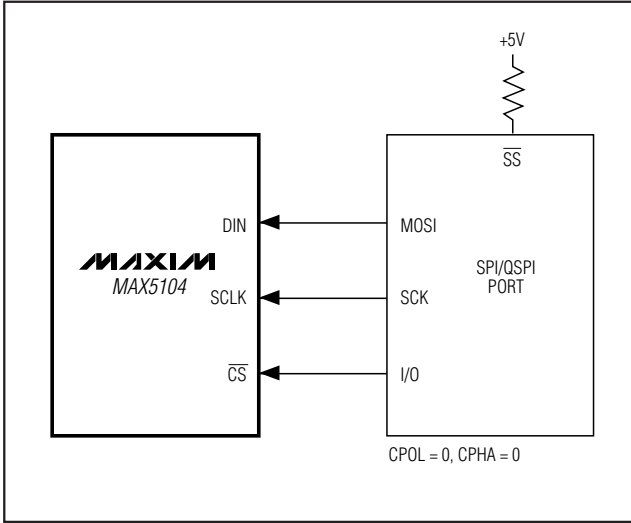


図3. SPI/QSPI用の接続

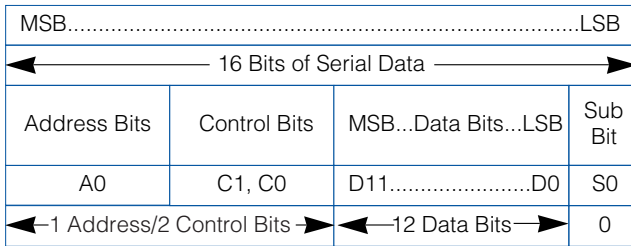


図4. シリアルデータフォーマット

により、それぞれのDACが独立に動作できます。 \overline{CS} がローの状態、16ビットデータを2つの8ビットパケット(SPI、MICROWIRE)又は1つの16ビットワード(QSPI)として送ってください。アドレスビット及び制御ビットにより、更新すべきレジスタ及びパワーダウンを解除した時のレジスタの状態が決まります。3ビットアドレス/制御で下記の事項が決まります。

- 更新すべきレジスタ
- どのクロックエッジでデータがシリアルデータ出力(DOUT)からクロック出力されるか
- ユーザプログラマブルロジック出力の状態
- パワーダウンモードから復帰した時のデバイスの構成設定

図5の一般タイミング図に、データの取り込み方が示されています。 \overline{CS} をローにすると、デバイスはデータを受け入れられるようになります。 \overline{CS} がローでない場合は、インタフェース制御回路がディセーブルされます。 \overline{CS} がローの時、DINのデータがSCLKの立上がりエッジでレジスタにクロック入力されます。 \overline{CS} がハイになると、アドレスビット及び制御ビットに従ってデータは入力レジスタ及び/又はDACレジスタにラッチされます。動作可能な最大保証クロック周波数は、10MHzです。図6に、シリアルインタフェースのタイミングの詳細を示します。

シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。これにより、デジチェーン接続及びデータの読み戻しが可能です。MAX5104は、データをDOUTから同期出力するタイミングをSCLKの立上り

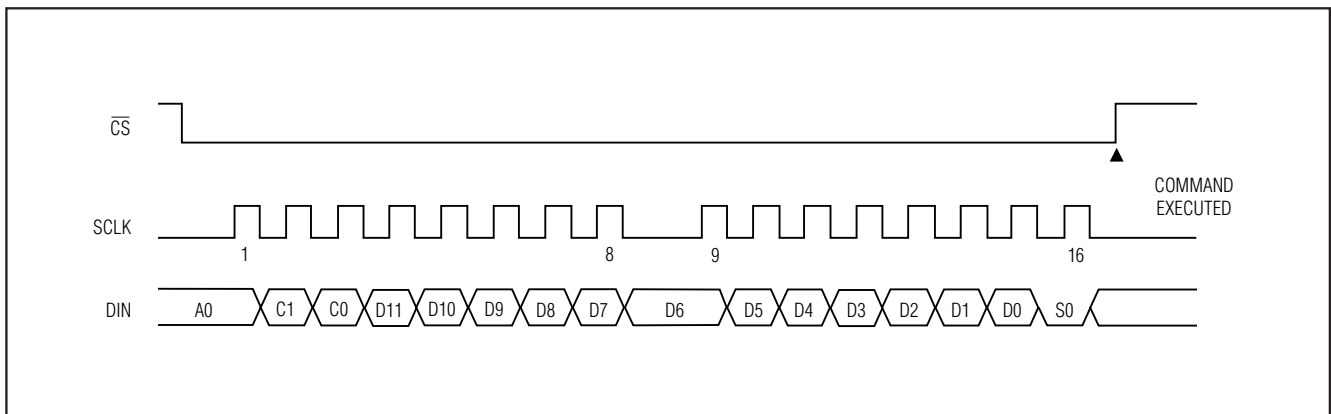


図5. シリアルインタフェースタイミング図

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

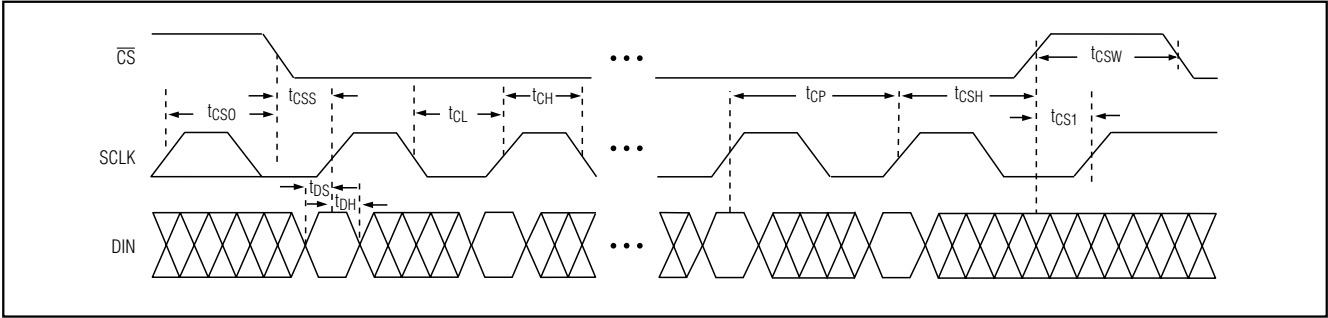


図6. シリアルインタフェースタイミング詳細図

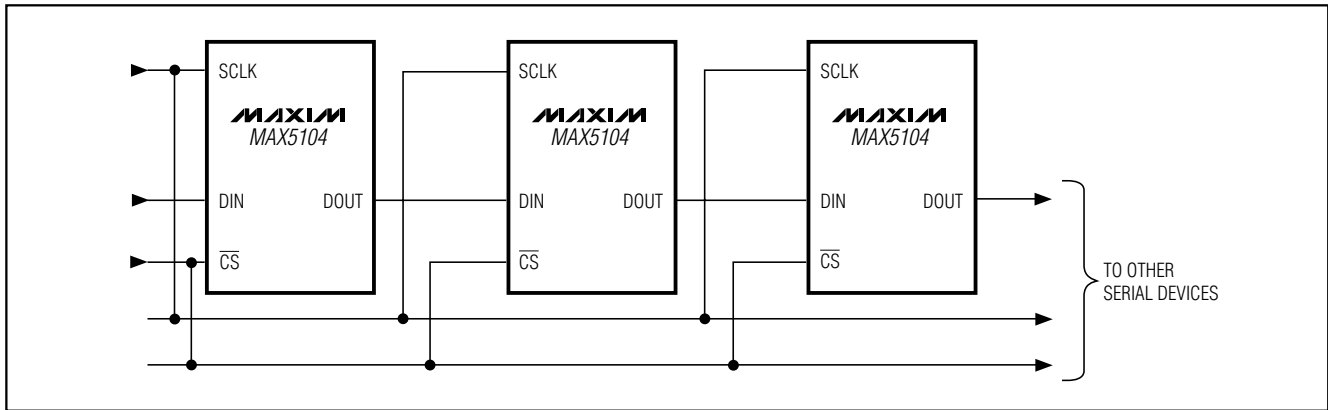


図7. MAX5104のデージーチェーン接続

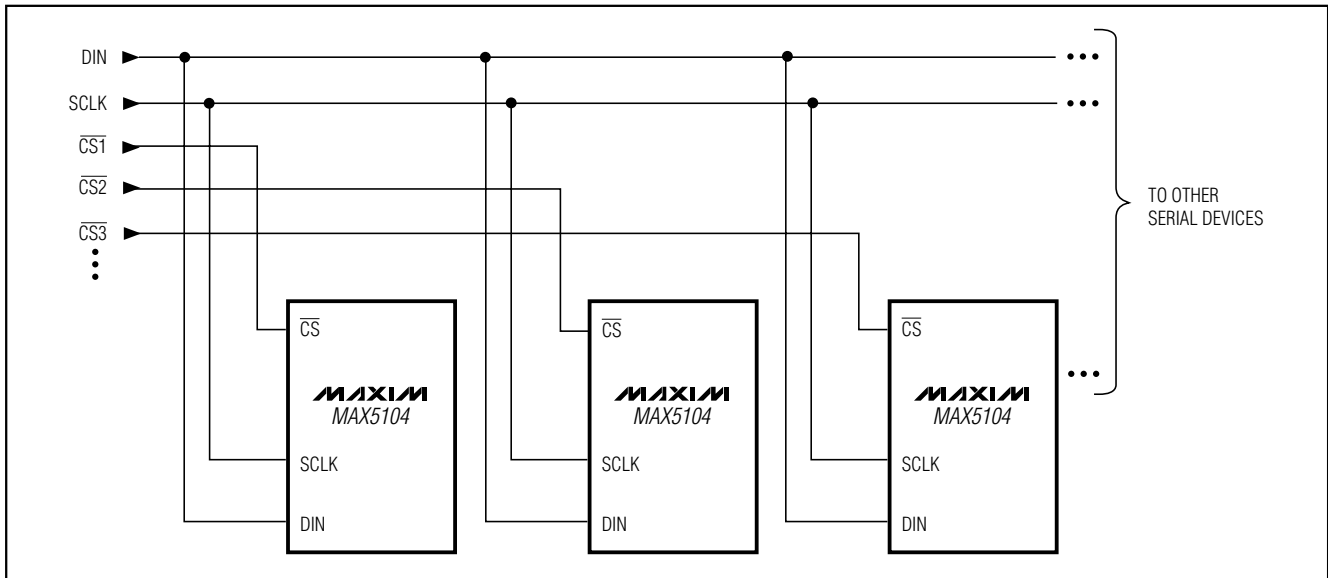


図8. 複数のMAX5104が共通DINラインを共有

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

エッジ(モード1)にするか立下がりエッジ(モード0)にするかをプログラムできます。モード0は遅れが16クロックサイクルであるため、SPI/QSPI及びMICROWIREシリアルインタフェースとのコンパチビリティが保持されます。モード1では、遅れが15.5クロックサイクルになります。パワーアップ時のDOOUTは、デフォルトでモード0のタイミングになります。

ユーザプログラマブルロジック出力

ユーザプログラマブルロジック出力(UPO)を使用すると、MAX5104のシリアルインタフェースを通じて外部デバイスを制御できます(表1)。これにより、必要なマイクロコントローラI/Oピンの数を減らすことができます。パワーアップ時にはUPOはローです。

パワーダウンロックアウト入力(PDL)

PDLがローの時は、ソフトウェアシャットダウンがディセーブルされます。シャットダウン中にPDLがハイからローに遷移すると、素子はウェイクアップし、シャットダウン前の出力状態になります。PDLは、非同期でデバイスをウェイクアップするためにも使用できます。

デジチェーン接続

MAX5104は、任意の数をデジチェーン接続できます。そのためには、チェーンの1つのデバイスのDOOUTピンを次のデバイスのDINピンに接続します(図7)。MAX5104のDOOUTピンは、内部にアクティブなプルアップを備えているため、DOOUTのシンク/ソース能力により容量性負荷の放電/充電に必要な時間が決定されます。「Electrical Characteristics」のDigital outputの V_{OH} 及び V_{OL} の仕様を参照して下さい。

図8に、幾つかのMAX5104を接続するための別方法を示します。この構成では、データバスが全てのデバイスに共通になっており、データはデジチェーンを通じてシフトされません。この構成では、各ICに対し専用のチップセレクト入力(\overline{CS})を要するため、必要なI/Oラインの数が増えます。

アプリケーション情報

ユニポーラ出力

図9に、MAX5104のユニポーラ、レイルトゥレイル動作(利得+2V/V)を示します。MAX5104は、2.048Vリファレンスを使用して0~4.096V出力を生成できます(図9)。表2は、ユニポーラ出力コードです。OS₊に電圧を接続することにより、出力にオフセットを付加できます(図10参照)。V_{OS+} = -1Vを印加すると、出力値は1V~(1V + V_{REF} · 2)の範囲になります。

バイポーラ出力

MAX5104の出力は、バイポーラ動作に構成できます(図11)。出力電圧は、次式で与えられます(OS₊ = AGND)。

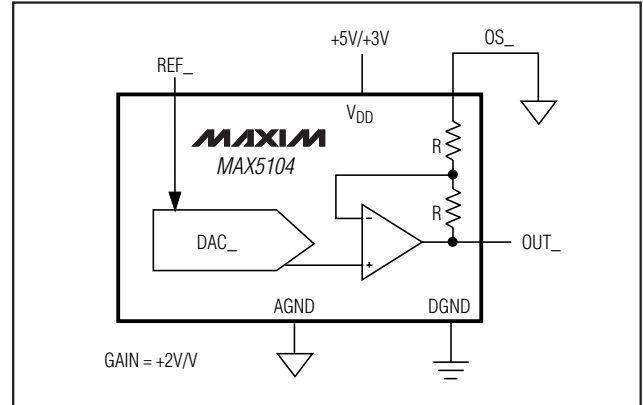


図9. ユニポーラ出力回路(レイルトゥレイル)

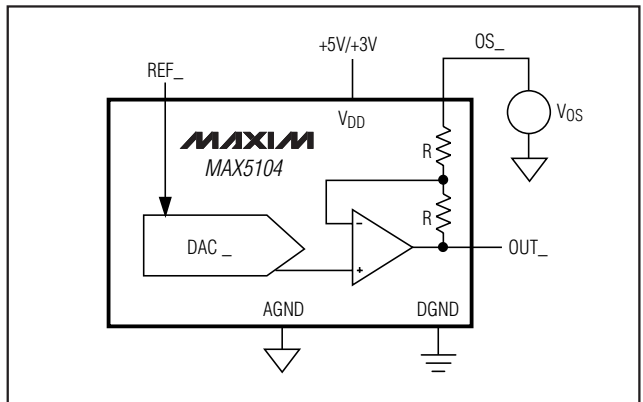


図10. 出力オフセット用にOS₊を設定

表2. ユニポーラコード表(利得 = +2)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
1111	1111 1111 (0)	$+V_{REF} \left(\frac{4095}{4096} \right) \cdot 2$
1000	0000 0001 (0)	$+V_{REF} \left(\frac{2049}{4096} \right) \cdot 2$
1000	0000 0000 (0)	$+V_{REF} \left(\frac{2048}{4096} \right) \cdot 2 = V_{REF}$
0111	1111 1111 (0)	$+V_{REF} \left(\frac{2047}{4096} \right) \cdot 2$
0000	0000 0001 (0)	$+V_{REF} \left(\frac{1}{4096} \right) \cdot 2$
0000	0000 0000 (0)	0V

Note: () are for the sub-bit.

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

$$V_{OUT} = V_{REF} \left[\left(\frac{2 \cdot NB}{4096} \right) - 1 \right]$$

ここで、NBはDACのバイナリ入力コードの数値です。表3に、図11の回路のデジタルコード及び対応する出力電圧を示します。

ACリファレンスの使用

MAX5104は、リファレンスがAC信号成分を持つアプリケーションにおいては、規定されたリファレンス入力範囲内で乗算能力があります。図12に、REF_へのリファレンス入力にサイン波信号を印加する技法を示します(AC信号はリファレンス入力に印加される前にオフセットされます)。

高調波歪み及びノイズ

MAX5104の全高調波歪み及びノイズ(THD + N)は、入力シングが1Vp-pで入力周波数が最大5kHzの時にフルスケールで-78dB以下(typ)です。

表3. バイポーラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111 1 111 (0)	$+V_{REF} \left(\frac{2047}{2048} \right)$
1000	0000 0 001 (0)	$+V_{REF} \left(\frac{1}{2048} \right)$
1000	0000 0 000 (0)	0V
0111	1111 1 111 (0)	$-V_{REF} \left(\frac{1}{2048} \right)$
0000	0000 0 001 (0)	$+V_{REF} \left(\frac{2047}{4096} \right) \cdot 2$
0000	0000 0 000 (0)	$-V_{REF} \left(\frac{2048}{2048} \right) = -V_{REF}$

Note: () are for the sub-bit.

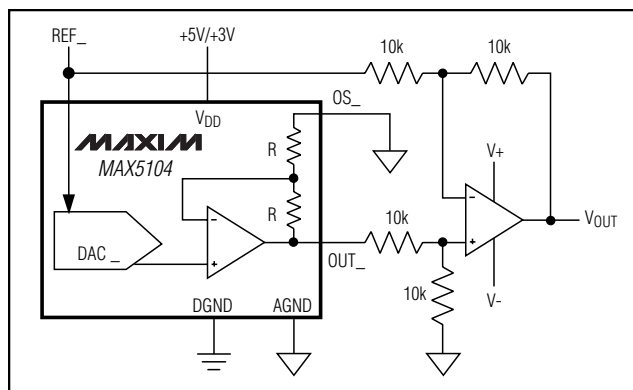


図11. バイポーラ出力回路

デジタルキャリブレーション及びスレッシュホールドの選択

図13に、MAX5104をデジタルキャリブレーションアプリケーションに使用した例を示します。フォトダイオードに明るい光が当たっているとき(オン)、コンパレータがトリップされるまでDACの出力をデジタル的に増加させます。マイクロプロセッサ(μP)は、この「ハイ」キャリブレーション値を保存します。次に、光を暗くして(オフ)同じ手順を繰り返し、暗電流キャリブレーションを得ます。

次に、μPによって出力電圧が2つのキャリブレーション値の間になるように設定されます。アプリケーションとしては、タコメータ、動体検出、自動読取り器及び液体透明度分析が挙げられます。

利得及びオフセットのデジタル制御

2つのDACを使用して、トランスデューサの直線化やアナログ圧縮/拡張アプリケーションにおける非線形関数

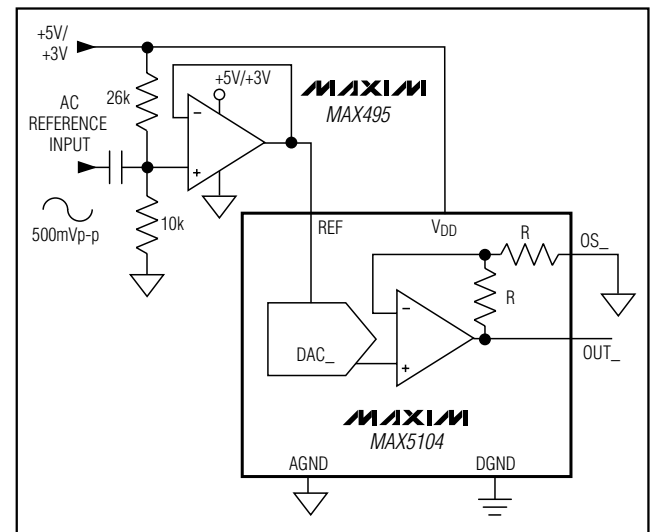


図12. ACリファレンス入力回路

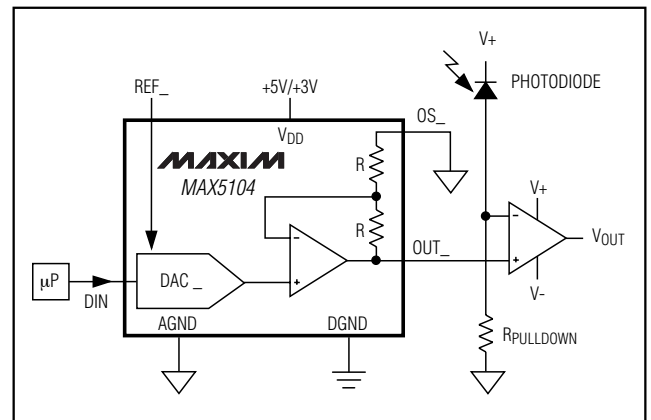


図13. デジタルキャリブレーション

低電力、デュアル電圧出力12ビットDAC シリアルインタフェース付

MAX5104

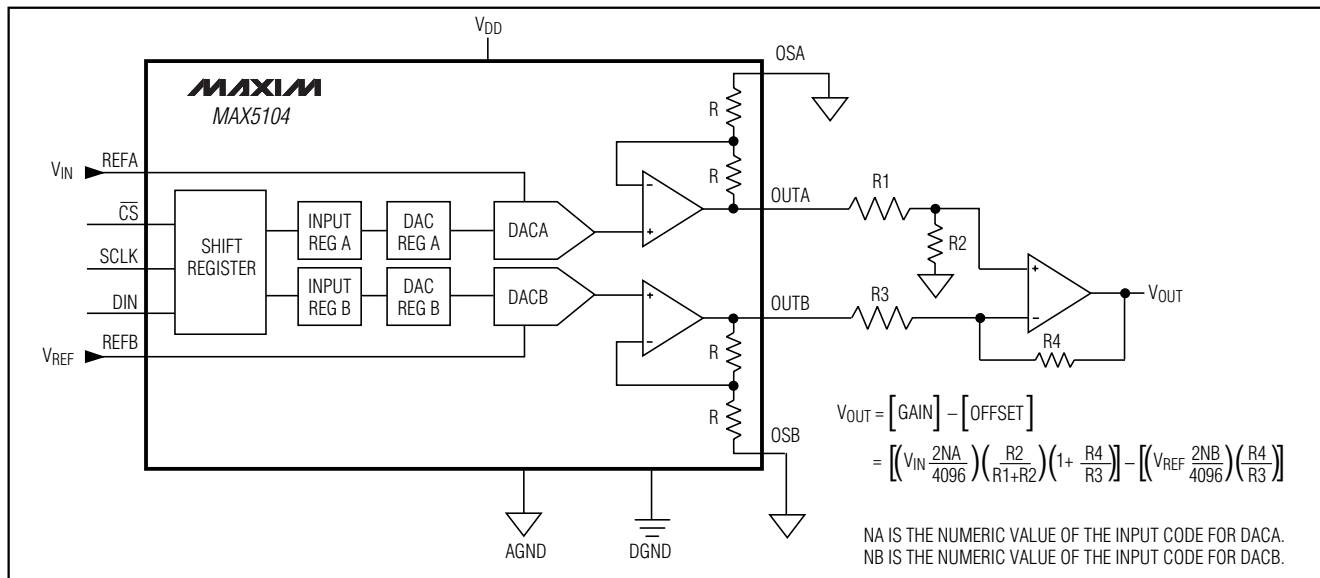


図14. 利得及びオフセットのデジタル制御

の曲線当てはめ用のオフセット及び利得を制御できます。入力信号は、利得調整DACのリファレンスとして使用されます。このDACの出力とオフセット調整DACからの出力の総和を取ります。各DAC出力の相対的な重みは、R1、R2、R3及びR4によって調整されます(図14)。

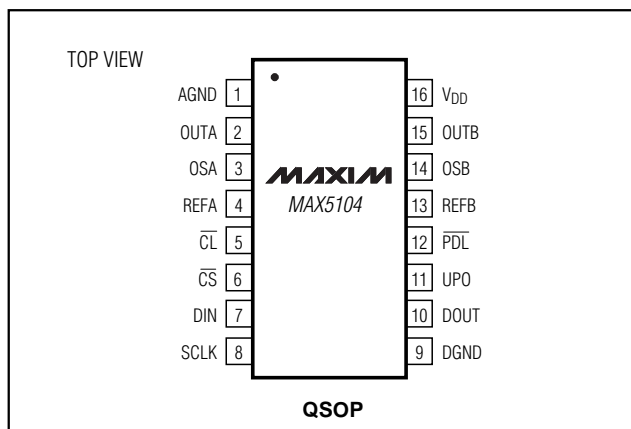
電源に関する考慮

パワーアップ時に、入力とDACレジスタはクリア(ゼロコードにリセット)されます。定格通りの性能を発揮させるには、 V_{REF} を V_{DD} より少なくとも1.4V低くして下さい。電源は、4.7 μ Fコンデンサと0.1 μ Fコンデンサを並列に使用して、AGNDにバイパスして下さい。リードインダクタンスを小さくするため、リード線は短くして下さい。

接地及びレイアウト

AGNDにおけるデジタル及びACトランジェント信号が原因で、出力にノイズが発生することがあります。AGNDはできるだけ良質のグランドに接続して下さい。ローインダクタンスのグランドプレーンを持った多層ボードを使用するなど、適正な接地技法を採用して下さい。チャンネル間のトレースのレイアウトに注意して、ACクロスカップリング及びクロストークを減らして下さい。ワイヤラップボード及びソケットは推奨できません。ノイズが問題になる場合は、シールドが必要になることがあります。

ピン配置



チップ情報

TRANSISTOR COUNT: 3053

SUBSTRATE CONNECTED TO AGND

パッケージ

パッケージに関する情報は、マキシム社のホームページ www.maxim-ic.com をご覧下さい。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600