

+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

概要

MAX5100は、+2.7V~+5.5V単一電源で動作するパラレル入力、電圧出力、クワッド8ビットD/Aコンバータ(DAC)です。省スペースの20ピンTSSOPパッケージで提供されています。内部高精度バッファはレイルトゥレイル®スイングが可能で、リファレンス入力範囲はグランドと正電源電圧の両方を含みます。4つのDAC全てが共通のリファレンス入力を共有します。

MAX5100は、ダブルバッファ付ロジック入力(4つの8ビットバッファレジスタの後に4つの8ビットDACレジスタ)を提供しています。これにより、DAC出力が書き込み動作中に変更されるのを防ぐことができます。非同期制御ピンLDACによって、DACレジスタの同時更新が可能です。

MAX5100は、電流を1nAに低減するシャットダウンモード、及びパワーアップ時に全てのレジスタをコード00 hexにリセットするパワーオンリセットモードを備えています。

アプリケーション

- デジタル利得及びオフセット調整
- 設定可能なアッテネータ
- ポータブル機器
- パワーアンプバイアス制御

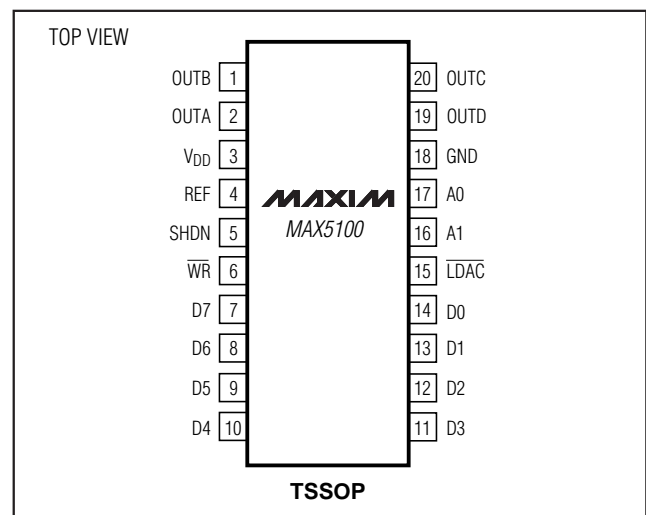
特長

- ◆ 電源：+2.7V~+5.5V単一
- ◆ 超低消費電流：
 - 動作中0.4mA
 - シャットダウンモードにおいて1nA
- ◆ パッケージ：超小型20ピンTSSOP
- ◆ リファレンス入力範囲：グランド~V_{DD}
- ◆ 出力バッファアンプはレイルトゥレイルでスイング可能
- ◆ ダブルバッファ付レジスタで同期更新が可能
- ◆ パワーオンリセットは全てのレジスタをゼロに設定

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5100AEUP	-40°C to +85°C	20 TSSOP	±1
MAX5100BEUP	-40°C to +85°C	20 TSSOP	±2

ピン配置



レイルトゥレイルは日本モトローラの登録商標です。

+2.7V ~ +5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

MAX5100

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V
D ₋ , A ₋ , WR, SHDN, LDAC to GND	-0.3V to +6V
REF to GND	-0.3V to (V _{DD} + 0.3V)
OUT ₋ to GND	-0.3V to V _{DD}
Maximum Current into Any Pin	±50mA
Continuous Power Dissipation (T _A = +70°C)	
20-Pin TSSOP (derate 7.0mW/°C above +70°C)	559mW

Operating Temperature Range	
MAX5100_EUP	-40°C to +85°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{REF} = +2.7V to +5.5V, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{DD} = V_{REF} = +3V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution					8	Bits
Integral Nonlinearity (Note 1)	INL	MAX5100A			±1	LSB
		MAX5100B			±2	
Differential Nonlinearity (Note 1)	DNL	Guaranteed monotonic			±1	LSB
Zero-Code Error	ZCE	Code = 00 hex			±20	mV
Zero-Code-Error Supply Rejection		Code = 00 hex, V _{DD} = 2.7V to 5.5V			10	mV
Zero-Code Temperature Coefficient		Code = 00 hex		±10		μV/°C
Gain Error (Note 2)		Code = F0 hex			±1	%
Gain-Error Temperature Coefficient		Code = F0 hex		±0.001		LSB/°C
Power-Supply Rejection		Code = FF hex	V _{DD} = 2.7V to 3.6V, V _{REF} = 2.5V		1	LSB
			V _{DD} = 4.5V to 5.5V, V _{REF} = 4.096V		1	
REFERENCE INPUT						
Input Voltage Range			0		V _{DD}	V
Input Resistance			320	460	600	kΩ
Input Capacitance				15		pF
DAC OUTPUTS						
Output Voltage Range		R _L = ∞	0		V _{REF}	V
DIGITAL INPUTS						
Input High Voltage	V _{IH}	V _{DD} = 2.7V to 3.6V	2			V
		V _{DD} = 3.6V to 5.5V	3			
Input Low Voltage	V _{IL}				0.8	V
Input Current	I _{IN}	V _{IN} = V _{DD} or GND			±1.0	μA
Input Capacitance	C _{IN}			10		pF

+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{REF} = +2.7V$ to $+5.5V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = V_{REF} = +3V$ and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE							
Output Voltage Slew Rate		From code 00 to code F0 hex			0.6		V/ μs
Output Settling Time (Note 3)		To 1/2LSB, from code 10 to code F0 hex			6		μs
Channel-to-Channel Isolation (Note 4)		Code 00 to code FF hex			500		nVs
Digital Feedthrough (Note 5)		Code 00 to code FF hex			0.5		nVs
Digital-to-Analog Glitch Impulse		Code 80 hex to code 7F hex			90		nVs
Signal-to-Noise plus Distortion Ratio	SINAD	$V_{REF(DC)} = 1.5V$, $V_{DD} = 3V$, code = FF hex	REF = 2.5Vp-p at 1kHz		70		dB
			REF = 2.5Vp-p at 10kHz		60		
Multiplying Bandwidth		REF = 0.5Vp-p, $V_{REF(DC)} = 1.5V$, $V_{DD} = 3V$, -3dB bandwidth			650		kHz
Wideband Amplifier Noise					60		μV_{RMS}
Shutdown Recovery Time	t_{SDR}	To $\pm 1/2LSB$ of final value of V_{OUT}			13		μs
Time to Shutdown	t_{SDN}	$I_{DD} < 5\mu A$			20		μs
POWER SUPPLIES							
Power-Supply Voltage	V_{DD}			2.7		5.5	V
Supply Current (Note 6)	I_{DD}				370	700	μA
Shutdown Current					0.001	1	μA
DIGITAL TIMING (Figure 1) (Note 7)							
Address to \overline{WR} Setup	t_{AS}			5			ns
Address to \overline{WR} Hold	t_{AH}			0			ns
Data to \overline{WR} Setup	t_{DS}			25			ns
Data to \overline{WR} Hold	t_{DH}			0			ns
\overline{WR} Pulse Width	t_{WR}			20			ns
\overline{LDAC} Pulse Width (Note 8)	t_{LD}			20			ns

Note 1: Reduced digital code range (code 00 hex to code F0 hex) due to swing limitations when the output amplifier is loaded.

Note 2: Gain error is: $[100 (V_{F0,meas} - ZCE - V_{F0,ideal}) / V_{REF}]$. Where $V_{F0,meas}$ is the DAC output voltage with input code F0 hex, and $V_{F0,ideal}$ is the ideal DAC output voltage with input code F0 hex (i.e., $V_{REF} \cdot 240 / 256$).

Note 3: Output settling time is measured from the 50% point of the falling edge of \overline{WR} to $\pm 1/2LSB$ of V_{OUT} 's final value.

Note 4: Channel-to-channel isolation is defined as the glitch energy at a DAC output in response to a full-scale step change on any other DAC output. The measured channel has a fixed code of 80 hex.

Note 5: Digital feedthrough is defined as the glitch energy at any DAC output in response to a full-scale step change on all eight data inputs with \overline{WR} at V_{DD} .

Note 6: $R_L = \infty$, digital inputs at GND or V_{DD} .

Note 7: Timing measurement reference level is $(V_{IH} + V_{IL}) / 2$.

Note 8: If \overline{LDAC} is activated prior to \overline{WR} 's rising edge, it must stay low for t_{LD} (or longer) after \overline{WR} goes high.

+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

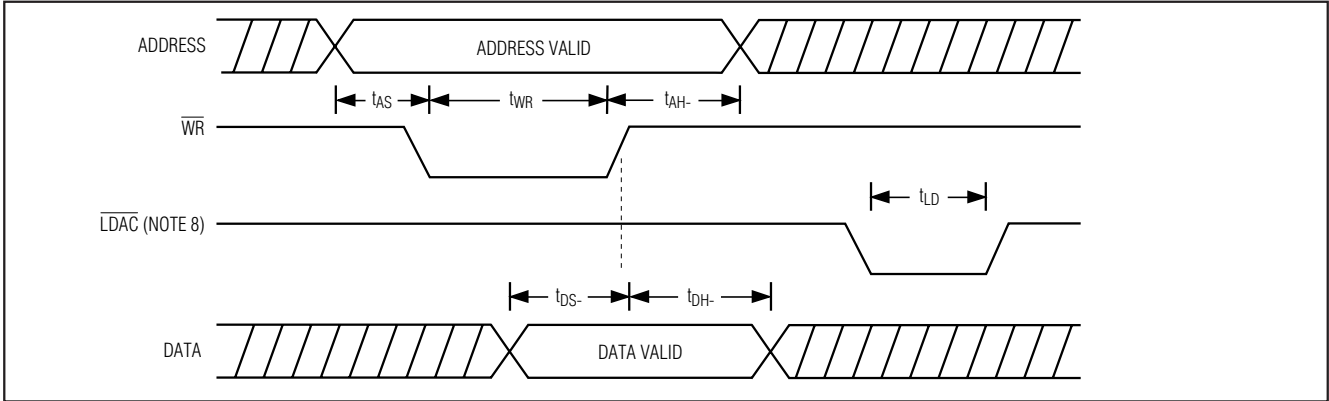
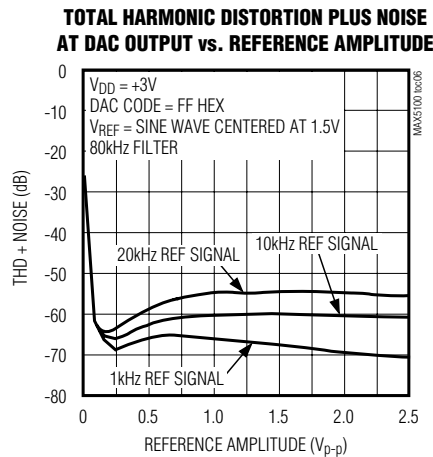
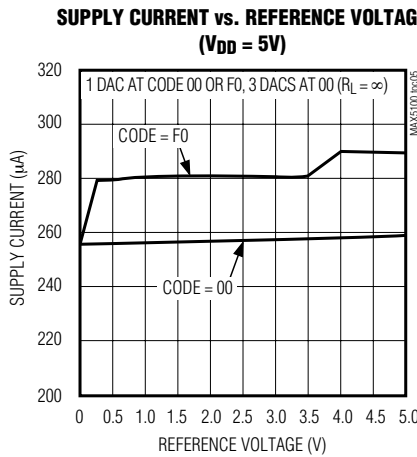
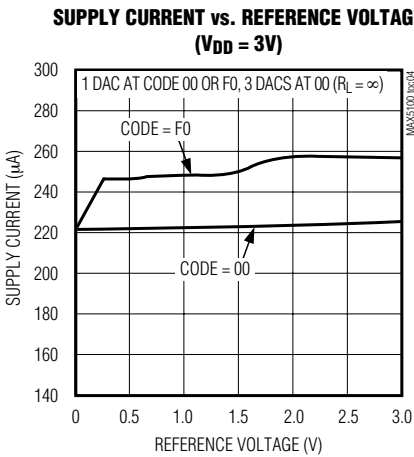
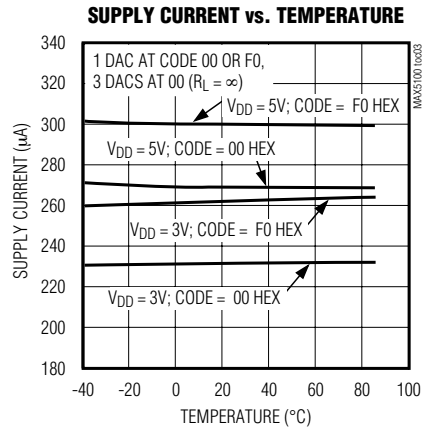
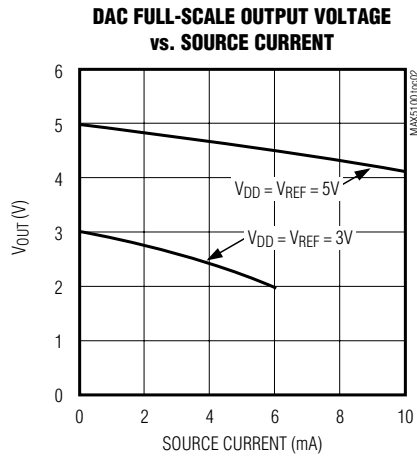
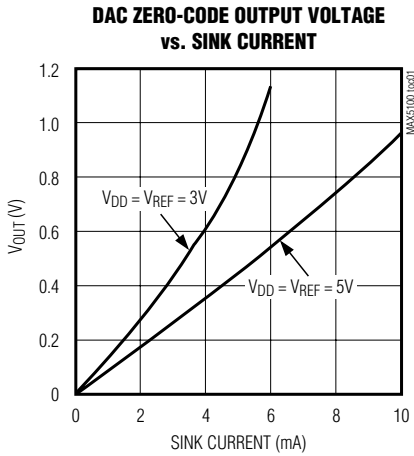


図1. タイミング図

標準動作特性

($V_{DD} = V_{REF} = +3V$, $R_L = 10k\Omega$, $C_L = 100pF$, code = FF hex, $T_A = +25^\circ C$, unless otherwise noted.)



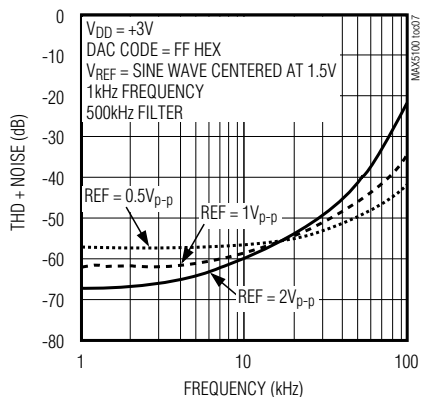
+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

MAX5100

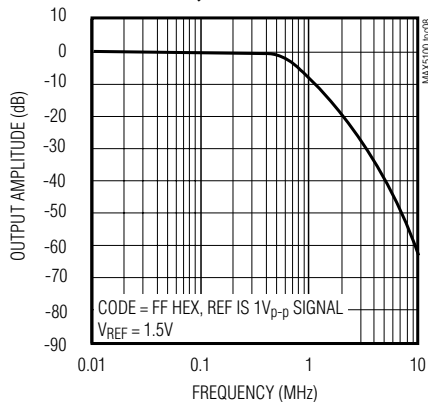
標準動作特性(続き)

($V_{DD} = V_{REF} = +3V$, $R_L = 10k\Omega$, $C_L = 100pF$, code = FF hex, $T_A = +25^\circ C$, unless otherwise noted.)

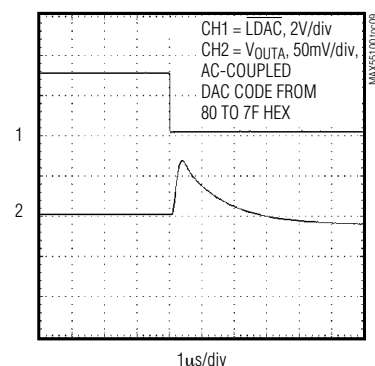
TOTAL HARMONIC DISTORTION PLUS NOISE AT DAC OUTPUT vs. REFERENCE FREQUENCY



REFERENCE INPUT FREQUENCY RESPONSE



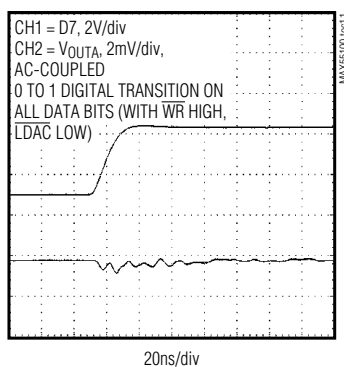
WORST-CASE 1LSB DIGITAL STEP CHANGE (NEGATIVE)



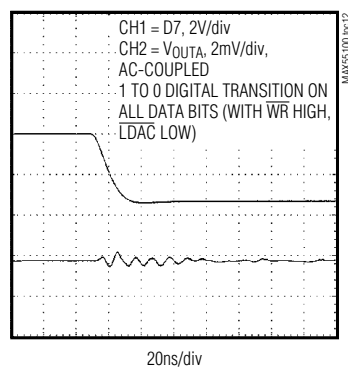
WORST-CASE 1LSB DIGITAL STEP CHANGE (POSITIVE)



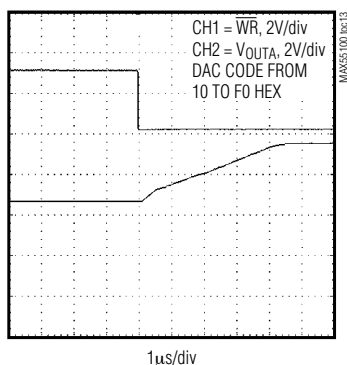
DIGITAL FEEDTHROUGH GLITCH IMPULSE (0 TO 1 DIGITAL TRANSITION)



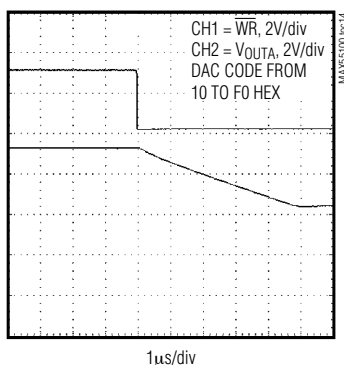
DIGITAL FEEDTHROUGH GLITCH IMPULSE (1 TO 0 DIGITAL TRANSITION)



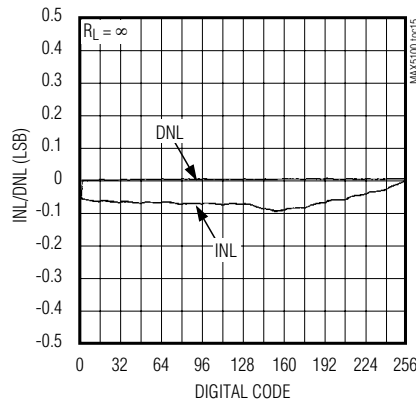
POSITIVE SETTLING TIME



NEGATIVE SETTLING TIME



INTEGRAL AND DIFFERENTIAL NONLINEARITY vs. DIGITAL CODE



+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

端子説明

端子	名称	機能
1	OUTB	DAC B電圧出力
2	OUTA	DAC A電圧出力
3	V _{DD}	正電源電圧。0.1μFコンデンサを使用してV _{DD} をGNDにバイパスして下さい。
4	REF	リファレンス電圧入力
5	SHDN	シャットダウン。SHDNをGNDに接続すると通常動作になります。
6	WR	書込み入力(アクティブロー)。A0とA1で選択されたDAC入力ラッチにデータをロードするのにWRを使用して下さい。
7-14	D7-D0	データ入力7~0。
15	LDAC	ロードDAC入力(アクティブロー)。非同期LDAC入力をローに駆動すると、全ての入力ラッチの内容が対応するDACラッチに転送されます。
16	A1	DACアドレス選択ビット(MSB)
17	A0	DACアドレス選択ビット(LSB)
18	GND	グラウンド
19	OUTD	DAC D電圧出力
20	OUTC	DAC C電圧出力

詳細

デジタルアナログ部

MAX5100は、DACにマトリックスデコーディング構造を採用しています。外部リファレンス電圧が、マトリックス状に配置された抵抗ストリングによって分割されます。行及び列デコードが抵抗ストリングから適切なタブを選択して、必要なアナログ電圧を提供します。抵抗ネットワークが8ビットデジタル入力を相当するアナログ出力電圧(印加されたリファレンス電圧入力に比例)に変換します。抵抗ストリングは、リファレンスに対してコード依存性のない入力インピーダンスを示し、単調な出力を保証します。

本デバイスは乗算アプリケーションに使用できます。電圧はフォロワ構成で接続されたレイルトゥレイルオペアンプでバッファされて、電源電圧範囲の出力を提供します。図2に、MAX5100のファンクションダイアグラムを示します。

低電力シャットダウンモード

MAX5100は、消費電流を1nAに低減するシャットダウンモードを備えています。シャットダウンピンがハイ電圧の場合、DAC及び出力アンプがシャットダウンします。シャットダウンモードにおいては、出力アンプがハイインピーダンス状態になります。シャットダウンを解除する時は、出力の安定化時間として13μs待つて下さい。

出力バッファアンプ

DAC出力は、内部で標準スルーレート0.6V/μsの高精度アンプによってバッファされています。10k と100pFの並列負荷の時、出力の±1/2LSBへのセトリング時間は6μsです。

リファレンス入力

MAX5100は、REF入力においてコードに依存しない入力インピーダンスを提供します。入力インピーダンスは通常460k と15pFの並列で、リファレンス入力電圧範囲は0~V_{DD}です。リファレンス入力は、正DC信号及びピーク値が0~V_{DD}のAC信号を受け付けます。REFにおける電圧がDACのフルスケール出力電圧を設定します。DACの出力電圧(V_{OUT})は、次式のデジタルプログラブル電圧ソースとして表すことができます。

$$V_{OUT} = (N_B \cdot V_{REF}) / 256$$

ここで、N_BはDACのバイナリ入力コードの数値表現です。

デジタル入力及びインタフェースロジック

MAX5100においては、アドレスラインA0及びA1がD0~D7からデータを受け取るDACを選択します(表1参照)。

WRがローの時、アドレス指定されたDACの入力ラッチはトランスペアレントです。WRがハイの場合、データはラッチされます。

+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

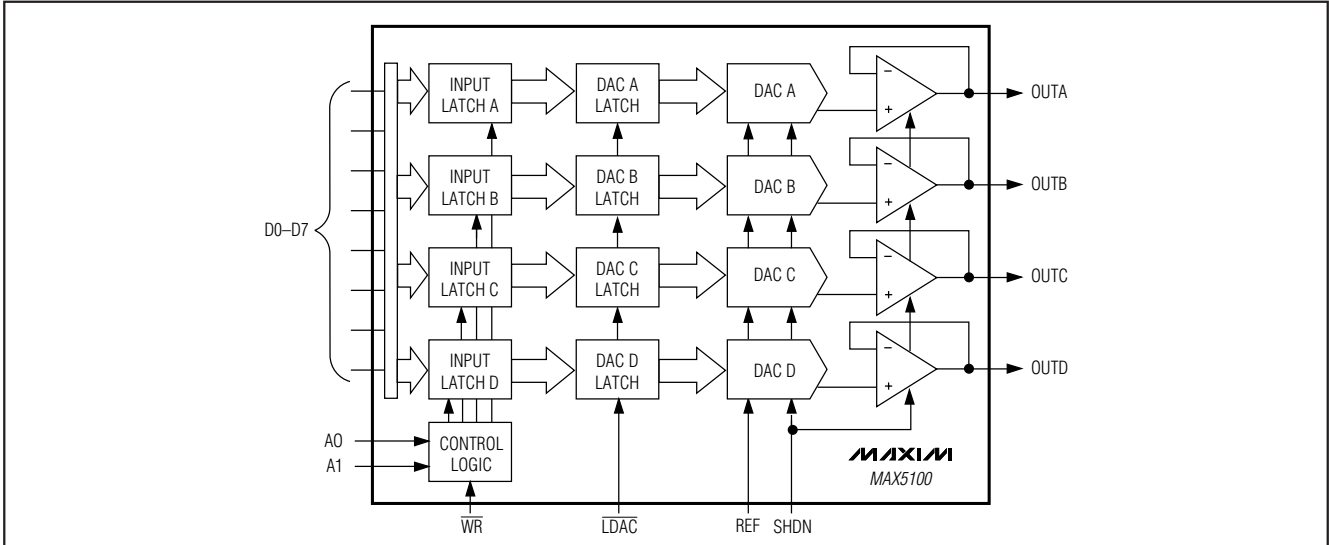


図2. ファンクションダイアグラム

表1. MAX5100のアドレス表(部分)

LDAC	WR	A1	A0	LATCH STATE
H	H	X	X	Input and DAC data latched
H	L	L	L	DAC A input latch transparent
L	H	X	X	All 4 DACs' DAC latches transparent
L	L	L	L	DAC A input registers transparent and all 4 DACs' DAC latches transparent
H	L	L	H	DAC B input latch transparent
H	L	H	L	DAC C input latch transparent
H	L	H	H	DAC D input latch transparent

H = ハイ、L = ロー、X = 任意

MAX5100のLDACは、4つのDAC全ての同時更新を可能にします。LDACがローの場合、データレジスタの中のデータがDACレジスタにラッチされます。同時更新が必要ない場合は、LDACをローに接続してDACラッチをトランスペアレントにしてください。WRとLDACが同時にローである場合は、これら2つの信号がローになる前にデータが有効になるようにして出力グリッチを避けてください。素子がパワーアップする時(即ちV_{DD}が上昇する時)、全てのラッチは内部でコード00 hexにプリセットされます。

アプリケーション情報

外部リファレンス

リファレンスソース抵抗は、リファレンス入力抵抗よりもかなり小さくする必要があります。8ビットシス

テムでエラーを1LSB以下に維持するには、R_SがR_{REF}/256よりも小さくしなければなりません。このため、R_S < 1kΩを保つことによって8ビット精度を保証して下さい。V_{REF}がDCのみである場合、0.1μFコンデンサでREFをGNDにバイパスして下さい。これよりも大きな値を使うと、ノイズ除去比が改善されます。

電源シーケンス

REFに印加される電圧は、どのような場合もV_{DD}を超えないようにして下さい。正しい電源シーケンスが不可能である場合、REFとV_{DD}の間に外部ショットキダイオードを接続することにより、絶対最大定格への適合を保証して下さい。

電源バイパス及びグラウンド管理

GND上のデジタル又はACトランジェント信号は、アナログ出力のノイズの原因となります。GNDはできるだけ良質のグラウンドに戻して下さい。V_{DD}はV_{DD}とGNDにできるだけ近く配置された0.1μFコンデンサでバイパスして下さい。

プリント基板のグラウンドレイアウトを注意深く行うことにより、DAC出力とデジタル入力間のクロストークを最小限に抑えることができます。

チップ情報

TRANSISTOR COUNT: 6848

+2.7V~+5.5V、低電力、クワッド、パラレル レイルトゥレイル電圧出力付、8ビットDAC

パッケージ

COMMON DIMENSIONS

	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A	—	1.10	—	.043
A ₁	0.05	0.15	.002	.006
A ₂	0.85	0.95	.033	.037
b	0.19	0.30	.007	.012
b ₁	0.19	0.25	.007	.010
c	0.090	0.20	.0035	.008
c ₁	0.090	0.135	.0035	.0053
D	SEE VARIATIONS		SEE VARIATIONS	
E	4.30	4.50	.169	.177
e	0.65 BSC		.026 BSC	
H	6.25	6.50	.246	.256
L	0.50	0.70	.020	.028
N	SEE VARIATIONS		SEE VARIATIONS	
Y	2.85	3.15	.112	.124
α	0°	8°	0°	8°

JEDEC	N	VARIATIONS				
		MILLIMETERS		INCHES		
MD-153		MIN.	MAX.	MIN.	MAX.	
AB	14	D	4.90	5.10	.193	.201
AC	16	D	4.90	5.10	.193	.201
AC-EP	16	D	4.90	5.10	.193	.201
		X	2.85	3.15	.112	.124
AD	20	D	6.40	6.60	.252	.260
AD-EP	20	D	6.40	6.60	.252	.260
		X	4.00	4.34	.157	.171
AE	24	D	7.70	7.90	.303	.311
AF	28	D	9.60	9.80	.378	.386
AF-EP		D	9.60	9.80	.378	.386
		X	5.35	5.65	.211	.222

NOTES:

1. DIMENSIONS D AND E DO NOT INCLUDE FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15 mm PER SIDE.
3. CONTROLLING DIMENSION: MILLIMETER.
4. MEETS JEDEC OUTLINE MD-153 VARIATIONS AB, AC, AD, AE, AF.
5. DIMENSIONS X AND Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY.
6. EXPOSED PAD FLUSH WITH BOTTOM OF PACKAGE WITHIN .002".

TSSOP-EP

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600