



36V、4A/5A/6A、完全統合型の 同期整流式 Silent Switcher 降圧コンバータ

MAX26404/MAX26405/MAX26406

概要

MAX26404/MAX26405/MAX26406 IC は、小型、低 EMI 放射の同期整流式 Silent Switcher® 降圧コンバータで、ハイサイド・スイッチとローサイド・スイッチが内蔵されています。これらの IC は、広い入力電圧範囲 (3V~36V) で最大 6A を供給するように設計されています。PGOOD 信号を観察することで電圧品質をモニタリングできます。MAX26404/MAX26405/MAX26406 は、99% のデューティ・サイクルでのドロップアウト動作が可能なため、オートモーティブおよび産業用のアプリケーションに適しています。

MAX26404/MAX26405/MAX26406 は、設定可能な出力電圧または固定 (5V と 3.3V) の出力電圧を使用できます。動作周波数が 2.1MHz (または 400kHz) に内部設定されているため、外付け部品を小型化できる上、出力リップルが低減し、AM 干渉が発生しません。MAX26404/MAX26405/MAX26406 は、軽負荷時には自動的にスキップ・モードになり、無負荷時には超低自己消費電流 (10µA) で動作します。この製品ファミリー (MAX26408/MAX26410 を含む) は互いにピン互換性があり、シングルフェーズ構成で 4A~10A、デュアルフェーズ構成で最大 20A を供給します。これらのデバイスはデュアルフェーズ動作にも最適化されており、非常に高い電流分担精度を備えています。これらのデバイスの発注時には、変調周波数による EMI 放射を最小限に抑えるよう設計されたスペクトラム拡散周波数変調を選択することができます。

このデバイスは、MAXQ® パワー・アーキテクチャを採用しているため、高精度の過渡応答性能と位相マージンが得られます。これにより、あらゆるアプリケーションでシステム・コストを最小限に抑えながら、最大の電力、性能、精度を得ることができます。

MAX26404/MAX26405/MAX26406 は小型 (3.5mm × 3.75mm) の 17 ピン FC2QFN パッケージで提供され、使用する外付け部品はごくわずかです。

アプリケーション

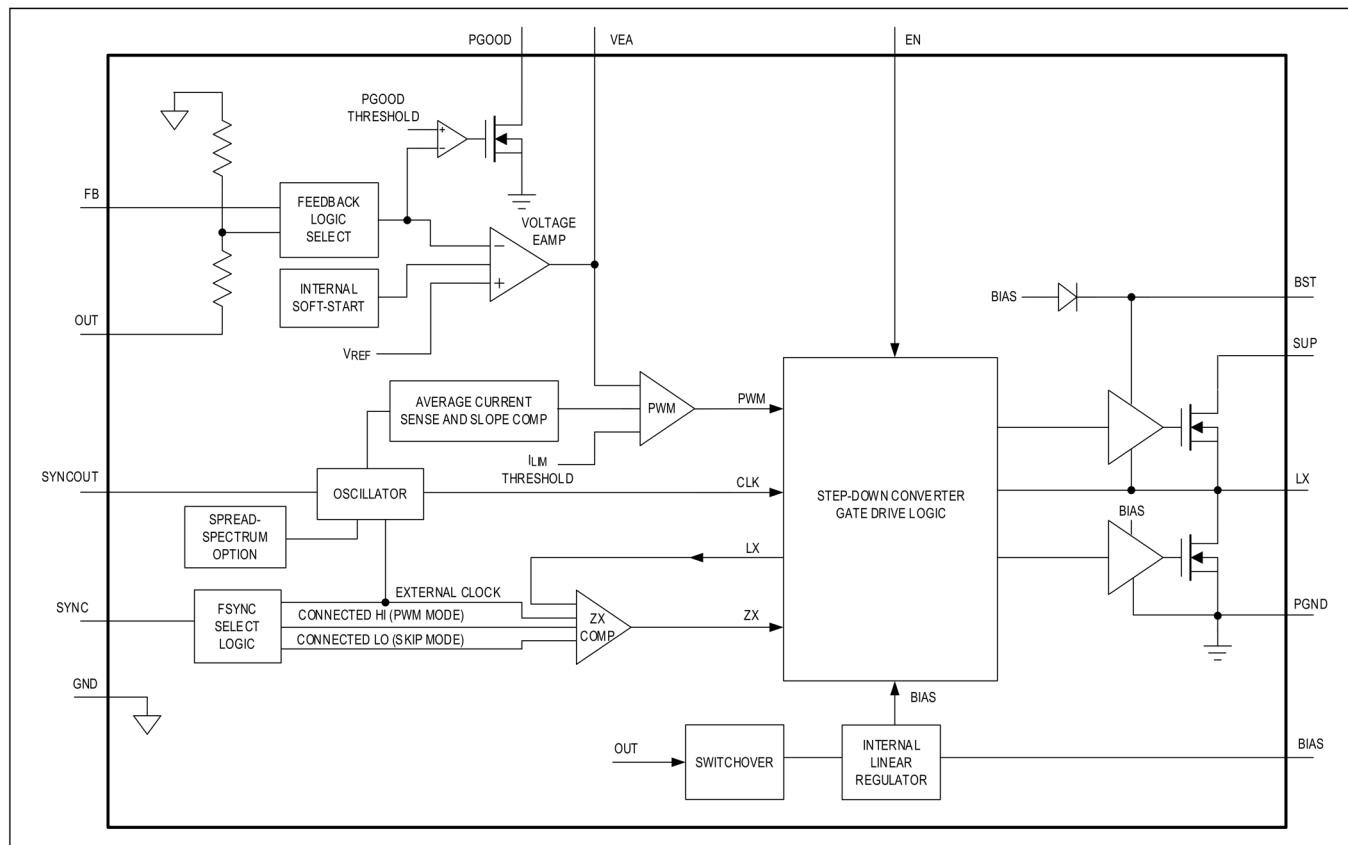
- ポイントオブロード (POL) 電源
- 12V/24V 産業用アプリケーション
- テレコム、サーバー、ネットワーク機器

機能と利点

- Silent Switcher コンバータ
 - コンパクトで効率的な低 EMI のソリューションを実現
 - スペクトラム拡散周波数変調
 - 対称パッケージにより優れた EMI 性能を実現
- 小型サイズでありながら多機能
 - 動作可能な V_{IN} 範囲 : 3V~36V
 - スキップ・モードでの静止電流 : 10µA
 - FET を内蔵した同期整流式 DC/DC コンバータ
 - 固定周波数オプション : 400kHz と 2.1MHz
 - 2.5ms 固定の内部ソフトスタート
 - 出力電圧を 0.8V~10V で設定可能、または 3.3V および 5.0V の固定出力電圧
 - 他の固定出力オプションも利用可能 : 2.9V~6V (100mV ステップ)
 - 3.5mm × 3.75mm、17 ピン FC2QFN
- デュアルフェーズ機能
 - 高出力設計にデュアルフェーズ構成で使用可能
 - VEA ピンの共有による動的電流分担
 - 低 I_Q での動作が可能 (デュアルフェーズ)
- 高精度
 - FPWM モードでの出力電圧精度 : ±1% (無負荷状態)
 - PGOOD による正確な出力電圧モニタリング
 - MAXQ パワー・アーキテクチャ
- 環境に対応する堅牢性
 - 強制 PWM 動作とスキップ・モード動作
 - 低ドロップアウトで 99% デューティ・サイクル動作
 - 過熱および短絡に対する保護
 - 動作温度範囲 : -40°C~+125°C

型番はデータシート末尾に記載されています。

簡略したブロック図



絶対最大定格

SUP	-0.3V～+42V
EN	-0.3V～+42V
BST～LX (Note 1)	-0.3V～+2.2V
BST	-0.3V～+44V
LX (Note 1)	-0.3V～SUP+0.3V
SYNCOOUT	-0.3V～+6V
SYNC	-0.3V～+6V
VEA	-0.3V～BIAS+0.3V
FB	-0.3V～BIAS+0.3V
OUT	-0.3V～+16V
PGOOD	-0.3V～+6V

BIAS	-0.3V～+2.2V
PGND～AGND	-0.3V～+0.3V
LX 連続 RMS 電流	6A
ESD 保護	
人体モデル	±2kV
チャージ・デバイス・モデル	±750V
連続消費電力 (TA = +70°C、+70°C を超えると 34.48mW/°C でディレーティング)	2758mW
動作温度範囲	-40°C～+150°C
保管温度範囲	-65°C～+150°C
はんだ処理温度 (はんだ処理 : 10 秒)	+300°C

Note 1 : 通常の動作状況で最大定格出力電流を上限とする負荷条件においては、これらの上限値を超える 50ns 以内のトランジエント電圧に対する自己保護機能を備えています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

推奨動作条件

PARAMETER	SYMBOL	CONDITION	TYPICAL RANGE	UNIT
Ambient Temperature Range	TA	—	-40 to +125	°C

Note : これらの条件範囲は保証値ではありません。

パッケージ情報**17 FC2QFN**

Package Code	F173A3FY+6	
Outline Number	21-100343	
Land Pattern Number	90-100129	
THERMAL PARAMETERS	JEDEC 4-LAYER BOARD	EV KIT 4-LAYER BOARD
Junction-to-Ambient Thermal Resistance (θ _{JA})	38.4°C/W	28.9°C/W
Junction-to-Case (top) Thermal Resistance (θ _{JCT})	21.4°C/W	—
Junction-to-Case (bottom) Thermal Resistance (θ _{JCB})	10.4°C/W	10.2°C/W
Junction-to-Board Thermal Resistance (θ _{JB})	9.9°C/W	12.0°C/W
Junction-to-Top Characterization Parameter (ψ _{JT})	1.9°C/W	0.86°C/W
Junction-to-Board Characterization Parameter (ψ _{JB})	12.5°C/W	12.2°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、[analog.com/jp/resources/packaging-quality-symbols-footprints/package-index.html](#) で確認してください。パッケージ・コードの「+」、「#」、「-」はRoHS対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面はRoHS状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[analog.com/jp/resources/technical-articles/thermal-characterization-of-ic-packages.html](#) を参照してください。

電気的特性

(特に指定のない限り、 $V_{SUP} = V_{EN} = 14V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ 。特に指定のない限り、代表値は $T_A = +25^{\circ}C$ の通常条件下の値。
(Note 2 および Note 3))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage Range	V_{SUP}		3		36	V
Supply Current	I_{SUP_SHDN}	$V_{EN} = 0V, T_A = +25^{\circ}C$		4	6	μA
	I_{SUP}	$V_{EN} = \text{high}, V_{OUT} = 3.3V, V_{FB} = V_{BIAS}$, no load, no switching, $T_A = +25^{\circ}C$		10		
SUP Undervoltage Lockout	$V_{SUP_UVLO_R_ISE}$	SUP voltage rising	2.945	3.025	3.175	V
	$V_{SUP_UVLO_F_ALL}$	SUP voltage falling	2.655	2.725	2.870	
BIAS Undervoltage Lockout	V_{BIAS_UVLO}	BIAS voltage falling	1.53	1.58	1.63	V
BIAS Undervoltage Lockout Hysteresis	$V_{BIAS_UVLO_HYS}$	BIAS UVLO hysteresis		50		mV
BIAS Voltage	V_{BIAS}			1.8		V
BUCK CONVERTER						
Output Voltage Accuracy	V_{OUT_5V}	Skip mode, no load	4.93	5.0	5.05	V
		PWM mode, no load	4.95	5.0	5.05	
	$V_{OUT_3.3V}$	Skip mode, no load	3.245	3.3	3.335	
		PWM mode, no load	3.265	3.3	3.335	
Output Voltage Adjustable Range	V_{OUT}		0.8		10	V
Feedback Voltage Accuracy	V_{FB_PWM}	PWM mode, no load	0.787	0.800	0.813	V
Feedback Leakage Current	I_{FB}	$V_{FB} = 0.8V, T_A = +25^{\circ}C$		100		nA
High-Side DMOS On-Resistance	R_{DSON_HS}	$V_{BIAS} = 1.8V, I_{LX} = 2A$		45	90	$m\Omega$
Low-Side DMOS On-Resistance	R_{DSON_LS}	$V_{BIAS} = 1.8V, I_{LX} = 2A$		22	44	$m\Omega$
High-Side DMOS Current-Limit Threshold	I_{LIM}	MAX26404	5.50	6.25	7.00	A
		MAX26405	6.5	7.5	8.5	
		MAX26406	7.5	8.75	10	
Low-Side DMOS Negative Current-Limit Threshold	I_{NEG}	MAX26404		-2.3		A
		MAX26405		-3		
		MAX26406		-3.5		
LX Leakage	I_{LX_LKG}	$V_{SUP} = 36V, V_{LX} = 0V$, or $V_{LX} = 36V, T_A = +25^{\circ}C$		1		μA
Soft-Start Ramp Time	t_{SS}		2.2		2.8	ms
Minimum On-Time	t_{ON}	(Note 4)		33	55	ns
Maximum Duty Cycle	D_{MAX}	Dropout mode	98	99		%
SWITCHING FREQUENCY						
PWM Switching Frequency	f_{SW}	400kHz	360	400	440	kHz
		2.1MHz	1.925	2.1	2.275	MHz
	f_{SYNC}	$f_{SW} = 400kHz$		360	600	kHz

(特に指定のない限り、 $V_{SUP} = V_{EN} = 14V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ 。特に指定のない限り、代表値は $T_A = +25^{\circ}C$ の通常条件下の値。
([Note 2](#) および [Note 3](#)))

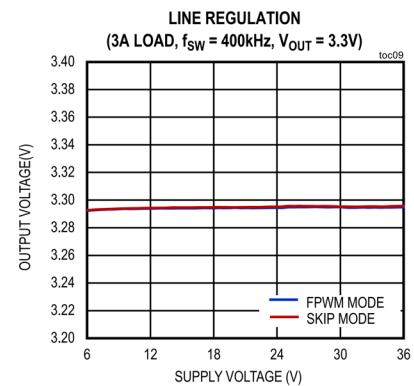
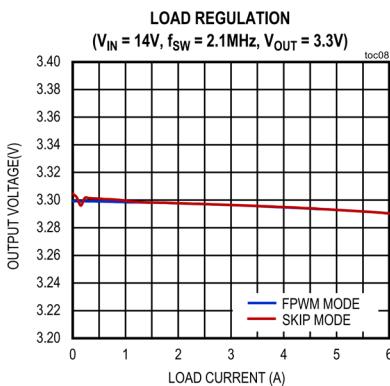
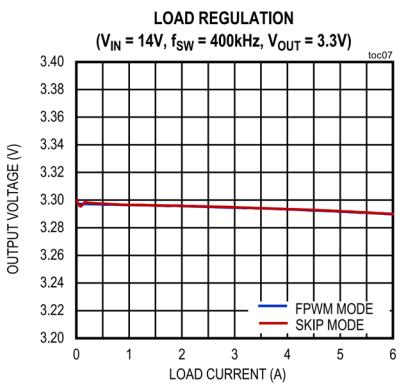
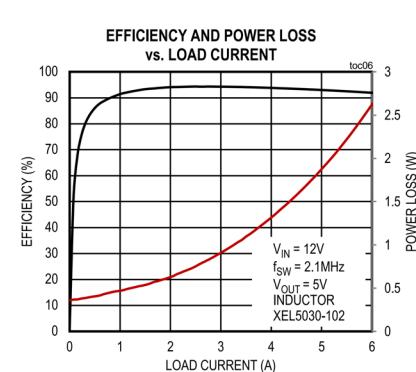
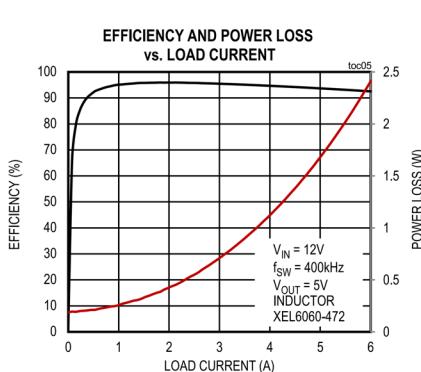
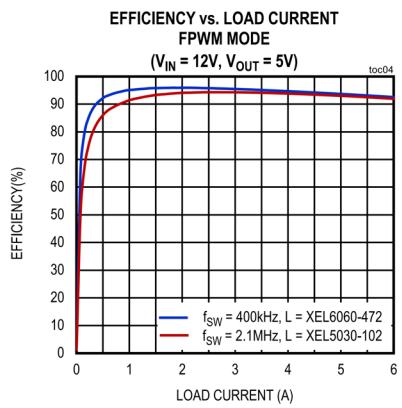
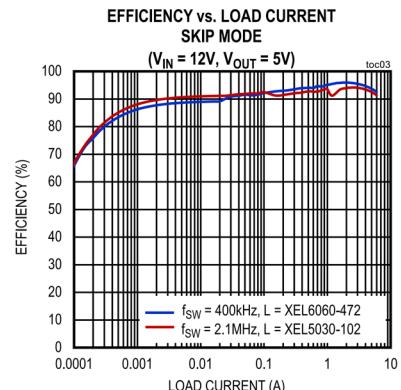
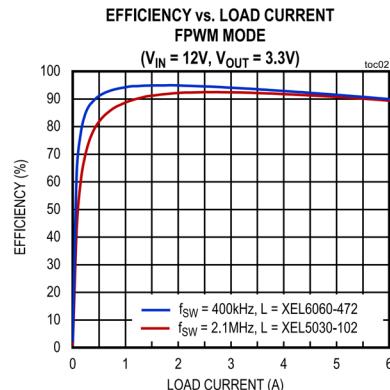
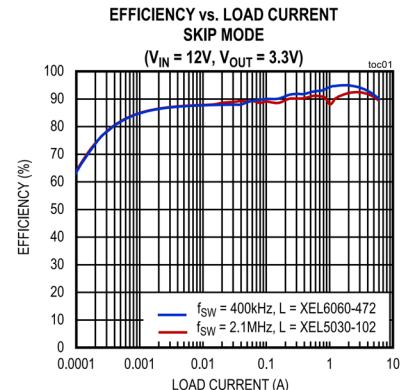
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYNC External Clock Frequency		$f_{SW} = 2.1MHz$	1.7		2.6	MHz
Spread Spectrum	SPS	Percentage of f_{SW}		± 3		%
PGOOD OUTPUT						
PGOOD Threshold	V_{PGOOD_THR}	V_{OUT} rising	92	94	96	%
	V_{PGOOD_THF}	V_{OUT} falling	91	93	95	
PGOOD Debounce Time	t_{DEB}	Rising		100		μs
		Falling		50		
PGOOD Leakage Current	I_{PGOOD_LKG}	$T_A = +25^{\circ}C$		1		μA
PGOOD Low Voltage Level	V_{PGOOD_LOW}	Sinking 1mA		0.4		V
LOGIC LEVELS						
EN High Voltage Level	V_{EN_HIGH}		1.2			V
EN Low Voltage Level	V_{EN_LOW}			0.5		V
EN Input Current	I_{EN}	$V_{EN} = V_{SUP} = 36V, T_A = +25^{\circ}C$		1		μA
SYNC High Voltage Level	V_{SYNC_HIGH}		1.4			V
SYNC Low Voltage Level	V_{SYNC_LOW}			0.4		V
SYNCOUT Output Voltage Level	$V_{SYNCOUT}$	No load	2.6	3.3	3.9	V
THERMAL PROTECTION						
Thermal Shutdown	T_{SHDN}			165		$^{\circ}C$
Thermal Shutdown Hysteresis	T_{SHDN_HYS}			20		$^{\circ}C$

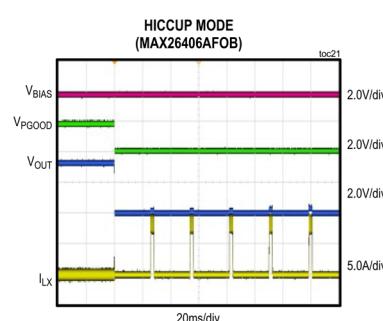
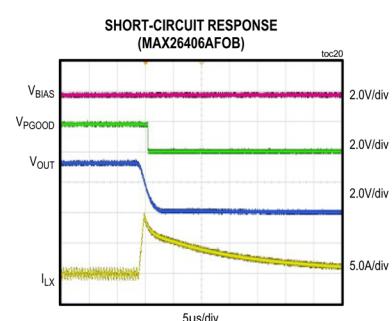
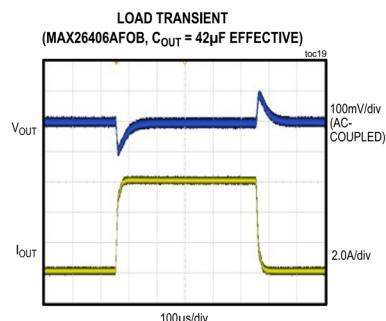
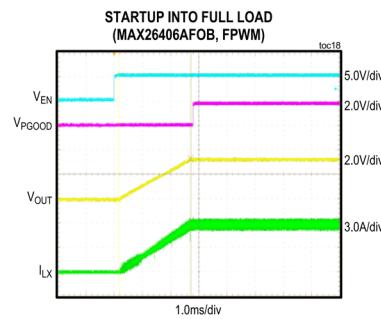
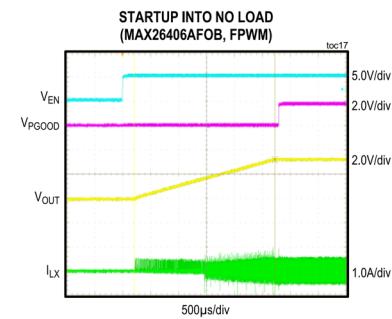
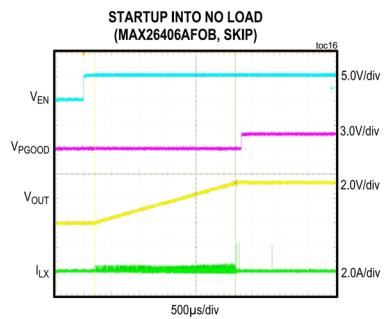
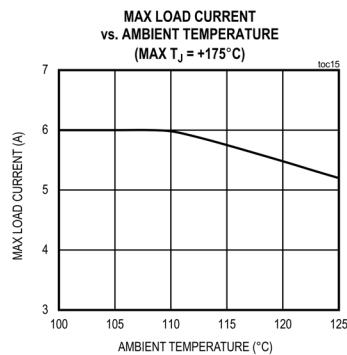
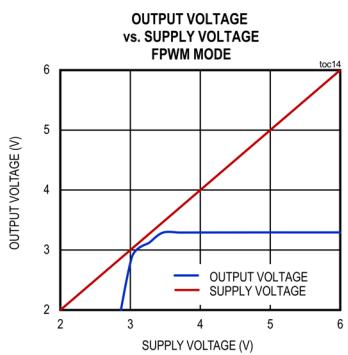
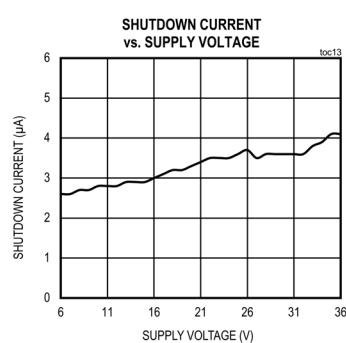
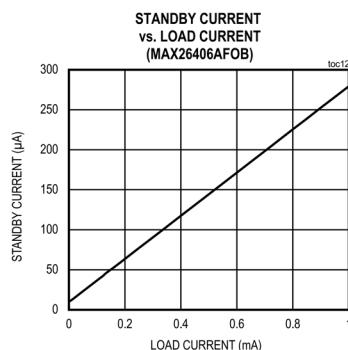
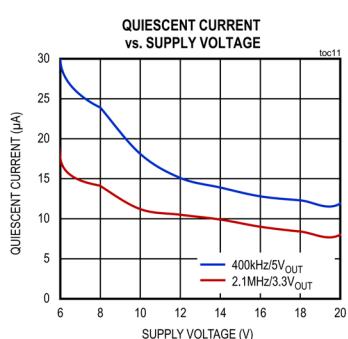
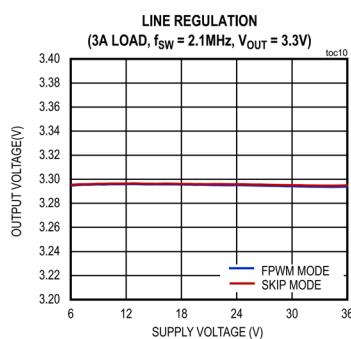
Note 2 : 限界値は、 $T_A = +25^{\circ}C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。代表値は $T_A = +25^{\circ}C$ で規定しています。

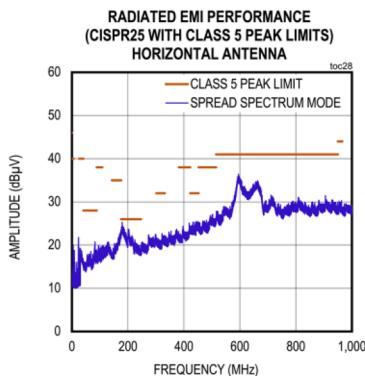
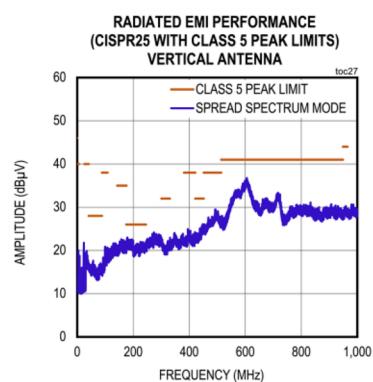
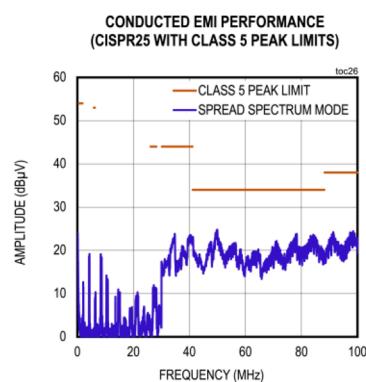
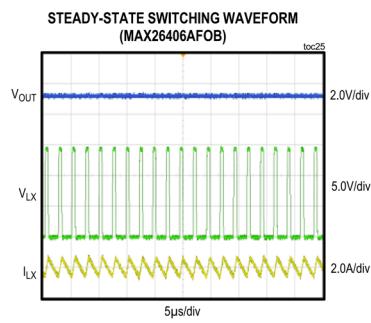
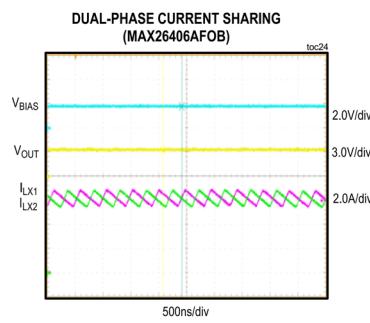
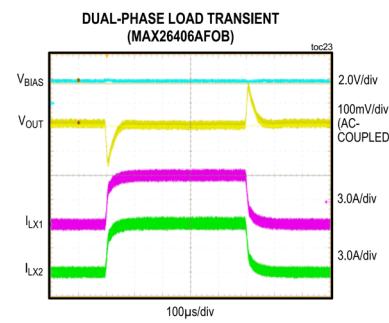
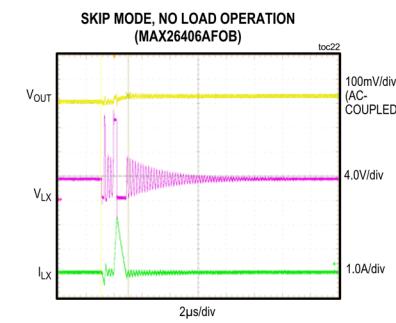
Note 3 : このデバイスは、 $T_J = +125^{\circ}C$ で 95,000 時間、 $T_J = +150^{\circ}C$ で 5,000 時間、連続動作するように設計されています。

Note 4 : 出荷テストは行っていませんが、設計により裏付けられています。

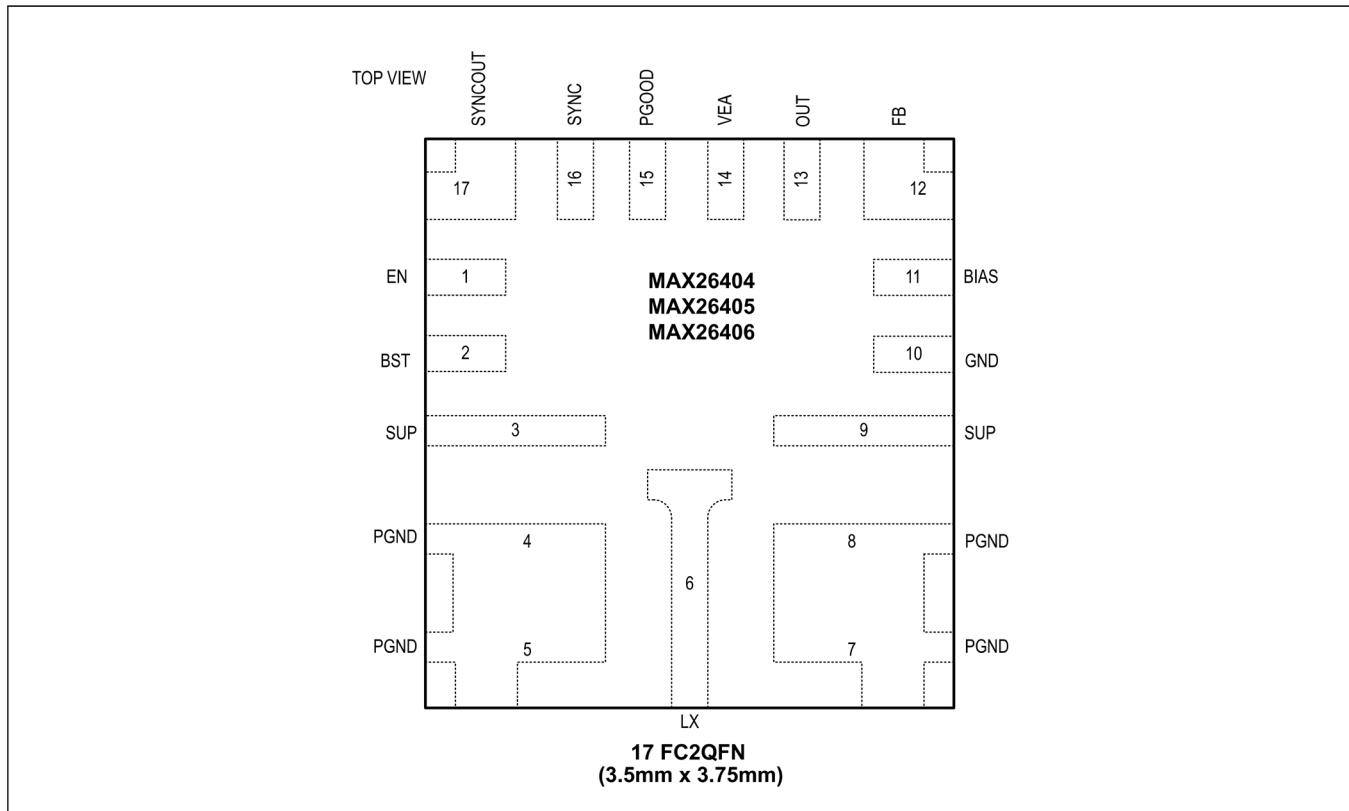
標準動作特性

(特に指定のない限り、 $V_{SUP} = V_{EN} = +14V$ 、 $T_A = +25^{\circ}C$ 。)





ピン配置



端子説明

ピン	名称	機能
1	EN	高電圧に対応可能な回路イネーブル用入力。このピンがローの場合、この部品はオフです。
2	BST	ハイサイド・ドライバ電源。適正な動作のために、LX と BST の間に $0.1\mu\text{F}$ のコンデンサを接続します。
3,9	SUP	IC 電源入力。SUP と PGND の間に $1\mu\text{F}$ 以上のセラミック・コンデンサと $4.7\mu\text{F}$ のコンデンサを並列に接続します。
4,5,7,8	PGND	電源グランド。全ての PGND ピンを相互に接続します。
6	LX	降圧スイッチング・ノード。このデバイスがオフのときには高インピーダンスになります。LX を適切なインダクタのスイッチ側に接続します。
10	GND	アナログ・グランド。
11	BIAS	1.8V の内蔵 BIAS 電源。 $2\mu\text{F}$ 以上のセラミック・コンデンサを PGND に接続します。
12	FB	フィードバック・ピン。OUT から FB を経て GND までの間に抵抗分圧器を接続して、出力電圧を外部で調整します。BIAS に接続すると内部固定電圧になります。
13	OUT	降圧レギュレータの出力電圧検出入力。OUT は降圧出力に接続します。
14	VEA	内部電圧ループのエラー・アンプ出力。デュアルフェーズ動作の場合はターゲットの VEA に接続します。シングルフェーズ動作の場合は未接続のままにします。
15	PGOOD	オープン・ドレインのリセット出力。外部プルアップが必要です。
16	SYNC	SYNC。GND に接続した場合、軽負荷ではスキップ・モード動作がイネーブルされます。BIAS に接続した場合、強制 PWM モードがイネーブルされます。
17	SYNCOUP	マルチフェーズ動作用の 180° 位相差クロック出力シングルフェーズ動作では SYNCOUT をオープンのままにします。

詳細説明

MAX26404/MAX26405/MAX26406 は、小型の同期整流式降圧コンバータで、ハイサイド・スイッチとローサイド・スイッチを内蔵しています。このデバイスは+3V～+36V の入力電圧を受けて最大 6A を供給するように設計されており、無負荷時の自己消費電流はわずか 10 μ A です ($V_{SUP} = 12V$, $V_{OUT} = 3.3V$)。PGOOD 信号を観察することで電圧品質をモニタリングできます。この IC は 99% のデューティ・サイクルでの動作によりドロップアウトで動作可能で、車載用や産業用のアプリケーションに最適です。

MAX26404/MAX26405/MAX26406 では、固定出力電圧（詳細については、[型番](#)の表を参照してください）または、FB ピンによる外部分圧器の使用が可能です。動作周波数が 2.1MHz または 400kHz に内部設定されているため、外付け部品を小型化できる上、出力リップルが低減し、AM 干渉が発生しません。デバイスは、軽負荷時には自動的にスキップ・モードに入り（SYNC ピンをプルダウン）、無負荷時には 10 μ A という超低自己消費電流になります。変調周波数による EMI 放射を最小限に抑えるように設計したスペクトラム拡散周波数変調を、発注時に選択できます。アーキテクチャは平均電流モード制御で、これにより電流ループのノイズ除去を大きく改善できるようになります。この IC の最小オン時間は 33ns と小さく、周期をスキップせずに 1 段で大きな降圧比を実現できます。

SYNCOUT と VEA を用いると、デュアルフェーズ構成でも使用できます。革新的な平均電流モード制御のアーキテクチャにより、トランジエント時のノイズ耐性と正確な動的電流分担が実現されます。最大 12A の出力電流を備えた高出力設計が、IC のデュアルフェーズ機能を使用した内蔵スイッチを用いることで可能になります。FC2QFN により、熱性能と EMI 性能の向上が実現されます。VIN から PGND までの対称的なピン配列により、EMI 性能が更に向上するので、低ノイズ設計が可能になります。

マルチフェーズ動作

MAX26404/MAX26405/MAX26406 は高電流アプリケーションの場合にデュアルフェーズ動作が可能であり、各 IC をコントローラまたはターゲットとして構成できます。マルチフェーズ動作は、強制 PWM モードだけを対象としています。SYNCOUT は、コントローラのクロックに対し 180° の位相差があります。デバイスがスキップ・モードにある場合、SYNCOUT にはクロックが現れません。デュアルフェーズ構成で低 I_Q 動作を可能にするには、ターゲットの EN をディスエーブルにして、その IC をオフにし、自己消費電流を減らします。

ターゲット側の SYNCOUT は BIAS に接続します。EN がハイになったとき、IC がコントローラなのか（SYNCOUT が BIAS に接続されていない）またはターゲットなのかを検出する手順を実行します。VEA ピンは、コントローラについては電圧エラー・アンプの出力になり、ターゲットについては電流エラー・アンプの入力になります。コントローラの VEA ピンをターゲットの VEA ピンに接続し、2 つの相の間でバランスの取れた電流分担が行われるようにします。内部固定 V_{OUT} 設定とする場合は、コントローラとターゲットの FB ピンを各々の BIAS ピンに接続します。ターゲット IC は、ターゲット IC 内部の抵抗分圧器を使用せず、（VEA ピンを介して）コントローラ外部の電圧ループを使用するので、出力電圧のミスマッチが避けられます。MAX26404/MAX26405/MAX26406 を使用したデュアルフェーズ構成のセットアップについては図 1 を参照してください。

外付けの抵抗分圧器を使用する構成の場合は、IC ごとに 2 つの別々の抵抗分圧器を使用し、コントローラとターゲットの FB ピン同士を同じポイントに接続しないようにします。

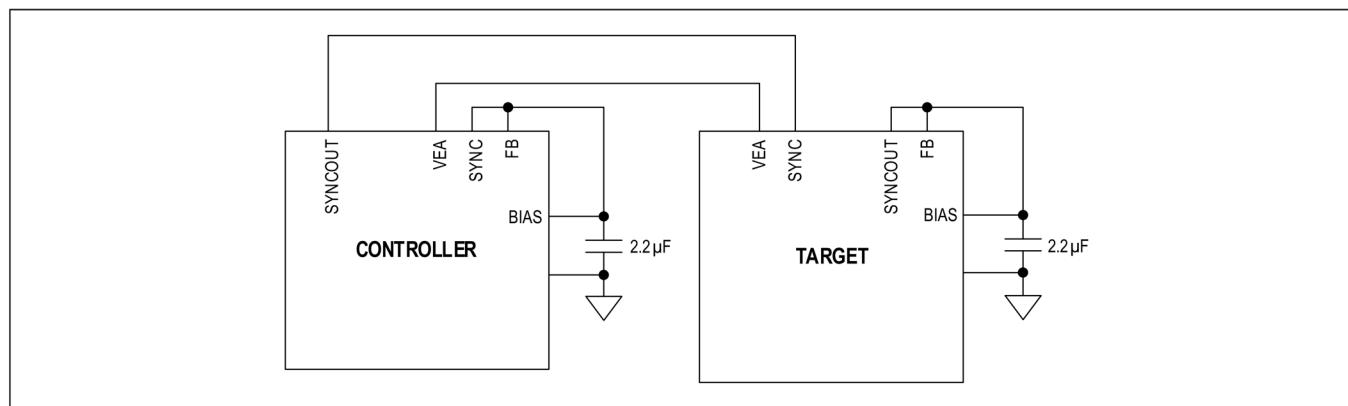


図 1. 内部固定 V_{OUT} 設定の標準的なデュアルフェーズ構成のセットアップ

リニア・レギュレータ出力 (BIAS)

このデバイスには 1.8V のリニア・レギュレータ (V_{BIAS}) が内蔵されており、内部回路ブロックに電力を供給します。BIAS と GND の間に $2.2\mu F$ のセラミック・コンデンサを接続します。バイアス・レギュレータは起動時には入力から電力が供給され、起動が完了すると ($V_{OUT} > 2.5V$ を満たすと) 出力からの供給に切り替わります。出力電圧が 1.8V 未満の場合、バイアス・レギュレータは常に入力に接続されています。

システム・イネーブル (EN)

イネーブル制御入力 (EN) でデバイスを低電力シャットダウン・モードから起動します。EN は、自動車用バッテリのレベルから低い側は 3V までの入力範囲に対応可能です。EN で内蔵のリニア (BIAS) レギュレータがオンになります。 V_{BIAS} が内部ロックアウト・レッショルド ($V_{UVBIAS} = 1.63V$ (代表値)) を超えると、コンバータが起動し、出力電圧はプログラムされたソフトスタート時間でランプ・アップします。

EN がロジック・ローの場合、デバイスはシャットダウンします。シャットダウンの間、BIAS レギュレータとゲート・ドライバはオフになります。シャットダウン時は、電力が最も低い状態で、自己消費電流は $4\mu A$ (代表値) に低下します。EN をハイに駆動すると、デバイスがシャットダウンから復帰します。

同期入力 (SYNC)

MAX26404/MAX26405/MAX26406 は SYNC ピンを備えています。このピンは、動作モードの選択および周波数の制御に使用されるロジック・レベル入力です。SYNC を BIAS または外部クロックに接続すると、強制固定周波数 (FPWM) 動作がイネーブルになります。SYNC を GND に接続すると、自動スキップ・モード動作がイネーブルになり、軽負荷時の効率が改善されます。この IC は、SYNC ピンに印加される外部クロックに立上がりエッジで同期します。このデバイスは、2 周期内で外部クロックに同期します。2 クロック周期を超える期間、SYNC に外部クロック信号が現れない場合には、デバイスは内部クロックを使用します。

ソフトスタート

本デバイスは、2.5ms に固定のソフトスタートを備えています。ソフトスタートは、出力電圧を強制的にレギュレーション・ポイントに向けて徐々に上げることによって、起動時の突入電流を制限するものです。

スペクトラム拡散オプション

この IC は、出荷時に選択できるスペクトラム拡散オプションによって EMI 性能を改善できます。スペクトラム拡散を有効にすると、動作周波数がスイッチング周波数を中心に $\pm 3\%$ 変動します。2.1MHz 動作時の変調信号は、周波数 4.5kHz の三角波です。従って、スイッチング周波数は $110\mu s$ の間に 2.1MHz から 3% 低下して元に戻り、更に $110\mu s$ の間に 3% 上昇して 2.1MHz に戻るという動作を繰り返します。400kHz での動作時には、変調信号は 0.4/2.1 の比例関係で変化します。外部クロックに同期している場合は、内部のスペクトラム拡散は無効化されます。しかし、SYNC 端子の入力クロックはフィルタされないので、これに供給される外部クロックに存在する変調は (スペクトラム拡散のものを含み) そのまま通過します。

短絡保護

このデバイスは、出力での短絡および過負荷状態からデバイスを保護する電流制限機能を備えています。短絡または過負荷状態が発生した場合、ハイサイド MOSFET は、インダクタ電流が仕様規定された LX 電流制限スレッショルドに達するまでオンのままになります。次に、コンバータはハイサイド MOSFET をオフ、ローサイド MOSFET をオンにして、インダクタ電流がランプ・ダウンできるようになります。インダクタ電流が電流制限スレッショルドを下回ると、コンバータはハイサイド MOSFET を再びオンにします。この繰り返しが、短絡または過負荷状態が解消されるまで続きます。

電流制限中に、出力電圧が目標値の 50% を下回ったとき (内部固定出力時)、または目標値の 25% を下回ったとき (外部出力時) は、短絡として検出します。これが発生するとヒップ・モードが起動し、25ms の間、出力がオフになります。その後、出力はソフトスタートに入って再び起動します。回路が短絡している間は、この繰り返しがいつまでも続きます。ソフトスタートの間、ヒップ・モードはディスエーブルになります。

アプリケーション情報

出力電圧の設定

FBをBIASに接続すると、5Vまたは3.3Vの固定出力電圧になります。出力をそれ以外の0.8V~10Vの電圧に設定するには、出力(OUT)とGNDの間に抵抗分圧器を接続します(図2参照)。R_{FB2}(FBとGNDの間の抵抗)は100kΩ以下になるように選択します。R_{FB1}(OUTとFBの間の抵抗)は次の式を用いて計算します。

式1:

$$R_{FB1} = R_{FB2} \times \left(\frac{V_{OUT}}{V_{FB}} - 1 \right)$$

ここで、V_{FB}はフィードバック・レギュレーション電圧です。詳細については、[電気的特性](#)の表を参照してください。

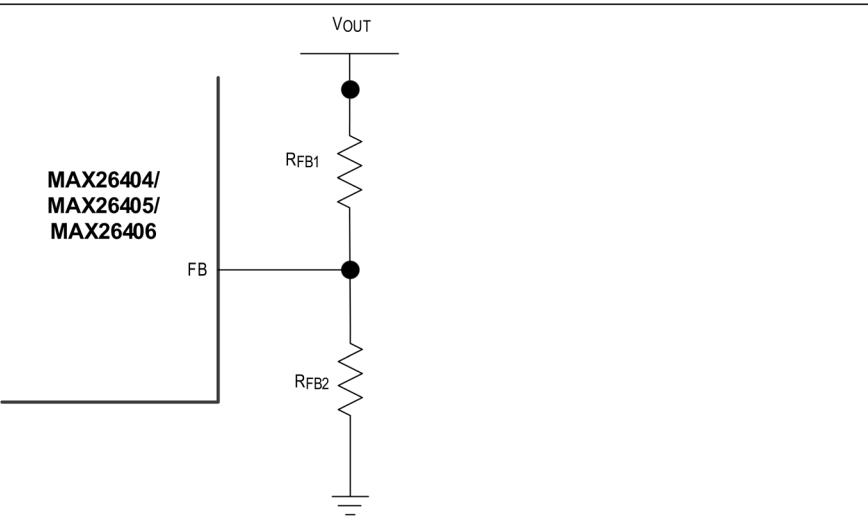


図2. 外付け抵抗分圧器を使用した出力電圧の設定

表1には、調整可能な出力構成の出力範囲ごとに、選択する推奨部品が示されています。推奨部品は特定のアプリケーションに対して更に最適化できます。C_{FF}の値が表1に掲載されていますが、これはR_{FB1}=100kΩに基づいて推奨されたものです。推奨されるC_{FF}はR_{FB1}の選択によって変わります。

表1. 調整可能な出力電圧のための推奨部品

SWITCHING FREQUENCY (kHz)	V _{OUT} (V)	INDUCTOR (μH)	MINIMUM EFFECTIVE C _{OUT} (μF)	C _{FF} (pF)
400	0.8 to 1.8	1.5	440	100
	1.8 to 3	3.3	440	100
	3 to 5	3.3	150	47
	5 to 10	4.7	90	100
2100	0.8 to 3	0.56	235	10
	3 to 5	1	50	15
	5 to 10	1	44	27

デュアルフェーズ動作

デュアルフェーズでの低 I_Q 動作

MAX26404/MAX26405/MAX26406 はデュアルフェーズ動作が可能で、どの IC をコントローラとして構成することもターゲットとして構成することも可能です。コントローラの SYNCOUT ピンは、SYNC がハイに接続されれば (FPWM モード)、180° 位相差のクロックを出力します。低 I_Q モードにするためには、コントローラの SYNC ピンをローに引き下げる必要があります (スキップ・モード)。このモードでは、コントローラの SYNCOUT ピンにはクロックが現れず、コントローラ IC はスキップ・モードに入ります。ターゲット IC の内部回路はこの期間中オン状態を保ち、コントローラからの SYNCOUT 信号を待つ状態となります。ターゲット IC はオンなので、両 IC がパルスをスキップしていても、自己消費電流はわずかに高くなります。

軽負荷時の効率を高め、 I_Q を更に低減させるためには、ターゲットの EN をローに引き下げる必要があります。これによりターゲット側は内部回路も含めディスエーブルされ、更に I_Q が低減します。表 2 に低 I_Q 動作の真理値表をまとめます。

表 2. 低 I_Q 動作の設定

CONTROLLER	TARGET	MODE
EN = High, SYNC = BIAS	EN = High	FPWM (high I_Q)
EN = High, SYNC = Low	EN = High	Skip mode (low I_Q)
EN = High, SYNC = Low	EN = Low	Standby mode (ultra-low I_Q)
EN = Low	EN = High	Not allowed

出力電圧の設定

出力電圧を内部固定電圧に設定するためには、コントローラとターゲットの IC で同一の固定 V_{OUT} 設定を行い、FB ピンをそれぞれの BIAS に接続します。コントローラとターゲットの FB ピンは決して相互に接続しないでください。

固定 V_{OUT} オプションでは選択できない値に出力電圧を設定するためには、図 3 に示すように、OUT、FB、GND の間に抵抗分圧器を接続します。コントローラとターゲットには、同一の設定で別々の抵抗分圧器を使用することを推奨します。

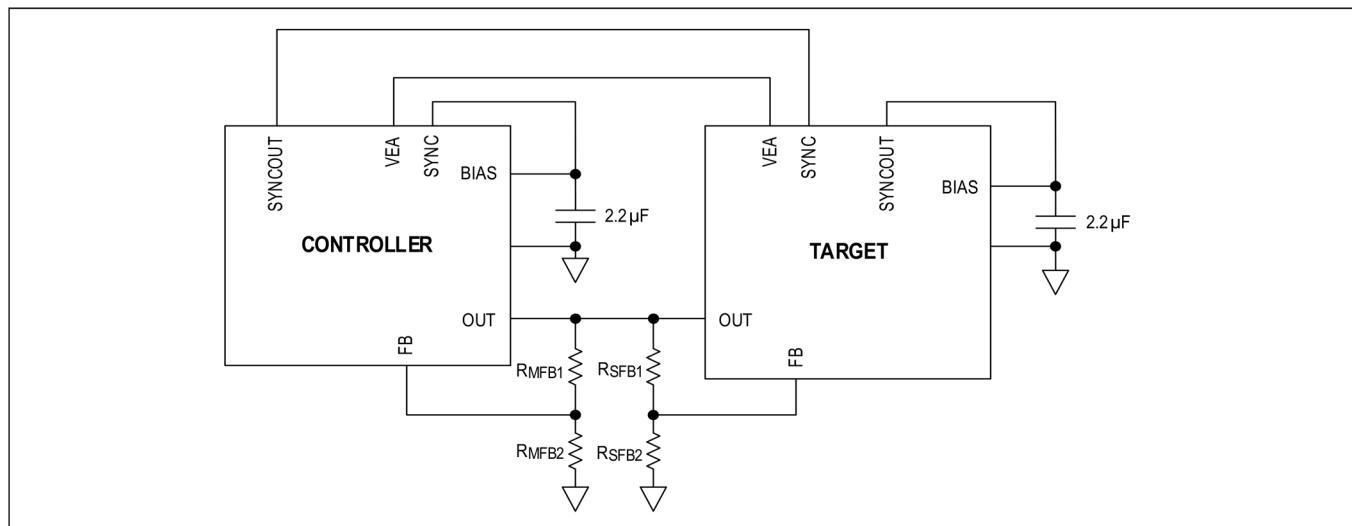


図 3. 外部抵抗分圧器を使用したデュアルフェーズ構成の代表的なアプリケーション回路

インダクタの選択

インダクタの設計は、サイズ、効率、制御ループの帯域幅、コンバータの安定性などの兼ね合いで決まります。インダクタンス値が不十分な場合、インダクタ電流リップルが増加し、それによって伝導損失や出力電圧リップルが大きくなります。MAX26404/MAX26405/MAX26406 では勾配補償が内部で固定されているので、それが原因となって電流モード制御の不安定性が現れる可能性もあります。インダクタの値が大きいとリップルが抑制されますが、このソリューションのサイズとコストが増加し、応答が遅くなります。表 3 は、各スイッチング周波数に対する最適なインダクタンス値を示しています。選択する公称標準値は、仕様規定されたインダクタンスの±30%以内とします。

表 3. 固定出力電圧に対するインダクタの選択

SWITCHING FREQUENCY	INDUCTOR (μH)
400kHz	4.7
2.1MHz	1.0

入力コンデンサ

入力フィルタ・コンデンサは、電源から引き出されるピーク電流を抑制し、回路のスイッチングによって入力に生じるノイズおよび電圧リップルを低減します。MAX26404/MAX26405/MAX26406 は、対称的なピン配列を採用しており、EMI 性能の改善に活用できます。良好な EMI 性能を得るために、0603 またはこれより小型の高周波コンデンサを 2つ、パッケージの両側にある 2つの SUP ピンに接続します。入力電圧リップルを小さくするため、4.7μF (以上) の高品質、低 ESR のセラミック・コンデンサを SUP ピンに接続します。

通常は、等価直列抵抗 (ESR) がより高いバルク・コンデンサ (電解コンデンサなど) も、フロントエンド回路の Q を下げるために、また入力電圧リップルを最小限に抑えるために必要な容量を追加するために、必要となります。入力コンデンサの実効電流の条件 (IRMS) は、次の式で定義されます。

式 2 :

$$I_{RMS} = I_{LOAD(MAX)} \times \left(\frac{\sqrt{V_{OUT} \times (V_{SUP} - V_{OUT})}}{V_{SUP}} \right)$$

IRMS は入力電圧が出力電圧の 2 倍であるときに最大値を取ります。

$$V_{SUP} = 2 \times V_{OUT}$$

従って、

$$I_{RMS} = \frac{I_{LOAD(MAX)}}{2}$$

理想的な長期的信頼性を得るために、この RMS 入力電流における自己発熱による温度上昇が+10°C 未満になる入力コンデンサを選択してください。入力電圧リップルは、 ΔV_Q (コンデンサの放電によるもの) と ΔV_{ESR} (コンデンサの ESR によるもの) で構成されています。入力には、高いリップル電流を許容する低 ESR のセラミック・コンデンサを使用します。ESR に起因する成分とコンデンサの放電による成分が共に 50% であると仮定します。指定された入力電圧リップルに対して必要な入力コンデンサと ESR は、次の式を使用して計算されます。

式 3 :

$$ESR_{IN} = \frac{\Delta V_{ESR}}{I_{OUT} + \Delta I_L / 2}$$

ここで、

$$\Delta I_L = \frac{(V_{SUP} - V_{OUT}) \times V_{OUT}}{V_{SUP} \times f_{SW} \times L}$$

また、

$$C_{IN} = \frac{I_{OUT} \times D(1 - D)}{\Delta V_Q \times f_{SW}}$$

$$D = \frac{V_{OUT}}{V_{SUP}}$$

ここで、

I_{OUT} = 最大出力電流

D = デューティ・サイクル

出力コンデンサ

出力容量を選択する際は、出力負荷過度応答、出力電圧リップル、閉ループ安定性の各必要条件を満たすようにします。負荷ステップ時に、出力電流はほぼ瞬時に変わるので、インダクタは遅い反応を示します。この遷移時間の間に、出力コンデンサから負荷充電の要求が課されるので、出力電圧にアンダーシュート／オーバーシュートが生じます。MAX26404/MAX26405/MAX26406 のように、インダクタ電流で制御する降圧コンバータでは、出力容量も制御ループの安定性に影響を与えます。出力リップルは、 ΔV_Q （コンデンサの放電によるもの）と ΔV_{ESR} （出力コンデンサの ESR によるもの）で構成されています。出力には、ESR が低いセラミック・コンデンサまたはアルミ電解コンデンサを使用します。アルミ電解コンデンサの場合、出力リップル全体が ΔV_{ESR} によるものです。[式 4](#) を使用して、ESR の必要条件を計算し、それに応じてコンデンサを選択します。セラミック・コンデンサを使用する場合、ESR とコンデンサの放電による出力リップル電圧への寄与分は等しいと仮定します。次式は、仕様規定された出力電圧リップルに適した出力容量と ESR の必要条件を示しています。

式 4 :

$$ESR = \frac{\Delta V_{ESR}}{\Delta I_{P-P}}$$

$$C_{OUT} = \frac{\Delta I_{P-P}}{8 \times \Delta V_Q \times f_{SW}}$$

ここで、

$$\Delta I_{P-P} = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_{SW} \times L}$$

$$V_{OUT_RIPPLE} = \Delta V_{ESR} + \Delta V_Q$$

ΔI_{P-P} は上式で計算されたピーク to ピークのインダクタ電流、 f_{SW} はコンバータのスイッチング周波数です。

出力コンデンサは、コンバータがより大きいデューティ・サイクルに応答するまでステップ負荷電流を供給します。出力コンデンサの ESR における抵抗性ドロップとコンデンサ放電によって、ステップ負荷では電圧ドループが生じます。トランジエント負荷とリップル／ノイズの性能を改善するためには、ESR が低いタンタル・コンデンサとセラミック・コンデンサを組み合わせて使用します。出力電圧の最大偏差は、給電されている電子機器の許容限度未満に保ちます。セラミック・コンデンサを使用する場合、出力容量の放電と ESR ドロップの寄与分がそれぞれ 80% と 20% であると仮定します。次式を使用して、必要な ESR と容量の値を計算します。

式 5 :

$$C_{OUT} = \frac{\Delta I}{\Delta V \times 2\pi \times f_c}$$

ここで、 ΔI は負荷の変化、 ΔV は許容電圧ドロップ、 f_c はループのクロスオーバー周波数であり、この周波数は $f_{SW}/10$ または 100kHz のいずれか小さい方とします。 C_{OUT} に関する計算はいずれも、容量公差、温度、電圧のディレーティングを考慮する必要があります。[表 4](#) に示す値は、これらの条件を考慮した後の実容量です。

位相マージンの最適化のために推奨される出力容量を [表 4](#) に示しています。出力容量は特定のアプリケーションに対して最適化できます。アプリケーションにより低い出力容量あるいは高い出力容量が必要な場合は、ソリューションの最適化のためにアナログ・デバイセズへお問い合わせください。

表 4. 出力容量の選択 - 固定出力電圧

FREQUENCY	EFFECTIVE C_{OUT} (μ F)
400kHz	100
2.1MHz	50

PCB レイアウト時のガイドライン

低スイッチング損失とノイズのない安定した動作を実現するには、慎重な PCB レイアウトが欠かせません。ノイズ耐性と消費電力を改善するためには、可能な限り多層基板を使用します。優れた PCB レイアウトにするためには、図 4 および以下のガイドラインを参照してください。

- 1) IC には正確なフットプリントを使用し、IC フットプリントの下にはできるだけ多くの銅プレーンを配置して、効率的な熱伝達を実現します。
- 2) セラミックの入力バイパス・コンデンサ C_{BP} と C_{IN} を、IC の両側にある SUP ピンと PGND ピンにできるだけ近づけて配置します。コンデンサと IC ピンの間には、(ビアなどの不連続点がない) 低インピーダンスの接続を使用します。 C_{BP} は、IC の最も近くに配置する必要があり、また非常に優れた高周波性能 (小型パッケージ・サイズおよび高容量) を備えていることが必要です。これにより、EMI 除去性能が最大になり、性能低下につながるデバイスの内部ノイズを最小限に抑えられます。
- 3) インダクタ (L)、出力コンデンサ (C_{OUT})、ブートストラップ・コンデンサ (C_{BST})、BIAS コンデンサ (C_{BIAS}) を、電流ループで囲まれた面積を最小限にするように配置します。インダクタ (L) を IC の LX ピンにできるだけ近づけて配置し、LX ノードの面積を最小限にします。出力コンデンサ (C_{OUT}) をインダクタの近くに配置して、 C_{OUT} のグランド側が C_{IN} のグランド接続の近くになり、電流ループの面積が最小限になるようにします。BIAS コンデンサ (C_{BIAS}) を BIAS ピンに近接させて配置します。
- 4) ブートストラップ・コンデンサ C_{BST} を IC に近づけて配置し、短くて幅広の配線パターンを使用してループの面積を最小限にし、寄生インダクタンスを最小限にします。リターン配線パターン (C_{BST} から LX の間) には最も近い層を使用して、インダクタンスを更に最小限にします。最適な設計を得るために、MAX26406 評価用キットのユーザ・ガイドの MAX26406 EV kit PCB Layout のセクションを参照してください。寄生インダクタンスが高いと、スイッチング速度に影響を与え (スイッチング損失が増加)、高い dv/dt ノイズが発生する可能性があります。
- 5) IC に隣接している層には連続的な銅のグランド・プレーンを使用して、回路全体をシールドします。グランドは、最上層の回路全体を囲むように敷き詰めることも必要です。すべての放熱部品は冷却のために銅と十分に接続するようにしてください。インピーダンスを低くし、放熱を最大限にするために、複数のビアを使用してグランド・プレーン／領域を相互に接続します。IC の PGND 端子および入力／出力／バイパス・コンデンサにビアを配置します。PGND とグランドの接続を別々のプレーンまたは領域で分離したり絶縁したりしないでください。
- 6) 帰還抵抗分圧器を (使用する場合には) IC の近くに配置して、フィードバックと OUT の接続は、インダクタ、LX ノード、その他ノイズの多い信号を避けて配線します。

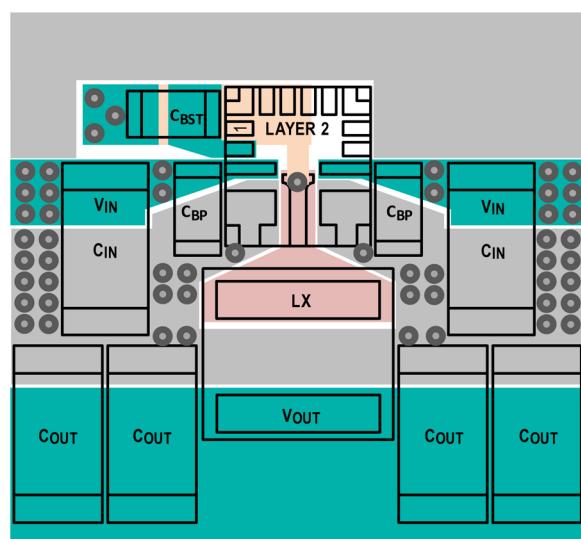
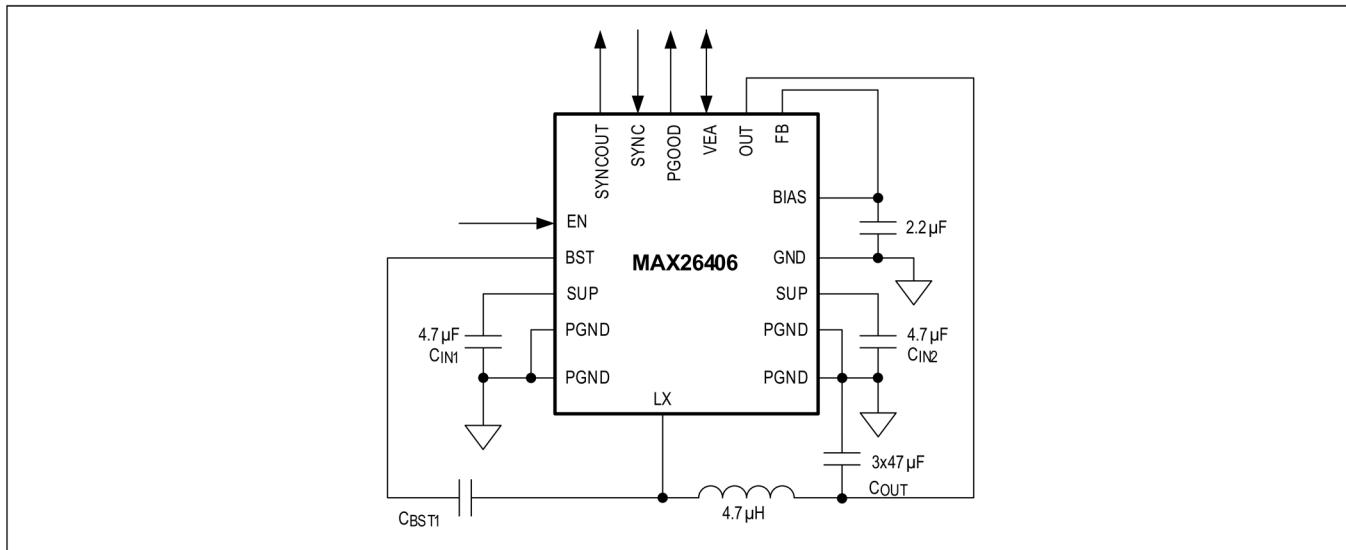


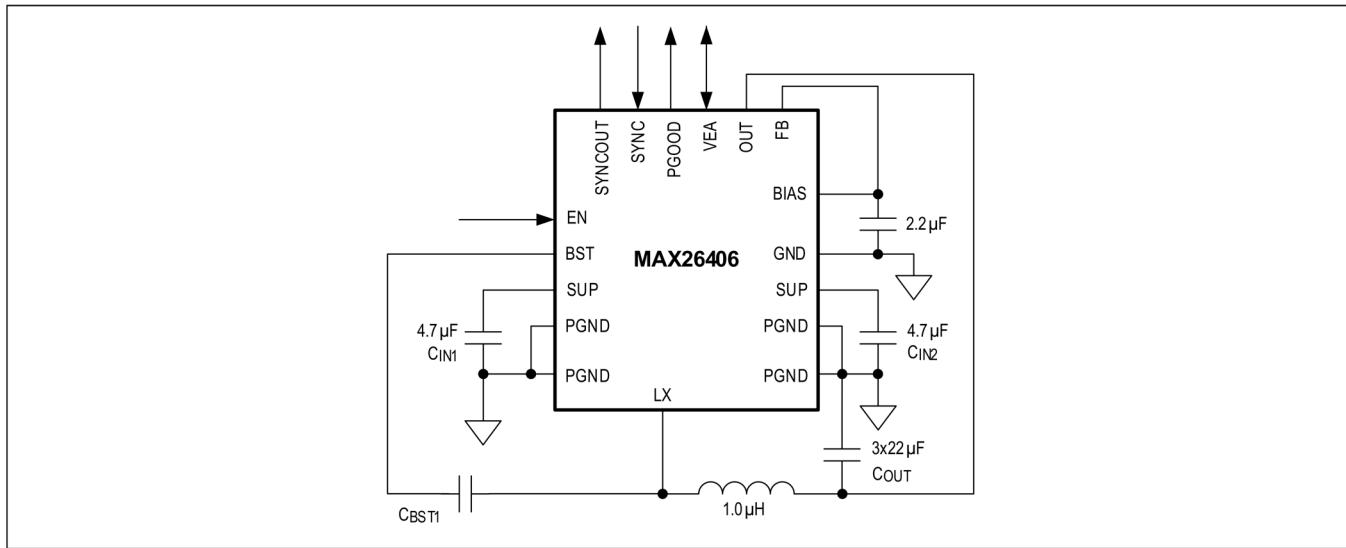
図 4. PCB レイアウトの例

標準アプリケーション回路

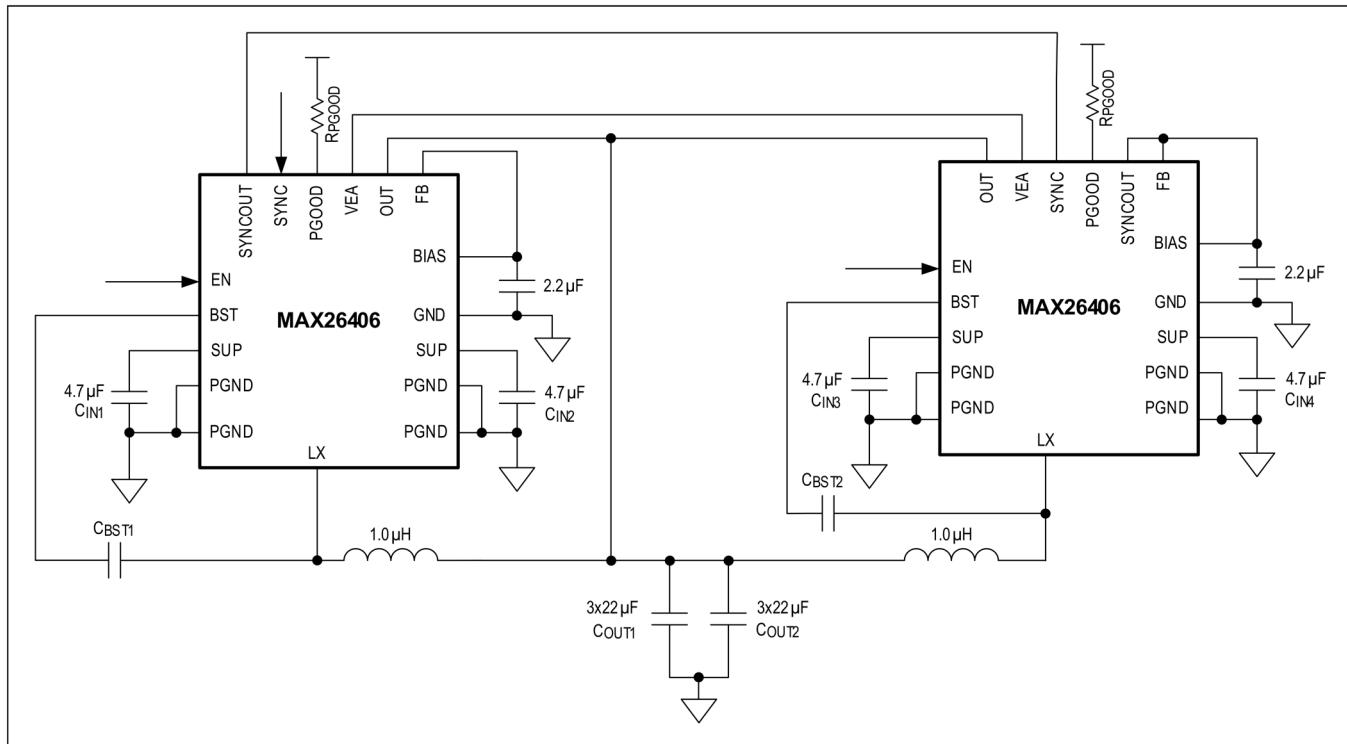
シングルフェーズ、400kHz、6A動作



シングルフェーズ、2.1MHz、6A動作



デュアルフェーズ、コントローラとターゲット、2.1MHz、12A 動作



型番

PART NUMBER	V _{OUT} (FB TIED TO BIAS) ¹	MAXIMUM LOAD CURRENT (A)	FREQUENCY (kHz)	SPREAD SPECTRUM ²	PACKAGE CODE
MAX26404AFOAY+	5	4	2100	ON	F173A3FY+6
MAX26404AFOBY+	3.3	4	2100	ON	F173A3FY+6
MAX26404AFOCY+	5	4	400	ON	F173A3FY+6
MAX26404AFODY+	3.3	4	400	ON	F173A3FY+6
MAX26405AFOAY+	5	5	2100	ON	F173A3FY+6
MAX26405AFOBY+	3.3	5	2100	ON	F173A3FY+6
MAX26405AFOCY+	5	5	400	ON	F173A3FY+6
MAX26405AFODY+	3.3	5	400	ON	F173A3FY+6
MAX26406AFOAY+	5	6	2100	ON	F173A3FY+6
MAX26406AFOBY+	3.3	6	2100	ON	F173A3FY+6
MAX26406AFOCY+	5	6	400	ON	F173A3FY+6
MAX26406AFODY+	3.3	6	400	ON	F173A3FY+6

¹ +は鉛 (Pb) フリー／RoHS 準拠のパッケージであることを示します。

² Y = 側面濡れ性パッケージ。

¹ 2.9V～6V (100mV 刻み) のその他の固定出力電圧も用意しております。アナログ・デバイセズにお問い合わせください。

² 全てのICはデフォルトでスペクトラム拡散が有効になっています。スペクトラム拡散がオフのデバイスについては、アナログ・デバイセズにお問い合わせください。

改訂履歴

版数	改訂日	説明	改訂ページ
0	6/24	市場導入リリース	–
1	1/25	MAXQ を追加	1