



# Cortex-M0 とアナログ・フロントエンドが内蔵された IO-Link デバイス・トランシーバ

MAX22522

## 製品のハイライト

- 最小のセンサーとアクチュエータを実現
  - 64kB RAM と SWD を搭載した Cortex-M0
  - IO-Link ステート・マシン
  - 高性能 IO-Link トランシーバ
  - 高速コンパレータ
  - 6 ビット DAC
  - 3 個の 256 タップ 10kΩ 可変抵抗
  - 60kΩ、64 タップ可変抵抗
  - 13 ビット ADC
  - I<sup>2</sup>C、SPI、SWD に設定可能な 10 個の GPIO
  - 温度センサーを内蔵
  - IO-Link 用 PLL を備えたオシレータを内蔵
- 高い柔軟性と設定自由度
  - 7V~36V の電源
  - COM1、COM2、COM3 のデータレート
  - 50mA~250mA で設定可能な C/Q 電流制限閾値
  - コントローラを備えた 5V および 1.8V リニア・レギュレータ
  - WLP パッケージ (4.42mm × 2.64mm)
- 堅牢な 24V IO インターフェース
  - 逆極性保護および過電圧保護
  - 内部モニタリングにより高度な診断を実現
  - 200mA/1.2H の誘導性負荷を高速消磁
  - ±4kV の IEC 61000-4-2 接触 ESD 保護
  - ±6kV の IEC 61000-4-2 気中放電 ESD 保護
  - C/Q および V24 の±1.2kV/500Ω サージ保護

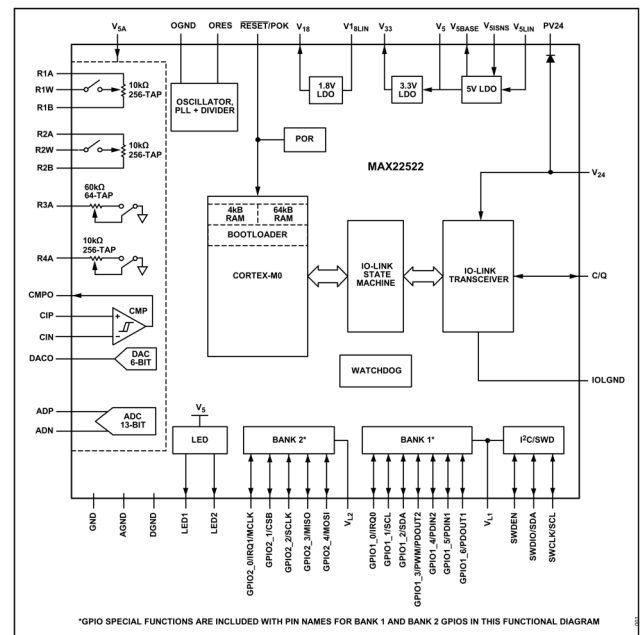
5V、3.3V、1.8V の低ノイズ・リニア・レギュレータは、アナログ信号検出用に低ノイズ電源を提供します。オプションとして、外部 NPN トランジスタを使用して、シャント・レギュレータの熱をチップ外に逃がすこともできます。

24V C/Q ドライバは、ハイサイド (PNP)、ローサイド (NPN)、プッシュプル (PP) の各モードで動作するように構成できます。C/Q 電流制限閾値は 50mA~250mA の範囲でプログラマブルです。

アナログ検出回路のシグナル・コンディショニング用に、内蔵コンパレータ、6 ビット DAC、13 ビット ADC、および高分解能の可変抵抗が搭載されています。

MAX22522 は、60 パンプの WLP パッケージ (4.42mm × 2.64mm) で提供され、-40°C~+125°C の温度範囲で動作します。

## 簡略化した機能図



型番は、データシートの末尾に記載しています。

## 概要

MAX22522 は、ARM® Cortex-M0 と IO-Link データ・リンク・ステート・マシンを搭載したミックスド・シグナル IO-Link デバイス・トランシーバです。このステート・マシンは、時間に制約のある IO-Link 通信のタスクのすべてを、COM1、COM2、COM3 のデータレートで自律的に処理します。また、すべての IO-Link M シーケンス・タイプと完全な ISDU 転送を処理できます。

MAX22522 は、プログラマブルなアナログ部品 (13 ビット ADC、内蔵コンパレータ、4 つのプログラマブル抵抗) を統合化しており、センサーやアクチュエータのエンド・オブ・ライン・キャリブレーション用の信号生成や調整に使用できます。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

## 目次

|  |    |
|--|----|
| 製品のハイライト .....                                   | 1  |
| 概要 .....   | 1  |
| 簡略化した機能図 .....                                   | 1  |
| 絶対最大定格 .....                                     | 4  |
| パッケージ .....                                      | 4  |
| 電気的特性 .....                                      | 5  |
| タイミング図 .....                                     | 17 |
| 標準動作特性 .....                                     | 18 |
| ピン配置 .....                                       | 24 |
| 端子説明 .....                                       | 24 |
| 詳細説明 .....                                       | 27 |
| 電源 .....   | 27 |
| パワーアップ・シーケンス .....                               | 27 |
| PV24 保護電源 .....                                  | 27 |
| V <sub>5</sub> リニア・レギュレータ .....                  | 27 |
| V <sub>33</sub> リニア・レギュレータ .....                 | 28 |
| V <sub>18</sub> リニア・レギュレータ .....                 | 28 |
| 24V インターフェース (V <sub>24</sub> 、C/Q、IOLGND) ..... | 28 |
| 可変抵抗 (R1、R2) .....                               | 28 |
| 可変抵抗 (R3、R4) .....                               | 28 |
| 汎用入出力 (GPIO1_x、GPIO2_x) .....                    | 29 |
| GPIO の代替機能 .....                                 | 29 |
| 高速コンパレータと DAC (CMP、DAC) .....                    | 30 |
| A/D コンバータ (ADC) .....                            | 30 |
| クロック制御 .....                                     | 31 |
| タイマーとシステム・ウォッチドッグ .....                          | 31 |
| SysTick タイマー .....                               | 31 |
| IO-Link データ・リンク層 .....                           | 31 |
| SIO モード .....                                    | 31 |
| ウェイクアップと通信の確立 .....                              | 31 |
| プロセス・データ転送 .....                                 | 31 |
| プロセス・データ出力 (PDOOut) .....                        | 31 |
| プロセス・データ入力 (PDIIn) .....                         | 32 |
| ISDU の伝送 .....                                   | 32 |
| LED1、LED2 : ステータスと診断情報表示 .....                   | 32 |
| アプリケーション情報 .....                                 | 33 |
| 消費電力と熱に関する考慮事項 .....                             | 33 |

|                      |    |
|----------------------|----|
| EMC 保護 .....         | 33 |
| レイアウトとグラウンディング ..... | 34 |
| 型番 .....             | 34 |
| チップ情報 .....          | 34 |
| 改訂履歴 .....           | 35 |

## 絶対最大定格

(特に指定のない限り、すべての電圧は GND 基準です。)

|                                  |  |
|----------------------------------|--|
| V <sub>24</sub> (連続)             | -36V~+36V  |
| V <sub>24</sub> (ピーク、100µs)      | -52V~+60V  |
| PV24 (連続)                        | -0.3V~+36V   |
| PV24 (ピーク、100µs)                 | MAX (-0.3V, V <sub>24</sub> - 52V) ~ MIN (+52V, V <sub>24</sub> + 52V) |
| V <sub>24</sub> ~PV24            | -48V to +48V   |
| C/Q (連続)                         | MAX (-36V, V <sub>24</sub> - 36V) ~ MIN (+36V, V <sub>24</sub> + 36V)  |
| C/Q (ピーク、100µs)                  | MAX (-52V, V <sub>24</sub> - 60V) ~ MIN (+52V, V <sub>24</sub> + 60V)  |
| GND、AGND、DGND、IOLGND             | -0.3V~+0.3V  |
| V <sub>5LIN</sub> (連続)           | MAX (-0.3V, V <sub>5BASE</sub> - 0.3V) ~ +36V                          |
| V <sub>5LIN</sub> (ピーク、100µs)    | MAX (-0.3V, V <sub>5BASE</sub> - 0.3V) ~ +52V                          |
| V <sub>5SNS</sub>                | MAX (-0.3V, V <sub>5LIN</sub> - 2V) ~ +36V                             |
| V <sub>5BASE</sub>               | -0.3V~MIN (+18V, V <sub>5LIN</sub> + 0.3V)                             |
| V <sub>5</sub> 、V <sub>5A</sub>  | -0.3V~+6V  |
| V <sub>33</sub>                  | -0.3V~(V <sub>5</sub> + 0.3V)  |
| V <sub>18LIN</sub>               | MAX (-0.3V, V <sub>18</sub> - 0.3V) ~ +6V                              |
| V <sub>18</sub>                  | -0.3V~+2V  |
| V <sub>L1</sub> 、V <sub>L2</sub> | -0.3V~+6V  |

|  |                                |
|--|--------------------------------|
| RESET/POK  | -0.3V~+6V                      |
| ORES   | -0.3V~(V <sub>18</sub> + 0.3V) |
| R1A、R1B、R1W、R2A、R2B、R2W、<br>R3A、R4A (Note 1)                         | -0.3V~(V <sub>5A</sub> + 0.3V) |
| CMPO   | -0.3V~(V <sub>5</sub> + 0.3V)  |
| CIP、CIN、DACV   | -0.3V~(V <sub>5A</sub> + 0.3V) |
| ADP、ADN  | -0.3V~(V <sub>18</sub> + 0.3V) |
| LED1、LED2  | -0.3V~+6V                      |
| GPIO1_x  | -0.3V~(V <sub>L1</sub> + 0.3V) |
| GPIO2_x  | -0.3V~(V <sub>L2</sub> + 0.3V) |
| SWDEN、SWDIO/SDA、SWCLK/SCL  | -0.3V~(V <sub>L1</sub> + 0.3V) |
| V <sub>24</sub> 、C/Q、IOLGND への連続電流                                   | ±0.5A                          |
| 可変抵抗 Rx への連続電流   | ±2.5mA                         |
| その他すべてのピンへの連続電流  | ±50mA                          |
| 連続消費電力 (T <sub>A</sub> = +70°C、+70°C を超えると 25.46mW/°C で<br>ディレーティング) | 2037mW                         |
| 動作温度範囲   | -40°C~+125°C                   |
| 最高ジャンクション温度  | +150°C                         |
| 保管温度範囲   | -40°C~+150°C                   |
| パンプ・リフロー温度   | +260°C                         |

**Note 1:** あらゆる電圧において、シンク/ソース電流は最大定格を超えないようにしてください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## パッケージ

|  |  |
|--|--|
| Package Code   | W602B4+1   |
| Outline Number   | <a href="#">21-100691</a>  |
| Land Pattern Number                                    | Refer to the Application Note 1891: Wafer-Level Packaging (WLP) and Its Applications |
| <b>Thermal Resistance, 4-Layer Board:</b>              |  |
| Junction-to-Ambient (θ <sub>JA</sub> )                 | 39.27°C/W  |
| Junction-to-Case Thermal Resistance (θ <sub>JC</sub> ) | N/A  |

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、[www.analog.com/en/resources/packaging-quality-symbols-footprints/package-index](http://www.analog.com/en/resources/packaging-quality-symbols-footprints/package-index) で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[www.analog.com/en/resources/technical-articles/thermal-characterization-of-ic-packages](http://www.analog.com/en/resources/technical-articles/thermal-characterization-of-ic-packages) を参照してください。

## 電気的特性

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  の値です。(Note 2 を参照))

| PARAMETER  | SYMBOL                   | CONDITIONS   |  | MIN  | TYP   | MAX  | UNITS |
|--|--------------------------|--|--|------|-------|------|-------|
| <b>V<sub>24</sub> SUPPLY</b>                             |                          |  |  |      |       |      |       |
| V <sub>24</sub> Supply Voltage                           | V <sub>24</sub>          |  |  | 7    |       | 36   | V     |
| V <sub>24</sub> Undervoltage Error Threshold             | V <sub>24_ERR_R</sub>    | V <sub>24</sub> rising (See <a href="#">Note 3</a> , <a href="#">Note 4</a> )  |  | 6.6  |       | 6.9  | V     |
| V <sub>24</sub> Undervoltage Error Threshold             | V <sub>24_ERR_F</sub>    | V <sub>24</sub> falling (See <a href="#">Note 3</a> , <a href="#">Note 4</a> )   |  | 6.1  |       | 6.5  | V     |
| V <sub>24</sub> Undervoltage Warning Threshold           | V <sub>24_WRN_R</sub>    | V <sub>24</sub> rising ( <a href="#">Note 4</a> )  |  | 16   | 16.9  | 18   | V     |
|  | V <sub>24_WRN_F</sub>    | V <sub>24</sub> falling ( <a href="#">Note 4</a> )   |  | 15.5 | 16.5  | 17.5 |       |
| V <sub>24</sub> Supply Current                           | I <sub>24_DIS</sub>      | No load on C/Q, V <sub>5</sub> , and V <sub>18</sub> powered externally, and the microcontroller is halted (See <a href="#">Note 5</a> ) | Registers in a default state, C/Q disabled, PLL off, and 921kHz precise oscillator off               |      | 0.03  | 0.11 | mA    |
|  | I <sub>24_ACT_H</sub>    | No load on C/Q, V <sub>5</sub> , and V <sub>18</sub> powered externally, and the microcontroller is halted (See <a href="#">Note 5</a> ) | Registers in a default state except: C/Q in push-pull and high, PLL on, 921kHz precise oscillator on | 0.3  | 0.437 | 0.7  |       |
|  | I <sub>24_ACT_L</sub>    | No load on C/Q, V <sub>5</sub> , and V <sub>18</sub> powered externally, and the microcontroller is halted (See <a href="#">Note 5</a> ) | Registers in a default state except: C/Q in push-pull and low, PLL on, 921kHz precise oscillator on  | 0.3  | 0.419 | 0.7  |       |
| V <sub>24</sub> Clamp Voltage                            | V <sub>24_CLAMP</sub>    | (V <sub>24</sub> – GND), I <sub>LOAD</sub> = 1mA   |  | 42   | 48.2  | 53   | V     |
| <b>LOGIC SUPPLY (V<sub>L1</sub>, V<sub>L2</sub>)</b>     |                          |  |  |      |       |      |       |
| V <sub>L1</sub> Supply Voltage                           | V <sub>L1</sub>          |  |  | 2.5  |       | 5.5  | V     |
| V <sub>L2</sub> Supply Voltage                           | V <sub>L2</sub>          | <a href="#">(Note 6)</a>   |  | 1.62 |       | 5.5  | V     |
| V <sub>L1</sub> Supply Current                           | I <sub>L1</sub>          | All logic inputs are at GND or V <sub>L1</sub> , no load on any logic outputs  |  |      |       | 60   | μA    |
| V <sub>L2</sub> Supply Current                           | I <sub>L2</sub>          | All logic inputs are at GND or V <sub>L2</sub> , no load on any logic outputs  |  |      |       | 70   | μA    |
| <b>5V SUPPLY (V<sub>5</sub>)</b>                         |                          |  |  |      |       |      |       |
| V <sub>5</sub> Supply Voltage                            | V <sub>5</sub>           | V <sub>5</sub> externally supplied, V <sub>5LIN</sub> = V <sub>5</sub>   |  | 4.5  |       | 5.5  | V     |
| V <sub>5</sub> Undervoltage Lockout Threshold            | V <sub>5_UVLO_R</sub>    | V <sub>5</sub> rising (See <a href="#">Note 4</a> )  |  | 3.5  |       | 4.5  | V     |
|  | V <sub>5_UVLO_F</sub>    | V <sub>5</sub> falling (See <a href="#">Note 4</a> )   |  | 3.5  |       | 4.5  |       |
| V <sub>5</sub> Undervoltage Lockout Threshold Hysteresis | V <sub>5_UVLO_HYST</sub> |  |  |      | 140   |      | mV    |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER   | SYMBOL                 | CONDITIONS  |  | MIN  | TYP | MAX  | UNITS |
|---|------------------------|---|--|------|-----|------|-------|
| V <sub>5</sub> Supply Current                             | I <sub>5_DIS</sub>     | No load on C/Q, V <sub>5</sub> , and V <sub>18</sub> powered externally, and the microcontroller halted (See Note 5)  | Registers in default state, C/Q disabled, PLL off, and IO-Link oscillator off                      | 0.1  |     | 0.27 | mA    |
|   | I <sub>5_ACT_H</sub>   | No load on C/Q, V <sub>5</sub> , and V <sub>18</sub> powered externally, and the microcontroller halted (See Note 5)  | Registers in default state except: C/Q in push-pull and high, PLL on, 921kHz precise oscillator on | 0.25 |     | 0.57 |       |
|   | I <sub>5_ACT_L</sub>   | No load on C/Q, V <sub>5</sub> , and V <sub>18</sub> powered externally, and the microcontroller halted (See Note 5)  | Registers in default state except: C/Q in push-pull and low, PLL on, 921kHz precise oscillator on  | 0.25 |     | 0.57 |       |
| <b>1.8V SUPPLY (V<sub>18</sub>)</b>                       |                        |   |  |      |     |      |       |
| V <sub>18</sub> Supply Voltage                            | V <sub>18</sub>        | V <sub>18LIN</sub> = V <sub>18</sub> , V <sub>18</sub> externally supplied  |  | 1.71 |     | 1.89 | V     |
| V <sub>18</sub> Undervoltage Lockout Threshold            | V <sub>18_UVLO_R</sub> | V <sub>18</sub> rising (See Note 4)   |  | 1.66 |     | 1.76 | V     |
|   | V <sub>18_UVLO_F</sub> | V <sub>18</sub> falling (See Note 4)  |  | 1.62 |     | 1.72 |       |
| V <sub>18</sub> Undervoltage Lockout Threshold Hysteresis |                        |   |  |      | 35  |      | mV    |
| V <sub>18</sub> Supply Current                            | I <sub>18_SLEEP</sub>  | V <sub>5</sub> and V <sub>18</sub> powered externally, f <sub>HCLK</sub> = 18MHz, sleep mode                          | PLL off  |      | 0.9 |      | mA    |
|   |                        |   | PLL on   |      | 2.1 |      |       |
|   | I <sub>18_DIS</sub>    | V <sub>5</sub> and V <sub>18</sub> powered externally, f <sub>HCLK</sub> = 18MHz, microcontroller halted (See Note 5) | Registers in a default state, PLL off, and 921kHz precise oscillator off                           | 2.8  |     | 4.6  |       |
|   | I <sub>18_ACT</sub>    | V <sub>5</sub> and V <sub>18</sub> powered externally, f <sub>HCLK</sub> = 36MHz, microcontroller halted (See Note 5) | Registers in a default state, PLL on, and 921kHz precise oscillator on                             | 4.5  | 6.7 | 9    |       |
|   |                        |   | PLL off  |      | 5.4 |      |       |
|   |                        |   | PLL on   |      | 6.6 |      |       |
| <b>V<sub>5A</sub> SUPPLY (V<sub>5A</sub>)</b>             |                        |   |  |      |     |      |       |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER  | SYMBOL                 | CONDITIONS   | MIN  | TYP  | MAX  | UNITS    |
|--|------------------------|--|------|------|------|----------|
| $V_{5A}$ Supply Voltage  | $V_{5A}$               |  | 4.5  |      | 5.5  | V        |
| $V_{5A}$ Supply Current  | $I_{5A\_DIS}$          | Digipots, comparators, and DACs disabled   |      |      | 4.5  | $\mu A$  |
|  | $I_{5A\_ACT}$          | Digipots, comparators, and DACs enabled, Digipots and DAC set at mid-code, comparators fast mode enabled |      |      | 60   |          |
| <b>ACTIVE DIODE (PV24)</b>   |                        |  |      |      |      |          |
| Active Diode On-Resistance   | $R_{ACT}$              | $I_{LOAD} = 10mA$  |      | 3.1  | 7    | $\Omega$ |
| Active Diode Current Limit   | $I_{ACTMAX}$           | $I_{LOSS} < 1\%$   | 110  |      | 430  | mA       |
| <b>5V LINEAR REGULATOR (<math>V_5</math>, <math>V_{5LIN}</math>, <math>V_{5BASE}</math>, <math>V_{5ISNS}</math>)</b> |                        |  |      |      |      |          |
| $V_{5LIN}$ Input Supply Voltage  | $V_{5LIN}$             |  | 6    |      | 36   | V        |
| $V_{5LIN}$ Supply Current  | $I_{5LIN\_DIS}$        | $V_5 = V_{5LIN}$ , $V_5$ regulator is disabled   | 10   |      | 60   | $\mu A$  |
|  | $I_{5LIN\_ACT}$        | $V_5 = 36V$ , no load  | 50   |      | 350  |          |
| $V_5$ Output Voltage   | $V_{5\_OUT}$           | $7V \leq V_{5LIN} \leq 36V$  | 4.8  |      | 5.2  | V        |
| $V_5$ Load Regulation  | $\Delta V_{5\_LDR}$    | $V_{5LIN} = 24V$ , $1mA \leq I_{LOAD} \leq 50mA$   |      | 2    | 5    | %        |
| $V_5$ Line Regulation  | $\Delta V_{5\_LNR}$    | $6V \leq V_{5LIN} \leq 36V$ , $I_{LOAD} = 1mA$   | -0.2 |      | +0.2 | mV/V     |
| $V_5$ Current limit  | $I_{5\_SHORT}$         |  | 52   |      | 250  | mA       |
| $V_{5LIN}$ to $V_5$ Enable Voltage Threshold   | $V_{THR\_V5LIN\_R}$    | $(V_{5LIN} - V_5)$ rising  | 0.2  | 0.43 | 0.7  | V        |
|  | $V_{THR\_V5LIN\_F}$    | $(V_{5LIN} - V_5)$ falling   | 0.17 | 0.41 | 0.67 |          |
| $V_{5LIN}$ to $V_5$ Enable Voltage Threshold Hysteresis  | $V_{THR\_V5LIN\_HYST}$ |  |      | 20   |      | mV       |
| $V_{5LIN}$ to $V_5$ Enable Voltage Threshold   | $V_{THR\_V5LIN\_F}$    | $(V_{5LIN} - V_5)$ falling   | 2.2  |      |      | $\mu F$  |
| <b>3.3V LINEAR REGULATOR (<math>V_{33}</math>)</b>   |                        |  |      |      |      |          |
| $V_{33}$ Output Voltage  | $V_{33}$               |  | 3.2  |      | 3.45 | V        |
| $V_{33}$ Load Regulation   | $\Delta V_{33\_LDR}$   | $V_5 = 5V$ , $1mA \leq I_{LOAD} \leq 50mA$   | 0    | 1.0  | 5    | %        |
| $V_{33}$ Line Regulation   | $\Delta V_{33\_LNR}$   | $4.5V \leq V_5 \leq 5.5V$ , $I_{LOAD} = 1mA$   | -1   |      | +1   | mV/V     |
| $V_{33}$ Current Limit   | $I_{33\_SHORT}$        |  | 68   |      | 208  | mA       |
| $V_{33}$ Load Capacitance  | $C_{33}$               | Required capacitance for stability, $\pm 20\%$ tolerance allowed   | 2.2  |      |      | $\mu F$  |
| <b>1.8V LINEAR REGULATOR (<math>V_{18}</math>)</b>   |                        |  |      |      |      |          |
| $V_{18LIN}$ Input Supply Voltage   | $V_{18LIN}$            |  | 2.7  |      | 5.5  | V        |
| $V_{18}$ Output Voltage  | $V_{18\_OUT}$          | $2.7V \leq V_{18LIN} \leq 5.5V$  | 1.74 |      | 1.86 | V        |
| $V_{18}$ Load Regulation   | $\Delta V_{18\_LDR}$   | $V_{18LIN} = 5V$ , $1mA \leq I_{LOAD} \leq 50mA$   |      | 1    | 4    | %        |
| $V_{18}$ Line Regulation   | $\Delta V_{18\_LNR}$   | $2.7V \leq V_{18LIN} \leq 5.5V$ , $I_{LOAD} = 1mA$   | -0.6 |      | +0.6 | mV/V     |
| $V_{18}$ Current Limit   | $I_{V18\_SHORT}$       |  | 68   |      | 208  | mA       |
| $V_{18LIN}$ to $V_{18}$ Enable Voltage Threshold   | $V_{THR\_V18LIN\_R}$   | $(V_{18LIN} - V_{18})$ rising  | 0.15 |      | 0.7  | V        |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER                                    | SYMBOL            | CONDITIONS   | MIN                                     | TYP    | MAX   | UNITS     |         |
|--|-------------------|--|---|--------|-------|-----------|---------|
| <b>18MHz RAW OSCILLATOR</b>                  |                   |  |   |        |       |           |         |
| Raw Oscillator Frequency                     | $f_{CLK\_INT}$    | (See <a href="#">Note 7</a> )  | 17.51                                   | 18.432 | 19.35 | MHz       |         |
| <b>921kHz PRECISION REFERENCE OSCILLATOR</b> |                   |  |   |        |       |           |         |
| Reference Oscillator Supply Current          | $I_{POSC\_REF}$   |  | 230                                     |        | 550   | $\mu A$   |         |
| Internal Reference Oscillator Frequency      | $f_{POSC\_REF}$   | $10k\Omega \pm 0.1\%$ resistance between ORES and OGND                                   | 912.5                                   | 921.6  | 931.0 | kHz       |         |
| Internal Reference Oscillator Precision      | $PRE_{POSC\_REF}$ | $10k\Omega \pm 0.1\%$ resistance between ORES and OGND                                   | -1.00                                   |        | +1.00 | %         |         |
| External Oscillator Required Resistance      | $R_{ORES}$        | $\pm 0.1\%$ tolerance  |   | 10     |       | $k\Omega$ |         |
| <b>PHASE-LOCKED LOOP (PLL)</b>               |                   |  |   |        |       |           |         |
| PLL Supply Current                           | $I_{PLL}$         | PLL_MULT = 80, PLL current sourced from $V_{18}$   |   | 0.8    | 1.6   | mA        |         |
| PLL Multiplying factor                       | PLL_MULT          |  |   | 80     |       |           |         |
| <b>C/Q DRIVER</b>                            |                   |  |   |        |       |           |         |
| C/Q Driver High-Side On-Resistance           | $R_{CQOH}$        | High-side enabled, $CQ\_CL = 11$ , $I_{LOAD} = 150mA$ (See <a href="#">Note 8</a> )      |   | 0.97   | 2     | $\Omega$  |         |
| C/Q Driver Low-Side On-Resistance            | $R_{CQOL}$        | Low-side enabled, $CQ\_CL = 11$ , $I_{SINK} = 150mA$ (See <a href="#">Note 8</a> )       |   | 1.7    | 3.4   | $\Omega$  |         |
| C/Q Driver Current Limit                     | $I_{CQ\_CL}$      | $V_{CQ} = (V_{24} - 3V)$ or 3V   | $CQ\_CL[1:0] = 00$                      | 53     | 60    | 65        | mA      |
|  |                   |  | $CQ\_CL[1:0] = 01$                      | 106    | 120   | 130       |         |
|  |                   |  | $CQ\_CL[1:0] = 10$                      | 209    | 240   | 255       |         |
|  |                   |  | $CQ\_CL[1:0] = 11$                      | 259    | 287   | 317       |         |
| C/Q Driver Short Circuit Protection          | $I_{CQ\_FAULT}$   | Relative to the typical programmed current limit   |   | 25     |       | %         |         |
| C/Q Reverse Current                          | $I_{REV\_CQ\_H}$  | $V_{24} = 24V$ , C/Q enabled, and high impedance or pull-up enabled                      | $V_{CQ} = V_{24} + 5V$                  | 0.25   |       | 0.7       | mA      |
|  | $I_{REV\_CQ\_L}$  | $V_{24} = 24V$ , C/Q enabled, and high impedance or pull-down enabled                    | $V_{CQ} = -5V$                          | -0.025 |       | -0.005    |         |
| C/Q Input Current (High Impedance)           | $I_{CQ\_HZ}$      | $V_{24} = 24V$ , C/Q enabled, push-pull, high impedance, no pull-up or pull-down enabled | $0.1V \leq V_{CQ} \leq (V_{24} - 0.1V)$ | -19    |       | +19       | $\mu A$ |
| C/Q Leakage Current                          | $I_{CQ\_LKG}$     | $V_{24} = 24V$ , C/Q disabled, no pull-up or pull-down enabled                           | $(V_{24} - 36V) \leq V_{CQ} \leq 36V$   | -44    |       | +55       | $\mu A$ |
| C/Q Clamp Voltage                            | $V_{CQ\_CLAMP}$   | $V_{24} - V_{CQ}$ , $I_{LOAD} = -1mA$  |   | 42     | 48.2  | 53        | V       |
|  |                   | $V_{CQ} - GND$ , $I_{LOAD} = 1mA$  |   | 42     | 48.2  | 53        |         |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER                      | SYMBOL          | CONDITIONS   |                          | MIN            | TYP | MAX   | UNITS      |
|--------------------------------|-----------------|--|--------------------------|----------------|-----|-------|------------|
| C/Q Rise Time                  | $t_{CQ\_RISE}$  | Push-pull or PNP mode, $V_{24} = 30V$ , $CQ\_CL[1:0] = 11$ | $CQ\_SLEW[1:0] = 00$     | 0.11           |     | 0.23  | $\mu s$    |
|                                |                 |  | $CQ\_SLEW[1:0] = 01$     | 0.24           |     | 0.48  |            |
|                                |                 |  | $CQ\_SLEW[1:0] = 10$     | 0.36           |     | 0.75  |            |
|                                |                 |  | $CQ\_SLEW[1:0] = 11$     | 2.5            |     | 6.3   |            |
| C/Q Fall Time                  | $t_{CQ\_FALL}$  | Push-pull or NPN mode, $V_{24} = 30V$ , $CQ\_CL[1:0] = 11$ | $CQ\_SLEW[1:0] = 00$     | 0.13           |     | 0.27  | $\mu s$    |
|                                |                 |  | $CQ\_SLEW[1:0] = 01$     | 0.26           |     | 0.52  |            |
|                                |                 |  | $CQ\_SLEW[1:0] = 10$     | 0.38           |     | 0.79  |            |
|                                |                 |  | $CQ\_SLEW[1:0] = 11$     | 1.8            |     | 5     |            |
| C/Q Driver Propagation Delay   | $t_{CQ\_PLH}$   | Push-pull, $V_{24} = 30V$ , $CQ\_CL[1:0] = 11$             | $CQ\_SLEW[1:0] = 00$     | 0.15           |     | 0.70  | $\mu s$    |
|                                | $t_{CQ\_PHL}$   | Push-pull, $V_{24} = 30V$ , $CQ\_CL[1:0] = 11$             | $CQ\_SLEW[1:0] = 00$     | 0.15           |     | 0.90  |            |
| C/Q Skew                       | $t_{CQ\_SKEW}$  | Push-pull, $V_{24} = 30V$ , $CQ\_CL[1:0] = 11$             | $CQ\_SLEW[1:0] = 00$     | -0.50          |     | +0.50 | $\mu s$    |
| <b>C/Q PULL-UP/PULL-DOWN</b>   |                 |  |                          |                |     |       |            |
| C/Q Weak Pull-Up               | $I_{CQPUW}$     | C/Q disabled, weak pull-up enabled                         | $V_{CQ} = 5V$            | -200           |     | -130  | $\mu A$    |
| C/Q Weak Pull-Down             | $I_{CQPDW}$     | C/Q disabled, weak pull-down enabled                       | $V_{CQ} = (V_{24} - 5V)$ | +150           |     | +200  | $\mu A$    |
| C/Q 2mA Pull-Up                | $I_{CQPU2}$     | C/Q disabled, 2mA pull-up enabled                          | $V_{CQ} = 5V$            | -2.4           |     | -1.9  | mA         |
| C/Q 2mA Pull-Down              | $I_{CQPD2}$     | C/Q disabled, 2mA pull-down enabled                        | $V_{CQ} = (V_{24} - 5V)$ | 1.9            |     | 2.4   | mA         |
| <b>C/Q RECEIVER</b>            |                 |  |                          |                |     |       |            |
| C/Q Input Voltage Range        | $V_{CQ\_IN}$    | For valid C/Q reception                                    |                          | $V_{24} - 36V$ |     | 36    | V          |
| C/Q Input Threshold High       | $V_{CQ\_TH}$    | $V_{24} \geq 18V$  |                          | 11.3           |     | 12.2  | V          |
|                                |                 | $V_{24} < 18V$   |                          | 62             |     | 68    | $\%V_{24}$ |
| C/Q Input Threshold Low        | $V_{CQ\_TL}$    | $V_{24} \geq 18V$  |                          | 9.4            |     | 10.3  | V          |
|                                |                 | $V_{24} < 18V$   |                          | 52             |     | 58    | $\%V_{24}$ |
| C/Q Input Capacitance          | $C_{IN\_CQ}$    |  |                          |                | 72  |       | pF         |
| C/Q Receiver Propagation Delay | $t_{CQIN\_PLH}$ | RX_FILTER = 0  |                          | 0.16           |     | 0.58  | $\mu s$    |
|                                |                 | RX_FILTER = 1  |                          | 0.5            |     | 1.8   |            |
|                                | $t_{CQIN\_PHL}$ | RX_FILTER = 0  |                          | 0.21           |     | 0.66  |            |
|                                |                 | RX_FILTER = 1  |                          | 0.5            |     | 1.8   |            |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER  | SYMBOL              | CONDITIONS                                       | MIN                              | TYP  | MAX      | UNITS        |         |
|--|---------------------|--|----------------------------------|------|----------|--------------|---------|
| C/Q Receiver Skew  | $t_{CQIN\_SKEW}$    | RX_FILTER = 0                                    | -0.3                             |      | +0.3     | $\mu s$      |         |
|  |                     | RX_FILTER = 1                                    | -1                               |      | +1       |              |         |
| <b>ANALOG-TO-DIGITAL CONVERTER (ADC)</b>   |                     |  |                                  |      |          |              |         |
| ADC Resolution   | $N_{BIT\_ADC}$      |  | 12 + sign                        |      |          | bit          |         |
| ADC Input Voltage Range  | $V_{ADC}$           | $(V_{ADP} - V_{ADN})$                            | -1.27                            |      | +1.27    | V            |         |
|  |                     | $V_{ADP}, V_{ADN}$ to ground                     | 0                                |      | $V_{18}$ |              |         |
| ADC Internal Reference   | $V_{ADC\_REF}$      |  | 1.235                            | 1.25 | 1.27     | V            |         |
| ADC INL  | $INL_{ADC}$         | $f_{CONV} = 500ksps$                             | -10                              |      | +10      | LSB          |         |
| ADC DNL  | $DNL_{ADC}$         | $f_{CONV} = 500ksps$                             | -3.5                             |      | +3.5     | LSB          |         |
| ADC Gain Error   |                     | $V_{FS} = 2.5V$                                  | -0.8                             |      | +0.8     | % $V_{FS}$   |         |
| ADC Offset Error   |                     | ADC output with $V_{ADP} = V_{ADN} = 0V$         | -8                               |      | +8       | LSB          |         |
| Conversion Time  | $t_{ADC}$           | ADC clock is HCLK                                |                                  | 33   |          | Clock cycles |         |
| ADP, ADN Input Leakage   | $I_{ADP}, I_{ADN}$  | $V_{ADP}, ADN = 1.8V$                            | -1                               |      | +1       | $\mu A$      |         |
| <b>ADC INPUT MUX AND BUFFER</b>  |                     |  |                                  |      |          |              |         |
| ADC Buffer Input Range   | $V_{BUFIN}$         | GPIO1_3 – GPIO1_6, when configured as ADC inputs | 0                                |      | $V_{5A}$ | V            |         |
| ADC Buffer Output Range  | $V_{BUFOUT}$        |  | 0.01                             |      | 1.4      | V            |         |
| ADC Buffer Offset  | $V_{BUF\_OS}$       | Buffer input = 0.01V to 1.5V                     | -4                               |      | +4       | mV           |         |
| ADC -3dB Buffer Bandwidth  | $V_{BUF\_BW}$       |  |                                  | 1.5  |          | MHz          |         |
| ADC Buffer Internal Voltage Reference  | $V_{BUF\_REF}$      |  | 712                              |      | 725      | mV           |         |
| <b>ANALOG COMPARATORS AND DIGITAL-TO-ANALOG CONVERTERS (DACs) (CIP, CIN, CMPO, DACY)<br/>(CMP_IN_HIGH = 1, CMP_IN_LOW = 1)</b> |                     |  |                                  |      |          |              |         |
| Comparator Common Mode Range   | $V_{CM\_CMP}$       |  | 0                                |      | $V_{5A}$ | V            |         |
| Comparator Offset  | $V_{OS\_CMP}$       | CIP_rising                                       | Input = 0V                       | -20  | 0        | +15          | mV      |
|  |                     |  | Input = $V_{5A}$                 | -15  | 0        | +15          |         |
|  |                     |  | Input = $V_{5A} / 2$             | -12  | 0        | +12          |         |
| Comparator Hysteresis  | $V_{OS\_CMP\_HYST}$ | Input = 0V to $V_{5A}$                           |                                  | 25   |          | mV           |         |
| Comparator Response Time   | $t_{CMP}$           | CIP_Threshold = 2.5V, CIP_from 2.4V to 2.6V      | CMP_FILT_EN = 0, CMP_SLOW_EN = 0 | 30   |          | 120          | ns      |
|  |                     |  | CMP_FILT_EN = 0, CMP_SLOW_EN = 1 | 120  |          | 810          |         |
|  |                     |  | CMP_FILT_EN = 1, CMP_SLOW_EN = 0 | 0.75 |          | 1.65         | $\mu s$ |
|  |                     |  | CMP_FILT_EN = 1, CMP_SLOW_EN = 1 | 0.9  |          | 2.2          |         |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER   | SYMBOL                             | CONDITIONS   |   | MIN             | TYP   | MAX      | UNITS      |
|---|------------------------------------|--|---|-----------------|-------|----------|------------|
| Comparator Input Leakage                                | $I_{CMP\_LKG}$                     | $V_{CIP}, C_{IN} = 0V$ to 5.5V   |   | -1              |       | +1       | $\mu A$    |
| Comparator Output High                                  | $V_{CMPO\_H}$                      | $I_{LOAD} = 5mA$   |   | $V_{5A} - 0.15$ |       | $V_{5A}$ | V          |
| Comparator Output Low                                   | $V_{CMPO\_L}$                      | $I_{LOAD} = -5mA$  |   |                 |       | 0.1      | V          |
| DAC Full Scale  | $V_{DAC\_}$                        |  |   |                 | 100   |          | $\%V_{5A}$ |
| DAC Resolution  | $N_{DAC}$                          |  |   |                 | 6     |          | BIT        |
| DAC INL   | $INL_{DAC}$                        |  |   | -0.35           |       | +0.35    | LSB        |
| DAC DNL   |                                    |  |   | -0.2            |       | +0.2     | LSB        |
| DAC Monotonicity  |                                    | Guaranteed by DNL test   |   |                 |       |          |            |
| DAC Output Resistance                                   | $R_{DAC}$                          |  |   |                 | 273   |          | $k\Omega$  |
| <b>VARIABLE RESISTORS (R1, R2, R3, R4) (See Note 9)</b> |                                    |  |   |                 |       |          |            |
| R1, R2 Resistor Value                                   | $R_{R1}, R_{R2}$                   |  |   | 8.2             | 10.9  | 13.6     | $k\Omega$  |
| R1W, R2W Wiper Resistance                               | $R_{R1W}, R_{R2W}$                 | $0V < V_{R1W}, V_{R2W} \leq V_{5A}$ , $I_{TEST} = 200\mu A$  | $T_A = 25^\circ C$                      | 35              | 52    | 65       | $\Omega$   |
|   |                                    |  | $-40^\circ C \leq T_A \leq 125^\circ C$ | 15              | 55    | 120      |            |
| R1, R2 Off-Current                                      | $I_{OFF\_R1\_}$<br>$I_{OFF\_R2\_}$ | R1, R2 disabled,<br>$0V \leq V_{R1\_}, V_{R2\_} \leq V_{5A}$   |   | -1              |       | +1       | $\mu A$    |
| R1, R2 Bandwidth  | $BW_{R1}, BW_{R2}$                 | R1A/R2A connected to $2.5V_{DC}$ , drive R1W/R2W with a $1.2k\Omega$ resistor, R1B/R2B is unconnected, $Rx\_POS = 0x80$ (See Figure 1) |   |                 | 0.866 |          | MHz        |
| R1, R2 INL  | $INL_{R1, R2}$                     |  |   | -3.5            |       | +1       | LSB        |
| R1, R2 DNL  | $DNL_{R1}, DNL_{R2}$               |  |   | -1.2            |       | +1.2     | LSB        |
| R1A, R1B, R2A, R2B Capacitance                          | $C_{R1\_}, C_{R2\_}$               | R1/R2 disabled, $V_{RxA} = V_{RxB} = V_{RxW} = 0V$   |   |                 | 14    |          | pF         |
| R1W, R2W Off-Capacitance                                | $C_{R1W}, C_{R2W}$                 | R1/R2 disabled, $V_{RxA} = V_{RxB} = V_{RxW} = 0V$   |   |                 | 10    |          | pF         |
| R1A, R1B, R2A, R2B On-Capacitance                       | $C_{R1\_ON}, C_{R2\_ON}$           | R1, R2 enabled, set to minimum resistance, $V_{RxW} = 0V$  |   |                 | 14    |          | pF         |
| R3 Resistor Value                                       | $R_{R3}$                           | $I_{TEST} = 100\mu A$ or $V_{TEST} = 0.5V$   |   | 47              | 63    | 79       | $k\Omega$  |
| R3 Steps  | $N_{R3}$                           |  |   |                 | 63    |          |            |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER  | SYMBOL          | CONDITIONS                                  |                  | MIN                  | TYP  | MAX                  | UNITS      |
|--|-----------------|---|------------------|----------------------|------|----------------------|------------|
| R3 Maximum Current                                   | $I_{R3}$        | (See <a href="#">Note 8</a> )               |                  |                      | 2    |                      | mA         |
| R3 Leakage Current                                   | $I_{OFFR3}$     | R3 disabled, $V_{R3} = 0V$ to $V_{5A}$      |                  | -1                   |      | +1                   | $\mu A$    |
| R3 INL   | $INL_{R3}$      | From 0 to 63                                |                  | -0.25                |      | +0.25                | LSB        |
| R3 DNL   |                 |   |                  | -0.08                |      | +0.08                | LSB        |
| R3 Capacitance                                       | $C_{R3}$        | R3 disabled, $V_{R3} = 0V$                  |                  |                      | 7    |                      | pF         |
| R4 Resistor Value                                    | $R_{R4\_0}$     | $V_{TEST} = 0.5V$                           | $R4\_POS = 0x00$ | 8.5                  | 11.1 | 14.5                 | k $\Omega$ |
|  | $R_{R4\_8}$     | $V_{TEST} = 0.5V$                           | $R4\_POS = 0x08$ | 8                    | 10.7 | 14                   |            |
|  | $R_{R4\_255}$   | $V_{TEST} = 0.5V$                           | $R4\_POS = 0xFF$ | 0.07                 | 0.11 | 0.16                 |            |
| R4 Steps   |                 |   |                  |                      | 256  |                      |            |
| R4A Off-Current                                      | $I_{OFF\_R4A}$  | R4 disabled, 0V to $V_{5A}$                 |                  | -1                   |      | +1                   | $\mu A$    |
| R4 INL   | $INL_{R4}$      |   |                  | -0.8                 |      | +0.8                 | LSB        |
| R4 DNL   |                 |   |                  | -0.5                 |      | +0.5                 | LSB        |
| R4A Capacitance                                      | $C_{R4A}$       | R4 disabled, $V_{R4A} = 0V$                 |                  |                      | 21   |                      | pF         |
| <b>LED OUTPUT (LED1, LED2)</b>                       |                 |   |                  |                      |      |                      |            |
| LED_ Output Voltage Low                              | $V_{LED\_OL}$   | $I_{LOAD} = -5mA$                           |                  |                      |      | 0.2                  | V          |
| LED_ High Impedance Leakage Current                  | $I_{LED\_OL}$   | $0V \leq V_{LEDx} \leq 5.5V$                |                  | -1                   |      | +1                   | $\mu A$    |
| <b>RESET/POK</b>                                     |                 |   |                  |                      |      |                      |            |
| RESET/POK Input Voltage High                         | $V_{RST\_IH}$   |   |                  | 1.7                  |      |                      | V          |
| RESET/POK Input Voltage Low                          | $V_{RST\_IL}$   |   |                  |                      |      | 1.3                  | V          |
| RESET/POK Output Voltage Low                         | $V_{POK\_LOW}$  | $I_{LOAD} = -5mA$                           |                  |                      |      | 0.1                  | V          |
| RESET/POK High Impedance Leakage Current             | $I_{RST\_OD}$   | $0V \leq V_{RESET\_POK} \leq 5.5V$          |                  | -1                   |      | +1                   | $\mu A$    |
| <b>BANK 1 GPIOs (GPIO1_0 – GPIO1_6)</b>              |                 |   |                  |                      |      |                      |            |
| GPIO1_x Input Voltage High                           | $V_{GPIO1IH}$   | Not in I <sup>2</sup> C mode                |                  | $0.70 \times V_{L1}$ |      |                      | V          |
| GPIO1_x Input Voltage Low                            | $V_{GPIO1IL}$   | Not in I <sup>2</sup> C mode                |                  |                      |      | $0.28 \times V_{L1}$ | V          |
| GPIO1_2 I <sup>2</sup> C Mode SDA Input Voltage High | $V_{SDA\_IH}$   | GPIO1_2 configured in I <sup>2</sup> C mode |                  | 1.8                  |      |                      | V          |
| GPIO1_2 I <sup>2</sup> C Mode SDA Input Voltage Low  | $V_{SDA\_IL}$   | GPIO1_2 configured in I <sup>2</sup> C mode |                  |                      |      | 1                    | V          |
| GPIO1_x Output Voltage High                          | $V_{GPIO1\_OH}$ | $I_{LOAD} = 5mA$                            |                  | $V_{L1} - 0.26$      |      |                      | V          |
| GPIO1_x Output Voltage Low                           | $V_{GPIO1\_OL}$ | $I_{LOAD} = -5mA$                           |                  |                      |      | 0.2                  | V          |
| GPIO1_x Pull-Up Resistance                           | $R_{GPIO1\_PU}$ | $V_{GPIO1\_x} = 0V$ , pull-up enabled       |                  | 230                  |      | 470                  | k $\Omega$ |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER  | SYMBOL            | CONDITIONS   | MIN                  | TYP | MAX                  | UNITS     |
|--|-------------------|--|----------------------|-----|----------------------|-----------|
| GPIO1_x Pull-Down Resistance   | $R_{GPIO1\_PD}$   | $V_{GPIO1\_x} = V_{L1}$ , pull-down enabled                | 230                  |     | 430                  | $k\Omega$ |
| GPIO1_x Leakage Current  | $I_{GPIO1\_LKG}$  | GPIO1_x is high impedance, no pull-up or pull-down enabled | -1                   |     | +1                   | $\mu A$   |
| GPIO1_x Input Capacitance  | $C_{GPIO1\_IN}$   |  |                      | 2   |                      | pF        |
| GPIO1_x Analog Input Capacitance                                       | $C_{GPIO1\_AN}$   | GPIO1_x is configured as analog input                      |                      | 2   |                      | pF        |
| <b>GPIO2_0 PIN (GPIO2_0/IRQ1/MCLK)</b>                                 |                   |  |                      |     |                      |           |
| GPIO2_0 Input Voltage High   | $V_{GPIO20\_IH}$  | GPIO2_0 is not configured as MCLK input                    | $0.70 \times V_{L2}$ |     |                      | V         |
| GPIO2_0 Input Voltage Low  | $V_{GPIO20\_IL}$  | GPIO2_0 is not configured as MCLK input                    |                      |     | $0.28 \times V_{L2}$ | V         |
| MCLK Input Voltage High  | $V_{MCLK\_IH}$    | GPIO2_0 is configured as MCLK input, $V_{L2} \geq 2.5V$    | 1.6                  |     |                      | V         |
| MCLK Input Voltage Low   | $V_{MCLK\_IL}$    | GPIO2_0 is configured as MCLK input, $V_{L2} \geq 2.5V$    |                      |     | 0.4                  | V         |
| GPIO2_0 Output Voltage High  | $V_{GPIO20\_OH}$  | $I_{LOAD} = 5mA$ , $V_{L2} \geq 2.5V$                      | $V_{L2} - 0.35$      |     |                      | V         |
| GPIO2_0 Output Voltage Low   | $V_{GPIO20\_OL}$  | $I_{LOAD} = -5mA$ , $V_{L2} \geq 2.5V$                     |                      |     | 0.32                 | V         |
| GPIO2_0 Pull-Up Resistance   | $R_{GPIO20\_PU}$  | $V_{GPIO20} = 0V$ , pull-up enabled                        | 240                  |     | 440                  | $k\Omega$ |
| GPIO2_0 Pull-Down Resistance   | $R_{GPIO20\_PD}$  | $V_{GPIO20} = V_{L2}$ , pull-down enabled                  | 230                  |     | 430                  | $k\Omega$ |
| GPIO2_0 Leakage Current  | $I_{GPIO20\_LKG}$ | GPIO2_0 is high impedance, no pull-up or pull-down enabled | -1                   |     | +1                   | $\mu A$   |
| GPIO2_0 Input Capacitance  | $C_{GPIO20\_IN}$  |  |                      | 2   |                      | pF        |
| <b>BANK 2 GPIOs (GPIO2_1 to GPIO2_4)</b>                               |                   |  |                      |     |                      |           |
| GPIO2_x Input Voltage High   | $V_{GPIO2\_IH}$   |  | $0.82 \times V_{L2}$ |     |                      | V         |
| GPIO2_x Input Voltage Low  | $V_{GPIO2\_IL}$   |  |                      |     | $0.18 \times V_{L2}$ | V         |
| GPIO2_x Output Voltage High  | $V_{GPIO2\_OH}$   | $I_{LOAD} = 5mA$   | $V_{L2} - 0.35$      |     |                      | V         |
| GPIO2_x Output Voltage Low   | $V_{GPIO2\_OL}$   | $I_{LOAD} = -5mA$  |                      |     | 0.32                 | V         |
| GPIO2_x Pull-Up Resistance   | $R_{GPIO2\_PU}$   | $V_{GPIO2\_x} = 0V$ , pull-up enabled                      | 200                  |     | 470                  | $k\Omega$ |
| GPIO2_x Pull-Down Resistance   | $R_{GPIO2\_PD}$   | $V_{GPIO2\_x} = V_{L2}$ , pull-down enabled                | 200                  |     | 450                  | $k\Omega$ |
| GPIO2_x Leakage Current  | $I_{GPIO2\_LKG}$  | GPIO2_x is high impedance, no pull-up or pull-down enabled | -1                   |     | +1                   | $\mu A$   |
| GPIO2_x Input Capacitance  | $C_{GPIO2\_IN}$   |  |                      | 2   |                      | pF        |
| <b>SERIAL WIRE DEBUG (SWD) INTERFACE (SWDEN, SWDIO/SDA, SWCLK/SCL)</b> |                   |  |                      |     |                      |           |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER  | SYMBOL                | CONDITIONS                                      | MIN                   | TYP       | MAX  | UNITS          |
|--|-----------------------|---|-----------------------|-----------|------|----------------|
| Input Voltage High   | $V_{SWD\_IH}$         |   | 1.6                   |           |      | V              |
| Input Voltage Low  | $V_{SWD\_IL}$         |   |                       |           | 1.1  | V              |
| Output Voltage High  | $V_{SWD\_H}$          | $I_{LOAD} = 5mA$                                | $V_{L1} - 0.15$       |           |      | V              |
| Output Voltage Low   | $V_{SWD\_L}$          | $I_{LOAD} = -5mA$                               |                       |           | 0.15 | V              |
| SWDEN Pull-Down Resistance   | $I_{SWD\_EN}$         |   | 80                    |           | 170  | k $\Omega$     |
| SWDIO/SDA Leakage Current  | $I_{SWD\_LKG}$        |   | -1                    |           | +1   | $\mu A$        |
| <b>THERMAL PROTECTION</b>  |                       |   |                       |           |      |                |
| C/Q Driver Shutdown Temperature                                    | $T_{SHUT\_DRV}$       | Driver temperature rising                       |                       | +160      |      | $^\circ C$     |
| C/Q Driver Shutdown Temperature Hysteresis                         | $T_{SHUT\_DRV\_HYST}$ |   |                       | 12        |      | $^\circ C$     |
| IC Thermal Warning Temperature                                     | $T_{WRN}$             |   |                       | +135      |      | $^\circ C$     |
| IC Thermal Warning Temperature Hysteresis                          | $T_{WRN\_HYST}$       |   |                       | 14        |      | $^\circ C$     |
| IC Thermal Shutdown Temperature                                    | $T_{SHUT\_IC}$        |   |                       | +170      |      | $^\circ C$     |
| IC Thermal Shutdown Temperature Hysteresis                         | $T_{SHUT\_IC\_HYST}$  |   |                       | 14        |      | $^\circ C$     |
| <b>INTERNAL THERMAL SENSOR</b>                                     |                       |   |                       |           |      |                |
| Thermal Sensor Precision   |                       |   |                       | $\pm 13$  |      | $^\circ C$     |
| Thermal Sensor Slope   |                       |   |                       | 2.0       |      | mV/ $^\circ C$ |
| Thermal Sensor Voltage   | $V_{TS\_PTAT}$        | $T_{DIE} = 25^\circ C$                          | 565                   | 590       | 620  | mV             |
| <b>EMC TOLERANCE</b>   |                       |   |                       |           |      |                |
| Electrostatic discharge (ESD) Protection ( $V_{24}$ , C/Q, to GND) |                       | IEC 61000-4-2 Contact Discharge                 |                       | $\pm 4$   |      | kV             |
| ESD Protection ( $V_{24}$ , C/Q, to GND)                           |                       | IEC 61000-4-2 Air-Gap                           |                       | $\pm 6$   |      | kV             |
| ESD Protection   |                       | Human Body Model                                | $V_{24}$ , C/Q to GND | $\pm 2$   |      | kV             |
|  |                       |   | All other Pins        | $\pm 2$   |      |                |
| Surge Protection ( $V_{24}$ , C/Q, to GND)                         |                       | 500 $\Omega$ 8 $\mu s$ /20 $\mu s$ surge to GND |                       | $\pm 1.2$ |      | kV             |
| <b>AC ELECTRICAL CHARACTERISTICS</b>                               |                       |   |                       |           |      |                |
| <b>SWD TIMING</b>  |                       |   |                       |           |      |                |
| Clock Frequency  | $f_{CLK\_SWD}$        |   |                       |           | 10   | MHz            |
| Data Output Delay  | $t_{DO}$              |   |                       | 35        |      | ns             |
| Data Hold Time   | $t_{HD}$              |   | 10                    |           |      | ns             |
| Data Setup Time  | $t_{SU}$              |   | 10                    |           |      | ns             |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER   | SYMBOL        | CONDITIONS                | MIN | TYP  | MAX          | UNITS   |
|---|---------------|---------------------------|-----|--|--------------|---------|
| <b>I<sup>2</sup>C HOST CONTROLLER TIMING (See Figure 2), (GPIO1_1, GPIO1_2 CONFIGURED FOR I<sup>2</sup>C FUNCTIONALITY)</b> |               |                           |     |  |              |         |
| SCL Clock Frequency   | $1/t_{SCL}$   |                           |     |  | 1            | MHz     |
| Data to Clock Delay in Start Condition  | $t_{DC:STA}$  |                           |     | $t_{SCL} \times 0.4$   |              | ns      |
| Data to Clock Delay in Repeated Start Condition   | $t_{DC:STA}$  |                           |     | $t_{SCL} \times 0.4$   |              | ns      |
| Clock to Data Delay in Repeated Start Condition   | $t_{CD:STA}$  |                           |     | $t_{SCL} \times 0.2$   |              | ns      |
| Low Period of SCL Clock   | $t_{LOW}$     |                           |     | 50   |              | %       |
| High Period of SCL Clock  | $t_{HIGH}$    |                           |     | 50   |              | %       |
| Data Hold Time  | $t_{HD:DAT}$  |                           |     | 0  |              | ns      |
| Data Setup Time   | $t_{SU:DAT}$  |                           | 55  |  |              | ns      |
| Data Output Delay   | $t_{DLY\_DO}$ |                           |     | 1  | 3            | ns      |
| Setup Time for Stop   | $t_{CD\_STP}$ |                           |     | $t_{SCL} \times 0.4$   |              | ns      |
| <b>SPI HOST CONTROLLER TIMING (See Figure 3) (GPIO2_0 to GPIO2_4 CONFIGURED FOR SPI FUNCTIONALITY)</b>                      |               |                           |     |  |              |         |
| SCLK Clock Frequency  | $1/t_{SCLK}$  | (See Note 10)             |     |  | $f_{HCLK}/4$ | MHz     |
| SCLK Pulse Width High   | $t_{CH}$      |                           |     | $0.5 \times t_{SCLK}$  |              | ns      |
| SCLK Pulse Width Low  | $t_{CL}$      |                           |     | $0.5 \times t_{SCLK}$  |              | ns      |
| $\overline{CS}$ Fall to SCLK Rise Time  | $t_{CSS}$     | (See Note 11, Note 12)    |     | ( $CS\_SETTLE\_TIM + 1$ ) $\times t_{SYS}$ + $0.5 \times t_{SCLK}$ |              | ns      |
| MISO Setup Time   | $t_{DS}$      | $V_{L2} = 1.62V$          | 40  |  |              | ns      |
|   |               | $V_{L2} = 3.3V$ to $5.5V$ | 12  |  |              |         |
| MISO Hold Time  | $t_{DH}$      | $V_{L2} = 1.62V$          | 0   |  |              | ns      |
|   |               | $V_{L2} = 3.3V$ to $5.5V$ | 17  |  |              |         |
| MOSI Output Delay   | $t_{DO}$      | $V_{L2} = 1.62V$          |     | 1  |              | ns      |
|   |               | $V_{L2} = 3.3V$ to $5.5V$ |     | 1  |              |         |
| SCLK to $\overline{CS}$ Rise  | $t_{CSH}$     |                           |     | $0.5 \times t_{SCLK}$  |              | ns      |
| <b>I<sup>2</sup>C DEVICE TIMING</b>   |               |                           |     |  |              |         |
| SCL Clock Frequency   | $f_{SCL}$     | (See Note 13)             |     |  | 1            | MHz     |
| Bus Free Time Between a STOP and a START Condition  | $t_{BUF}$     |                           | 0.3 |  |              | $\mu s$ |

( $V_{24} = 7V \sim 36V$ ,  $V_{5LIN} = V_5 \sim 36V$ ,  $V_5 = 4.5V \sim 5.5V$ ,  $V_{18LIN} = V_{18} \sim 5.5V$ ,  $V_{18} = 1.71V \sim 1.89V$ ,  $V_{L1} = 2.5V \sim 5.5V$ ,  $V_{L2} = 1.62V \sim 5.5V$ ,  $GND = DGND = OGND = AGND = IOLGND = 0V$ ,  $T_A = -40^\circ C \sim +125^\circ C$ , ORES は  $10k\Omega$  を介して GND に接続。GPIO1\_x、SWDEN は  $V_{L1}$  または GND に接続。GPIO2\_x は  $V_{L2}$  または GND に接続。RESET/POK は 3.3V にプルアップ。代表値は、 $V_{24} = 24V$ ,  $V_{L1} = V_{L2} = 3.3V$ ,  $V_{5LIN} = V_5 = V_{5A} = 5V$ ,  $V_{18LIN} = V_{18} = 1.8V$ ,  $T_A = +25^\circ C$  での値です。(Note 2 を参照))

| PARAMETER                                    | SYMBOL       | CONDITIONS   | MIN  | TYP | MAX | UNITS   |
|--|--------------|--|------|-----|-----|---------|
| Setup Time for Repeated Start                | $t_{SU:STA}$ |  | 0.25 |     |     | $\mu s$ |
| Hold Time for Repeated Start                 | $t_{HD:STA}$ |  | 0.25 |     |     | $\mu s$ |
| Low Period of SCL Clock                      | $t_{LOW}$    |  | 0.35 |     |     | $\mu s$ |
| High Period of SCL Clock                     | $t_{HIGH}$   |  | 0.25 |     |     | $\mu s$ |
| Data Hold Time                               | $t_{HD:DAT}$ | (See <a href="#">Note 14</a> , <a href="#">Note 15</a> ) | 0    |     | 0.4 | $\mu s$ |
| Data Setup Time                              | $t_{SU:DAT}$ | (See <a href="#">Note 14</a> , <a href="#">Note 15</a> ) | 80   |     |     | ns      |
| Setup Time for STOP Condition                | $t_{SU:STO}$ |  | 0.6  |     |     | $\mu s$ |
| Spike Pulse Width Suppressed by Input Filter | $t_{SP}$     | (See <a href="#">Note 16</a> )                           |      |     | 50  | ns      |

**Note 2 :** すべてのデバイスは  $25^\circ C$  で 100% 製品テストを行っています。全温度範囲での制限値は設計により確認されています。

**Note 3 :**  $V_{24}$  が低電圧エラー・スレッシュホールド ( $V_{24\_ERR\_R}$ ,  $V_{24\_ERR\_F}$ ) を下回ると、C/Q ドライバはディスエーブルされます。

**Note 4 :** 低電圧立上がりスレッシュホールドは、低電圧立下がりスレッシュホールドより高くなっています。

**Note 5 :** 内部ペリフェラルのすべてがディスエーブルされると、マイクロコントローラは停止します。マイクロコントローラが停止すると、内部クロックがオンになり、スイッチングを行います。

**Note 6 :**  $V_{L2} < 2.5V$  になると、MCLK 性能が低下します。

**Note 7 :** IO-Link 通信を使用している場合は、18MHz の通常精度オシレータを使用しないでください。

**Note 8 :** 製品テストの対象外です。設計により確保されています。

**Note 9 :** 抵抗は、推奨の補正值を使用して代表値の 1LSB 以内で調整できます。詳細については、MAX22522 のユーザ・ガイドを参照してください。

**Note 10 :** SCLK 周期は、SPI1\_SCLK\_CONFIG0 レジスタにおける CLK\_DIV ビットの設定値の関数です。

**Note 11 :**  $\overline{CS}$  から SCLK までの時間は、SPI1\_SCLK\_CONFIG0 レジスタにおける CS\_SETTLE\_TIM ビットの設定値の関数です。

**Note 12 :**  $t_{SYS}$  はマイクロコントローラの HCLK に基づきます。詳細については、[クロック制御](#)のセクションを参照してください。

**Note 13 :** SCL のクロック周波数  $f_{SCL}$  は、最小クロック・ロー時間と立上がり/立下がり時間の合計を満たすことが必要です。

**Note 14 :** データ・ホールド時間  $t_{HD\_DAT}$  の最大値を満たす必要があるのは、デバイスが SCL 信号のロー時間 ( $t_{LOW}$ ) を延長しない場合のみです。

**Note 15 :** このデバイスは、SCL 立下がりエッジの不定領域を埋めるために、SDA 信号に対して少なくとも 100ns のホールド時間を確保する必要があります (SCL 信号の最小  $V_{IH}$  を参照)。

**Note 16 :** SDA と SCL のフィルタは入力バッファのノイズ・スパイクを抑制して、サンプリング・タイミングを遅らせます。

タイミング図

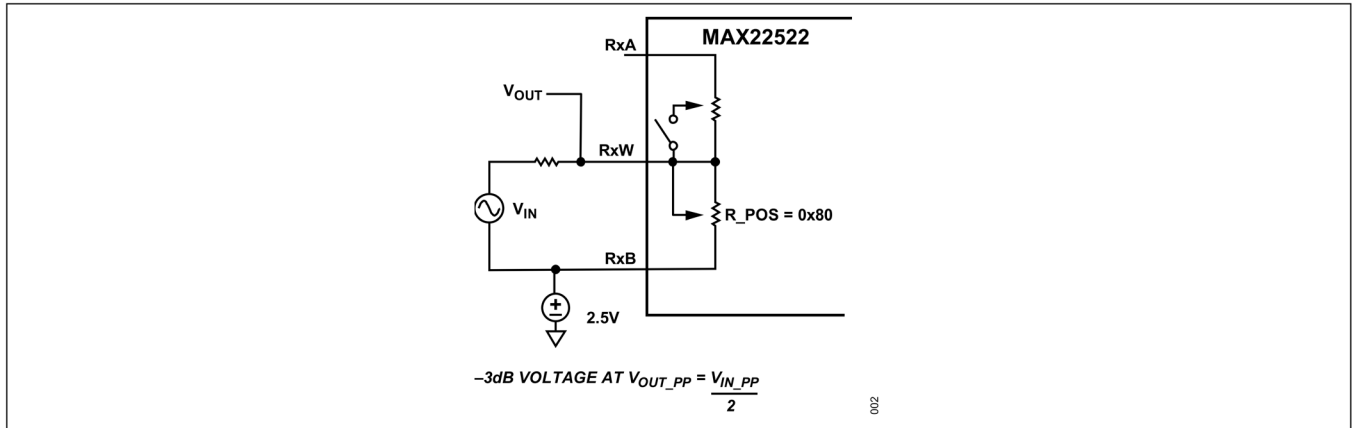


図 1. R1、R2 帯域幅の測定回路

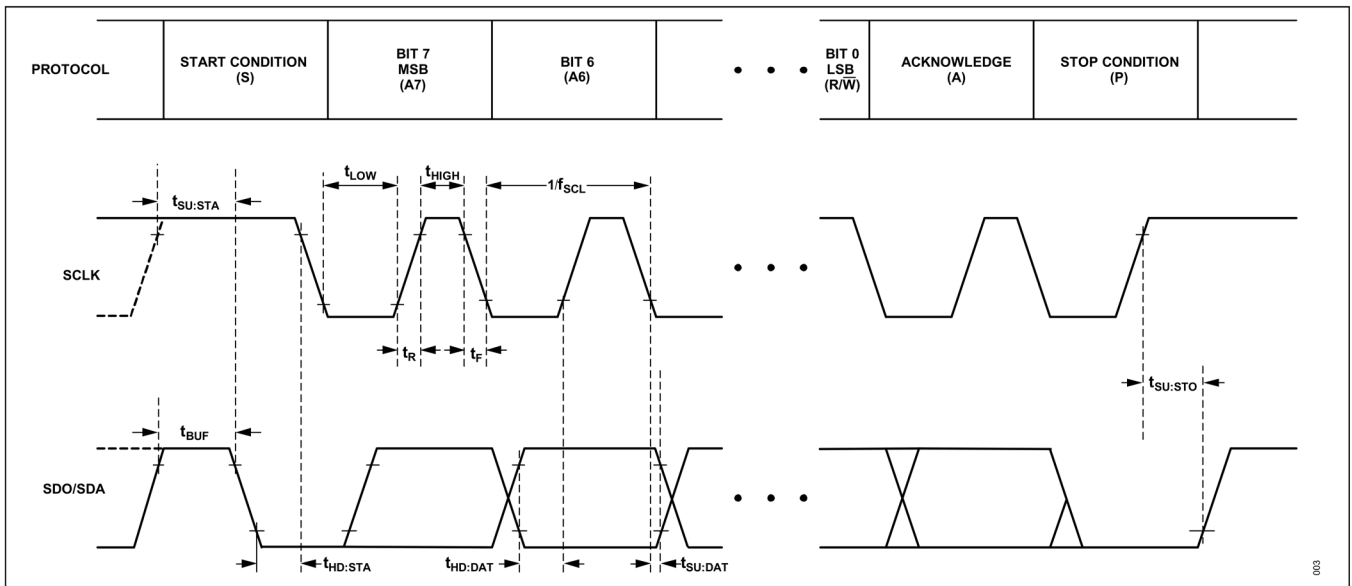


図 2. I2C タイミング図

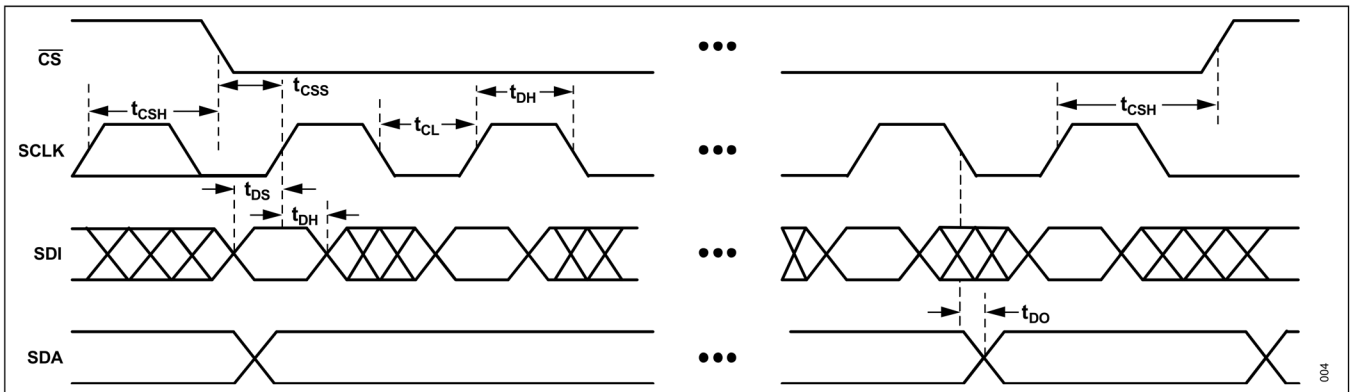
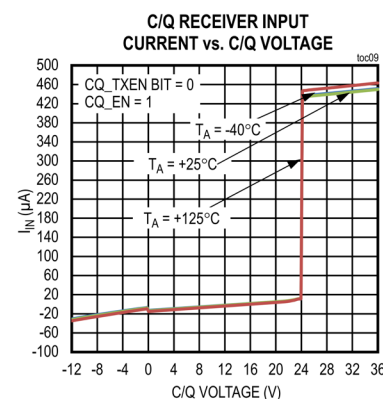
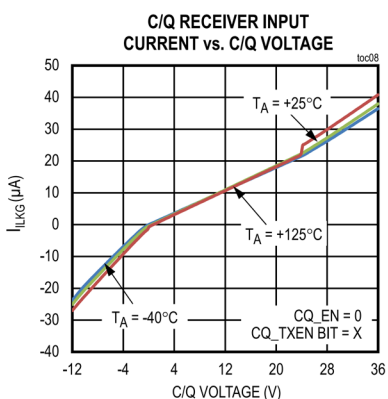
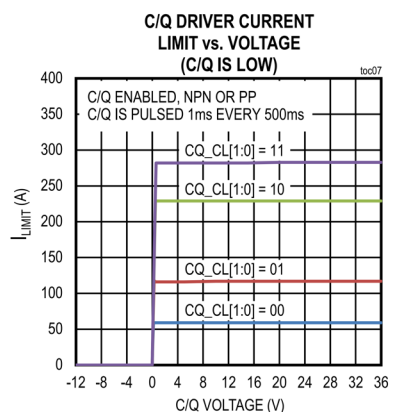
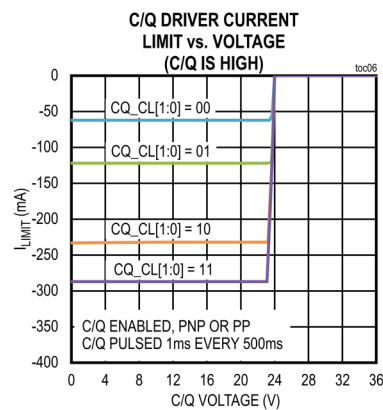
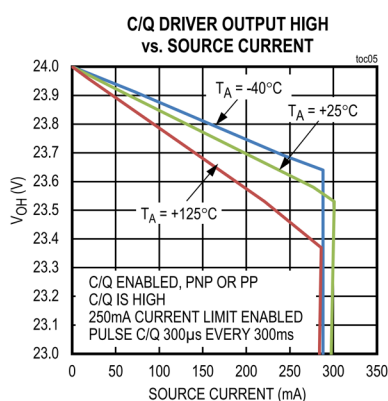
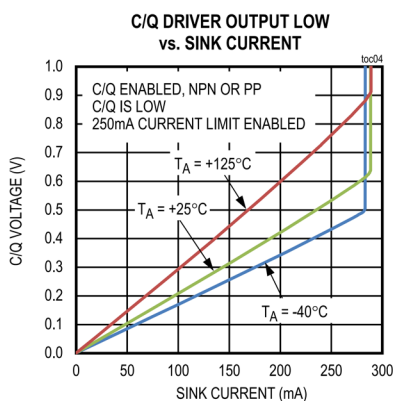
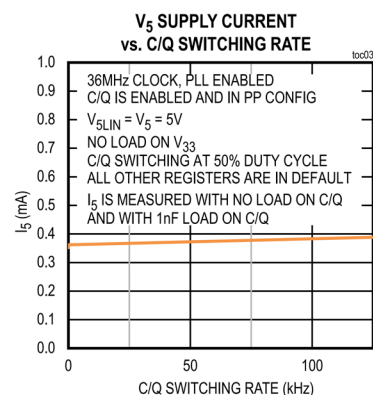
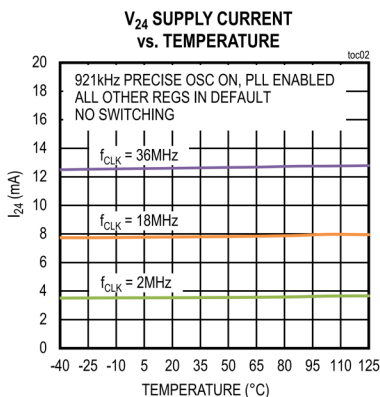
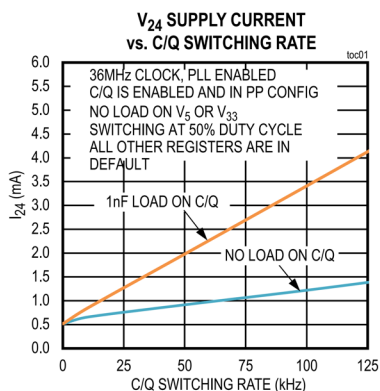


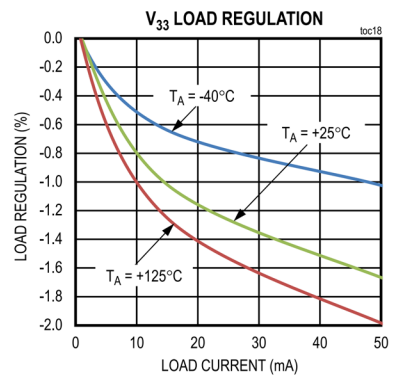
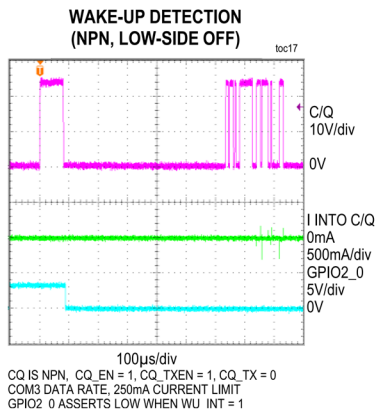
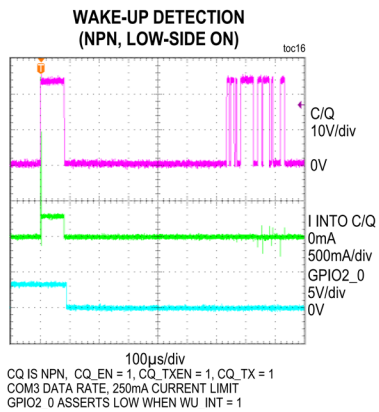
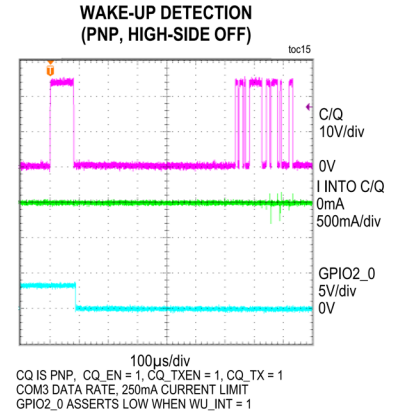
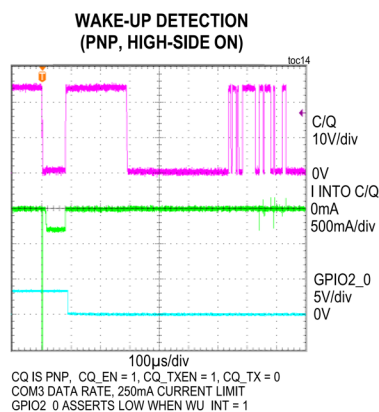
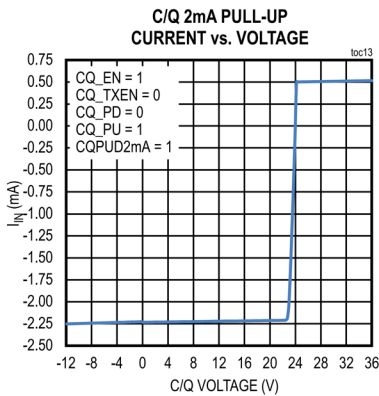
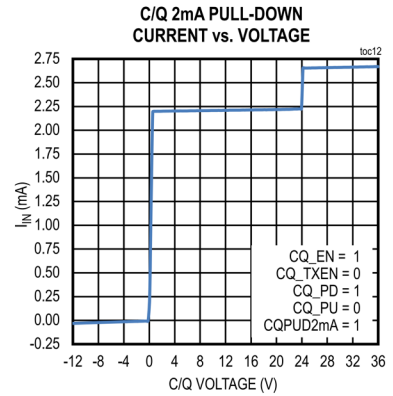
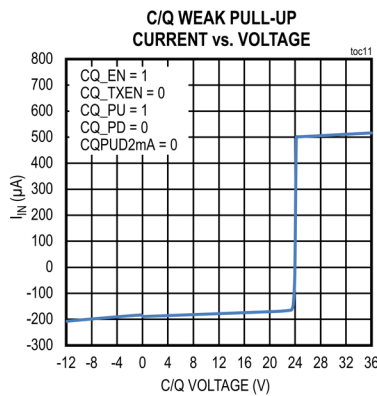
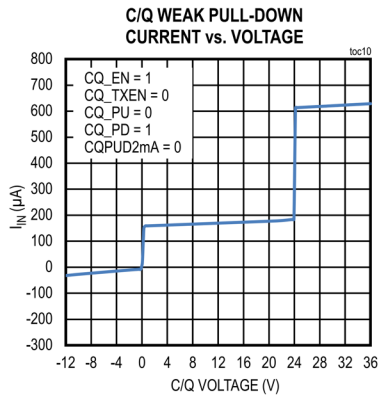
図 3. SPI のタイミング図

標準動作特性

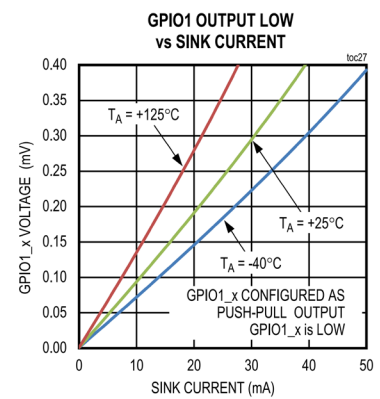
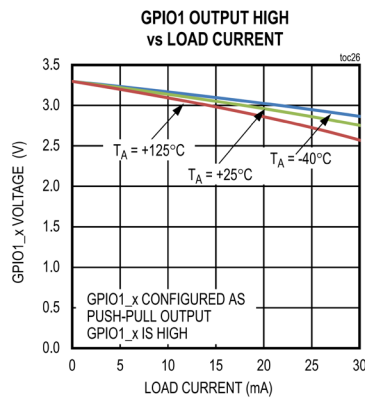
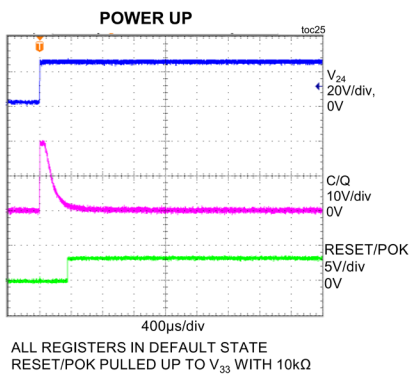
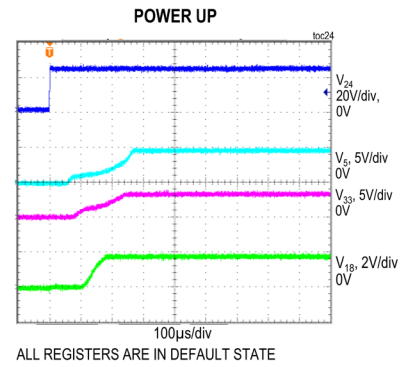
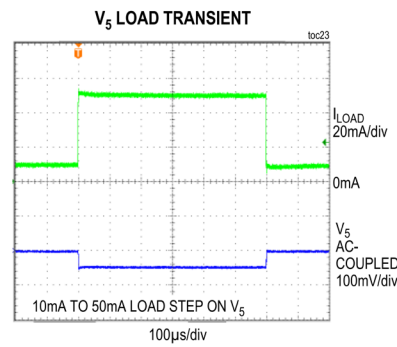
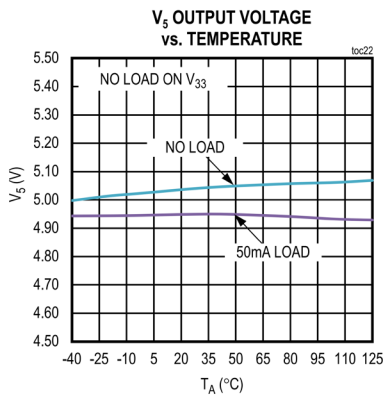
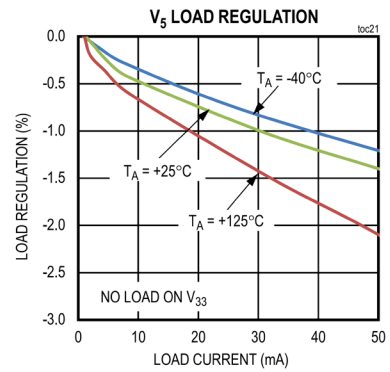
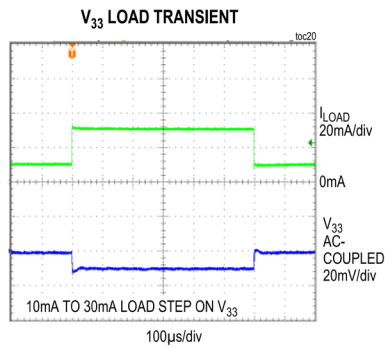
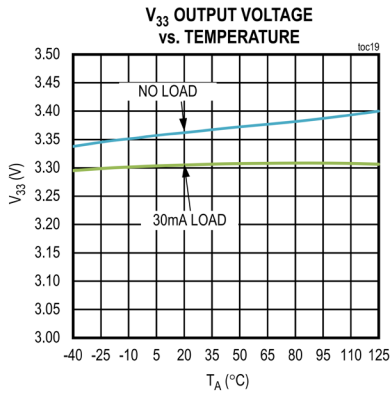
特に指定のない限り、 $V_{24} = 24V$ 、 $V_{5LIN} = PV24$ 、 $V_{18LIN} = V33$ 、 $V_{L1} = V_{L2} = V_{33}$ 、36MHz クロック、 $T_A = 25^\circ C$ 。



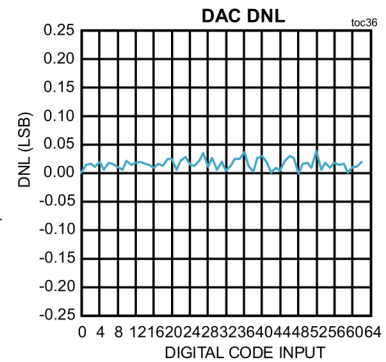
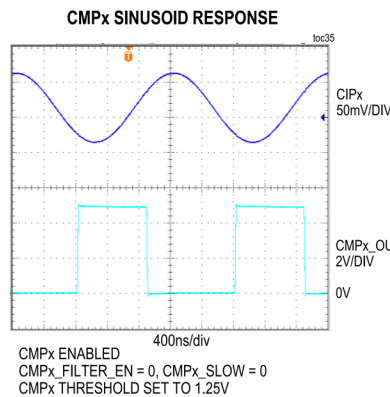
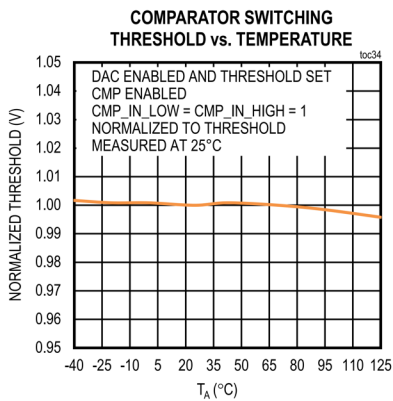
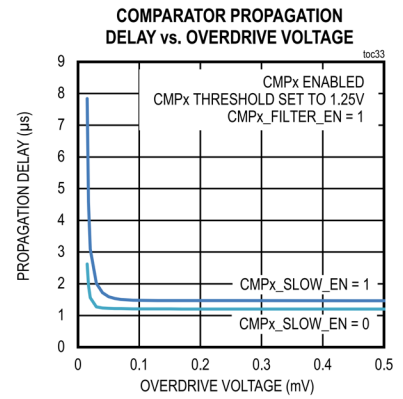
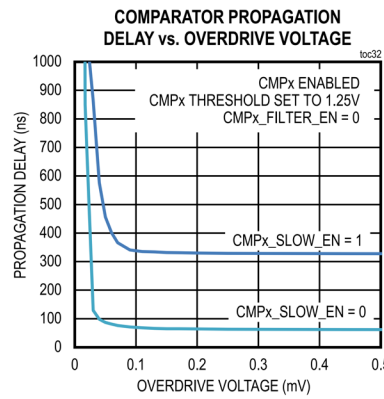
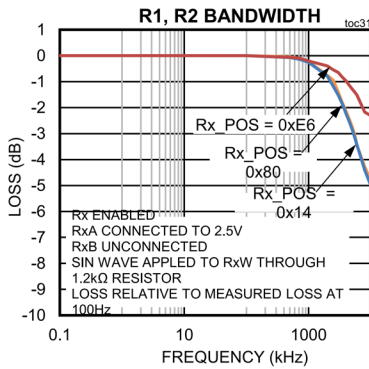
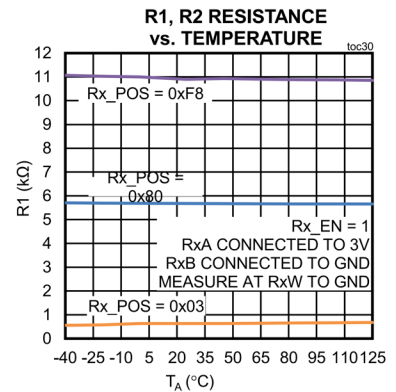
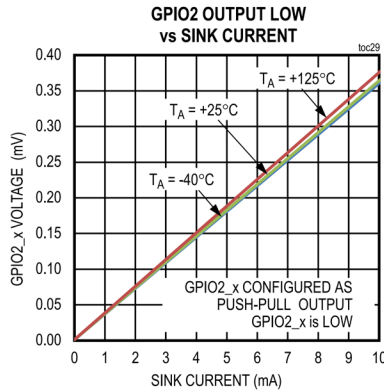
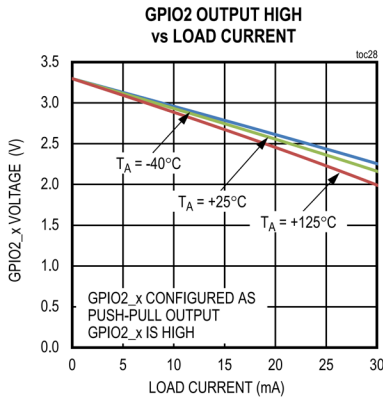
特に指定のない限り、 $V_{24} = 24V$ 、 $V_{5LIN} = PV24$ 、 $V_{18LIN} = V33$ 、 $V_{L1} = V_{L2} = V_{33}$ 、36MHz クロック、 $T_A = 25^\circ C$ 。



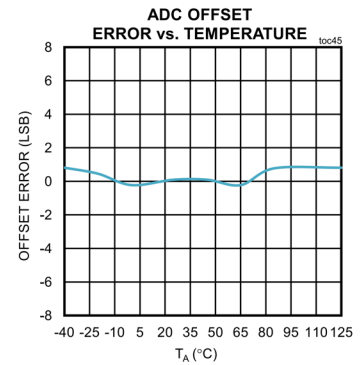
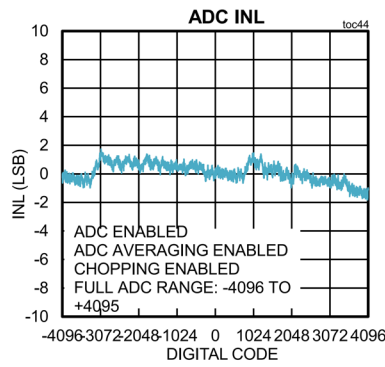
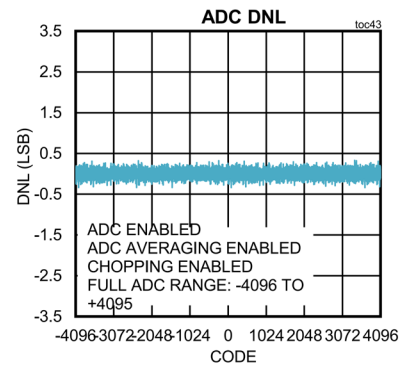
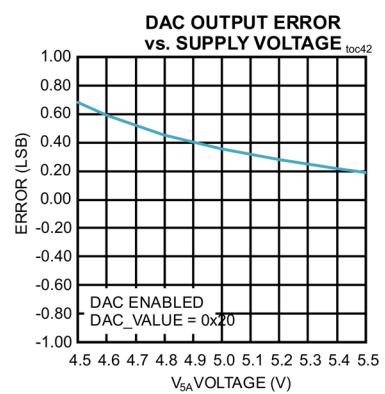
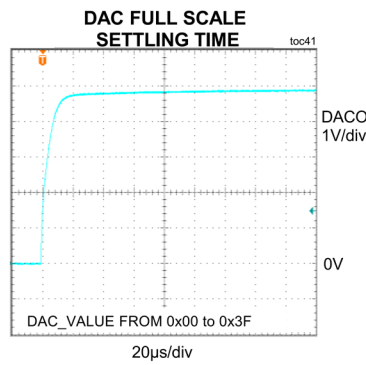
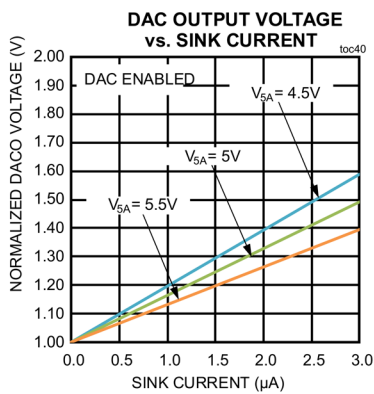
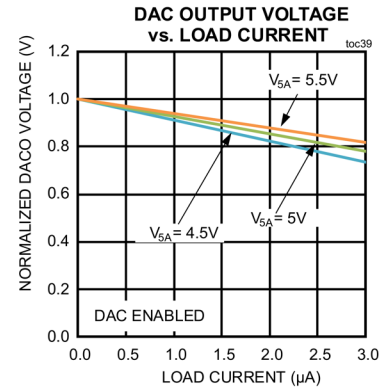
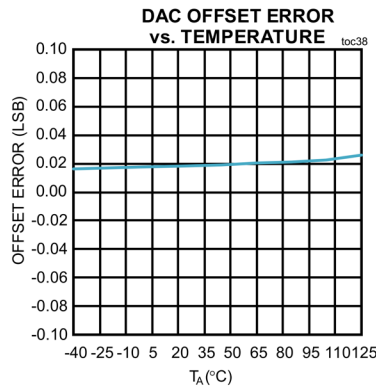
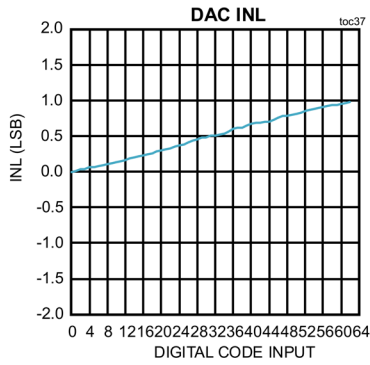
特に指定のない限り、 $V_{24} = 24V$ 、 $V_{5LIN} = PV24$ 、 $V_{18LIN} = V_{33}$ 、 $V_{L1} = V_{L2} = V_{33}$ 、36MHz クロック、 $T_A = 25^\circ C$ 。



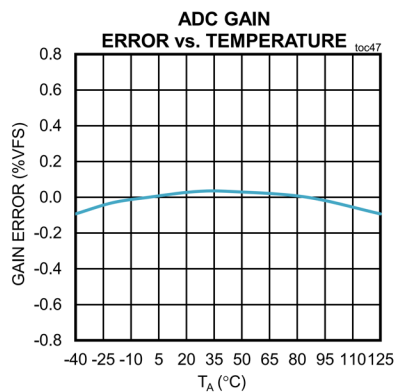
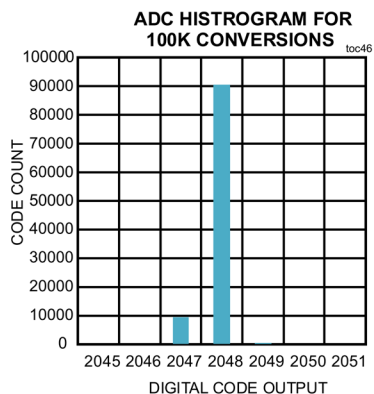
特に指定のない限り、 $V_{24} = 24V$ 、 $V_{5LIN} = PV24$ 、 $V_{18LIN} = V33$ 、 $V_{L1} = V_{L2} = V_{33}$ 、36MHz クロック、 $T_A = 25^\circ C$ 。



特に指定のない限り、 $V_{24} = 24V$ 、 $V_{5LIN} = PV24$ 、 $V_{18LIN} = V33$ 、 $V_{L1} = V_{L2} = V_{33}$ 、36MHz クロック、 $T_A = 25^\circ C$ 。



特に指定のない限り、 $V_{24} = 24V$ 、 $V_{5LIN} = PV24$ 、 $V_{18LIN} = V33$ 、 $V_{L1} = V_{L2} = V_{33}$ 、36MHz クロック、 $T_A = 25^\circ C$ 。



## ピン配置

| MAX22522<br>TOP VIEW<br>(Not to Scale) |     |      |      |      |         |               |               |               |         |        |
|--|-----|------|------|------|---------|---------------|---------------|---------------|---------|--------|
|  | 1   | 2    | 3    | 4    | 5       | 6             | 7             | 8             | 9       | 10     |
| A                                      | GND | ADP  | ADN  | CMPO | GPIO2_4 | GPIO2_2       | SWCLK/<br>SCL | SWDIO/<br>SDA | GPIO2_0 | IOLGND |
| B                                      | CIP | CIN  | DACO | VL2  | GPIO2_3 | GPIO2_1       | SWDEN         | VL1           | LED2    | IOLGND |
| C                                      | R3A | R2W  | R2B  | DGND | GPIO1_6 | GPIO1_5       | GPIO1_4       | GPIO1_0       | LED1    | C/Q    |
| D                                      | R2A | R1W  | R1B  | GND  | GND     | GND           | IOLGND        | V5ISNS        | V24     | V24    |
| E                                      | R1A | AGND | V5A  | AGND | GPIO1_3 | GPIO1_2       | V33           | V18LIN        | V5LIN   | PV24   |
| F                                      | GND | R4A  | OGND | ORES | GPIO1_1 | RESET/<br>POK | V18           | V5            | V5BASE  | PV24   |

WLP  
(4.418mm x 2.638mm)

## 端子説明

| 端子        | 名称                 | 機能  |
|-----------|--------------------|---|
| <b>電源</b> |                    |   |
| D9, D10   | V <sub>24</sub>    | 電源電圧入力。V <sub>24</sub> は IO-Link コネクタの L+端子に接続するか、外部電源に接続します。10nF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>24</sub> を GND にバイパスします。   |
| E10, F10  | PV24               | アクティブ・ダイオード出力。外付けの 1μF (代表値) コンデンサをできるだけデバイスの近くに配置して、PV24 をバイパスします。   |
| E9        | V <sub>5LIN</sub>  | 5V リニア・レギュレータ入力。V <sub>5LIN</sub> は PV24、または 6V~36V の外部電源に接続します。1μF (代表値) コンデンサを使用して V <sub>5LIN</sub> を GND にバイパスします。V <sub>5LIN</sub> を V <sub>5</sub> に接続すると、5V リニア・レギュレータがディスエーブルされます。レギュレータをディスエーブルする場合は、V <sub>5</sub> を外部 5V 電源に接続する必要があります。 |
| D8        | V <sub>5ISNS</sub> | 5V リニア・レギュレータの電流検出入力。外部 NPN を使用する場合、トランジスタのコレクタを V <sub>5ISNS</sub> に接続します。外部 NPN を使用しない場合、V <sub>5ISNS</sub> は無接続のままにします。詳細については、 <a href="#">V<sub>5</sub> リニア・レギュレータ</a> のセクションを参照してください。  |
| F9        | V <sub>5BASE</sub> | 5V リニア・レギュレータ出力。外部 NPN を使用する場合、トランジスタのベースを V <sub>5BASE</sub> に接続します。外部 NPN を使用しない場合、V <sub>5BASE</sub> は直接 V <sub>5</sub> に接続します。詳細については、 <a href="#">V<sub>5</sub> リニア・レギュレータ</a> のセクションを参照してください。  |
| F8        | V <sub>5</sub>     | 5V 電源入力/5V リニア・レギュレータの帰還入力。外部 NPN を使用しない場合、2.2μF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>5</sub> を GND にバイパスします。外部 NPN を使用する場合、4.7μF (最小値) のコンデンサで V <sub>5</sub> を GND にバイパスします。詳細については、 <a href="#">V<sub>5</sub> リニア・レギュレータ</a> のセクションを参照してください。    |
| E8        | V <sub>18LIN</sub> | 1.8V リニア・レギュレータ入力。V <sub>18LIN</sub> は V <sub>33</sub> 、または 2.7V~5.5V の外部電源に接続します。1μF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>18LIN</sub> を GND にバイパスします。V <sub>18LIN</sub> を V <sub>18</sub> に接続すると、1.8V リニア・レギュレータがディスエーブルされます。                      |
| F7        | V <sub>18</sub>    | 1.8V 電源入力/リニア・レギュレータ出力。2.2μF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>18</sub> を GND にバイパスします。V <sub>18</sub> を V <sub>18LIN</sub> に接続すると、1.8V リニア・レギュレータがディスエーブルされます。レギュレータをディスエーブルする場合は、外部 1.8V 電源を V <sub>18</sub> に接続する必要があります。                     |
| E7        | V <sub>33</sub>    | 3.3V リニア・レギュレータ出力。2.2μF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>33</sub> を GND にバイパスします。   |
| E3        | V <sub>5A</sub>    | 5V アナログ電源入力。100nF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>5A</sub> を GND にバイパスします。5V 電源を V <sub>5A</sub> に接続します。   |
| E2, E4    | AGND               | アナログ・グラウンド。詳細については、 <a href="#">レイアウトとグラウンディング</a> のセクションを参照してください。   |
| B8        | V <sub>L1</sub>    | ロジック I/O バック 1 電源入力。100nF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>L1</sub> を GND にバイパスします。V <sub>L1</sub> を 2.2V~5.5V の電源に接続します。   |
| B4        | V <sub>L2</sub>    | ロジック I/O バック 2 電源入力。100nF (代表値) コンデンサをできるだけデバイスの近くに配置して、V <sub>L2</sub> を GND にバイパスします。V <sub>L2</sub> を 1.65V~5.5V の電源に接続します。  |
| C4        | DGND               | デジタル・グラウンド。詳細については、 <a href="#">レイアウトとグラウンディング</a> のセクションを参照してください。   |

|   |                                |   |
|---|--------------------------------|---|
| A1, D4, D5, D6, F1  | GND                            | グラウンド。詳細については、 <a href="#">レイアウトとグラウンディング</a> のセクションを参照してください。  |
| <b>24V インターフェース</b>   |                                |   |
| C10   | C/Q                            | IO-Link トランシーバの入出力。C/Q は IO-Link 通信に使用します。  |
| A10, B10, D7  | IOLGND                         | IO-Link の電源グラウンド。詳細については、 <a href="#">レイアウトとグラウンディング</a> のセクションを参照してください。   |
| <b>921kHz 高精度オシレータ</b>  |                                |   |
| F4  | ORES                           | 921kHz 高精度オシレータ抵抗。ORES と OGND の間に高精度 ( $\pm 0.1\%$ ) の 10k $\Omega$ 抵抗を接続します。   |
| F3  | OGND                           | 内部オシレータのグラウンド。詳細については、 <a href="#">レイアウトとグラウンディング</a> のセクションを参照してください。  |
| <b>LED (LED1、LED2) および <math>\overline{\text{RESET}}</math>/POK</b> |                                |   |
| C9  | LED1                           | オープン・ドレインの LED 出力 1。  |
| B9  | LED2                           | オープン・ドレインの LED 出力 2。  |
| F6  | $\overline{\text{RESET}}$ /POK | アクティブ・ロー・リセット入力とオープン・ドレインのパワー-OK (POK) 出力のデュアル機能。V <sub>5</sub> または V <sub>18</sub> が、それぞれの低電圧ロックアウト (UVLO) スレッシュホールドを下回ると、 $\overline{\text{RESET}}$ /POK はローにアサートされます。V <sub>5</sub> と V <sub>18</sub> が UVLO スレッシュホールドを上回ると、 $\overline{\text{RESET}}$ /POK はハイにアサートされます。<br>$\overline{\text{RESET}}$ /POK をローにすると、デバイスはリセットされます。<br>$\overline{\text{RESET}}$ /POK は 10k $\Omega$ の抵抗を使用して V <sub>L1</sub> または V <sub>L2</sub> に接続します。 |
| <b>可変抵抗 (R1、R2、R3、R4)</b>   |                                |   |
| E1  | R1A                            | R1 可変抵抗の A 側。   |
| D3  | R1B                            | R1 可変抵抗の B 側。   |
| D2  | R1W                            | R1 可変抵抗のワイパー端子。   |
| D1  | R2A                            | R2 可変抵抗の A 側。   |
| C3  | R2B                            | R2 可変抵抗の B 側。   |
| C2  | R2W                            | R2 可変抵抗のワイパー端子。   |
| C1  | R3A                            | R3 可変抵抗。  |
| F2  | R4A                            | R4 可変抵抗。  |
| <b>コンパレータと DAC</b>  |                                |   |
| A4  | CMPO                           | コンパレータ出力。   |
| B1  | CIP                            | コンパレータ正側入力。   |
| B3  | DACO                           | DAC 出力。   |
| B2  | CIN                            | コンパレータ負側入力。   |
| <b>ADC</b>  |                                |   |
| A2  | ADP                            | ADC 正側入力。   |
| A3  | ADN                            | ADC 負側入力。   |
| <b>バンク 1 GPIO (GPIO1_0 – GPIO1_6)</b>                               |                                |   |
| C8  | GPIO1_0                        | バンク 1 GPIO0。GPIO1_0 は、デジタル入力、デジタル出力、または割込み入力 (IRQ0) として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。   |
| F5  | GPIO1_1                        | バンク 1 GPIO1。GPIO1_1 は、デジタル入力、デジタル出力、または I <sup>2</sup> C ホスト・コントローラの SCL 出力として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |
| E6  | GPIO1_2                        | バンク 1 GPIO2。GPIO1_2 は、デジタル入力、デジタル出力、または I <sup>2</sup> C ホスト・コントローラの SDA 信号として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |
| E5  | GPIO1_3                        | バンク 1 GPIO3。GPIO1_3 は、デジタル入力、デジタル出力、ADC 入力、または PWM 出力として、あるいは PDOUT ビット (PDOUT2) の表示用に設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |
| C7  | GPIO1_4                        | バンク 1 GPIO4。GPIO1_4 は、デジタル入力、デジタル出力、ADC 入力、または PDIN データ (PDIN2) のロジック入力として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |

|   |           |   |
|---|-----------|---|
| C6  | GPIO1_5   | バンク 1 GPIO5。GPIO1_5 は、デジタル入力、デジタル出力、ADC 入力、または PDIN データ (PDIN1) のロジック入力として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |
| C5  | GPIO1_6   | バンク 1 GPIO6。GPIO1_6 は、デジタル入力、デジタル出力、ADC 入力、または PWM 出力として、あるいは PDOOUT ビット (PDOOUT1) の表示用に設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |
| <b>バンク 2 GPIO (GPIO2_0 – GPIO2_4)</b>     |           |   |
| A9  | GPIO2_0   | バンク 2 GPIO0。GPIO2_0 は、デジタル入力、デジタル出力、割込み入力 (IRQ1)、または外部クロック入力 (MLCK) として、あるいは、バンク 2 GPIO が SPI ホスト・コントローラとして設定されている場合はアクティブ・ローのチップ・セレクト (CS1) 出力として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。<br>MCLK 入力として設定する場合、1.843MHz~14.74MHz の外部クロックを GPIO2_0 に接続してください。詳細については、ユーザ・ガイドを参照してください。 |
| B6  | GPIO2_1   | バンク 2 GPIO1。GPIO2_1 は、デジタル入力、デジタル出力、または、バンク 2 GPIO が SPI ホスト・コントローラとして設定されている場合はアクティブ・ローのチップ・セレクト (CS0) 出力として設定できません。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。  |
| A6  | GPIO2_2   | バンク 2 GPIO2。GPIO2_2 は、デジタル入力、デジタル出力、または、バンク 2 GPIO が SPI ホスト・コントローラとして設定されている場合は SCLK クロック出力として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。   |
| B5  | GPIO2_3   | バンク 2 GPIO3。GPIO2_3 は、デジタル入力、デジタル出力、または、バンク 2 GPIO が SPI ホスト・コントローラとして設定されている場合はシリアル・データ MISO として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。   |
| A5  | GPIO2_4   | バンク 2 GPIO3。GPIO2_3 は、デジタル入力、デジタル出力、または、バンク 2 GPIO が SPI ホスト・コントローラとして設定されている場合はシリアル・データ MOSI として設定できます。詳細については、 <a href="#">汎用入出力 (GPIO1_x、GPIO2_x)</a> のセクションを参照してください。   |
| <b>SWD デバッグ・インターフェース (SWEN、SWD、SWDIO)</b> |           |   |
| B7  | SWDEN     | SWD または I <sup>2</sup> C のデバッグ・インターフェースをイネーブル。SWDEN をハイにすると、SWD デバッグ・インターフェースがイネーブルされます。SWDEN をローにすると、I <sup>2</sup> C デバッグ・インターフェースがイネーブルされます。詳細については MAX22522 のユーザ・ガイドを参照してください。  |
| A7  | SWCLK/SCL | デバッグ・インターフェースのクロック入力。SWDEN がハイ (SWD インターフェースがイネーブル) のとき、SWCLK/SCL はシリアル・デバッグ・クロック入力になります。SWDEN がローのとき、SWCLK/SCL は I <sup>2</sup> C SCL クロック入力になります。詳細については MAX22522 のユーザ・ガイドを参照してください。  |
| A8  | SWDIO/SDA | デバッグ・インターフェース・データ・ライン。SWDEN がハイのとき、SWDIO/SDA はシリアル・デバッグ・データ・ラインになります。SWDEN がローのとき、SWDIO/SDA は I <sup>2</sup> C SDA データ・ラインになります。詳細については MAX22522 のユーザ・ガイドを参照してください。   |

## 詳細説明

### 電源

MAX22522 の通常動作には、IO-Link 通信用の 24V 電源 (V<sub>24</sub>)、内蔵のアナログ部品に電力を供給する 5V 電源 (V<sub>5</sub> と V<sub>5A</sub>)、および 1.8V 電源 (V<sub>18</sub>) の 3 つの電源が必要です。Cortex-M0、アナログ・ペリフェラル、内部オシレータには V<sub>5</sub> および V<sub>18</sub> 電源で給電します。

内部アクティブ・ダイオードが保護電源出力 PV24 を提供します。PV24 は、最大 100mA (代表値) の負荷を駆動できます。

更に、3 つのリニア・レギュレータ (5V、3.3V、1.8V) により、V<sub>24</sub> 電源を使用して柔軟な電源構造を実現できます。

### パワーアップ・シーケンス

V<sub>24</sub> 電源が上昇すると、MAX22522 は最初に、内部電源とリファレンス回路を使用してリニア・レギュレータと PV24 用のアクティブ・ダイオードをオンにします。V<sub>18</sub> および V<sub>5</sub> の電圧がそれぞれの低電圧ロックアウト (UVLO) スレッシュホールドを上回ると、内部の 18MHz 通常精度オシレータがイネーブルされます。内部電源およびオシレータが安定すると、MAX22522 は RESET/POK をハイに駆動し、Cortex-M0 がブートアップ・シーケンスを開始します。

パワーアップ時に V<sub>18</sub> または V<sub>5</sub> 電圧が UVLO スレッシュホールドを下回った場合はいつでも、起動シーケンスを再始動します。

### PV24 保護電源

MAX22522 は、V<sub>24</sub> を使用して、逆電圧保護、ホットプラグ対応の電源 PV24 を生成します。PV24 は制御されたレートでパワーオンし、最大 1μF (代表値) の容量性負荷に対応します。PV24 は、通常動作時に最大 100mA (代表値) の負荷を駆動できます。

PV24 を V<sub>5LIN</sub> に接続することで、5V および 3.3V リニア・レギュレータに電源を供給します。V<sub>18LIN</sub>=V<sub>33</sub> の場合は、PV24 は 1.8V リニア・レギュレータにも電源を供給します。オプションとして、図 4 に示すように PV24 を外部レギュレータの入力に接続することもできます。



図 4. PV24 電源図

(a) PV24 で直接内部レギュレータに電源供給 (b) PV24 で外部 DC/DC レギュレータに電源供給

### V<sub>5</sub> リニア・レギュレータ

V<sub>5</sub> レギュレータは最大 50mA (代表値) の外部負荷を駆動できます。これにはデバイスと V<sub>33</sub> LDO が消費する電流も含まれます。より大きな負荷を駆動する、または MAX22522 内の消費電力を低減するには、外部パス・トランジスタを使用して必要な 5V を生成します。

外部トランジスタを使用する場合は、4.7μF (最小値) のコンデンサで V<sub>5</sub> を GND にバイパスします。トランジスタのベースに V<sub>5BASE</sub> を接続し、エミッタに V<sub>5</sub> を接続することで電圧を安定化できます。この構成を使用する場合は、トランジスタのエミッタと V<sub>5BASE</sub> の間に 4.7kΩ の抵抗を接続してください。詳細については図 5 を参照してください。

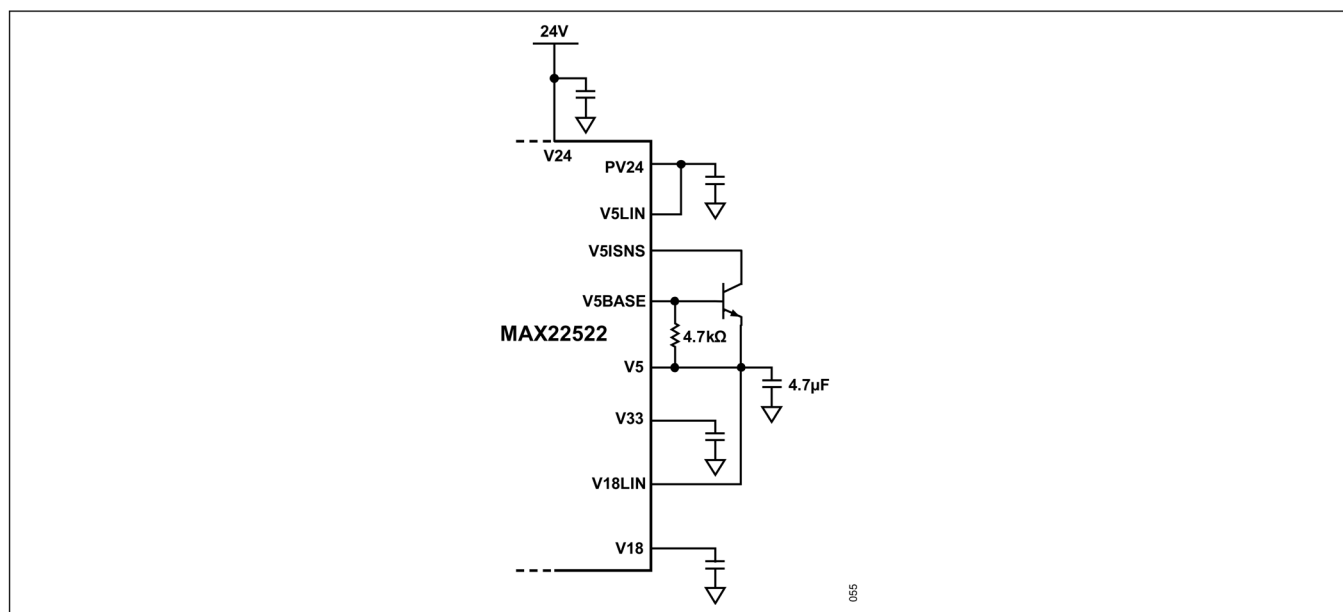


図 5. 外部 NPN トランジスタを使用した V5 レギュレータの構成

V5LIN を V5 に接続し、V5 を外部電源に接続すると、内部 V5 リニア・レギュレータはディスエーブルされます。V5 は内部のアナログ機能とデジタル機能の電源入力であり、このリニア・レギュレータがディスエーブルされた場合は外部から電源供給する必要があります。通常動作時には V5 が確実に存在するようにしてください。

### V33 リニア・レギュレータ

V33 リニア・レギュレータは、V5 から電源を供給され、最大 50mA (代表値) の負荷を駆動できます。V33 は、通常動作時には 2.2μF (代表値) 以上のコンデンサを使用してグラウンドにバイパスします。

### V18 リニア・レギュレータ

V18 レギュレータは最大 50mA (代表値) の外部負荷を駆動できます。V18LIN は、V33、V5、または 2.7V~5.5V の外部電源に接続することで 1.8V の内部レギュレータに給電できます。通常動作時には 2.2μF (代表値) 以上のコンデンサを使用して V18 をグラウンドにバイパスします。

V18LIN を V18 に接続すると、内部 1.8V リニア・レギュレータはディスエーブルされます。内部レギュレータをディスエーブルする場合は、外部 1.8V 電源を V18 に接続してください。通常動作時には V18 が確実に存在するようにしてください。

### 24V インターフェース (V24、C/Q、IOLGND)

MAX22522 は、最大 36V の電圧で動作可能な IO-Link トランシーバ・インターフェースを備えています。業界標準のこのインターフェースには、C/Q 入出力、V24 電源、IO-Link グラウンド (IOLGND) が含まれています。

C/Q スイッチング・ドライバは、ハイサイド (PNP)、ローサイド (NPN)、またはプッシュプル (PP) 機能として構成でき、COM1、COM2、COM3 のすべての IO-Link データレートで動作します。また、C/Q はプログラマブルな電流制限 (50mA~250mA)、プログラマブルな立上がり/立下がりスルー・レート、およびイネーブル/ディスエーブル可能な 2mA の内部プルアップ/プルダウンを備えています。

### 可変抵抗 (R1、R2)

MAX22522 は R1 と R2 の 2 つの低容量・可変抵抗を搭載しており、ポテンショメータ・モード、またはレオスタット・モードで使用できます。R1 と R2 のレジスタの 8 ビット・データをデコードして、R1 と R2 のそれぞれを 256 の抵抗値のうちの 1 つに設定します。

R1 と R2 は 10kΩ (代表値) のエンド to エンド・インピーダンスを持ち、最大 5V で動作します。R1 と R2 を流れる電流は、2mA を超えないようにしてください。

### 可変抵抗 (R3、R4)

MAX22522 はグラウンド基準の 2 つの可変抵抗、R3 と R4 を搭載しています。

R3 レジスタの 6 ビット・データをデコードして、R3 抵抗を 64 の設定値のうちの 1 つに設定します。抵抗値は 1LSB～63LSB の間で直線的に分布しています。R3 は 60kΩ のエンド to エンド・インピーダンスを持ち、最大 5V で動作します。R3A を流れる電流は、2mA を超えないようにしてください。R3 レジスタにコード値 0x00 が格納されると、この可変抵抗はディスエーブルします。

R4 レジスタの 8 ビット・データをデコードして、R4 抵抗を 256 の設定値のうちの 1 つに設定します。抵抗値は 1LSB～255LSB の間で直線的に分布しています。R4 は 10kΩ のエンド to エンド・インピーダンスを持ち、最大 5V で動作します。R4A を流れる電流は、2mA を超えないようにしてください。

## 汎用入出力 (GPIO1\_x、GPIO2\_x)

MAX22522 は、2 つのグループ、すなわちバンク 1 とバンク 2 の 2 つのバンクに分割された 12 個の GPIO ピンを備えています。バンク 1 には  $V_{L1}$  から給電される 7 個の GPIO (GPIO1\_0～GPIO1\_6) が含まれます。バンク 2 には  $V_{L2}$  から給電される 5 個の GPIO (GPIO2\_0～GPIO2\_4) が含まれます。

すべての GPIO は、出力 (オープン・ドレインまたはプッシュプル) として、または入力として設定でき、イネーブル/ディスエーブル可能なプルアップ/プルダウン機能を備えています。また、各 GPIO は個別に代替機能を設定できます。

図 6 に、GPIO ピンのロジックを示します。このロジックは、バンク 1 とバンク 2 のすべての GPIO ピンに適用されています。

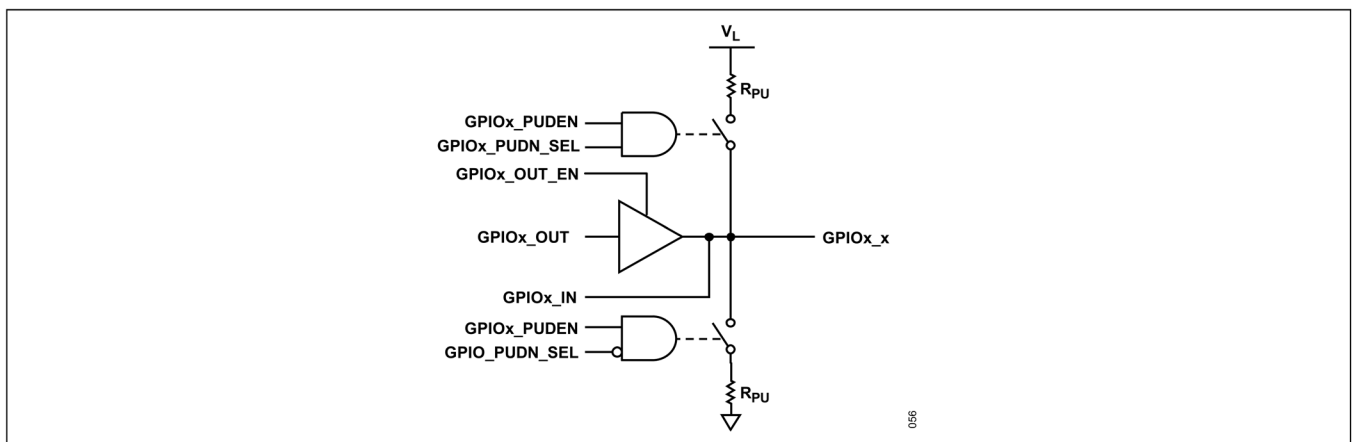


図 6. GPIO のロジック回路

## GPIO の代替機能

バンク 1 とバンク 2 のすべての GPIO は、標準の I/O として設定できます。更に、各 GPIO を専用の機能、または代替機能に設定できます。代替機能は、GPIO1\_ALT\_FUNC レジスタや GPIO2\_ALT\_FUNC レジスタのビットを設定することによりイネーブルできます。

表 1 に、バンク 1 の各 GPIO の代替機能を示します。表 2 に、バンク 2 の各 GPIO の代替機能を示します。代替機能は、与えられた GPIO の方向と出力値を自動的に設定します。

表 1. バンク 1 の GPIO の代替機能

| バンク 1 の GPIO | 代替機能                   | 説明  |
|--------------|------------------------|---|
| GPIO1_0      | IRQ0                   | IRQ0 入力。  |
| GPIO1_1      | SCL                    | I <sup>2</sup> C クロック・ライン (I <sup>2</sup> C ホスト・コントローラとして設定されている場合) |
| GPIO1_2      | SDA                    | I <sup>2</sup> C データ・ライン (I <sup>2</sup> C ホスト・コントローラとして設定されている場合)  |
| GPIO1_3      | PWM <sup>(1)</sup>     | PWM 出力。   |
|              | PDOOUT2 <sup>(2)</sup> | PDOOut ビット。詳細については、MAX22522 のユーザ・ガイドを参照してください。                      |
| GPIO1_4      | PDIN2                  | PDIn ビット。詳細については、MAX22522 のユーザ・ガイドを参照してください。                        |
| GPIO1_5      | PDIN1                  | PDIn ビット。詳細については、MAX22522 のユーザ・ガイドを参照してください。                        |
| GPIO1_6      | PDOOUT1                | PDOOut ビット。詳細については、MAX22522 のユーザ・ガイドを参照してください。                      |

(#) この数字は、複数の代替機能が同時にイネーブルされた場合に、ビットに指定される優先レベルです。例えば、レジスタで (1) と (2) の機能が両方イネーブルされた場合、このピンは (1) の機能としてのみ動作します。

表 2. バンク 2 の GPIO の代替機能

| バンク 1 の GPIO | 代替機能                | 説明  |
|--------------|---------------------|---|
| GPIO2_0      | IRQ1 <sup>(1)</sup> | IRQ1 入力。  |
|              | MCLK <sup>(2)</sup> | MCLK クロック出力。  |
|              | CS1                 | チップ・セレクト出力 1 (SPI ホスト・コントローラ機能に設定されている場合)。詳細については、MAX22522 のユーザ・ガイドを参照してください。 |
| GPIO2_1      | CS0                 | チップ・セレクト出力 0 (SPI ホスト・コントローラ機能に設定されている場合)。詳細については、MAX22522 のユーザ・ガイドを参照してください。 |
| GPIO2_2      | SCLK                | SPI クロック出力 (SPI ホスト・コントローラ機能に設定されている場合)。詳細については、MAX22522 のユーザ・ガイドを参照してください。   |
| GPIO2_3      | MISO                | シリアル・データ出力 (SPI ホスト・コントローラ機能に設定されている場合)。詳細については、MAX22522 のユーザ・ガイドを参照してください。   |
| GPIO2_4      | MOSI                | シリアル・データ入力 (SPI ホスト・コントローラ機能に設定されている場合)。詳細については、MAX22522 のユーザ・ガイドを参照してください。   |

(#) この数字は、複数の代替機能が同時にイネーブルされた場合に、ビットに指定される優先レベルです。例えば、レジスタで (1) と (2) の機能が両方イネーブルされた場合、このピンは (1) の機能としてのみ動作します。

複数の機能が選択された場合、MAX22522 は表中で各 GPIO の 1 番目に記載された機能をイネーブルします。例えば、GPIO1\_3 において PWM と PDOOUT2 の両方がイネーブルされた場合、同ピンは PWM 出力として動作します。

代替機能のいくつかは、他の構成や他のレジスタ設定値に応じて変わります。例えば、GPIO2\_0 の MCLK 機能は、クロック制御レジスタを使用してイネーブルや設定が行われます。また、この機能が動作するときは、この GPIO の他の機能はすべてディスエーブルされます。詳細については、MAX22522 のユーザ・ガイド、およびレジスタ表を参照してください。

## 高速コンパレータと DAC (CMP、DAC)

MAX22522 には、5V の耐圧を備えたレール・ツー・レールの高速コンパレータ (CMP) と A/D コンバータ (DAC) が内蔵されています。コンパレータと DAC のイネーブルおよび設定は、CMP レジスタと DAC レジスタに書き込むことで行います。MAX22522 のユーザ・ガイド、およびレジスタ表を参照してください。CMP と DAC は  $V_{SA}$  電源から給電を受け、AGND を基準としています。

## A/D コンバータ (ADC)

MAX22522 には、13 ビット (12 ビット+符号ビット) の SAR ADC が内蔵されています。この ADC は、ADP ピンと ADN ピンの信号、および内部バッファを使用して GPIO1\_3~GPIO1\_6 I/O、内部リファレンス、または内部 PTAT サーマル・センサーのいずれかの信号を直接サンプリングできます (図 7 を参照)。

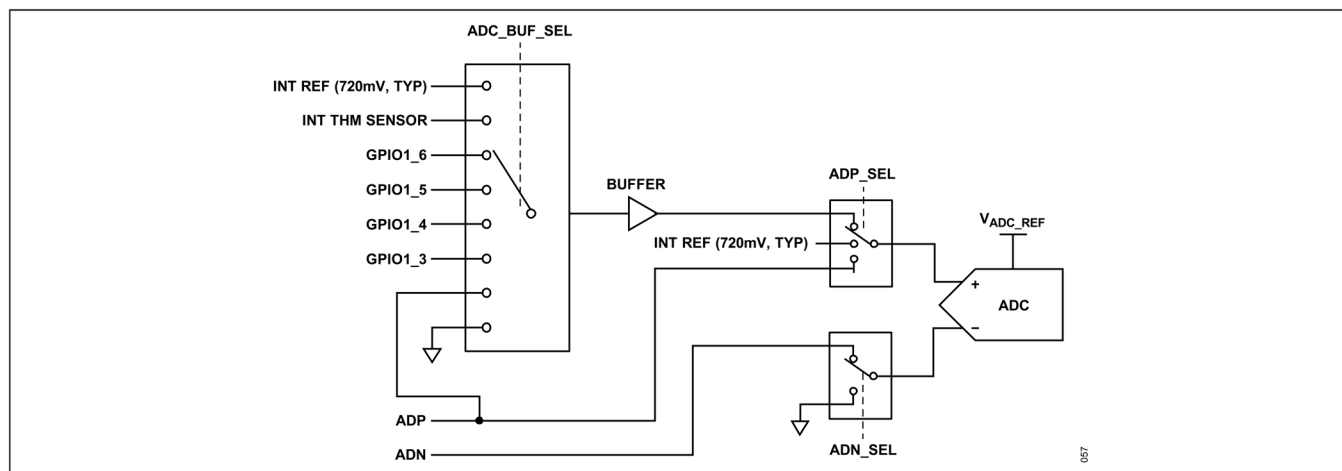


図 7. ADC の入力構造

ADC および ADC バッファ入力は  $V_{SA}$  電源から給電されます。ADC は内部 1.25V (代表値) の  $V_{ADC\_REF}$  電圧を基準としています。ADC 入力各ピンの電圧は、絶対最大定格を超えないようにしてください。ADP および ADN アナログ入力の範囲は 0V~1.8V (代表値) で、DGND を基準としています。これに対し、マルチプレクサの信号入力は 5V の耐圧を備えています。

## クロック制御

MAX22522 は、必要なクロック・リファレンスをすべて内部で生成できます。内部の 18MHz (代表値) 通常精度オシレータは、パワーアップおよびウォッチドッグ機能用に実装されています。内部 921.6kHz 高精度オシレータは、パワーアップ後の IO-Link 通信用に使用します。GPIO2\_0 を MCLK 入力に設定することで、外部クロックを接続できます。図 8 を参照してください。

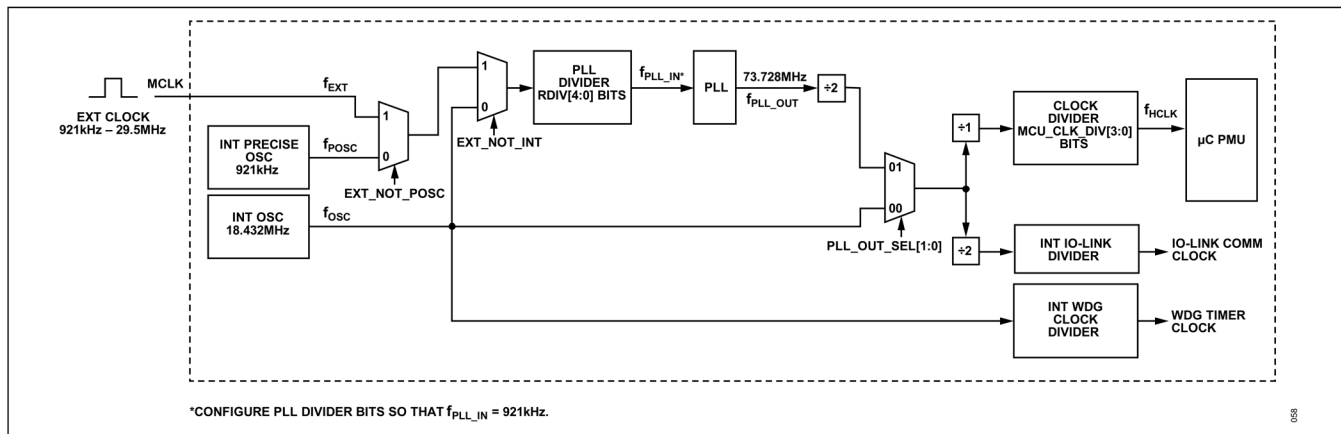


図 8. クロックの設定

クロック制御設定レジスタは、レジスタ表と MAX22522 のユーザ・ガイドを参照の上、初期化シーケンスの完了後アプリケーション・プログラムの一部としてできるだけ早く設定するようにしてください。

## タイマーとシステム・ウォッチドッグ

MAX22522 は、システム・ウォッチドッグ・カウンタ、標準の Cortex-M0 SysTick タイマー、および外部イベントのカウンタや PWM/TOGGLE 出力信号 (シングルサイクルまたは連続) の生成に使用するために追加された拡張タイマーを備えています。

### SysTick タイマー

MAX22522 は、ARM Cortex-M0 において標準の SysTick タイマーを備えています。このタイマーの詳細については、ARM 社のウェブサイトを参照してください。

## IO-Link データ・リンク層

MAX22522 は、IO-Link デバイス・データ・リンク層のフル機能のステート・マシンを内蔵しています。このステート・マシンは、IO-Link 規格バージョン 1.1.4 に記載されているように、サイクリックおよび非サイクリックのタイプのデータ転送を処理できます。

## SIO モード

起動後やハードウェアまたはソフトウェアによるリセット後には、トランシーバは SIO モードで動作するよう設定されています。SIO モードでは、C/Q ドライバは TX\_CTRL レジスタのビットで制御されます。C/Q は、ローサイド (NPN)、ハイサイド (PNP)、またはプッシュプル (PP) 動作に構成でき、電流制限値とスルー・レートを設定可能です。

## ウェイクアップと通信の確立

トランシーバは、IO-Link の通信確立シーケンスを備えており、有効なウェイクアップ・パルスを検出すると自動的に IO-Link 通信シーケンスを処理します。

## プロセス・データ転送

### プロセス・データ出力 (PDOOut)

MAX22522 は、プロセス・データ出力 (PDOOut) バッファ・アーキテクチャを備えており、最大 32 バイトの IO-Link PDOOut データをバッファすることで信頼性の高いデータ転送を実現します。内蔵の IO-Link ステート・マシンは、IO-Link マスタからのプロセス・データ出力に対応し、タスクを自動的に実行します。

### プロセス・データ入力 (PDIn)

MAX22522 は最大 32 バイトの IO-Link プロセス・データ入力 (PDIn) データに対応した PDIn バッファを備えています。内蔵の IO-Link ステート・マシンは、PDIn バッファから IO-Link マスタへのプロセス・データ入力に関するリアルタイム・タスクのすべてを処理します。

### ISDU の伝送

内蔵のステート・マシンは、入力 (すなわち IO-Link デバイスから IO-Link マスタへ) と出力 (すなわち IO-Link マスタからデバイスへ) の両方向の ISDU データ転送を行うリアルタイム・タスクを処理できます。MAX22522 は入力と出力の両方向に用いる 256 バイトの ISDU バッファを内蔵しています。

### LED1、LED2 : ステータスと診断情報表示

MAX22522 は、LED を制御する 2 つのオープン・ドレイン出力 (LED1 と LED2) を内蔵しています。これらのピンは、実行中の SDCI 通信のインジケータとして使用でき、LED1CTRLSB、LED1CTRLSB、LED2CTRMSB、LED2CTRLSB の各レジスタのビットの設定で制御されます。

## アプリケーション情報

### 消費電力と熱に関する考慮事項

総消費電力は、デバイス内で生じる自己消費電力、C/Q ドライバの消費電力、および内部リニア・レギュレータ (V<sub>5</sub>、V<sub>33</sub>、V<sub>18</sub>) によって生じる電力に依存します。他のペリフェラルが大きな負荷を駆動していない場合、これらの消費電力は通常無視できます。

デバイスの総消費電力は、次式を用いて計算します。

$$P_{TOTAL} = P_{CQ} + P_{V24} + P_{PU} + P_{PD}$$

ここで、P<sub>CQ</sub> は C/Q ドライバの消費電力、P<sub>V24</sub> はデバイスによる自己消費電力、P<sub>PU</sub> と P<sub>PD</sub> はそれぞれ C/Q のプルアップ/プルダウン電流ソース/シンクで消費される電力です。

総消費電力は、**絶対最大定格**のセクションに記載された制限を超えないようにしてください。

内部レギュレータを使用する場合 (V<sub>SLIN</sub> = P<sub>V24</sub> および V<sub>18LIN</sub> = V<sub>33</sub>)、C/Q ドライバによる消費電力は次式を用いて計算します。

$$P_{CQ} = [I_{CQ}(\max)]^2 \times R_{ON}$$

ここで R<sub>ON</sub> はドライバのオン抵抗です。

デバイスの自己消費電力は、次式を用いて計算します。

$$P_{V24} = I_{24}(\max) \times V_{24}(\max)$$

2mA の電流シンク/ソースがイネーブルされている場合、これらによる消費電力は以下のようになります。

$$P_{PD} = I_{PD}(\max) \times V_{CQ}(\max)$$

$$P_{PU} = I_{PU}(\max) \times [V_{24} - V_{CQ}](\max)$$

電力のほとんどはリニア・レギュレータで消費されることに注意してください。リニア・レギュレータの消費電力は、以下のよう計算します。

P<sub>V24</sub> を使用して V<sub>5</sub> リニア・レギュレータに電力を供給する場合、5V リニア・レギュレータ (V<sub>5</sub>) の消費電力は、次式を用いて計算します。

$$P_{V5} = (V_{24} - V_5) \times I_{V5\_LOAD}$$

ここで、I<sub>V5\_LOAD</sub> には V<sub>33</sub> から供給される I<sub>V33\_LOAD</sub> 電流が含まれます。

外部ソースを使用して V<sub>5</sub> に電源を供給する場合 (V<sub>SLIN</sub> = V<sub>5</sub> = 外部 5V)、V<sub>5</sub> レギュレータの消費電力は、P<sub>V5</sub> = V<sub>5</sub> × I<sub>V5\_LOAD</sub> の式で計算できます。

3.3V リニア・レギュレータ (V<sub>33</sub>) の消費電力は、次式を用いて計算します。

$$P_{V33} = 1.7V \times I_{V33\_LOAD}$$

ここで、I<sub>V33\_LOAD</sub> には V<sub>18</sub> から供給される I<sub>V18\_LOAD</sub> 電流が含まれます。

V<sub>18LIN</sub> = V<sub>33</sub> の場合、1.8V リニア・レギュレータ (V<sub>18</sub>) の消費電力は、次式を用いて計算します。

$$P_{V18} = 1.5V \times I_{V18\_LOAD}$$

代わりに、外部ソースを使用して V<sub>18</sub> に電源を供給する場合 (V<sub>18LIN</sub> = V<sub>18</sub> = 外部 1.8V)、V<sub>18</sub> レギュレータの消費電力は、P<sub>V18</sub> = V<sub>18</sub> × I<sub>V18\_LOAD</sub> の式で計算できます。

## EMC 保護

MAX22522 は、V<sub>24</sub>、C/Q、および IOLGND の各ピンにおける 1.2μs/50μs のサージに対する ±1.2kV/500Ω のサージ保護機能を内蔵しています。

より高いレベルのサージ保護および ESD 保護に対応するには、外付け TVS ダイオードが必要です。外付けの TVS ダイオードを使用する場合、TVS ダイオードのピーク・クランピング電圧が絶対最大電圧定格以内になるようにします。

## レイアウトとグラウンディング

すべての機能が最小限の干渉で動作するためには、MAX22522 のレイアウトが重要です。

MAX22522 には、グラウンド (GND)、アナログ・グラウンド (AGND)、デジタル・グラウンド (DGND)、高精度オシレータのリターン/グラウンド (OGND)、IO-Link グラウンド (IOLGND) の 5 個のグラウンド・ピンがあります。最大限の性能を得るには、スター・グラウンドのレイアウトを使用してください。

V<sub>24</sub>、C/Q、および IOLGND の各ピンは、IO-Link コネクタに直接接続します。EMC のために、IOLGND を他のグラウンドから分離し、すべての IO-Link およびフィールド側の電流が IOLGND に流れるようにしてください。バイパス・コンデンサや V<sub>24</sub> と C/Q に接続されるその他の部品はすべて、IOLGND と直接接続します。IOLGND は、GND グラウンド・レイヤと 1 点で接続します。

IC のすべての電源ピン (V<sub>5</sub>、V<sub>33</sub>、V<sub>18</sub>、V<sub>L1</sub>、V<sub>L2</sub>、PV<sub>24</sub>) は GND ピンにバイパスし、グラウンド・プレーンに直接接続します。バイパス・コンデンサは、できる限り IC の近くに配置します。

V<sub>5A</sub> 電源、可変抵抗、コンパレータはすべてアナログ・グラウンド (AGND) を基準としています。V<sub>5A</sub> はできるだけデバイスの近くで AGND にバイパスします。

ADC と内部デジタル回路はデジタル・グラウンド (DGND) を基準としています。バンク 1 およびバンク 2 の GPIO は GND を基準としています。

OGND リターンは、できる限り OGND バンプの近くで直接 GND グラウンド・プレーンに接続します。

最高のアナログ・フロントエンド性能を得るために、AGND および DGND アイランドは 1 点で GND グラウンド・プレーンのみに接続してください。通常は、IOLGND を GND に接続した位置と同じ 1 点になります。

## 型番

| PART NUMBER   | TEMP RANGE      | PIN-PACKAGE | PITCH (mm) |
|---------------|-----------------|-------------|------------|
| MAX22522AWU+  | -40°C to +125°C | 60 WLP      | 0.4        |
| MAX22522AWU+T | -40°C to +125°C | 60 WLP      | 0.4        |

+は鉛 (Pb) フリー/RoHS 準拠パッケージを表します。

T はテープのリール巻きを示します。

## チップ情報

プロセス : BiCMOS

## 改訂履歴

| 版数 | 改訂日   | 説明   | 改訂ページ |
|----|-------|------|-------|
| 0  | 11/25 | 初版発行 | -     |

## 注記

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2026年3月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2026年3月17日

製品名： MAX22522

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： 30頁、「表 2. バンク 2 の GPIO の代替機能」の第一列の表題

【誤】

「バンク 1 の GPIO」

【正】

「バンク 2 の GPIO」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2026年3月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2026年3月17日

製品名： **MAX22522**

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： 30頁、高速コンパレータと DAC (CMP、DAC) の項、最初の文

**【誤】**

「MAX22522 には、5V の耐圧を備えたレール・ツー・レールの高速コンパレータ (CMP) と A/D コンバータ (DAC) が内蔵されています。」

**【正】**

「MAX22522 には、5V の耐圧を備えたレール・ツー・レールの高速コンパレータ (CMP) と D/A コンバータ (DAC) が内蔵されています。」