

MAX22516

トランシーバーおよび内蔵 DC/DC レギュレータを
備えた IO-Link データ・リンク・コントローラ

概要

MAX22516 IO-Link データ・リンク・コントローラには、24V C/Q トランシーバー、補助デジタル入出力、内蔵リニア・レギュレータ（DC/DC、5V、3.3V）、フル機能の IO-Link データ・リンク・コントローラが統合されています。

設定された状態では、MAX22516 データ・リンク・コントローラが IO-Link トランシーバーを動作させ、通常動作中は外部のマイクロコントローラからの介入を必要としません。また、IO-Link トランシーバーは、UART インターフェース (TXEN、TX、RX) による直接制御や、シリアル・ペリフェラル・インターフェース (SPI) を介した制御も可能です。データ・リンク・コントローラには、IO-Link 通信用の送受信バッファが組み込まれています。最大サイズのプロセス・データ、ISDU イベント、ページ・データ用のバッファを備えているため、時間の制約があるマイクロコントローラの介入の必要がなく、マイクロコントローラはアプリケーション・レイヤのタスクに集中できます。

MAX22516 は豊富な組み込み保護機能を備えており、過酷な産業環境でロバストな通信が確保されます。IO-Link インターフェースの端子 (V₂₄、C/Q、DO、DI、GND) は全て、逆電圧保護、短絡保護、組み込みの±1kV/500Ω サージ保護の機能を備えています。

MAX22516は小型のWLPパッケージ(3.53mm×3.16mm)または40ピンTQFN-EPパッケージ(5mm×5mm)で提供され、-40°C~+125°Cの周囲温度範囲で動作します。

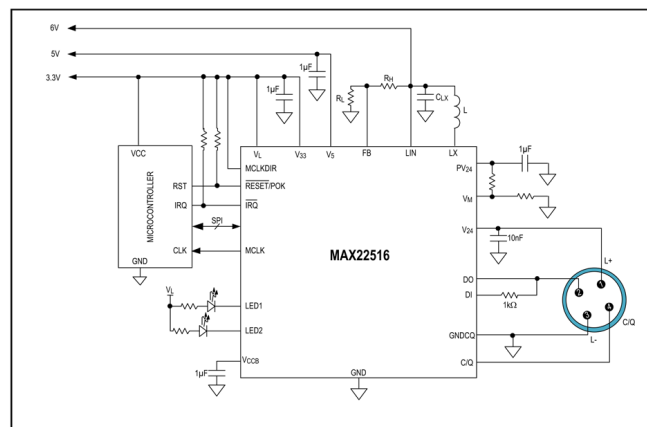
主なアプリケーション

- IO-Link のセンサーおよびアクチュエータ・デバイス
- 工業用センサー

利点および特長

- IO-Link 通信を容易に改善可能
 - COM3 : 400 μ s (最小値) のサイクル時間をサポート
 - データ・リンク・コントローラが自律的に全てのマスタメッセージの要求に応答
 - 確定的なデバイス応答遅延
- 高集積化ソリューション
 - 以下を含むフル機能のデータ・リンク・レイヤ
 - メッセージ・ハンドラ
 - ISDU ハンドラ
 - ページ・ハンドラ
 - イベント・ハンドラ
 - モード・ハンドラ
 - スタートアップ・ハンドラ
 - バースト・モード動作が可能な 15MHz SPI
 - 高効率 200mA DC/DC (出力調整可)
 - 3.3V と 5V の高精度リニア・レギュレータ
- 柔軟なアプリケーション
 - トランスペアレントなモード・オプション (TX, RX, TXEN)
 - LED ドライバ (シーケンスのプログラムが可能)
 - COM1、COM2、COM3 のデータレート
- ロバストで信頼性が高いデザイン
 - $\pm 1\text{kV}/500\Omega$ のサージ保護機能内蔵
- 小型センサー設計に合わせて最適化
 - 小型の WLP (3.53mm \times 3.16mm) および 40 ピン TQFN-EP (5mm \times 5mm) パッケージを採用

簡略アプリケーション回路図



型番はデータシート末尾に記載されています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

©2024 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。

19-101758: Rev 2: 3/24

本社／〒105-7323
大阪営業所／〒532-0003
名古屋営業所／〒451-6038

東京都港区東新橋 1-9-1 東京汐留ビルディング 23F
大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
愛知県名古屋市中区西牛島町 6-1 名古屋ルーセントタワー 38F

絶対最大定格

特に指定のない限り、全ての電圧は GND 基準です。

電源

V ₂₄ (連続)	−36V ~ +36V
V ₂₄ (ピーク、100μs)	−52V ~ +65V
PV ₂₄ (連続)	−0.3V ~ +36V
PV ₂₄ (ピーク、100μs)	MAX(−0.3V、V ₂₄ − 52V) ~ MIN(+52V、V ₂₄ + 52V)
V ₅ 、V _L 、V _M 、FB、V _{CCB}	−0.3V ~ +6V
V ₃₃	−0.3V ~ (V ₅ + 0.3V)
LX	−0.3V ~ (PV ₂₄ + 0.3V)
LIN (連続)	MAX(−0.3V、V ₅ − 0.3V) ~ +36V
LIN (ピーク、100μs)	MAX(−0.3V、V ₅ − 0.3V) ~ +52V
24V I/O	
C/Q、DO (連続)	MAX(−36V、V ₂₄ − 36V) ~ MIN(+36V、V ₂₄ + 36V)
C/Q、DO (ピーク、100μs)	MAX(−52V、V ₂₄ − 60V) ~ MIN(+52V、V ₂₄ + 60V)
CQGND	−0.3V ~ +0.3V
DI (連続)	−36V ~ +36V
DI (ピーク、100μs)	−52V ~ +52V
ロジック入力	
$\overline{\text{CS}}$ 、SCLK、SDI、TX、TXEN、LO、CRCEN、MCLKDIR	−0.3V ~ (V _L + 0.3V)

ロジック出力

SDO、RX、MCLK、LI	−0.3V ~ (V _L + 0.3V)
$\overline{\text{IRQ}}$ 、 $\overline{\text{WU}}$ /HEART、LED1、LED2、 $\overline{\text{CRCERR}}$ 、 $\overline{\text{WDG}}$ 、 $\overline{\text{RESET}}$ /POK	−0.3V ~ +6V
GPIO1、GPIO2	−0.3V ~ (V _L + 0.3V)

電流

V ₂₄ 、LX、GND、GNDCQ への連続電流	±1A
PV ₂₄ への連続電流	±200mA
PV ₂₄ へのピーク電流 (100μs)	±1A
C/Q への連続電流	±500mA
その他全てのピンへの連続電流	±50mA

連続消費電力

40 ピン TQFN-EP (T _A = +70°C、+70°C を超えると 28mW/°C で ディレーティング)	2857mW
42 バンプ WLP (T _A = +70°C、+70°C を超えると 27.5mW/°C で ディレーティング)	1510mW

温度

動作温度範囲	−40°C ~ +125°C
最大ジャンクション範囲	+150°C
保存温度範囲	−40°C ~ +150°C
はんだ付け温度 (リフロー)	
(TQFN のみ、はんだ処理 10 秒)	+300°C
バンプ・リフロー温度	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

40 TQFN-EP

Package Code	T4055+1C
Outline Number	21-0140
Land Pattern Number	90-0016
Thermal Resistance, Single Layer Board:	
Junction-to-Ambient (θ_{JA})	45°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	2°C/W
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ_{JA})	28°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	2°C/W

42 WLP

Package Code	W423H3+1
Outline Number	21-100631
Land Pattern Number	Refer to the Application Note 1891: Wafer-Level Packaging (WLP) and Its Applications
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ_{JA})	36.38°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maximintegrated.com/thermal-tutorial を参照してください。

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

電气的特性

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GND CQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DC CHARACTERISTICS							
POWER SUPPLY							
V ₂₄ Supply Voltage	V ₂₄			8		36	V
V ₂₄ Undervoltage Lockout Threshold	V _{24UVLO}	V ₂₄ rising		7	7.5	8	V
		V ₂₄ falling		6.3	6.9	7.5	
V ₂₄ Undervoltage Lockout Threshold Hysteresis	V _{24UVLO_HYST}			530			mV
V ₂₄ Supply Current	I ₂₄	No load on C/Q, DO, V ₅ powered externally, DC-DC disabled, MCLK disabled	C/Q, DO disabled, V ₃₃ enabled	0.01	0.05	0.10	mA
			C/Q, DO in push-pull, and is high or low	0.42	0.6	0.75	
		V ₅ powered externally, DC-DC enabled, MCLK enabled	C/Q, DO in push-pull and is high or low	0.60	0.75	0.95	
V ₅ Supply Voltage	V ₅	V ₅ supplied externally		4.85		5.5	V
V ₅ Undervoltage Lockout Threshold	V _{5UVLO}	V ₅ rising		3.15	3.27	3.40	V
		V ₅ falling		3.10	3.22	3.35	
V ₅ Supply Current	I ₅	V ₅ powered externally, DC-DC disabled, MCLK disabled, V ₃₃ enabled, no load on V ₃₃	C/Q, DO disabled	1.5	2.4	3.0	mA
			C/Q, DO in push-pull mode, no load on C/Q, DO	2.1	3	3.7	
		V ₅ powered externally, DC-DC enabled, MCLK enabled and set to 29.48MHz, C/Q in push-pull and is high or low		2.9	4	5	
V _L Logic Level Supply Voltage	V _L			2.5		5.5	V
V _L Undervoltage Threshold	V _{LUVLO}	V _L rising		1.35			V
		V _L falling		0.45			
V _L Logic Level Supply Current	I _L	All logic inputs at GND or V _L , no load on any logic outputs, MCLK disabled		10			μA
DC-DC SWITCHING REGULATOR							
Input Voltage Range	V _{24_DC}	V ₂₄ is the input to the DC-DC		7		36	V
DC-DC Turn-on Delay	t _{DC_ON}	Delay from V ₂₄ crossing V _{24UVLO} threshold until the DC-DC regulator finishes soft-start and RESET/POK rises		2.22			ms
Switching Frequency	f _{DC_H}	BuckSS = 0		1.140	1.229	1.330	MHz
	f _{DC_HSPRD}	BuckSS = 1		1.229			
Spread Spectrum	Δf _{DC_SPRD}	BuckSS = 1		-11.5		+13.5	%
Feedback (FB) Regulation Voltage	V _{DC_FB}			0.8865	0.9	0.9135	V

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GNDQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage Accuracy	ACC_{DCFB}		-1.5	0	+1.5	%
Feedback (FB) OK Threshold	V_{DC_FBOK}		92	95	98	% V_{DC_FB}
Feedback (FB) Low Threshold	$V_{DC_FBTHLOW}$		61	65	70	% V_{DC_FB}
LX On-Resistance (High Side)	R_{DC_HS}	From V_{24} to LX, LX is sinking current (Note 2)		2.2	3.9	Ω
LX On-Resistance (Low Side)	R_{DC_LS}	From LX to GND (Note 2)		1.3	2.8	Ω
Active Diode On-Resistance	R_{DC_ACT}	DC current (Note 2)		3.0	5.5	Ω
Maximum Peak Current into Active Diode	I_{DC_ACTMAX}		300			mA
Maximum LX Current Ripple	ΔI_{DC_LX}			100		%
High-Side Peak Current Limit	I_{DC_HSLIM}		+350	+390	+440	mA
Low-Side Current Limit	I_{DC_LSMAX}		-240	-190	-150	mA
DC-DC Autoretry Period	$t_{DCRETRY}$			22		ms
External Capacitance on PV_{24}	C_{DC_PV24}			1		μF
LX Leakage Current	I_{LX_LKG}	$0V < V_{LX} < 36V$	-1		+1	μA
FB Input Bias Current	I_{FB_LKG}	$0 \leq V_{FB} \leq 1V$, $T_A = 25^\circ C$	-100		+100	nA
FB Threshold for POK Assertion	V_{FBOK_F}	V_{FB} falling	89	92	95	% V_{FB}
		V_{FB} rising	92	95	98	
FB Undervoltage Trip Threshold	V_{FB_LOW}		61	64.5	70	% V_{FB}
LX Minimum On-Time	t_{LX_MINON}	(Note 2)		64	92	ns
LX Minimum Off-Time	t_{LX_MINOFF}	(Note 2)		32	60	ns
V_{CCB} LINEAR REGULATOR (V_{CCB})						
V_{CCB} Output Voltage	V_{CCB}	$8V \leq V_{PV24} \leq 36V$, $0mA \leq I_{LOAD} \leq 5mA$	4.85	5	5.15	V
V_{CCB} Current Limit	I_{CCB_MAX}	$V_{PV24} = 8V$	10			mA
5V LINEAR REGULATOR (V_5)						
V_5 Input Supply Voltage	V_{LIN}		6		36	V
V_5 Output Voltage	V_5	$6V \leq V_{LIN} \leq 36V$, no load on V_5	4.85	5	5.15	V
V_5 Load Regulation	ΔV_{5_LDR}	$V_{LIN} = 24V$, $1mA \leq I_{LOAD} \leq 50mA$		0.6	2.0	%
V_5 Line Regulation	ΔV_{5_LNR}	$6V \leq V_{LIN} \leq 36V$, $I_{LOAD} = 1mA$		0.05	0.2	mV/V
V_5 Load Capacitance	C_{V5}	External capacitance on V_5		1		μF
3.3V LINEAR REGULATOR (V_{33})						
V_{33} Output Voltage	V_{33}	No load	3.15	3.3	3.45	V
V_{33} Load Regulation	ΔV_{33_LR}	$1mA \leq I_{LOAD} \leq 100mA$ LIN and V_5 shorted	0	0.9	3	%
V_{33} Load Capacitance	C_{V33}	External capacitance on V_{33}		1		μF
C/Q, DO DRIVERS						

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GNDQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
C/Q, DO Driver High-Side On-Resistance	R _{CQOH}	High-side enabled, CQ_CL[1:0] or DO_CL[1:0] = 01, I _{LOAD} = +150mA (Note 2)			2.4	4.4	Ω
C/Q, DO Driver Low-Side On-Resistance	R _{CQLO}	Low-side enabled, CQ_CL[1:0] or DO_CL[1:0] = 01, I _{LOAD} = -150mA (Note 2)			2.0	4.0	Ω
C/Q, DO Driver Current Limit	I _{CL}	V _{DROP} = 3V (Note 3)	CQ_CL[1:0] or DO_CL[1:0] = 00	50	60	70	mA
			CQ_CL[1:0] or DO_CL[1:0] = 01	100	120	140	
			CQ_CL[1:0] or DO_CL[1:0] = 10	200	230	260	
			CQ_CL[1:0] or DO_CL[1:0] = 11	250	289	330	
C/Q Leakage Current	I _{LEAK_CQ}	V ₂₄ = 24V, (V ₂₄ - 36V) ≤ V _{C/Q, DO} ≤ 36V, Driver disabled, C/Q receiver disabled	C/Q driver	-32		+40	μA
DO Leakage Current	I _{LEAK_DO}	V ₂₄ = 24V, (V ₂₄ - 36V) ≤ V _{DO} ≤ 36V, Driver disabled	DO driver	-22		+4	μA
C/Q, DO Output Reverse Current	I _{REV_CQ}	Driver enabled and in push-pull, V _{C/Q, DO} = (V ₂₄ + 5V) or (V _{GND} - 5V)		-90		+375	μA
C/Q, DO Weak Pull-Down Current	I _{CQPD}	Driver disabled, V _{C/Q, DO} > 5V, CQ_PD = 1 or DO_PD = 1, CQ_PU = 0 or DO_PU = 0, CQPu2mA = 0 or DOPu2mA = 0		-220	-193	-160	μA
C/Q, DO Weak Pull-Up Current	I _{CQPU}	Driver disabled, V _{C/Q, DO} = (V ₂₄ - 5V), CQ_PD = 0 or DO_PD = 0, CQ_PU = 1 or DO_PD = 1, CQPu2mA = 0 or DOPu2mA = 0		+160	+200	+260	μA
C/Q, DO 2mA Pull-Down Current	I _{CQPD2}	Driver disabled, V _{C/Q, DO} > 5V, CQ_PD = 1 or DO_PD = 1, CQ_PU = 0 or DO_PU = 0, CQPu2mA = 1 or DOPu2mA = 1		-2.5	-2.2	-2.0	mA
C/Q, DO 2mA Pull-Up Current	I _{CQPU2}	Driver disabled, V _{C/Q, DO} = (V ₂₄ - 5V), CQ_PD = 0 or DO_PD = 0, CQ_PU = 1 or DO_PU = 1, CQPu2mA = 1 or DOPu2mA = 1		2.0	2.2	2.5	mA
C/Q, DI RECEIVERS							
Input Voltage Range	V _{RIN}	For valid RX /LI logic		V ₂₄ - 36V		36	V
Input Threshold High	V _{THR}	Receiver enabled	V ₂₄ ≥ 18V	11		12.5	V
			V ₂₄ < 18V	54		80	%V ₂₄
Input Threshold Low	V _{TLR}	Receiver enabled	V ₂₄ ≥ 18V	9		10.5	V
			V ₂₄ < 18V	45		68.1	%V ₂₄
Input Hysteresis	V _{HYSR}	Receiver enabled	V ₂₄ ≥ 18V	2			V
			V ₂₄ < 18V	11			%V ₂₄

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GNDQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、
代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
C/Q Input Threshold High (TTL Mode)	V_{TH_TTL}	C/Q driver disabled, $RXTTL = 1$	2.10		3.45	V
C/Q Input Threshold Low (TTL Mode)	V_{TL_TTL}	C/Q driver disabled, $RXTTL = 1$	1.1		1.8	V
Input Hysteresis (TTL Mode)	V_{HYSTTL}	Driver disabled, $RXTTL = 1$		1.38		V
C/Q Receiver Input Capacitance	C_{IN_CQ}	Driver disabled, $CQ_PD = 0$, $CQ_PU = 0$, $f = 100kHz$		35		pF
DI Receiver Input Capacitance	C_{IN_DI}			2		pF
VOLTAGE MONITOR INPUT						
V_M Voltage Range	V_M		0		5.5	V
V_M Threshold Voltage	V_{M_R}	Rising	0.87	0.9	0.93	V
	V_{M_F}	Falling	0.83	0.86	0.89	
V_M Threshold Hysteresis	V_{M_HYS}			0.04		V
V_M Input Current	I_M		-1		+1	μA
RESET/POWER OK (\overline{RESET}/POK)						
\overline{RESET}/POK Input Voltage Low	V_{RSTIL}		0.4			V
\overline{RESET}/POK Input Voltage High	V_{RSTIH}				1.3	V
\overline{RESET}/POK Output Voltage Low	V_{POKLOW}	$I_{LOAD} = -5mA$			+0.12	V
\overline{RESET}/POK High Impedance Leakage Current	I_{RST_OD}	\overline{RESET}/POK not asserted	-1		+1	μA
LOGIC INPUTS (\overline{CS}, $SCLK$, SDI, TX, $TXEN$, LO, $GPIO1$, $GPIO2$, $MCLK$, $MCLKDIR$, $CRGEN$)						
Logic Input Voltage Low Threshold	V_{IL}				$0.31 \times V_L$	V
Logic Input Voltage High Threshold	V_{IH}		$0.68 \times V_L$			V
Logic Input Leakage Current	I_{LEAK}	Logic input = GND or V_L	-1		+1	μA
$GPIO_Pull-Up$ Resistance	R_{GPIO_UP}		200	330	460	k Ω
$GPIO_Pull-Down$ Resistance	R_{GPIO_DN}		200	330	460	k Ω
LOGIC OUTPUTS ($\overline{WU}/HEART$, \overline{IRQ}, SDO, RX, LI, $MCLK$, $GPIO1$, $GPIO2$, $LED1$, $LED2$, \overline{CRCERR}, WDG)						
Logic Output Voltage Low	V_{OL}	$I_{LOAD} = -5mA$			0.4	V
Logic Output Voltage High	V_{OH}	SDO , RX , LI , $MCLK$, $GPIO1$, $GPIO2$	$I_{LOAD} = +5mA$	$V_L - 0.4$		V
Open-Drain High Impedance Leakage Current	I_{LK_OD}	\overline{IRQ} , $\overline{WU}/HEART$, \overline{CRCERR} , $LED1$ and $LED2$, not asserted	-1		+1	μA
SDO Leakage Current	I_{LK_SDO}	$\overline{CS} = high$	-1		+1	μA
RX Leakage Current	I_{LK_RX}	$RX = GND$ or V_L	-1		+1	μA

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GNDQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
INTERNAL THERMAL SENSOR							
Programmable Thermal Warning Threshold Range	T _{WRN_RNG}	Typical range		-15		+174	°C
Programmable Thermal Warning Threshold Step	T _{WRN_LSB}	1 LSB			3		°C
Thermal ADC Resolution	T _{WRN_RES}				6		bit
Thermal ADC Accuracy	ΔT _{PREC_25C}	T _J = 25°C (Note 2)		-8	0	+8	°C
	ΔT _{PREC_125C}	T _J = 125°C (Note 2)		-7	3	+12	
Thermal ADC Conversion Time	t _{ADC_CONV}				450		μs
THERMAL PROTECTION							
C/Q, DO Driver Shutdown Temperature	T _{SHUT_DRV}	Driver temperature rising, driver fault bit is set and driver is disabled			+165		°C
C/Q, DO Driver Shutdown Hysteresis	T _{SHUT_DHYS}	Driver temperature falling, driver is automatically re-enabled, TSHOFFEN = 0			9		°C
IC Thermal Warning Threshold	T _{WRN}	Die temperature rising, ThW and ThWInt bits are set			+135		°C
IC Thermal Warning Threshold Hysteresis	T _{WRN_HYS}	Die temperature falling, ThW bit is cleared			9		°C
IC Thermal Shutdown Threshold	T _{SHUT_IC}	Die temperature rising, ThShd bit set			+175		°C
IC Thermal Shutdown Hysteresis	T _{SHUT_ICHYS}	Die temperature falling, ThShd bit is cleared			26		°C
AC ELECTRICAL CHARACTERISTICS							
C/Q, DO DRIVERS							
C/Q, DO Driver Low-to-High Propagation Delay	t _{PDLH_PP}	CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00, Figure 1	Push-pull or PNP mode	0.32	0.61	0.90	μs
	t _{PDLH_OC}	CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00, Figure 1	NPN mode		1		
C/Q, DO Driver High-to-Low Propagation Delay	t _{PDHL_PP}	CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00, Figure 1	Push-pull or NPN mode	0.41	0.65	0.92	μs
	t _{PDHL_OC}	CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00, Figure 1	PNP mode		1		
C/Q, DO Driver Skew	t _{SKEW}	t _{PDLH} - t _{PDHL} , CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00		-0.2		+0.2	μs
C/Q, DO Driver Rise Time	t _{RISE}	Push-pull or PNP mode, V _{24(max)} = 30V, Figure 1	CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00	0.2	0.36	0.56	μs

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GNDQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		Push-pull or PNP mode, V _{24(max)} = 30V, Figure 1	CQ_SLEW[1:0] = 01 or DO_SLEW[1:0] = 01	0.38	0.69	1.04	
			CQ_SLEW[1:0] = 10 or DO_SLEW[1:0] = 10	0.80	1.63	2.65	
			CQ_SLEW[1:0] = 11 or DO_SLEW[1:0] = 11	2.2	6.3	11.5	
C/Q, DO Driver Fall Time	t _{FALL}	Push-pull or NPN mode, V _{24(max)} = 30V, Figure 1	CQ_SLEW[1:0] = 00 or DO_SLEW[1:0] = 00	0.18	0.32	0.50	μs
		Push-pull or NPN mode, V _{24(max)} = 30V, Figure 1	CQ_SLEW[1:0] = 01 or DO_SLEW[1:0] = 01	0.38	0.63	1.00	
			CQ_SLEW[1:0] = 10 or DO_SLEW[1:0] = 10	1	1.56	2.5	
			CQ_SLEW[1:0] = 11 or DO_SLEW[1:0] = 11	4	7.32	12	
C/Q, DO Driver Enable Time High	t _{ENH}	Push-pull or PNP mode, Figure 3		0.35	0.64	0.94	μs
C/Q, DO Driver Enable Time Low	t _{ENL}	Push-pull or NPN mode, Figure 2		0.27	0.43	0.67	μs
C/Q, DO Driver Disable Time High	t _{DISH}	Push-pull or PNP mode, Figure 3		1.2	1.8	2.4	μs
C/Q, DO Driver Disable Time Low	t _{DISL}	Push-pull or NPN mode, Figure 2		1.2	1.93	2.6	μs
C/Q, DI RECEIVERS							
C/Q Receiver Low-to-High Propagation Delay	t _{PRLH}	Figure 4	RXFilter = 1	0.83	1.28	1.8	μs
			RXFilter = 0	0.27	0.39	0.51	
C/Q Receiver High-to-Low Propagation Delay	t _{PRHL}	Figure 4	RXFilter = 1	0.75	1.16	1.7	μs
			RXFilter = 0	0.18	0.28	0.38	
DI Receiver Low-to-High Propagation Delay	t _{PRLH}	Figure 4	RXFilter = 1	0.97		2.30	μs
			RXFilter = 0	0.45		1.05	
DI Receiver High-to-Low Propagation Delay	t _{PRHL}	Figure 4	RXFilter = 1	0.85		2.05	μs
			RXFilter = 0	0.35		0.78	
WAKE-UP DETECTION (Figure 5)							
Wake-Up Input Minimum Pulse Width	t _{WUMIN}	C/Q load capacitance = 3nF		60	66	70	μs

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

(特に指定のない限り、 $V_{24} = 7V \sim 36V$ 、 $V_5 = 4.85V \sim 5.5V$ 、 $V_L = 2.5V \sim 5.5V$ 、 $V_{GNDQ} = V_{GND} = 0V$ 、全ロジック入力は V_L または GND 、代表値は $V_{24} = 24V$ 、 $V_5 = 5V$ 、 $V_L = 3.3V$ 、 $T_A = +25^\circ C$ における値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Wake-Up Input Maximum Pulse Width	t _{WUMAX}			85	95	110	μs
WU/HEART Output Low Time	t _{WUL}	Valid wake-up condition on C/Q, WU/HEART configured as Wake-up output		150	200	250	μs
MCLK CLOCK							
MCLK Output Frequency	f _{MCLK}	MCLKDIR = high	ClkDiv[2:0] = 000	3.55	3.684	3.81	MHz
			ClkDiv [2:0] = 001	7.10	7.37	7.62	
			ClkDiv [2:0] = 010	14.1	14.71	15.3	
			ClkDiv [2:0] = 011	28	29.4	31	
			ClkDiv [2:0] = 100	1.78	1.843	1.91	
SPI TIMING (CS, SCLK, SDI, SDO) (Figure 6)							
Maximum SCLK Frequency	f _{SPI_MAX}	With 50% duty cycle on SCLK		15			MHz
SCLK Clock Period	t _{CH+CL}			40			ns
SCLK Pulse Width High	t _{CH}			8			ns
SCLK Pulse Width Low	t _{CL}			32			ns
CS Fall to SCLK Rise Time	t _{CSS}			9			ns
SCLK Rise to CS Rise Hold Time	t _{CSH}			11			ns
SDI Hold Time	t _{DH}			6			ns
SDI Setup Time	t _{DS}			8			ns
SDO Output Data Propagation Delay	t _{DO}			20			ns
SDO Rise and Fall Times	t _{FT}			0.5 4			ns
Minimum CS Pulse	t _{CSW}			20			ns
EMC TOLERANCE							
ESD Protection (V ₂₄ , C/Q, DO, DI Pins to GND)		IEC 61000-4-2 contact discharge		±3			kV
ESD Protection (All Other Pins)		Human body model		±2			kV
Surge Protection (V ₂₄ , C/Q, DO, DI Pins)	V _{SRG}	500Ω 8/20μs surge to ground		±1.2			kV

Note 1: 全てのデバイスは、 $T_A = 25^\circ C$ で 100% 製品テストされています。動作温度範囲における制限値は、設計により確保されています。

Note 2: 製品テストの対象外です。設計により性能を確保しています。

Note 3: V_{DROP} は、ローサイド・ドライバの電流制限値を計測するときはドライバ出力の GND に対する電圧 ($V_{DRIVER} - V_{GND}$) で、ハイサイドの電流制限値を計測するときは ($V_{24} - V_{DRIVER}$) として測定します。

タイミング図

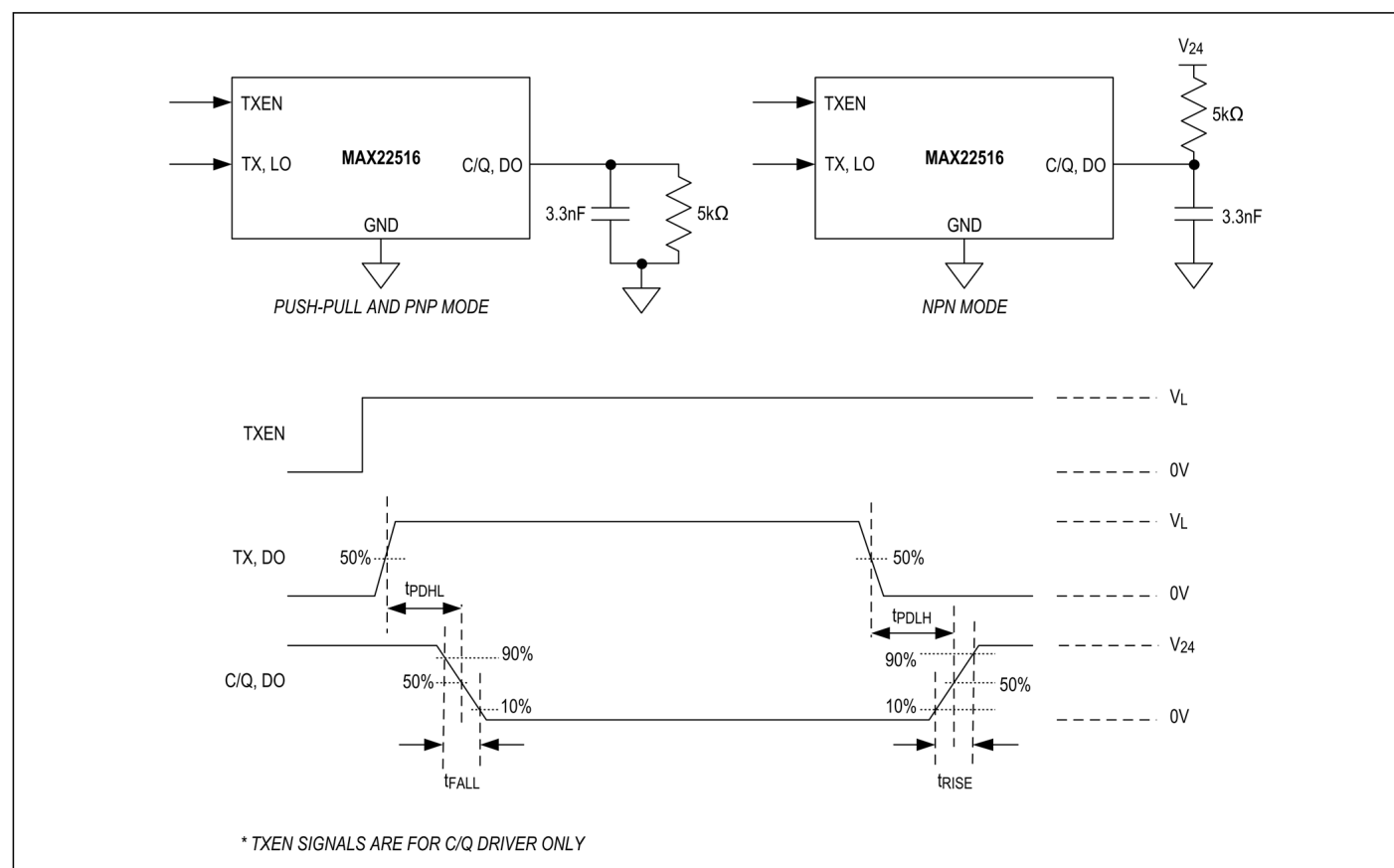


図 1. C/Q ドライバの伝搬遅延

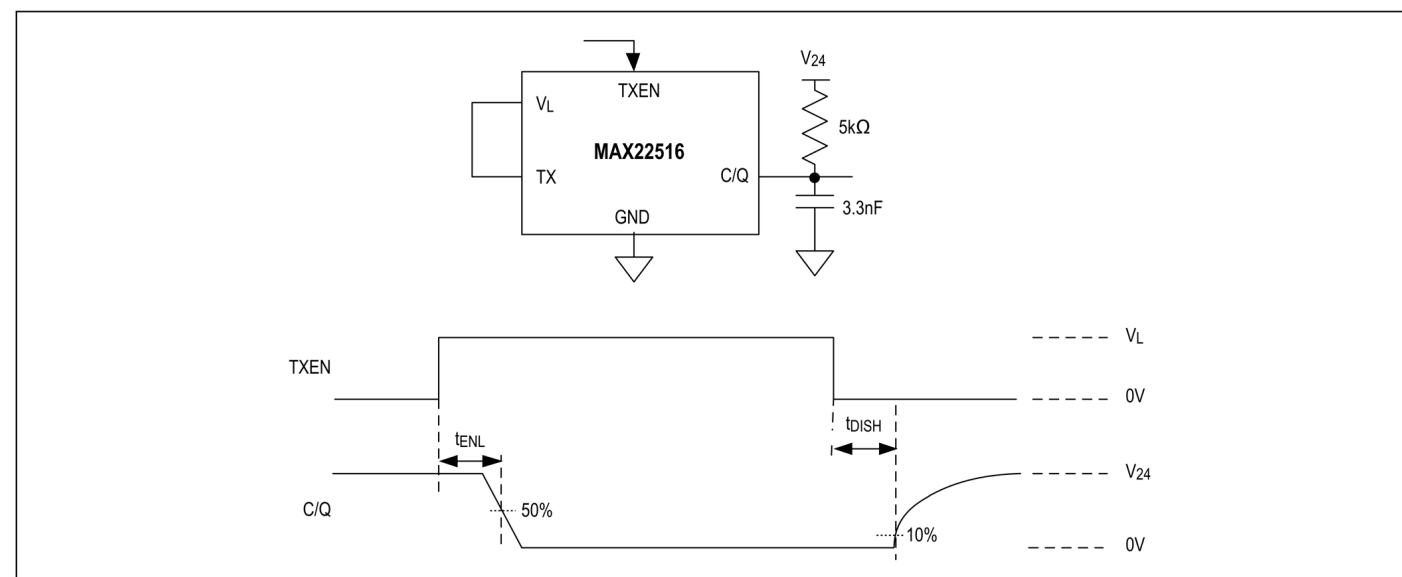


図 2. C/Q ドライバのイネーブル・ロー（ローになるとイネーブル）、ディスエーブル・ハイ（ハイになるとディスエーブル）のタイミング

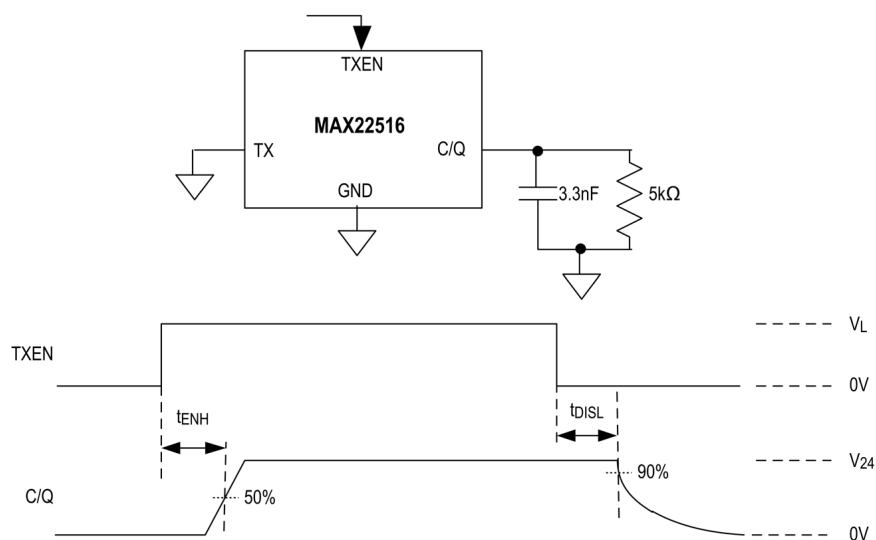
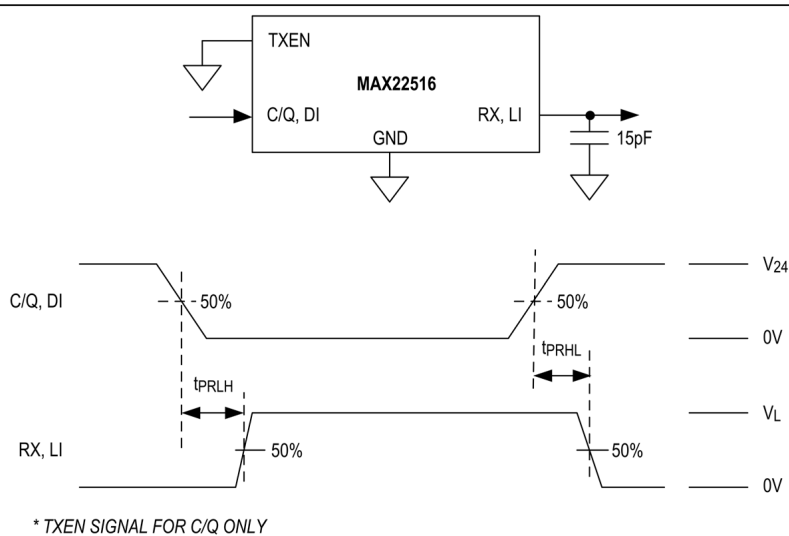


図 3. C/Q ドライバのイネーブル・ハイ、ディスエーブル・ローのタイミング



* TXEN SIGNAL FOR C/Q ONLY

図 4. C/Q レシーバのタイミング

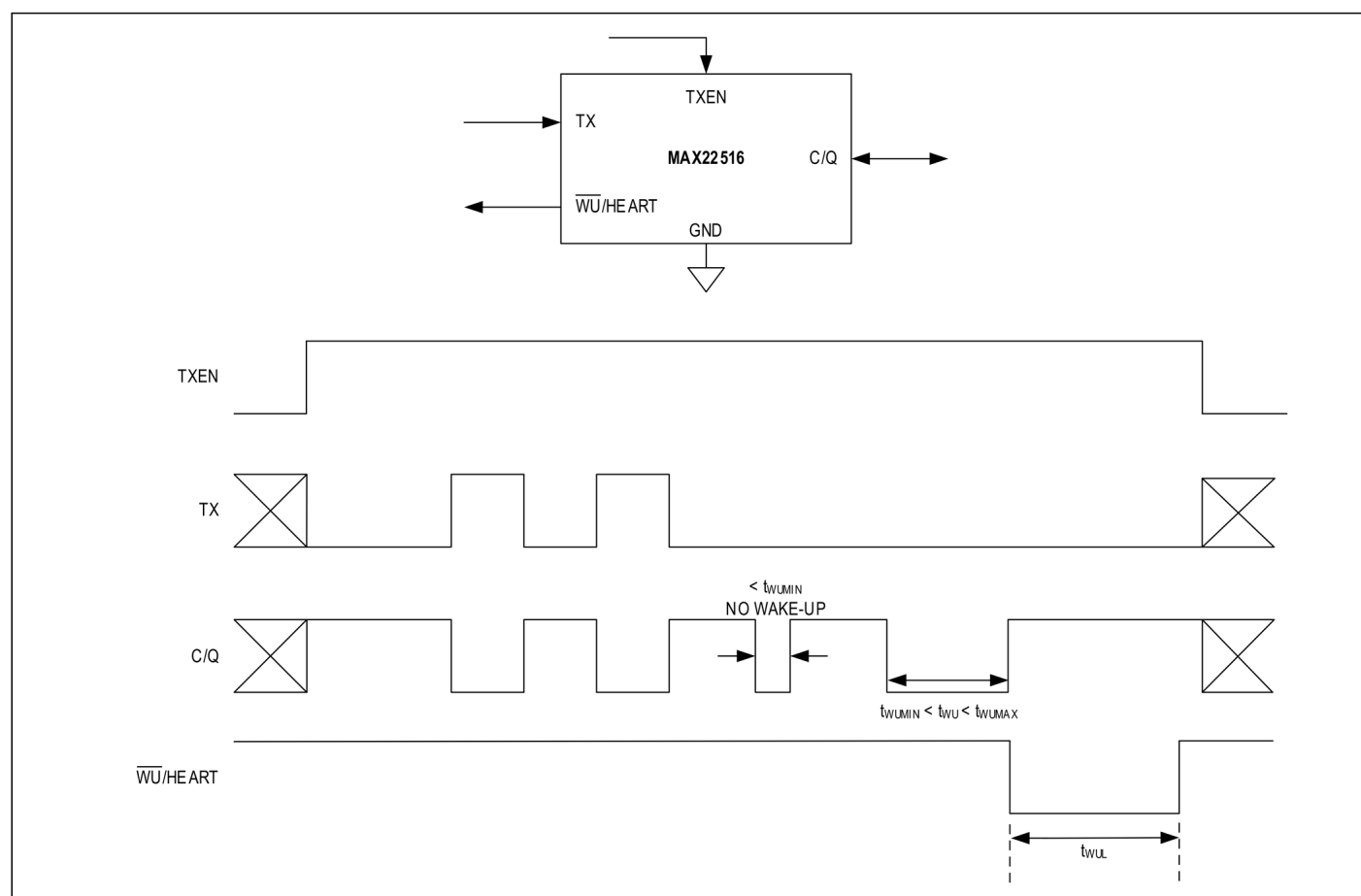


図 5. ウェイクアップ検出

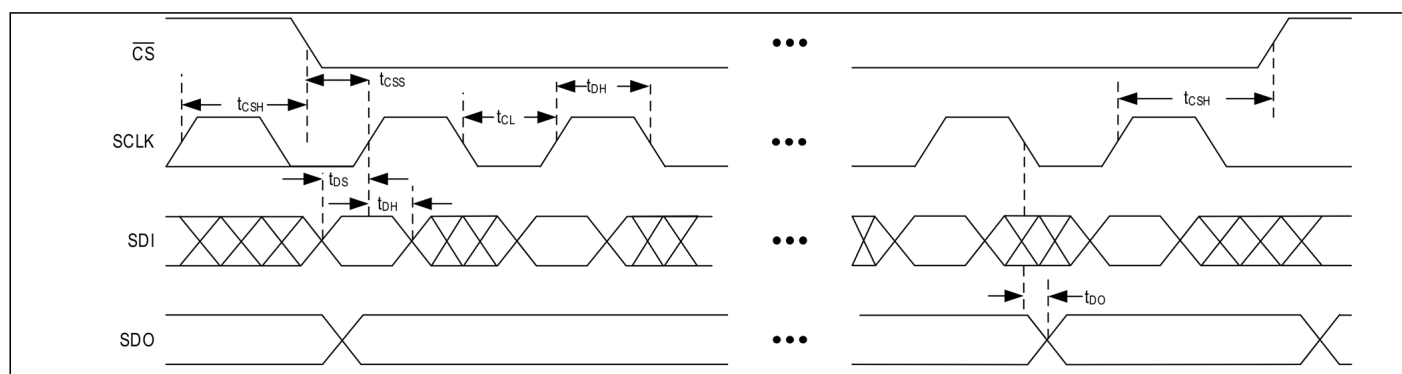


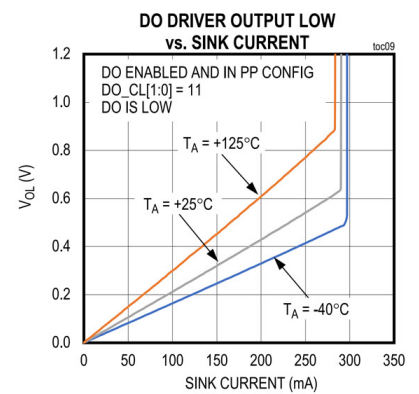
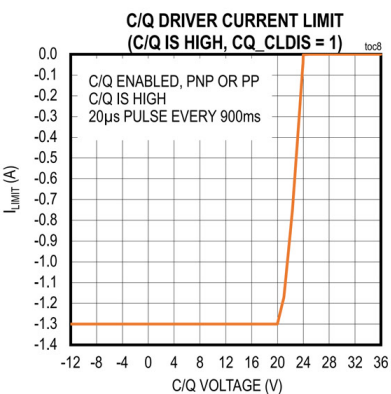
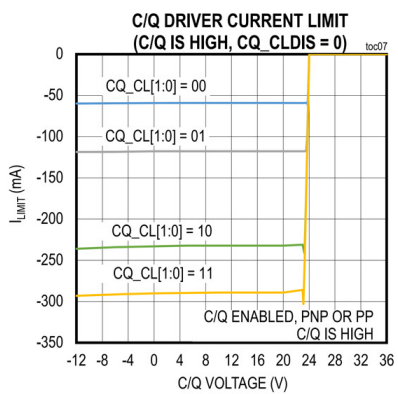
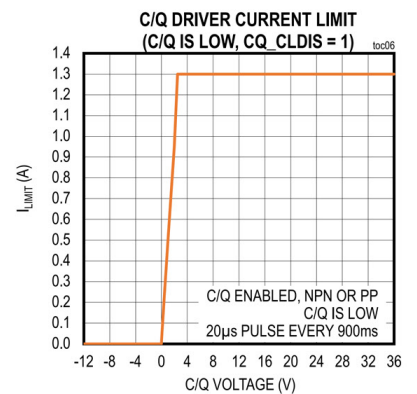
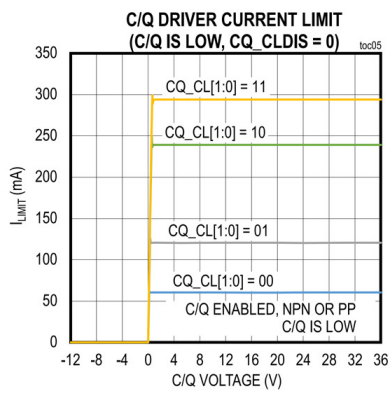
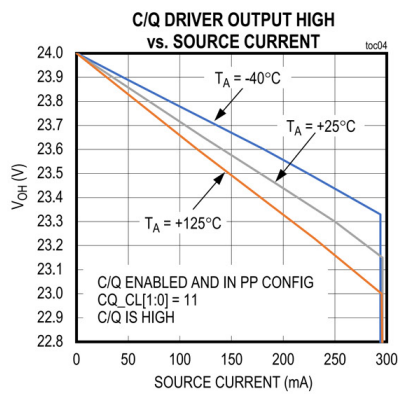
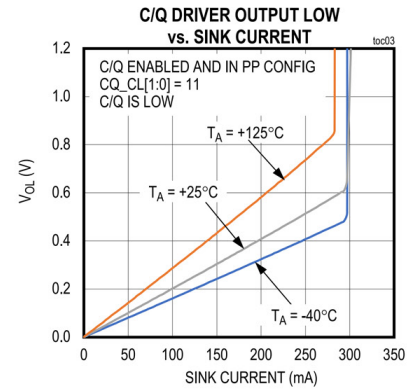
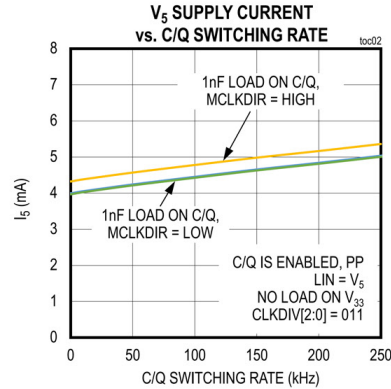
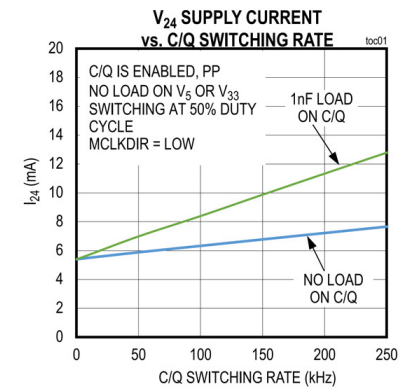
図 6. SPI タイミング図

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

標準動作特性

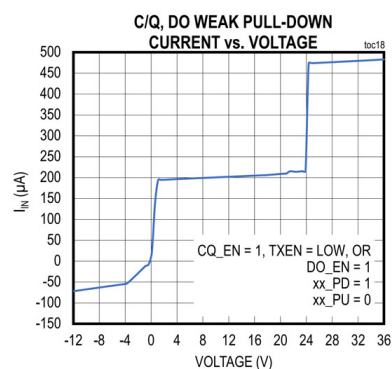
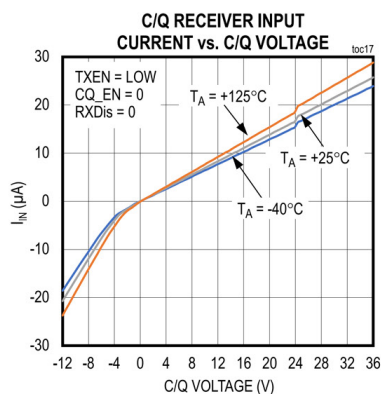
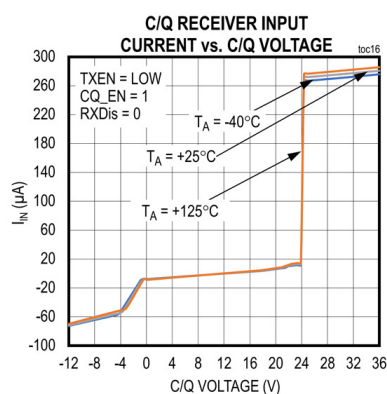
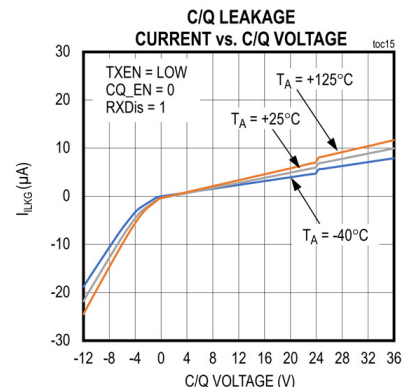
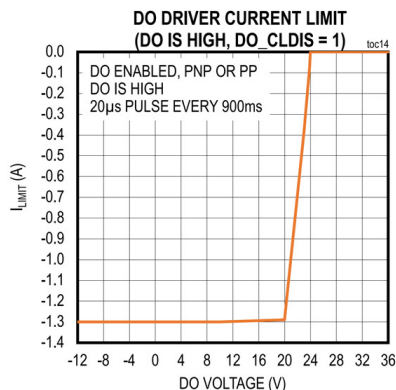
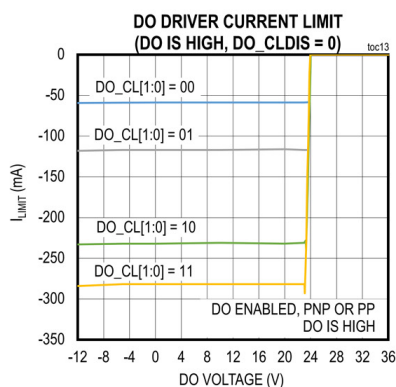
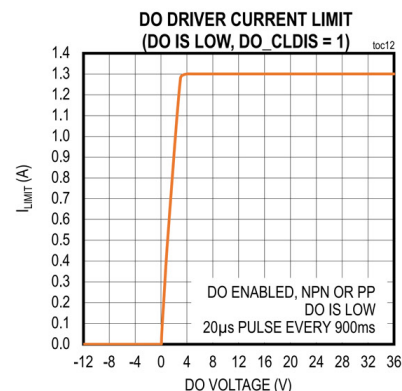
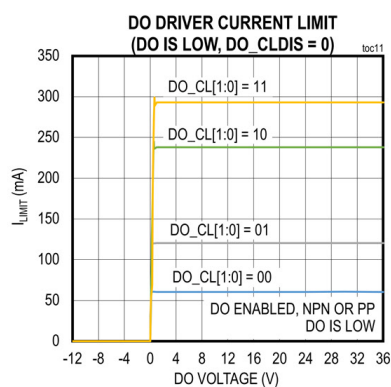
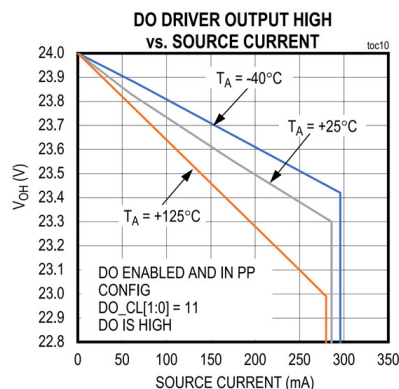
特に指定のない限り、 $V_{24} = 24V$ 、 $I_{IN} = DC/DC$ 出力 $= 6V$ 、 $V_L = V_{33}$ 、 $T_A = 25^\circ C$ 。



トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

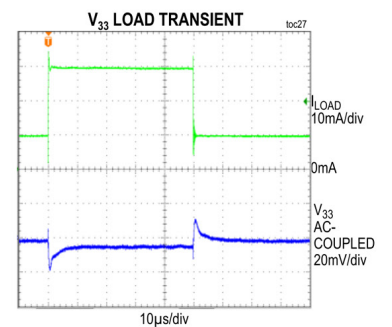
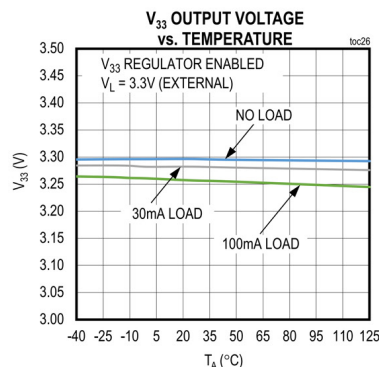
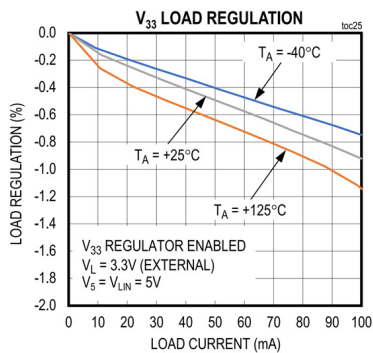
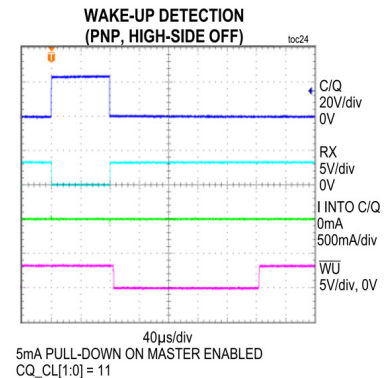
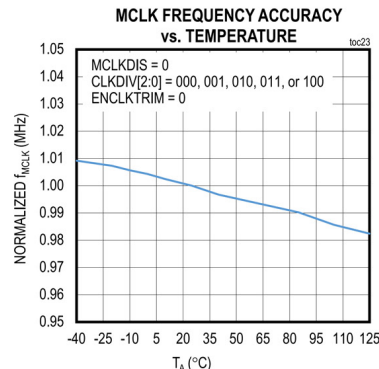
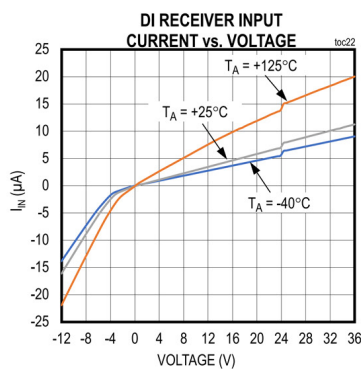
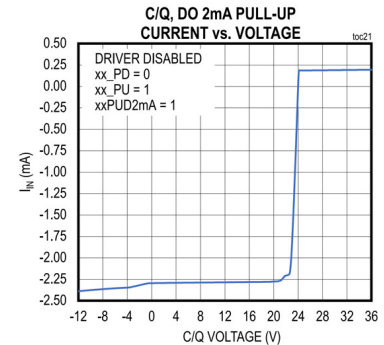
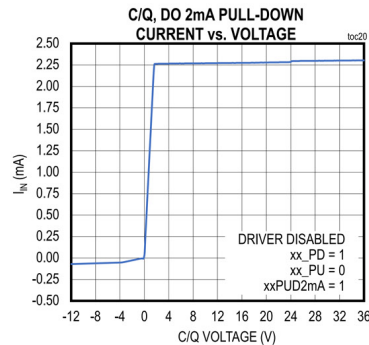
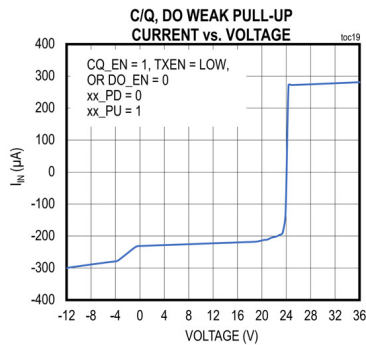
特に指定のない限り、 $V_{24} = 24V$ 、 $LIN = DC/DC$ 出力 = $6V$ 、 $V_L = V_{33}$ 、 $T_A = 25^\circ C$ 。



トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

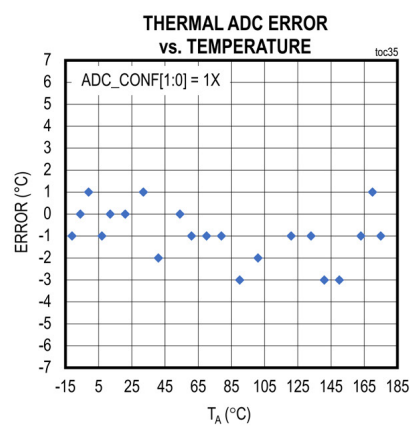
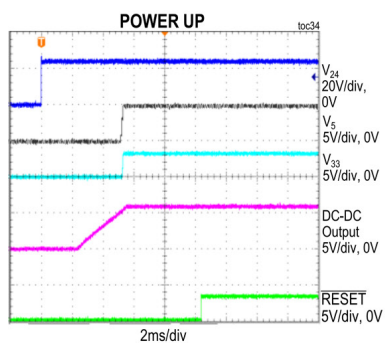
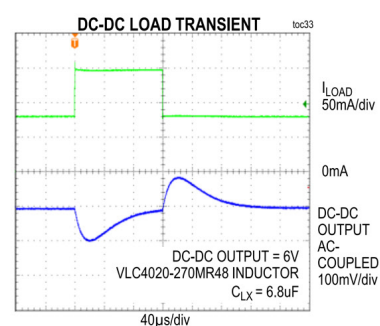
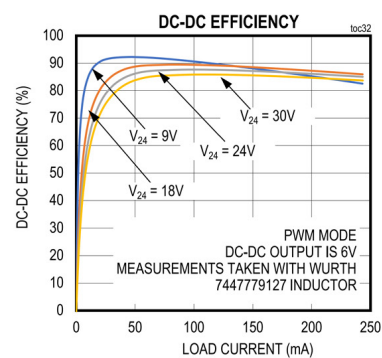
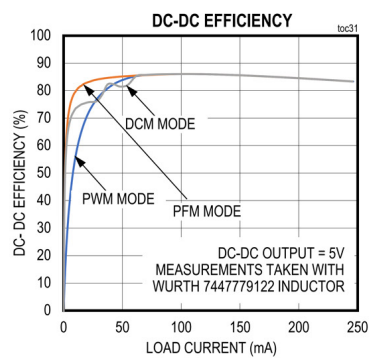
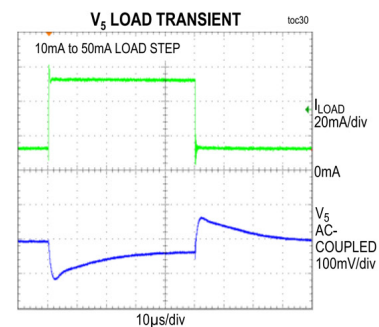
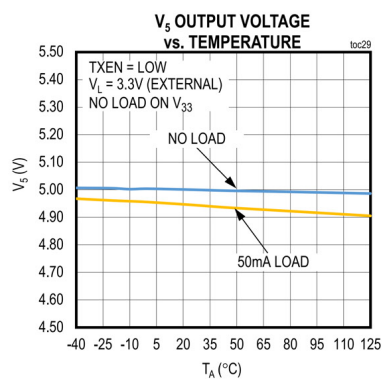
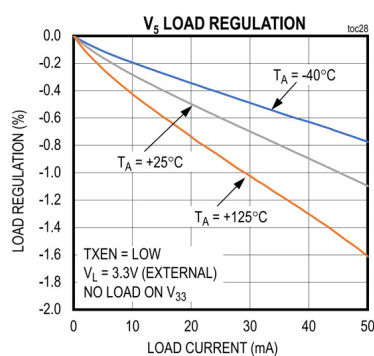
特に指定のない限り、 $V_{24} = 24V$ 、 $LIN = DC/DC$ 出力 = $6V$ 、 $V_L = V_{33}$ 、 $T_A = 25^\circ C$ 。



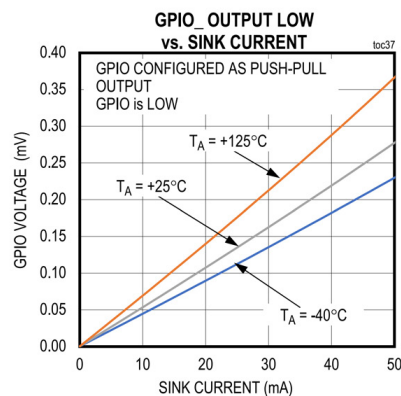
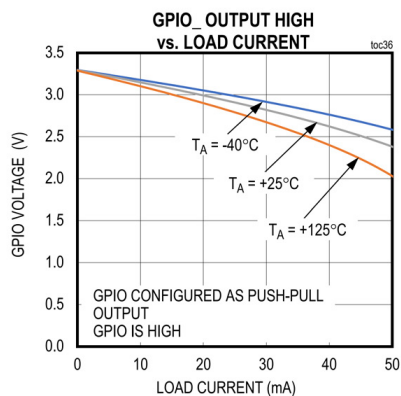
トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

特に指定のない限り、 $V_{24} = 24V$ 、 $V_{IN} = DC/DC$ 出力 = $6V$ 、 $V_L = V_{33}$ 、 $T_A = 25^\circ C$ 。



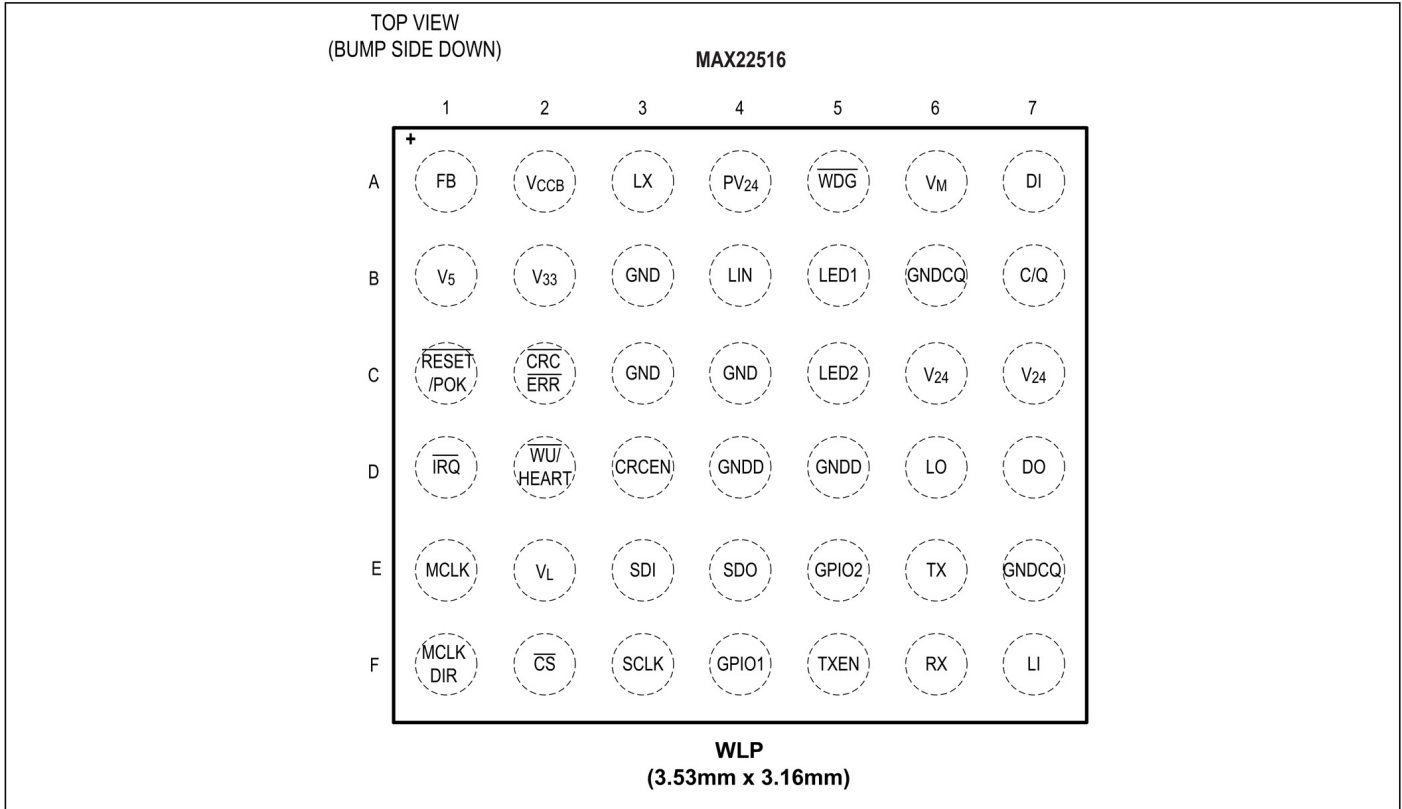
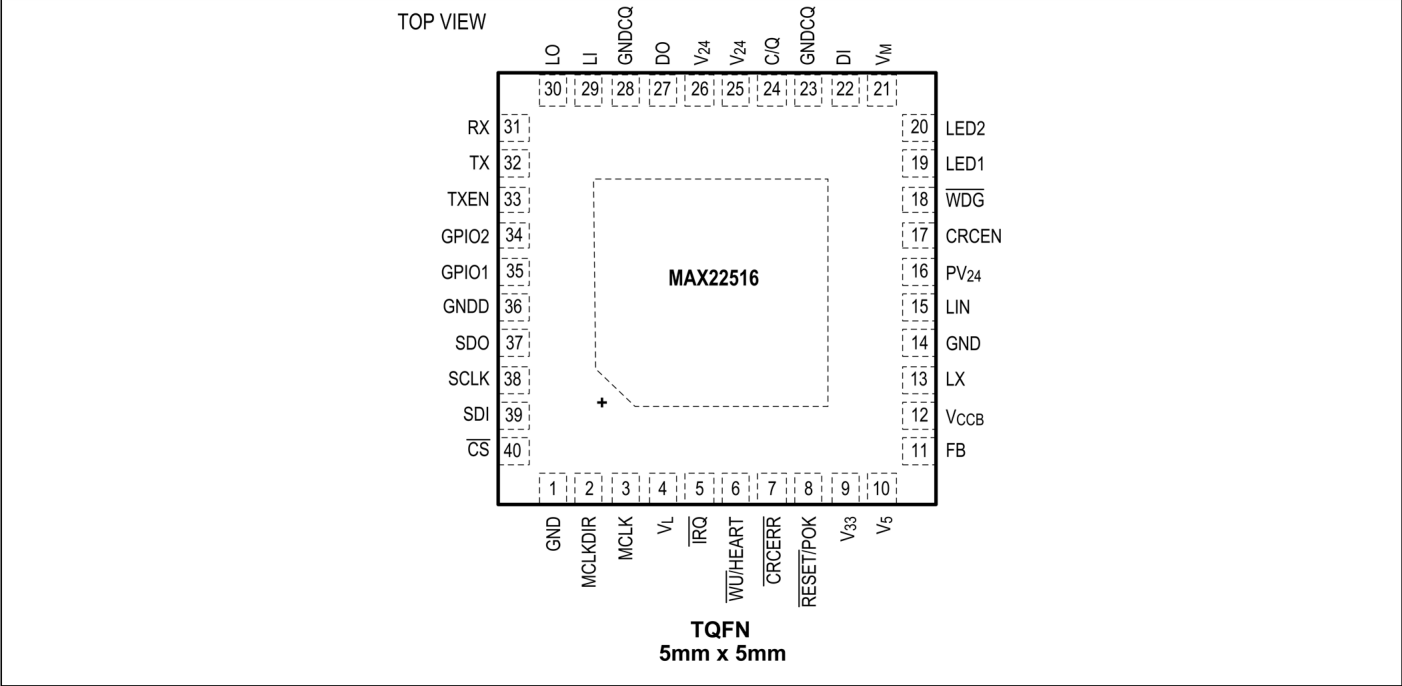
特に指定のない限り、 $V_{24} = 24V$ 、 $LIN = DC/DC$ 出力 = $6V$ 、 $V_L = V_{33}$ 、 $T_A = 25^\circ C$ 。



トランシーバーおよび内蔵 DC/DC レギュレータを
備えた IO-Link データ・リンク・コントローラ

MAX22516

ピン配置



トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

端子説明

ピン		名称	説明
TQFN	WLP		
電源			
12	A2	V _{CCB}	内蔵 5V 電源レギュレータの出力。1μF のコンデンサをできるだけデバイスの近くに配置して、V _{CCB} を GND にバイパスします。V _{CCB} は最大 5mA の外部負荷に電源を供給できます。
16	A4	PV ₂₄	アクティブ・ダイオードの出力、DC/DC の入力。外付けの 1μF コンデンサをできるだけデバイスの近くに配置して、PV ₂₄ をバイパスします。
15	B4	LIN	5V リニア・レギュレータ入力。DC/DC 回路の出力、PV ₂₄ 電源、6V～36V の外部電源のいずれかに LIN を接続します。LIN は 1μF のコンデンサで GND にバイパスします。LIN を V ₅ に接続すると、5V リニア・レギュレータがディスエーブルされます。
10	B1	V ₅	5V リニア・レギュレータ出力／電源入力。V ₅ は内蔵 5V リニア・レギュレータの出力です。1μF のコンデンサをできるだけデバイスの近くに配置して、V ₅ を GND にバイパスします。5V リニア・レギュレータをディスエーブルするには、LIN を V ₅ に接続します。 通常動作のためには、V ₅ に 5V の供給が必要です。5V レギュレータをディスエーブルする場合は、外部 5V 電源を V ₅ に供給します。
25, 26	C6, C7	V ₂₄	電源電圧入力。全ての V ₂₄ ピンを相互に接続します。V ₂₄ は IO-Link コネクタの L+端子に接続するか、外部電源に接続します。10nF のコンデンサをできるだけデバイスの近くに配置して、V ₂₄ を GND にバイパスします。
23, 28	B6, E7	GNDCQ	C/Q ドライバと IO-Link のグラウンド。GNDCQ は IO-Link コネクタの L-端子および GND に接続します。詳細については、 レイアウトとグラウンド接続配線のセクション を参照してください。
4	E2	V _L	ロジック IO 電源入力。1μF のコンデンサをできるだけデバイスの近くに配置して、V _L を GND にバイパスします。V _L は全ロジック信号のロジック・レベルを設定します。V ₃₃ 、V ₅ 、2.5V～5.5V の外部電圧のいずれかに V _L を接続します。
1, 14	B3, C3, C4	GND	グラウンド。GND は GNDCQ に接続します。 全ての GND ピンを接続する必要があります。詳細については、 レイアウトとグラウンド接続配線のセクション を参照してください。
36	D4, D5	GNDD	デジタル・グラウンド。GNDD は GND に接続します。 全ての GND ピンを接続する必要があります。詳細については、 レイアウトとグラウンド接続配線のセクション を参照してください。
9	B2	V ₃₃	3.3V リニア・レギュレータ出力。1μF のコンデンサをできるだけデバイスの近くに配置して、V ₃₃ を GND にバイパスします。V ₃₃ をディスエーブルするアプリケーションではバイパス・コンデンサは必要ありません。
EP	-	EP	露出パッド。EP は GND に接続します。詳細については、 レイアウトとグラウンド接続配線のセクション を参照してください。
DC/DC レギュレータ			
13	A3	LX	内蔵 DC/DC コンバータのスイッチング出力。DC/DC 回路による電圧を生成するために、LX と出力コンデンサの間にインダクタを接続します。詳細については、 内蔵 DC/DC レギュレータ のセクションを参照してください。
11	A1	FB	DC/DC 降圧レギュレータの帰還入力。DC/DC の出力と GND の間の抵抗分圧器のタップに FB を接続します。詳細については、 内蔵 DC/DC レギュレータ のセクションを参照してください。 DC/DC を使用しない場合は、FB を V _{CCB} に接続します。
24V I/O ライン・インターフェース			
24	B7	C/Q	C/Q IO-Link トランシーバー入力／出力。TXEN をハイにドライブし、CQ_EN = 1 にセットすると、C/Q ドライバがイネーブルされます。C/Q のロジックは、デフォルトでは TX と RX の信号の論理反転になります。
27	D7	DO	DO 補助ドライバ出力。DO_EN = 1 にセットすると、DO ドライバ出力がイネーブルされます。DO は LO 入力の論理反転です。DO_EN = 0 のとき、DO は高インピーダンスになります。
22	A7	DI	補助デジタル入力。LI は DI 入力の信号の論理反転です。DI レシーバは常時イネーブルされています。信号と DI ピンの間に 1kΩ の抵抗を直列に接続します。
補助 DI/DO ロジック・インターフェース			
30	D6	LO	DO ドライバ・ロジック入力。DO は、イネーブルされているときは、LO 入力の信号の論理反転です。

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

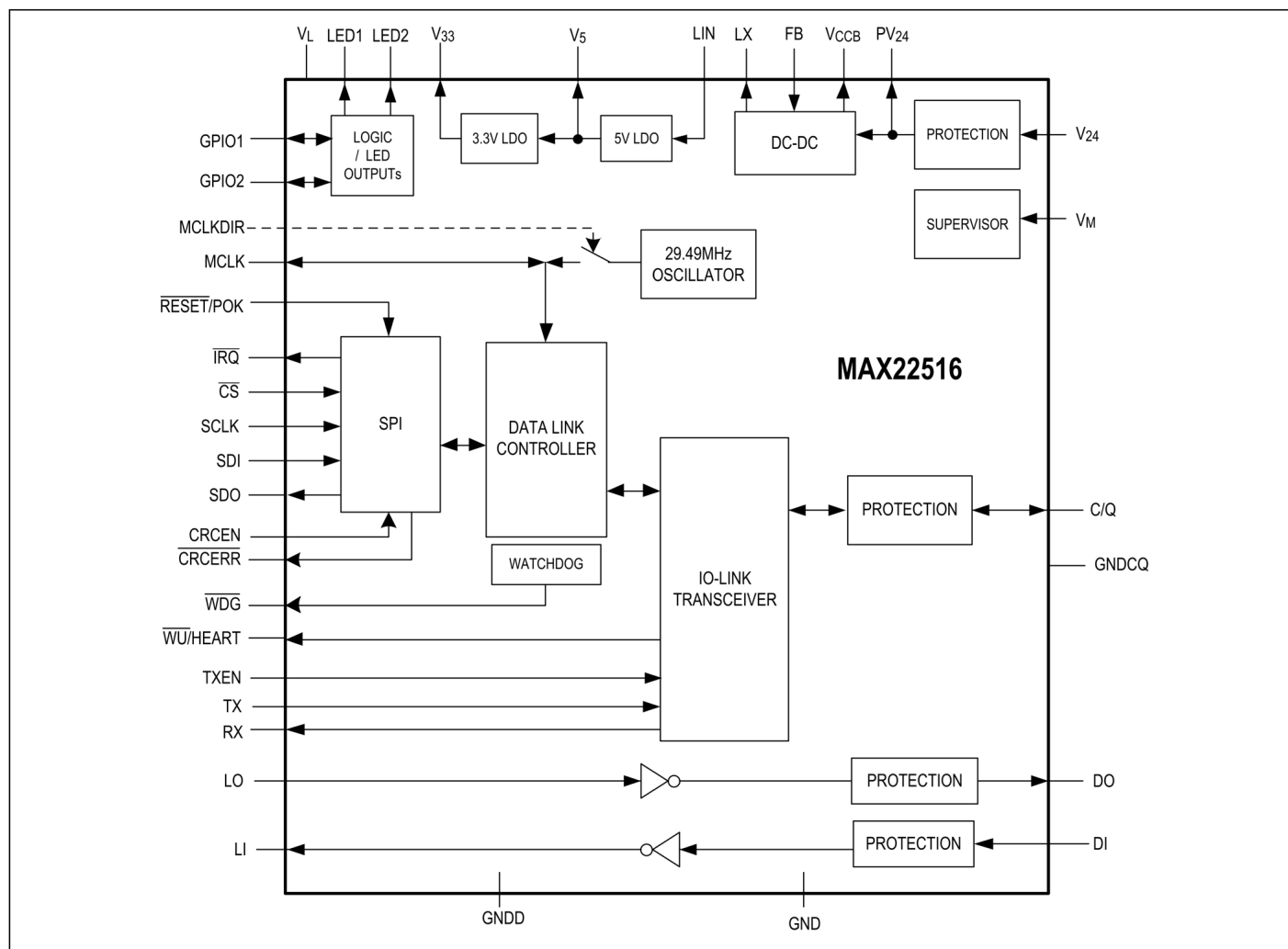
MAX22516

29	F7	LI	DI レシーバ・ロジック出力。LI は DI 入力の信号の論理反転です。LI は常時イネーブルされています。
SPI インターフェース			
37	E4	SDO	シリアル・データ出力。MAX22516 の SDO を SPI ホスト・コントローラのシリアル・データ入力に接続します。CS がハイのとき、SDO は高インピーダンスになります。
38	F3	SCLK	シリアル・クロック入力。
39	E3	SDI	シリアル・データ入力。MAX22516 の SDI を SPI ホスト・コントローラのシリアル・データ出力に接続します。
40	F2	$\overline{\text{CS}}$	SPI チップ・セレクト入力。 $\overline{\text{CS}}$ をローにドライブすると読み出し／書き込みサイクルを開始します。このサイクルは $\overline{\text{CS}}$ をハイにドライブすると終了します。
17	D3	CRCEN	SPI インターフェース用 CRC イネーブル。CRCEN を V_L に接続すると、SPI インターフェースの CRC が有効になります。
7	C2	$\overline{\text{CRCERR}}$	オープン・ドレインの SPI CRC エラー出力。最後の SPI 通信で CRC エラーが検出されている場合、 $\overline{\text{CRCERR}}$ はローにアサートされます。
電圧モニタ			
21	A6	V_M	電圧モニタ入力。モニタする電源（例えば PV_{24} ）と GND の間に抵抗分圧器を接続し、モニタする電圧のパワー・OK スレッシュホールドを規定します。詳細については、 電圧モニタ入力 のセクションを参照してください。
割込みとインジケータ			
5	D1	$\overline{\text{IRQ}}$	アクティブ・ロー、オープン・ドレインの割込み要求出力。 $\overline{\text{IRQ}}$ は、イネーブルされている場合、 IOLInt 、 DEVInt 、 ISDUInt のビットのいずれかがセットされたときにローにアサートされます。
6	D2	$\overline{\text{WU}}/\text{HEART}$	オープン・ドレインの IO-Link ウェイクアップ要求／ハート出力。MISC_CTRL レジスタの HEART_WU ビットの設定により、 $\overline{\text{WU}}/\text{HEART}$ ピンの機能をプログラムします。
8	C1	$\overline{\text{RESET}}/\text{POK}$	アクティブ・ロー・リセット入力とパワー・OK (POK) 出力のデュアル機能のオープン・ドレイン端子。 $\overline{\text{RESET}}/\text{POK}$ をローにドライブすると MAX22516 がリセット・モードに設定されます。 V_{24} 、 V_5 、DC/DC 出力のいずれかの電圧が各々の低電圧ロックアウト (UVLO) スレッシュホールドを下回ったとき、MAX22516 は $\overline{\text{RESET}}/\text{POK}$ をローにアサートします。通常動作時は、 $\overline{\text{RESET}}/\text{POK}$ を V_{CCB} または V_L に 10k Ω （代表値）の抵抗で接続します。詳細については、 リセット入力／パワー・OK 出力 ($\overline{\text{RESET}}/\text{POK}$) のセクションを参照してください。
18	A5	$\overline{\text{WDG}}$	オープン・ドレインのウォッチドッグ・タイムアウト出力。 $\overline{\text{WDG}}$ は、ウォッチドッグ・タイマのカウンタが制限値に達したときにローにアサートされます。
IO-Link UART インターフェース			
31	F6	RX	C/Q レシーバのロジック出力。デフォルトでは RX は C/Q の論理反転です。
33	F5	TXEN	C/Q ドライバ・イネーブルのロジック入力。
32	E6	TX	C/Q ドライバのロジック入力。
クロック入力／出力			
2	F1	MCLKDIR	MCLK の入力／出力方向選択。MCLKDIR をハイにドライブすると、UART 用に内部発振器を使用し、MCLK がクロック源となります。MCLKDIR をローにドライブすると内部クロックがディスエーブルされます。MCLKDIR をローにしたときには、UART 通信用の外部クロックを MCLK に接続します。
3	E1	MCLK	マイクロコントローラ・クロック入力／出力。MCLK をクロック源として使用するには MCLKDIR をハイにドライブします。MCLK をクロック入力ピンとして使用するには MCLKDIR をローにドライブします。MCLKDIR がローのときには MCLK に外部クロック源を接続します。
汎用 I/O と LED 出力			
35	F4	GPIO1	汎用ロジック入出力 1。GPIO1CTRL レジスタで GPIO1 を設定します。
34	E5	GPIO2	汎用ロジック入出力 2。GPIO2CTRL レジスタで GPIO2 を設定します。
19	B5	LED1	オープン・ドレインの LED 出力 1。LED1CTRMSB レジスタと LED1CTRLSB レジスタで LED1 出力のオン／オフを設定します。
20	C5	LED2	オープン・ドレインの LED 出力 2。LED2CTRMSB レジスタと LED2CTRLSB レジスタで LED2 出力のオン／オフを設定します。

トランシーバおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

機能図



トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

詳細

MAX22516 IO-Link データ・リンク・コントローラには、24V C/Q トランシーバー、補助デジタル入出力、内蔵リニア・レギュレータ（DC/DC、5V、3.3V）、フル機能の IO-Link データ・リンク・コントローラが統合されています。

設定された状態では、MAX22516 データ・リンク・コントローラが IO-Link トランシーバーを動作させ、通常動作中は外部のマイクロコントローラからの介入を必要としません。また、IO-Link トランシーバーは、UART インターフェース（TXEN、TX、RX）による直接制御や、SPI インターフェースを介した制御も可能です。データリンク・コントローラには、IO-Link 通信用の送受信バッファが組み込まれています。最大サイズのプロセス・データ、ISDU、イベント、ページ・データ用のバッファを備えているため、時間の制約があるマイクロコントローラの介入の必要がなく、マイクロコントローラはアプリケーション・レイヤのタスクに集中できます。

24V インターフェース I/O（V₂₄、C/Q、DO、DI、GNDCQ）

MAX22516 は、最大 36V の DC 電圧で動作可能な IO-Link トランシーバー・インターフェースを備えています。業界標準の 24V インターフェースには、C/Q 通信ライン、補助デジタル入力（DI）、補助デジタル出力（DO）、V₂₄ 電源、グランドがあります。

C/Q ドライバと DO ドライバ

C/Q と DO の両スイッチング・ドライバには、PNP、NPN、プッシュプル動作を設定できます。各ドライバには、電流制限値、スルー・レート、プルアップ/プルダウン電流を独立に設定可能です。

C/Q は、COM1、COM2、COM3 の全 IO-Link データレートで動作します。

データ・リンク・レイヤを使用するときは、UART ピン（TXEN、TX、RX）の制御やモニタの必要はありません。UART ピンの制御を必要とするアプリケーションでは、TXEN ピンと TX ピンによっても、SPI インターフェースを介しても、C/Q ドライバをイネーブルして動作させることができます。C/Q 出力を TXEN ピンと TX ピンで制御するためには、TX_CTRL レジスタで CQDrvSel = 0 にします。ピン・モードでは、TXEN をハイにドライブし、CQ_CTRL1 レジスタの CQ_EN を 1 にセットすると、C/Q ドライバがイネーブルされます。デフォルトでは、C/Q は TX 入力と RX 出力の論理反転です。CQ_CTRL1 レジスタの CQ_INV を 1 にセットすると、TX、C/Q、RX の論理状態が相互に揃います。

C/Q 出力を CQTx ビットと CQTxEn ビットで制御するためには、TX_CTRL レジスタの CQDrvSel を 1 にセットします。デフォルトでは、C/Q は CQTx ビットの論理反転で、RX は CQTx ビットと同一の論理です。CQ_CTRL1 レジスタの CQ_INV を 1 にセットすると、CQTx、C/Q、RX の論理状態が相互に揃います。

CQDrvSel が 0 か 1 のいずれの場合でも、C/Q 出力をイネーブルするためには、CQ_CTRL1 レジスタの CQ_EN ビットをセットする必要があります。詳細については、表 1 を参照してください。

表 1. C/Q ドライバの制御

CQ_EN BIT	CQDrvSel BIT	TXEN PIN	TX PIN	CQTxEn BIT	CQTx BIT	CQ_INV BIT	C/Q DRIVER		
							NPN MODE	PNP MODE	PP MODE
0	X	X	X	X	X	X	C/Q driver disabled, C/Q receiver enabled		
1	0	L	X	X	X	X	Z	Z	Z
		H	L	X	X	0	Z	H	H
				X	X	1	L	Z	L
			H	X	X	0	L	Z	L
				X	X	1	Z	H	H
	1	X	X	0	X	X	Z	Z	Z
		X	X	1	0	0	Z	H	H
		X	X			1	L	Z	L
		X	X		1	0	L	Z	L
		X	X			1	Z	H	H

X = ドント・ケア、Z = 高インピーダンス

トランシーバおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

DO ドライバは、LO ピンまたは SPI インターフェース経由のいずれかで動作可能です。LO ピンで DO 出力を制御するためには、TX_CTRL レジスタで DODrvSel = 0 に設定します。ピン・モードでは、DO_CTRL1 レジスタの DO_EN を 1 にセットすると、DO ドライバがイネーブルされます。デフォルトでは、DO は LO 入力の論理反転です。DO_CTRL1 レジスタの DO_INV を 1 にセットすると、LO と DO の論理状態が揃います。

DOTx ビットで DO 出力を制御するためには、TX_CTRL レジスタの DODrvSel を 1 にセットします。デフォルトでは、DO は DOTx ビットの論理反転です。DO_CTRL1 レジスタの DO_INV を 1 にセットすると、DOTx と DO の論理状態が揃います。

DODrvSel が 0 か 1 のいずれの場合でも、DO 出力をイネーブルするためには、DO_CTRL1 レジスタの DO_EN ビットをセットする必要があります。詳細については、表 2 を参照してください。

表 2. DO ドライバの制御

DO_EN BIT	DODrvSel BIT	LO PIN	DOTx BIT	DO_INV BIT	DO DRIVER		
					NPN MODE	PNP MODE	PP MODE
0	X	X	X	X	DO driver disabled		
1	0	L	X	0	Z	H	H
			X	1	L	Z	L
		H	X	0	L	Z	L
			X	1	Z	H	H
	1	X	0	0	Z	H	H
				1	L	Z	L
		X	1	0	L	Z	L
				1	Z	H	H

X = ドント・ケア、Z = 高インピーダンス

DO 出力は、C/Q 出力のトラッキング、つまり追従をするように構成できます。TX_CTRL レジスタの CQDOPar ビットをセットすると、DO 出力による C/Q のトラッキングが有効になります。CQDOPar = 1 かつ DO_AV = 1 に設定すると、DO がロジック反転で C/Q をトラッキングします。CQDOPar = 0 のとき、DO_AV は無視されます。

ドライバの電流制限

C/Q ドライバと DO ドライバには独立にプログラム可能な電流制限値があり、それぞれ CQ_CTRL2 レジスタと DO_CTRL2 レジスタを使用して設定します。ドライバの電流制限スレッシュホールドは、50mA（最小値）、100mA（最小値）、200mA（最小値）、250mA（最小値）に設定できます。負荷が電流制限スレッシュホールドの設定値より大きい電流を流そうとしたとき、それを受けたドライバはアクティブに負荷電流をスレッシュホールドのレベルに制限します。

C/Q の電流制限値は、CQ_CTRL2 レジスタの CQ_CL[1:0] ビットによって設定します。

DO の電流制限値は、DO_CTRL2 レジスタの DO_CL[1:0] ビットによって設定します。

ドライバの連続電流制限値とブランキング時間

大きな突入電流は、大きな容量性負荷や白熱電球の場合によく発生し、これが障害につながる場合があります。C/Q ドライバと DO ドライバにはプログラマブルな電流制限ブランキング時間があるため、大きい容量性負荷の駆動時や白熱電球の点灯時のフォルト管理と温度管理が改善されています。

ドライバ電流が、設定されたブランキング時間よりも長く、設定された電流制限スレッシュホールドを超過すると、該当のドライバのフォルト・ビットがセットされます。C/Q で過電流イベントが発生したときには、DEVInt レジスタの CQFltInt ビットがセットされます。DO で過電流イベントが発生したときには、IOLInt レジスタの DOFltInt ビットがセットされます。割込みが有効なときには（DEVIntEn レジスタの CQFltIntEn = 1 かつ/または IOLIntEn レジスタの DOFltIntEn = 1）、 $\overline{\text{IRQ}}$ 出力もアサートされます。

C/Q ドライバと DO ドライバのブランキング時間は独立にプログラムできます。C/Q ドライバのブランキング時間は、CQ_CTRL2 レジスタの CQ_CLBL[1:0] ビットの設定によって選択します。DO ドライバのブランキング時間は、DO_CTRL2 レジスタの DO_CLBL[1:0] ビットの設定によって選択します。プログラマブルなブランキング時間のオプションは、128 μ s（代表値）、500 μ s（代表値）、1ms（代表値）、5ms（代表値）です。該当のドライバについてオートリトライが有効であれば（CQ_CTRL2 レジスタの CQ_AutoRtryEn = 1 または DO_CTRL2 レジスタの DO_AutoRtryEn = 1）、そのドライバは設定されたブランキング時間後にディスエーブルされます。

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

オートリトライが無効であれば（CQ_CTRL2 レジスタの CQ_AutoRtryEn = 0 または DO_CTRL2 レジスタの DO_AutoRtryEn = 0）、そのドライバは設定されたブランキング時間後にもディスエーブルされません。オートリトライが無効な場合は、過電流条件が開始すると該当のドライバのフォルト・ビット（DEVInt レジスタの CQFltInt ビットまたは IOLInt レジスタの DOFltInt ビット）がセットされ、フォルト条件が解消されるかドライバが過熱シャットダウンになるまでドライバは動作を継続します。

ドライバのオートリトライ

MAX22516 は C/Q ドライバと DO ドライバにオートリトライ機能を備えており、過負荷条件（イベント）における過熱保護管理が改善されています。

オートリトライ機能は C/Q ドライバと DO ドライバに対して独立に設定構成が可能です。C/Q ドライバについてオートリトライ機能をイネーブルするには、CQ_CTRL2 レジスタの CQ_AutoRtryEn を 1 にセットします。DO ドライバについてオートリトライ機能をイネーブルするには、DO_CTRL2 レジスタの DO_AutoRtryEn を 1 にセットします。

オートリトライが有効な場合、MAX22516 は、選択されたブランキング時間だけ電流制限スレッショルドを超過すると、ドライバの動作を停止します。ドライバは設定されたオフ時間の間ディスエーブルされ、自動的に動作を再開します。過電流条件が継続していれば、ドライバはブランキング時間の間オンになって再度ディスエーブルされます。このオートリトライ・サイクルを、過電流条件が解消されるまで繰り返します。

C/Q ドライバのブランキング時間と固定オフ時間は、CQ_CTRL2 レジスタの CQ_CLBL[1:0]と CQ_AutoRtryTime[1:0]でそれぞれ設定します。DO ドライバのブランキング時間と固定オフ時間は、DO_CTRL2 レジスタの DO_CLBL[1:0]ビットと DO_AutoRtryTime[1:0]ビットでそれぞれ設定します。

ドライバのサーマル・シャットダウン

C/Q ドライバと DO ドライバはそれぞれ独立にモニタされ、ドライバのジャンクション温度が+175°C（代表値）のサーマル・シャットダウン・スレッショルドを超過すると、動作停止するよう設定できます。ドライバがサーマル・シャットダウンに入ると、該当する DEVInt レジスタと IOLInt レジスタ中のドライバのフォルト・ビット（CQFltInt、DOFltInt）がセットされます。割込みが有効であれば（_FltIntEn = 1）、設定のブランキング時間が過ぎた後に $\overline{\text{IRQ}}$ がアサートされます。ドライバのジャンクション温度が 26°C（代表値）以上低下すると、ドライバは自動的に動作を再開します。

内部プルアップ／プルダウン電流

MAX22516 には 2 つのプルアップおよびプルダウン電流が備えられており、C/Q と DO に対して有効／無効に設定できます。その 2 つの電流は、300 μ A の弱い電流と 2mA（代表値）です。

C/Q への電流の設定と有効化は、CQ_CTRL1 レジスタの CQ_PD ビットと CQ_PU ビットのセットと、MISC_CTRL レジスタの CQPUD2mA ビットのセットによって行います。

同様に、DO への電流の設定と有効化は、DO_CTRL1 レジスタの DO_PD ビットと DO_PU ビットのセットと、MISC_CTRL レジスタの DOPUD2mA ビットのセットによって行います。詳細については、表 3 を参照してください。

表 3. C/Q と DO のプルアップ／プルダウン電流設定

CQ_PU, DO_PU	CQ_PD, DO_PD	CQPUD2mA, DOPUD2mA	C/Q OUTPUT OR DO OUTPUT
0	0	0	No pull-up or pull-down current enabled.
0	1	0	300 μ A (typ) pull-down current enabled.
		1	2mA (typ) pull-down current enabled.
1	0	0	Weak 300 μ A (typ) pull-up current enabled.
		1	2mA (typ) pull-up current enabled.

C/Q ウェイクアップ検出

IO-Link の規格では、ドライバが PNP モードまたはプッシュプル・モードでイネーブルされているときの C/Q ライン上の電流と電圧のイベントの組み合わせで、ウェイクアップ条件を規定しています。IO-Link マスタが C/Q ラインに、C/Q ドライバが設定したレベルと逆のレベルを 80 μ s（代表値）の間与えると、ウェイクアップ・イベントが発生します。

MISC_CTRL レジスタで WU_HEART = 0 に設定していると、ウェイクアップ・イベントを検出したとき、 $\overline{\text{WU}}$ /HEART 出力を 200 μ s（代表値）ローにアサートします。

有効なウェイクアップが検出されると、IOLInt レジスタの WUInt ビットがセットされます。IOLIntEn レジスタの WUIntEn を 1 にセットすることでイネーブルされていれば、WUInt がセットされたときに $\overline{\text{IRQ}}$ もアサートされます。

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

PNP モードやプッシュプル・モードの場合と同様に、MAX22516 は NPN モードに構成されているときもウェイクアップを検出できます。NPN モードでは、ローサイド・スイッチがイネーブルされているとき (TX = ハイ)、C/Q の短絡によるローからハイへの変化でウェイクアップ・パルスが検出されます。NPN モードでローサイド・スイッチがディスエーブルされているときには、C/Q がハイにプルアップされており、短絡によってハイからローに変化してウェイクアップ・パルスを確実に検出できるようにしてください。MAX22516 は、ローサイド・スイッチがディスエーブルされていて、ウェイクアップ・パルス中に C/Q が短絡されてローからハイに変化したときには、ウェイクアップ・パルスを検出できません。

MAX22516 は、充電の時定数が約 80μs である大きい容量性負荷または電球負荷を駆動した結果として起こりうる擬似的なウェイクアップ・イベントを自動的に無視します。

C/Q レシーバと DI レシーバ

IO-Link の規格ではデバイスやセンサーの動作を 18V~30V の電源について規定していますが、実用上の工業用センサーは、9V という低い供給電圧で動作するものも一般的です。MAX22516 は 8V~36V の電源電圧で動作します。V₂₄ の供給電圧が 18V を超える場合には、C/Q レシーバと DI レシーバは標準的な IO-Link レシーバのスレッシュホールドをサポートします。V₂₄ が 18V より低いときには、C/Q レシーバと DI レシーバのスレッシュホールドのスケーリングによって、最低供給電圧までレシーバが機能します。

C/Q レシーバは TTL レベルの信号を検出するようにも構成できます。C/Q レシーバで TTL スレッシュホールドを有効にするには、RX_CTRL レジスタの RXTTL ビットをセットします。デフォルトでは、RXTTL = 0 です。

V_{CCB} 出力

V_{CCB} は、V₂₄ または V₅ で駆動される内部レギュレータの出力です。V_{CCB} には、V₅ の電圧が 3V を超えるまでは V₂₄ から電力が供給されます。V₅ の電圧が 3V を超えると、V₅ から電力が供給されます。V₅ の上昇時、V_{CCB} は V₅ が定常状態の電圧に達するまでの間、5V より一時的に下がることがあります。

リセット入力/パワーOK 出力 (RESET/POK)

RESET/POK ピンはデュアル機能のオープン・ドレイン・ロジック入出力で、リセット入力とパワーOK (POK) 出力として機能します。

RESET/POK をローにドライブすると MAX22516 がリセット・モードに設定されます。RESET/POK がローになると、C/Q ドライバは動作を停止し、レジスタはデフォルト状態にリセットされます。RESET/POK がローである間は、SPI 通信は使用できません。レジスタ設定で DC/DC がディスエーブルされていれば (MISCCfg レジスタ中の BuckDis = 1)、RESET/POK がリリースされ、全電源が有効になった後、デバイスが RESET/POK を 4ms (代表値) デアサートします。DC/DC がイネーブルされていて軽負荷であれば、パワーアップから RESET/POK のデアサートまでの遅延は最大 10ms (代表値) になります。

V₂₄ または V₅ の電圧が各々の UVLO スレッシュホールドを下回ったとき、あるいは DC/DC 出力電圧が設定電圧 (代表値) の 95% を下回ったときには、MAX22516 は RESET/POK をローにアサートします。RESET/POK がローになったとき、C/Q ドライバは動作を停止し、レジスタはデフォルト状態にリセットされます。全電源が有効になった後、MAX22516 は RESET/POK を 4ms (代表値) デアサートします。RESET/POK がローのとき、SPI は使用できません。

通常動作のためには、RESET/POK と V_L または V_{CCB} の間にプルアップ抵抗を接続します。RESET/POK をマイクロコントローラのリセット入力に接続すると、リセット信号として使用できます。

電圧モニタ入力 (V_M)

MAX22516 は柔軟な電圧コンパレータを備えています。このコンパレータは V_M 入力の電圧をモニタします。V_M 入力の電圧が 900mV (代表値) のスレッシュホールドより低下すると、DEVInt レジスタの VMInt ビットがセットされます。イネーブルされていれば (DEVIntEn レジスタ中の VMErrIntEn = 1)、VMErrInt がセットされたときに IRQ もアサートされます。V_M 電圧がコンパレータのスレッシュホールドよりも低い間に DEVInt レジスタが読まれたときには、VMErrInt 割込みビットがクリアされないことに注意してください。このビットは、DEVInt レジスタの読出し時に V_M 電圧がスレッシュホールドを超過していたときのみクリアされます。

V_M は、V₂₄ や PV₂₄ など任意のピンの電圧を監視するために使用できます。モニタする電圧は、過渡的な状況でも V_M の絶対最大定格を超過しないようにしてください。

例えば PV₂₄ をモニタするには、PV₂₄、V_M、GND の間に抵抗分圧器を配置して、PV₂₄ 電圧の最小値のスレッシュホールドを設定します (図 7)。モニタされた電圧のパワーOK スレッシュホールド (V_{POK}) は、次のように計算します。

$$V_{OK} = V_{TH,M} \times [(R_1 + R_2)/R_2]$$

V_M が 5.5V の最大電圧を超過しないように、抵抗値を選択します。

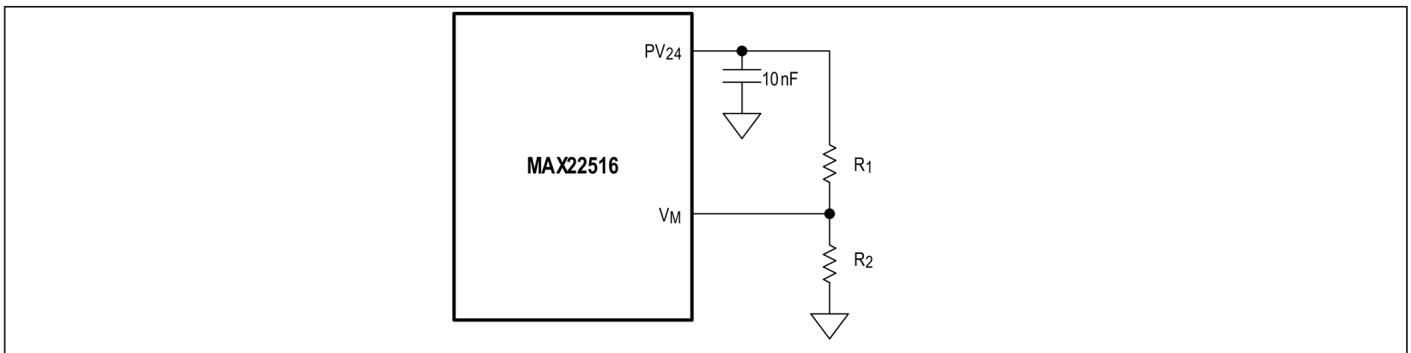


図 7. モニタ電圧入力

内蔵 DC/DC レギュレータ

概要

MAX22516は、高効率同期整流式 DC/DC 降圧レギュレータを内蔵し、アクティブ・ダイオードによる逆電圧保護、電流過負荷保護、ソフトスタート、スペクトラム拡散動作、出力電圧の調整の機能を備えています。この DC/DC レギュレータは、通常動作中は 1.229MHz（代表値）の固定周波数で動作します。通常動作中は、パルス幅変調モード（PWM）、パルス周波数変調（PFM）モード、不連続導通モード（DCM）のいずれかで動作します。動作モードは、MISCCfg レジスタの BuckDCM と BuckPFM のモード・ビットで設定します。レギュレータはデフォルトでイネーブルされていますが、シリアル・インターフェースを使ってディスエーブルすることができます。電源の反転に対する保護のため、DC/DC レギュレータには PV₂₄ から電源供給します。DC/DC レギュレータの正常動作を確保するため、1μF のコンデンサで PV₂₄ を GND にバイパスします。

起動およびソフトスタート

MAX22516 の DC/DC 降圧レギュレータはソフトスタート機能を備えており、デバイスの電源投入時に出力電圧をゆっくりと上昇させます。

V₂₄ の電圧が 7.5V（代表値）の UVLO スレッショルドを上回ると、DC/DC レギュレータがオンになって DCM で動作します。DCM モード動作により、出力電圧が給電なしあるいはプリバイアスの状態でも、DC/DC 出力がソフトスタートします。V₂₄ 電圧が UVLO スレッショルドを超過してから 2.2ms（代表値）の間に、内部回路が出力電圧を徐々にランプアップし、設定電圧の 95% に達するとソフトスタート・シーケンスを終了します。

ソフトスタートが終了すると、レギュレータは選択されたモードに DCM モードから切り替えて通常動作に移ります。デフォルトでは、通常動作は PWM モードです。MISCCfg レジスタの BuckPFM ビットと BuckDCM ビットのいずれかあるいは両方をセットして DC/DC レギュレータの動作モードを設定します。

最大 DC/DC 出力電流

MAX22516 の内蔵 DC/DC 降圧レギュレータは最大 200mA（代表値）の負荷を駆動できます。V₂₄ と PV₂₄ の間の内蔵逆電圧保護アクティブ・ダイオードは、300mA の平均電流容量があり、DC/DC 入力に供給可能です。状況により、V₂₄ 電源と PV₂₄ の間の内蔵のアクティブ・ダイオードによって、効率が低下する場合や、最大負荷電流が低減する場合があります。アクティブ・ダイオードを流れる電流が 300mA を超過するような負荷電流の場合には、V₂₄ と PV₂₄ の間にショットキー・ダイオードを接続して、内蔵アクティブ・ダイオードをバイパスします。ショットキー・ダイオードを使用する場合は、ホット・プラグ・イベントに耐えられるよう、V₂₄ にトランジェント電圧サプレッサ（TVS）またはバリスタが必要になる場合があります。

動作モードの選択

パルス幅変調（PWM）

PWM DC/DC レギュレータは固定周波数でスイッチングし、出力電力の要求に応じてパルスのデューティ・サイクルを調節します。DC/DC レギュレータの最大デューティ・サイクルは、ほぼ 100% です。PWM モードでのスイッチング・ノイズは容易にフィルタリングできます。デフォルトでは、DC/DC レギュレータは PWM モードで動作します（MISCCfg レジスタで BuckDCM = 0 かつ BuckPFM = 0）。

パルス周波数変調（PFM）

PFM モードでは、DC/DC コンバータは最小で 200mA に設定したピーク電流で LX をスイッチングします。出力電圧が設定値の 103% を超過すると LX がスイッチングを停止し、DC/DC 出力電圧が設定値の 101% より低下するとスイッチングを再開します。PFM モードではスイッチング周波数が変化するため、スイッチング・ノイズのフィルタリングは難しく、出力のリップルが大きくなる傾向があります。軽い負荷を駆動する場合の効率は、PFM モードが最も高くなります。DC/DC レギュレータの PFM モードを有効にするには、MISCCfg レジスタで BuckPFM = 1 かつ BuckDCM = 0 に設定します。

不連続導通モード (DCM)

DCM モードでは、各スイッチング・サイクルの短い期間に DC/DC レギュレータのインダクタ電流がゼロになる場合があります。このモードでは、入力電圧、DC/DC レギュレータのインダクタンス、スイッチング周波数、負荷によって出力電圧が決まります。軽負荷の条件下で低出力リップルと高効率を得る場合には、DCM モードを使用します。MAX22516 の DC/DC レギュレータは、ソフトスタート中は DCM モードで動作します。通常動作時に DCM 機能を有効にするには、MISCCfg レジスタで BuckDCM = 1 にセットします（この場合 BuckPFM ビットは無視されます）。

DC/DC のイネーブルとディスエーブル

内蔵 DC/DC 降圧レギュレータはデフォルトではイネーブルされていますが、シリアル・インターフェースを使ってディスエーブルすることができます。MISCCfg レジスタの BuckDis ビットをセットすると DC/DC がディスエーブルされます。DC/DC レギュレータを使用しない場合は、LX を未接続にし、FB を V_{CCB} に接続します。

DC/DC の部品選択

出力電圧の設定

DC/DC レギュレータの出力電圧は、2.5V~12V の範囲で設定できます。出力、FB、GND の間に抵抗分圧器を接続することにより、出力電圧を設定します（図 8 を参照）。設定したい出力電圧に対する抵抗値は、次の式を使用して計算します。

$$R_H = R_L \times (V_{OUT}/0.9 - 1)$$

$R_H \parallel R_L \leq 66k\Omega$ となるようにし、高い精度を得るために $\pm 1\%$ の抵抗を使用します。

R_H 抵抗は、負荷ステップ時の負荷レギュレーションを制御し、また、DC/DC レギュレータの安定性を確保するための出力コンデンサの値に影響します。

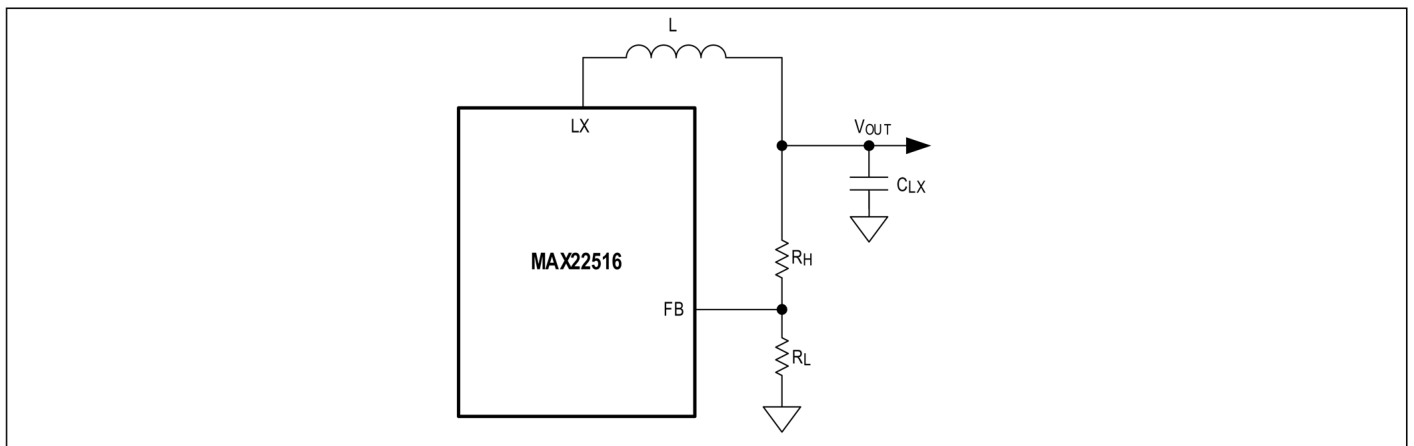


図 8. DC/DC 出力電圧の設定

インダクタの選択

インダクタは、できるだけ DC 抵抗が小さく、割り当てられた寸法に合っていて、低損失のものを選ぶ必要があります。飽和電流 (I_{SAT}) は、440mA の最大電流制限値未満で飽和が発生することがないように、十分に大きな値でなければなりません。負荷の低い条件下では、それだけ小型のインダクタを使用できます。

出力コンデンサ

MAX22516 DC/DC レギュレータでは、小型のセラミック製 X7R グレード・コンデンサで十分で、このコンデンサの使用を推奨します。出力コンデンサには、次の 2 つの役割があります。

1. デバイスと出力インダクタが生成する方形波のフィルタリング。
2. デバイスの内部制御ループの安定化。

コンデンサの選択は、動作条件と R_H の値に依存し、DC/DC レギュレータの安定性に影響します。

代表的な外付け部品

表 4 は、幅広い代表的な動作条件に対する DC/DC 降圧レギュレータ用の部品の推奨値を示しています（図 8）。この表の推奨値は、50% の負荷電流ステップでインダクタンスが極めて低い条件での負荷レギュレーションが±3%未満になるように設計されています。C-V 依存性により、インダクタンスには±30%、容量には±20%の許容誤差を想定します。

表 4. 代表的な DC/DC 部品の選択

V ₂₄ (V)		OUTPUT VOLTAGE (V)	MAX OUTPUT CURRENT (mA)	L [μH]	MIN C _{LX} OUTPUT CAPACITANCE [μF]	MAX C _{LX} OUTPUT CAPACITANCE [μF]	R _H [kΩ]	R _L [kΩ]
MIN	MAX							
8	36	3.3	200	15	4.7	27	226	84.5
8	36	5	200	22	3.3	17	348	75
8	36	6	200	27	3.3	14	412	73.2
9	36	7	190	33	2.7	12	499	73.2
10	36	8	190	33	2.2	11	562	71.5
10	36	9	170	33	1.8	9	634	69.8
12	36	10	180	39	1.8	8	698	69.8
12	36	11	160	39	1.5	8	768	68.1
14	36	12	180	39	1.2	7	845	68.1

DC/DC のスペクトラム拡散

DC/DC レギュレータは、メインのオンボード発振器と同期する内部クロックを使用しますが、この発振器は他の信号やタイミングの生成にも使用されます。電磁環境適合性（EMC）のエミッションのピークを低減するため、また DC/DC スイッチング回路とアナログ回路の間の干渉を低減するため、MAX22516 は、DC/DC クロックに選択可能なスペクトラム拡散機能を備えています。これを有効にすると、DC/DC のクロックは±10%（代表値）の最大周波数偏差でランダムに変化します。デフォルトでは、DC/DC のスペクトラム拡散はディセーブルされています。MISCCfg レジスタの BuckSS ビットをセットすると DC/DC のスペクトラム拡散がイネーブルされます。

DC/DC の保護と診断

DC/DC の過電流保護と暴走保護

DC/DC レギュレータには電流過負荷条件でレギュレータを保護し暴走を防ぐ回路が内蔵されています。ハイサイド電流が 400mA（代表値）のハイサイド・ピーク電流制限値（I_{DC_HSLIM}）を超過すると、ハイサイド・スイッチはディセーブルされます。

同様に、ローサイド電流が 200mA（代表値）のローサイド電流制限値（I_{DC_LSMAX}）を超過すると、ローサイド・スイッチがオフになり、LX がフローティングになります。この状態は、次のクロックサイクルでスイッチングが再開するまで続きます。

ヒカップ・モード（オートリトライ）

DC/DC レギュレータには、出力のフォルト条件から保護するためのオートリトライ・シーケンス（ヒカップ・モード）があります。ソフトスタート後、DC/DC レギュレータの出力電圧が規定のスレッシュホールドの 92%を下回っていれば、レギュレータは 22ms（代表値）ディセーブルされ、DEVStat レジスタの BuckFault ビットがセットされます。オートリトライ時間後に、DC/DC はソフトスタートで動作を再開します。

出力のフォルトが継続していれば、DC/DC は再度ディセーブルされ、オートリトライ・シーケンスが開始します。出力電圧が予定電圧の 95%まで上昇すると、DC/DC は非カップモードを抜けて通常動作に入ります。

DC/DC のパワー診断

DEVStat レジスタの BuckFault ビットと BuckOK ビットで、DC/DC 出力の状態を示します。動作中はこれらのビットでレギュレータをモニタします。

BuckOK ビットは、出力電圧が指定電圧の 95%を超え、レギュレータが通常運転しているときにセットされます。DC/DC の出力電圧が指定電圧の 95%より下がると、RESET/POK がアサートされ、BuckOK ビットが 0 になります。

BuckFault ビットは、レギュレータがフォルト状態にあるときにセットされます。フォルト条件には、指定スレッシュホールドの 62%未満への出力電圧低下、電流過負荷、レギュレータのヒカップ・モード動作などがあります。BuckFault ビットは、レギュレータが通常動作に復帰すると自動的にクリアされます。

温度計測

MAX22516 は通常動作中にダイ温度をモニタします。この温度は SPI インターフェースを介して読み出すことができ、指定のスレッシュホールドよりも温度が上昇したときに過熱警告を発するように設定できます。このスレッシュホールドはユーザが設定できます。

MAX22516 は、デフォルトの過熱警告用のダイ温度モニタリングと、プログラマブルな過熱警告方法を使用する場合に、同じ温度検出回路を使用します。デフォルトの過熱警告システムでは、精度に制限がある一方で応答時間は高速です。プログラマブルな温度 ADC では高精度ですが、動作は低速です。

ThADCCfg レジスタ中の ADCCfg[1:0]ビットの設定によって、過熱警告を完全にディスエーブルできます。

過熱警告

過熱による損傷から保護するため、IC は動作中のダイ温度をモニタします。MAX22516 は、警告スレッシュホールドとサーマル・シャットダウン・スレッシュホールドの 2 つの異なるスレッシュホールドとダイ温度を比較します。デフォルトでは、過熱警告スレッシュホールドは+135°C です。

プログラマブルな過熱警告

プログラマブルな過熱警告スレッシュホールドを有効にするには、ThADCCfg レジスタの ADCCfg[1:0]ビットを 01 に設定します。警告スレッシュホールドは、ThADCThd レジスタの ThWarn[5:0]ビットによってプログラムします。ThWarn[5:0]ビットはバイナリ・コードで、1LSB = 3°C、-15°C（代表値）で ThWarn = 00 000 となります。詳細については、表 5 を参照してください。

表 5. 温度 ADC 変換

DIE TEMPERATURE (°C)	ThWarn[5:0]
0	00 0101 (5d)
27	00 1110 (14d)
84	10 0001 (33d)
126	10 1111 (47d)

ダイ温度が過熱警告スレッシュホールドを超過すると、DEVInt レジスタの ThWInt ビットと DEVStat2 レジスタの ThW ビットがセットされます。イネーブルされていれば（DEVIntEn レジスタ中の ThWIntEn = 1）、ThWInt ビットがセットされたときに $\overline{\text{IRQ}}$ がアサートされます。ThWInt は DEVInt レジスタが読み出されるとクリアされますが、ThW は、温度が過熱警告スレッシュホールドのヒステリシスより下がるまでクリアされません。プログラマブルな警告スレッシュホールド・モードではヒステリシスは使用されません。

温度 ADC

ThADCCfg レジスタの ADCCfg[1:0]ビットを 10 または 11 に設定すると、ADC による温度モニタリングによって、ダイ温度を SPI インターフェース経由で読み出せます。

ADC 計測を開始するには、ThADCCfg レジスタの ADCStart ビットをセットします。450μs（代表値）経過後に手動の ADC 温度計測が完了すると、ADCStart ビットがクリアされ、ThADCRes レジスタの ADCEOC ビットがセットされます。計測結果は、ThADCRes レジスタの ThVal[5:0]ビットに格納されます。計測値はバイナリ・コードで、1LSB = 3°C（代表値）、-15°C（代表値）で THVAL = 0 です。温度 ADC の計測範囲は-15°C～174°C です。詳細については、表 5 を参照してください。

手動 ADC 温度モニタリングが有効なときには、過熱警告機能はディスエーブルされます。DEVStat2 レジスタの ThW ビットを無視し、過熱警告割込みをディスエーブルします（DEVIntEn レジスタの ThWIntEn = 0）。

保護

逆極性保護

MAX22516 には、V₂₄、C/Q、DO、DI、GNDCQ の各ピンの逆極性誤配線に対して内部的な保護機能があります。これらのピンを任意に組み合わせて、-36V～+36V の範囲の DC 電圧に接続できます。その電圧への短絡で発生する電流は 500μA 未満になります。任意のピンの間の最大電圧は、絶対最大定格を超えてはならないということに注意してください。

サーマル・シャットダウン

MAX22516 は、平均ダイ温度が +175°C（代表値）のサーマル・シャットダウン・スレッショルドを超過すると、サーマル・シャットダウンに入ります。デバイスがサーマル・シャットダウン状態にあるときは、C/Q ドライバ、DO ドライバ、DC/DC レギュレータ、V_S レギュレータ、V₃₃ レギュレータは動作を停止します。デバイスがサーマル・シャットダウンに入ると、全てのレジスタがリセットされ、SPI インターフェースは使用できなくなります。

MAX22516 は、平均ダイ温度が 20°C（代表値）のサーマル・シャットダウン・ヒステリシスより下がると、サーマル・シャットダウンから抜けます。

サーマル・シャットダウンは、どちらの過熱警告方法を使用していても有効で、ディスエーブルはできません。

SPI 制御インターフェース

MAX22516 は速度が最大で 15MHz の全二重 SPI 通信をサポートしており、1 バイトの読出しと書込み、バースト読出しとバースト書込みの動作が可能です。MAX22516 と通信するためには、SPI MODE0（クロック極性 CPOL = 0、クロック位相 CPHA = 0）のクロックとデータ信号をマスタが生成する必要があります。V_S が 4.25V 未満に下がった場合や V_L が 2.5V 未満の場合には SPI インターフェースは使用できません。

図 9 は、単一サイクルの SPI 書込みコマンド、図 10 は単一サイクルの SPI 読出しコマンドを示します。

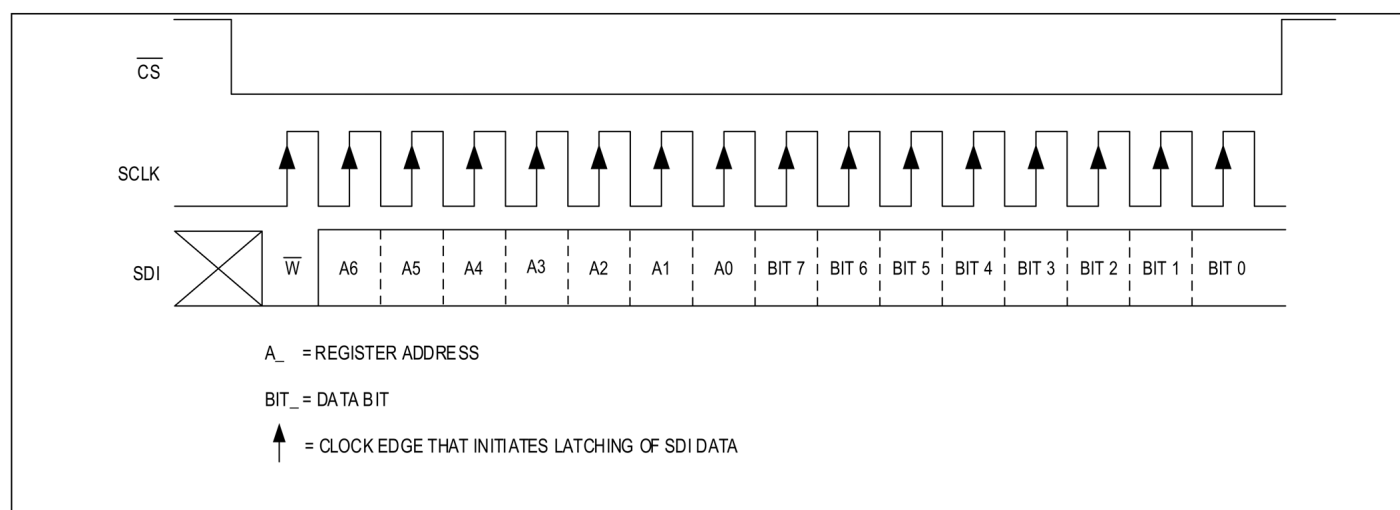


図 9. SPI の 1 バイト書込み

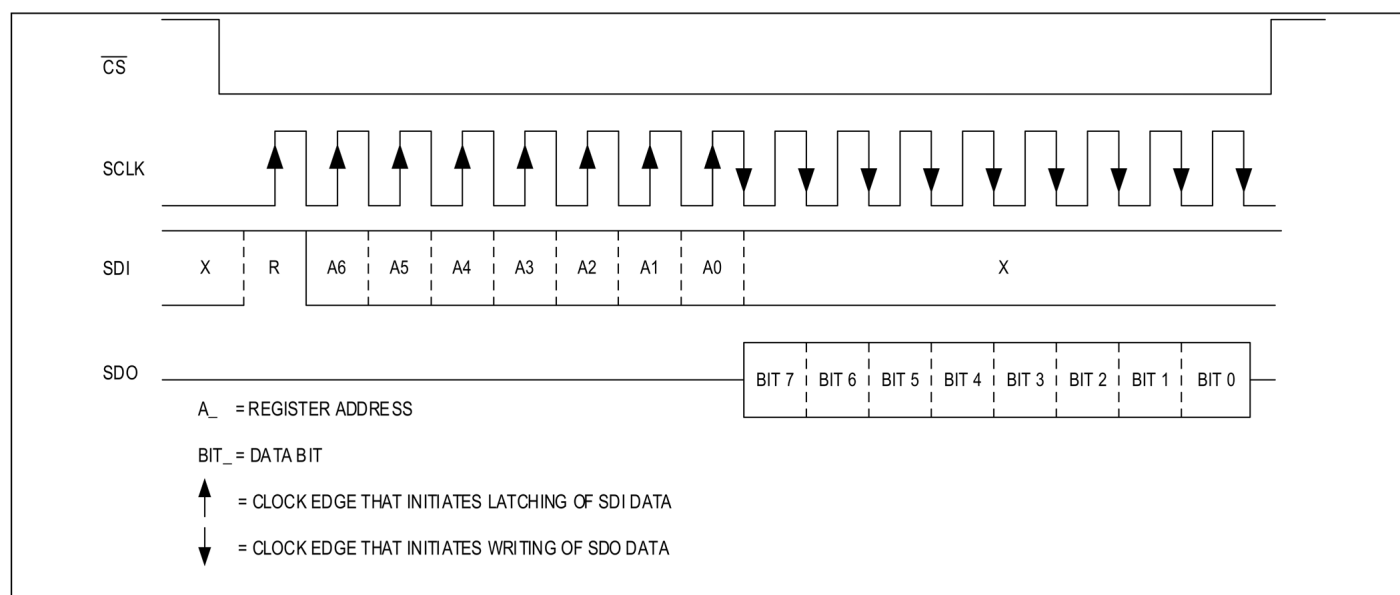


図 10. SPI の 1 バイト読出し

SPI バースト・アクセス

バースト・アクセスを使用すると、SPI コマンド・バイトで先頭のレジスタ・アドレスを指定するだけで、データをブロックで読み書きできます。先頭の SPI アドレスを受信した後、MAX22516 は各 SPI データ・バイトの処理後に自動的にレジスタをインクリメントします。バースト読み書きのサイクル全体を通じて \overline{CS} をローにドライブします。SPI クロックは、バースト・アクセス・サイクル全体を通じて継続する必要があります。SPI マスタが \overline{CS} をハイにプルアップすると、バースト・サイクルが終了します。

バースト・アクセスを使用するときには、CRC エラー・チェックを使用しません。

SPI の巡回冗長検査 (CRC)

MAX22516 は SPI インターフェースでのデータ完全性を確保するため、SPI トランザクションの巡回冗長検査 (CRC) をサポートしています。SPI インターフェースの CRC をイネーブルするためには、CRCEN ピンをハイにするか、IOLCFG レジスタの CRCEN ビットをセットします。

MAX22516 は、マイクロコントローラとの間のデータ転送中の完全性をチェックするために、8 ビット CRC フレーム・チェック・シーケンス (FCS) を使用します。書き込み操作では、SPI マスタが CRC FCS バイトを通信の最終バイトとして追加する必要があります。読出し操作では、MAX22516 が CRC FCS データを通信の最終バイトとして追加します。CRC には下記の多項式を使用します。

$$G(x) = x^8 + x^2 + x + 1$$

CRC のシード値は 0x52 です。

MAX22516 への CRC を有効にした SPI 書き込み

CRC が有効なとき、外部マイクロコントローラは 8 ビット CRC を通信の最終バイトとして追加する必要があります。CRC フレーム・チェック・シーケンス (FCS) は、MAX22516 に書き込むレジスタ・アドレスとデータ・バイトを使用して計算します。

例えば、レジスタ 21h に 01h を書き込むコマンドをマイクロプロセッサが送信するとします。SDI ラインのデータは次のようになります：[0x21] [0x01] [0xBC]。ここで、[0x21][0x01] はレジスタへの書き込みコマンドとデータ・バイト、[0xBC] は計算された 8 ビット CRC です。

書き込みシーケンスが完了すると、MAX22516 は受信したデータ・バイトから期待する CRC 値が生成されることを検証します。計算した CRC がマイクロコントローラから送信された値と一致すれば、書き込み操作は成功とみなされ、MAX22516 は受信コマンドを完了します。

一方、CRC 値が一致しない場合は、DEVINT レジスタの CRCERRINT ビットがセットされ、 \overline{CRCERR} ピンがローにアサートされ、書き込み操作は無視されます。イネーブルされていれば (DEVINTEN レジスタ中の CRCERRINTEN をセット)、CRCERRINT ビットがセットされたときに \overline{IRQ} がアサートされます。有効な書き込みコマンド・シーケンスを受信するまで、CRC フォルトはクリアされず、 \overline{CRCERR} ピンはローのままになります。

MAX22516 からの CRC を有効にした SPI 読出し

読出しコマンドを受信し、CRC が有効であれば、MAX22516 は 8 ビット CRC を計算して、外部マイクロコントローラに転送する読出しデータの末尾に追加します。CRC チェックサムは、SPI コマンド・バイトと読出しデータを使用して計算します。

例えば、レジスタ 0x21 を読み出すコマンドをマイクロコントローラが送信し、そのデータ値が 0x01 であったとします。このときの SPI データは次のようになります。

SDI (マイクロコントローラから MAX22516) : [0xA1] [0x00] [0x00]

SDO (MAX22516 からマイクロコントローラ) : [zz] [0x01] [0x0A]

0xA1 はレジスタ 0x21 の読出しコマンド、SDO ストリーム中の 0x01 はレジスタの読出しデータです。0x0A は読出しコマンド (0xA1) と読出しデータ (0x01) を使って計算した 8 ビット CRC です。

IO-Link 通信

MAX22516 は IO-Link 通信に必要とされる、IO-Link デバイス用のフル機能データ・リンク・レイヤを内蔵しています。内蔵のステート・マシンには、ISDU ハンドラ、コマンド・ハンドラ、イベント・ハンドラ、プロセス・データ・ハンドラ、リクエスト時データ・ハンドラ、DL モード・ハンドラ、メッセージ・ハンドラが含まれます。内蔵のステート・マシンは、IO-Link 規格で概説されているサイクリックおよび非サイクリックのタイプのデータ転送を処理できます。

SIO モード

デフォルトでは、MAX22516 は起動後やハードウェアまたはソフトウェアによるリセット後には SIO モードで動作します。SIO モードでは、C/Q 出力は、UART のインターフェース・ピンである TXEN、TX、RX、もしくは TX_CTRL レジスタ・ビットの CQTxEn と CQTx で制御されます。C/Q は NPN、PNP、プッシュプルで動作するよう構成でき、電流制限値とスルー・レートを設定可能です。

MAX22516 が起動して動作が安定すると、マイクロコントローラはレジスタ・マップ中のビットを設定して構成します。MAX22516 レジスタが構成されると、ConfDone ビット (IOLCfg レジスタ内) をセットして、デバイスが有効なウェイクアップ・パルスを検出したときに通信確立シーケンスを実行できるようにします。ConfDone ビットが 0 のとき、IC はウェイクアップ・パルスを受け付けても無視し、SIO モードに留まります。

DL モード・ハンドラ

DL モード・ハンドラは、ウェイクアップ・リクエストの検知と通信の確立を処理します。IO-Link マスタからコマンドを受信すると、内蔵の DL モード・ハンドラが IO-Link マスタの DL モード・ハンドラのステート (STARTUP、PREOPERATE、OPERATE) と同期して動作し、他のハンドラを適宜管理します。

電源投入後やリセット時には、DL モード・ハンドラはリセット・ステータスに戻り、デバイスを SIO モードにします。

ウェイクアップと通信の確立

ウェイクアップ・シーケンスは、IO-Link デバイスを PREOPERATE モードおよび OPERATE モードに移行させるために必須です。IO-Link マスタが 80μs (代表値) C/Q ラインを短絡して、逆論理の極性になると、ウェイクアップ条件が検出されます。

MAX22516 は、IO-Link マスタがウェイクアップ・パルスを受信するまでに、構成を完了し通信の準備を終える必要があります。IOLCfg レジスタの COMx ビットの設定により、IO-Link デバイスの通信レートを COM1、COM2、COM3 のいずれかに設定して、MAX22516 を通信確立シーケンスに対応できるよう構成します。PAGE1_BYTE02 レジスタの設定によって、IO-Link 通信用の最小サイクル・タイムを設定し、他の Direct Page 1 レジスタも必要に応じて構成します。C/Q ドライバをイネーブルして (CQ_EN = 1 かつ TXEX = ハイ、もしくは CQTxEn = 1)、ドライバ出力をイネーブルします。IOLCfg レジスタの ConfDone ビットをセットすると、全ての構成設定がプログラムできたことになります。

有効なウェイクアップ・パルスが C/Q ラインで検出されると、MAX22516 は WUInt ビットをセットし、イネーブルされていれば (IOLIntEn レジスタの WUIntEn がセット)、 $\overline{\text{IRQ}}$ がアサートされます。ウェイクアップを検出するように構成されていれば (WU_HEART = 0)、 $\overline{\text{WU}}/\text{HEART}$ ピンも 200μs (代表値) ローにアサートされます。有効なウェイクアップ・パルスが検出された後、C/Q 出力を通信用に構成します。

有効なウェイクアップ・パルスを検出した後、ConfDone = 1 であれば、内蔵の IO-Link 通信確立シーケンサが自律的に IO-Link EstablishCom (通信確立) シーケンスを実行します (図 11)。

起動中と通信確立シーケンス中は、IOLStat レジスタの DLMode ビットが DL モード・ハンドラの現在のステートを示します。DL モードのステートが変化すると、IOLInt レジスタの DLModeInt ビットがセットされます。イネーブルされていれば (IOLIntEn レジスタの DLModeIntEn がセット)、 $\overline{\text{IRQ}}$ もアサートされます。

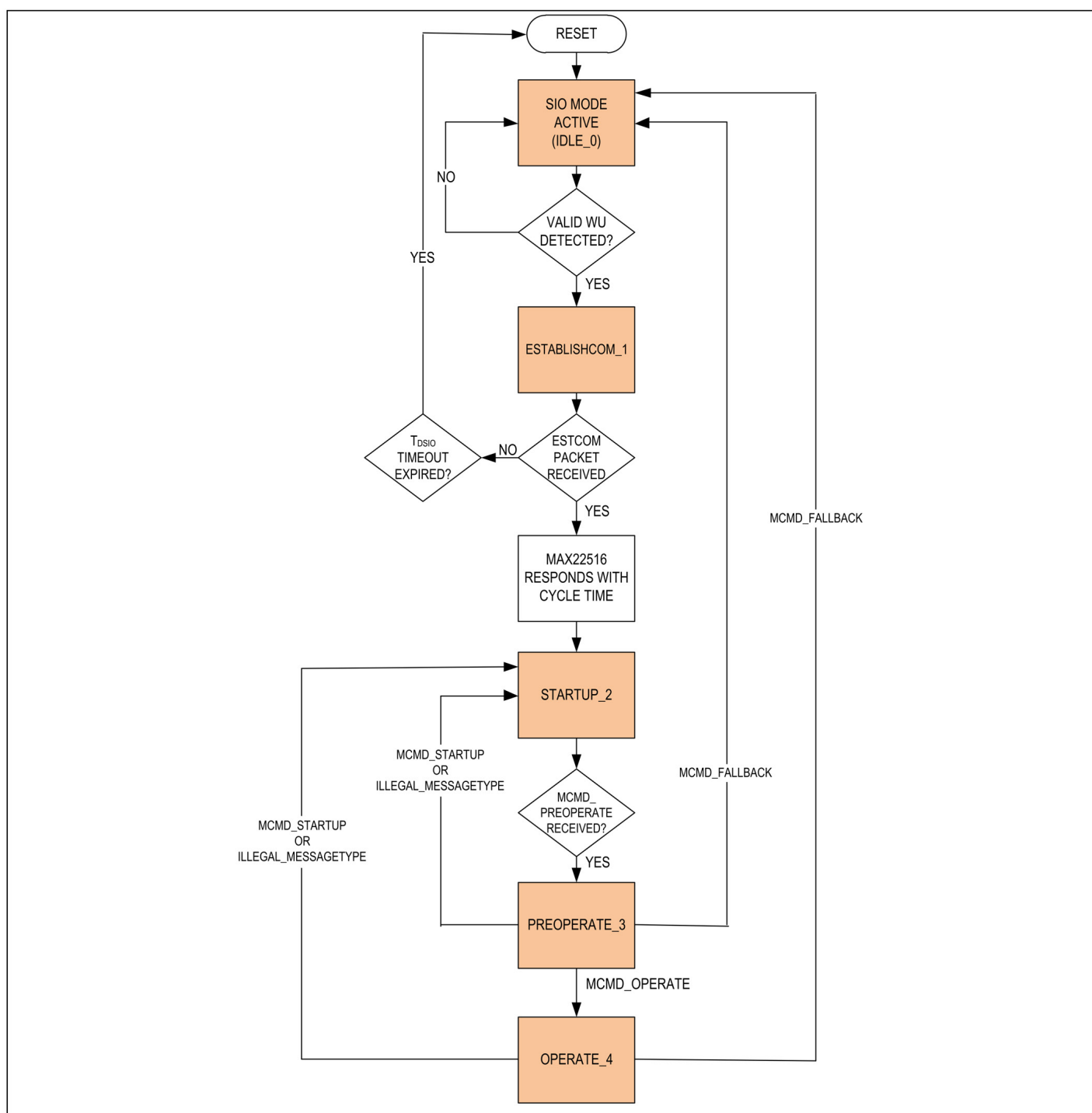


図 11. DL モード・ハンドラのフローチャート

フォールバック処理

IO-Link マスタからフォールバック・コマンドを受信すると、MAX22516 は 420ms（代表値）以内に SIO モードに戻ります。

外部マイクロコントローラで MAX22516 をリセットして SIO モードにすることも可能です。IOLCfg レジスタの SIOForce ビットをセットすると、デバイスは強制的に SIO モードに移行します。SIOForce ビットがセットされたとき、SIO に切り替わるまでの遅延はありません。

プロセス・データ転送

出力プロセス・データ (PDOOut)

MAX22516 は、出力プロセス・データ (PDOOut) を IO-Link マスタから PDOOut バッファに送信するタスクを自律的に取り扱うことができ、最大 32 バイトの IO-Link PDOOut をサポートするプロセス・データ・アーキテクチャを備えています。

MAX22516 は、PAGE1_BYTE02 レジスタの MSequenceCapability バイトと PAGE1_BYTE06 レジスタの ProcessDataOut バイトで宣言された PDOOut バイトの数のみを受信します。IO-Link マスタが誤った数の出力プロセス・データを送信した場合は、そのデータ・パケットは無視され、MAX22516 は IO-Link の STARTUP ステートに戻ります。マイクロコントローラは、1 回の SPI バースト読出しで PDOUTFIFO から PDOOut データを読み出す必要があります。PDOUTFIFO レジスタから読み出されるデータは常に最新の受信データです。

部分的な出力プロセス・データの読出しには MAX22516 を使用できないことに注意してください。

MAX22516 が新しい出力プロセス・データを受信した後、IOLInt レジスタの PDOOutDatRxInt ビットがセットされます。イネーブルされていれば (IOLIntEn レジスタ中の PDOOutDatRxIntEn = 1)、PDOOutDatRxInt ビットがセットされたときに $\overline{\text{IRQ}}$ がアサートされます。

入力プロセス・データ (PDIn)

MAX22516 は、入力プロセス・データ (PDIn) の IO-Link マスタへの転送にかかわるタスクを全てリアルタイムで処理でき、最大 32 バイトの IO-Link PDIn をサポートするプロセス・データ・アーキテクチャを備えています。

MAX22516 は、PAGE1_BYTE03 レジスタの MSequenceCapability バイトと PAGE1_BYTE05 レジスタの ProcessDataIn バイトで宣言された PDIn バイトの数の送信します。ロードされると、マイクロコントローラは 1 回の SPI バースト書込みで PDINFIFO に入力プロセス・データを書き込む必要があります。MAX22516 は次の IO-Link サイクルで自動的に PDINFIFO のデータを IO-Link マスタに転送し、これにより IO-Link マスタへの PDIn データ遅延を最小限にします。上書きされていない場合は、次の IO-Link サイクルでは PDINFIFO のデータが再送されます。

PDIn データが PDINFIFO レジスタに送信されれば、PDINDataRdy レジスタの PDStatus ビットが 0 になるようにします。PDStatus = 0 のとき、MAX22516 は PDINFIFO のデータを IO-Link マスタに送信します。PDStatus = 1 のときは、プロセス・データ・パケットの CKS/status バイト中の PD ステータス・ビットがセットされ、0x00 が PDIn データとして送信されます。

ISDU 転送

MAX22516 は、入力 (即ち IO-Link デバイスから IO-Link マスタ) と出力 (即ち IO-Link マスタからデバイス) の両方向の ISDU データ転送を行うリアルタイム・タスクを処理できます。MAX22516 は入力と出力の両方向に用いる 256 バイトの ISDU バッファを内蔵しており、最大長の ISDU 転送を処理できます。

MAX22516 は、IO-Link マスタによる ISDU アイドル・コマンド (IDLE) または ISDU アバート・コマンド (ABORT) の送信もしくは新規の ISDU リクエストがあったときに、ISDU データ転送の完了を検知します。

ISDU 受信

IO-Link マスタがデバイスに ISDU リクエストを送信したとき、MAX22516 は ISDU 構造の長さをデコードし、ISDU チェックサム (CHKPDU) を検証します。ISDU データが有効であれば、ISDUInt レジスタ中の ISDUPckInt 割込みビットがセットされます。

受信データが無効であれば (即ち CHPDU が不正な場合)、ISDUPckInt 割込みビットがセットされてパケットが受信されたことを示しますが、CHKPDUErrInt エラー割込みもセットされます。無効なデータは、IO-Link マスタで上書きされるまで、ISDUOUTFIFO に保持されます。ISDUPckInt をクリアすると、ISDU 通信を続行できます。

ISDUPckInt 割込みが生成されたときの推奨 ISDU 受信シーケンスは次のとおりです。

- ISDUInt レジスタを読み出し、CHKPDUErrInt ビットがセットされているかを調べます。
- ISDUInt レジスタの割込みフラグをクリアします。
- マイクロコントローラの処理時間に応じて、ISDUOUTFIFO を完全に (バースト・アクセス) もしくはチャンクで読み出します。ISDU FIFO のチャンクでの読出しの詳細については、[ISDU の複数チャンクでの読出し／書込み](#)のセクションを参照してください。

MAX22516 は、ISDU の応答が ISDU 出力 FIFO にロードされるまでの間、IO-Link マスタに ISDU ビジー・メッセージで自律的に応答します。

ISDU 送信

推奨の ISDU 送信シーケンスは次のとおりです。

- ISDU を ISDUINFIFO に完全に (バースト・アクセス) もしくはチャンクで書き込みます。ISDU FIFO のチャンクでの書込みの詳細については、[ISDU の複数チャンクでの読出し／書込み](#)のセクションを参照してください。
- ISDUDataRdy レジスタの ISDUINDataRdy ビットをセットすると、ISDU イベント情報の IO-Link マスタへの転送を開始します。

転送が完了すると、MAX22516 は ISDUInt レジスタの ISDUIdleInt ビットをセットし、ISDUINFIFO レジスタのデータがクリアされます。

ISDU の複数チャンクでの読出し／書込み

デバイスのマイクロコントローラが ISDUOUTFIFO レジスタからの読出しを要求する SPI 読出しコマンドは全て、受信した構造体の先頭に ISDU_OFFSET レジスタで設定された値を加えた位置から開始します。長い ISDU 通信で、1 サイクルで ISDU 全体をデバイスが読出し／書込みできないときには、ISDUOUTFIFO を複数のチャンクで読み、1 回に限られたバイト数を読み出すことを推奨します。必要なバイト

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

数を読み出し、ISDUOFFSET レジスタの値を次の読出しの開始点に設定します。このサイクルを ISDU FIFO が完全に読み出されるまで繰り返します。

同様に、マイクロコントローラによる長い ISDU 書込みコマンドに対しては、ISDUINFIFO に複数チャンクで書込み、ISDUOFFSET レジスタを使用して各書込みの開始点を設定することを推奨します。このプロセスは ISDU 読出しの場合と同様です。

イベント

IO-Link の規格で概説されているとおり、IO-Link デバイスのイベントは非サイクリック通信で送信され、3 レベルの深刻度、即ち通知、警告、エラーで報告されます。

MAX22516 は 4 バイトを使用して、詳細を含むイベント構造を構成します。その 4 バイトは、Status Code、EventQualifier1、EventCode1 (MSB と LSB) です。詳細については、表 6 を参照してください。

表 6. イベント・メッセージ・バイト

REGISTER ADDRESS	REGISTER NAME	DESCRIPTION
0x2C	STATUS_CODE	Summary of status and error information.
0x2D	EVENT_QUALIFIER	Event type, mode, and source.
0x2E	EVENT_CODE1MSB	16-bit EventCode of the Event.
0x2F	EVENT_CODE1LSB	

マイクロコントローラはイベント情報を STATUS_CODE、EVENT_QUALIFIER、EVENT_CODE1MSB、EVENT_CODE1LSB の各レジスタに書込み、EVENT_FLAG レジスタの EventFlag ビットをセットして IO-Link マスタにイベントを通知します。EventFlag ビットの設定は、IO-Link のチェックサム/ステータス (CKS) バイトの EventFlag ビットと対応します。

マイクロコントローラが EventFlag ビットをセットすると、STATUS_CODE、EVENT_QUALIFIER、EVENT_CODE1MSB、EVENT_CODE1LSB の各レジスタ中のデータはロックされ、IO-Link マスタが現在のイベントを処理するまで変化しません。Event Details ビットがセットされているため、IO-Link マスタはイベント・メモリから StatusCode で示されるイベントの詳細を読み出します。MAX22516 は 1 回に 1 つのみ EventQualifier と EventCode をサポートしています。

IO-Link マスタは、イベント処理の完了を示すため、STATUS_CODE レジスタの StatusCode ビットに書き込みます。MAX22516 は、イベントの IO-Link ハンドシェイクを自律的に処理します。イベント処理が完了したとき、EventFlag は自動的にクリアされ、IOLInt レジスタの ClrEvnFlgInt ビットがセットされます。

EventFlag = 0 のときには、MAX22516 はイベント・メモリをマスクしません。同様に、イベント処理が完了したときに、MAX22516 はイベント・メモリを自動的にクリアしません。

IO-Link サイクル・カウンタによるウォッチドッグ

MAX22516 は IO-Link の動作状況をモニタし、プロセス・データが定期的に更新されていることを確認するための、設定可能なウォッチドッグ・カウンタを備えています。表 7 は、ウォッチドッグ機能に関連するレジスタを示しています。

表 7. ウォッチドッグ・カウンタ・レジスタ

レジスタ・アドレス	レジスタ名	説明
0x08	IOLInt	WDInt ビットは、ウォッチドッグ・カウンタがウォッチドッグ・カウンタのスレッシュホールドの最大値に達したときにセットされます。
0x09	IOLIntEn	ウォッチドッグ割込みビット (WDInt) のイネーブル/マスク。
0x15	WDGTmr	ウォッチドッグのカウント終了値を格納するレジスタ。
0x16	WDGClr	WDClr ビットはウォッチドッグ・カウンタをクリアする方法を設定します。
0x2A	WDG_EVENT	このレジスタは、IO-Link マスタにイベント・コードを通知するよう設定されている場合に、そのイベント・コードを保持します。
0x30	EVENT_FLAG	WDGEvent ビットを使用すると、ウォッチドッグ・カウンタが終了したときに WDGEvent レジスタに書かれたデータを送信するように、MAX22516 を設定できます。

ウォッチドッグ・カウンタは、標準ウォッチドッグとイベント・ウォッチドッグの 2 つの動作モードのいずれかに構成できます。

標準ウォッチドッグ・モードでは、WDGTmr レジスタ中のカウンタ制限値 (n) を設定することでウォッチドッグのカウント制限を設定します。ウォッチドッグ・カウンタは各 CKS バイトの送信後にインクリメントされます。正常な IO-Link 転送の回数がウォッチドッグ・カウンタの制限値に達すると、ウォッチドッグ・タイムアウト ($\overline{\text{WDG}}$) がローにアサートされます。このウォッチドッグは、ウォッチドッグ・リセット後、あるいは正常な PDIn の更新後にウォッチドッグ値にリセットされます (WDGClr レジスタの WDClear ビットで指定)。

標準ウォッチドッグ・モードでは、ウォッチドッグ・カウンタが指定の制限値に達すると、MAX22516 は SIO モードにフォールバックします。更に、 $\overline{\text{WDG}}$ がローにアサートされ、IOLInt レジスタの WDInt ビットがセットされます。イネーブルされていれば (IOLIntEn レジスタの WDIntEn = 1)、 $\overline{\text{IRQ}}$ がローにアサートされます。 $\overline{\text{WDG}}$ と $\overline{\text{IRQ}}$ (イネーブルされている場合) は、IOLInt レジスタの WDInt ビットに 1 を書き込むことにより、アサート解除されます。

イベント・ウォッチドッグ・モードでは、WDGTmr レジスタ中のカウンタ・スレッシュホールド値 (n) を指定することでウォッチドッグのカウント制限を設定します。ウォッチドッグ・カウンタは各 CKS バイトの送信後にインクリメントされます。WDG_EVENT レジスタに 1 バイトのコードを書き込み、EVENT_FLAG レジスタの WDGEvent ビットをセットします (WDGEvent = 1)。このモードでは、ウォッチドッグ・カウンタが終了し、EventFlag ビットがセットされていると (EventFlag = 1)、WDG_EVENT レジスタのデータが STATUS_CODE レジスタにコピーされ、以前のデータに上書きされます。MAX22516 はイベントについて IO-Link マスタに通知し、STATUS_CODE レジスタ中のデータを通常のイベントとして処理します (詳細については、[イベント](#)のセクションを参照してください)。イベントの処理後も通信は通常どおり継続します。

ウォッチドッグ・カウンタの制限値に達するまでに、マイクロコントローラが PDIn データを更新し、ウォッチドッグ・カウンタをクリアするようにします。MAX22516 にはウォッチドッグ・カウンタをクリアする方法が 2 つあり、WDGClr レジスタで設定します。WDGClr レジスタの WDClear ビットをセットすると (WDClear = 1)、新しい PDIn データが PDIn バッファに読み込まれたときにウォッチドッグ・カウンタがリセットされます。WDClear ビットをクリアすると (WDClear = 0)、WDGTmr レジスタへの SPI 書き込み後にウォッチドッグ・カウンタがリセットされます。WDClear = 0 のときには、WDGTmr レジスタは任意の値を書き込むことによってクリアされます。

WDGTmr レジスタを 0x00 に設定すると、ウォッチドッグ・カウンタは無効になります。SIO モードと EST_COM モードではウォッチドッグ・カウンタは動作しません。

LED : ステータスと診断情報表示

MAX22516 は、LED を制御する 2 つのロジック出力 (LED1 と LED2) を内蔵しています。これらのピンは、実行中の SDCI 通信のインジケータとして使用でき、LED1CTMSB、LED1CTRLSB、LED2CTMSB、LED2CTRLSB の各レジスタのビットの設定で制御されます。

各 LED の 16 ビット LED 制御シーケンスを、対応する LED_CTMSB と LED_CTRLNB のレジスタのビットを設定することにより設定します。LED のステータス (オンまたはオフ) は、これらのレジスタの設定によって決まります。シーケンスでは、63ms ごとにレジスタ中の 1 ビット (MSB から LSB の順) をサンプリングし、約 1 秒の周期で 16 ビットのパターンを繰り返します。LED 制御シーケンスの例を表 8 に示します。

LED のビットを設定するときには、LED_CTMSB と LED_CTRLNB の両方に書き込みます。

表 8. LED1 のプログラム例

	LED1CTRMSB								LED1CTRLSB							
REGISTER BIT	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
BIT LOGIC	0	1	1	0	1	0	1	0	0	1	1	0	1	0	1	0
LED1 STATUS	OFF	ON	ON	OFF	ON	OFF	ON	OFF	OFF	ON	ON	OFF	ON	OFF	ON	OFF

汎用 I/O (GPIO1、GPIO2)

MAX22516 は、GPIO1 と GPIO2 の 2 つの汎用 I/O ピンを備えています。GPIO1 と GPIO2 は相互に独立に、入力、出力、プロセス・データ (PDIn と PDOOut) のインジケータのいずれかに構成されます。GPIO1 は GPIO1CTRL レジスタで構成し、GPIO2 は GPIO2CTRL レジスタで構成します。

入力として構成した場合には、GPIO1 と GPIO2 の内蔵プルアップ／プルダウン抵抗を有効にできます。デフォルトでは、GPIO1 と GPIO2 は両方とも入力として構成されており、内蔵プルダウンが有効です。

GPIO1 と GPIO2 はオープン・ドレインまたはプッシュプル出力として構成できます。各 GPIO 出力は、対応する GPIO 制御レジスタ中の GPIO_DOut ビットの設定によって、ハイまたはローに個別に設定します。GPIO が出力として構成されているときには内蔵のプルアップ／プルダウン設定は無効になります。

GPIO のプロセス・データ・インジケータとしての使用 (PDIn/PDOOut)

プロセス・データのやり取りにより、デバイスと IO-Link マスタの間で定期的な周期的送信が可能です。GPIO1 と GPIO2 をこの送信で利用されるように構成できます。

GPIO1CTRL レジスタ中で GPIO1IO = 0 かつ GPIO1_TO_PDIN = 1 に設定すると、GPIO1 が PDIn ビットとして構成されます。この構成では、GPIO1 のステータスが、IO-Link マスタに送信される PDIn バイト全ての bit[0] に挿入されます。GPIO1 の状態は、各 PDIn バイトの送信直前にサンプリングされます (表 9 および表 10)。

表 9. GPIO1 から PDIn への出力機能 (GPIO1IO = X、GPIO1_TO_PDIN = 0)

	GPIO1_TO_PDIN CONFIG BIT	PDIn[7:0]
BYTE 0	0	From buffer
BYTE 1		From buffer
BYTE 2		From buffer
...		...
BYTE n		From buffer

X = ドント・ケア

表 10. GPIO1 から PDIn への出力機能 (GPIO1IO = 0、GPIO1_TO_PDIN = 1)

	GPIO1_TO_PDIN CONFIG BIT	PDIn[7:1]	PDIn[0]
BYTE 0	1	0b0000000	GPIO1
BYTE 1		0b0000000	GPIO1
BYTE 2		0b0000000	GPIO1
...		...	
BYTE n		0b0000000	GPIO1

同様に、GPIO2 は IO-Link マスタから受信する PDOOut データの状態を反映するように構成できます。GPIO2IO = 1 かつ PDOOUT_TO_GPIO2 = 1 のとき、GPIO2 は受信した PDOOut データのビット 0 によってハイまたはローに設定されます。

詳細については、表 11 と表 12 を参照してください。複数の PDOOut バイトを IO-Link マスタから受信した場合には、GPIO2 のステータスは受信バイトごとに上書きされます。

PDOOUT_TO_GPIO2 ビットの状態にかかわらず、全 PDOOut データビットは PDOOUT バッファに保存されます。

表 11. PDOut から GPIO2 への入力機能 (GPIO2IO = X、PDOOUT_TO_GPIO2 = 0)

	PDOOUT_TO_GPIO2 CONFIG BIT	PDOut[7:0]	GPIO2
BYTE 0	0	To buffer	Configured and set in GPIO2CTRL register.
BYTE 1		To buffer	Configured and set in GPIO2CTRL register.
BYTE 2		To buffer	Configured and set in GPIO2CTRL register.
...	
BYTE n		To buffer	Configured and set in GPIO2CTRL register.

X = ドント・ケア

表 12. PDOut から GPIO2 への入力機能 (GPIO2IO = 1、PDOOUT_TO_GPIO2 = 1)

	PDOOUT_TO_GPIO2 CONFIG BIT	PDOut Buffer	GPIO2
BYTE 0	1	PDOut[7:0]	PDOut[0]
BYTE 1		PDOut[7:0]	PDOut[0]
BYTE 2		PDOut[7:0]	PDOut[0]
...	
BYTE n		PDOut[7:0]	PDOut[0]

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

レジスタ・マップ

MAX22516 のレジスタ表

ADDR ESS	NAME	MSB							LSB
ID REGISTERS									
0x00	CHIP_ID[7:0]	CHIPID[7:0]							
0x01	REV_ID[7:0]	–	–	–	–	REVID[3:0]			
STATUS REGISTERS									
0x02	IOLStat[7:0]	–	–	–	–	–	DLMode[2:0]		
0x03	DEVStat1[7:0]	–	–	BuckFault	BuckOk	–	–	RXLvl	LILvl
0x04	DEVStat2[7:0]	–	ExtClkFail	DOFIt	CQFIt	V24Err	VMErr	ThW	–
0x05	ISDUStat[7:0]	–	–	–	–	–	–	–	ISDU_BAV
0x06	IOLErrCnt[7:0]	IOLErrCnt[7:0]							
0x07	FRMErrCnt[7:0]	FrmErrCnt[7:0]							
INTERRUPT REGISTERS									
0x08	IOLInt[7:0]	WDInt	DOFItInt	PDOOutDatRxInt	ClrEvnFlgInt	WUInt	MCmdInt	DirPage1Int	DLModelInt
0x09	DEVInt[7:0]	CRCErrInt	FrmErrCntInt	IOLErrCntInt	CQFItInt	V24ErrInt	VMErrInt	ThWInt	–
0x0A	ISDUInt[7:0]	-	–	ISDU_BAVInt	CHKPDUErrInt	NewISDUWriteStartInt	ISDUAbtInt	ISDUIdleInt	ISDUPckInt
INTERRUPT TO IRQ ENABLE									
0x0E	IOLIntEn[7:0]	WDIntEn	DOFItIntEn	PDOOUTDatRxIntEn	ClrEvnFlgIntEn	WUIntEn	MCmdIntEn	DirPage1IntEn	DLModelIntEn
0x0F	DEVIntEn[7:0]	CRCErrIntEn	FrmErrCntIntEn	IOLErrCntIntEn	CQFItIntEn	V24ErrIntEn	VMErrIntEn	ThWIntEn	–
0x10	ISDUIntEn[7:0]	-	–	ISDU_BAVIntEn	CHKPDUErrIntEn	NewISDUWriteStartIntEn	ISDUAbtIntEn	ISDUIdleIntEn	ISDUPckIntEn
CONFIGURATION REGISTERS									
0x14	IOLCfg[7:0]	DeviceAnsDelay[1:0]		ConfDone	CRCEn	COMx[1:0]		Page1Inh	SIOForce
0x15	WDGTmr[7:0]	Watchdog[7:0]							

ADDR ESS	NAME	MSB							LSB
0x16	WDGClr[7:0]	–	–	–	–	–	–	–	WDClear
0x17	MISCCfg[7:0]	LDO33Dis	–	IOLDly[1:0]		BuckDCM	BuckPFM	BuckSS	BuckDis
0x18	CLKCfg[7:0]	EnClkTrim	ExtClk	–	–	ClkDiv[2:0]			MCLKDis
0x19	CLKTrim[7:0]	–	–	ClkTrim[5:0]					
DIRECT PAGE 1 REGISTERS									
0x1A	PAGE1_BYTE00[7:0]	MasterCommand[7:0]							
0x1B	PAGE1_BYTE01[7:0]	MasterCycleTime[7:0]							
0x1C	PAGE1_BYTE02[7:0]	MinCycleTime[7:0]							
0x1D	PAGE1_BYTE03[7:0]	MSequenceCapability[7:0]							
0x1E	PAGE1_BYTE04[7:0]	RevisionID[7:0]							
0x1F	PAGE1_BYTE05[7:0]	ProcessDataIn[7:0]							
0x20	PAGE1_BYTE06[7:0]	ProcessDataOut[7:0]							
0x21	PAGE1_BYTE07[7:0]	VendorID1[7:0]							
0x22	PAGE1_BYTE08[7:0]	VendorID2[7:0]							
0x23	PAGE1_BYTE09[7:0]	DeviceID1[7:0]							
0x24	PAGE1_BYTE0A[7:0]	DeviceID2[7:0]							
0x25	PAGE1_BYTE0B[7:0]	DeviceID3[7:0]							
0x26	PAGE1_BYTE0C[7:0]	FunctionID1[7:0]							

ADDR ESS	NAME	MSB							LSB
0x27	PAGE1_BYTE0D[7:0]	FunctionID2[7:0]							
0x28	PAGE1_BYTE0E[7:0]	Page1Reserved1[7:0]							
0x29	PAGE1_BYTE0F[7:0]	Page1Reserved2[7:0]							
EVENT REGISTERS									
0x2A	WDGEvent[7:0]	WDGCode[7:0]							
0x2B	STATUS_CODE_DEF[7:0]	StatusCodeDefault[7:0]							
0x2C	STATUS_CODE[7:0]	StatusCode[7:0]							
0x2D	EVENT_QUALIFIER[7:0]	EventQualifier1[7:0]							
0x2E	EVENT_CODE1MSB[7:0]	EventCode1MSB[7:0]							
0x2F	EVENT_CODE1LSB[7:0]	EventCode1LSB[7:0]							
0x30	EVENT_FLAG[7:0]	–	–	–	–	–	–	WDGEvent	EventFlag
PROCESS DATA REGISTERS									
0x35	PDINFIFO[7:0]	PDINDData[7:0]							
0x36	PDINDDataRdy[7:0]	–	–	–	–	–	–	–	PDStatus
0x37	PDOUTFIFO[7:0]	PDOOUTData[7:0]							
ISDU REGISTERS									
0x3F	ISDU_OFFSET[7:0]	ISDU_OFFSET[7:0]							
0x40	ISDUINFIFO[7:0]	ISDUINDData[7:0]							
0x41	ISDUDataRdy[7:0]	–	–	–	–	–	–	–	ISDUINDDataRdy
0x42	ISDUOUTFIFO[7:0]	ISDUOUTData[7:0]							

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

ADDR ESS	NAME	MSB							LSB
0x43	ISDU_LEVEL[7:0]	ISDU_LEVEL[7:0]							
PIN CONFIGURATION REGISTERS									
0x50	LED1CTRMSB[7:0] 1	LED1CtrMsb[7:0]							
0x51	LED1CTRLSB[7:0]	LED1CtrLsb[7:0]							
0x52	LED2CTRMSB[7:0] 1	LED2CtrMsb[7:0]							
0x53	LED2CTRLSB[7:0]	LED2CtrLsb[7:0]							
0x54	GPIO1CTRL[7:0]	GPIO1Di n	–	GPIO1_TO_P DIN	GPIO1OD	GPIO1Dout	GPIO1IO	GPIO1PU En	GPIO1Res
0x55	GPIO2CTRL[7:0]	GPIO2Di n	–	PDOUT_TO_ GPIO2	GPIO2OD	GPIO2Dout	GPIO2IO	GPIO2PU En	GPIO2Res
TRANSCEIVER CONTROL REGISTERS									
0x56	CQ_CTRL1[7:0]	CQ_SLEW[1:0]		CQ_PD	CQ_PU	CQ_NPN	CQ_PP	CQ_INV	CQ_EN
0x57	CQ_CTRL2[7:0]	CQ_CL[1:0]		–	CQ_CLBL[1:0]		CQ_AutoRtyTime[1:0]		CQ_AutoRt yEn
0x58	DO_CTRL1[7:0]	DO_SLEW[1:0]		DO_PD	DO_PU	DO_NPN	DO_PP	DO_INV	DO_EN
0x59	DO_CTRL2[7:0]	DO_CL[1:0]		–	DO_CLBL[1:0]		DO_AutoRtyTime[1:0]		DO_AutoRt yEn
0x5A	TX_CTRL[7:0]	CQTx	CQTxEn	CQDrvSel	DOTx	DODrvSel	–	CQDOPar	DO_AV
0x5B	RX_CTRL[7:0]	–	RXTTL	RXDIS	RXFilter	–	–	–	DIFilter
0x5C	MISC_CTRL[7:0]	HEART_ WU	–	–	–	–	–	CQPUD2 mA	DOPUD2m A
THERMAL ADC CONTROLS									
0x5D	ThADCCfg[7:0]	ADCStar t	–	–	–	–	–	ADCCfg[1:0]	
0x5E	ThADCThd[7:0]	–	–	ThWrn[5:0]					
0x5F	ThADCRes[7:0]	ADC_EO B	–	ThVal[5:0]					

レジスタの詳細

CHIP_ID (0x0)

BIT	7	6	5	4	3	2	1	0
Field	CHIPID[7:0]							
Reset	0x16							
Access Type	Read Only							

ビットフィールド	ビット	説明
CHIPID	7:0	ChipIDレジスタは、MAX22516のダイ・タイプ (RX46) を示します。

REV_ID (0x1)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	REVID[3:0]			
Reset	–	–	–	–	0x02			
Access Type	–	–	–	–	Read Only			

ビットフィールド	ビット	説明	デコード
REVID	3:0	RevIDビットはMAX22516のリビジョンを示します。	0x0: N/A 0x1: Pass 1 0x2: Pass 2

IOLStat (0x2)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	DLMode[2:0]		
Reset	–	–	–	–	–	0b000		
Access Type	–	–	–	–	–	Read Only		

ビットフィールド	ビット	説明	デコード
DLMode	2:0	データ・リンク・レイヤの動作モード これらのビットで通信のDLモードを示します。	000 = IDLE_0 001 = EstablishCom_1 010 = Startup_2 011 = PreOperate_3 100 = Operate_4 No other codes permitted.

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

DEVStat1 (0x3)

BIT	7	6	5	4	3	2	1	0
Field	–	–	BuckFault	BuckOk	–	–	RXLvl	LILvl
Reset	–	–			–	–	0b0	0b0
Access Type	–	–	Read Only	Read Only	–	–	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
BuckFault	5	DC/DCフォルト・ビット DC/DCフォルト条件には、出力の過電流や過負荷、出力電圧の設定電圧の70%を下回る低下、レギュレータのヒカップ・モード状態などがあります。	0 = The DC-DC is operating normally. No fault conditions are present. 1 = A fault condition is present on the DC-DC regulator.
BuckOk	4	DC/DCパワーOK	0 = The DC-DC regulator is not ready or has a fault condition. 1 = The DC-DC regulator is operating normally in the steady state condition and is ready to be used.
RXLvl	1	RX出力レベル・ステータス・ビット	0 = RX output is low. 1 = RX output is high. The logic level of the RX output is defined by the level of the C/Q pin, RXTTL bit, and the CQ_INV bit. RXLvl is always 0 when RXDis = 1.
LILvl	0	LI出力レベル・ステータス・ビット	0 = LI output is low. 1 = LI output is high. The logic state of the LI output is defined by the state of the DI pin.

DEVStat2 (0x4)

BIT	7	6	5	4	3	2	1	0
Field	–	ExtClkFail	DOFlt	CQFlt	V24Err	VMErr	ThW	–
Reset	–		0b0	0b0	0b0	0b0	0b0	–
Access Type	–	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	–

ビットフィールド	ビット	説明	デコード
ExtClkFail	6	外部クロック・フェイル・ビット MCLKが入力としてプログラムされていて（MCLKDIRがローかつExtClk = 1）クロックが存在しないとき、あるいはMCLKピンのクロック周波数が不正なときに、このビットがセットされます。	0 = No clock issues detected/internal clock used. 1 = Missing or incorrect clock at MCLK input.
DOFit	5	DOフォルト・ステータス・ビット	0 = No fault on DO driver. 1 = Overcurrent or thermal overload fault on DO driver.
CQFit	4	C/Qフォルト・ステータス・ビット	0 = No fault on C/Q driver. 1 = Overcurrent or thermal overload fault on C/Q driver.
V24Err	3	V ₂₄ 低電圧ステータス・ビット	0 = V ₂₄ is above the 7V (typ) rising undervoltage lockout (UVLO) threshold. 1 = V ₂₄ is below the 6V (typ) falling UVLO threshold.
VMErr	2	モニタ入力・ステータス・ビット	0 = V _M is above the 900mV (typ) threshold. 1 = V _M is below the 900mV (typ) threshold.
ThW	1	過熱警告ステータス・ビット	0 = The die temperature is below the warning threshold temperature. 1 = The die temperature is above the warning threshold temperature.

ISDUStat (0x5)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	ISDU_BAV
Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Read Only

ビットフィールド	ビット	説明	デコード
ISDU_BAV	0	ISDUバッファの動作ステータス・ビット	0 = The ISDU buffer is not available to be over SPI. 1 = The ISDU buffer is available to be read.

IOLErrCnt (0x6)

BIT	7	6	5	4	3	2	1	0
Field	IOLErrCnt[7:0]							
Reset	0x00							

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

Access Type	Read Only
-------------	-----------

ビットフィールド	ビット	説明
IOLinkErrCnt	7:0	<p>IO-Link通信エラー・カウンタ</p> <p>IO-Link通信でエラーが発生するごとに、IOLinkErrCnt[7:0]ビットがインクリメントされます。通信エラーの要因としては、チェックノタイプ・オクテット（CKT）の不正、IO-Linkマスタから届くバイト数の不正などがあります。</p> <p>MAX22516は、このレジスタに最大255回のエラー発生を記録することができ、オーバーフローでクリアされます。</p> <p>IOLinkErrCntレジスタに何らかの値を書き込むと、IOLinkErrCnt[7:0]ビットがクリアされます。</p>

FRMErrCnt (0x7)

BIT	7	6	5	4	3	2	1	0
Field	FrmErrCnt[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
FrmErrCnt	7:0	<p>IO-Link通信フレーム・パリティ・エラー・ビット</p> <p>マスタからのIO-Link通信でフレーム・パリティ・エラーが発生するごとに、FrmErrCnt[7:0]ビットがインクリメントされます。</p> <p>MAX22516は、このレジスタに最大255回のエラー発生を記録することができ、オーバーフローでクリアされます。</p> <p>FRMErrCntレジスタに何らかの値を書き込むと、FrmErrCnt[7:0]ビットがクリアされます。</p>

IOLInt (0x8)

BIT	7	6	5	4	3	2	1	0
Field	WDInt	DOFItInt	PDOOutDatRxInt	ClrEvnFlgInt	WUInt	MCmdInt	DirPage1Int	DLModelInt
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read

ビットフィールド	ビット	説明	デコード
WDInt	7	<p>ウォッチドッグ・サイクル・カウンタ割込み</p> <p>MAX22516はウォッチドッグ・タイムアウトをモニタし、タイムアウト時間が経過するとWDIntビットをセットします。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = Watchdog time has not expired since bit was last cleared.</p> <p>1 = Watchdog timer has expired since bit was last cleared.</p>

ビットフィールド	ビット	説明	デコード
DOFtlInt	6	DOフォルト割込み DOのフォルト条件には、過電流／過負荷やドライバのサーマル・シャットダウン・イベントなどがあります。 このビットに1を書き込むと、クリアされます。	0 = No fault has occurred on DO fault since bit was last cleared. 1 = A fault has been detected on DO since the bit was last cleared.
PDOOutDatRxInt	5	PDOOUTデータ受信割込み このビットに1を書き込むと、クリアされます。	0 = No new PDOOUT data has been received since this bit was last cleared. 1 = New PDOOUT data has been received since this bit was last cleared.
ClrEvnFlgInt	4	マスタによるイベント・フラグ・クリア割込み IO-Linkマスタが、STATUS_CODEレジスタのStatusCode[7:0]ビットに書き込んでイベント処理を完了したときに、このビットがセットされます。この操作でイベント・フラグがクリアされます。 このビットに1を書き込むと、クリアされます。	0 = No Event process has been completed since this bit was last cleared. 1 = Event process has been completed since this bit was last cleared.
WUInt	3	有効ウェイクアップ検出割込み 有効なウェイクアップ・パルスが検出されたことを示します。有効なウェイクアップ・パルスが検出されるのは、Idle_0状態のみです。 このビットに1を書き込むと、クリアされます。	0 = A valid wake-up pulse has not been detected since this bit was last cleared. 1 = A valid wake-up pulse has been detected since this bit was last cleared.
MCmdInt	2	マスタ・コマンド割込み 有効なIO-Linkマスタ・コマンド（MC）を受信すること、あるいはIO-Linkマスタが Direct Page 1バイトに0x00を書き込むごとに、このビットがセットされます。 このビットに1を書き込むと、クリアされます。	0 = No valid master command has been received since this bit was last cleared. 1 = A valid master command has been received since this bit was last cleared.
DirPage1Int	1	IO-LinkマスタによるDirect Page 1の内容変更割込み Direct Page 1の場所（1Ah～29h）に書き込み可能な内容をIO-Linkマスタが変更したときには、必ずこのビットがセットされます。 このビットに1を書き込むと、クリアされます。	0 = Direct Page 1 content has not been changed by the master since this bit was last cleared. 1 = Direct Page 1 content has been changed By the master since this bit was last cleared.
DLModeInt	0	DLモード割込みビット DLMode[2:0]ビット中のDLモード状態が変更されたとき、このビットがセットされます。詳細については、IOLStatレジスタを参照してください。 このビットに1を書き込むと、クリアされます。	0 = DLMODE[2:0] bits have changed since this bit was last cleared. 1 = DLMODE[2:0] bits have changed since this bit was last cleared.

DEVInt (0x9)

BIT	7	6	5	4	3	2	1	0
Field	CRCErrInt	FrmErrCntInt	IOLinkErrCntInt	CQFtInt	V24ErrInt	VMErrInt	ThWInt	–
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	–
Access Type	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	–

ビットフィールド	ビット	説明	デコード
CRCErrInt	7	<p>CRCエラー割込み</p> <p>CRC検出が有効なとき、MAX22516はSPI通信をモニタし、各SPI通信のCRCを計算します。このビットは、SPI書き込みサイクルの最後に受信したCRCと計算したCRCに不一致が生じたことを示します。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No CRC error detected. 1 = CRC error detected.</p>
FrmErrCntInt	6	<p>IO-Link/UARTフレーム・エラー割込み</p> <p>このビットは、IO-Linkラインでパリティ・エラーまたはフレーム・エラーが検出されたことを示します。IO-Link/UARTフレーム・エラーが発生すると、FRMErrCntレジスタのFrmErrCnt[7:0]がインクリメントされます。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No IO-Link/UART frame error detected. 1 = IO-Link/UART frame error detected.</p>
IOLinkErrCntInt	5	<p>IO-Link通信エラー割込み</p> <p>IO-Link通信エラーが発生したとき、このビットがセットされます。IO-Link通信エラーの要因としては、CKTの不正、バイト数の不正、MAX22516がIO-LinkマスタにCKSパケットを返さなくなる何らかの問題などがあります。</p> <p>IO-Link通信でエラーが発生するごとに、IOLinkErrCnt[7:0]ビットもインクリメントされます。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No IO-Link error detected. 1 = IO-Link error detected.</p>

ビットフィールド	ビット	説明	デコード
CQFItInt	4	C/Qフォルト割込み このビットは、C/Qでフォルトが発生したときにセットされます。フォルト条件には、過電流フォルトやドライバの温度フォルトがあります。 このビットに1を書き込むと、クリアされます。	0 = No C/Q fault detected. 1 = C/Q fault detected.
V24ErrInt	3	V ₂₄ 低電圧割込み V ₂₄ がUVLOスレッシュホールドを下回ると、このビットがセットされます。 このビットに1を書き込むと、クリアされます。	0 = V ₂₄ has not fallen below the UVLO threshold. 1 = V ₂₄ has fallen below the UVLO threshold.
VMErrInt	2	モニタ電圧V _M の低電圧割込み モニタされた電圧V _M がスレッシュホールドを下回ると、このビットがセットされます。 このビットに1を書き込むと、クリアされます。	0 = V _M has not fallen below the threshold. 1 = V _M has fallen below the threshold.
ThWInt	1	過熱警告割込み このビットは、ダイ温度が過熱警告のスレッシュホールドを超えたときにセットされます。 このビットに1を書き込むと、クリアされます。	0 = The IC junction temperature has not exceeded the thermal warning threshold. 1 = The IC junction temperature has exceeded the thermal warning threshold.

ISDUInt (0xA)

BIT	7	6	5	4	3	2	1	0
Field	-	-	ISDU_BAVInt	CHKPDUErrInt	NewISDUWriteStartInt	ISDUAbtInt	ISDUIdleInt	ISDUPckInt
Reset		-	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write 1 to Clear, Read	-	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read	Write 1 to Clear, Read

ビットフィールド	ビット	説明	デコード
-	7	予約済み	
ISDU_BAVInt	5	ISDUバッファ・アクセス可能割込み このビットは、ISDUバッファがSPIでアクセス可能になったときにセットされます。 このビットに1を書き込むと、クリアされます。	0 = ISDU buffer is not available to SPI interface. 1 = ISDU buffer is available to SPI interface.

ビットフィールド	ビット	説明	デコード
CHKPDUErrInt	4	<p>CHKPDUエラー割込み</p> <p>ISDU出力転送末尾のCHKPDUパケットが不正であったときに、このビットはセットされます。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = Correct CHKPDU received. 1 = Incorrect CHKPDU received.</p>
NewISDUWriteStartInt	3	<p>新規ISDU出力サイクル書き込み開始割込み</p> <p>IO-Linkマスタが0x70コマンドを送信し、新規のISDU転送の開始をトリガしたときに、このビットはセットされます。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No new ISDU out cycle started. 1 = A new ISDU out cycle has started.</p>
ISDUAbtInt	2	<p>ISDUのABORTコマンド受信割込み</p> <p>このビットは、ISDUの中断（ABORT）コマンド（0xFF）をIO-Linkマスタから受信したときにセットされます。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No ISDU abort command has been received. 1 = ISDU abort command has been received.</p>
ISDUIdleInt	1	<p>ISDUのIDLEコマンド受信割込み</p> <p>このビットは、ISDUリクエストの完了後にIO-LinkマスタのISDU IDLEコマンドを最初に受信したときにセットされます。ISDU IDLE コマンドは 0b1111 xxxx（xxxx=0000 と xxxx=1111の場合を除く）です。</p> <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No ISDU IDLE command received. 1 = ISDU IDLE command received.</p>
ISDUPckInt	0	<p>ISDUパケット受信割込み</p> <p>このビットは、CHKPDUが正しいか否かにかかわらず、IO-Linkマスタから完全なISDUパケットを受信したときにセットされます。</p> <p>ISDUデータを読み出す前に、コントローラは次の手順を完了する必要があります。</p> <ol style="list-style-type: none"> 1) このビットに1を書き込んでクリアする。 2) ISDU_BAV ステータス・ビット（ISDUStat[0]）をポーリングするか、割込みビットのISDu_BAVInt（ISDUInt[5]）が高くなるのを待つことにより、ISDUバッファがアクセス可能になるのを待つ。 <p>このビットに1を書き込むと、クリアされます。</p>	<p>0 = No ISDU packet received. 1 = Complete ISDU packet received.</p>

IOLIntEn (0xE)

BIT	7	6	5	4	3	2	1	0
Field	WDIntEn	DOFItIntEn	PDOUTDatRxIntEn	ClrEvnFlgIntEn	WUIntEn	MCmdIntEn	DirPage1IntEn	DLModelIntEn
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
WDIntEn	7	ウォッチドッグ・サイクル・カウンタ割込み (WDInt) イネーブル このビットをセットすると、WDIntビットがセットされたとき (IOLInt[7] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when WDInt = 1. 1 = IRQ asserts when WDInt = 1.
DOFItIntEn	6	DOフォルト割込み (DOFItInt) イネーブル このビットをセットすると、DOFItIntビットがセットされたとき (IOLInt[6] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when DOFItInt = 1. 1 = IRQ asserts when DOFItInt = 1.
PDOUTDatRxIntEn	5	PDOOUTデータ受信割込み (PDOUTDatRxInt) イネーブル このビットをセットすると、PDOUTDatRxIntビットがセットされたとき (IOLInt[5] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when PDOUTDatRxInt = 1. 1 = IRQ asserts when PDOUTDatRxInt = 1.
ClrEvnFlgIntEn	4	IO-Linkマスタによるイベント・フラグ・クリア割込み (ClrEvnFlgInt) イネーブル このビットをセットすると、ClrEvnFlgIntビットがセットされたとき (IOLInt[4] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when ClrEvnFlgInt = 1. 1 = IRQ asserts when ClrEvnFlgInt = 1.
WUIntEn	3	ウェイクアップ検出割込み (WUInt) イネーブル このビットをセットすると、WUIntビットがセットされたとき (IOLInt[3] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when WUInt = 1. 1 = IRQ asserts when WUInt = 1.
MCmdIntEn	2	IO-Linkマスタ・コマンド割込み (MCmdInt) イネーブル このビットをセットすると、MCmdIntビットがセットされたとき (IOLInt[2] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when MCmdInt = 1. 1 = IRQ asserts when MCmdInt = 1.
DirPage1IntEn	1	IO-LinkマスタによるDirect Page 1の内容変更割込み (DirPage1Int) イネーブル このビットをセットすると、DirPage1Intビットがセットされたとき (IOLInt[1] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when DirPage1Int = 1. 1 = IRQ asserts when DirPage1Int = 1.

ビットフィールド	ビット	説明	デコード
DLModelIntEn	0	DLモード割込み (DLModelInt) イネーブル このビットをセットすると、DLModelIntビットがセットされたとき (IOLInt[0] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when DLModelInt = 1. 1 = IRQ asserts when DLModelInt = 1.

DEVIntEn (0xF)

BIT	7	6	5	4	3	2	1	0
Field	CRCErrIntEn	FrmErrCntIntEn	IOLinkErrCntIntEn	CQFItIntEn	V24ErrIntEn	VMErrIntEn	ThWIntEn	–
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	–

ビットフィールド	ビット	説明	デコード
CRCErrIntEn	7	CRCエラー割込み (CRCErrInt) イネーブル このビットをセットすると、CRCErrIntビットがセットされたとき (DEVInt[7] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when CRCErrInt = 1. 1 = IRQ asserts when CRCErrInt = 1.
FrmErrCntIntEn	6	IO-Link/UARTフレーム・エラー割込み (FrmErrCntInt) イネーブル このビットをセットすると、FrmErrCntIntビットがセットされたとき (DEVInt[6] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when FrmErrCntInt = 1. 1 = IRQ asserts when FrmErrCntInt = 1.
IOLinkErrCntIntEn	5	IO-Link通信エラー割込み (IOLinkErrCntInt) イネーブル このビットをセットすると、IOLinkErrCntIntビットがセットされたとき (DEVInt[5] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when IOLinkErrCntInt = 1. 1 = IRQ asserts when IOLinkErrCntInt = 1.
CQFItIntEn	4	C/Qフォルト割込み (CQFItInt) イネーブル このビットをセットすると、CQFItIntビットがセットされたとき (DEVInt[4] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when CQFItInt = 1. 1 = IRQ asserts when CQFItInt = 1.
V24ErrIntEn	3	V ₂₄ 低電圧割込み (V24ErrInt) イネーブル このビットをセットすると、V24ErrIntビットがセットされたとき (DEVInt[3] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when V24ErrInt = 1. 1 = IRQ asserts when V24ErrInt = 1.
VMErrIntEn	2	VMエラー割込み (VMErrInt) イネーブル このビットをセットすると、VMErrIntビットがセットされたとき (DEVInt[2] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when VMErrInt = 1. 1 = IRQ asserts when VMErrInt = 1.

ビットフィールド	ビット	説明	デコード
ThWIntEn	1	過熱警告割込み (ThWInt) イネーブル このビットをセットすると、ThmWrntIntビットがセットされたとき (DEVInt[1] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when ThWInt = 1. 1 = IRQ asserts when ThWInt = 1.

ISDUIntEn (0x10)

BIT	7	6	5	4	3	2	1	0
Field	-	-	ISDU_BAVIntEn	CHKPDUErrIntEn	NewISDUWriteStartIntEn	ISDUAbtIntEn	ISDUIdleIntEn	ISDUPckIntEn
Reset		-	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	-	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
-	7	このビットは予約済みです。	
ISDU_BAVIntEn	5	ISDUバッファ・アクセス可能割込み (ISDU_BAVInt) イネーブル このビットをセットすると、ISDU_BAVIntビットがセットされたとき (ISDUInt[5] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when ISDU_BAVInt = 1. 1 = IRQ asserts when ISDU_BAVInt = 1.
CHKPDUErrIntEn	4	CHKPDUエラー割込み (CHKPDUErrInt) イネーブル このビットをセットすると、CHKPDUErrIntビットがセットされたとき (ISDUInt[4] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when CHKPDUErrInt = 1. 1 = IRQ asserts when CHKPDUErrInt = 1.
NewISDUWriteStartIntEn	3	新規ISDU出力サイクル書き込み開始割込み (NewISDUWriteStartInt) イネーブル このビットをセットすると、NewISDUWriteStartIntビットがセットされたとき (ISDUInt[3] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when NewISDUWriteStartInt = 1. 1 = IRQ asserts when NewISDUWriteStartInt = 1.
ISDUAbtIntEn	2	ISDUのABORTコマンド受信割込み (ISDUAbtInt) イネーブル このビットをセットすると、ISDUAbtIntビットがセットされたとき (ISDUInt[2] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when ISDUAbtInt = 1. 1 = IRQ asserts when ISDUAbtInt = 1.
ISDUIdleIntEn	1	ISDUのIDLEコマンド受信割込み (ISDUIdleInt) イネーブル このビットをセットすると、ISDUIdleIntビットがセットされたとき (ISDUInt[1] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when ISDUIdleInt = 1. 1 = IRQ asserts when ISDUIdleInt = 1.

ビットフィールド	ビット	説明	デコード
ISDUPckIntEn	0	ISDUパケット受信割込み (ISDUPckInt) イネーブル このビットをセットすると、ISDUPckInt ビットがセットされたとき (ISDUInt[0] = 1) IRQ出力がアサートされます。	0 = IRQ does not assert when ISDUPckInt = 1. 1 = IRQ asserts when ISDUPckInt = 1.

IOLCfg (0x14)

BIT	7	6	5	4	3	2	1	0
Field	DeviceAnsDelay[1:0]		ConfDone	CRCEn	COMx[1:0]		Page1Inh	SIOForce
Reset	0b00		0b0	0b0	0b00		0b0	0b0
Access Type	Write, Read		Write, Read	Write, Read	Write, Read		Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
DeviceAnsDelay	7:6	デバイス応答遅延 これらのビットは、受信したIO-Linkマスタ・メッセージの最後から、MAX22516からマスタへの応答の開始までの遅延を設定します。	00 = 2 bit times 01 = 4 bit times 10 = 6 bit times 11 = 8 bit times
ConfDone	5	マップ構成完了 パワーアップ後にレジスタ・マップの構成が完了したときに、このビットがセットされます。 このビットが0のときは、MAX22516はSIOモードから抜けられないことに注意してください。	0 = Register map configuration is not complete. 1 = Register map configuration is complete.
CRCEn	4	SPI CRCイネーブル このビットをセットするか、CRCENピンをハイにドライブすると、SPI通信でCRCが有効になります。	0 = CRC status depends on the CRCEN pin: SPI CRC is disabled if CRCEN is low. SPI CRC is enabled if CRCEN is high. 1 = CRC is enabled.
COMx	3:2	IO-Link通信速度 これらのビットの設定によって、MAX22516とIO-Linkマスタの間のIO-Link通信の通信レートを選択します。	00 = COM3 (230.4kbps) 01 = COM2 (38.4kbps) 10 = COM1 (4.8kbps) 11 = COM3 (230.4kbps)
Page1Inh	1	PAGE 1へのIO-Linkマスタ書き込み禁止 このビットをセットすると、PAGE 1にあるRevisionID、DeviceID1、DeviceID2、DeviceID3の各パラメータへのIO-Linkマスタの書き込みを拒否します。このビットがセットされているとき、これらのパラメータへの書き込みは拒否されます。	0 = Master can overwrite RevisionID, DeviceID1, DeviceID2, and DeviceID3 in PAGE 1. 1 = Master cannot overwrite the contents of the RevisionID, DeviceID1, DeviceID2, and DeviceID3

ビットフィールド	ビット	説明	デコード
SIOForce	0	強制SIOモード このビットをセットすると、DLモード・ハンドラのステート・マシンをリセットし、強制的にMAX22516をSIOモードにします。	0 = Do not force the MAX22516 to SIO mode. 1 = MAX22516 is forced to SIO mode.

WDGTmr (0x15)

BIT	7	6	5	4	3	2	1	0
Field	Watchdog[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
Watchdog	7:0	ウォッチドッグ・カウンタ このレジスタには、MAX22516が自動的にSIOモードに遷移しWDIntがセットされるまでに実行される正常なIO-Linkサイクルの数を記録します。 SIOモードとESTCOMモードではウォッチドッグは動作しません。 レジスタが0x00のとき、ウォッチドッグ・サイクル・カウンタは動作停止します。 このレジスタは定期的にクリアしてください。レジスタをクリアする方法は、WDGClrレジスタのWDClearビットの設定によって変わります。

WDGClr (0x16)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	—	WDClear
Reset	—	—	—	—	—	—	—	0b0
Access Type	—	—	—	—	—	—	—	Write, Read

ビットフィールド	ビット	説明	デコード
WDClear	0	ウォッチドッグ・クリア	0 = Watchdog[7:0] bits in the WDGTmr register are cleared after a SPI write into the WDGTmr register. If the WDG output is asserted, write a 1 to the WDInt bit in the IOLInt register to clear the interrupt and deassert WDG. 1 = Watchdog[7:0] bits are cleared after loading PDIn data.

MISCCfg (0x17)

BIT	7	6	5	4	3	2	1	0
Field	LDO33Dis	–	IOLDly[1:0]		BuckDCM	BuckPFM	BuckSS	BuckDis
Reset		–						
Access Type	Write, Read	–	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LDO33Dis	7	V ₃₃ リニア・レギュレータ・ディスエーブル このレジスタを使用して、V ₃₃ リニア・レギュレータの出力をディスエーブルします。デフォルトでは、レギュレータはイネーブルされています。	0 = V ₃₃ linear regulator is enabled. 1 = V ₃₃ linear regulator is disabled
IOLDly	5:4	IO-Linkのパケット間遅延時間選択 これらのビットを使用して、IO-Link通信中のパケット間遅延時間を選択します。遅延はTbit間隔単位で設定されます。	00 = Delay is 1 Tbit times. 01 = Delay is 2 Tbit times. 10 = Delay is 3 Tbit times. 11 = Delay is 4 Tbit times.
BuckDCM	3	DC/DCレギュレータのDCMモード選択 デフォルトでは内蔵DC/DCレギュレータはPWMモードで動作します。このビットをセットすると、DC/DCがDCMモードで動作します。 DC/DCレギュレータをDCMモードやPWMモードでなくPFMモードで動作させるには、BuckPFMビットを参照してください。	0 = The DC-DC regulator operates in PFM mode (BuckPFM = 1) or PWM mode (BuckPFM = 0) after soft-start is complete. 1 = The DC-DC regulator operates in DCM mode after soft-start is complete.
BuckPFM	2	DC/DCレギュレータのPFMモード選択 デフォルトでは内蔵DC/DCレギュレータはPWMモードで動作します。このビットをセットすると、DC/DCがPFMモードで動作します。 DC/DCレギュレータをPFMモードやPWMモードでなくDCMモードで動作させるには、BuckDCMビットを参照してください。	0 = The DC-DC regulator operates in PWM mode (BuckDCM = 0) or DCM mode (BuckDCM = 1) after soft-start is complete. 1 = The DC-DC regulator operates in PFM mode after soft-start is complete.
BuckSS	1	DC/DCスペクトラム拡散イネーブル このビットをセットすると、DC/DCレギュレータのクロックのスペクトラム拡散が有効になります。	0 = Spread spectrum operation is not enabled on the DC-DC regulator. 1 = Spread spectrum operation is enabled on the DC-DC regulator.

ビットフィールド	ビット	説明	デコード
BuckDis	0	DC/DCレギュレータ・イネーブル デフォルトでは、内蔵のDC/DCレギュレータはイネーブルされています。このビットをセットすると、DC/DCがディスエーブルされます。	0 = DC-DC regulator is enabled. 1 = DC-DC regulator is disabled.

CLKCfg (0x18)

BIT	7	6	5	4	3	2	1	0
Field	EnClkTrim	ExtClk	–	–	ClkDiv[2:0]			MCLKDis
Reset			–	–				
Access Type	Write, Read	Write, Read	–	–	Write, Read			Write, Read

ビットフィールド	ビット	説明	デコード
EnClkTrim	7	MCLKトリミング・イネーブル このビットをセットすると、MCLK出力周波数の高精度トリミングが有効になります。詳細については、CLKTrimレジスタを参照してください。 高精度トリミングを有効にするには、MCLKDIRがハイである必要があります。	0 = Fine trimming of the MCLK frequency is disabled. 1 = Fine trimming of the MCLK frequency is enabled.
ExtClk	6	外部クロック入力イネーブル デフォルトでは、内部発振器がUART通信に使用されます。このビットをセットすると、MCLKに供給される外部クロックがUART通信に使用されます。 MCLKDIRピンがハイのとき、このビットは無視されます。	0 = Internal oscillator is used for UART communication. 1 = External clock from MCLK is used for UART communication. For more information, see the ClkDiv bits.
ClkDiv	3:1	MCLK周波数選択 MCLKDIRがローのとき、MCLKは入力になります。MCLKDIRがハイの場合、MCLKは出力になります。MCLK周波数を設定するには、CLKDIV[2:0]ビットを設定します。	MCLKDIR is low or high: 000 = MCLK frequency is 3.686MHz (typ). 001 = MCLK frequency is 7.373MHz (typ). 010 = MCLK frequency is 14.74MHz (typ). 011 = MCLK frequency is 29.49MHz (typ). MCLKDIR is low (MCLK is an input): 10x = MCLK frequency is 1.843MHz (typ). 11x = MCLK frequency is 921.5kHz (typ). MCLKDIR is high (MCLK is an output): 100 = MCLK frequency is 1.843MHz (typ). 101 or 11x = MCLK is halted.

ビットフィールド	ビット	説明	デコード
MCLKDis	0	<p>MCLKディセーブル</p> <p>デフォルトでは、MCLK発振器はイネーブルされています。このビットをセットすると、MCLKがディセーブルされます。</p> <p>MCLKDIRピンがローのとき、このビットは無視されます。</p>	<p>0 = MCLK is enabled. 1 = MCLK is disabled. MCLK is high when disabled.</p>

CLKTrim (0x19)

BIT	7	6	5	4	3	2	1	0
Field	—	—	ClkTrim[5:0]					
Reset	—	—						
Access Type	—	—	Write, Read					

ビットフィールド	ビット	説明
ClkTrim	5:0	<p>MCLKトリミング設定</p> <p>ClkTrim[5:0]ビットは、内部生成クロック周波数のトリミングに使用します。ビットはバイナリ・コードで、0が中央、-32が-5%、+31が+6.7%になります。</p>

PAGE1_BYTE00 (0x1A)

BIT	7	6	5	4	3	2	1	0
Field	MasterCommand[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
MasterCommand	7:0	<p>最終受信マスタ・コマンド</p> <p>このレジスタには、MAX22516への最後の動作状態変更のIO-Linkマスタ・コマンドが格納されています。このレジスタは、デバッグ目的でマイクロコントローラから読み出すことができます。</p>

PAGE1_BYTE01 (0x1B)

BIT	7	6	5	4	3	2	1	0
Field	MasterCycleTime[7:0]							

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

Reset	0x00
Access Type	Read Only

ビットフィールド	ビット	説明
MasterCycleTime	7:0	IO-Link マスタ・サイクル期間 このレジスタには、IO-Link マスタが MAX22516 のアドレス指定に使用した実サイクル期間が格納されています。このレジスタは、プロセス・データの転送をモニタするためのパラメータとして使用できます。

PAGE1_BYTE02 (0x1C)

BIT	7	6	5	4	3	2	1	0
Field	MinCycleTime[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
MinCycleTime	7:0	デバイスの最小サイクル時間 このレジスタは、MAX22516 がサポートする最小クロック期間を保持しています。最小サイクル時間は、IO-Link デバイスの性能特性の1つです。マイクロコントローラは、トランシーバーの構成時に MAX22516 に最小サイクル時間を書き込む必要があります。

PAGE1_BYTE03 (0x1D)

BIT	7	6	5	4	3	2	1	0
Field	MSequenceCapability[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
MSequenceCapability	7:0	Mシーケンス機能 このレジスタは、Mシーケンスに関連して実装されているオプションと、デバイス用の物理的構成に関する情報を含んでいます。

PAGE1_BYTE04 (0x1E)

BIT	7	6	5	4	3	2	1	0
Field	RevisionID[7:0]							
Reset	0x03							
Access Type	Write, Read							

ビットフィールド	ビット	説明
RevisionID	7:0	<p>デバイスのプロトコル・リビジョン</p> <p>このレジスタは、デバイスの実装に使用したプロトコル・バージョンのリビジョンが保持されています。</p>

PAGE1_BYTE05 (0x1F)

BIT	7	6	5	4	3	2	1	0
Field	ProcessDataIn[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ProcessDataIn	7:0	<p>入力プロセス・データ (PDIn)</p> <p>このレジスタには、入力プロセス・データ (デバイスからIO-Linkマスタへのプロセス・データ) のタイプと長さが含まれます。</p>

PAGE1_BYTE06 (0x20)

BIT	7	6	5	4	3	2	1	0
Field	ProcessDataOut[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ProcessDataOut	7:0	<p>出力プロセス・データ (PDOOut)</p> <p>このレジスタには、出力プロセス・データ (IO-Linkマスタからデバイスへのプロセス・データ) のタイプと長さが含まれます。</p>

PAGE1_BYTE07 (0x21)

BIT	7	6	5	4	3	2	1	0
Field	VendorID1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
VendorID1	7:0	<p>ユニーク・ベンダ識別 (MSB)</p> <p>IO-Linkデバイスの各ベンダには一意のベンダ識別番号があります。通信を確立する際には、IO-Link マスタにベンダ識別を送信する必要があります。デバイス・ベンダのユニーク・ベンダ識別のMSBとLSBを、PAGE1_BYTE07のVendorID1 (MSB)、PAGE1_BYTE08のVendorID2 (LSB) をそれぞれ使用して書き込みます。</p>

PAGE1_BYTE08 (0x22)

BIT	7	6	5	4	3	2	1	0
Field	VendorID2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
VendorID2	7:0	<p>ユニーク・ベンダ識別 (LSB)</p> <p>IO-Linkデバイスの各ベンダには一意のベンダ識別番号があります。通信を確立する際には、IO-Link マスタにベンダ識別を送信する必要があります。デバイス・ベンダのユニーク・ベンダ識別のMSBとLSBを、PAGE1_BYTE07のVendorID1 (MSB)、PAGE1_BYTE08のVendorID2 (LSB) をそれぞれ使用して書き込みます。</p>

PAGE1_BYTE09 (0x23)

BIT	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

Field	DeviceID1[7:0]
Reset	0x00
Access Type	Write, Read

ビットフィールド	ビット	説明
DeviceID1	7:0	ベンダ割り当てのユニーク・デバイス識別（オクテット2、MSB） 各IO-Linkデバイスには、デバイス・ベンダが割り当てた一意のデバイス識別番号があります。このデバイスのユニーク・デバイス識別番号を、PAGE1_BYTE09のDeviceID1（MSB）、PAGE1_BYTE0AのDeviceID2、PAGE1_BYTE0BのDeviceID3（LSB）を使用して書き込みます。

PAGE1_BYTE0A (0x24)

BIT	7	6	5	4	3	2	1	0
Field	DeviceID2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
DeviceID2	7:0	ベンダ割り当てのユニーク・デバイス識別（オクテット1） 各IO-Linkデバイスには、デバイス・ベンダが割り当てた一意のデバイス識別番号があります。このデバイスのユニーク・デバイス識別番号を、PAGE1_BYTE09のDeviceID1（MSB）、PAGE1_BYTE0AのDeviceID2、PAGE1_BYTE0BのDeviceID3（LSB）を使用して書き込みます。

PAGE1_BYTE0B (0x25)

BIT	7	6	5	4	3	2	1	0
Field	DeviceID3[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
DeviceID3	7:0	ベンダ割り当てのユニーク・デバイス識別（オクテット0、LSB） 各IO-Linkデバイスには、デバイス・ベンダが割り当てた一意のデバイス識別番号があります。このデバイスのユニーク・デバイス識別番号を、PAGE1_BYTE09のDeviceID1（MSB）、PAGE1_BYTE0AのDeviceID2、PAGE1_BYTE0BのDeviceID3（LSB）を使用して書き込みます。

PAGE1_BYTE0C (0x26)

BIT	7	6	5	4	3	2	1	0
Field	FunctionID1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
FunctionID1	7:0	MSB (予約済み)

PAGE1_BYTE0D (0x27)

BIT	7	6	5	4	3	2	1	0
Field	FunctionID2[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
FunctionID2	7:0	LSB (予約済み)

PAGE1_BYTE0E (0x28)

BIT	7	6	5	4	3	2	1	0
Field	Page1Reserved1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
Page1Reserved1	7:0	予約済み

PAGE1_BYTE0F (0x29)

BIT	7	6	5	4	3	2	1	0
Field	Page1Reserved2[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
Page1Reserved2	7:0	予約済み

WDGEvent (0x2A)

BIT	7	6	5	4	3	2	1	0
Field	WDGCode[7:0]							
Reset								
Access Type	Write, Read							

ビットフィールド	ビット	説明
WDGCode	7:0	<p>ウォッチドッグ・イベント・コード</p> <p>ウォッチドッグ・タイマが終了したとき、指定したデータ・オクテットをStatusCodeレジスタに送信できます。設定するウォッチドッグ・イベント・コードをWDGCode[7:0]に書き込みます。</p> <p>ウォッチドッグ・タイマが終了してWDGEvent = 1になったとき、STATUS_CODEレジスタはWDGCode[7:0]ビットで置換されます。</p>

STATUS_CODE_DEF (0x2B)

BIT	7	6	5	4	3	2	1	0
Field	StatusCodeDefault[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
StatusCodeDefault	7:0	<p>IO-Linkのデバイス・ステータス・コードのデフォルト</p> <p>設定するデフォルトのデバイス・ステータス・コードを、このレジスタに書き込みます。IO-Linkマスタが、デバイスのEventメモリのアドレス0x00から読むコマンドを発行したとき、EVENT_FLOWレジスタ中のEventFlag = 0であれば、このレジスタの内容がIO-Linkマスタに送信されます。</p> <p>IO-Linkマスタが、デバイスのEventメモリのアドレス0x00から読むコマンドを発行したとき、EVENT_FLOWレジスタ中のEventFlag = 1であれば、STATUS_CODEレジスタの内容がIO-Linkマスタに送信されます。</p>

STATUS_CODE (0x2C)

BIT	7	6	5	4	3	2	1	0
Field	StatusCode[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
StatusCode	7:0	<p>IO-Linkのデバイス・ステータス・コード</p> <p>デバイス・ステータス・コードを、このレジスタに書き込みます。IO-Linkマスタが、デバイスのEventメモリのアドレス0x00から読むコマンドを発行したとき、EVENT_FLOWレジスタ中のEventFlag = 1であれば、STATUS_CODEレジスタの内容がIO-Linkマスタに送信されます。</p>

EVENT_QUALIFIER (0x2D)

BIT	7	6	5	4	3	2	1	0
Field	EventQualifier1[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
EventQualifier1	7:0	<p>イベント修飾子オクテット</p> <p>EventQualifierとEventCodeで構成されるイベントを通じて、デバイスの診断情報がIO-Linkマスタに送信されます。EventQualifierのコードをEVENT_QUALIFIERレジスタに書き込んで、IO-Linkマスタにイベント送信します。</p>

EVENT_CODE1MSB (0x2E)

BIT	7	6	5	4	3	2	1	0
Field	EventCode1MSB[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
EventCode1MSB	7:0	イベント・コード・オクテット1 (MSB) EventQualifierとEventCodeで構成されるイベントを通じて、デバイスの診断情報がIO-Linkマスタに送信されます。EventCodeをEVENT_CODE1MSBレジスタとEVENT_CODE1LSBレジスタに書き込んで、IO-Linkマスタにイベント送信します。

EVENT_CODE1LSB (0x2F)

BIT	7	6	5	4	3	2	1	0
Field	EventCode1LSB[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
EventCode1LSB	7:0	イベント・コード・オクテット2 (LSB) EventQualifierとEventCodeで構成されるイベントを通じて、デバイスの診断情報がIO-Linkマスタに送信されます。EventCodeをEVENT_CODE1MSBレジスタとEVENT_CODE1LSBレジスタに書き込んで、IO-Linkマスタにイベント送信します。

EVENT_FLAG (0x30)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	WDGEvent	EventFlag

Reset	—	—	—	—	—	—		0b0
Access Type	—	—	—	—	—	—	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
WDGEvent	1	ウォッチドッグ・イベント・フラグ ウォッチドッグ・タイマが終了したとき、指定したデータ・オクテットをSTATUS_CODEレジスタに送信できます。設定するウォッチドッグ・イベント・コードをWDG_CODE[7:0]に書き込み、WDGEvent = 1にセットすると、タイマが終了したときに、このデータが送信されます。	0: Contents of the STATUS_CODE register are not overwritten and EventFlag is not set when the watchdog timer expires. 1: Contents of the STATUS_CODE register are overwritten with the contents of the WDG_EVENT register, and EventFlag is set, when the watchdog timer expires.
EventFlag	0	イベント・フラグ・ビット チェックサム／ステータス・オクテット (CKS) はデバイスからIO-Linkマスタへの応答メッセージの一部です。イベントが発生すると、イベント・フラグがIO-Linkマスタに通知されます。EventFlagビットをハイにセットすると、イベントが発生したときにIO-Linkマスタにイベントの発生を通知します。IO-LinkマスタがSTATUS_CODEレジスタに書き込むと、このビットはクリアされます。	0 = No Event has occurred. 1 = Event has occurred.

PDINFIFO (0x35)

BIT	7	6	5	4	3	2	1	0
Field	PDINDData[7:0]							
Reset	0x00							
Access Type	Write Only							

ビットフィールド	ビット	説明
PDINDData	7:0	入力プロセス・データ (PDIn) FIFO PDINFIFOレジスタに書き込まれたデータは、自動的にPDINFIFOに読み込まれます。このレジスタ・アドレスへのSPIバースト書き込みは、PDInバッファに書き込まれるだけです。バースト書き込み中は、SPIアドレスはインクリメントしません。

PDINDDataRdy (0x36)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	—	PDStatus

Reset	–	–	–	–	–	–	–	0b0
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
PDStatus	0	<p>プロセス・データ・ステータス・ビット (PDStatus)</p> <p>PDStatusビットはCKSパケットのPDStatusビットをセットし、デバイスからのプロセス・データの有効性を示します。</p> <p>PDInデータが有効でなければ、このビットに1を書き込みます。</p> <p>マスタに送信する有効なPDデータが書き込まれれば、直ちにこのビットをクリアします。PDStatus = 1のとき、マスタに転送されるPDInデータは強制的に0x00になります。</p> <p>GPIO1CTRLレジスタのGPIO1_TO_PDIN = 1のときは、PDStatusビットの状態にかかわらず、PDInは通常どおりGPIO1に従います。</p>	<p>0 = Process data is valid. 1 = Process data is not valid.</p>

PDOUTFIFO (0x37)

BIT	7	6	5	4	3	2	1	0
Field	PDOUTData[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
PDOUTData	7:0	<p>出力プロセス・データ (PDOut) FIFO</p> <p>マイクロコントローラはPDOut転送中にPDOUTFIFOレジスタからプロセス・データを読み出すことができます。</p> <p>このレジスタ・アドレスのSPIバースト読出しでは、PDOutバッファが読み出されます。バースト読出し中は、SPIアドレスはインクリメントしません。</p>

ISDU_OFFSET (0x3F)

BIT	7	6	5	4	3	2	1	0
Field	ISDU_OFFSET[7:0]							
Reset	0x00							

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

Access Type	Write, Read
-------------	-------------

ビットフィールド	ビット	説明
ISDU_OFFSET	7:0	ISDUデータ・オフセット このレジスタの値は、SPIを介したISDUデータの書き込みまたは読出しを開始する最初のアドレスです。シングル・モードとバースト・モードの両方が使用できます。 ISDUDataRdyレジスタのISDUINDataRdyビットをセットする前に、このレジスタをクリアします。

ISDUINFIFO (0x40)

BIT	7	6	5	4	3	2	1	0
Field	ISDUINData[7:0]							
Reset	0x00							
Access Type	Write Only							

ビットフィールド	ビット	説明
ISDUINData	7:0	入力ISDUデータFIFO この場所に書き込まれたデータは、自動的にISDU FIFOに読み込まれます。 ISDUレジスタのIsduPckIntが1のときのみ、ISDUバッファにアクセスできます。 このアドレスへのSPIバースト書き込みでは、ISDUバッファにのみ書き込まれます。バースト書き込み中は、SPIアドレスはインクリメントしません。

ISDUDataRdy (0x41)

BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	—	ISDUINDataRdy
Reset	—	—	—	—	—	—	—	0b0
Access Type	—	—	—	—	—	—	—	Write, Read

ビットフィールド	ビット	説明	デコード
ISDUINDataRdy	0	ISDU FIFOデータ・レディ・ビット ISDUINFIFOレジスタにデータを書き込んだ後にこのビットをセットすると、IO-Linkの転送が開始します。ISDUIntレジスタ中で、IsduPckInt = 0 であり、NewISDUWriteStartIntがローであることが必要です。 ISDUINDataRdy は、IO-Link マスタがDL_ISDU-ABORT コマンドまたはISDU_IDLEコマンドを送信したときに、自動的にクリアされます。	0 = Any request from the IO-Link master for an ISDU read is responded with ISDU BUSY. 1 = The byte loaded into the ISDUINData FIFO is ready to be transmitted to IO-Link master.

ISDUOUTFIFO (0x42)

BIT	7	6	5	4	3	2	1	0
Field	ISDUOUTData[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
ISDUOUTData	7:0	<p>出力ISDUデータFIFO</p> <p>マイクロコントローラはISDU出力転送中にISDUOUTFIFOレジスタからISDUデータを読み出すことができます。</p> <p>ISDUレジスタのIsduPckIntが1のときのみ、ISDUバッファにアクセスできます。</p> <p>このアドレスのSPIバースト読出しでは、ISDUバッファから読み出されます。バースト読出し中は、SPIアドレスはインクリメントしません。</p>

ISDU_LEVEL (0x43)

BIT	7	6	5	4	3	2	1	0
Field	ISDU_LEVEL[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明
ISDU_LEVEL	7:0	<p>ISDU FIFOフィル・レベル</p> <p>ISDU_LEVELレジスタに書き込まれたデータは、IO-Linkマスタが最後に起動したISDU出力転送の後に見込まれるISDU FIFOのフィル・レベルを示します。</p> <p>フィル・レベルは、ISDU FIFOのISDUヘッダ（即ち最初の1バイトまたは2バイト）の値を使用して計算します。</p>

LED1CTRMSB (0x50)

BIT	7	6	5	4	3	2	1	0
Field	LED1CtrMsb[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LED1CtrMsb	7:0	<p>LED1制御シーケンスのMSB</p> <p>このレジスタのビットが「1」であれば、LED1出力はイネーブル（ロー）になります。このレジスタのビットが「0」であれば、LED1出力はディスエーブル（高インピーダンス）になります。</p> <p>各ビットは63ms周期のクロックでサンプリングされます。</p> <p>LEDの機能の変更または更新の際は、LED1CTRMSBとLED1CTRLSBの両レジスタに書き込みます。</p>

LED1CTRLSB (0x51)

BIT	7	6	5	4	3	2	1	0
Field	LED1CtrlSb[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LED1CtrlSb	7:0	<p>LED1制御シーケンスのLSB</p> <p>このレジスタのビットが「1」であれば、LED1出力はイネーブル（ロー）になります。このレジスタのビットが「0」であれば、LED1出力はディスエーブル（高インピーダンス）になります。</p> <p>各ビットは63ms周期のクロックでサンプリングされます。</p> <p>LEDの機能の変更または更新の際は、LED1CTRMSBとLED1CTRLSBの両レジスタに書き込みます。</p>

LED2CTRMSB (0x52)

BIT	7	6	5	4	3	2	1	0
Field	LED2CtrMsb[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LED2CtrMsb	7:0	<p>LED2制御シーケンスのMSB</p> <p>このレジスタのビットが「1」であれば、LED2出力はイネーブル（ロー）になります。このレジスタのビットが「0」であれば、LED2出力はディスエーブル（高インピーダンス）になります。</p> <p>各ビットは63ms周期のクロックでサンプリングされます。</p> <p>LEDの機能の変更または更新の際は、LED2CTRMSBとLED2CTRLSBの両レジスタに書き込みます。</p>

LED2CTRLSB (0x53)

BIT	7	6	5	4	3	2	1	0
Field	LED2CtrLsb[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明
LED2CtrLsb	7:0	<p>LED2制御シーケンスのLSB</p> <p>このレジスタのビットが「1」であれば、LED2出力はイネーブル（ロー）になります。このレジスタのビットが「0」であれば、LED1出力はディスエーブル（高インピーダンス）になります。</p> <p>各ビットは63ms周期のクロックでサンプリングされます。</p> <p>LEDの機能の変更または更新の際は、LED2CTRMSBとLED2CTRLSBの両レジスタに書き込みます。</p>

GPIO1CTRL (0x54)

BIT	7	6	5	4	3	2	1	0
Field	GPIO1Din	—	GPIO1_TO_PDIN	GPIO1OD	GPIO1Dout	GPIO1IO	GPIO1PUEn	GPIO1Res

Reset	0b0	–	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
GPIO1Din	7	GPIO1データ入力ビット このビットは、GPIO1ピンが入力に設定されているとき（GPIO1HiZ = 1）、その状態を反映します。 GPIO1が出力に設定されているときには、このビットは無視します。	0 = GPIO1 pin is low. 1 = GPIO1 pin is high.
GPIO1_TO_PDIN	5	GPIO1入出力設定ビット GPIO1 が 入 力 に 設 定 さ れ て い て、GPIO1_TO_PDIN = 1 のとき、GPIO1はIO-Link マスタに送信するPDInバイトのLSBをセットします。GPIO1がハイのとき、PDInデータのLSBは0になります。 GPIO1がローのとき、PDInデータのLSBは1になります。	0 = GPIO1 does not set the LSB of the PDIn bytes. 1 = GPIO1 sets the LSB of the PDIn bytes sent to the master.
GPIO1OD	4	GPIO1設定ビット このビットを使用して、オープン・ドレイン出力またはプッシュプル出力のいずれかにGPIO1を設定します。 GPIO1が入力のとき（GPIO1IO = 0）、このビットは無視されます。	0 = GPIO1 is a push-pull output. 1 = GPIO1 is an open-drain output.
GPIO1Dout	3	GPIO1ロジック出力状態 GPIO1DoutはGPIO1ピンのロジック状態を反映します。 GPIO1が入力に設定されているとき、GPIO1を読み出すとGPIO1ピンの状態を判定できます。 GPIO1が出力に設定されているときは、このビットによってGPIO1の論理状態を設定します。	0 = GPIO1 is low. 1 = GPIO1 is high.
GPIO1IO	2	GPIO1入出力カインイーブル・ビット GPIO1はデフォルトでは入力です。このビットをセットすると、GPIO1が出力に設定されます。	0 = GPIO1 is an input. 1 = GPIO1 is an output.
GPIO1PUEn	1	GPIO1プルアップ設定ビット GPIO1 が 入 力 に 設 定 さ れ て い る と き、GPIO1PUEnビットとGPIO1Resビットを使用して、GPIO1の内蔵のプルアップまたはプルダウンの抵抗を有効に設定できます。 GPIO1Res = 0かつGPIO1PUEn = 1に設定すると、GPIO1の内蔵330kΩ（代表値）プルアップが有効になります。GPIO1Res = 0かつGPIO1PUEn = 0に設定すると、GPIO1の内蔵330kΩ（代表値）プルダウンが有効になります。 GPIO1IO = 1またはGPIO1Res = 1のとき、このビットは無視されます。	0 = GPIO1 input pull-down enabled (GPIO1Res = 1). 1 = GPIO1 input pull-up enabled (GPIO1Res = 1).

ビットフィールド	ビット	説明	デコード
GPIO1Res	0	GPIO1 I/O抵抗イネーブル・ビット GPIO1 が入力に設定されているとき、GPIO1PUEnビットとGPIO1Resビットを使用して、GPIO1の内蔵のプルアップまたはプルダウンの抵抗を有効に設定できます。	0 = GPIO1 input resistor is enabled. 1 = GPIO1 input resistor is disabled.

GPIO2CTRL (0x55)

BIT	7	6	5	4	3	2	1	0
Field	GPIO2Din	–	PDOUT_TO_GPIO2	GPIO2OD	GPIO2Dout	GPIO2IO	GPIO2PUEn	GPIO2Res
Reset	0b0	–	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
GPIO2Din	7	GPIO2データ入力ビット このビットは、GPIO2ピンが入力に設定されているとき（PDOUT_TO_GPIO2 = 1）、その状態を反映します。 GPIO2が出力に設定されているときには、このビットは無視します。	0 = GPIO2 pin is low. 1 = GPIO2 pin is high.
PDOUT_TO_GPIO2	5	GPIO2入出力設定ビット PDOUT_TO_GPIO2 = 1 に設定すると、GPIO2が出力に設定されます。 出力に設定されているとき、GPIO2のロジック状態は受信した各PDOutバイトのLSBを反映します。	0 = GPIO2 is an input. 1 = GPIO2 is an output. GPIO2 reflects the LSB of the received PDOut bytes.
GPIO2OD	4	GPIO2設定ビット このビットを使用して、オープン・ドレイン出力またはプッシュプル出力のいずれかにGPIO2を設定します。 GPIO2が入力のとき（GPIO2IO = 0）、このビットは無視されます。	0 = GPIO2 is a push-pull output. 1 = GPIO2 is an open-drain output.

ビットフィールド	ビット	説明	デコード
GPIO2Dout	3	GPIO2ロジック出力状態 GPIO2DoutはGPIO2ピンのロジック状態を反映します。 GPIO2が入力に設定されているとき、GPIO2を読むとGPIO2ピンの状態を判定できます。GPIO2が出力に設定されているときは、このビットによってGPIO2の論理状態を設定します。	0 = GPIO2 is low. 1 = GPIO2 is high.
GPIO2IO	2	GPIO2入出力設定ビット GPIO2はデフォルトでは入力です。このビットをセットすると、GPIO2が出力に設定されます。	0 = GPIO2 is an input. 1 = GPIO2 is an output.
GPIO2PUEn	1	GPIO2プルアップ設定ビット GPIO2が入力に設定されているとき、GPIO2PUEnビットとGPIO2Resビットを使用して、GPIO2の内蔵のプルアップまたはプルダウンを有効に設定できます。 GPIO2Res = 0かつGPIO2PUEn = 1に設定すると、GPIO2の内蔵330kΩ（代表値）プルアップが有効になります。GPIO2Res = 0かつGPIO2PUEn = 0に設定すると、GPIO2の内蔵330kΩ（代表値）プルダウンが有効になります。 GPIO2IO = 1またはGPIO2Res = 1のとき、このビットは無視されます。	0 = GPIO2 input pull-down enabled (GPIO2Res = 1). 1 = GPIO2 input pull-up enabled (GPIO2Res = 1).
GPIO2Res	0	GPIO2 I/O抵抗イネーブル・ビット GPIO2が入力に設定されているとき、GPIO2PUEnビットとGPIO2Resビットを使用して、GPIO2の内蔵のプルアップまたはプルダウンの抵抗を有効に設定できます。	0 = GPIO2 input resistor is enabled. 1 = GPIO2 input resistor is disabled.

CQ_CTRL1 (0x56)

BIT	7	6	5	4	3	2	1	0
Field	CQ_SLEW[1:0]		CQ_PD	CQ_PU	CQ_NPN	CQ_PP	CQ_INV	CQ_EN
Reset								
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
CQ_SLEW	7:6	CQ_SLEW[1:0]ビットを設定すると、C/Qドライバの立ち上がりと立ち下りのスルー・レートの代表値が設定されます。 CQ_CLDISビットがセットされているときには、CQ_SLEW[1:0]は無視されます。	00 = 310ns (typ) 01 = 610ns (typ) 10 = 1.5μs (typ) 11 = 6.3μs (typ)

ビットフィールド	ビット	説明	デコード
CQ_PD	5	C/Qの弱いプルダウン・イネーブル C/Qの弱いプルダウン電流を有効／無効にします。	0 = The 300μA (typ) weak pull-down current on C/Q is disabled. 1 = The 300μA (typ) weak pull-down current on C/Q is enabled.
CQ_PU	4	C/Qの弱いプルアップ・イネーブル C/Qの弱いプルアップ電流を有効／無効にします。	0 = The 300μA (typ) weak pull-up current on C/Q is disabled. 1 = The 300μA (typ) weak pull-up current on C/Q is enabled.
CQ_NPN	3	C/QドライバのNPNモード選択 このビットをセットすると、CQ_PP = 0のときにC/QドライバをNPNモードに設定します。 CQ_PP = 1のとき、またはC/QがIO-Linkモードに設定されているときは、このビットは無視されます。	0 = The C/Q driver is in PNP mode (CQ_PP = 0) or push- pull mode (CQ_PP = 1). 1 = The C/Q driver is in NPN mode (CQ_PP = 0) or push- pull mode (CQ_PP = 1).
CQ_PP	2	C/Qドライバのプッシュプル・モード選択 このビットをセットすると、C/Qドライバをプッシュプル・モードに設定します。 C/QがIO-Linkモードに設定されているときは、このビットは無視されます。IO-LinkモードではC/Qは強制的にプッシュプル・モードになります。	0 = The C/Q driver is in PNP mode (CQ_NPN = 0) or NPN mode (CQ_NPN = 1). 1 = The C/Q driver is in push-pull mode.
CQ_INV	1	C/Qレシーバ／ドライバのロジック反転 デフォルトでは、C/QはTXピンとRXピンの信号の論理反転です。このビットをセットすると、C/Q信号を反転し、C/QのロジックがTXおよびRXに一致します。	0 = C/Q logic is inverted compared to TX and RX. 1 = C/Q logic is the same as TX and RX.
CQ_EN	0	C/Qドライバ・イネーブル	0 = C/Q driver is disabled. 1 = C/Q driver is enabled.

CQ_CTRL2 (0x57)

BIT	7	6	5	4	3	2	1	0
Field	CQ_CL[1:0]		—	CQ_CLBL[1:0]		CQ_AutoRtyTime[1:0]		CQ_AutoRtyEn
Reset	0b000		—	0b00		0b00		0b0
Access Type	Write, Read		—	Write, Read		Write, Read		Write, Read

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

ビットフィールド	ビット	説明	デコード
CQ_CL	7:6	C/Q ドライバ電流制限設定 CQ_CL[1:0]ビットの設定で、CQ_CLDIS = 0 のときのC/Qドライバのアクティブな電流制限レベルを選択します。	00 = 50mA (min) 01 = 100mA (min) 10 = 200mA (min) 11 = 250mA (min)
CQ_CLBL	4:3	C/Q ドライバ電流制限ブランキング時間 CQ_CLBL[1:0]の設定により、C/Q ドライバのブランキング時間を設定します。設定のブランキング時間より長く負荷電流がC/Qドライバ電流制限スレッシュホルドを超過すると、割込みが発生し、C/Qドライバがディスエーブルされます。	00 = 128μs (typ) 01 = 500μs (typ) 10 = 1ms (typ) 11 = 5ms (typ)
CQ_AutoRtyTime	2:1	C/Q ドライバ固定オフ時間 CQ_AutoRtyTime[1:0]ビットの設定により、フォルトが生成されてからオートリトライ機能が行われる（CQ_AutoRtyEn = 1 の場合）までのC/Qドライバの固定オフ時間を選択します。固定オフ遅延時間後に、ドライバが自動的に動作を再開します。	00 = 50ms (typ) 01 = 100ms (typ) 10 = 200ms (typ) 11 = 500ms (typ)
CQ_AutoRtyEn	0	C/Q ドライバ・オートリトライ・イネーブル C/Q ドライバでフォルトが通知され、CQ_AutoRtyEn = 1 であれば、設定された固定オフ時間（CQ_AutoRtyTime[1:0]）だけドライバがディスエーブルされ、その後自動的に動作を再開します。	0 = Autoretry is disabled on the C/Q driver. 1 = Autoretry is enabled on the C/Q driver.

DO_CTRL1 (0x58)

BIT	7	6	5	4	3	2	1	0
Field	DO_SLEW[1:0]		DO_PD	DO_PU	DO_NPN	DO_PP	DO_INV	DO_EN
Reset								
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
DO_SLEW	7:6	DOドライバのスルー・レート選択 DO_SLEW[1:0]ビットを設定すると、DOドライバの立ち上がりと立下がりのスルー・レートの代表値が設定されます。 DO_CLDISビットがセットされているときには、DO_SLEW[1:0]は無視されます。	00 = 310ns (typ) 01 = 610ns (typ) 10 = 1.5μs (typ) 11 = 6.3μs (typ)

ビットフィールド	ビット	説明	デコード
DO_PD	5	DO_PDの弱いプルダウン・イネーブル DOの弱いプルダウン電流を有効／無効にします。	0 = The 300μA (typ) weak pull-down current on DO is disabled. 1 = The 300μA (typ) weak pull-down current on DO is enabled.
DO_PU	4	DOの弱いプルアップ・イネーブル DOの弱いプルアップ電流を有効／無効にします。	0 = The 300μA (typ) weak pull-up current on DO is disabled. 1 = The 300μA (typ) weak pull-up current on DO is enabled.
DO_NPN	3	DOドライバのNPNモード選択 このビットをセットすると、DO_PP = 0のときにDOドライバをNPNモードに設定します。 DO_PP = 1のとき、このビットは無視されます。	0 = The DO driver is in PNP mode (DO_PP = 0) or push-pull mode (DO_PP = 1). 1 = The DO driver is in NPN mode (DO_PP = 0) or push-pull mode (DO_PP = 1).
DO_PP	2	DOドライバのプッシュプル・モード選択 このビットをセットすると、DOドライバをプッシュプル・モードに設定します。	0 = The DO driver is in PNP mode (DO_NPN = 0) or NPN mode (DO_NPN = 1). 1 = The DO driver is in push-pull mode.
DO_INV	1	DOドライバのロジック反転 デフォルトでは、DOはLOピンの信号の論理反転です。このビットをセットすると、DO信号を反転し、DOのロジックがLOに一致します。	0 = DO logic is inverted compared to LO. 1 = DO logic is the same as LO.
DO_EN	0	DOドライバ・イネーブル	0 = DO driver is disabled. 1 = DO driver is enabled

DO_CTRL2 (0x59)

BIT	7	6	5	4	3	2	1	0
Field	DO_CL[1:0]		–	DO_CLBL[1:0]		DO_AutoRtyTime[1:0]		DO_AutoRtyEn
Reset	0b000		–	0b00		0b00		0b0
Access Type	Write, Read		–	Write, Read		Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
DO_CL	7:6	DOドライバ電流制限設定 DO_CL[1:0]ビットの設定で、DO_CLDIS = 0のときのDOドライバのアクティブな電流制限レベルを選択します。	00 = 50mA (min) 01 = 100mA (min) 10 = 200mA (min) 11 = 250mA (min)
DO_CLBL	4:3	DOドライバ電流制限ブランキング時間 DO_CLBL[1:0]の設定により、DOドライバのブランキング時間を設定します。設定のブランキング時間より長く負荷電流がDOドライバ電流制限スレッシュホールドを超過すると、割込みが発生し、DOドライバがディスエーブルされます。	00 = 128μs (typ) 01 = 500μs (typ) 10 = 1ms (typ) 11 = 5 ms (typ)

ビットフィールド	ビット	説明	デコード
DO_AutoRtyTime	2:1	DOドライバ固定オフ時間 DO_AutoRtyTime[1:0]ビットの設定により、フォルトが生成されてからオートリトライ機能が実行される (DO_AutoRtyEn = 1) までのDOドライバの固定オフ時間を選択します。固定オフ遅延時間後に、ドライバが自動的に動作を再開します。	00 = 50ms (typ) 01 = 100ms (typ) 10 = 200ms (typ) 11 = 500ms (typ)
DO_AutoRtyEn	0	DOドライバ・オートリトライ・イネーブル DOドライバでフォルトが通知され、DO_AutoRtyEn = 1であれば、設定された固定オフ時間 (AutoRtyTime[1:0]) だけドライバがディセーブルされ、その後自動的に動作を再開します。	0 = Autoretry is disabled on the DO driver. 1 = Autoretry is enabled on the DO driver.

TX_CTRL (0x5A)

BIT	7	6	5	4	3	2	1	0
Field	CQTx	CQTxEcn	CQDrvSel	DOTx	DODrvSel	—	CQDOPar	DO_AV
Reset	0b0	0b0	0b0	0b0	0b0	—		
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	—	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
CQTx	7	C/Qドライバのロジック・コントロール・ビット CQDrvSel = 1にセットすると、CQTxEcnビットとCQTxビットでC/Qドライバを制御できます。 CQDrvSel = 0のとき、このビットは無視されます。	0 = C/Q is high (CQDrvSel = 1, CQTxEcn = 1, CQ_EN = 1). 1 = C/Q is low (CQDrvSel = 1, CQTxEcn = 1, CQ_EN = 1). C/Q logic states are inverted when CQ_INV = 1.
CQTxEcn	6	C/Qドライバのイネーブル・コントロール・ビット CQDrvSel = 1にセットすると、CQTxEcnビットとCQTxビットでC/Qドライバを制御できます。 CQDrvSel = 0のとき、このビットは無視されます。	0 = C/Q driver is disabled (CQDrvSel = 1, CQ_EN = 0 or 1). 1 = C/Q driver is enabled (CQDrvSel = 1, CQ_EN = 1)
CQDrvSel	5	C/Qドライバの入力選択 TXENピンとTXピンによっても、CQTxEcnビットとCQTxビットのセットによっても、C/Qドライバをイネーブルしてドライブできます。デフォルトでは、C/QはTXEN入力とTX入力によってドライブします。 CQDrvSel = 1にセットすると、CQTxEcnビットとCQTxビットでC/Qドライバを制御できます。このビットがセットされているとき、TXENとTXは無視されます。	0 = C/Q is driven by the TXEN and TX input pins. 1 = C/Q is driven by the CQTxEcn and CQTx bits. The TXEN and TX pins are ignored.

ビットフィールド	ビット	説明	デコード
DOTx	4	DOドライバのロジック・コントロール・ビット DODrvSel = 1にセットすると、DOTxビットでDOドライバを制御できます。 DODrvSel = 0のとき、このビットは無視されます。	0 = DO is high (DODrvSel = 1, DO_EN = 1). 1 = DO is low (DODrvSel = 1, DO_EN = 1). DO logic states are inverted when DO_INV = 1.
DODrvSel	3	DOドライバの入力選択 LOピンによっても、DOTxビットのセットによっても、DOドライバをイネーブルしてドライブできます。デフォルトでは、DOはLOでドライブされます。 DODrvSel = 1にセットすると、DOTxビットでDOドライバを制御できます。このビットがセットされているとき、LOピンは無視されます。	0 = DO output driven by the LO input pin. 1 = DO is driven by the DoTx bit. The LO pin is ignored.
CQDOPar	1	C/QとDOのトラッキング・イネーブル CQDoPar = 1にセットすると、C/Q出力とDO出力のトラッキングが有効になります。この構成では、DOがC/Qをトラッキングし、TX入力もしくはCQTxビットの作用で両方のドライバが切り替わります。 DO_AV = 1のときは、CQDOParがセットされている必要があります。	0 = The DO driver operates independently of C/Q. 1 = The DO driver tracks the C/Q driver.
DO_AV	0	C/QとDOの相反動作選択 この機能を有効にするためには、CQDOParをセットする必要があります。DO_AV = 1にセットすると、C/Q出力とDO出力の相反動作が有効になります。 CQDOPar = 1かつDO_AV = 0のとき、C/QとDOの両方がTX入力ピンもしくはCQTxビットの作用でスイッチングし、双方が逆の論理で動作します。 CQDOPar = 1かつDO_AV = 1のとき、C/QとDOの両方がTX入力ピンもしくはCQTxビットの作用でスイッチングし、双方が同じ論理で動作します。 CQDOPar = 0のとき、このビットは無視されます。	0 = C/Q and DO switch with normal (inverted logic) polarity of the TX pin or CQTx bit. 1 = C/Q and DO follow the same logic as the TX pin or CQTx bit.

RX_CTRL (0x5B)

BIT	7	6	5	4	3	2	1	0
Field	—	RXTTL	RXDIS	RXFilter	—	—	—	DIFilter
Reset	—				—	—	—	
Access Type	—	Write, Read	Write, Read	Write, Read	—	—	—	Write, Read

ビットフィールド	ビット	説明	デコード
RXTTL	6	RX TTLスレッシュホールド・イネーブル このビットを使用して、C/Qレシーバのスレッシュホールドを選択します。デフォルトでは、スレッシュホールド電圧は通常のIO-Link機能に対する11V（最小値）および13V（最大値）に設定されています。このビットをセットすると、C/Qレシーバに対しTTLスレッシュホールドを選択できます。	0 = IO-Link receiver thresholds enabled for C/Q receiver. 1 = TTL receiver thresholds enabled for C/Q receiver.
RXDIS	5	RX出力ディスエーブル このビットをセットすると、RX出力がディスエーブルされます。RXはディスエーブルのときには高インピーダンスになり、RXDIS = 1のときC/Q入力電流は減少します。	0 = RX logic output is enabled. 1 = RX logic output is disabled.
RXFilter	4	C/Qレシーバ・グリッチ・フィルタ・イネーブル	0 = The 1μs (typ) glitch filter on the C/Q receiver is disabled. 1 = The 1μs (typ) glitch filter on the C/Q receiver is enabled.
DIFilter	0	DIレシーバ・グリッチ・フィルタ・イネーブル	0 = The 1μs (typ) glitch filter on the DI receiver is disabled. 1 = The 1μs (typ) glitch filter on the DI receiver is enabled.

MISC_CTRL (0x5C)

BIT	7	6	5	4	3	2	1	0
Field	HEART_WU	–	–	–	–	–	CQPUD2mA	DOPUD2mA
Reset		–	–	–	–	–		
Access Type	Write, Read	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HEART_WU	7	HEART/WU（ハート／ウェイクアップ）機能選択 HEART/WUはデュアル機能ピンです。このビットの設定によって、ウェイクアップ・インジケータかIO-Linkサイクル・インジケータのいずれかにピンを設定します。	0 = Wake-up (WU) functionality selected. HEART/WU is driven low when a valid wake-up is detected. 1 = IO-Link cycle indicator (HEART) functionality selected. HEART/WU is driven low every IO-Link cycle.
CQPUD2mA	1	C/Qの2mAプルアップ／プルダウン・イネーブル 詳細については、表3を参照してください。	0 = 2mA (typ) current on C/Q is disabled. 1 = 2mA (typ) current on C/Q is enabled.
DOPUD2mA	0	DOの2mAプルアップ／プルダウン・イネーブル 詳細については、表3を参照してください。	0 = 2mA (typ) current on DO is disabled. 1 = 2mA (typ) current on DO is enabled.

ThADCCfg (0x5D)

BIT	7	6	5	4	3	2	1	0
Field	ADCStart	–	–	–	–	–	ADCCfg[1:0]	
Reset		–	–	–	–	–		
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
ADCStart	7	手動温度ADC変換開始ビット ADCCfg[1:0]を10または01に設定すると、手動温度ADC変換がイネーブルされ、ADCStartを1にセットすると変換が開始します。温度変換が完了すると、変換結果はThADCResレジスタに格納されます。	0 = No manual thermal ADC conversion. 1 = Start new manual thermal ADC conversion.
ADCCfg	1:0	温度ADC変換設定 これらのビットの設定により、過熱警告スレッシュホルドの設定（デフォルトかプログラム値か、など）や手動温度ADC変換のイネーブルを行います。	00 = Internal/Default thermal warning threshold and response time is enabled. 01 = Programmable thermal warning threshold is enabled. 1x = Manual thermal ADC is enabled. Thermal warning is disabled in this mode.

ThADCThd (0x5E)

BIT	7	6	5	4	3	2	1	0
Field	–	–	ThWrn[5:0]					
Reset	–	–						
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明	デコード
ThWrn	5:0	プログラマブルな過熱警告スレッシュホルド ThADCCfgレジスタのADCCfg[1:0]ビットの設定によって、過熱警告スレッシュホルドのプログラム値を有効にします。 過熱警告スレッシュホルドの設定にはThWrn[5:0]ビットを使用します。スケールリングは、ThADCResレジスタのThVal[5:0]ビットと同じです。 ダイ温度がこのスレッシュホルドを超過したとき、ThWIntビットとThWビットがセットされます。 過熱警告スレッシュホルドのプログラム値が有効なとき、ヒステリシスは存在しません。	These bits are only valid when ADCCfg[1:0] = 01. Bits are binary coded with 1LBS = 3°C and ThWrn = 0 at - 15°C. For more information, see the Temperature Measurements section.

ThADCRes (0x5F)

BIT	7	6	5	4	3	2	1	0
Field	ADC_EOB	–	ThVal[5:0]					
Reset		–						
Access Type	Write, Read	–	Write, Read					

ビットフィールド	ビット	説明	デコード
ADC_EOB	7	手動温度ADC変換の終了インジケータ ADCCfg[1:0]を10または11に設定すると、手動温度ADC変換がイネーブルされます。このビットはADC変換が完了したときにセットされます。	0 = Thermal ADC conversion is complete and ThVal[5:0] bits hold the latest thermal ADC conversion value. 1 = Thermal ADC conversion is running. Value in the ThVal[5:0] bits is not valid.
ThVal	5:0	手動温度ADC変換結果	This register holds the results of the latest thermal conversion. Bits are binary coded with 1LBS = 3°C and ThVal = 0 at -15°C. For more information, see the Temperature Measurements section.

アプリケーション情報

MCLK によるマイクロコントローラへのクロック供給

MCLK 出力には、マイクロコントローラへのクロック供給に使用できるクロックが発生します (MCLKDIR ピンがハイのとき)。

MCLK 出力の周波数は、CLKCfgr レジスタの ClkDiv ビットによって設定します。選択できる MCLK 周波数は、1.843MHz (代表値)、3.686MHz (代表値)、7.373MHz (代表値)、14.74MHz (代表値)、29.49MHz (代表値) です。CLKCfgr レジスタの EnClkTrim ビットをセットし、CLKTrim レジスタの ClkTrim ビットを設定すると、MCLK の周波数を更に調整できます。

デフォルトでは MCLK はイネーブルされており、スイッチング周波数は 3.686MHz (代表値) です。MCLK 出力の電圧レベルは、V_L ロジック電源が基準になります。

EMC 保護

MAX22516 は、C/Q、DO、V₂₄ の各ピンとグラウンドの間の 8μs/20μs の±1kV/500Ω のサージに対するサージ保護機能を内蔵しています。IO-Link 規格の ESD とバーストに関する要件を満たすために、これらのピンに外付けの保護は必要ありません。より高いレベルのサージ保護性能を満たすためには、外付けの TVS ダイオードが必要です。TVS ダイオードのピーク・クランピング電圧が、絶対最大電圧定格以内になるようにします。

全てのアプリケーションに対し、DI の安全な動作のために 1kΩ 以上の抵抗を使用します。

DI が DO に接続されるアプリケーションに対しては、低電力の 1kΩ 抵抗を使用できます。この構成には、標準的な 0603 品の使用が適切です。

DI を使用しても DO とは接続しないアプリケーションについては、2つの選択肢があります。1 つめのオプションはサージ・エネルギーに耐えられる定格の直列抵抗を使用することです。この構成に適した抵抗の例には、RPC2512 があります。2 つめのオプションは、全体的な実装面積が小さくなるもので、低電力抵抗を外付けの TVS ダイオードと合わせて使用します。この TVS は直列抵抗のライン側に接続し、サージ・エネルギーを吸収できるものであることが必要です。TVS は、ピーク電圧を制限する機能があるため、サージ・トランジェント時に抵抗に印加される差動電圧は小さくなります。適切な TVS には SPT02-236 や PDFN3-32 などがあります。

レイアウトとグラウンド接続配線

全ての部品が正常に動作し、干渉を抑えるために、MAX22516 のレイアウトが重要です。

MAX22516 には、アナログ・グラウンド (GND)、デジタル・グラウンド (GNDD)、IO-Link グラウンド (GNDCQ) の 3 つのグラウンド・ピンがあります。

IC の全ての電源ピン (V_S、V_L、PV₂₄) を GND にバイパスし、グラウンド・プレーンに直接接続します。バイパス・コンデンサは、できる限り IC の近くに配置します。GNDD ピンは GND 層と直接接続しますが、TQFN の場合は IC の露出パッドの下で、WLP の場合は C4、D4、D5 のパッドで接続します。

V₂₄、C/Q、DO、DI、GNDCQ の各ピンは IO-Link コネクタに直接接続します。バイパス・コンデンサや、このラインに接続されるその他の部品は全て、GNDCQ と直接接続します。GNDCQ は IC の近くでグラウンド・レイヤに接続します (TQFN の場合は露出パッドで、WLP パッケージでは B3、C3、C4 のパッドの下で)。

DC/DC 降圧レギュレータの部品ループはできるだけ小さくします。帰還抵抗分圧器はインダクタの近くに配置しないようにします。DC/DC 出力コンデンサのグラウンド側端子は複数のビアでグラウンド・プレーンに接続します。

レイアウトのサンプルについては、MAX22516 評価キットを参照してください。

トランシーバーおよび内蔵 DC/DC レギュレータを 備えた IO-Link データ・リンク・コントローラ

MAX22516

型番

PART NUMBER	TEMP. RANGE	PIN-PACKAGE
MAX22516ATL+	-40°C to +125°C	40 TQFN-EP*
MAX22516ATL+T	-40°C to +125°C	40 TQFN-EP*
MAX22516AWO+	-40°C to +125°C	42 WLP
MAX22516AWO+T	-40°C to +125°C	42 WLP

*EP = 露出パッド。
+T = テープ & リール。

チップ情報

プロセス : BiCMOS

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/23	市場導入リリース	–
1	1/24	概要、利点および特長、絶対最大定格、パッケージ情報、ピン配置、端子説明、レイアウトとグランド配線接続のセクションと型番の表から TQFN パッケージの記載を削除。	1, 2, 3, 17, 18, 83
2	3/24	概要、利点および特長、絶対最大定格、パッケージ情報、ピン配置、端子説明、レイアウトとグランド配線接続のセクションと型番の表に TQFN パッケージの記載を追加、EC の表を更新。	1-5, 9, 17, 18, 83

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年9月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年9月5日

製品名：MAX22516

対象となるデータシートのリビジョン(Rev)：Rev.2

訂正箇所：58頁、一番上の表内の説明欄

【誤】

「DC/DC レギュレータ・イネーブル」

【正】

「DC/DC レギュレータ・ディスエーブル」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 5 日

製品名： **MAX22516**

対象となるデータシートのリビジョン(Rev)： Rev.2

訂正箇所： 66 頁、最上段と上から 3 番目の表内の説明欄

【誤】

EVENT_FLOW レジスタという表記

【正】

EVENT_FLAG レジスタが正しい表記です。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 5 日

製品名： **MAX22516**

対象となるデータシートのリビジョン(Rev)： Rev.2

訂正箇所： 74 頁、表内最下段、GPIO1PUEn ビットフィールドの説明欄

【誤】

0 = GPIO1 input pull-down enabled (GPIO1Res = 1).

1 = GPIO1 input pull-up enabled (GPIO1Res = 1).

【正】

0 = GPIO1 input pull-down enabled (GPIO1Res = 0).

1 = GPIO1 input pull-up enabled (GPIO1Res = 0).

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 5 日

製品名： **MAX22516**

対象となるデータシートのリビジョン(Rev)： Rev.2

訂正箇所： 78 頁、表内最上段、CQ_CL ビットフィールドの説明欄

【誤】

「CQ_CL[1:0]ビットの設定で、CQ_CLDIS = 0 のときの C/Q ドライバのアクティブな電流制限レベルを選択します。」

【正】

「CQ_CL[1:0]ビットの設定で、C/Q ドライバのアクティブな電流制限レベルを選択します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024 年 9 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2024 年 9 月 5 日

製品名： **MAX22516**

対象となるデータシートのリビジョン(Rev)： Rev.2

訂正箇所： 80 頁、最上段の表内、DO_AutoRtyEn ビットフィールドの説明欄内

【誤】

(AutoRtyTime[1:0])

【正】

(DO_AutoRty Time[1:0])