



MAX22215

電流検出アンプと高度な診断機能を備えた
モーター・ブレーキ・ドライバ

概要

MAX22215は、36Vのハーフ・ブリッジFET、65VのローサイドNFET（ブレーキ解除用NFET）、単方向の低オフセット電流検出アンプ（CSA）を1つずつ内蔵しています。本デバイスは、主に電気機械式モーターのブレーキやソレノイドの駆動を目的としています。

コイル電流は、パルス幅変調（PWM）を用いて励磁フェーズと消磁フェーズの両方で制御できるため、励起電流、保持電流、消磁電流に加え、励磁と消磁のタイミングも正確に制御できます。

MAX22215には堅牢な55Vの消磁クランプが内蔵されているため、高速消磁を実現でき、TVSなどの外付けクランプ・デバイスは不要です。このクランプは、ジャンクション温度が安全レベルを超えないようにすることで安全な動作を確保する安全消磁機能（SafeDemag™機能）を備えています。

ハーフ・ブリッジFETおよびブレーキ解除用NFETは、極めて低い $R_{DS(on)}$ （50mΩ、代表値）を特長としています。MAX22215は、高効率かつ低消費電力であるため、スペースに制約がありPCB上での高電力密度が懸念されるアプリケーションに適しています。MAX22215は最大3Aの電流を駆動できます。

高精度CSAは、ブレーキ作動時とブレーキ解除時の両方において、外部センス抵抗の両端で発生する電圧降下を検出します。CSAのアナログ出力信号は、診断目的または外部制御ループへのフィードバック信号として使用できます。

デバイスの動作は、1MHzのI²Cシリアル・インターフェースまたはCMOSロジック入力ピンを使用して制御できます。I²Cを使用する場合は、ドライバ出力スルー・レートやCSAゲインなど、複数のデバイス・パラメータの設定が可能です。更に、ユーザは診断目的でフォルト・ログ・レジスタにアクセスできます。最大16個のデバイスで、同じI²Cバスを共有できます。

MAX22215は、非散逸性過電流保護（OCP）、低電圧ロックアウト（UVLO）、過熱警告およびサーマル・シャットダウン機能、ブレーキ電圧モニタのアナログ出力ピン（ODM）を内蔵しています。また、負荷接続の誤りやデバイスの誤動作を検出するためのその他の診断機能も組み込まれています。フォルト・インジケータ・ピン（nFAULT）は、フォルトが発生するたびにアクティブになります。

MAX22215は、5mm × 7mmのコンパクトな38ピンTQFNパッケージを採用しています。

型番は、データシートの末尾に記載しています。

アプリケーション

- 産業用モーターのブレーキ解除
- ロボット用モーターのブレーキ解除
- ソレノイド駆動

機能と利点

- 最大36Vで動作するハーフ・ブリッジ・ドライバ1個（ R_{ON} 約50mΩ）
- 最大65Vで動作するLS FET 1個（ R_{ON} 約50mΩ）
- 組み込み消磁回路
 - 55Vの高出力クランプ
 - 高消磁エネルギーでの安全動作を確保する熱制御ループ（SafeDemag機能）
- 設定および診断用の1MHz I²Cシリアル・インターフェース
 - I²Cを通じて設定可能なハーフ・ブリッジ・スルー・レート制御
- クロスバー伝導を防止するデッドタイム回路を内蔵
- 5V内部レギュレータ
- 電流検出アンプ（CSA）
 - 低いオフセットにより高精度を実現
 - プログラマブルな電圧ゲイン
- 保護機能および診断機能
 - 過電流保護（OCP）
 - 3つの低電圧ロックアウト（UVLO₁）
 - 過熱警告/サーマル・シャットダウン（ T_{WARN}/T_{SD} ）
 - 消磁電圧アナログ出力ピン（ODM）
 - 負荷接続チェック用の診断モード
 - システム・パラメータの内部モニタリング
 - フォルト・インジケータ・ピン（nFAULT）

目次

概要.....	1
アプリケーション.....	1
機能と利点.....	1
簡略ブロック図.....	2
絶対最大定格.....	7
パッケージ情報.....	7
38 TQFN (5mm × 7mm)	7
電気的特性.....	7
ピン配置.....	13
MAX22215	13
端子説明.....	13
機能図.....	15
詳細説明.....	16
ハードウェア/ソフトウェア制御	16
SLEEP モード.....	17
MAX22215 の制御 – 真理値表	18
コイルの消磁および SafeDemag 機能.....	19
強制消磁モード.....	20
スルー・レート制御.....	21
5V レギュレータ	21
電流検出アンプおよび GAIN ピンの説明.....	21
MAX22215 の簡略フロー・チャート	21
保護機能および診断機能.....	22
FAULT 管理の概要.....	22
フォルト後の通常動作の復元.....	24
DIAGNOSTIC モード – 負荷フォルト検出 (LFD)	24
過電流保護 (OCP) およびブランキング時間.....	27
過熱保護 (T _{WARN} および T _{SD})	27
低電圧保護 (UVLO、UVLO5V、UVLOCP)	27
消磁電圧検出 (DVD)	27
解除電流不検出 (ISM)	28
OD の V _M への短絡検出 (ODVM)	28
I ² C ロジックの説明.....	28
MAX22215 のプログラミング	28
I ² C インターフェース.....	29
ステータス・レジスタ (STATUS) – 読み出し専用	34
フォルト・レジスタ (FAULT) – 読み出し専用	35
フォルト診断 MASK レジスタ (FAULT MASK) – 読み出し/書き込み専用	36
アクション・イネーブル (ACTION ENABLE) – 読み出し/書き込みレジスタ.....	36

目次（続き）

設定レジスタ（CONFIG） – 読み出し／書き込み.....	37
レジスタ・マップ.....	38
RFU.....	38
レジスタの詳細.....	38
アプリケーション情報.....	43
モーター・ブレーキ制御.....	43
標準アプリケーション回路.....	44
アプリケーション構成図.....	44
型番.....	44
改訂履歴.....	45

図一覧

図 1. SLEEP のタイミング	17
図 2. SLEEP までの最小 BRAKE 時間	18
図 3. 安全な消磁の例	20
図 4. MAX22215 のプロセス・フロー・チャート	22
図 5. DIAGNOSTIC モードのタイミング	25
図 6. DIAGNOSTIC バイアス・ネットワーク	26
図 7. I ² C シリアル・インターフェースのスタート条件およびストップ条件	29
図 8. 1 バイト書込みシーケンス	30
図 9. バースト書込みシーケンス	31
図 10. 1 バイト読出しシーケンス	32
図 11. バースト読出しシーケンス	33
図 12. アクノレッジ・ビット	34

表一覧

表 1. 真理値表	18
表 2. 強制消磁スレッシュホールドのデコード	20
表 3. フォルトの概要	22
表 4. フォルトリセット・プロシージャ	24
表 5. ODM の抵抗ネットワーク	26
表 6. ODVM のタイムアウト表	28
表 7. I ² C のアドレス表	34
表 8. STATUS レジスタ	35
表 9. FAULT-1	35
表 10. FAULT-2	35
表 11. FAULT MASK レジスタの表 1	36
表 12. FAULT MASK レジスタの表 2	36
表 13. アクション・イネーブル ENA1、ENA2、ENA3 の表	36
表 14. 設定レジスタ CONFIG1	37
表 15. 設定レジスタ CONFIG2	37

絶対最大定格

$V_M \sim GND$	-0.3V~+40V	$SNS \sim GND$	-0.3V~+0.3V
$V_5 \sim GND$	-0.3V~+6V	$SNS+, SNS- \sim GND$	-0.3V~+6V
$V_{IO} \sim GND$	-0.3V~+6V	$ISEN \sim GND$	-0.3V~ $V_5 + 0.3V$
$V_{CP} \sim V_M$	-0.3V~+6V	$FAULT \sim GND$	-0.3V~+6V
$OUT \sim GND$	-0.3V~ $V_M + 0.3V$	$ODM \sim GND$	-0.3V~ $V_5 + 0.3V$
$OD \sim GND$ (Note 1)	-0.3V~+49V	$PGND \sim GND$	-0.3V~0.3V
\overline{SLEEP} , SCL, SDA, A1, A0, RLS/BRK, DIAG, PWM~GND	-0.3V~+6V	動作温度範囲	-40°C~+125°C

Note 1 : 内部で保護されたオープン・ドレイン出力ピン。ODは+65V(最大)に内部でクランプされています。AMVは、最小内部クランプ電圧を表しています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

38 TQFN (5mm × 7mm)

Package Code	T3857+1C
Outline Number	21-0172
Land Pattern Number	90-0076
Thermal Resistance, Single-Layer Board:	
Junction to Ambient (θ_{JA})	38°C/W
Junction to Case (θ_{JC})	1°C/W
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	28°C/W
Junction to Case (θ_{JC})	1°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.analog.com/en/resources/packaging-quality-symbols-footprints/package-index.html で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.analog.com/en/resources/technical-articles/thermal-characterization-of-ic-packages.html を参照してください。

電気的特性

($V_M = 8V \sim 36V$, $V_{IO} = +1.8V \sim +5V$, V_5 への負荷接続なし、 $\overline{SLEEP} = V_{IO}$, $T_A = -40^\circ C \sim +125^\circ C$, V_5 バイパス・コンデンサ = 1 μ F、チャージ・ポンプ・コンデンサ = 1 μ F、代表値は $V_M = +24V$, $V_{IO} = +2.5V$, $T_A = +25^\circ C$ で取得したものです。限界値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における限界値は、設計および特性評価により確保されています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOLTAGE SUPPLIES						
V_M Supply Voltage Range	V_M		8		36	V
V_{IO} Supply Voltage Range	V_{IO}		1.65		5.5	V
SLEEP Mode Current Consumption	I_{SLEEP}	$V_M = 24V$; $\overline{SLEEP} = 0V$ or unconnected			450	μ A

電气的特性 (続き)

($V_M = 8V \sim 36V$ 、 $V_{IO} = +1.8V \sim +5V$ 、 V_3 への負荷接続なし、 $\overline{SLEEP} = V_{IO}$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、 V_5 バイパス・コンデンサ = $1\mu F$ 、チャージ・ポンプ・コンデンサ = $1\mu F$ 、代表値は $V_M = +24V$ 、 $V_{IO} = +2.5V$ 、 $T_A = +25^\circ C$ で取得したものです。限界値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における限界値は、設計および特性評価により確保されています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Quiescent Current Consumption	I_{VM}	$V_M = 24V$; $\overline{SLEEP} = V_{IO}$, no output current			4.4	mA
Logic Input Supply Current	I_{IO}	Logic inputs to GND		10	18	μA
LOGIC CMOS INPUTS RLS/BRK, DIAG, PWM, \overline{SLEEP}						
Input Voltage Level - High	V_{IH}		$0.8 \times V_{IO}$			V
Input Voltage Level - Low	V_{IL}			$0.2 \times V_{IO}$		V
Logic Input Pull-down Resistor	R_{PD}	RLS/BRK, PWM, and \overline{SLEEP} pins	65	100	130	k Ω
Logic Input Pull-up Resistor to V_{IO}	R_{PU}	DIAG pin	65	100	130	k Ω
I²C LOGIC INPUTS SCL, SDA, A0, A1						
Input Voltage Level - High	V_{IH}		$0.8 \times V_{IO}$			V
Input Voltage Level - Low	V_{IL}			$0.2 \times V_{IO}$		V
Input Leakage Current	I_{IL}		-1		+1	μA
Input Capacitance	C_{IN}			10		pF
Output Low Voltage	V_{OL}	$I_{LOAD} = -3mA$, $V_{IO} \geq 2V$			0.4	V
		$I_{LOAD} = -3mA$, $V_{IO} < 2V$			$0.2 \times V_{IO}$	
ODM MONITOR PIN						
Divider Ratio ROD1, ROD2	DIV0	ODM[1:0] = 00	15.75	16	16.25	V
	DIV1	ODM[1:0] = 01	20	20.4	20.8	
	DIV2	ODM[1:0] = 10 (default)	23.8	24.5	25	
	DIV3	ODM[1:0] = 11	58	60	62.5	
Equivalent Output Impedance	REQ0	ODM[1:0] = 00, $V_{OD} = V_M$		3.8	5.2	k Ω
	REQ1	ODM[1:0] = 01, $V_{OD} = V_M$		3.3	4.4	
	REQ2	ODM[1:0] = 10 (default), $V_{OD} = V_M$		3.1	4.2	
	REQ3	ODM[1:0] = 11, $V_{OD} = V_M$		2	2.6	
TIMINGS						
Power-up Timing	t_{POWUP}	From $V_M = 0$ to 24V, rising edge to normal operation; V_M rise time faster than 1ms		6	10	ms
Time from SLEEP to Any Mode	t_{OPER}				4	ms
Minimum BRAKE Time before Entering into SLEEP Mode from RELEASE Mode	t_{BRK_MIN}	Note 2	35.2	40	44.8	ms

電気的特性 (続き)

($V_M = 8V \sim 36V$ 、 $V_{IO} = +1.8V \sim +5V$ 、 V_3 への負荷接続なし、 $\overline{SLEEP} = V_{IO}$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、 V_5 バイパス・コンデンサ = $1\mu F$ 、チャージ・ポンプ・コンデンサ = $1\mu F$ 、代表値は $V_M = +24V$ 、 $V_{IO} = +2.5V$ 、 $T_A = +25^\circ C$ で取得したものです。限界値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における限界値は、設計および特性評価により確保されています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Minimum BRAKE Time before Entering into DIAGNOSTIC Mode from RELEASE Mode	t_{BRK_MIN}	Note 4	35.2	40	44.8	ms	
Diagnostic Blanking Time	t_{BLK_DIAG}	Note 4	0.88	1	1.12	ms	
\overline{SLEEP} Deglitch Time	$t_{DEGLITCH}$		8		15	μs	
\overline{SLEEP} Reset Pulse Time	t_{RES}	Negative pulse	20		40	μs	
5V REGULATOR							
Voltage Output	V_5		4.75	5	5.25	V	
Output Current	I_{OUT}	Output current from pin V_5 (Note 3)			10	mA	
Regulator Output Current Protection	I_{V5}		25			mA	
HALF-BRIDGE DRIVER – OUT PIN							
Output ON-Resistance Low Side	$R_{ON(LS)}$			50		m Ω	
Output ON-Resistance High Side	$R_{ON(HS)}$			50		m Ω	
Pull-up Resistance	R_{PU}	Diagnostic mode	28	42	56	k Ω	
Dead Time – Fast Speed	DTFS	Low-to-high and high-to-low transition		450		ns	
Dead Time – SR1	DTSR1	Low-to-high transition only		650		ns	
Dead Time – SR2	DTSR2	Low-to-high transition only		1000		ns	
BRAKE-RELEASE LS NFET DRIVER – OD PIN							
Output ON-Resistance Low Side	$R_{ON(LS)}$			50		m Ω	
Output OFF-Resistance Low Side	R_{OFF}		28	40	56	k Ω	
Internal Fast Demagnetization Clamp Voltage	V_{FD}	Clamp current = 5mA	49		65	V	
SafeDemag AND ENFORCE DEMAG THRESHOLDS							
Enforce Demag Threshold	V_{DEM}	Falling edge	DEMAG bits = "001"	7.5	8	8.5	V
			DEMAG bits = "011"	11.2	12	12.8	
			DEMAG bits = "101"	15.5	16	17	
Enforce Demag Threshold Hysteresis	$V_{DEM(HYS)}$			1		V	

電气的特性 (続き)

($V_M = 8V \sim 36V$ 、 $V_{IO} = +1.8V \sim +5V$ 、 V_5 への負荷接続なし、 $\overline{SLEEP} = V_{IO}$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、 V_5 バイパス・コンデンサ = $1\mu F$ 、チャージ・ポンプ・コンデンサ = $1\mu F$ 、代表値は $V_M = +24V$ 、 $V_{IO} = +2.5V$ 、 $T_A = +25^\circ C$ で取得したものです。限界値は $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および関連する電源電圧範囲における限界値は、設計および特性評価により確保されています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
SafeDemag Trigger Temperature	T_{JDEM}			160		$^\circ C$	
SafeDemag Temperature Hysteresis	T_{JHYS}			20		$^\circ C$	
SLEW-RATE CONTROL WITH 1A INDUCTIVE LOAD							
Slew-Rate Control	SR0	SR[1:0] = 00		260		V/ μs	
	SR1	SR[1:0] = 01		150			
	SR2	SR[1:0] = 10, default		70			
	SR3	SR[1:0] = 11		35			
PROTECTION CIRCUITS							
Undervoltage Lockout Threshold	UVLO	NFAULT pin	6.5		8	V	
V_5 Undervoltage Lockout Threshold	UVLO $_{V5}$	Falling	3.55	3.9	4.2	V	
Charge-Pump Undervoltage Lockout	UVLO $_{CP}$		2.1	2.8	3.6	V	
Overcurrent Protection Threshold	OCPS	NFAULT pin	3			A	
Overcurrent Restore Timing	OCPT	From fault reset to normal operation	17.6	20	22.4	ms	
OCP Blanking Time	t_{BLK}			2		μs	
Load Connection Verification Thresholds	V_{OD}	Diagnostic mode	Lower threshold (0.333 x V_M)	0.318 x V_M	0.333 x V_M	0.39 x V_M	V
			Upper threshold (0.667 x V_M)	0.64 x V_M	0.667 x V_M	0.718 x V_M	
DVD Detection Threshold	V_{DVD}		1.17 x V_M	1.25 x V_M	1.33 x V_M	V	
DVD Detection Timing	t_{DVD}		44	50		μs	
ISM Detection Threshold	ISM	ISEN threshold for ISM fault detection	34	40	65	mV	
ISM Blanking Time	ISM_BLK	From entering in RELEASE mode to ISEN monitoring	176	200	224	ms	
ODVM Detection Threshold	ODVM_TH		0.64 x V_M	0.667 x V_M	0.718 x V_M	V	
Thermal Warning Temperature	T_{HW}			120		$^\circ C$	
Thermal Shutdown Temperature	T_{HSD}			150		$^\circ C$	
CURRENT-SENSE AMPLIFIER CSA							
Referred to Input Offset	V_{OS}	Common-mode voltage = 70mV			60	μV	
Input Offset Drift	TC V_{OS}			0.15		$\mu V/^\circ C$	

電気的特性 (続き)

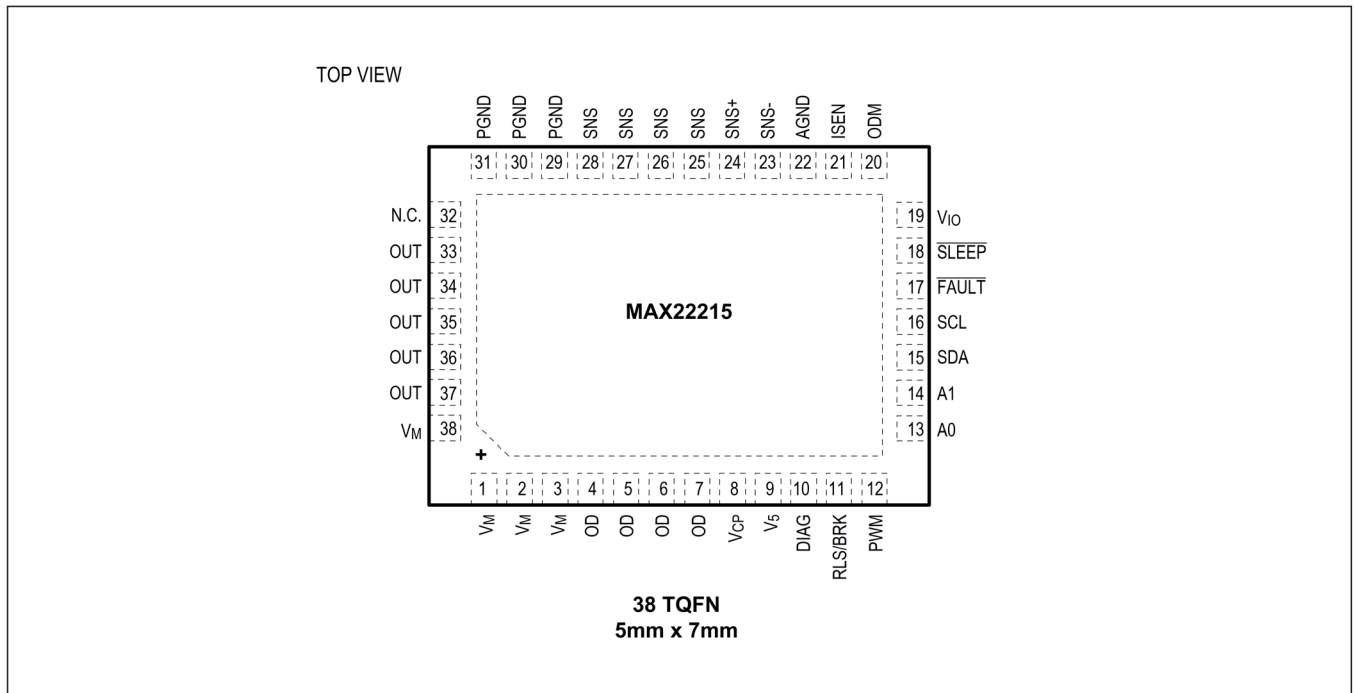
($V_M = 8V \sim 36V$ 、 $V_{IO} = +1.8V \sim +5V$ 、 V_3 への負荷接続なし、 $\overline{SLEEP} = V_{IO}$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、 V_5 バイパス・コンデンサ = $1\mu F$ 、チャージ・ポンプ・コンデンサ = $1\mu F$ 、代表値は $V_M = +24V$ 、 $V_{IO} = +2.5V$ 、 $T_A = +25^\circ C$ で取得したものです。限界値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における限界値は、設計および特性評価により確保されています。「GBD」と記載された仕様は設計により確保されていますが、製品テストは行っていません)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Bias Current	IRS+				1	μA
Input Bias Current Offset	IRS+ - IRS-				1	μA
DIFF Input Resistance	R_{DIFF}		5	7.5	10	k Ω
Input Voltage Range	V_{IN}	GAIN[1:0] = 00	0		160	mV
		GAIN[1:0] = 01 (default)	0		80	
		GAIN[1:0] = 10	0		40	
		GAIN[1:0] = 11	0		20	
Maximum Linear Output Voltage	V_{OUTH}				4	V
Minimum Output Linear Voltage	V_{OUTL}		20			mV
Voltage Gain	GAIN1	GAIN[1:0] = 00	24.6	25	25.4	V/V
	GAIN2	GAIN[1:0] = 01 (default)	49.2	50	50.8	
	GAIN3	GAIN[1:0] = 10	98.8	100	101.2	
	GAIN4	GAIN[1:0] = 11	197.6	200	202.4	
Gain-Bandwidth Product	GBW		6			MHz
Output Capacitance on ISEN	CISEN			50		pF
CSA Output Slew Rate	SR			4		V/ μs
Input Voltage Noise Density (RTI)		At 1kHz		45		nV/ \sqrt{Hz}
I²C INTERFACE (Note 5)						
SCL Clock Frequency	t_{CLK}				1	MHz
Bus Free Time between a STOP and START Condition	t_{BUF}		0.5			μs
Low Period of the SCL Clock	t_{LOW}		0.5			μs
High Period of the SCL Clock	t_{HIGH}		0.26			μs
Data Setup Time	t_{SD}		50			ns
Data Hold Time	t_{HD}		0			ns
Hold Time for Repeated Start Condition	$t_{H,STA}$				260	ns
Setup Time for Repeated Start Condition	$t_{S,STA}$				260	ns
Setup Time for Stop Condition	$t_{S,STO}$				260	ns

- Note 2 :** RELEASE モードまたは BRAKE モードから SLEEP モードに移行する場合、コイルが完全に消磁するよう、最小の BRAKE 時間 (t_{BRK_MIN}) を遵守する必要があります。
- デバイスが RELEASE モードの間に Go to SLEEP 要求が発行された場合、MAX22215 は t_{BRK_MIN} の長さの BRAKE フェーズを自動的に挿入してから SLEEP モードに移行します。
- デバイスが BRAKE モードになって t_{BRK_MIN} 未満の間に Go to SLEEP 要求が発行された場合、MAX22215 は BRAKE フェーズを自動的に延長し、 t_{BRK_MIN} が経過してから SLEEP モードに移行します (図 2 参照)。
- デバイスが t_{BRK_MIN} より長い時間 BRAKE モードになっている間に Go to SLEEP 要求が発行された場合、MAX22215 は直ちに SLEEP モードに移行します。
- Note 3 :** レギュレータが外部負荷に供給できる最大電流。
- Note 4 :** RELEASE モードから DIAGNOSTIC モード (DIAG) に直接移行することはできません。DIAGNOSTIC モードへは、SLEEP モードまたは BRAKE モードのいずれかから移行できます。
- BRAKE モードから移行する場合、コイルが完全に消磁するよう、最小の BRAKE 時間 (t_{BRK_MIN}) を遵守する必要があります。 t_{BRK_MIN} が経過する前に DIAGNOSTIC コマンドが送信された場合、図 5 に示すように、MAX22215 は合計 BRAKE 時間が延長するよう BRAKE 状態を強制的に維持してから、DIAGNOSTIC モードに移行します。
- Note 5 :** SCL エッジおよび SDA エッジは 120ns より高速であり、SCL および SDA のライン容量は 100pF 未満です。

ピン配置

MAX22215



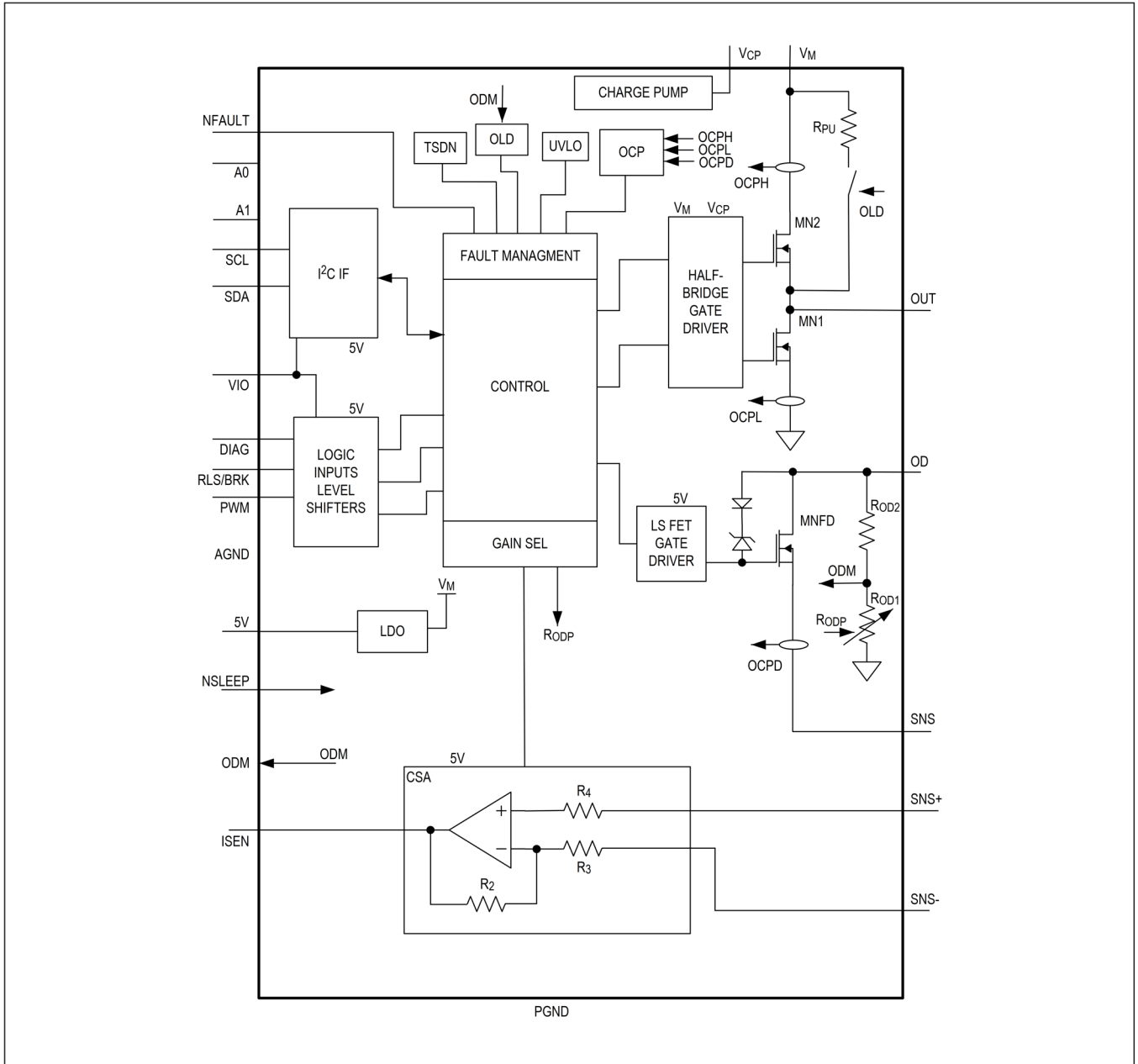
端子説明

端子	名称	機能
38, 1, 2, 3	V _M	電源電圧入力。1μF 以上の SMD と 100μF 以上の電解コンデンサを用いてバイパスします。
33, 34, 35, 36, 37	OUT	ハーフ・ブリッジ出力。ブレーキ・コイル端子に接続します。
4, 5, 6, 7	OD	オープン・ドレインのブレーキ解除用 NFET 出力。ブレーキ・コイル端子に接続します。
25, 26, 27, 28	SNS	センス抵抗。SNS と GND の間にセンス抵抗を接続します。
29, 30, 31	PGND	電源 GND。
24	SNS+	CSA の正側入力。
23	SNS-	CSA の負側入力。
8	V _{CP}	チャージ・ポンプ出力。V _{CP} と V _M の間に 1μF の 6V SMD コンデンサを接続します。
20	ODM	OD ピンのモニタ。ODM は、OD に接続された抵抗分圧器の中央タップを出力します。
22	AGND	アナログ・グラウンド。
19	V _{IO}	ロジック電源入力。V _{IO} は 1.8V~5V の範囲で変更できます。5V 動作の場合、V _{IO} は外部で 5V に接続できます。GND との間で V _{IO} ピンの近くに 6V、100nF のバイパス・コンデンサを接続します。
9	V ₅	内部 5V レギュレータ出力。GND との間で V ₅ ピンの近くに 6V、1μF のバイパス・コンデンサを接続します。
17	FAULT	フォルト・インジケータ、オープン・ドレイン出力。10kΩ のプルアップ抵抗を V _{IO} との間に接続します。
16	SCL	I ² C シリアル・クロック入力。1kΩ のプルアップ抵抗を V _{IO} との間に接続します。
15	SDA	I ² C シリアル入力/出力データ。1kΩ のプルアップ抵抗を V _{IO} との間に接続します。
13	A0	I ² C デバイス・アドレス・プログラミング入力。

端子説明 (続き)

端子	名称	機能
14	A1	I ² C デバイス・アドレス・プログラミング入力。
21	ISEN	電流検出アンプ出力。
11	RLS/BRK	解除/ブレーキ用 CMOS ロジック入力。I ² C でソフトウェア制御を行うには GND に接続します。
10	DIAG	診断用 CMOS ロジック入力。I ² C でソフトウェア制御を行うには GND に接続します。
12	PWM	PWM 用 CMOS ロジック入力。
18	$\overline{\text{SLEEP}}$	SLEEP モード。 $\overline{\text{SLEEP}}$ をロジック・ローに駆動すると SLEEP モードになり、消費電力を最小限に抑えられます。 $\overline{\text{SLEEP}}$ をロジック・ハイに駆動すると通常動作になります。 $\overline{\text{SLEEP}}$ と GND の間にはプルダウン抵抗が接続されます。 V_{IO} が印加されている場合にデバイスを自動的にパワーアップするには、 $\overline{\text{SLEEP}}$ を 5V に接続します。MAX22215 がソフトウェア制御モードに設定されている場合、 $\overline{\text{SLEEP}}$ ロジック入力ピンは、アクティブ状態を維持し内部 $\overline{\text{SLEEP}}$ ビットと論理和構成で接続されます。
32	N.C.	内部接続なし。放熱性を向上するため、このピンは、露出パッドおよびグラウンド・プレーンに接続します。

機能図



詳細説明

MAX22215 は、36V のハーフ・ブリッジ、65V のローサイド NFET（ブレーキ解除用 NFET）、単方向の低オフセット電流検出アンプ（CSA）を 1 つずつ内蔵しています。主に電気機械式モーターのブレーキやソレノイドの駆動を目的としており、一方の端子がハーフ・ブリッジ出力に接続され、他方の端子がブレーキ解除用 NFET のドレインに接続されています。[機能図](#)を参照してください。

コイル電流は、PWM を用いて励磁フェーズと消磁フェーズの両方で制御できるため、励起電流、保持電流、消磁電流に加え、励磁と消磁のタイミングも正確に制御できます。

内蔵のブレーク・ビフォア・メーク回路によってハイサイド FET とローサイド FET が同時にオンになることはないため、クロスバー伝導が防止されます。

励磁フェーズの間、ブレーキ解除用 FET がオンになり、それと同時にハーフ・ブリッジがパルス幅変調されて目的の励磁電流を供給します。消磁フェーズの間は、ハーフ・ブリッジが OUT ノードをローに駆動し、ブレーキ解除用 NFET はオフになります。コイルは、内部の 55V 高速消磁クランプを通じて即座に消磁されます。

内部の消磁クランプは、ブレーキ解除用 NFET のゲートとドレインの間に接続された 55V のツェナー・ダイオードによってトリガされます。このクランプは、ジャンクション温度が安全レベルを超えないようにすることで安全な動作を確保する安全消磁機能を備えています。ジャンクション温度がスレッシュホールドを超えると直ちに、熱制御ループがアクティブになり、ローサイド NFET がパルス幅変調されてジャンクション温度を安全レベル未満に保ちます（SafeDemag 機能）。

ハーフ・ブリッジ FET およびブレーキ解除用 NFET は、極めて低い $R_{DS(ON)}$ （50m Ω 、代表値）を特長としています。本デバイスは高効率かつ低消費電力であるため、スペースに制約があり PCB 上での高電力密度が懸念されるアプリケーションに適しています。MAX22215 は最大 3A の電流を駆動でき、過電流保護回路によって制限されています。効率的に供給できる最大電流はアプリケーションによって異なり、周囲温度、ヒートシンク、PCB レイアウト、換気、チョッピング周波数、スルー・レートなどの設定に依存します。

内蔵の高精度 CSA は、ブレーキ作動時（励磁フェーズ）とブレーキ解除時（消磁フェーズ）の両方において、外部センス抵抗の両端で発生する電圧降下を検出します。CSA のアナログ出力信号は、診断目的または外部制御ループへのフィードバック信号として使用できます。

デバイスの動作は、1MHz の I²C シリアル・インターフェースまたは CMOS ロジック入力ピンを使用して制御できます。I²C を使用する場合は、ドライバ出力スルー・レートや CSA ゲインなど、複数のデバイス・パラメータの設定が可能です。更に、ユーザは診断目的でフォルト・ログ・レジスタにアクセスできます。最大 16 個のデバイスで、同じ I²C バスを共有できます。

MAX22215 は、非散逸性過電流保護（OCP）、低電圧ロックアウト（UVLO）、過熱警告およびサーマル・シャットダウン機能、ブレーキ電圧モニタのアナログ出力（ODM）を内蔵しています。また、負荷接続の誤りやデバイスの誤動作を検出するためのその他の診断機能も組み込まれています。フォルト・インジケータ（nFAULT）ピンは、フォルトが発生するたびにアクティブになります。

MAX22215 は、5mm × 7mm の 38 ピン TQFN を採用しています。

ハードウェア/ソフトウェア制御

MAX22215 は、SLEEP、DIAGNOSTIC、RELEASE、BRAKE の 4 つの動作モードに対応しています。

- SLEEP モードは最低消費電力のモードに相当します。
- DIAGNOSTIC モードは、負荷が適切に接続されているかどうかを判定するために用いられます。
- BRAKE モードおよび RELEASE モードが主な動作モードであり、前者がモーターのブレーキを作動させる状態、後者がブレーキを解除する状態です。

動作モードは、I²C 設定レジスタの SW/HW ビットの状態に応じて、ハードウェア（ロジック入力ピン）またはソフトウェア（I²C インターフェース・レジスタ）によって選択できます。

パワーアップ時には、本デバイスは、デフォルトでハードウェアによって制御されます。SW/HW ビットのステータスはロジック・ロー（デフォルト状態）にセットされており、本デバイスの動作モードは、NSLEEP、DIAG、RLS/BRK の 3 つのロジック入力ピンのステータスによって決まります。

ソフトウェア制御をイネーブルするには、パワーアップ後に I²C コマンドを送信して SW/HW ビットをロジック・ハイにする必要があります。ソフトウェア（SW）制御モード（SW/HW = 「1」）の場合、デバイスの動作モードは、設定レジスタの 3 つのビット（NSLEEP、DIAG、RLS/BRK）のステータスによって決まります。なお、NSLEEP ビットは、NSLEEP ロジック入力ピンとの間で論理和を取る構成になっています。SW 制御モードでは、ロジック入力ピン DIAG および RLS/BRK は無視されます。

SLEEP モード

SLEEP モードは本デバイスの最低消費電力モードです。SLEEP モードへの移行は、NSLEEP ピンをロジック・ローに駆動 (HW 制御) するか、設定レジスタの NSLEEP ビットをセット (SW 制御) することによって可能です (ハードウェア/ソフトウェア制御のセクションを参照)。SW 制御設定 (つまり SW/HW = 「1」) の場合、NSLEEP ロジック入力ピンは、アクティブ状態を維持し内部 NSLEEP ビットと論理和構成で接続されます。そのため、ソフトウェアに依存せずに緊急ハードウェア SLEEP モードを強制することができます。

SLEEP モードでは、消費電流が最小限に抑えられます。内蔵のチャージ・ポンプ、電流検出アンプ、保護回路、およびほとんどの内部リファレンスがシャットダウンします。5V レギュレータはシャットダウンせず、SLEEP モードでも動作を続けます。そのため、5V を外部コントローラに供給できます。I²C ロジックも有効になっており、外部コントローラとの I²C 通信は SLEEP モード時にも可能です。

HW 制御モードを用いる場合 (デフォルトの SW/HW = 「0」)、フォルト後にフォルト・レジスタをリセットし通常動作を再開するために、NSLEEP ピンも用いることができます。図 1 に示すように、

- 短いプリアス信号を除去するために、 $8\mu\text{s}$ (t_{DEGLITCH} の最小値) より短い NSLEEP 負パルスは無視されます。
- NSLEEP が $20\mu\text{s}$ より長い時間ローに駆動されれば、FAULT レジスタがクリアされます。
- NSLEEP が $40\mu\text{s}$ より長い時間ローに駆動されれば、FAULT レジスタがクリアされ、本デバイスは SLEEP モードに移行します。

SLEEP モードに移行する場合、コイルが完全に消磁するよう、最小の BRAKE 時間 ($t_{\text{BRK_MIN}}$) を遵守する必要があります。

- デバイスが RELEASE モードの間に Go to SLEEP 要求が発行された場合、MAX22215 は $t_{\text{BRK_MIN}}$ の長さの BRAKE 時間を自動的に挿入してから SLEEP モードに移行します。
- デバイスが BRAKE モードになって $t_{\text{BRK_MIN}}$ 未満の間に Go to SLEEP 要求が発行された場合、MAX22215 は BRAKE フェーズを自動的に延長し、 $t_{\text{BRK_MIN}}$ が経過してから SLEEP モードに移行します (図 2 参照)。
- デバイスが $t_{\text{BRK_MIN}}$ より長い時間 BRAKE モードになっている間に Go to SLEEP 要求が発行された場合、MAX22215 は直ちに SLEEP モードに移行します。

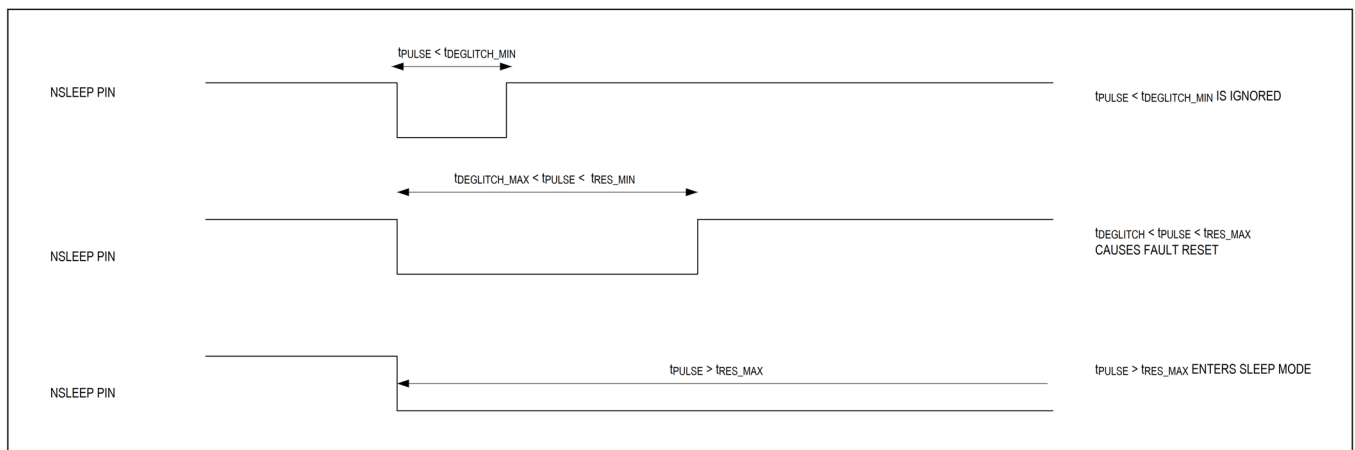


図 1. SLEEP のタイミング

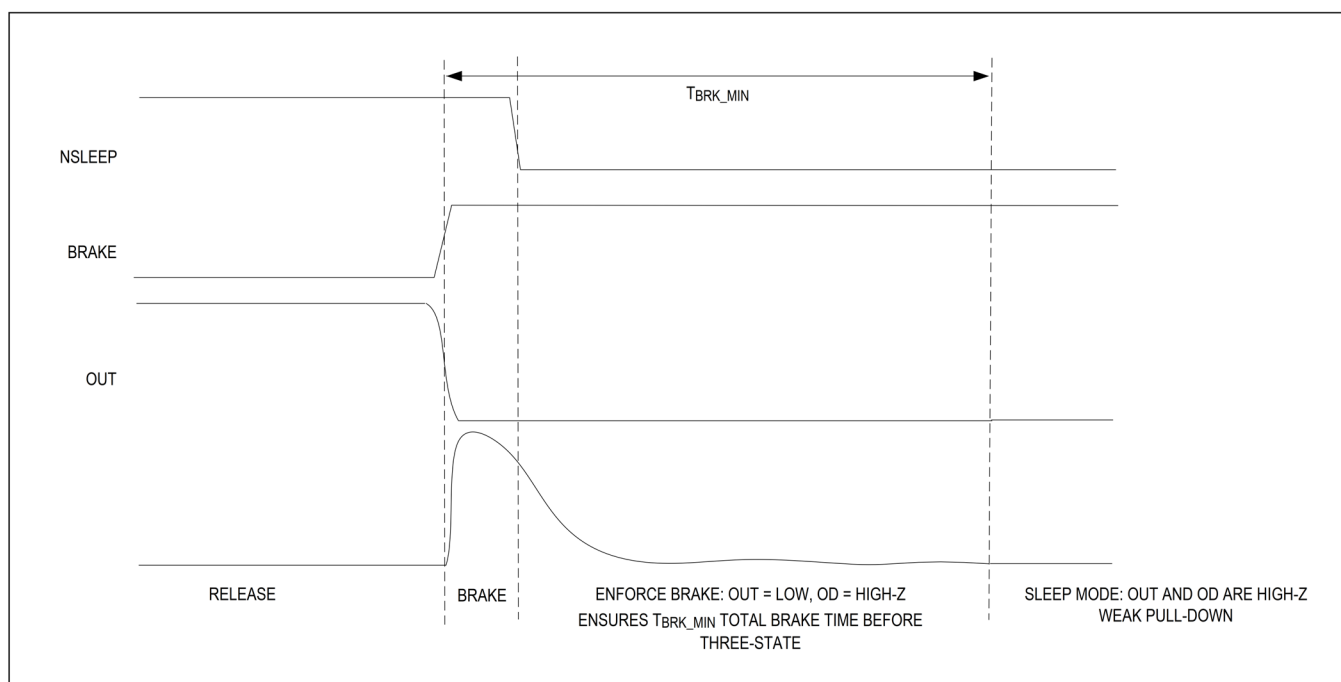


図 2. SLEEP までの最小 BRAKE 時間

SLEEP モードを終了し、他の動作モードに移行するには、最大で 1ms が必要です。

NSLEEP ピンのプルダウン抵抗により、ピンがアクティブに駆動されない場合、確実にロジック・ローに駆動されます。

MAX22215 の制御 – 真理値表

表 1 に、MAX22215 の真理値表を示します。ハードウェア/ソフトウェア制御のセクションで説明したように、NSLEEP、DIAG、RLS/BRK は、HW 制御の場合のロジック入力ピン、または SW 制御の場合の設定レジスタ・ビットに相当します。

NSLEEP がローの場合、デバイスは低消費電力モードになり、OUT と OD がどちらも高インピーダンスに設定されます。NSLEEP がハイにセットされると、デバイスは、RELEASE、BRAKE、DIAGNOSTIC の 3 つの主要動作モードで動作します。詳細については、SLEEP モードのセクションを参照してください。

RELEASE モードでは、コイルが励磁されるためモーター・ブレーキが作動しなくなります。PWM 信号をロジック入力ピン PWM に印加することにより、コイルに印加される実際の電圧を制御し、それによって励起電流および保持電流を制御できます。ブレーク・ビフォア・メーク回路があるため、ハーフ・ブリッジのハイサイド FET とローサイド FET が同時にオンになることはありません。

BRAKE モードでは、コイルが消磁されるためモーター・ブレーキが作動します。RELEASE モードから BRAKE モードに移行する場合、ロジック入力ピン PWM に PWM 信号を印加することによって消磁電流を制御できます。この手法は、消磁のタイミングを制御する場合や、放熱を最適化する場合に有用です。

最後に、DIAGNOSTIC モード (DIAG) は、負荷が適切に接続されているかどうかをチェックするために用いられます。DIAGNOSTIC モードに移行してからコイルの励起を開始することを推奨します。DIAGNOSTIC モード (DIAG) への移行は、デバイスが SLEEP モードになっている場合、または、 t_{BRK_MIN} より長時間 BRAKE モードになっている場合に可能です (電気的特性の表を参照)。

表 1. 真理値表

NSLEEP	DIAG	RLS/BRK	PWM	OD	OUT	モード/ステータス	説明
0	X	X	X	High-Z	High-Z	SLEEP	SLEEP モード。最低消費電力モード。
1	1	0	0	Pull Dw	Pull Up	DIAG	DIAGNOSTIC モード。OUT はプルアップ、OD はプルダウンされて、負荷の接続をチェックします。

表 1. 真理値表 (続き)

1	1	X	1	Pull Dw	Pull Up	(Note 1)	フォルト LFD3 がトリガされます (Note 1)。
1	1	1	X	Pull Dw	Pull Up	(Note 1)	フォルト LFD3 がトリガされます (Note 1)。
1	0	0	0	High-Z	LOW	BRAKE	BRAKE - 高速消磁。
1	0	0	1	LOW	LOW	SD_BRAKE	BRAKE - 低速消磁。
1	0	1	0	LOW	HIGH	RELEASE	RELEASE - コイル励起 (励磁)。
1	0	1	1	LOW	LOW	SD_RELEASE	RELEASE - 低速消磁。

Note 1: この入力設定は、DIAGNOSTIC モードが機能しており、かつデバイスが正しく接続されていることをチェックするために用いることができます。通常動作時に用いることを意図したものではありません。この入力設定は、フォルト・インジケータ LFD3 をトリガします。詳細については、[FAULT 管理の概要](#)のセクションを参照してください。DIAGNOSTIC モードに正しく移行するには、RLS/BRK と PWM の両方がロジック・ローでなくてはなりません。

コイルの消磁および SafeDemag 機能

MAX22215 は、堅牢な高速消磁回路を内蔵していることが特長であり、ほとんどのアプリケーションにおいて、体積が大きく高価な外部 TVS は不要です。内蔵の消磁クランプおよび制御回路は、ブレーキ解除用 NFET の周囲に構築されています。ブレーキの作動が必要な場合、ハーフブリッジが OUT ピンを GND に駆動し、それと同時にブレーキ解除用 NFET がオフになります。それによって、内部クランプがトリガされるまで OD ピンの電圧が上昇します (55V、代表値)。内部クランプがトリガされると、ブレーキ解除用 FET に消磁電流が流れ、FET は飽和モードで動作します。この瞬間的な大消費電力 ($V_{CLAMP} \times I_{COIL}$) が、シリコンを許容限界温度まで加熱する可能性があります。

この問題を解決するため、MAX22215 は、「SafeDemag」と呼ばれる消磁方法を採用しています。パワーFET 内には温度センサーが局所的に内蔵されています。FET の局所的な温度は、平均的なダイ温度に比べ、かなり高くなる場合があります。消磁フェーズが始まると、コイルの高速消磁を開始するためにブレーキ解除用 FET がオフになります。局所的な温度が許容限界温度 (T_{HIGH} 、約 160°C) に達すると、パワーFET がオンになり (低速消磁モード)、パワーFET を T_{LOW} (約 140°C) に冷却します。この時点で FET は再度オフになり、コイルが完全に消磁されるまでこのサイクルが繰り返されます。

SafeDemag 機能は、高速減衰と低速減衰を交互に行うため、合計の消磁時間は 100%高速消磁の場合に比べ長くなります。SafeDemag 機能による合計消磁時間の延長量は、周囲温度、保持電流、コイルのインダクタンスおよび抵抗、PCB レイアウトなど、いくつかのパラメータに依存します。

外部コントローラは、コントローラに印加される制御 PWM 信号を MAX22215 の ODM と比較することによって、SafeDemag 機能がトリガされたかどうかをモニタでき、また、パワーFET の局所的な温度に関して直ちにフィードバックを受けることができます。コントローラは、補正アクションを取ることもできます。例えば、消磁 PWM のデューティサイクルを低減することによりデバイスを更に冷却できます (図 3 参照)。

また、SafeDemag イベントが生じるたびに、FAULT レジスタの SAFEDEM ビットがハイにセットされます。デフォルトでは、このイベントはマスクされており、nFAULT インジケータ出力を活性化することはありません。SafeDemag 機能のマスクを解除し nFAULT インジケータ・ピンを活性化するには、FAULT MASK レジスタの SAFEDEM_MASK ビットをローにセットします (詳細については、[フォルト MASK レジスタ \(FAULT MASK\)](#) の段落を参照)。

SafeDemag 方法により、MAX22215 には自己保護機能が備わり、消費電力の制約がある中で最速の持続可能レートでコイルを消磁します。万一、SafeDemag 機能を備える内部クランプがアプリケーションのタイミング要件を満たさないような場合は、電力定格がより高くクランプ電圧が 45V 未満の外部 TVS を内部クランプの代わりに用いることにより、消磁エネルギーを吸収できます。

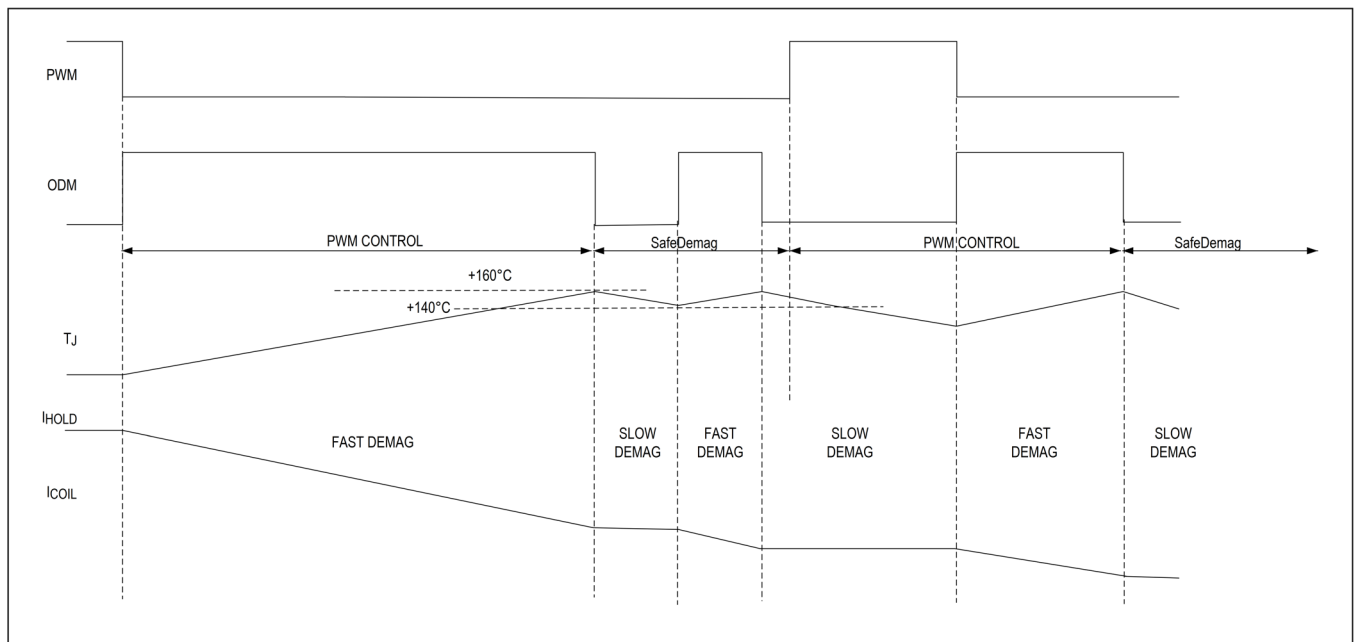


図 3. 安全な消磁の例

強制消磁モード

MAX22215 は V_M 電源をモニタし、 I^2C で設定したスレッシュホールド未満に電源が低下すると直ちに、強制的に BRAKE モードに移行しそれによってコイルの消磁を行います。この機能により、単に主電源から切り離すだけで電気機械式ブレーキを作動させるような使い方が可能になります。

強制ブレーキがトリガされると、対応するマスク・ビットがゼロ（デフォルト）になっている限り、nFAULT ピンがアサートされます。強制ブレーキ nFAULT の信号はラッチされず、強制消磁時間（約 40ms）が経過すると直ちに消滅します。

表 2 に示すように、CONFIG2 レジスタの 3 つのビットにより、8 つのレベル間のスレッシュホールドを設定できます。

表 2. 強制消磁スレッシュホールドのデコード

DEMAG[2:0]	ENFORCE DEMAG THRESHOLD (V_{DEM})
000	No threshold (function disabled)
001	8V
010	10V
011	12V (default)
100	14V
101	16V
110	18V
111	20V

コイルを励磁している間に電源ラインが切り離された場合、強制消磁スレッシュホールドに達するまで、コイル電流によってデバイスの電源 (V_M) が迅速に放電されます。このスレッシュホールド未満では、MAX22215 は強制的に消磁を行い、 V_M からの消費電流は、 $I_Q = 3mA$ 未満になります（電気的特性の表の自己消費電流を参照）。 V_M 電源にその他の負荷が接続されていないならば、デバイスは動作を続け、 V_M が UVLO スレッシュホールドに達するまで、電流および電圧が適切にモニタされます。この一時的なパワーオフは次式で表される時間だけ続きます。

$$T_{POFF} = C_{TANK} \times (V_{DEM} - UVLO) / I_Q$$

ここで、

$C_{TANK} = V_M$ に接続されたタンク・コンデンサ

V_{DEM} = 強制消磁スレッシュホールド

$UVLO$ = 低電圧ロックアウト・スレッシュホールド (8V、最大値)

$I_Q = V_M$ による自己消費電流

タンク・コンデンサのサイズを適切に選択することにより、パワーオフ時間を最大消磁時間より長く設定できます ($t_{POFF} > t_{DEMAG}$)。それによって、デバイスは完全に機能し、消磁が完了するまで、消磁電流および消磁電圧の両方がモニタされ続けます。例えば、最大消磁時間が 50ms で V_{DEM} が 16V に設定されていると仮定すると、 V_M のデカップリング・コンデンサは $50ms \times 3mA / (16V - 8V)$ (約 20 μ F) より大きいことが必要です。

代わりに、 V_M ピンではなく、5V ピンに大きなバイパス・コンデンサを接続することを検討することもできます。電流検出アンプと ODM 回路は 5V ラインで動作するため、デバイスは、5V ピンが $UVLO_{5V}$ 未満に低下するまで電流および OD 電圧をモニタし続けます。

スルー・レート制御

設定レジスタの 2 つのビットにより、ハーフ・ブリッジ・ドライバ出力に必要なスルー・レートを設定できます。エッジが遅いほど電磁妨害波は小さくなりますが、消費電力が大きくなります。次式を用いて計算することにより、スルー制限によるスイッチング損失を大まかに推定できます。

$$P_{SLEW} = V_M^2 \times I_{LOAD} \times (f_{CHOP}/SR)$$

ここで、

SR = スルー・レート

f_{CHOP} = チョッピング PWM 周波数

I_{LOAD} = コイル電流

V_M = 電源電圧

例えば、 $I_{LOAD} = 1A$ 、 $V_M = 24V$ 、 $f_{CHOP} = 20kHz$ で、スルー・レートが $SR = 50V/\mu s$ に制限されている場合、上式によれば、約 230mW の電力損失が追加されます。サポートされるスルー・レート設定については、[設定レジスタ \(CONFIG\)](#) のセクションを参照してください。

5V レギュレータ

MAX22215 は低消費電力の 5V レギュレータを内蔵しています。これは、内部ドライバ回路および CSA への給電を主な目的としています。レギュレータの安定性を確保するため、1 μ F 以上のバイパス・コンデンサを 5V とグラウンドの間に接続する必要があります。この 5V レギュレータは、外部コントローラなどの外部負荷に給電するために用いることができ、最大で 10mA の電流を供給できます。SLEEP モードの間、この 5V レギュレータと I²C ロジックはアクティブなままです。

電流検出アンプおよび GAIN ピンの説明

MAX22215 は高精度 CSA を備えています。CSA の電圧ゲインは、設定レジスタの 2 つのビットによって設定できます ([設定レジスタ \(CONFIG\)](#) のセクションを参照)。CSA は低オフセットが特長であり、優れた精度を実現します。CSA の入力電圧範囲は、GAIN 設定に依存します ([電気的特性](#)の表を参照)。センス抵抗の選択は、精度と効率のトレードオフです。最高精度は、最大の電圧降下が入力電圧範囲の上限値に近くなるよう外部センス抵抗を選択することによって実現されます。反対に、外部抵抗で消費される電力はその抵抗に比例します。

MAX22215 の簡略フロー・チャート

[図 4](#) に MAX22215 の簡略なフロー・チャートを示します。デバイスおよびそのリンクの主要なステータスのみを示しています。

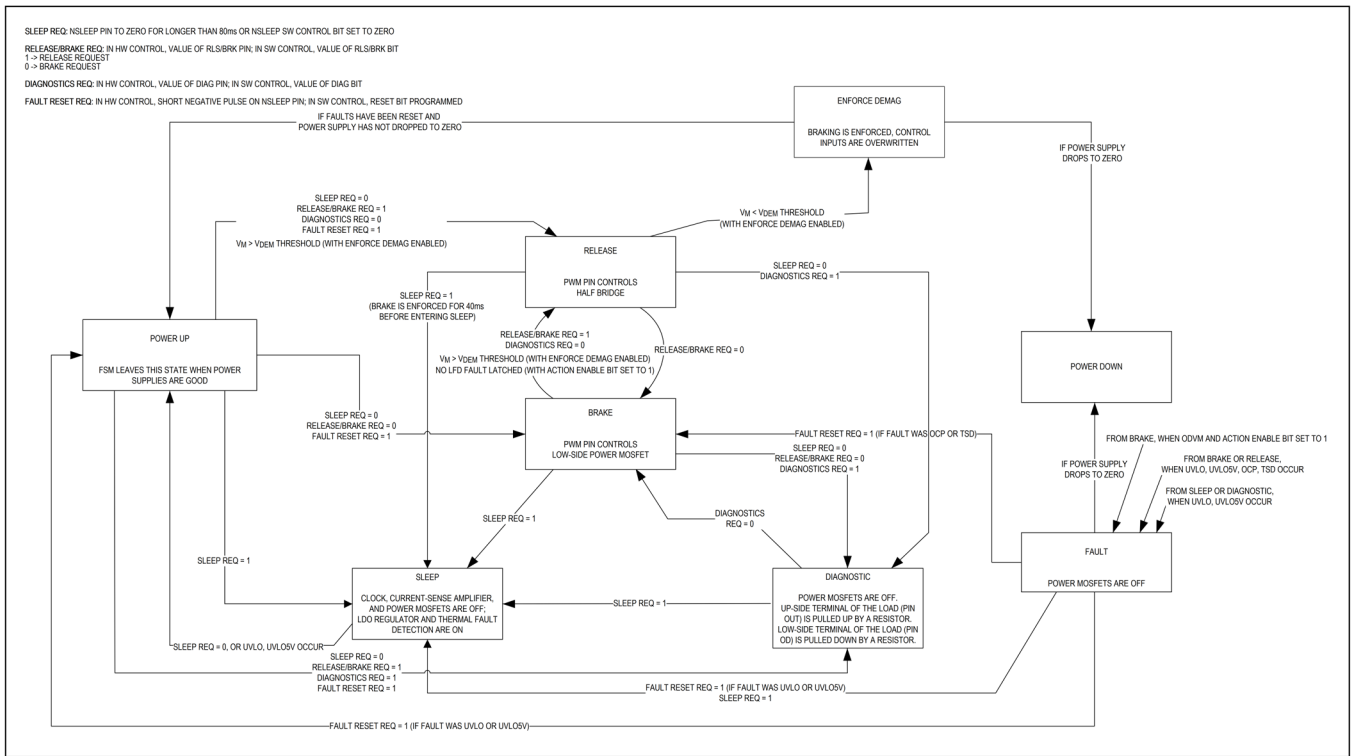


図 4. MAX22215 のプロセス・フロー・チャート

保護機能および診断機能

FAULT 管理の概要

MAX22215 は、フォルト状態下でのモーター・ブレーキの安全な動作を確保するための保護回路および診断機能を内蔵しています。

MAX22215 に統合されている診断およびフォルト管理機能のリストを、表 3 に示します。FAULT の列は、フォルト名を示します。表 3 は、具体的なフォルトに対し、MAX22215 およびモーター・ブレーキの安全な動作を確保するためにフォルト検出後に MAX22215 が行うアクションをレポートしています。フォルトはラッチされる場合もあればラッチされない場合もあります（表 3 のタイプの列を参照）。ラッチされるフォルトが検出された場合に通常動作を再開するには、フォルト・レジスタをクリアする必要があります（フォルト後の通常動作の復元のセクションを参照）。FAULT MASK レジスタの MASK ビットは、フォルトが検出された場合に NFAULT インジケータ・ピンをアサートするかどうかを決定します。表 3 には、MASK ビットのデフォルト値が示されています。ACTION ENABLE レジスタの ENA ビットは、MAX22215 がフォルト状態に応答してアクションを行うかどうかを決定します。表 3 には、フォルトごとに ENA ビットのデフォルト値が示されています。FAULT MASK レジスタおよび ACTION ENABLE レジスタは、I²C インターフェースを通じて設定できます。

表 3. フォルトの概要

FAULT	DESCRIPTION	DETECTION	ACTION	TYPE	MASK BIT DEFAULT	ENA BIT DEFAULT
OCP0	Half Bridge - High-Side FET Overcurrent Protection	Half-bridge - high-side FET current greater than OCP threshold	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A

表 3. フォルトの概要 (続き)

OCP1	Half Bridge - Low-Side FET Overcurrent Protection	Half-bridge - low-side FET current greater than OCP threshold	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A
OCP2	Release NFET Overcurrent Protection	Release NFET current greater than OCP threshold	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A
TWARN_UL	Unlatched Thermal Warning	Average die temperature exceeds T_{WARN} threshold ($\sim+120^{\circ}\text{C}$)	NFAULT asserted if not masked	Not latched	Not masked	N/A
TWARN	Latched Thermal Warning	Average die temperature exceeds T_{WARN} threshold ($\sim+120^{\circ}\text{C}$)	—	Latched	Not masked	—
TSD	Thermal Shutdown	Average die temperature exceeds T_{SD} threshold ($\sim+150^{\circ}\text{C}$)	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A
UVLO	V_M Undervoltage Lockout	V_M below UVLO threshold	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A
UVLO5V	5V Undervoltage Lockout	5V below UVLO5V threshold	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A
UVLOCP	CP Undervoltage Lockout	CP below UVLOCP threshold (disabled in SLEEP mode or during power-up)	Both OUT and OD are three-stated; NFAULT asserted if not masked	Latched	Not masked	N/A
DVD	Demag Voltage Detection	Demag voltage less than V_{DVD_TH} during braking	NFAULT asserted if not masked	Latched	Masked	N/A
LFD1	Coil Shorted to V_M	Detected during DIAGNOSTIC mode if $OD > 2/3 \times V_M$	Inhibit RELEASE mode if $ENA1 = 1$; NFAULT asserted if not masked	Latched	Not masked	$ENA1 = 1$
LFD2	Coil Shorted to GND or Not Connected	Detected during DIAGNOSTIC mode if $OD < 1/3 \times V_M$	Inhibit RELEASE mode if $ENA2 = 1$; NFAULT asserted if not masked	Latched	Not masked	$ENA2 = 1$
LFD3	Either PWM or BRK/RLS Shorted to a Positive Rail	Detects whether either PWM or BRK/RLS are logic high during DIAGNOSTIC mode	NFAULT asserted if not masked	Unlatched	Not masked	—
SAFEDEM	Safe Demag Has Been Triggered	Release NFET junction temperature greater than $+170^{\circ}\text{C}$	NFAULT asserted if not masked	Latched	Masked	N/A
ISM	Lack of Magnetization Current during Release	ISEN voltage $< 40\text{mV}$ during RELEASE mode (200ms filter)	NFAULT asserted if not masked	Latched	Masked	N/A

表 3. フォルトの概要 (続き)

ODVM	OD Shorted to V_M	OD pin voltage $>2/3 \times V_M$ in BRAKE mode (400ms filter)	Both OUT and OD are three-stated if ENA3 = 1; NFAULT asserted if not masked	Latched	Not masked	ENA3 = 1
------	---------------------	---	---	---------	------------	----------

以降の段落で、各フォルト状態の詳細を説明します。

フォルト後の通常動作の復元

フォルトが検出されると、フォルトリセット・プロシーダを用いることにより通常動作を復元できます。フォルトリセット・プロシーダは、MAX22215 が SW 制御か HW 制御かによって異なります (ハードウェア/ソフトウェア制御のセクションを参照)。どちらの場合も、フォルトリセット・プロシーダを行うことにより、フォルト状態が存在したままであっても、nFAULT フォルト・インジケータ出力が解除され、通常動作が復元されます。

表 4 で、2つの場合のフォルトリセット・プロシーダを説明します。

表 4. フォルトリセット・プロシーダ

制御モード	フォルトリセット・プロシーダ
ハードウェア制御 (ロジック入力)	負パルス NSLEEP ピンに印加 (リセット・パルスの最小および最大持続時間については電气的特性の表のリセットのタイミング仕様を参照)。
ソフトウェア制御 (I ² C)	設定レジスタの RESET ビットをロジック・ハイにセット。これによって、フォルト・レジスタもクリアされます。そのため、フォルト・レジスタを読み出してからフォルトリセットを送信することを推奨します。 フォルト・レジスタがクリアされると、RESET ビットは内部動作でゼロになります。

DIAGNOSTIC モード – 負荷フォルト検出 (LFD)

コイルが完全に消磁してから DIAGNOSTIC モードに移行するには、BRAKE 時間 (t_{BRK_MIN}) を遵守する必要があります。 t_{BRK_MIN} が経過する前に DIAGNOSTIC コマンドが送信された場合、図 5 に示すように、MAX22215 は合計 BRAKE 時間が延長するよう BRAKE 状態を強制的に維持してから、DIAGNOSTIC モードに移行します。

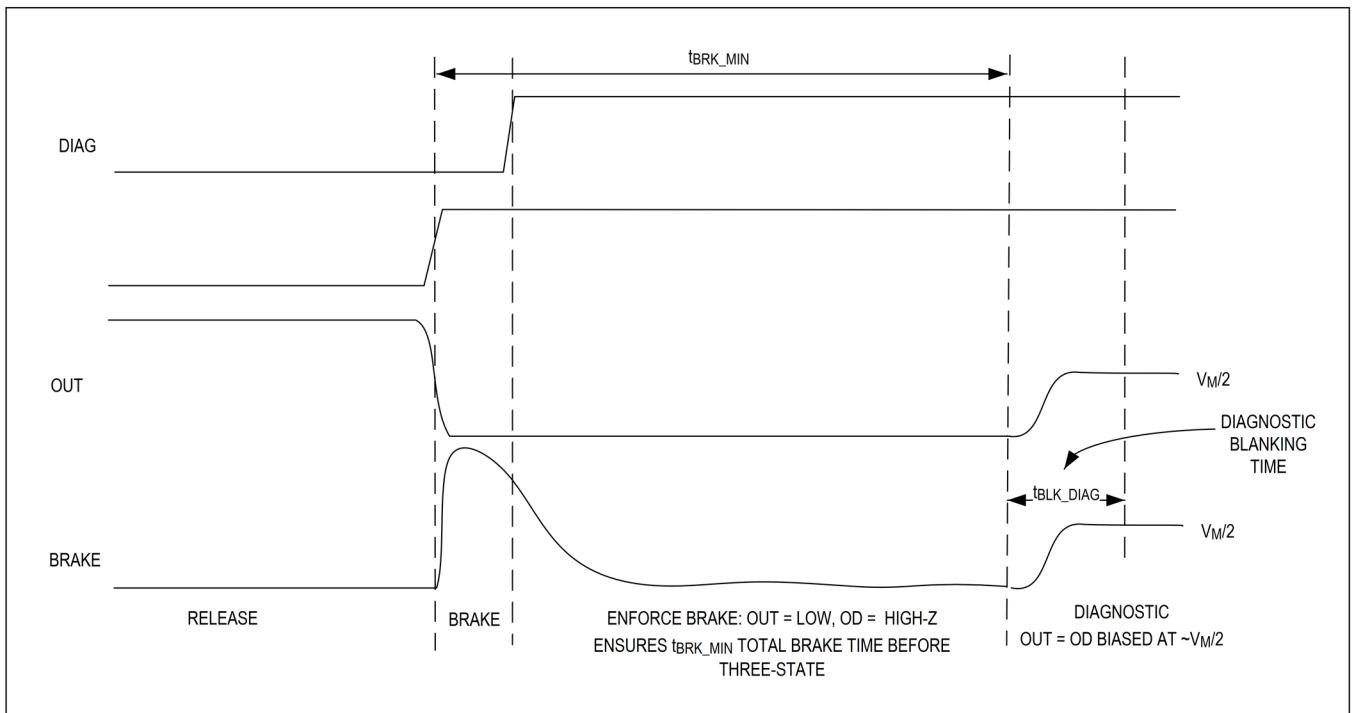


図 5. DIAGNOSTIC モードのタイミング

DIAGNOSTIC モードの場合、OUT ピンは、プルアップ抵抗 (R_{PU}) によってハイにプルアップされ、同時に、プログラマブル抵抗分圧器が OD と GND の間に接続されます。分圧器の出力は ODM ピンで読み出すことができ、外部コントローラにより常時モニタできます。バイアス・ネットワークを図 6 に示します。更に、各プログラミング・ステップでの代表的な抵抗値も示しています。

OUT 電圧と OD 電圧が安定化できるよう、ブランキング時間 (t_{BLK_DIAG}) 後に内部診断が活性化されます (図 5 参照)。

内蔵の診断回路が OD ピンの電圧をモニタします。通常の条件では、OD ノードは $V_M/2$ 程度であることが期待されます。負荷が接続されていない場合や、端子の 1 つが GND または V_M に短絡している場合は、OD ノードはこの期待される範囲から外れ、マスクされていない場合はフォルト信号が発せられます。OD $> (2/3 \times V_M)$ の場合、FAULT レジスタの LFD1 ビットがロジック・ハイにセットされます。OD $< (1/3 \times V_M)$ の場合、LFD2 ビットがロジック・ハイにセットされます。

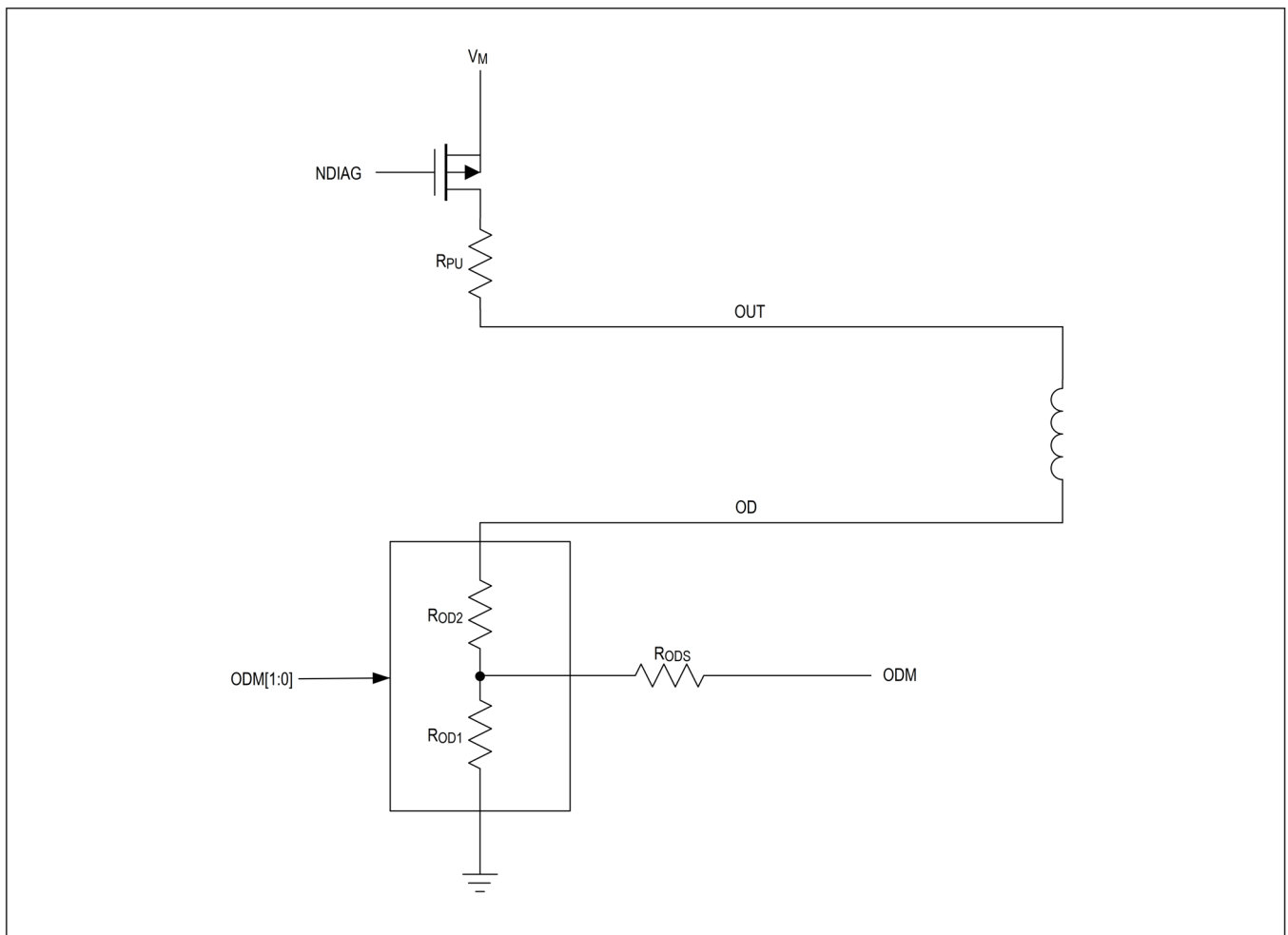


図 6. DIAGNOSTIC バイアス・ネットワーク

表 5. ODM の抵抗ネットワーク

ODM1	ODM0	R _{PU} (kΩ)	R _{OD1} (kΩ)	R _{OD2} (kΩ)	R _{ODS} (kΩ)	R _{OUT} (kΩ) OUT = OD	DIVIDER RATIO (V _{OD} /V _{ODM})
0	0	42.8	2.6	40.1	0.7	3.2	16.7
0	1	42.8	2.1	40.7	0.7	2.7	20.6
1	0	42.8	1.8	41	0.7	2.4	24.4

ACTION ENABLE レジスタの 2 つのビット ENA1 および ENA2 を用いると、LFD1 または LFD2 の検出後に RELEASE モードに移行するのを禁じることができます。ENA_i がハイにセットされている場合（デフォルト条件）、MAX22215 は、LFD_i ビットがハイにセットされても RELEASE モードへ移行しようとすることはありません。故障後の通常動作の復元のセクションの説明に従って、通常動作を復元できます。

MAX22215 の制御 – 真理値表のセクションで説明したように、PWM または RLS/BRK がロジック・ハイの場合に DIAGNOSTIC をロジック・ハイに駆動すると、MAX22215 は LFD3 フォルトを生成します。このフォルト状態の信号は、nFAULT インジケータ・ピンで発せられます。このフォルトはラッチされず、デバイスが DIAGNOSTIC モードを終了すると直ちにクリアされます。

LFD3 フォルト・インジケータには以下の 2 つの目的があります。

- 2 つのロジック入力のどちらかがハイに短絡されていない状態（アプリケーションに有害です）を確実に検知すること。
- LFD3 を意図的に発生させることにより、フォルト・インジケータ（nFAULT）機能をチェックするための簡単な方法を提供すること。

過電流保護 (OCP) およびブランキング時間

MAX22215 は、非散逸性の過電流保護 (OCP) 機能を備えています。電流は、3 つのパワーFET のそれぞれについて内部で検出され、内部設定された固定スレッショルドと比較されます。

内部設定されたブランキング時間があることにより、OCP 回路は PWM 通信直後に発生する短い過電流スパイクによってトリガされることはありません。

ハーフ・ブリッジのハイサイド FET またはローサイド FET のどちらかの電流が OCP スレッショルドを超過した場合、ハーフ・ブリッジおよび解除用 NFET はスリーステートになり、FAULT レジスタの対応ビットがハイにセットされます。OCP がマスクされていない場合は、nFAULT ピンがアサートされます。

解除用 NFET の電流が OCP スレッショルドを超過すると、ハーフ・ブリッジおよび解除用 NFET はスリーステートになり、FAULT レジスタの対応ビットがハイにセットされます。

OCP フォルトを検出した後に通常動作を復元するには、[フォルト後の通常動作の復元](#)のセクションを参照してください。

高繰り返し周波数時に発生する大電流バーストによりデバイスに過剰なストレスが生じるのを防ぐため、OCP イベントからの回復が行われようとした場合に、MAX22215 は一定の遅延を加えます ([電気的特性](#)の表の Overcurrent Restore Timing を参照)。

過熱保護 (T_{WARN} および T_{SD})

MAX22215 には、2 レベルの過熱保護機能があります。

ジャンクション温度が、より低い温度の第一警告スレッショルド (TH_w) に達すると、nFAULT ピンがアサートされますが (マスクされていない場合)、デバイスは通常動作を続けます。ジャンクション温度がこの警告スレッショルド未満に戻ると、nFAULT ピンのアサートは自動的に解除されます。NFAULT レジスタにはラッチされるフラグとラッチされないフラグが 1 つずつあり、これらを診断のために使用できます。

ジャンクション温度が上昇を続け、より高い温度のシャットダウン・スレッショルド (TH_{sd}) を超過すると、nFAULT インジケータ・ピンがロジック・ローにラッチされ、MAX22215 は 40ms の間、強制的に BRAKE モードになり、最終的に、ハーフ・ブリッジ出力 (OUT) と解除用 FET 出力 (OD) がスリーステートになります。NFAULT レジスタにはラッチされるフラグ・ビットが 1 つあり、これを診断のために使用できます。

フォルトの根本原因が解消されれば、[フォルト後の通常動作の復元](#)のセクションの説明に従って、通常動作を復元できます。

低電圧保護 (UVLO、UVLO5V、UVLOCP)

3 種類の低電圧ロックアウト回路が、V_M 電源入力、5V レギュレータ出力電圧、チャージ・ポンプ電圧を検出します。

V_M 電源電圧が低電圧ロックアウト・スレッショルド (UVLO) 未満に低下すると、MAX22215 は強制的に BRAKE モードになります ([MAX22215 の制御-真理値表](#)を参照)。FAULT レジスタの UVLO フォルト・フラグがハイにセットされ、nFAULT インジケータ・ピンがアサートされます (マスクされていない場合)。特に、パワーアップ後は UVLO のフラグがセットされ、ユーザは、動作を開始するために FAULT レジスタをクリアする必要があります。

5V レギュレータの出力が低電圧ロックアウト・スレッショルド (UVLO5V) 未満に低下すると、OUT ピンと OD ピンがどちらもスリーステートになります。FAULT レジスタの UVLO5V フラグがハイにセットされ、nFAULT インジケータ・ピンがアサートされます (マスクされていない場合)。

チャージ・ポンプ電圧レギュレータの出力が低電圧ロックアウト・スレッショルド (UVLOCP) 未満に低下すると、OUT ピンと OD ピンがどちらもスリーステートになります。FAULT レジスタの UVLOCP フラグがハイにセットされ、nFAULT インジケータ・ピンがアサートされます (マスクされていない場合)。

フォルトの根本原因が解消されれば、[フォルト後の通常動作の復元](#)のセクションの説明に従って、通常動作を復元できます。

消磁電圧検出 (DVD)

コイルが励磁されている間、ブレーキ解除用 NFET をオフに切り替えると、OD 電圧は直ちにクランピング電圧まで上昇します。

DVD 診断機能は OD ピンをモニタし、 t_{DVD} （電気的特性の表の DVD Detection Timing を参照）の時間内に V_{DVD} スレッショルド（電気的特性の表の DVD Detection Threshold を参照）を上回った場合にそれを検出します。 t_{DVD} は、内部 RLS/BRK 信号の立下がりエッジから開始します。スレッショルドに達しない場合、フォルト状態が検出されます。

DVD マスク・ビットがロジック・ローにセットされている場合、DVD フォルトが検出されると FAULT レジスタの NFAULT ビットがハイにセットされ、nFAULT インジケータ・ピンがアサートされます。

DVD マスク・ビットはパワーアップ時にはデフォルトでハイにセットされています。

過ったフォルト割込みが発生するのを防ぐため、励磁電流が小さいことが予想される場合や負荷が切り離されている場合には、DVD マスク・ビットをロジック・ハイ（デフォルト）にセットする必要があります。

フォルト後の通常動作の復元のセクションの説明に従って、通常動作を復元できます。

解除電流不検出 (ISM)

RELEASE モードになっている場合、MAX22215 は CSA の出力 (ISEN) をモニタします。ISEN のモニタリングは、RELEASE モードに移行してから 200ms 後に始まります。ISEN 電圧がユーザの設定したスレッショルド (ISMTH) 未満である場合、FAULT レジスタの ISM ビットがフラグ設定され、NFAULT インジケータ・ピンがアサートされます（マスクされていない場合）。

この機能により、励磁フェーズの間に開放負荷検出が可能になります。コイルの励磁中に負荷が突然切り離された場合、ブレーキ・ケーブルが非常に高い電圧に達する可能性があります。ケーブルと PCB コネクタの間に電気アークや間欠接触が生じると、場合によっては素子が損傷するほどの高い電圧に MAX22215 がさらされる可能性があります。

ISM 機能は診断ツールとして用いることもでき、それによって、電流アクイジション信号経路（外部センス抵抗から CSA 出力まで）を検証し、異常な動作が生じた場合には割込みを発生することができます。

ISM マスク・ビットはデフォルトでハイにセットされています（フォルトはマスクされます）。

フォルト後の通常動作の復元のセクションの説明に従って、ISM フォルト後に通常動作を復元できます。

OD の V_M への短絡検出 (ODVM)

RELEASE モードから BRAKE モードに移行し、プログラマブルな時間が経過すると、OD ピンの電圧がチェックされます。この値が $2/3 \times V_M$ より大きければ、ODVM FAULT が検出されます。マスクされていない場合、nFAULT インジケータ・ピンがアサートされます。更に、ENA3=1（デフォルト）の場合は、OUT ピンおよび OD ピンがどちらもスリーステートになります。それによって、OD ピンが V_M に短絡された場合に、ブレーキ・コイルが逆極性で励磁されるのを防止できます。標準的なモーター・ブレーキは、電流コイルの極性には影響されません。そのため、逆電流が発生すると、ブレーキが不必要に解除される原因になります。

odvm_time の各ビットに書き込むことによって、プログラマブルなタイムアウトを設定できます。設定可能な時間は次のとおりです。

表 6. ODVM のタイムアウト表

CODE	ODVM_TIME
0x0	100ms
0x1	200ms
0x2	400ms
0x3	800ms

フォルト後の通常動作の復元のセクションの説明に従って、ODVM フォルト後に通常動作を復元できます。

I²C ロジックの説明

MAX22215 のプログラミング

MAX22215 は、デバイス・パラメータの設定、診断情報の読出し、動作モードの制御を行うために使用できる、I²C 対応インターフェースを備えています。

I²C インターフェースを使用するかどうかは任意です。I²C を使用しない場合、デフォルトの設定値を用いることが前提となり、MAX22215 はロジック入力ピンから制御されます（ハードウェア/ソフトウェア制御のセクションを参照）。

通信はバイト単位です。本デバイスは 8 個の 1 バイト・レジスタ、すなわち、2 個の R/W 設定レジスタ、2 個の RO FAULT レジスタ、2 個の R/W FAULTMASK レジスタ、1 個の R/W ACTION ENABLE レジスタ、1 個の STATUS レジスタを備えています。

I²C インターフェースおよびレジスタは、すべての動作モードでアクティブです。特に、SLEEP モードにおいても I²C 通信は可能です。ただし、SLEEP モード時には、FAULT レジスタはクリアされます。

I²C インターフェース

起動および停止の伝達

MAX22215 にはホスト・コントローラとのデータ通信用に I²C 対応のインターフェース (SCL および SDA) が備わっています。このインターフェースは、最大 1MHz のクロック周波数をサポートしています。SCL と SDA はプルアップ抵抗で正電源に接続する必要があります。

I²C を使用して MAX22215 に書き込む場合、コントローラはスタート条件 (S) に続けて MAX22215 の I²C アドレスを送信します。このアドレスに続けて、コントローラはプログラムしようとするレジスタのアドレスを送信します。更に、コントローラは、ストップ条件 (P) を発行して通信を終了しバスの制御を終了するか、反復開始条件 (Sr) を発行して新しい I²C ターゲットと通信します。

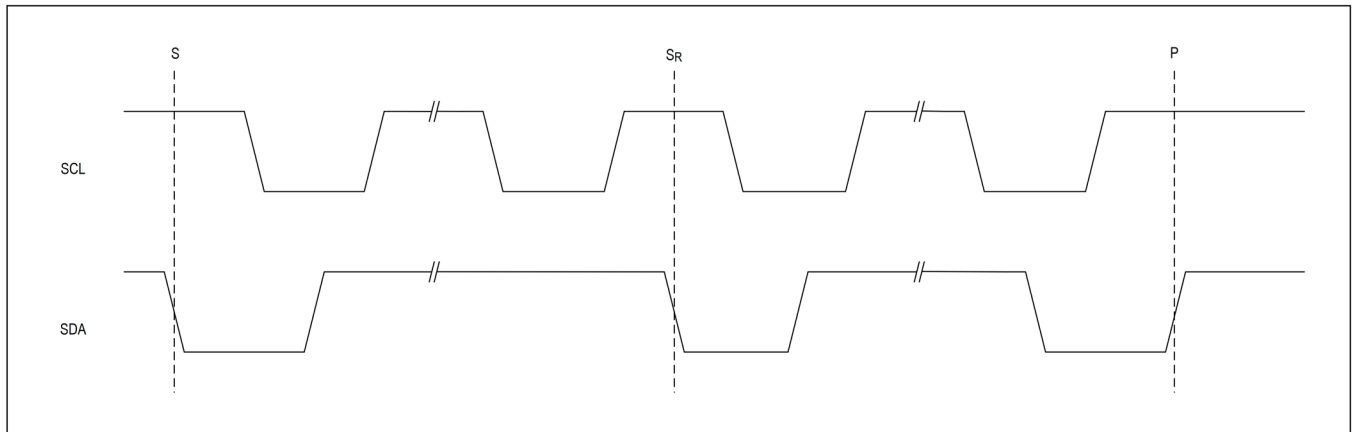


図 7. I²C シリアル・インターフェースのスタート条件およびストップ条件

ビット転送

SCL クロック・サイクルの立上がりエッジごとに、1 データ・ビットが転送されます。SDA のデータは、SCL のクロック・パルスがハイの間、安定した状態であればなりません。SCL がハイで安定しているときに SDA に変化が生じた場合、制御信号とみなされます。バスがアクティブでない場合は、SDA と SCL は共にハイのままです。

1 バイト書き込み

この動作では、コントローラは 1 つのアドレスと 2 つのデータ・バイトをターゲット・デバイスに送信します。

以下のプロシージャは、1 バイト書き込みの動作を示すものです。

1. コントローラがスタート条件を送信します。
2. コントローラが 7 ビットのターゲット・アドレスに続けて書き込みビット (ロー) を送信します。
3. アドレス指定されたターゲットは、ターゲット ID が正しければ ACK (正しくなければ NACK) をアサートします。
4. コントローラが 8 ビットのレジスタ・アドレスを送信します。
5. ターゲットはデータ・ラインに ACK をアサートします。
6. コントローラが 8 ビットのデータを送信します。
7. ターゲットはデータ・ラインに ACK をアサートします。
8. コントローラがストップ条件を生成します。

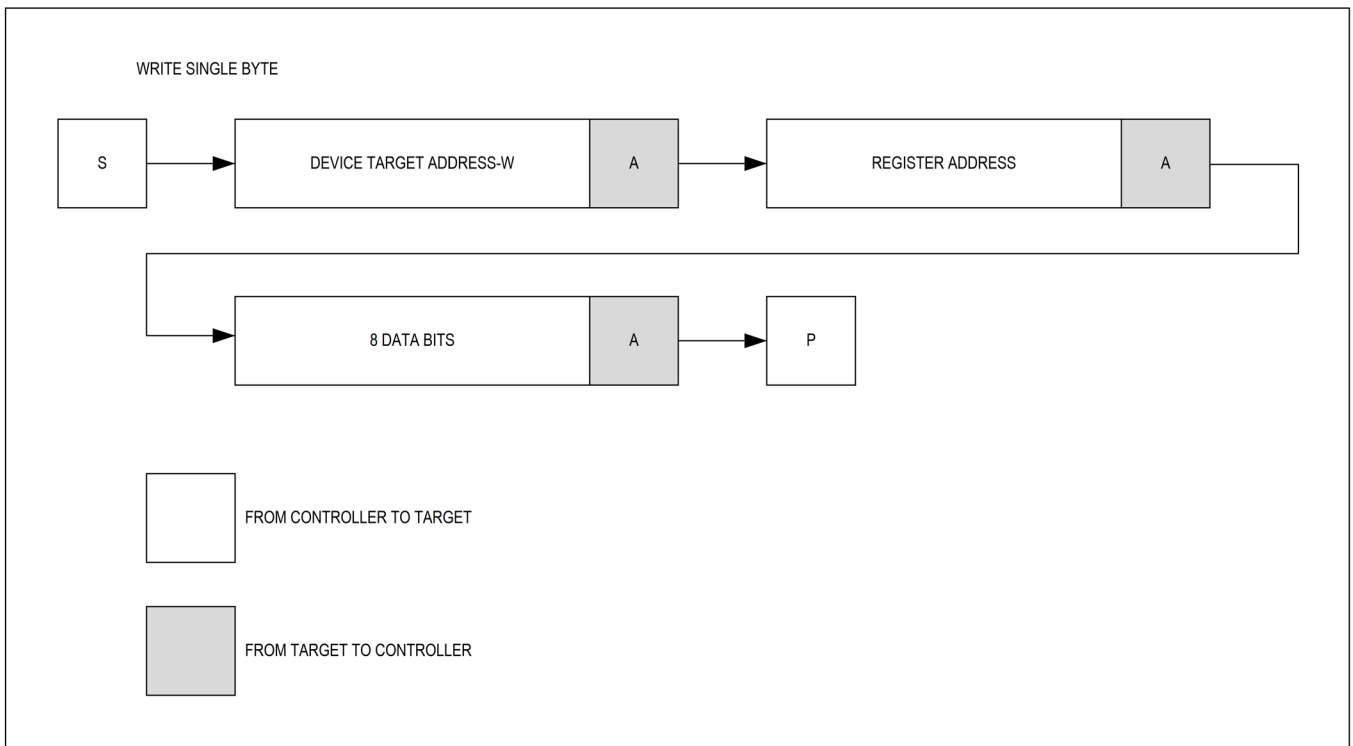


図 8.1 バイト書き込みシーケンス

バースト書き込み

この動作では、コントローラは 1 つのアドレスと複数のデータ・バイトをターゲット・デバイスに送信します。ターゲット・デバイスは、各データ・バイトが送信されるごとにレジスタ・アドレスを自動的にインクリメントしますが、アクセスされたレジスタが 0x00 の場合には、レジスタ・アドレスは変化しません。以下のプロシージャは、バースト書き込みの動作を示すものです。

1. コントローラがスタート条件を送信します。
2. コントローラが 7 ビットのターゲット・アドレスに続けて書き込みビット（ロー）を送信します。
3. アドレス指定されたターゲットは、ターゲット ID が正しければ ACK（正しくなければ NACK）をアサートします。
4. コントローラが 8 ビットのレジスタ・アドレスを送信します。
5. ターゲットはデータ・ラインに ACK をアサートします。
6. コントローラが 8 ビットのデータを送信します。
7. ターゲットはデータ・ラインに ACK をアサートします。
8. ステップ 6~7 を N-1 回繰り返します。
9. コントローラがストップ条件を生成します。

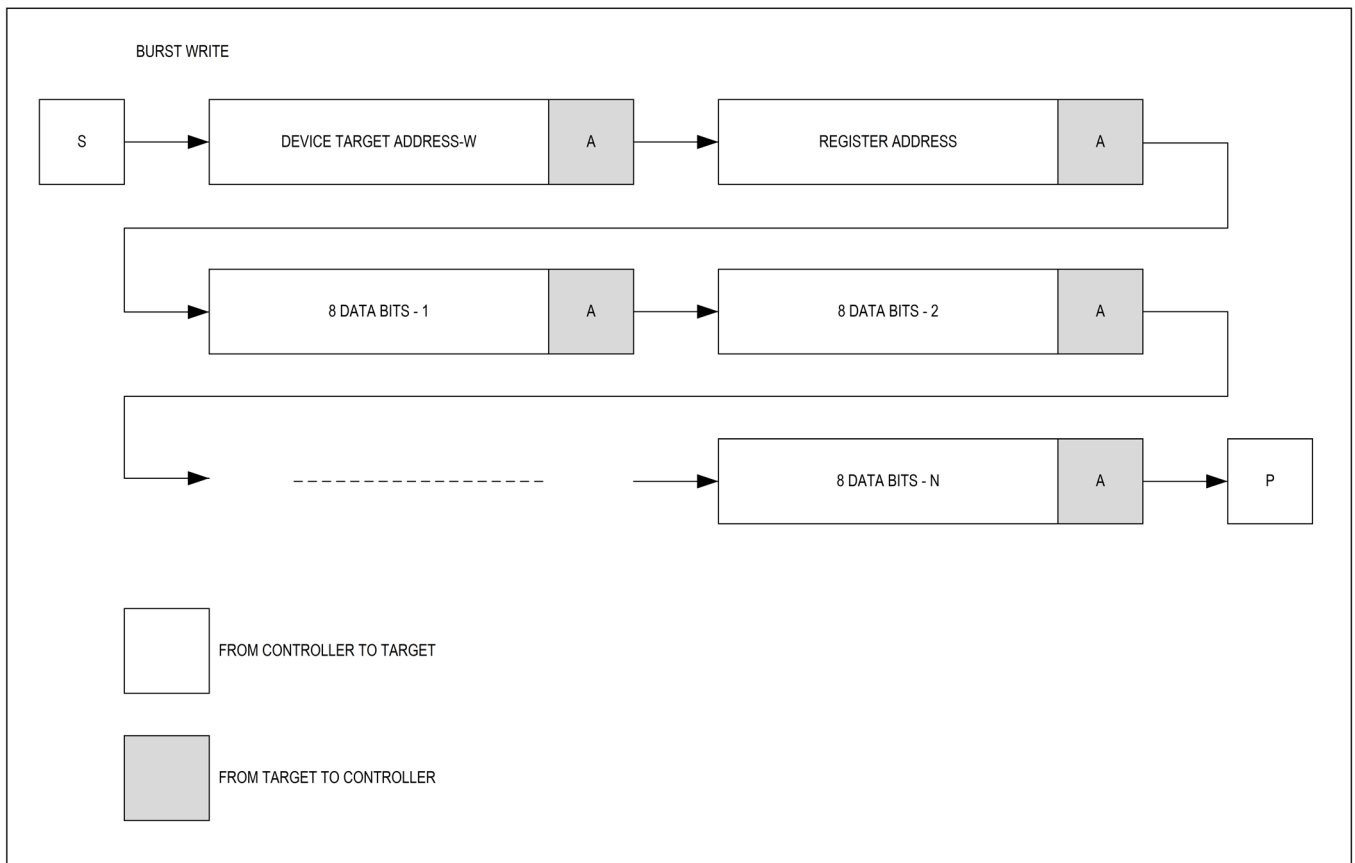


図 9. バースト書き込みシーケンス

1 バイト読出し

この動作では、コントローラは 1 つのアドレスと 2 つのデータ・バイトをターゲット・デバイスに送信し、ターゲット・デバイスから 1 つのデータ・バイトを受信します。

以下のプロシージャは、1 バイト読出し動作を示すものです。

1. コントローラがスタート条件を送信します。
2. コントローラが 7 ビットのターゲット・アドレスに続けて書き込みビット（ロー）を送信します。
3. アドレス指定されたターゲットは、ターゲット ID が正しければ ACK（正しければ NACK）をアサートします。
4. コントローラが 8 ビットのレジスタ・アドレスを送信します。
5. ターゲットはデータ・ラインに ACK をアサートします。
6. コントローラが反復開始条件を送信します。
7. コントローラが 7 ビットのターゲット・アドレスに続けて読出しビット（ハイ）を送信します。
8. アドレス指定されたターゲットがデータ・ラインに ACK をアサートします。
9. ターゲットが 8 ビットのデータを送信します。
10. コントローラがデータ・ラインに NACK をアサートします。
11. コントローラがストップ条件を生成します。

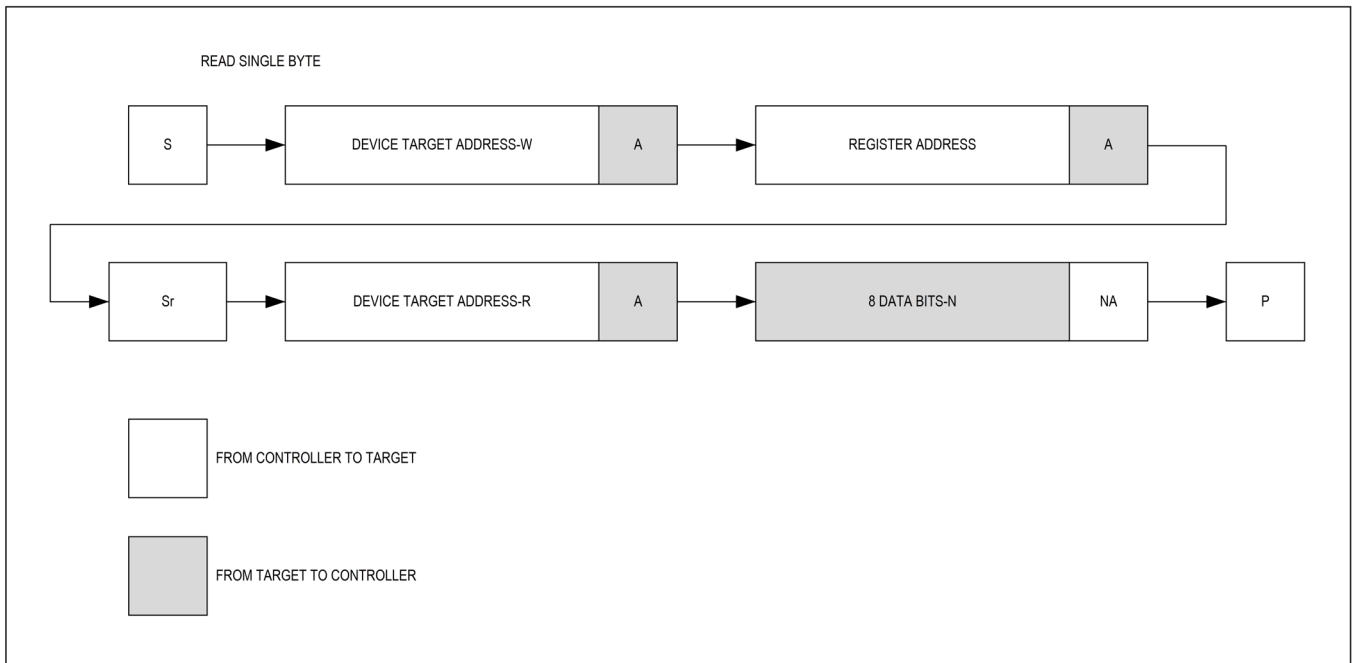


図 10.1 バイト読出しシーケンス

バースト読出し

この動作では、コントローラは 1 つのアドレスと 2 つのデータ・バイトをターゲット・デバイスに送信し、ターゲット・デバイスから複数のデータ・バイトを受信します。以下のプロシージャは、バースト読出し動作を示すものです。

1. コントローラがスタート条件を送信します。
2. コントローラが 7 ビットのターゲット・アドレスに続けて書き込みビット（ロー）を送信します。
3. アドレス指定されたターゲットは、ターゲット ID が正しければ ACK（正しくなければ NACK）をアサートします。
4. コントローラが 8 ビットのレジスタ・アドレスを送信します。
5. ターゲットはデータ・ラインに ACK をアサートします。
6. コントローラが反復開始条件を送信します。
7. コントローラが 7 ビットのターゲット・アドレスに続けて読出しビット（ハイ）を送信します。
8. ターゲットはデータ・ラインに ACK をアサートします。
9. ターゲットが 8 ビットのデータを送信します。
10. コントローラはデータ・ラインに ACK をアサートします。
11. ステップ 9 と 10 を N-2 回繰り返します。
12. ターゲットが最後の 8 つのデータ・ビットを送信します。
13. コントローラがデータ・ラインに NACK をアサートします。
14. コントローラがストップ条件を生成します。

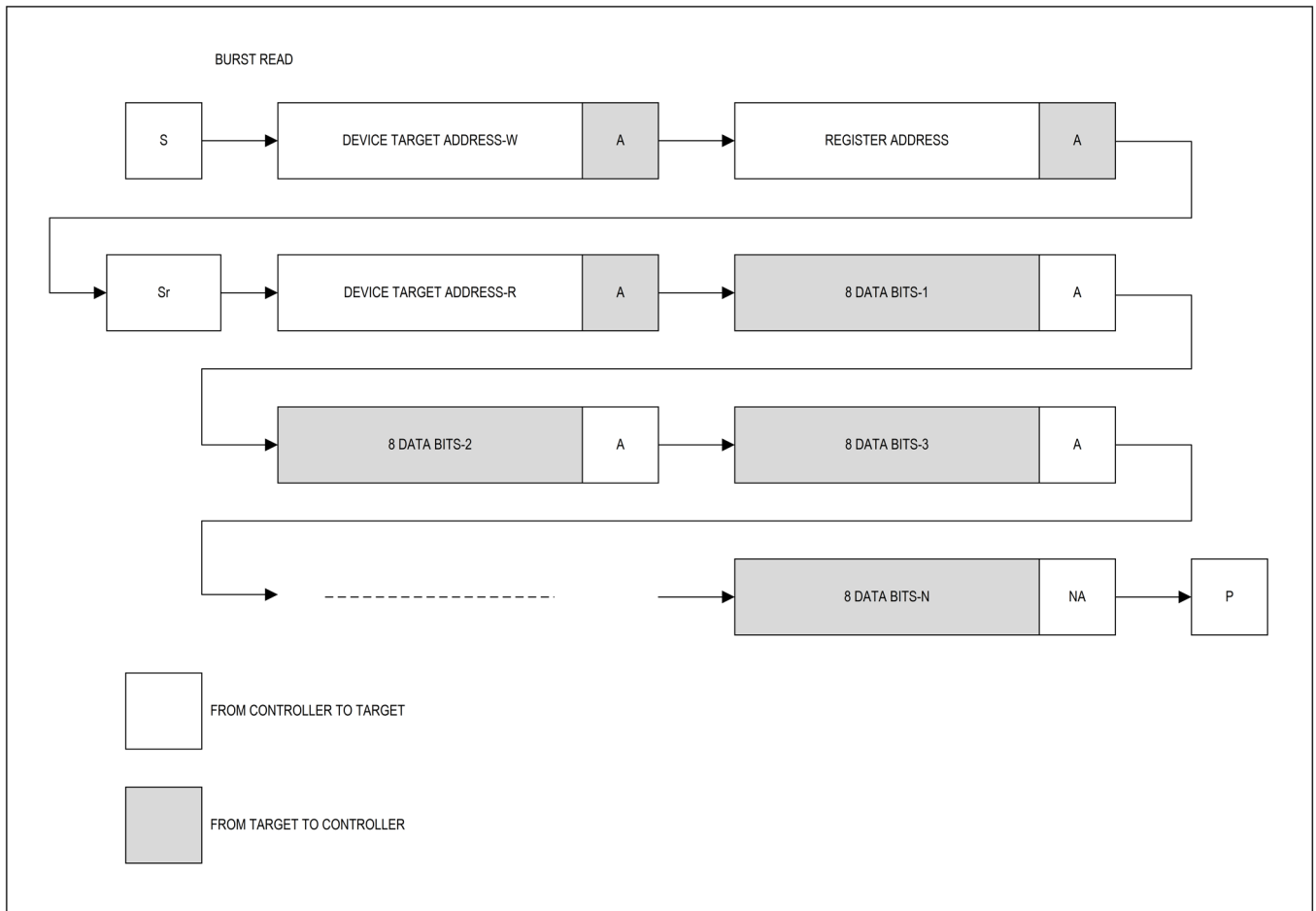


図 11. バースト読み出しシーケンス

アクセラレーション・ビット

データ転送は、アクセラレーション・ビット (ACK) もしくはノット・アクセラレーション・ビット (NACK) でアクセラレーションされます。コントローラと MAX22215 の両方が ACK ビットを生成します。ACK を生成するためには、9 番目のクロック・パルスの立ち上がりエッジより前に SDA をローに引き下げて、9 番目のクロック・パルスのハイ期間の間ローに保持します。NACK を生成するためには、9 番目のクロック・パルスの立ち上がりエッジより前に SDA をハイの状態とし、9 番目のクロック・パルスのハイ期間の間ハイのままにします。NACK ビットをモニタすれば、失敗したデータ転送を検出できます。

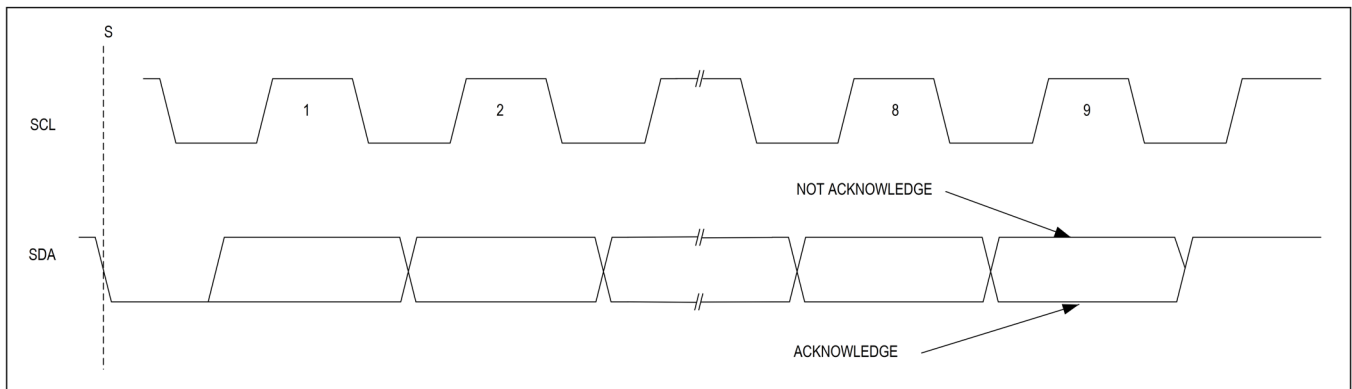


図 12. アクノレッジ・ビット

ターゲット ID の指定

MAX22215 にはホスト・プロセッサとのデータ通信用に I²C 対応のインターフェース（SCL および SDA）が備わっています。このインターフェースは、最大 1MHz のクロック周波数をサポートしています。SCL および SDA はプルアップ抵抗で VIO に接続する必要があります。

I²C インターフェースには 7 ビットのアドレスがあり、最大 16 デバイスが同じ I²C バスを共有できます。アドレスは、A1 入力および A0 入力をグランド、VIO、SDA、SCL に接続することによって定義されます。表 7 に、A1 と A0 の設定によって特定される、最大 16 個のデバイスの内部レジスタの読み出し/書き込み動作のアドレスを示します。

A1 および A0 は、ターゲット ID の下位 4 ビットの値を設定する点に注意してください。上位 3 ビットは常に 001 です。

表 7. I²C のアドレス表

A1	A0	TARGET ID
GND	GND	0x10
GND	VIO	0x11
GND	SCL	0x12
GND	SDA	0x13
VIO	GND	0x14
VIO	VIO	0x15
VIO	SCL	0x16
VIO	SDA	0x17
SCL	GND	0x18
SCL	VIO	0x19
SCL	SCL	0x1A
SCL	SDA	0x1B
SDA	GND	0x1C
SDA	VIO	0x1D
SDA	SCL	0x1E
SDA	SDA	0x1F

ステータス・レジスタ（STATUS） – 読み出し専用

STATUS レジスタは 8 ビットの読み出し専用レジスタであり、MAX22215 の内部ステータスを提供し MCU からのポーリングを可能にします。

表 8 に各ビットの説明を示します。

表 8. STATUS レジスタ

#	ビット	説明
0	SLEEP	「0」: SLEEP モードではない 「1」: SLEEP モード
1	BRAKE	「0」: BRAKE モードではない 「1」: BRAKE モード
2	RELEASE	「0」: RELEASE モードではない 「1」: RELEASE モード
3	DIAGNOSTIC	「0」: DIAGNOSTIC モードではない 「1」: DIAGNOSTIC モード
4	ENFORCE DEMAG	「0」: 強制消磁モードではない 「1」: 強制消磁モード
5	SAFE DEMAG	「0」: 安全消磁モードではない 「1」: 安全消磁モード
7	OTHER MODES	「0」: その他のモードではない 「1」: その他のモード (Note 1)

動作モードの詳細については、[詳細説明](#)の各段落を参照してください。

Note 1: 「その他のモード」には、OUT および OD が高インピーダンス状態になる、デバイスのその他のモードすべて（パワーアップ・モードやフォルト・モードなど）が含まれます。

フォルト・レジスタ (FAULT) – 読み出し専用

フォルト情報や診断情報のログを記録するために、8 ビットのレジスタが 2 つ用意されています。フォルトまたは診断のイベントが生じると、対応ビットがロジック・ハイにセットされます。FAULT レジスタを読み出すことにより、どのフォルトによってデバイスが動作しないかが判定できます（詳細については表 9 および表 10 を参照）。

FAULT レジスタをクリアし、通常動作を復元するには、[フォルト後の通常動作の復元](#)のセクションを参照してください。DLF3 と TWARN_UL を除き、すべてのフォルトがラッチされます。

表 9. FAULT-1

ビット	名称	説明
0	OCP0	ハーフ・ブリッジ HS の OCP
1	OCP1	ハーフ・ブリッジ LS の OCP
2	OCP2	LS FET の OCP
3	TWARN_UL	加熱警告 (約+120°C) - ラッチされない
4	TSD	サーマル・シャットダウン (約+160°C)
5	UVLO	低電圧ロックアウト
6	UVLO5V	5V の低電圧ロックアウト
7	UVLOCP	チャージ・ポンプの低電圧ロックアウト

「0」 = ロジック・ロー = フォルトなし

「1」 = ロジック・ハイ = フォルト検出

表 10. FAULT-2

ビット	名称	説明
0	LFD1	コイルが V_M に短絡 – DIAGNOSTIC モード時にのみ検出可能
1	LFD2	コイルが GND に短絡または無接続 – DIAGNOSTIC モード時にのみ検出可能
2	SAFEDEM	安全消磁がトリガ

表 10. FAULT-2 (続き)

3	ISM	解除時に励磁電流が欠如
4	ODVM	OD が V_M に短絡
5	DVD	消磁電圧の検出
6	TWARN	加熱警告 (約+120°C) – ラッチ
7	LFD3	DIAGNOSTIC モード時に PWM または RLS のいずれかがロジック・ハイ

「0」 = ロジック・ロー = フォルトなし

「1」 = ロジック・ハイ = フォルト検出

フォルト診断 MASK レジスタ (FAULT MASK) – 読出し/書込み専用

FAULT MASK レジスタは読出し/書込みレジスタです。ビットがローにセットされている場合、フォルトが検出されると nFAULT インジケータ出力がアサートされます。ビットがロジック・ハイにセットされている場合は、nFAULT インジケータ出力はアサートされません。

表 11. FAULT MASK レジスタの表 1

ビット	名称	説明	デフォルト
0	OCP0	ハーフ・ブリッジ HS の OCP – フォルト・マスク	0
1	OCP1	ハーフ・ブリッジ LS の OCP – フォルト・マスク	0
2	OCP2	LS FET の OCP – フォルト・マスク	0
3	TWARN	加熱警告 (約+120°C) – フォルト・マスク	0
4	TSDN	サーマル・シャットダウン (約+160°C) – フォルト・マスク	0
5	UVLO	V_M の低電圧ロックアウト – フォルト・マスク	0
6	UVLO5V	5V の低電圧ロックアウト – フォルト・マスク	0
7	UVLOCP	チャージ・ポンプの低電圧ロックアウト – フォルト・マスク	0

「0」 = ロジック・ロー = フォルトはマスクされない

「1」 = ロジック・ハイ = フォルトがマスクされる

表 12. FAULT MASK レジスタの表 2

ビット	名称	説明	デフォルト
0	LFD1	LFD フォルト 1 – フォルト・マスク	0
1	LFD2	LFD フォルト 2 – フォルト・マスク	0
2	SAFEDEM	安全消磁 – マスク	1
3	ISM	ISM マスク	1
4	ODVM	ODVM マスク	1
5	DVD	DVD マスク	1
6	RFU	予備	0
7	LFD3	LFD フォルト 3 – フォルト・マスク	0

「0」 = ロジック・ロー = フォルトはマスクされない

「1」 = ロジック・ハイ = フォルトがマスクされる

アクション・イネーブル (ACTION ENABLE) – 読出し/書込みレジスタ

ACTION ENABLE レジスタの ENA_ ビットは、対応するフォルトが検出された後に特定のアクションをイネーブルします。詳細については、LFD および ODVM の説明を参照してください。

表 13. アクション・イネーブル ENA1、ENA2、ENA3 の表

ビット	名称	説明
0	ENA1	LFD1 検出後にアクションをイネーブル

表 13. アクション・イネーブル ENA1、ENA2、ENA3 の表 (続き)

1	ENA2	LFD2 検出後にアクションをイネーブル
2	ENA3	ODVM 検出後にアクションをイネーブル
3:7	RFU	予備

「0」 = ロジック・ロー = イネーブルされない

「1」 = ロジック・ハイ = イネーブルされる

設定レジスタ (CONFIG) – 読み出し/書き込み

1 バイトの設定レジスタ 2 個を用いることにより、デバイスを設定できます。

- 表 14 に示すように、CONFIG1 バイトによって、スルー・レート、CSA のゲイン、ODM の分圧比を設定できます。
- CONFIG2 バイトには、RESET ビットおよび強制消磁スレッシュホールド設定が含まれます (表 15)。

表 14. 設定レジスタ CONFIG1

#	ビット	説明	デフォルト
0	SR0	スルー・レートの設定： 「00」 = 200V/μs、 「01」 = 100V/μs、 「10」 = 50V/μs、 「11」 = 25V/μs	"01" = 100V/μs
1	SR1		
2	GAIN0	GAIN の設定： 「00」 = 25、 「01」 = 50、 「10」 = 100、 「11」 = 200	"01" = 50
3	GAIN1		
4	SW/HW	ソフトウェア/ハードウェア制御の選択ビット。 SH/HW = 「0」 にセットした場合：ロジック入力ピンを使用するハードウェア制御 SH/HW = 「1」 にセットした場合：I ² C を使用するソフトウェア制御	"0"
5	ODM0	分圧器の設定： 「00」 = 12 倍、 「01」 = 18 倍、 「10」 = 24 倍、 「11」 = 60 倍	"10" = 24
6	ODM1		
7	RFU	予備	"0"

表 15. 設定レジスタ CONFIG2

#	ビット	説明	デフォルト
0	RFU	予備	"0": Normal Operating Mode
1	RESET	RESET ビット。FAULT/DIAG レジスタをクリアするには、RESET ビットをロジック・ハイにセットします。FAULT/DIAG レジスタがクリアされると、このビットは自動的に「0」にリセットされます。	"0": Not Reset
2	DEMAG0	「強制消磁」スレッシュホールドを設定： 「000」 = ディスエーブル、 「001」 = 8V、 「010」 = 10V、 「011」 = 12V、 「100」 = 14V、 「101」 = 16V、 「110」 = 18V、 「111」 = 20V	"011" = 12V
3	DEMAG1		
4	DEMAG2		
5	NSLEEP	NSLEEP ビット。このビットがアクティブになるのは、SW/HW = 「1」 (ソフトウェア制御) の場合のみです。詳細については、MAX22215 の制御 – 真理値表のセクションを参照してください。	"0"
6	DIAG	DIAG ビット。このビットがアクティブになるのは、SW/HW = 「1」 (ソフトウェア制御) の場合のみです。詳細については、MAX22215 の制御 – 真理値表のセクションを参照してください。	"1"
7	RLS/BRK	RELEASE/BRAKE 選択ビット。このビットがアクティブになるのは、SW/HW = 「1」 (ソフトウェア制御) の場合のみです。詳細については、MAX22215 の制御 – 真理値表のセクションを参照してください。	"0"

レジスタ・マップ

RFU

ADDRESS	NAME	MSB							LSB
FUNC_BLOCK									
0x00	CHIP_REV[7:0]	–	–	–	–	CHIP_REV[3:0]			
0x01	CONFIGURATION1[7:0]	–	ODM[1:0]		SW_HW	GAIN[1:0]		SR[1:0]	
0x02	CONFIG2[7:0]	RLS_BRK	DIAG	NSLEEP	DEMAG[2:0]			RESET	–
0x03	FAULT1[7:0]	UVLOCP	UVLO5V	UVLO	TSD	TWARN_UL	OCP2	OCP1	OCP0
0x04	FAULT2[7:0]	LFD3	TWARN	DVD	ODVM	ISM	SAFEDE M	LFD2	LFD1
0x05	FAULT_MASK1[7:0]	UVLO_CP	UVLO_5V	UVLO	TSDN	TWARN	OCP2	OCP1	OCP0
0x06	FAULT_MASK2[7:0]	LFD1	–	DVD	ODVM	ISM	SAFEDE M	LFD2	LFD1
0x07	ACTION_ENABLE[7:0]	–	–	–	ODVM_TIME[1:0]		ENA3	ENA2	ENA1
0x08	CONTROL_STS[7:0]	s_FLT_P WP	–	s_SAFE DMG	s_ENF DMG	s_DIAG	s_RLS	s_BRK	s_SLEE P

レジスタの詳細

CHIP_REV (0x00)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	CHIP_REV[3:0]			
Reset	–	–	–	–	0x1			
Access Type	–	–	–	–	Read Only			

ビットフィールド	ビット	説明
CHIP_REV	3:0	

CONFIGURATION1 (0x01)

BIT	7	6	5	4	3	2	1	0
Field	–	ODM[1:0]		SW_HW	GAIN[1:0]		SR[1:0]	
Reset	–	0x2		0x0	0x1		0x1	
Access Type	–	Write, Read		Write, Read	Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
ODM	6:5	分圧器の設定	0x0: 12X 0x1: 18X 0x2: 24X 0x3: 60X

ビットフィールド	ビット	説明	デコード
SW_HW	4	ソフトウェア/ハードウェア制御の選択ビット	0x0: Hardware control through logic input pins 0x1: Software control through I ² C
GAIN	3:2	GAIN の設定	0x0: 25 0x1: 50 0x2: 100 0x3: 200
SR	1:0	スルー・レートの設定	0x0: 200V/μs 0x1: 100V/μs 0x2: 50V/μs 0x3: 25V/μs

CONFIG2 (0x02)

BIT	7	6	5	4	3	2	1	0
Field	RLS_BRK	DIAG	NSLEEP	DEMAG[2:0]			RESET	–
Reset	0x0	0x0	0x0	0x3			0x0	–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read			Write Only Clears All	–

ビットフィールド	ビット	説明	デコード
RLS_BRK	7	RELEASE/BRAKE 選択ビット。このビットがアクティブになるのは、SW/HW = 「1」 (ソフトウェア制御) の場合のみです。	0x0: BRAKE mode request 0x1: RELEASE mode request
DIAG	6	DIAG ビット。このビットがアクティブになるのは、SW/HW = 「1」 (ソフトウェア制御) の場合のみです。	0x0: No DIAGNOSTIC mode request 0x1: DIAGNOSTIC mode request
NSLEEP	5	NSLEEP ビット。このビットがアクティブになるのは、SW/HW = 「1」 (ソフトウェア制御) の場合のみです。	0x0: SLEEP mode request 0x1: No SLEEP mode request
DEMAG	4:2	「強制消磁」スレッシュホールドを設定	0x0: Disabled 0x1: 8V 0x2: 10V 0x3: 12V 0x4: 14V 0x5: 16V 0x6: 18V 0x7: 20V
RESET	1	RESET ビット。FAULT/DIAG レジスタをクリアするには、RESET ビットをロジック・ハイにセットします。FAULT/DIAG レジスタがクリアされると、このビットは自動的に「0」にリセットされます。	

FAULT1 (0x03)

BIT	7	6	5	4	3	2	1	0
Field	UVLOCP	UVLO5V	UVLO	TSD	TWARN_UL	OCP2	OCP1	OCP0
Reset	0x1	0x1	0x1	0x0	0x0	0x0	0x0	0x0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明
UVLOCP	7	チャージ・ポンプの低電圧ロックアウト
UVLO5V	6	5V の低電圧ロックアウト
UVLO	5	低電圧ロックアウト

ビットフィールド	ビット	説明
TSD	4	サーマル・シャットダウン (約+160°C)
TWARN_UL	3	加熱警告 (約+120°C) - ラッチされない
OCP2	2	LS FETのOCP
OCP1	1	ハーフ・ブリッジLSのOCP
OCP0	0	ハーフ・ブリッジHSのOCP

FAULT2 (0x04)

BIT	7	6	5	4	3	2	1	0
Field	LFD3	TWARN	DVD	ODVM	ISM	SAFEDEM	LFD2	LFD1
Reset	0x0	0x0	0x0	0x0	0x0	0x0	0x0	0x0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明
LFD3	7	PWMまたはBRK/RLSのいずれかが正側レールに短絡。DIAGNOSTICモード時にのみ検出可能。
TWARN	6	加熱警告 (約+120°C) - ラッチ
DVD	5	消磁電圧の検出
ODVM	4	ODがV _M に短絡
ISM	3	解除時に励磁電流が欠如
SAFEDEM	2	SafeDemagがトリガ
LFD2	1	コイルがGNDに短絡または無接続。DIAGNOSTICモード時にのみ検出可能。
LFD1	0	コイルがV _M に短絡。DIAGNOSTICモード時にのみ検出可能。

FAULT_MASK1 (0x05)

BIT	7	6	5	4	3	2	1	0
Field	UVLO_CP	UVLO_5V	UVLO	TSDN	TWARN	OCP2	OCP1	OCP0
Reset	0x0	0x0	0x0	0x0	0x0	0x0	0x0	0x0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
UVLO_CP	7	チャージ・ポンプの低電圧ロックアウト - フォルト・マスク
UVLO_5V	6	5Vの低電圧ロックアウト - フォルト・マスク
UVLO	5	V _M の低電圧ロックアウト - フォルト・マスク
TSDN	4	サーマル・シャットダウン (約+160°C) - フォルト・マスク
TWARN	3	加熱警告 (約+120°C) - フォルト・マスク
OCP2	2	LS FETのOCP - フォルト・マスク
OCP1	1	ハーフ・ブリッジLSのOCP - フォルト・マスク
OCP0	0	ハーフ・ブリッジHSのOCP - フォルト・マスク

FAULT_MASK2 (0x06)

BIT	7	6	5	4	3	2	1	0
Field	LFD1	–	DVD	ODVM	ISM	SAFEDEM	LFD2	LFD1
Reset	0x0	–	0x1	0x0	0x1	0x1	0x0	0x0
Access Type	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
LFD1	7	LFD フォルト 3 – フォルト・マスク
DVD	5	DVD – マスク
ODVM	4	ODVM – マスク
ISM	3	ISM – マスク
SAFEDEM	2	安全消磁 – マスク
LFD2	1	LFD フォルト 2 – フォルト・マスク
LFD1	0	LFD フォルト 1 – フォルト・マスク

ACTION_ENABLE (0x07)

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	ODVM_TIME[1:0]		ENA3	ENA2	ENA1
Reset	–	–	–	0x2		0x1	0x1	0x1
Access Type	–	–	–	Write, Read		Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ODVM_TIME	4:3	ODVM のプログラマブルな時間	0x0: 100ms 0x1: 200ms 0x2: 400ms 0x3: 800ms
ENA3	2	ODVM 検出後にアクションをイネーブル	
ENA2	1	LFD2 検出後にアクションをイネーブル	
ENA1	0	LFD1 検出後にアクションをイネーブル	

CONTROL_STS (0x08)

BIT	7	6	5	4	3	2	1	0
Field	s_FLT_PWP	–	s_SAFE_DMG	s_ENF_DM G	s_DIAG	s_RLS	s_BRK	s_SLEEP
Reset	0x1	–	0x0	0x0	0x0	0x0	0x0	0x0
Access Type	Read Only	–	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明
s_FLT_PWP	7	フォルト/パワーアップ・ステータス・ビット
s_SAFE_DMG	5	SafeDemag ビット
s_ENF_DM G	4	強制消磁ステータス・ビット
s_DIAG	3	DIAGNOSTIC モード・ステータス・ビット
s_RLS	2	RELEASE モード・ステータス・ビット

ビットフィールド	ビット	説明
s_BRK	1	BRAKE モード・ステータス・ビット
s_SLEEP	0	SLEEP モード・ステータス・ビット

アプリケーション情報

モーター・ブレーキ制御

MAX22215 は、その独自の機能をすべて I²C インターフェースを用いて設定できる、高い柔軟性を備えています。標準アプリケーション回路の図に、本デバイスの主要な設計目標である I²C ベースの標準的なアプリケーションを示します。

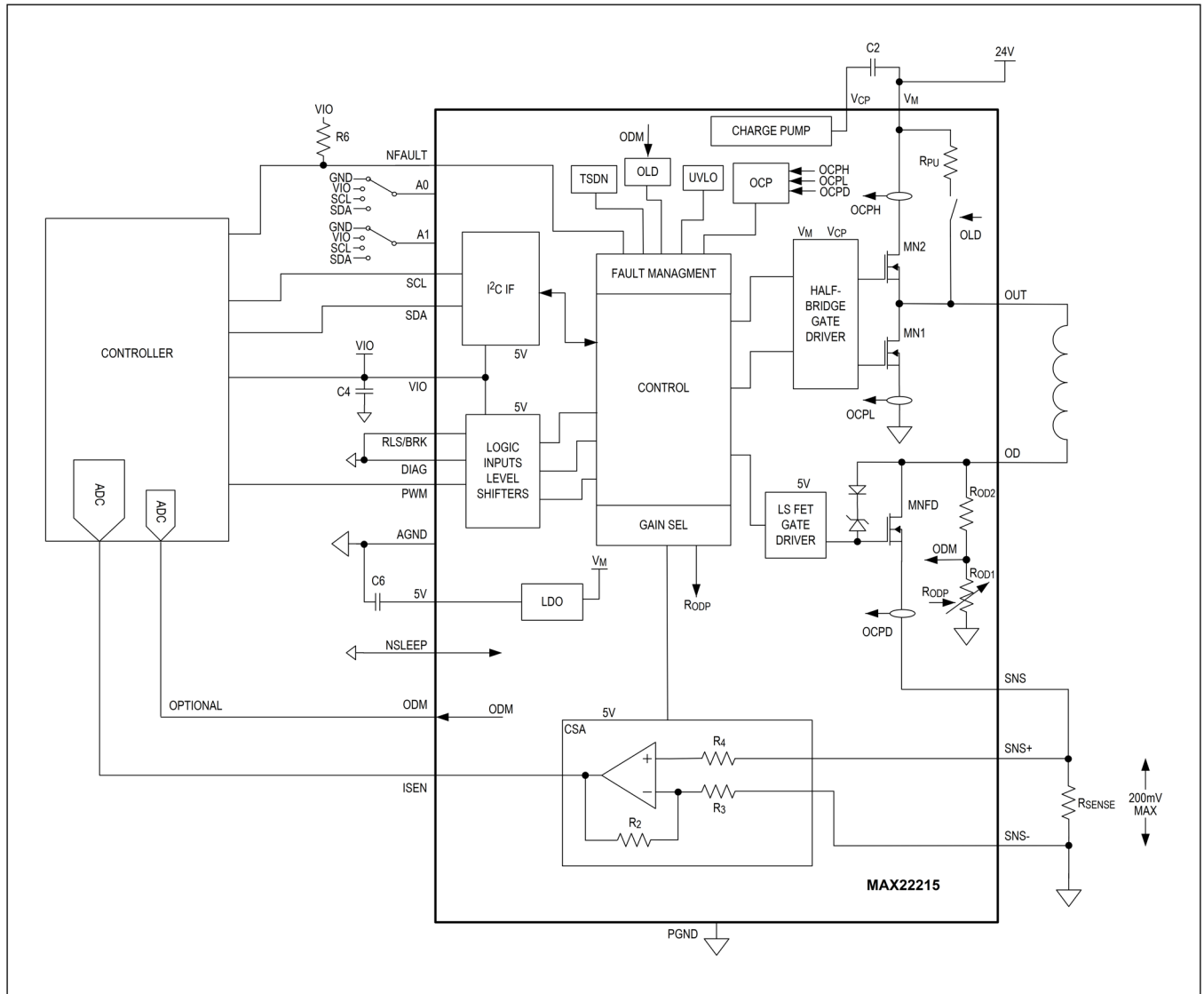
MCU とドライバの間の通信は、I²C インターフェースを介して行います。最大で 16 個のデバイスが同じ I²C バスを共有できます。設定はスタートアップ後にデバイスに書き込まれます。ステータス情報がやり取りされ、割込みをトリガしている特定目的のフォルトや診断の出力などの状態が I²C を通じて読み出されます。

PWM 入力、励磁電流、保持電流、消磁電流を制御するために用いられます。外部センス抵抗を用いることにより、高精度の電流検出アンプが、ブレーキ作動動作およびブレーキ解除動作の間の電圧降下を検出します。CSA のアナログ出力信号は、診断目的または外部制御ループへのフィードバック信号として使用できます。ODM ピンを用いることにより、ブレーキ電圧をモニタできます。

電源 (V_M) との間で接続/切断を行うだけで、ブレーキのステータスを制御できます。VDEM 機能は、V_M がスレッシュホールド未満に低下すると直ちに、デバイスを BRAKE モードに移行します。V_M が切断され、UVLO V_M 未満に低下すると、5V LDO がオフになります。ただし、大きなリザーバ・コンデンサが 5V ピンの外部に接続されていれば、V_M がなくても、機械的なブレーキ・イベントが発生するまで、ブレーキのステータスをモニタし続けることができます。標準的なハードウェア構成では、V_M のバイパス・コンデンサは約 4.4μF であり、5V のバイパス・コンデンサは 100μF より大きな値です。

標準アプリケーション回路

アプリケーション構成図



型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX22215ATU+	-40°C to +125°C	38 TQFN (5mm x 7mm)
MAX22215ATU+T	-40°C to +125°C	38 TQFN (5mm x 7mm)

+は鉛 (Pb) フリー/ROHS 適合のパッケージであることを示します。

Tはテープのリール巻きを示します。

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/26	初版発行	-