

MAX22005

工場出荷時キャリブレーション済みの 設定可能な12チャンネル工業用アナログ入力

概要

MAX22005は、工業グレードの12チャンネル・アナログ入力電圧モード・デバイスです。各チャンネルに外付けの高精度抵抗を追加することで、アナログ入力電流モード・デバイスとしても構成できます。また、各チャンネルに外付けの高精度抵抗と低コストのスイッチを組み合わせることで、設定可能なアナログ入力として動作させることもできます。入力チャンネルは、12個のシングルエンド入力、6個の差動入力、または最大8個のマルチチャンネル設定可能な差動入力として使用できます。このデバイスは、合計で最大26種類の設定に対応しています。

MAX22005は、全チャンネルで共有される24ビットのデルタシグマADCを内蔵しています。このADCは、内蔵5ppm/°Cの高精度リファレンス、または外部リファレンスのどちらでも使用できます。標準的な工業用アナログ入力電圧範囲は、高電圧対応のゼロ・ドリフト入力アンプを使用して、ADCの入力電圧範囲に変換されます。すべての入力ポートは、Transient Voltage Suppressor (TVS) ダイオードを使用することなく、最大±36Vの逆極性および最大±2kVのサージ・パルスに対し、堅牢に保護されています。

8つの汎用デジタルI/O (GPIO) ポートは、一般的な用途に使用できる他、設定可能な入力用の外部スイッチを制御するために使用することもできます。

MAX22005は、出荷時にキャリブレーションされており、温度範囲全域にわたり、総合未調整誤差 (TUE) が0.05%FSR未満というクラス最高のシステム性能を実現しています。

ホストは、すべての設定および情報管理に加え、変換結果の取得のために、30MHzの高速SPIバスを介してMAX22005と通信します。オプションの8ビットCRCを用いると、SPIインターフェースの信頼性が高まり、すべての8ビット・バーストおよびすべてのダブルビット・エラーから保護できます。

MAX22005は、2.7V～3.6Vのアナログ電源およびデジタル電源、更に最大±24Vの高電圧電源で動作します。

MAX22005は、48ピンLGAパッケージを採用しており、-40°C～+125°Cの工業用温度範囲で動作します。

アプリケーション

- プログラマブル・ロジック・コントローラ (PLC)
- プログラマブル・オートメーション・コントローラ (PAC)
- 分散制御システム (DCS)

利点と特長

- より堅牢で高信頼性のシステムが可能
 - ・ 全入力ポートに対する高電圧保護: ±36V
 - ・ 全ピンのHBM ESD保護: 2kV
 - ・ サージ保護: ±2kV (外部5kΩ抵抗使用)
 - ・ CRC検出による堅牢なシリアル通信
 - ・ ウォッチドッグ・タイマ
- ソフトウェアによる設定可能性
 - ・ ±12.5Vのアナログ入力電圧モード
 - ・ 外部センス抵抗による±25mAのアナログ入力電流モード
 - ・ 外部センス抵抗および低コストのスイッチを使用した設定可能な入力
- クラス最高のシステム精度
 - ・ 工場出荷時キャリブレーション済み: 0.02%FSR (25°C)
 - ・ 25°Cの工場出荷時キャリブレーション温度から±50°Cの範囲内: 0.05%FSR
 - ・ 最大入力リーク電流: 30nA
 - ・ 内部リファレンス: 5ppm/°C
- その他の機能
 - ・ 内部または外部ADCリファレンス
 - ・ 8つのGPIOポート
 - ・ ±5V電源使用時に48.5mWの低消費電力
 - ・ 30MHzのSPI/QSPI/DSP対応シリアル・インターフェース
- 動作温度範囲: -40°C～+125°C
- 7.5mm × 7mmの48ピンLGAパッケージ

型番はデータシートの末尾に記載されています。



The block diagram illustrates the internal architecture of the AD7125 ADC system and its external connections. The system is organized into four main power domains: GPIO[7:0], DVDD, AVDD, and HVDD. The GPIO[7:0] domain includes control signals such as CS, SCLK, SDI, SDO, INT, RST, RDY, SYNC, and CLK. The DVDD domain contains the SPI INTERFACE CONTROL-LOGIC SIGNAL PROCESSING block. The AVDD domain houses the 24-BIT Δ - Σ ADC and the SIGNAL CONDITIONING block. The HVDD domain includes a MUX (Multiplexer) and 12 input channels (AI1 to AI12), each with a 5k Ω resistor and a positive input terminal. The system also features a 2.5V REFERENCE and a 1.8V LDO. The REFERENCE block is connected to the REF_ADC pin and the 24-BIT Δ - Σ ADC. The LDO is connected to the BYP_ADC pin and the 24-BIT Δ - Σ ADC. The 24-BIT Δ - Σ ADC is connected to the SIGNAL CONDITIONING block, which is in turn connected to the MUX. The MUX is connected to the 12 input channels (AI1 to AI12). The system is connected to ground through DGND, AGND, and HVSS pins. The REF_ADC_EXT pin is also connected to ground.

目次

概要	1
アプリケーション	1
利点と特長	1
簡略化したブロック図	2
絶対最大定格	7
パッケージ情報	7
48-PIN LGA	7
電気的特性	7
標準動作特性	12
ピン配置	14
MAX22005	14
端子説明	14
詳細	17
動作モード	18
入力レンジ設定	19
差動入力同相電圧範囲	19
入力電圧定格	19
電源電圧および電源投入シーケンス	20
パワーオン・リセット	20
SPIインターフェース	20
ウォッチドッグ・タイマ	21
製品追跡	21
アナログ入力ADC	21
アナログ入力のオフセット誤差およびゲイン誤差のキャリブレーション	25
システム・キャリブレーション	25
ADCソフトウェア・リセット	28
ADC $\overline{RDY}$ (データ・レディ) 出力	28
SYNCピンを用いたADC変換の同期	28
ハードウェア・リセット	29
レジスタ・マップ	30
MAX22005のレジスタ・マップ	30
レジスタの詳細	31
アプリケーション情報	45
電源のヘッドルーム要件	45
電源投入シーケンス	45
基板レイアウト	45
サージ保護	45
標準アプリケーション回路	46
MAX22005設定可能な工業用12チャンネル・アナログ入力	46

目次(続き)

型番	46
改訂履歴	47

図一覧

図1. SPI書き込みタイミング (CRC無効時はN = 24、CRC有効時はN = 32)	11
図2. SPI読み出しタイミング (CRC無効時はN = 24、CRC有効時はN = 32)	11
図3. 入力ポートのトリプレット	17
図4. 入力ポートのペア	18
図5. 入力保護	20
図6. 2点システム・キャリブレーション	26
図7. RDYの出力タイミング、a) シングルサイクル・モード、b) 連続シングルサイクル・モード、c) 連続変換モード	28
図8. SYNC入力タイミング	29

表一覧

表1. 入力レンジ	19
表2. CRC有効時のSPIトランザクション	20
表3. CRC無効時のSPIトランザクション	21
表4. 製品ID.....	21
表5. 入力チャンネル設定の選択	22
表6. 入力チャンネルの制限値およびコード	22
表7. 連続変換におけるデータレートの選択	24
表8. シングルサイクル変換におけるデータレートの選択	24
表9. シングルサイクル連続変換におけるデータレートの選択.....	25
表10. 入力チャンネルのフルスケール・レンジ	26

Absolute Maximum Ratings

AVDD to AGND	-0.3V to +3.9V	AI ₋ to HVSS...-0.3V to the lower of (+52V or (V _{HVDD} - V _{HVSS}) + 0.3V)	
DVDD to DGND	-0.3V to +3.9V	INT ₋ to DGND	-0.3V to +6V
AGND to DGND	-0.3V to +0.3V	Maximum Current into Any Pin	±50mA
BYP_ADC to DGND	-0.3V to +2.1V	Continuous Power Dissipation 48-pin LGA (JEDEC 2S2P PCB)	
HVDD to HVSS	-0.3V to +52V	(T _A = +70°C, derate 19.51mW/°C above +70°C.)	1560.98mW
HVDD to AGND	-0.3V to +40V	Operating Temperature Range	-40°C to +125°C
AGND to HVSS	-0.3V to +40V	Junction Temperature	+150°C
CS, SCLK, SDI, SDO, RDY, RST, SYNC, CLK, GPIO[7:0] to DGND	-0.3V to the lower of (+3.9V or V _{DVDD} + 0.3V)	Storage Temperature Range	-65°C to +150°C
REF_ADC, REF_ADC_EXT, NR, REF_OUT to AGND....-0.3V to the lower of (+3.9V or V _{AVDD} + 0.3V)		Soldering Temperature (reflow)	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Information

48-PIN LGA

Package Code	L487A7M+1
Outline Number	21-100448
Land Pattern Number	90-100160
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction-to-Ambient (θ _{JA})	51.25°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	23.46°C/W

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/jp/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Electrical Characteristics

(V_{AVDD} = V_{DVDD} = 3.3V, V_{HVDD} = +15V, V_{HVSS} = -15V, Reference Source = Internal Reference, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) ([Note 1](#))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT-VOLTAGE MODE—SINGLE-ENDED						
Headroom		From V _{HVSS}	2.5			V
		From V _{HVDD}	2.5			
Input-Voltage Range	V _{IN}	ADC full-scale range		±12.5		V
		Linear range V _{HVSS} = -5V, V _{HVDD} = +5V (Note 2)	-2.5		+2.5	
		Linear range (Note 2)	-10.5		+10.5	
Offset Error	V _{OFFSET}	T _A = +25°C		±0.1	±1.3	mV
Offset Drift		T _A = +25°C ± 50°C, with internal reference (Note 3)			±13.6	µV/°C
Gain Error		T _A = +25°C		±200	±450	ppm

Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.3V$, $V_{HVDD} = +15V$, $V_{HVSS} = -15V$, Reference Source = Internal Reference, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (*Note 1*)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Gain Drift		$T_A = +25^\circ C \pm 50^\circ C$, with internal reference (<i>Note 3</i>)			± 3.4	ppm/ $^\circ C$
INL Error	INL	$T_A = +25^\circ C$			± 600	μV
INL Drift		$T_A = +25^\circ C \pm 50^\circ C$ (<i>Note 3</i>)			± 4.0	$\mu V/^\circ C$
Total Unadjusted Error	TUE	$T_A = +25^\circ C$ (<i>Note 4</i>)			± 0.02	% FSR
		$T_A = +25^\circ C \pm 50^\circ C$ (<i>Note 3</i> and <i>Note 4</i>)			± 0.05	
Input-Voltage Noise	V_{NOISE}	ADC sample rate is 11.52ksps, ADC mode is Continuous Single-Cycle.		138		μV_{RMS}
Input Current					± 30	nA
Supply-Rejection Ratio	PSRR	DC, $V_{HVDD} = +5V$ to $+24V$		100		dB
		DC, $V_{HVSS} = -24V$ to $-5V$		100		
Open Detector Resistance		From AI_- to V_{HVDD}		2		M Ω
		From AI_- to AGND		2		
50Hz/60Hz Normal-Mode Rejection		DCHNL_RATE[3:0] = 0b0010, 0b0011, 0b0100, 0b0101	87			dB
		DCHNL_RATE[3:0] = 0b0000, 0b0001	75			
Settling Time		V_{IN} changes from 0V to $-10.5V$ or 0V to $+10.5V$, digital output reaches 1% of final value. ADC sample rate is 57.6ksps, ADC mode is Continuous.			0.2	ms
ANALOG INPUT VOLTAGE MODE—DIFFERENTIAL						
Input-Voltage Range	V_{IN}	ADC full-scale range		± 25		V
		linear range (<i>Note 2</i>)	-21		+21	
Offset Error	V_{OFFSET}	$T_A = +25^\circ C$		± 0.2	± 2.6	mV
Offset Drift		$T_A = +25^\circ C \pm 50^\circ C$, with internal reference (<i>Note 3</i>)			± 23.1	$\mu V/^\circ C$
Gain Error		$T_A = +25^\circ C$		± 200	± 450	ppm
Gain Drift		$T_A = +25^\circ C \pm 50^\circ C$, with internal reference (<i>Note 3</i>)			± 4.8	ppm/ $^\circ C$
INL Error	INL	$T_A = +25^\circ C$			± 1.2	mV
INL Drift		$T_A = +25^\circ C \pm 50^\circ C$ (<i>Note 3</i>)			± 5.0	$\mu V/^\circ C$
Total Unadjusted Error	TUE	$T_A = +25^\circ C$ (<i>Note 4</i>)			± 0.02	% FSR
		$T_A = +25^\circ C \pm 50^\circ C$ (<i>Note 3</i> and <i>Note 4</i>)			± 0.05	
Input-Voltage Noise	V_{NOISE}	ADC sample rate is 11.52ksps, ADC mode is Continuous Single-Cycle.		275		μV_{RMS}
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -10V$ to $+10V$. Differential input is 0V	72			dB
Supply-Rejection Ratio	PSRR	DC, $V_{HVDD} = +5V$ to $+24V$		100		dB
		DC, $V_{HVSS} = -24V$ to $-5V$		100		
Input Current	I_{IN}				± 30	nA

Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.3V$, $V_{HVDD} = +15V$, $V_{HVSS} = -15V$, Reference Source = Internal Reference, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) ([Note 1](#))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
50Hz/60Hz Normal-Mode Rejection		DCHNL_RATE[3:0] = 0b0010, 0b0011, 0b0100, 0b0101	87			dB
		DCHNL_RATE[3:0] = 0b0000, 0b0001	75			
Open-Detector Resistance		From AI ₋ to V _{HVDD}		2		MΩ
		From AI ₋ to AGND		2		
Settling Time		V _{IN} changes from 0V to -10.5V or 0V to +10.5V, digital output reaches 1% of final value. ADC sample rate is 57.6ksps; ADC mode is Continuous.			0.2	ms
ADC REFERENCE (REF_ADC)						
REF_ADC Output Voltage	V _{REF_ADC}	Internal reference		2.5		V
Output-Voltage Accuracy		Referred to V _{REF_ADC} , $T_A = +25^\circ C$	-0.2		+0.2	%
Output-Voltage Temperature Coefficient		$T_A = -40^\circ C$ to $+125^\circ C$ (Note 3)		1	5	ppm/°C
Line Regulation		$2.7V \leq V_{AVDD} \leq 3.6V$			130	μV/V
REF_ADC Bypass Capacitor				4.7		μF
V _{REF_ADC_EXT} Input Range		External Reference		2.5		V
DIGITAL INPUTS						
Input Logic-Low Voltage	V _{IL}				$0.3 \times V_{DVDD}$	V
Input Logic-High Voltage	V _{IH}				$0.7 \times V_{DVDD}$	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}		-1		+1	μA
Input Capacitance	C _{IN}			10		pF
DIGITAL OUTPUTS						
Output Logic-Low Voltage	V _{OL}	I _{OL} = 4mA			0.4	V
Output Logic-High Voltage (SDO, RDYB, GPIO[7:0])	V _{OH}	I _{OH} = 4mA			$0.9 \times V_{DVDD}$	V
Three-State Leakage Current			-10		+10	μA
Three-State Output Capacitance				10		pF
SUPPLIES						
Analog Supply Voltage	V _{AVDD}		2.7	3.3	3.6	V
Digital Supply Voltage	V _{DVDD}		2.7	3.3	3.6	V

Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.3V$, $V_{HVDD} = +15V$, $V_{HVSS} = -15V$, Reference Source = Internal Reference, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (*Note 1*)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Positive High-Voltage Supply	V _{HVDD}		5		24	V
Negative High-Voltage Supply	V _{HVSS}		-24		-5	V
High-Voltage Supply	V _{HV}	V _{HVDD} - V _{HVSS}	10		48	V
DVDD POR Threshold	V _{DVDD_POR}	Voltage rising		1.5		V
HVDD-HVSS Undervoltage Threshold		Voltage rising		1.5		V
Analog Supply Current	I _{AVDD}	ADC sample rate is 11.52ksps, ADC mode is Continuous Single-Cycle. Single-ended AI1–AI12 at AGND		4.5		mA
Digital Supply Current	I _{DVDD}	ADC sample rate is 11.52ksps, ADC mode is Continuous Single-Cycle. Single-ended AI1–AI12 at AGND		1.8		mA
High-Voltage Supply Current	I _{HV}	ADC sample rate is 11.52ksps, ADC mode is Continuous Single-Cycle. Single-ended AI1–AI12 at AGND		2.5		mA
Total Power		ADC sample rate is 11.52ksps, ADC mode is Continuous Single-Cycle. Single-ended AI1–AI12 at AGND		95.8		mW
		AI1–AI12 at AGND, V _{HVDD} = 5V and V _{HVSS} = -5V, all inputs are on		45.8		
TIMING CHARACTERISTICS						
SCLK Frequency	f _{SCLK}	All SPI transactions			30	MHz
SCLK Clock Period	t _{CP}	All SPI transactions	33			ns
SCLK Pulse-Width High	t _{CH}	All SPI transactions	13			ns
SCLK Pulse-Width Low	t _{CL}	All SPI transactions	13			ns
$\overline{CS}$ Fall Setup Time	t _{CSS0}	$\overline{CS}$ falling edge to 1st SCLK rising edge setup time	7			ns
$\overline{CS}$ Fall Hold Time	t _{CSH0}	SCLK rising edge to $\overline{CS}$ falling edge hold time	0			ns
$\overline{CS}$ Rise Hold Time	t _{CSH1}	SCLK falling edge to $\overline{CS}$ rising edge hold time	3			ns
$\overline{CS}$ Pulse-Width High	t _{CSW}	Minimum $\overline{CS}$ pulse-width high	150			ns
SDI Setup Time	t _{DS}	SDI setup time to SCLK rising edge	5			ns
SDI Hold Time	t _{DH}	SDI hold time after SCLK rising edge	5			ns
SDO Transition Time	t _{DOT}	SDO transition valid after SCLK falling edge			20	ns
SDO Hold Time	t _{DOH}	Output remains valid after falling edge of SCLK	2			ns
SDO Disable Time	t _{DOD}	$\overline{CS}$ rising edge to SDO disable, C _{LOAD} = 20pF			25	ns

Note 1: Limits are 100% tested at $T_A = +25^\circ C$, unless otherwise noted. Limits over the operating temperature range and relevant supply-voltage range are guaranteed by design and characterization.

Note 2: Offset error, gain error, INL error, TUE, and settling times are only guaranteed in the linear range. The minimum and maximum specification of the linear range are guaranteed through offset, gain, INL error, and TUE.

Note 3: Guaranteed by design and characterization. Not tested in production.

Note 4: FSR stands for full-scale range. It is 25V in single-ended mode and 50V in differential mode.

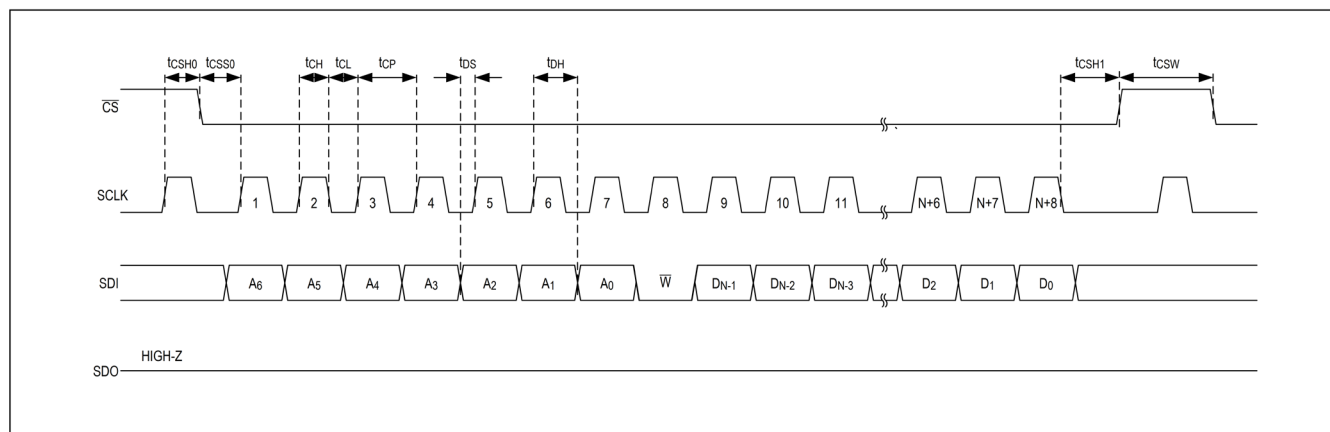


図1. SPI書き込みタイミング(CRC無効時はN = 24, CRC有効時はN = 32)

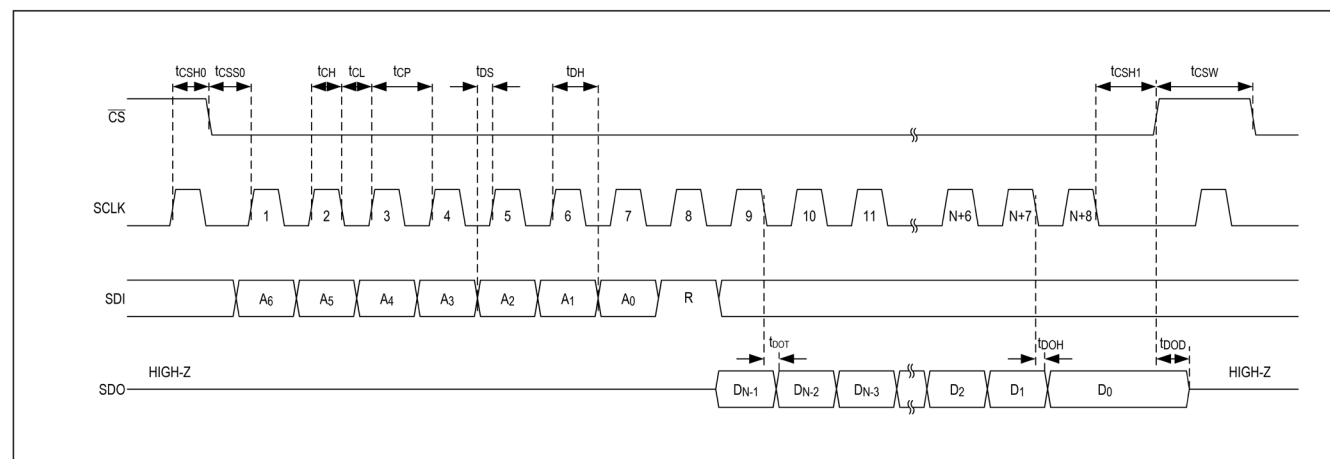
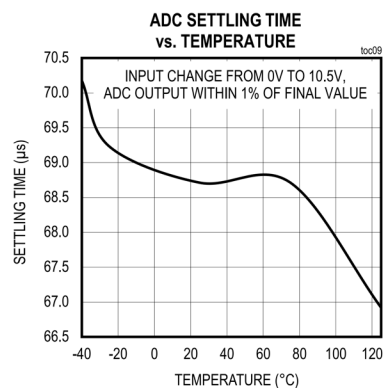
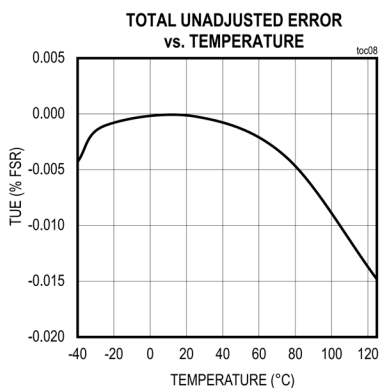
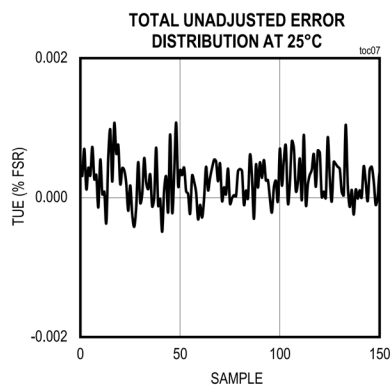
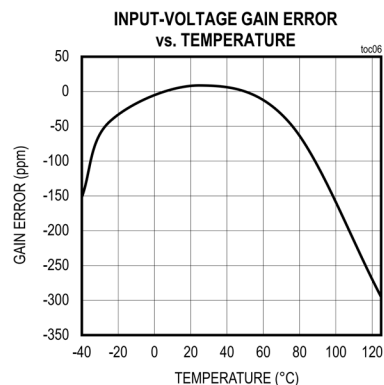
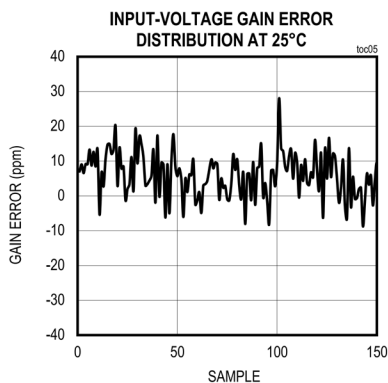
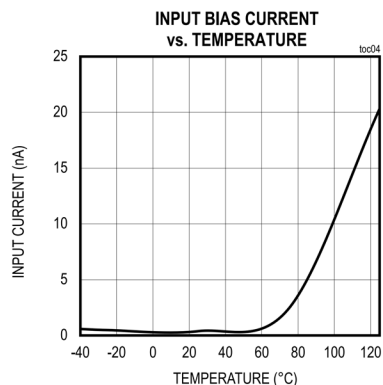
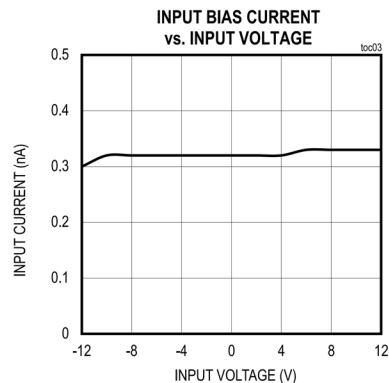
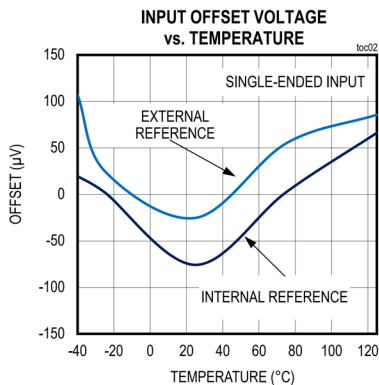
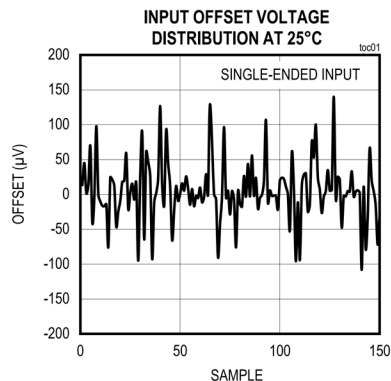


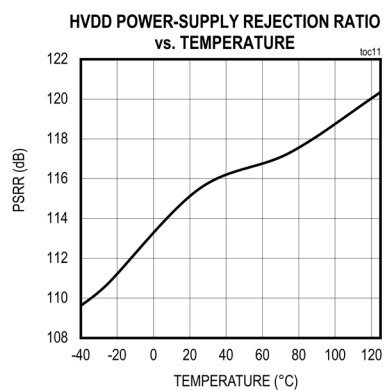
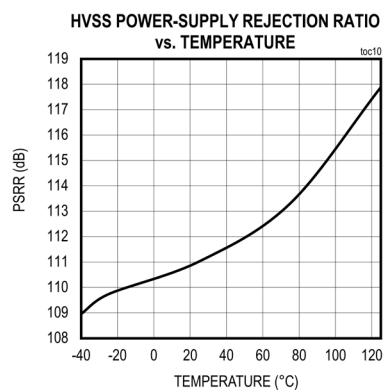
図2. SPI読み出しタイミング(CRC無効時はN = 24, CRC有効時はN = 32)

標準動作特性

(特に指定のない限り、 $V_{AVDD} = V_{DVDD} = +3.3V$ 、 $V_{HVDD} = +15V$ 、 $V_{HVSS} = -15V$ 、 $T_A = +25^\circ C$ 。)

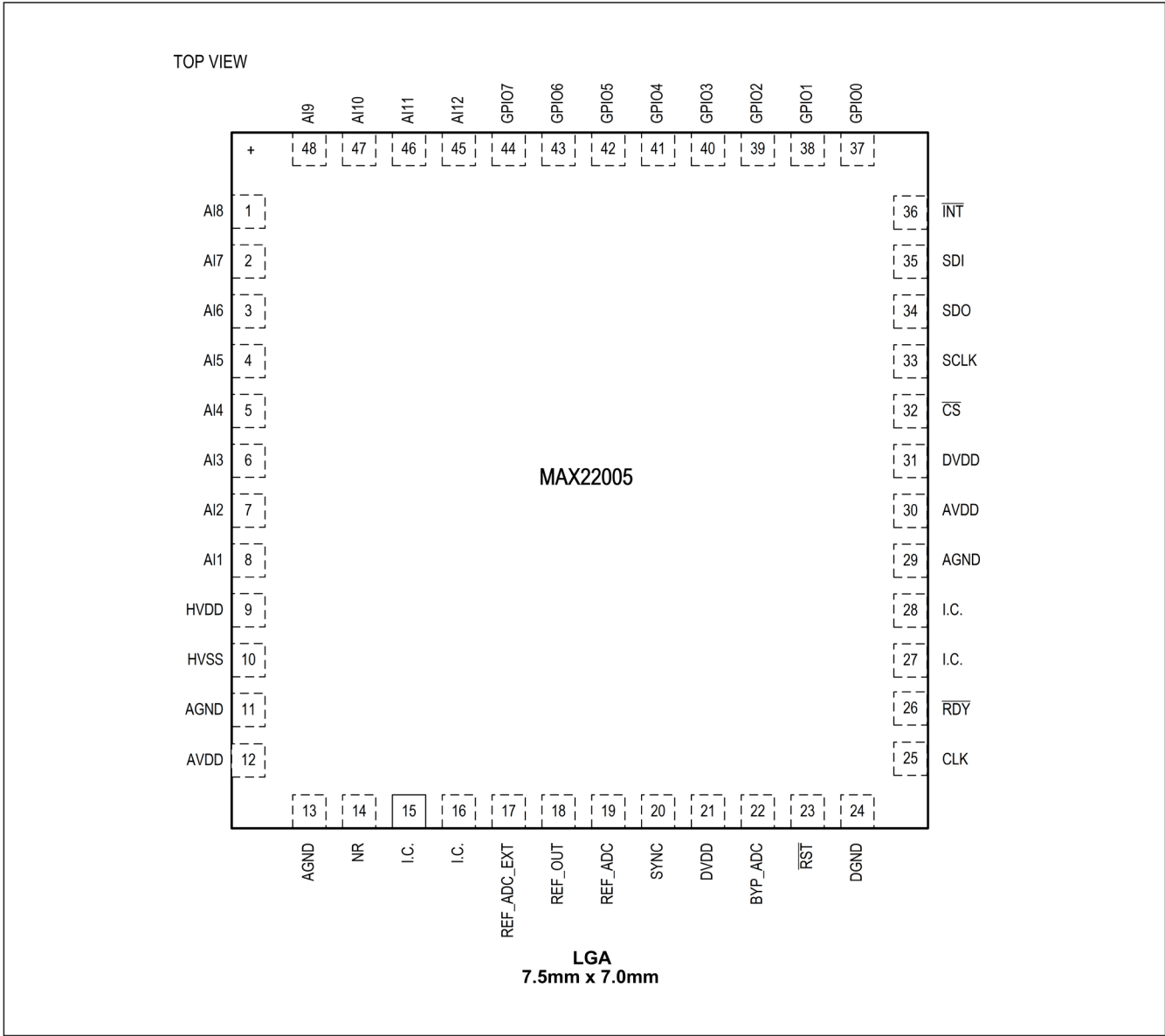
標準動作特性(続き)

(特に指定のない限り、 $V_{AVDD} = V_{DVDD} = +3.3V$ 、 $V_{HVDD} = +15V$ 、 $V_{HVSS} = -15V$ 、 $T_A = +25^{\circ}C$ 。)



ピン配置

MAX22005



端子説明

端子	名称	説明
アナログ入力		
1	AI8	アナログ入力8
2	AI7	アナログ入力7
3	AI6	アナログ入力6

端子説明(続き)

端子	名称	説明
4	AI5	アナログ入力5
5	AI4	アナログ入力4
6	AI3	アナログ入力3
7	AI2	アナログ入力2
8	AI1	アナログ入力1
45	AI12	アナログ入力12
46	AI11	アナログ入力11
47	AI10	アナログ入力10
48	AI9	アナログ入力9
電源		
9	HVDD	入力バス用の正側高電圧電源、+5V～+24V。HVDDは、1μFのコンデンサを介してAGNDにバイパスします。
10	HVSS	入力バス用の負側高電圧電源、-5V～-24V。HVSSは1μFのコンデンサを介してAGNDにバイパスします。
11, 13, 29	AGND	アナログ・グランド。すべてのAGNDピンを相互に接続します。
12, 30	AVDD	アナログ電源、2.7V～3.6V。すべてのAVDDを相互に接続します。各AVDDは、1μFのセラミック・コンデンサを介してAGNDにバイパスします。
21, 31	DVDD	デジタル電源、2.7V～3.6V。すべてのDVDDを相互に接続します。各DVDDピンは、1μFのセラミック・コンデンサを介してDGNDにバイパスします。
24	DGND	デジタル・グランド
リファレンスおよびインターフェース		
14	NR	電圧リファレンスのノイズ除去。広帯域ノイズを抑制するには、NRを1μFのセラミック・コンデンサを介してAGNDにバイパスします。
15, 16, 27, 28	I.C.	内部で接続。適切な使い方のためにはAGNDに接続します。
17	REF_ ADC_EXT	ADCの外部電圧リファレンス入力。使用しない場合はAGNDに接続します。
18	REF_OUT	電圧リファレンス出力。REF_OUTは、(0.1μF 1μF)のセラミック・コンデンサを介してAGNDにバイパスします。
19	REF_ADC	ADCの電圧リファレンス・バッファ付き出力。REF_ADCは、4.7μFのセラミック・コンデンサを介してAGNDにバイパスします。
20	SYNC	ADC同期入力。SYNCはADCのモジュレータおよびデジタル・フィルタをリセットします。複数のMAX22005のSYNCを並列に接続すると、それらのADCを外部トリガおよび外部クロックに同期できます。SYNCを使用しない場合は、DGNDに接続します。
22	BYP_ADC	1.8Vのサブレギュレータ出力。BYP_ADCは、220nF以上のコンデンサを介してDGNDにバイパスします。
23	RST	アクティブ・ローのリセット入力。通常動作では、RSTをハイに保持します。
25	CLK	外部クロック入力。使用しない場合はDGNDに接続します。
26	RDY	アクティブ・ローのデータ・レディ出力。新たなADC変換結果がデータ・レジスタで利用可能になると、RDYはローになります。1つの出力ワードの読出し動作がすべて完了すると、RDYはハイに戻ります。RDYは常に駆動されています。
32	CS	アクティブ・ローのSPIチップ・セレクト入力
33	SCLK	SPIシリアル・クロック入力
34	SDO	SPIシリアル・データ出力
35	SDI	SPIシリアル・データ入力
36	INT	割込み出力。INTはオープン・ドレインのアクティブ・ロー出力です。

端子説明(続き)

端子	名称	説明
GPIOポート		
37	GPIO0	汎用I/O 0
38	GPIO1	汎用I/O 1
39	GPIO2	汎用I/O 2
40	GPIO3	汎用I/O 3
41	GPIO4	汎用I/O 4
42	GPIO5	汎用I/O 5
43	GPIO6	汎用I/O 6
44	GPIO7	汎用I/O 7

詳細

MAX22005は、工業用グレードの設定可能なアナログ入力ソリューションです。MAX22005では、12個のシングルエンド入力、6ペアの隣接した差動入力、あるいは4つの入力トリプレットを基準に定義される8個の多機能差動ペアとして利用できます。入力トリプレットを図3に示します。ポートINAが「コモン」入力となり、INCと中間ポートのINBが、入力トリプレットを定義するその他の2つのポートとなります。

ポートのペアリング方法を図4に図解します。黄色で強調表示された入力がコモン入力 (COM) です。

MAX22005は、受信パス内に高性能24ビット・デルタシグマADCを備えています。ADCの後段にある高性能デシメーション・フィルタは、選択されたADCデータレートにおいて、50Hz/60Hzを87dB以上で除去します。このデバイスには、5ppm/°C (最大) の高性能電圧リファレンスが内蔵されています。しかし、外部リファレンスを用いることもできます。

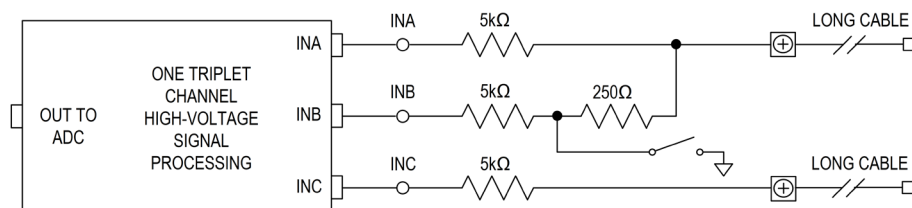


図3. 入力ポートのトリプレット

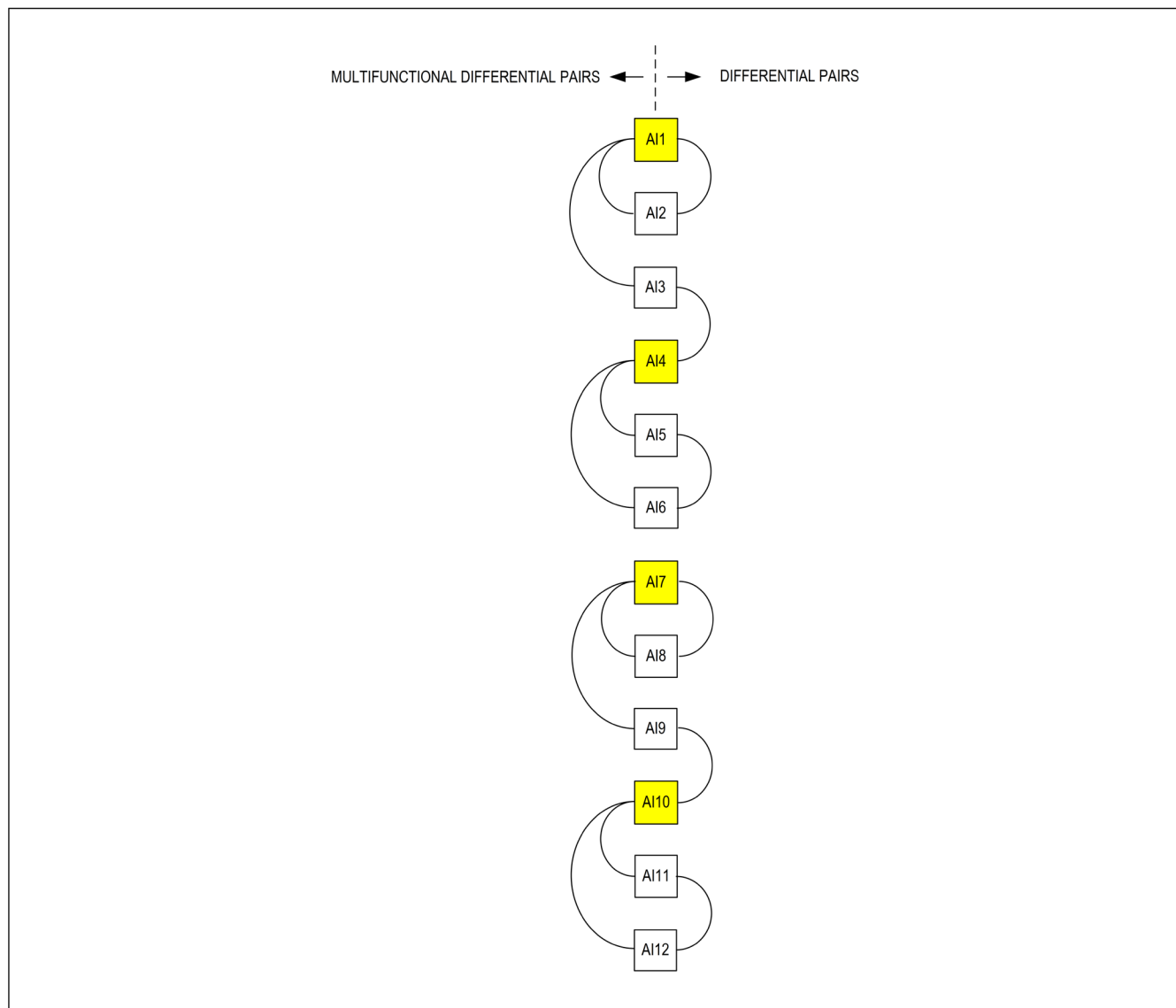


図4. 入力ポートのペア

動作モード

MAX22005には以下の動作モードがあります。

- 12個のシングルエンド・アナログ入力
- 6個の差動アナログ入力
- 8個の多機能差動アナログ入力

これらのモードを切り替える際に、プリント基板を変更する必要はありません。入力は、アナログ入力電圧モード(AIVM)またはアナログ入力電流モード(AICM)に設定できます。MAX22005による電流測定では、外付けの高精度抵抗を利用して電流を電圧に変換します。電流測定を行う場合は、任意の奇数チャンネル入力と対応するセンス・ポートを使用できます。内蔵のGPIOポートは、外部アナログ・スイッチを制御し、電流センス抵抗を電氣的に接続または切断できます(図3参照)。電流測定は差動で行われるため、外部スイッチに高い精度は必要ありません。2.5Ωの低電圧CMOSスイッチを推奨します。

MAX22005は、すべてのシングルエンド入力および差動入力に対して、2線式構成をサポートしています。また、多機能差動入力では3線式構成をサポートしており、これは例えば測温抵抗体 (RTD) の接続に使用できます。その他の構成オプションについてはAN7413を参照してください。

入力レンジ設定

最高精度を維持するため、MAX22005は入力に対して複数の電圧レンジを備えています。

表1に使用可能なレンジをまとめています。公称レンジは、対象アプリケーションに応じたレンジを仕様規定します。リニア・レンジは公称レンジを含み、ゲイン誤差、オフセット誤差、INL、PSRR、CMRRなどの性能仕様が確保されています。更に広いフルスケール・レンジは、データ・コンバータの変換制限値を設定します。この拡張レンジは、ADCにクリッピングが生じることなく変換できる入力電圧の上限を定義します。

MAX22005では、リニア・レンジを公称レンジの105%、フルスケール・レンジを公称レンジの125%に設定しています。例えば、公称レンジが $\pm 10\text{V}$ の場合、MAX22005のリニア・レンジは $\pm 10.5\text{V}$ 、フルスケール・レンジは $\pm 12.5\text{V}$ となります。

表1. 入力レンジ

MODE	SETTING	NOMINAL	LINEAR	FULL SCALE
AIVM	$\pm 12.5\text{V}$	$\pm 10\text{V}$	$\pm 10.5\text{V}$	$\pm 12.5\text{V}$
AICM	$\pm 25\text{mA}$	$\pm 20\text{mA}$	$\pm 21\text{mA}$	$\pm 25\text{mA}$

差動入力同相電圧範囲

信号の振幅が入力のフルスケール・レンジ未満の場合、MAX22005はより大きな入力同相電圧範囲を許容します。

許容される最大入力同相電圧範囲は、次式で計算できます。

$$V_{\text{CM}} = 25 - V_{\text{DIFF}}$$

ここで、

V_{CM} = 最大入力同相電圧範囲

V_{DIFF} = ピークtoピーク入力電圧

入力電圧定格

すべての高電圧アナログ入力は、AGNDを基準として $\pm 36\text{V}$ の耐性があります。一般的なアナログ入力での挙動は図5に図示します。すべてのアナログ入力は、 $5\text{k}\Omega$ の保護抵抗を直列接続する必要があります。HVSSおよびHVDDでの電源電圧がアクティブに駆動されている限り、MAX22005の入力ピン電圧は、HVDDをダイオード電圧降下分だけ上回ることも、HVSSをダイオード電圧降下分だけ下回ることもありません。直列抵抗が電流を制限するため、ダイオードの電圧降下はわずかです。

DC/DCコンバータの1つが正常に機能せず、電流のシンクもソースもできなくなった場合でも、そのDC/DCコンバータ周辺の抵抗性帰還回路を用いることで、MAX22005の入力ピンを効果的に保護できます。エンジニアは、MAX22005のアナログ入力ピン電圧が定格を超えないように、電流経路の総抵抗 R_{PATH} を設計する責任があります。

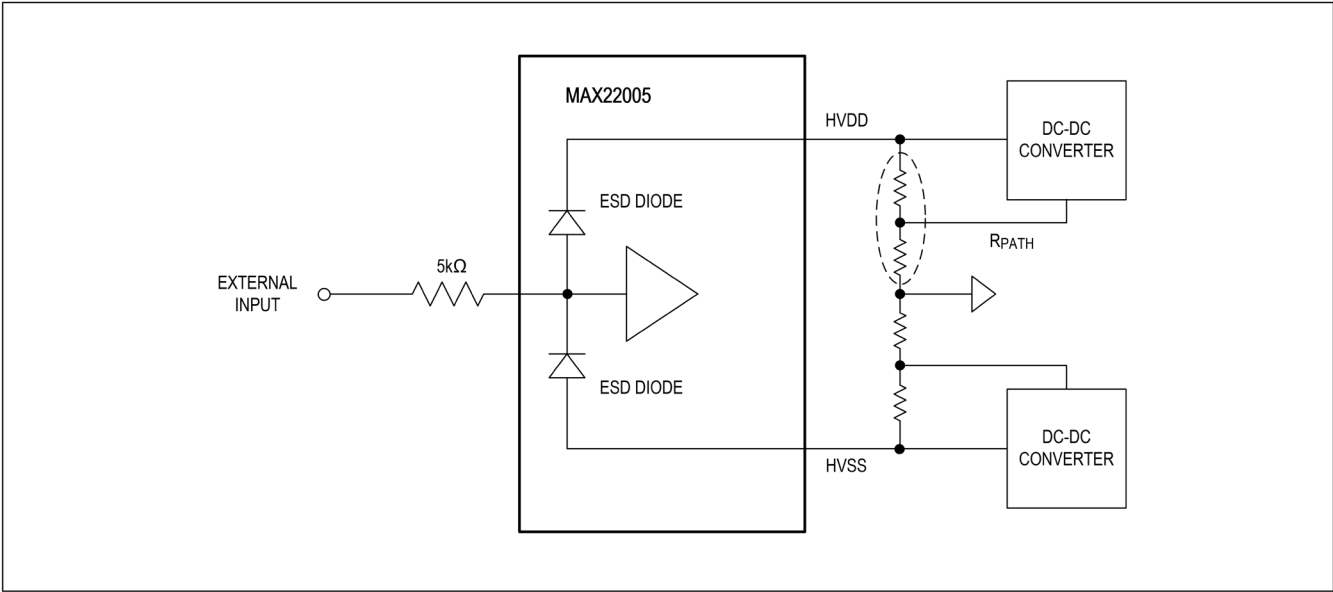


図5. 入力保護

電源電圧および電源投入シーケンス

MAX22005には3つの独立した電源があります。低電圧アナログ電源（AVDD、AGND）、低電圧デジタル電源（DVDD、DGND）（どちらも2.7V～3.6Vで仕様規定されています）、およびアナログ・バイポーラ高電圧電源（入力AFE用のHVDD、HVSS）です。高電圧AFEが適切に動作するためには、 V_{HVSS} 電源は-5V未満、 V_{HVDD} 電源は5V以上である必要があります。±12Vの入力の場合、少なくとも、 $V_{HVSS} = -15V$ 、かつ $V_{HVDD} = 15V$ が必要です。3つの電源ペア（AVDD/AGND、DVDD/DGND、HVDD/HVSS）は任意の順序でパワーアップできます。

パワーオン・リセット

AVDD電源とDVDD電源は、パワーオン・リセット回路でモニタされています。MAX22005は、AVDD電源およびDVDD電源が、データを失うことなく安全に動作できる特定のスレッシュホールドに達するまで、リセット状態に保持されます。ひとたびこのスレッシュホールドを超えると、SPIインターフェースおよび低電圧回路が完全に動作します。高電圧電源も常にモニタされています。MAX22005がSPIインターフェースを介して通信するために必要なのは、AVDD電源とDVDD電源のみです。AVDDおよびDVDDに給電されている状態で高電圧電源が失われた場合、その状態は、GEN_INTレジスタのHVDD_INTビットを通じてレポートされます。

SPIインターフェース

SPIインターフェースを用いると、マイクロプロセッサとMAX22005の間であらゆる重要な情報を通信できます。オプションのCRCを使うと、MAX22005との間でやりとりされるデータの信頼性が向上します。この機能は、ハードウェア・リセット後やパワーアップ後はデフォルトで無効化されていますが（ただしソフトウェア・リセット後は除く）、SPIインターフェースを通じていつでも有効化や無効化ができます。

CRCが有効化されている場合、表2に示すように、SPIトランザクションは40ビット長です。CRCが無効化されている場合、表3に示すようにSPIトランザクションは32ビット長です。

表2. CRC有効時のSPIトランザクション

BITS 39:33	BIT 32	BITS 31:8	BITS 7:0
Register Address	R/W	24-bit Payload	CRC

表3. CRC無効時のSPIトランザクション

BITS 31:25	BIT 24	BITS 23:0
Register Address	R/W	24-bit Payload

MAX22005は、 $0x31$ 多項式($x^8 + x^5 + x^4 + x^0$)を用いたCRC-8アルゴリズムを実装しています。この多項式は、アナログ・デバイセズの1-wire®製品で用いられているものと同じです。このCRCアルゴリズムは、反射入力バイトと反射出力バイトを用います(つまり、バイト単位でMSBファーストではなくLSBファーストで処理します。入力シーケンスのバイト順は変更されません)。初期値は $0x00$ で、出力はXOR処理を行わずにそのままレポートされます。

このCRCは以下のタイプのエラーを検出できます。

- 32ビット内の任意の奇数個のエラー
- 32ビット内のすべてのダブルビット・エラー
- 8ビットのウィンドウ内に含まれる可能性のあるエラーのクラスタ(1ビット～8ビットが誤り)
- 大きなエラー・クラスタの大半

書き込みトランザクションの場合、CRCは直前の32ビットに対して計算されます。つまり、7ビットのレジスタ・アドレス、1ビットの読出しまたは書き込み制御、24ビットのペイロードです。

書き込み動作の2つの例を以下に示します。

$0x00_0F00$ をGEN_CHNL_CTRLレジスタに書き込む: $0x06_000F_0011$

$0x34_0000$ をCHNL_CMDレジスタに書き込む: $0x40_3400_00A0$

読出しトランザクションでは、MAX22005がホストに返すCRCは、ホストから送られた8ビット・ヘッダ(レジスタ・アドレスおよび読出し制御)と24ビットのペイロードで構成される32ビットに基づいて計算されます。

読出し動作の2つの例を以下に示します。

デフォルト値をGEN_CNFGレジスタから読み出す: $0x05_1000_00CB$

デフォルト値をDCHNL_STALレジスタから読み出す: $0x43_0000_08AA$

CRCはデフォルトでは無効化されています。詳細については、AN27を参照してください。

ウォッチドッグ・タイマ

MAX22005は、ホスト・コントローラとの通信が途絶した場合の安全性を高めるため、ウォッチドッグ・タイマ機能を備えています。ウォッチドッグを有効化するには、GEN_CNFG($0x02$)のTMOUT_ENビットをセットし、TMOUT_CNFGビットとTMOUT_SEL[3:0]ビットに必要な割込み動作とタイムアウト時間を設定します。正しくフォーマットされた2つのSPIトランザクション間の時間がタイムアウト時間を超えると、INTピンおよびGEN_INTレジスタ($0x07$)のTMOUT_INTビットに割込みがアサートされます。正しくフォーマットされたトランザクションとは、32ビット以上(CRCが無効化されている場合)、または40ビット以上(CRCが有効化されている場合)のトランザクションです。トランザクションが正しくフォーマットされているかどうかは、常にトランザクションの最後で判断されます。詳細については、[レジスタ・マップ](#)の説明を参照してください。

製品追跡

MAX22005には、32ビット幅の固有のシリアル番号があり、デバイス追跡に使用できます(GEN_PRODレジスタおよびGEN_REVレジスタのSERIAL[32:0])。

更に、工業用I/Oファミリの他の製品と区別するための8ビットの製品IDもあります(GEN_PRODレジスタのPROD_ID[7:0])。製品IDは以下のようにデコードできます。

表4. 製品ID

BIT 7	6	5	4	3	2	1	0
Number of output Channels			Number of Input Channels				RTD/TC Support

MAX22005は、最大12入力チャンネルに対応しており、製品IDは $0x18$ です。

シリコンのリビジョンは、8ビットのリビジョンID(GEN_REVレジスタのREV_ID[7:0])に反映されます。

アナログ入力ADC

アナログ入力チャンネルは、1つの高性能24ビット・デルタシグマ・アナログ・デジタル・コンバータ(ADC)を共有しています。データレートは、1sps(サンプル/秒)～115.2kspsの範囲でプログラマブルです。ADCは、2.5Vの内部リファレンスまたは

外部リファレンスを利用できます。ADCは、合計26の入力設定が可能であり、これらはGEN_CHNL_CTRLのAI_DCHNL_SEL[4:0]ビットで選択できます。[表5](#)に、チャンネル選択オプションをまとめます。

表5. 入力チャンネル設定の選択

AI_DCHNL_SEL[4:0]	INPUT CONFIGURATION
00000	Input AI1 in single-ended mode (-12.5V to +12.5V range)
00001	Input AI2 in single-ended mode (-12.5V to +12.5V range)
00010	Input AI3 in single-ended mode (-12.5V to +12.5V range)
00011	Input AI4 in single-ended mode (-12.5V to +12.5V range)
00100	Input AI5 in single-ended mode (-12.5V to +12.5V range)
00101	Input AI6 in single-ended mode (-12.5V to +12.5V range)
00110	Input AI7 in single-ended mode (-12.5V to +12.5V range)
00111	Input AI8 in single-ended mode (-12.5V to +12.5V range)
01000	Input AI9 in single-ended mode (-12.5V to +12.5V range)
01001	Input AI10 in single-ended mode (-12.5V to +12.5V range)
01010	Input AI11 in single-ended mode (-12.5V to +12.5V range)
01011	Input AI12 in single-ended mode (-12.5V to +12.5V range)
01100	Inputs AI1–AI2 in differential mode (-25.0V to +25.0V range)
01101	Inputs AI3–AI4 in differential mode (-25.0V to +25.0V range)
01110	Inputs AI5–AI6 in differential mode (-25.0V to +25.0V range)
01111	Inputs AI7–AI8 in differential mode (-25.0V to +25.0V range)
10000	Inputs AI9–AI10 in differential mode (-25.0V to +25.0V range)
10001	Inputs AI11–AI12 in differential mode (-25.0V to +25.0V range)
10010	Inputs AI1(COM)–AI2 in multifunctional differential mode (-25.0V to +25.0V range)
10011	Inputs AI1(COM)–AI3 in multifunctional differential mode (-25.0V to +25.0V range)
10100	Inputs AI4(COM)–AI5 in multifunctional differential mode (-25.0V to +25.0V range)
10101	Inputs AI4(COM)–AI6 in multifunctional differential mode (-25.0V to +25.0V range)
10110	Inputs AI7(COM)–AI8 in multifunctional differential mode (-25.0V to +25.0V range)
10111	Inputs AI7(COM)–AI9 in multifunctional differential mode (-25.0V to +25.0V range)
11000	Inputs AI10(COM)–AI11 in multifunctional differential mode (-25.0V to +25.0V range)
11001	Inputs AI10(COM)–AI12 in multifunctional differential mode (-25.0V to +25.0V range)

ADCの結果は、DCHNL_DATAレジスタに2の補数フォーマットで格納されます。[表6](#)に、ADCの出力コードと対応する入力電圧をまとめています。

表6. 入力チャンネルの制限値およびコード

AI_DCHNL_SEL[4:0]	INPUT CHANNEL	ADC CODE 0x800000 (-8388608) (V)	ADC CODE 0x000000 (0) (V)	ADC CODE 0x7FFFFF (+8388607) (V)
00000	AI1 single-ended	-12.5	0	+12.5
00001	AI2 single-ended	-12.5	0	+12.5
00010	AI3 single-ended	-12.5	0	+12.5
00011	AI4 single-ended	-12.5	0	+12.5
00100	AI5 single-ended	-12.5	0	+12.5
00101	AI6 single-ended	-12.5	0	+12.5
00110	AI7 single-ended	-12.5	0	+12.5

表6. 入力チャンネルの制限値およびコード(続き)

AI_DCHNL_SEL[4:0]	INPUT CHANNEL	ADC CODE 0x800000 (-8388608) (V)	ADC CODE 0x000000 (0) (V)	ADC CODE 0x7FFFFFFF (+8388607) (V)
00111	AI8 single-ended	-12.5	0	+12.5
01000	AI9 single-ended	-12.5	0	+12.5
01001	AI10 single-ended	-12.5	0	+12.5
01010	AI11 single-ended	-12.5	0	+12.5
01011	AI12 single-ended	-12.5	0	+12.5
01100	AI1–AI2 differential	-25.0	0	+25.0
01101	AI3–AI4 differential	-25.0	0	+25.0
01110	AI5–AI6 differential	-25.0	0	+25.0
01111	AI7–AI8 differential	-25.0	0	+25.0
10000	AI9–AI10 differential	-25.0	0	+25.0
10001	AI11–AI12 differential	-25.0	0	+25.0
10010	AI1(COM)–AI2 multifunctional differential	-25.0	0	+25.0
10011	AI1(COM)–AI3 multifunctional differential	-25.0	0	+25.0
10100	AI4(COM)–AI5 multifunctional differential	-25.0	0	+25.0
10101	AI4(COM)–AI6 multifunctional differential	-25.0	0	+25.0
10110	AI7(COM)–AI8 multifunctional differential	-25.0	0	+25.0
10111	AI7(COM)–AI9 multifunctional differential	-25.0	0	+25.0
11000	AI10(COM)–AI11 multifunctional differential	-25.0	0	+25.0
11001	AI10(COM)–AI12 multifunctional differential	-25.0	0	+25.0

動作モードは、DCHNL_CMDレジスタのDCHNL_MODE[1:0]ビットを用いて選択できます。デフォルトでは、ADCはスタンバイ・モードになっており、全体の消費電力を低減します。

デルタシグマ・モジュレータの次段には高性能デジタル・フィルタが続き、これは、選択したデータレートに応じて、5次のSINCフィルタ、平均化フィルタ、4次のSINCフィルタで構成されます。一部のデータレートでは、50Hzまたは60Hzを75dB以上抑圧できます。

ADCは、連続モード、シングルサイクル・モード、連続シングルサイクル・モードの3つの変換動作モードが可能です。

連続モードでは、ADCは、選択したサンプル・レートで連続的に動作します。データレートに応じて、デジタル・フィルタが安定するまで、最大5つの出力サンプルが必要です。このモードを使用するのは、単一チャンネルからデータを収集し、高サンプル・レートが必要な場合です。

シングルサイクル・モードは、レイテンシのない変換をシングルサイクルで実行し、その後ADCはスタンバイ・モードに戻ります。このモードを使用するのは、複数のチャンネルで単発測定を行い、中程度のサンプル・レートが必要な場合です。

連続シングルサイクル・モードでは、ADCは選択したレートでレイテンシのない変換を連続的に実行します。このモードを使用するのは、1チャンネルを連続的にモニタリングする必要があるものの、デジタル・フィルタのセトリングをマスクしたい場合です。これは、入力の変化後に高速セトリングが必要ながらも、連続モードのようにデータレートを増やす必要がない場合に有効です。

動作モードは、DCHNL_CTRL1レジスタのSCYCLEビットおよびCONTSCビットで選択できます。連続モードおよび連続シングルサイクル・モードは、DCHNL_CMDレジスタのDCHNL_MODE[1:0]ビットをスタンバイ・モードに変更すると終了します。更に、入力チャンネルの選択を変更すると(GEN_CHNL_CTRLレジスタのAI_DCHNL_SEL[4:0]ビット)、ADCのコントロール・レジスタ(DCHNL_CTRL1、DCHNL_CTRL2)も進行中の連続変換をアボートし、ADCをスタンバイ・モードに戻します。

使用可能なデータレートは、DCHNL_CMDレジスタのDCHNL_RATE[3:0]ビットを設定することで選択できます。表7に、連続モードで使用可能なデータレートをまとめています。太字のデータレートは、50Hz/60Hz抑圧特性が75dBを超えています。なお、最大データレートではシステム・キャリブレーションによる補正は選択できません。

表7. 連続変換におけるデータレートの選択

DCHNL_RATE[3:0]	DATA RATE (SPS)	EFFECTIVE NUMBER OF BITS
0000	5	21
0001	10	21
0010	15	21
0011	30	20
0100	50	20
0101	60	20
0110	225	19
0111	450	19
1000	900	19
1001	1800	18
1010	3600	18
1011	7200	18
1100	14400	17
1101	28800	17
1110	57600	17
1111	115200 (Note)	16

注: 最大データレートでは、システム・キャリブレーションはサポートされていません。

表8に、シングルサイクル・モードで使用可能なデータレートを示します。シングルサイクル・モードでの動作では、ADCのアナログ・フロントエンドが安定できるように、変換開始時にオーバーヘッドが必要です。加えて、生のモジュレータ出力を処理する時間も必要です。表8に示す公称データレートは、入力信号のサンプリング周期を示す目安となります。実際のデータレートは、システム・キャリブレーションを用いるかどうかによって異なります。これは、計算のオーバーヘッドがこの2つの場合で異なるためです。太字のデータレートは、50Hz/60Hz抑圧特性が75dBを超えています。

表8. シングルサイクル変換におけるデータレートの選択

DCHNL_RATE[3:0]	NOMINAL DATA RATE (sps)	ACTUAL DATA RATE (sps)	ACTUAL DATA RATE PLUS SYSTEM CALIBRATION (sps)	EFFECTIVE NUMBER OF BITS
0000	1 (0.9955)	1 (0.9955)	1 (0.9955)	21
0001	2.5	2.5	2.5	21
0010	5	5	5	21
0011	10	10	10	20
0100	12.5	12.5	12.5	20
0101	15	15	15	20
0110	50	50	50	19
0111	60	60	60	19
1000	150	150	150	19
1001	300	299	298	18
1010	900	891	886	18
1011	1800	1772	1752	18
1100	2880	2810	2759	17
1101	5760	5486	5297	17
1110	11520	10473	9804	17
1111	23040	19200	17067	16

表9に、シングルサイクル連続モードで使用可能なデータレートを示します。シングルサイクル連続モードの動作は、シングルサイクル・モードと類似していますが、オーバーヘッドがわずかに異なるため、実際のデータレートもわずかに異なります。太字で示したデータレートは、50Hz/60Hzに対して75dBを超える抑圧特性を有します。

表9. シングルサイクル連続変換におけるデータレートの選択

DCHNL_RATE[3:0]	NOMINAL DATA RATE (sps)	ACTUAL DATA RATE (sps)	ACTUAL DATA RATE PLUS SYSTEM CALIBRATION (sps)	EFFECTIVE NUMBER OF BITS
0000	1 (0.9955)	1 (0.9955)	1 (0.9955)	21
0001	2.5	2.5	2.5	21
0010	5	5	5	21
0011	10	10	10	20
0100	12.5	12.5	12.5	20
0101	15	15	15	20
0110	50	50	50	19
0111	60	60	60	19
1000	150	150	150	19
1001	300	299	299	18
1010	900	892	887	18
1011	1800	1776	1755	18
1100	2880	2818	2768	17
1101	5760	5519	5327	17
1110	11520	10593	9910	17
1111	23040	19609	17389	16

ADCは、オーバーレンジ状態を通知するステータス・ビットを備えています。デジタル・フィルタの出力がオーバーフローすると、DCHNL_STALレジスタのDORビットがロジック・ハイに設定されます。このときデジタル出力は、正のオーバーフローの場合は0x7FFFFFFF、負のオーバーフローの場合は0x8000000に設定されます。

アナログ入力のオフセット誤差およびゲイン誤差のキャリブレーション

システム・キャリブレーション

MAX22005は、そのTUE仕様を満たすように、工場出荷時にキャリブレーションされています。ただし、ユーザが独自のシステム・レベル・キャリブレーションを行えば、ボード・レベルの部品を含むアナログ入力シグナル・チェーン全体のゲイン誤差およびオフセット誤差を補正できます。2点測定アルゴリズムを使用することで、システム・レベルのオフセット誤差とゲイン誤差を計算し、補正できます。MAX22005では、26通りの入力設定それぞれに対し、オフセット補正レジスタとゲイン補正レジスタのペアが個別に用意されています。ゲイン係数とオフセット係数を計算するための2点キャリブレーションを図6に示します。詳細については、AN7449「MAX22005 User Calibration Guide」を参照してください。

ユーザ／システム・キャリブレーションを行う前に、各チャンネルのオフセット・キャリブレーション・レジスタ(DCHNL_N_SOC)を0x00_0000に、ゲイン・キャリブレーション・レジスタ(DCHNL_N_SGC)を0xC0_0000に設定する必要があります。

次に、アプリケーションのフルスケール・レンジに近い2つの入力電圧 V_1 および V_2 を印加し、それぞれに対応するデジタル出力コード C_1 および C_2 を記録します。

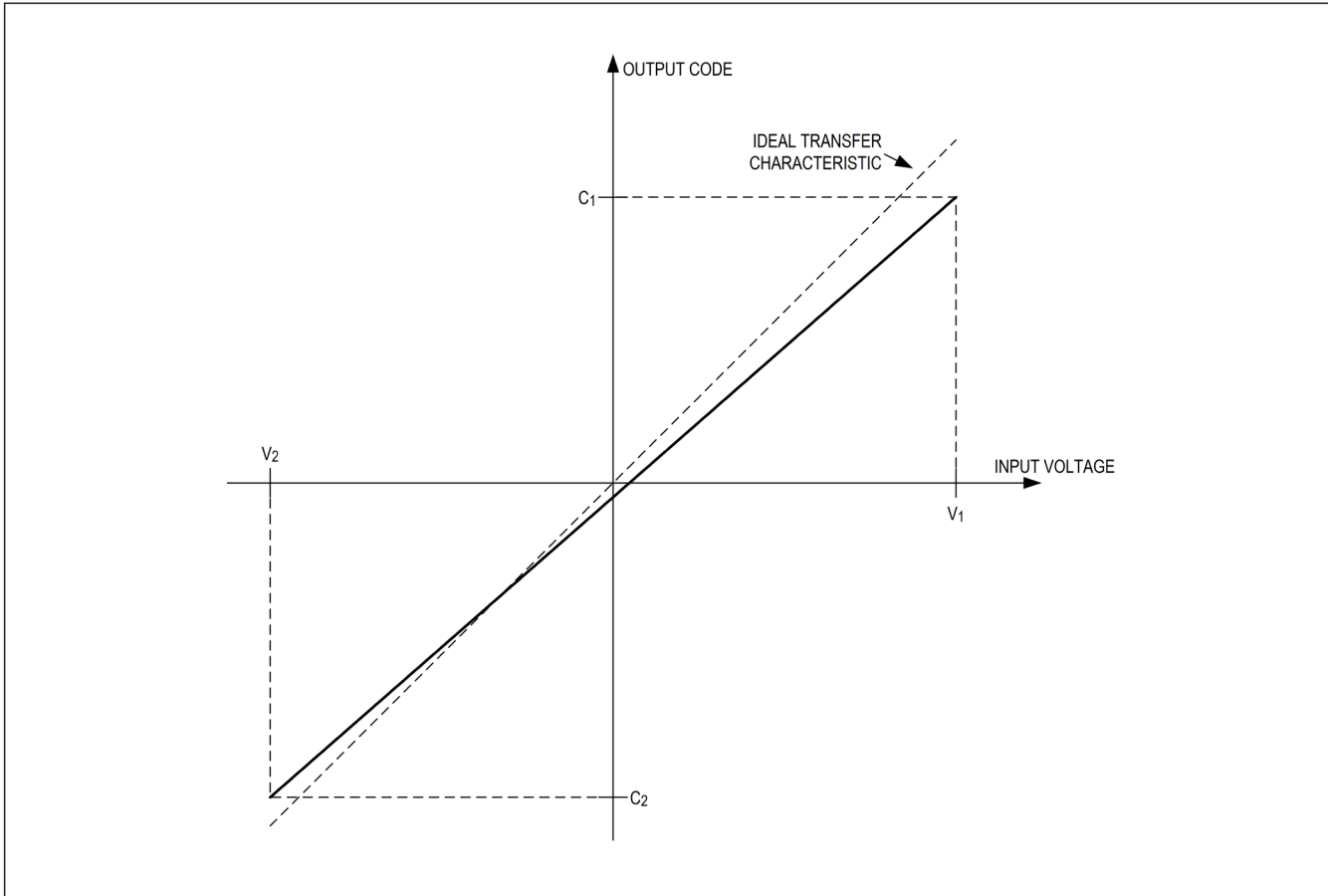


図6. 2点システム・キャリブレーション

入力チャンネルのゲインAは次式で計算できます。

$$A = \frac{\left(\frac{C_1 - C_2}{2^{24}}\right) \times V_{FSR}}{(V_1 - V_2)}$$

ここで、 V_{FSR} は、選択した入力チャンネルのフルスケール・レンジを表します。各チャンネルのフルスケール・レンジを[表10](#)に示します。

表10. 入力チャンネルのフルスケール・レンジ

AI_DCHNL_SEL[4:0]	INPUT CHANNEL	FULL_SCALE RANGE V_{FSR} (V)	DIGITAL GAIN A_{DIG}	DIGITAL SIGN S_{DIG}
00000	AI1 single-ended	25	2	+1
00001	AI2 single-ended	25	2	-1
00010	AI3 single-ended	25	2	-1
00011	AI4 single-ended	25	2	+1
00100	AI5 single-ended	25	2	+1
00101	AI6 single-ended	25	2	-1

表10. 入力チャンネルのフルスケール・レンジ(続き)

00110	AI7 single-ended	25	2	+1
00111	AI8 single-ended	25	2	-1
01000	AI9 single-ended	25	2	-1
01001	AI10 single-ended	25	2	+1
01010	AI11 single-ended	25	2	+1
01011	AI12 single-ended	25	2	-1
01100	AI1–AI2 differential	50	2	+1
01101	AI3–AI4 differential	50	2	-1
01110	AI5–AI6 differential	50	2	+1
01111	AI7–AI8 differential	50	2	+1
10000	AI9–AI10 differential	50	2	-1
10001	AI11–AI12 differential	50	2	+1
10010	AI1(COM)–AI2 multifunctional differential	50	2	+1
10011	AI1(COM)–AI3 multifunctional differential	50	2	+1
10100	AI4(COM)–AI5 multifunctional differential	50	2	+1
10101	AI4(COM)–AI6 multifunctional differential	50	2	+1
10110	AI7(COM)–AI8 multifunctional differential	50	2	+1
10111	AI7(COM)–AI9 multifunctional differential	50	2	+1
11000	AI10(COM)–AI11 multifunctional differential	50	2	+1
11001	AI10(COM)–AI12 multifunctional differential	50	2	+1

ゲイン・キャリブレーション係数は、デフォルトのゲイン・キャリブレーション係数を、計算で求めたゲインで割ることで算出できます。

ゲイン・キャリブレーション係数 = $1.5/A$

この結果は、23ビットのフラクシオン長を持つ符号なし2進数フォーマットで表現され、対応するDCHNL_N_SGCレジスタにロードされます。

入力換算オフセットは次のように計算できます。

$$V_{\text{OFFSET}} = \frac{C_1 \times V_{\text{FSR}}}{2^{24}} - A \times V_1$$

オフセット・キャリブレーション係数を計算する際には、シグナル・チェーンのデジタル・ゲイン A_{DIG} と符号 S_{DIG} を考慮する必要があります。ゲインおよび符号の両方を表9にまとめています。この情報を基に、オフセット・キャリブレーション係数DCHNL_N_SOCは次のように計算できます。

$$\text{DCHNL_N_SOC} = \left(C_1 - A \times \frac{V_1}{V_{\text{FSR}}} \times 2^{24} \right) \times \frac{S_{\text{DIG}}}{1.5 \times A_{\text{DIG}}}$$

その結果得られたDCHNL_N_SOCの値は、2の補数フォーマットで表す必要があります。

計算したキャリブレーション係数は、それぞれオフセット用はDCHNL_N_SOCレジスタ、ゲイン用はDCHNL_N_SGCに格納されます。これらのレジスタは、間接アドレス指定によって選択できます(DCHNL_N_SELレジスタを参照)。

デフォルトでは、生のADC出力データは、システムのゲインおよびオフセット・キャリブレーション係数を用いて補正されます。しかし、この補正は、DCHNL_CTRL2レジスタのNOSYSGビットとNOSYSOビットを用いて無効化できます。

ADCソフトウェア・リセット

ホストは、ソフトウェア・リセットを実行してADCをデフォルト状態に復元できます。ソフトウェア・リセットでは、DCHNL_レジスタがそれぞれデフォルト状態に戻され、内部のステート・マシンもリセットされます。ただし、ソフトウェア・リセットは、完全なパワーオン・リセットやハードウェア・リセットのシーケンスを実行するものではありません。したがって、例えばSPIインターフェースが応答しない場合などにはソフトウェア・リセットは有効ではありません。

ソフトウェア・リセットを発行するには2回のSPIトランザクションが必要です。まず、DCHNL_CTRL1レジスタのDCHNL_PDビットをロジック・ハイ（リセット）にセットします。次に、DCHNL_CMDレジスタに対して書込みトランザクションを発行し、DCHNL_MODE[1:0]を「01」に設定します。

リセット動作の完了を確認するには、DCHNL_STALレジスタのPDSTAT[1:0]ビットをモニタします。ADCがリセット・フェーズ中は、PDSTAT[1:0]が「11」（リセット）に設定されています。リセット動作が完了すると、PDSTAT[1:0]は「10」（スタンバイ）に設定されます。通常はリセット（「11」）状態をモニタする必要はありません。スタンバイ・モード（「10」）をポーリングするだけで十分です。

ADC RDY（データ・レディ）出力

RDYは、ADCの変換ステータスを示し、変換結果を利用可能かどうかを示します。RDYがローの場合、変換結果を利用できません。RDYがハイの場合は変換が進行中で、その変換はまだ利用できません。DCHNL_DATAレジスタの読出しが完了すると、RDYはハイに駆動されます。各サンプルが利用可能になるたびにデータを読み出す場合、RDYは出力データレートに合わせてハイからローに遷移します。以前のデータが読み出されていない場合、RDYはローからハイに遷移し、その約0.5 μ s後に新しいデータが利用可能になります。その後、RDYの立下がりエッジが新しいデータを利用できることを示します。連続モードでは、RDYは最初の4つの変換結果に対してハイのままで、5つ目の結果でRDYがローに遷移し、データを利用できることを示します。

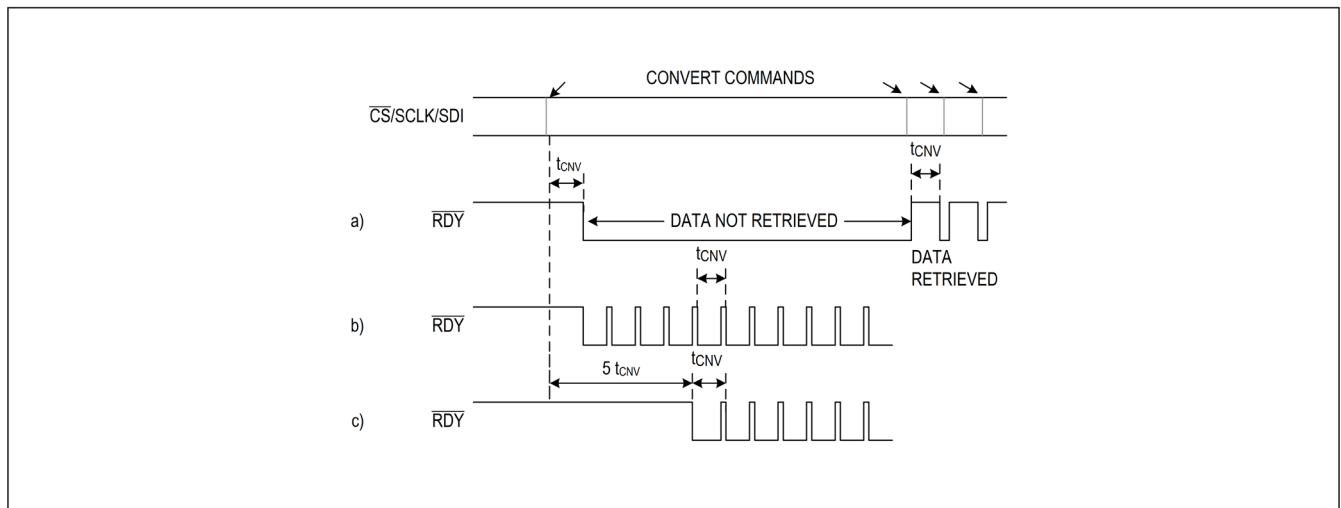


図7. RDYの出力タイミング、a) シングルサイクル・モード、b) 連続シングルサイクル・モード、c) 連続変換モード

SYNCピンを用いたADC変換の同期

MAX22005は、高安定の内部発振器を内蔵しており、公称7.3728MHz (8.192MHz $\times$ 0.9) のシステム・クロックを生成し、アナログ・タイミングとデジタル・タイミングの両方に供給します。必要に応じて、高安定の外部クロックを用いることもできます。SYNCピンは、理想的には外部クロックと併用され、これを用いてデータ変換を外部イベントに同期させることができます。この同期方法は内部クロックでも機能しますが、局部発振器の周波数精度に限界があるため、必然的に再同期が必要です。複数のMAX22005で高安定の外部クロックを共用すれば、再同期を行う必要がなく、はるかに長いタイム・インターバルが可能となります。

DCHNL_CTRL2レジスタのSYNC_MODEビットをロジック・ハイにセットすると、外部同期モードを有効化できます。また、SYNC_MODEは、連続変換モードでのみ動作するため、DCHNL_CTRL1レジスタのSCYCLEをロジック・ゼロにセットする必要があります。必要に応じて、DCHNL_CTRL2レジスタのEXTCLKビットをロジック・ハイにセットし、高精度の外部クロック信号を用いることもできます。

この同期モードは、現在の変換がデータレートより長い周期の連続パルス信号に同期しているかどうかを検出するために使用されます。同期パルスの立上がりエッジのみがタイミング・リファレンスとして用いられるため、同期信号のパルス幅は重要ではありません。ただし、パルス幅は内部クロック・ソースを用いる場合は300nsより長く、外部クロック・ソースを用いる場合はクロック周期の2倍より長くする必要があります。更に、連続するSYNCパルスの間のSYNC信号のロー時間も、内部クロック・ソースを用いる場合は300nsより長く、外部クロック・ソースを用いる場合はクロック周期の2倍より長くする必要があります。理想的には、同期信号の周波数は変換レートの整数倍です。同期モードは、 $\overline{\text{RDY}}$ の立下がりエッジから次のSYNCパルスの立上がりエッジまでのADCクロック・サイクル数を記録します。その後のSYNCパルスにおいて、 $\overline{\text{RDY}}$ の立下がりエッジからSYNCパルスの立上がりエッジまでのADCクロック・サイクル数が再度評価され、記録された値と比較されます。新しいADCクロック・サイクル数が、記録された値と比べて1を超えて異なる場合、進行中の変換は停止され、デジタル・フィルタの内容がリセットされて新しい変換が開始されます。デジタル・フィルタがリセットされるため、有効な結果が利用可能となるまでには、デジタル・フィルタの全レイテンシ分の時間が必要です。新しいADCクロック・カウントが ± 1 のカウント制限内に収まっている場合は、変換は中断されずに継続されます。

図8に、MAX22005のADCクロックとSYNC信号のタイミング関係を示します。スタートアップ遅延のため、 $\overline{\text{RDY}}$ の最初の立下がりエッジより前のSYNCパルスは無視されます。 $\overline{\text{RDY}}$ の立下がりエッジの後に続く最初のSYNCピンの立上がりエッジによって、SYNC信号と変換タイミングの関係が確立します。

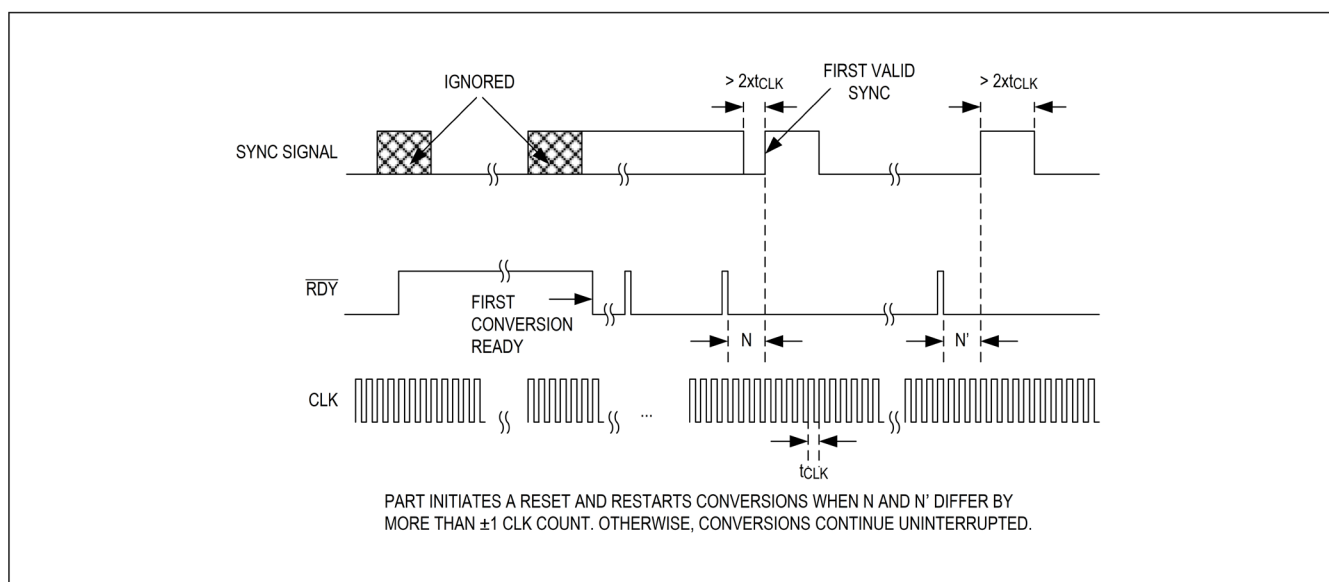


図8. SYNC入力タイミング

ハードウェア・リセット

MAX22005は、ハードウェア・リセットを実行するためのアクティブ・ローの $\overline{\text{RST}}$ ピンを備えています。 $\overline{\text{RST}}$ ピンをローにプルダウンすると、すべてのレジスタがパワーオン・リセット状態に再設定されます。アナログ入力は切断されます。進行中のADC変換は停止され、デジタル・フィルタもリセットされます。 $\overline{\text{RST}}$ がロジック「1」に戻ると、デバイスは電源が最初に投入されたときと同じ動作をします。

レジスタ・マップ

MAX22005のレジスタ・マップ

ADDRESS	NAME	MSB							LSB
GEN Registers									
0x00	GEN_PROD[23:16]	PROD_ID[7:0]							
	GEN_PROD[15:8]	SERIAL_MSB[15:8]							
	GEN_PROD[7:0]	SERIAL_MSB[7:0]							
0x01	GEN_REV[23:16]	REV_ID[7:0]							
	GEN_REV[15:8]	SERIAL_LSB[15:8]							
	GEN_REV[7:0]	SERIAL_LSB[7:0]							
0x02	GEN_CNFG[23:16]	CRC_EN	–	ADCREFS_SEL	–	–	–	–	–
	GEN_CNFG[15:8]	–	–	–	–	–	–	–	–
	GEN_CNFG[7:0]	–	–	TMOUT_EN	TMOUT_CNFG	TMOUT_SEL[3:0]			
0x03	GEN_CHNL_CTRL[23:16]	AIP_TEST[1:0]		AIN_TEST[1:0]		–	–	–	–
	GEN_CHNL_CTRL[15:8]	–	–	–	AI_DCHNL_SEL[4:0]				
	GEN_CHNL_CTRL[7:0]	–	–	–	–	–	–	–	–
0x04	GEN_GPIO_CTRL[23:16]	GPIO_EN[7:0]							
	GEN_GPIO_CTRL[15:8]	GPIO_DIR[7:0]							
	GEN_GPIO_CTRL[7:0]	GPO_DATA[7:0]							
0x05	GEN_GPI_INT[23:16]	GPI_POS_EDGE_INT[7:0]							
	GEN_GPI_INT[15:8]	GPI_NEG_EDGE_INT[7:0]							
	GEN_GPI_INT[7:0]	–	–	–	–	–	–	–	–
0x06	GEN_GPI_DATA[23:16]	GPI_POS_EDGE_INT_STA[7:0]							
	GEN_GPI_DATA[15:8]	GPI_NEG_EDGE_INT_STA[7:0]							
	GEN_GPI_DATA[7:0]	GPI_DATA[7:0]							
0x07	GEN_INT[23:16]	–	–	–	–	–	–	–	–
	GEN_INT[15:8]	–	–	–	–	–	–	TMOUT_INT	–
	GEN_INT[7:0]	HVDD_INT	–	–	–	–	CNFG_INT	CRC_INT	GPI_INT
0x08	GEN_INTEN[23:16]	–	–	–	–	–	–	–	–
	GEN_INTEN[15:8]	–	–	–	–	–	–	TMOUT_INTEN	–
	GEN_INTEN[7:0]	HVDD_INTEN	–	–	–	–	CNFG_INTEN	CRC_INTEN	GPI_INTEN
0x09	GEN_PWR_CTRL[23:16]	–	–	–	–	GEN_PD	–	GEN_RST	–
	GEN_PWR_CTRL[15:8]	–	–	–	–	–	–	–	–
	GEN_PWR_CTRL[7:0]	–	–	–	–	–	–	–	–

ADDRESS	NAME	MSB							LSB
DCHNL Registers									
0x20	DCHNL_CMD[23:16]	–	–	DCHNL_MODE[1:0]		DCHNL_RATE[3:0]			
	DCHNL_CMD[15:8]	–	–	–	–	–	–	–	–
	DCHNL_CMD[7:0]	–	–	–	–	–	–	–	–
0x21	DCHNL_STA[23:16]	–	–	–	–	–	–	–	–
	DCHNL_STA[15:8]	–	REFDET	–	–	–	–	DOR	–
	DCHNL_STA[7:0]	RATE[3:0]				PDSTAT[1:0]		MSTAT	RDY
0x22	DCHNL_CTRL1[23:16]	–	–	–	DCHNL_PD	–	–	SCYCLE	CONTSC
	DCHNL_CTRL1[15:8]	–	–	–	–	–	–	–	–
	DCHNL_CTRL1[7:0]	–	–	–	–	–	–	–	–
0x23	DCHNL_CTRL2[23:16]	EXTCLK	–	SYNC_MODE	–	NOSYSG	NOSYSO	–	–
	DCHNL_CTRL2[15:8]	–	–	–	–	–	–	–	–
	DCHNL_CTRL2[7:0]	–	–	–	–	–	–	–	–
0x24	DCHNL_DATA[23:16]	DCHNL_DATA[23:16]							
	DCHNL_DATA[15:8]	DCHNL_DATA[15:8]							
	DCHNL_DATA[7:0]	DCHNL_DATA[7:0]							
0x25	DCHNL_N_SEL[23:16]	–	–	–	–	–	–	–	–
	DCHNL_N_SEL[15:8]	–	–	–	–	–	–	–	–
	DCHNL_N_SEL[7:0]	–	–	DCHNL_OTP_SEL	DCHNL_N_SEL[4:0]				
0x26	DCHNL_N_SOC[23:16]	DCHNL_N_SOC[23:16]							
	DCHNL_N_SOC[15:8]	DCHNL_N_SOC[15:8]							
	DCHNL_N_SOC[7:0]	DCHNL_N_SOC[7:0]							
0x27	DCHNL_N_SGC[23:16]	DCHNL_N_SGC[23:16]							
	DCHNL_N_SGC[15:8]	DCHNL_N_SGC[15:8]							
	DCHNL_N_SGC[7:0]	DCHNL_N_SGC[7:0]							

レジスタの詳細

GEN_PROD(0x0)

BIT	23	22	21	20	19	18	17	16
Field	PROD_ID[7:0]							
Reset	0x18							
Access Type	Read Only							
BIT	15	14	13	12	11	10	9	8
Field	SERIAL_MSB[15:8]							
Reset	0xXX							
Access Type	Read Only							

BIT	7	6	5	4	3	2	1	0
Field	SERIAL_MSB[7:0]							
Reset	0xXX							
Access Type	Read Only							

ビットフィールド	ビット	説明
PROD_ID	23:16	8ビット製品IDコード
SERIAL_MSB	15:0	各MAX22005に固有の32ビット・コードの上位16ビット

GEN_REV(0x1)

BIT	23	22	21	20	19	18	17	16
Field	REV_ID[7:0]							
Reset	0x00							
Access Type	Read Only							
BIT	15	14	13	12	11	10	9	8
Field	SERIAL_LSB[15:8]							
Reset	0xXX							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	SERIAL_LSB[7:0]							
Reset	0xXX							
Access Type	Read Only							

ビットフィールド	ビット	説明
REV_ID	23:16	8ビット・リビジョンIDコード
SERIAL_LSB	15:0	各MAX22005に固有の32ビット・コードの下位16ビット

GEN_CNFG(0x2)

ADC変換が進行中の場合、ADCREF_SELビットへの書込みによってADC変換がアボートされます。ただし、書込みトランザクションでADCREF_SELの内容が変わらない場合は除きます。

BIT	23	22	21	20	19	18	17	16
Field	CRC_EN	–	ADCREF_SEL	–	–	–	–	–
Reset	0b0	–	0b0	–	–	–	–	–
Access Type	Write, Read	–	Write, Read	–	–	–	–	–
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

BIT	7	6	5	4	3	2	1	0
Field	–	–	TMOUT_EN	TMOUT_CNFG	TMOUT_SEL[3:0]			
Reset	–	–	0b0	0b0	0x0			
Access Type	–	–	Write, Read	Write, Read	Write, Read			

ビットフィールド	ビット	説明	デコード
CRC_EN	23	CRCチェッカの有効化	0b0: CRCチェッカを無効化 0b1: CRCチェッカを有効化
ADCREF_SEL	21	ADCの電圧リファレンス	0b0: 内部電圧リファレンス 0b1: 外部電圧リファレンス
TMOUT_EN	5	タイムアウトの有効化	0b0: タイムアウトを無効化 0b1: タイムアウトを有効化
TMOUT_CNFG	4	タイムアウトの設定	0b0: タイムアウト期間が経過すると、TMOUT_INT がアサートされます。 0b1: タイムアウト期間が経過すると、TMOUT_INT がアサートされ、レジスタ・フィールドGPIO_EN[7:0] がリセットされます。これにより、すべてのGPIOポー トが無効になります。
TMOUT_SEL	3:0	タイムアウト時間の選択	0x0: 100ms 0x1: 200ms 0x2: 300ms 0x3: 400ms 0x4: 500ms 0x5: 600ms 0x6: 700ms 0x7: 800ms 0x8: 900ms 0x9: 1.0s 0xA: 1.1s 0xB: 1.2s 0xC: 1.3s 0xD: 1.4s 0xE: 1.5s 0xF: 1.6s

GEN CHNL CTRL(0x3)

ADC変換が進行中の場合、AI_DCHNL_SEL[4:0]ビットへの書き込みによってADC変換がアボートされます。ただし、書き込みトランザクションでAI_DCHNL_SEL[4:0]の内容が変わらない場合は除きます。

BIT	23	22	21	20	19	18	17	16
Field	AIP_TEST[1:0]		AIN_TEST[1:0]		–	–	–	–
Reset	0x0		0x0		–	–	–	–
Access Type	Write, Read		Write, Read		–	–	–	–
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	AI_DCHNL_SEL[4:0]				
Reset	–	–	–	0x00				
Access Type	–	–	–	Write, Read				

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
AIP_TEST	23:22	AI1、AI4、AI5、AI7、AI10、AI11用の診断スイッチ	0x0: 診断を無効化 0x1: AGNDとの間に2MΩの抵抗を接続 0x2: HVDDとの間に2MΩの抵抗を接続 0x3: HVDDおよびAGNDの両方に2MΩの抵抗を接続
AIN_TEST	21:20	AI2、AI3、AI6、AI8、AI9、AI12用の診断スイッチ	0x0: 診断を無効化 0x1: AGNDとの間に2MΩの抵抗を接続 0x2: HVDDとの間に2MΩの抵抗を接続 0x3: HVDDおよびAGNDの両方に2MΩの抵抗を接続
AI_DCHNL_SEL	12:8	アナログ入力設定の選択 ホストが予約状態をこのフィールドに書き込もうとすると、設定割込みが発行され (CNFG_INT)、このレジスタ・フィールドは変更されません。そのため、最後に行われた有効な設定の選択が反映されます。	0x0: AI1 シングルエンド 0x1: AI2 シングルエンド 0x2: AI3 シングルエンド 0x3: AI4 シングルエンド 0x4: AI5 シングルエンド 0x5: AI6 シングルエンド 0x6: AI7 シングルエンド 0x7: AI8 シングルエンド 0x8: AI9 シングルエンド 0x9: AI10 シングルエンド 0xA: AI11 シングルエンド 0xB: AI12 シングルエンド 0xC: AI1–AI2 差動 0xD: AI3–AI4 差動 0xE: AI5–AI6 差動 0xF: AI7–AI8 差動 0x10: AI9–AI10 差動 0x11: AI11–AI12 差動 0x12: AI1 (COM)–AI2 多機能差動 0x13: AI1 (COM)–AI3 多機能差動 0x14: AI4 (COM)–AI5 多機能差動 0x15: AI4 (COM)–AI6 多機能差動 0x16: AI7 (COM)–AI8 多機能差動 0x17: AI7 (COM)–AI9 多機能差動 0x18: AI10 (COM)–AI11 多機能差動 0x19: AI10 (COM)–AI12 多機能差動 0x1A: 予約済み 0x1B: 予約済み 0x1C: 予約済み 0x1D: 予約済み 0x1E: 予約済み 0x1F: 予約済み

GEN GPIO_CTRL(0x4)

BIT	23	22	21	20	19	18	17	16
Field	GPIO_EN[7:0]							
Reset	0x00							
Access Type	Write, Read							

BIT	15	14	13	12	11	10	9	8
Field	GPIO_DIR[7:0]							
Reset	0x00							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	GPO_DATA[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
GPIO_EN	23:16	GPIOポートの有効化制御。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPIOを無効化 (デフォルト) 1: 対応するGPIOを有効化
GPIO_DIR	15:8	GPIOポートの方向制御。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPIOを入力ポートとして設定 (デフォルト) 1: 対応するGPIOを出力ポートとして設定
GPO_DATA	7:0	GPO設定ポート (GPOに設定されたポート) に送信されるデータ・ビット。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPOをロジック・ローにセット (デフォルト) 1: 対応するGPOをロジック・ハイにセット

GEN GPI INT (0x5)

BIT	23	22	21	20	19	18	17	16
Field	GPI_POS_EDGE_INT[7:0]							
Reset	0x00							
Access Type	Write, Read							
BIT	15	14	13	12	11	10	9	8
Field	GPI_NEG_EDGE_INT[7:0]							
Reset	0x00							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
GPI_POS_EDGE_INT	23:16	GPI設定ポート (GPIに設定されたポート) で受信する信号の立上がりエッジ検出制御。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPIポートでの立上がりエッジ検出を無効化 (デフォルト) 1: 対応するGPIポートでの立上がりエッジ検出を有効化
GPI_NEG_EDGE_INT	15:8	GPI設定ポートで受信する信号の立下がりエッジ検出制御。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPIポートでの立下がりエッジ検出を無効化 (デフォルト) 1: 対応するGPIポートでの立下がりエッジ検出を有効化

GEN GPI DATA (0x6)

BIT	23	22	21	20	19	18	17	16
Field	GPI_POS_EDGE_INT_STA[7:0]							
Reset	0x00							
Access Type	Read Clears All							
BIT	15	14	13	12	11	10	9	8
Field	GPI_NEG_EDGE_INT_STA[7:0]							
Reset	0x00							
Access Type	Read Clears All							
BIT	7	6	5	4	3	2	1	0
Field	GPI_DATA[7:0]							
Reset	0x00							
Access Type	Read Only							

ビットフィールド	ビット	説明	デコード
GPI_POS_EDGE_INT_STA	23:16	各ビットは、対応するGPI設定ポートが立上がりエッジを検出したかどうかを示します。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPIポートでは立上がりエッジを検出 (デフォルト) 1: 対応するGPIポートで少なくとも1回の立上がりエッジを検出
GPI_NEG_EDGE_INT_STA	15:8	各ビットは、対応するGPI設定ポートが立下がりエッジを検出したかどうかを示します。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: 対応するGPIポートでは立下がりエッジを検出 (デフォルト) 1: 対応するGPIポートで少なくとも1回の立下がりエッジを検出
GPI_DATA	7:0	各ビットには、対応するGPI設定ポートに印加されているロジック・レベルがあります。MSBがGPIO7に対応し、LSBがGPIO0に対応します。	0: ローのロジック・レベルをGPI設定ポートで検出 1: ハイのロジック・レベルをGPI設定ポートで検出

GEN INT (0x7)

BIT	23	22	21	20	19	18	17	16
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	TMOUT_INT	–
Reset	–	–	–	–	–	–	0b0	–
Access Type	–	–	–	–	–	–	Read Clears All	–

BIT	7	6	5	4	3	2	1	0
Field	HVDD_INT	–	–	–	–	CNFG_INT	CRC_INT	GPI_INT
Reset	0b0	–	–	–	–	0b0	0b0	0b0
Access Type	Read Only	–	–	–	–	Read Clears All	Read Clears All	Read Clears All

ビットフィールド	ビット	説明	デコード
TMOUT_INT	9	タイムアウト機能が有効になっている場合、タイムアウト時間が経過するとアサートされます。読出し時にクリアされます。	0b0: タイムアウト時間が経過していない 0b1: タイムアウト時間が経過
HVDD_INT	7	高電圧電源HVDD/HVSSがプリセット・スレッシュホールドを下回るとアサートされ、アンプの機能が保証されないことを示します。高電圧電源が再びスレッシュホールドを超えるとクリアされます。	0b0: HVDD電源がプリセット・スレッシュホールドを超えている 0b1: HVDD電源がプリセット・スレッシュホールド未満
CNFG_INT	2	ホストがAI_DCHNL_SELまたはDCHNL_N_SELに0x1A~0x1Fの状態を選択した場合にもアサートされます。読出し時にクリアされます。	0b0: 設定エラーは不検出 0b1: 設定エラーを検出
CRC_INT	1	CRCモードが有効になっている場合、CRCエラーが検出されるとアサートされます。読出し時にクリアされます。	0b0: CRCエラーは不検出 0b1: CRCエラーを検出
GPI_INT	0	1つ以上のGPI設定ポートの入力で、立上がりエッジまたは立下がりエッジのいずれかが検出されるとアサートされます。読出し時にクリアされます。	0b0: いずれのGPI設定ポートでもエッジは不検出 0b1: 1つ以上のGPI設定ポートでエッジを検出

GEN_INTEN (0x8)

BIT	23	22	21	20	19	18	17	16
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	TMOUT_INTEN	–
Reset	–	–	–	–	–	–	0b0	–
Access Type	–	–	–	–	–	–	Write, Read	–
BIT	7	6	5	4	3	2	1	0
Field	HVDD_INTEN	–	–	–	–	CNFG_INTEN	CRC_INTEN	GPI_INTEN
Reset	0b0	–	–	–	–	0b0	0b0	0b0
Access Type	Write, Read	–	–	–	–	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
TMOUT_INTEN	9	TMOUT割込みの有効化	0b0: 対応する割込みでINTをアサートできない 0b1: 対応する割込みでINTをアサート可能

ビットフィールド	ビット	説明	デコード
HVDD_INTEN	7	HVDD割込みの有効化	0b0: 対応する割込みでINTをアサートできない 0b1: 対応する割込みでINTをアサート可能
CNFG_INTEN	2	CNFG割込みの有効化	0b0: 対応する割込みでINTをアサートできない 0b1: 対応する割込みでINTをアサート可能
CRC_INTEN	1	CRC割込みの有効化	0b0: 対応する割込みでINTをアサートできない 0b1: 対応する割込みでINTをアサート可能
GPI_INTEN	0	GPI割込みの有効化	0b0: 対応する割込みでINTをアサートできない 0b1: 対応する割込みでINTをアサート可能

GEN_PWR_CTRL (0x9)

BIT	23	22	21	20	19	18	17	16
Field	–	–	–	–	GEN_PD	–	GEN_RST	–
Reset	–	–	–	–	0b0	–	0b0	–
Access Type	–	–	–	–	Write, Read	–	Write, Read	–

BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
GEN_PD	19	アナログ・パスの設定を制御するGEN_CHNL_CTRLレジスタのパワーダウン制御	0b0: 通常動作 0b1: パワーダウン: GEN_PDをロジック・ハイに設定すると、すべての入力パスをパワーダウンするのと同等の効果があります。GEN_PDがロジック・ローに設定されると、チャンネルは、GEN_PDがロジック・ハイに設定される前の設定を復元します。そのため、パワーダウン・モードの解除後にレジスタを再プログラムする必要はありません。更に、必要に応じてパワーダウン・モード中にレジスタの内容を変更することもできます。
GEN_RST	17	アナログ・パスの設定を制御するGEN_CHNL_CTRLレジスタのセルフリセット制御。	0b0: 通常動作 0b1: リセット・モード: GEN_RSTを設定すると、GEN_CHNL_CTRLレジスタがクリアされると同等の動作を行います。また、進行中の変換はすべてアボートされます。変換がアボートされた場合、再開するにはDCHNL_CMDレジスタを用いる必要があります。

DCHNL_CMD (0x20)

ADC変換が進行中の場合、DCHNL_CMDレジスタへの書き込みトランザクションは、それがADCをパワーダウン・モードに移行させる書き込みトランザクションでない限り、無視されます。

BIT	23	22	21	20	19	18	17	16
Field	–	–	DCHNL_MODE[1:0]		DCHNL_RATE[3:0]			
Reset	–	–	0x0		0x0			
Access Type	–	–	Write, Read		Write, Read			
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
DCHNL_MODE	21:20	アナログ入力ADCのモード	0x0: 予約済み 0x1: DCHNL_PDの設定に基づいて実行されるパワードアウン 0x2: 予約済み 0x3: 変換モード
DCHNL_RATE	19:16	ADCのデータレート	

DCHNL_STA (0x21)

BIT	23	22	21	20	19	18	17	16
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	15	14	13	12	11	10	9	8
Field	–	REFDET	–	–	–	–	DOR	–
Reset	–	0b0	–	–	–	–	0b0	–
Access Type	–	Read Only	–	–	–	–	Read Only	–
BIT	7	6	5	4	3	2	1	0
Field	RATE[3:0]				PDSTAT[1:0]		MSTAT	RDY
Reset	0x0				0x2		0b0	0b0
Access Type	Read Only				Read Only		Read Only	Read Only

ビットフィールド	ビット	説明	デコード
REFDET	14	リファレンス電圧の検出(内部リファレンスまたは外部リファレンス)。 このビットは、通常動作を妨げるものではなく、ステータスの表示のみを目的としています。REFDETビットの値が有効なのは、変換開始コマンド後30μs以内です。また、変換時以外は無効となります。	0b0: リファレンス電圧を不検出 (リファレンス電圧 < 0.35V) 0b1: リファレンス電圧を検出 (リファレンス電圧 > 0.35V)
DOR	9	デジタル・オーバーレンジ	0b0: 変換結果は、ADCのデジタル動作の範囲内に収まっている 0b1: 変換結果がコンバータの最大値または最小値を超えており、結果は最大値または最小値に設定されている。
RATE	7:4	RATE[3:0]は、DCHNL_DATAレジスタ内の結果に対応する変換レート、あるいは、キャリブレーション係数の計算に用いられたレートを示します。対応するRATE[3:0]が有効なのは、DCHNL_DATAレジスタが読み出されるまでに限ります。	表7 、 表8 、 表9 を参照。
PDSTAT	3:2	アナログ入力ADCの電力状態	0x0: 変換モード 0x1: 予約済み 0x2: スタンバイ 0x3: リセット
MSTAT	1	ADCのステータス。内部のタイミングにより、MSTATのステータス更新は、変換の開始または完了後、最大2μs遅れる場合があります。ステータス変更直後にMSTATをポーリングする場合は、この遅延を考慮する必要があります。	0b0: デルタシグマ・モジュレータは変換動作中ではない 0b1: 変換が進行中
RDY	0	新しい変換結果が利用可能です。 DCHNL_DATAレジスタをすべて読み出すと、このビットはデアサートされます。	0b0: 新しい変換結果は利用可能になっていない 0b1: 新しい変換結果が利用可能

DCHNL_CTRL1 (0x22)

ADC変換が進行中の場合、DCHNL_CTRL1レジスタに書き込みが行われるたびにADC変換がアボートされます。ただし、書き込みトランザクションによってレジスタの内容が変更されない場合は除きます。

BIT	23	22	21	20	19	18	17	16
Field	–	–	–	DCHNL_PD	–	–	SCYCLE	CONTSC
Reset	–	–	–	0b0	–	–	0b1	0b0
Access Type	–	–	–	Write, Read	–	–	Write, Read	Write, Read
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
DCHNL_PD	20	アナログ入力ADCのパワーダウン状態	0b0:スタンバイ 0b1:リセット
SCYCLE	17	シングルサイクル変換モード	0b0:連続変換モード(デジタル・フィルタ処理による遅延) 0b1:無遅延変換を行い、その後パワーダウンしてスタンバイ・モードに移行するシングルサイクル・モード
CONTSC	16	連続シングルサイクル・モード	0b0:シングル変換 0b1:連続シングルサイクル変換

DCHNL_CTRL2 (0x23)

ADC変換が進行中の場合、DCHNL_CTRL2レジスタに書き込みが行われるたびにADC変換がアボートされます。ただし書き込みトランザクションによってそのレジスタの内容が変更されない場合は除きます。

BIT	23	22	21	20	19	18	17	16
Field	EXTCLK	—	SYNC_MODE	—	NOSYSG	NOSYSO	—	—
Reset	0b0	—	0b0	—	0b0	0b0	—	—
Access Type	Write, Read	—	Write, Read	—	Write, Read	Write, Read	—	—
BIT	15	14	13	12	11	10	9	8
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—
BIT	7	6	5	4	3	2	1	0
Field	—	—	—	—	—	—	—	—
Reset	—	—	—	—	—	—	—	—
Access Type	—	—	—	—	—	—	—	—

ビットフィールド	ビット	説明	デコード
EXTCLK	23	外部クロックの選択	0b0:内部発振器 0b1:外部クロック
SYNC_MODE	21	外部同期モード	0b0:無効化 0b1:有効化
NOSYSG	19	システム・キャリブレーション・ゲイン補正なし	0b0:最終出力データの計算にシステム・キャリブレーション・ゲイン係数SGCを使用 0b1:最終出力データの計算にシステム・キャリブレーション・ゲイン係数SGCを使用しない
NOSYSO	18	システム・キャリブレーション・オフセット補正なし	0b0:最終出力データの計算にシステム・キャリブレーション・オフセット係数SOCを使用 0b1:最終出力データの計算にシステム・キャリブレーション・オフセット係数SOCを使用しない

DCHNL DATA (0x24)

BIT	23	22	21	20	19	18	17	16
Field	DCHNL_DATA[23:16]							
Reset	0x000000							
Access Type	Read Only							
BIT	15	14	13	12	11	10	9	8
Field	DCHNL_DATA[15:8]							
Reset	0x000000							
Access Type	Read Only							
BIT	7	6	5	4	3	2	1	0
Field	DCHNL_DATA[7:0]							
Reset	0x000000							
Access Type	Read Only							

ビットフィールド	ビット	説明
DCHNL_DATA	23:0	2の補数で表示したアナログ入力設定の変換結果

DCHNL N SEL (0x25)

BIT	23	22	21	20	19	18	17	16
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	15	14	13	12	11	10	9	8
Field	–	–	–	–	–	–	–	–
Reset	–	–	–	–	–	–	–	–
Access Type	–	–	–	–	–	–	–	–
BIT	7	6	5	4	3	2	1	0
Field	–	–	DCHNL_OT P_SEL	DCHNL_N_SEL[4:0]				
Reset	–	–	0b0	0x00				
Access Type	–	–	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
DCHNL_OTP_SEL	5	キャリブレーション係数の選択	0b0: DCHNL_N_SEL[4:0]で選択されたチャンネル用のDCHNL_N_SOCレジスタおよびDCHNL_N_SGCレジスタは、SPIトランザクションによって変更可能。 0b1: DCHNL_N_SEL[4:0]で選択されたチャンネルのSOCレジスタおよびSGCレジスタに、対応する工場出荷時のキャリブレーション係数がロードされ、選択されたSOCレジスタおよびSGCレジスタの現在の内容が上書きされる。
DCHNL_N_SEL	4:0	このレジスタに書き込まれる値は、AI_DCHNL_SEL[4:0]で定義される入力設定に対応します。目的の入力設定がこのレジスタに書き込まれると、選択された入力設定に対するDCHNL_N_SOCレジスタおよびDCHNL_N_SGCレジスタをSPIトランザクションで変更できます。 ホストが予約済みの状態をこのフィールドに書き込んだ場合(0x1A~0x1F)、設定割込みが発行され(CNFG_INT)、DCHNL_N_SELは変更されません。そのため、最後に行われた有効な入力値が反映されます。	

DCHNL N SOC (0x26)

ADC変換が進行中の場合、DCHNL_N_SEL[4:0]が現在変換用に選択されているチャンネルに対応しているときは、DCHNL_N_SOCレジスタへの書き込みトランザクションは無視され、レジスタは現在の値を保持します。DCHNL_N_SEL[4:0]が現在変換用に選択されているチャンネルに対応していない場合は、DCHNL_N_SOCレジスタへの書き込みトランザクションが許可され、レジスタは新しい値に更新されます。

BIT	23	22	21	20	19	18	17	16
Field	DCHNL_N_SOC[23:16]							
Reset	0x000000							
Access Type	Write, Read							
BIT	15	14	13	12	11	10	9	8
Field	DCHNL_N_SOC[15:8]							
Reset	0x000000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	DCHNL_N_SOC[7:0]							
Reset	0x000000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
DCHNL_N_SOC	23:0	DCHNL_N_SEL[4:0]で選択された入力設定用の、2の補数フォーマットで表されるシステム・オフセット・キャリブレーション値。

DCHNL N SGC (0x27)

ADC変換が進行中の場合、DCHNL_N_SEL[4:0]が現在変換用に選択されているチャンネルに対応しているときは、DCHNL_N_SGCレジスタへの書き込みトランザクションは無視され、レジスタは現在の値を保持します。DCHNL_N_SEL[4:0]が現在変換用に選択されているチャンネルに対応していない場合は、DCHNL_N_SGCレジスタへの書き込みトランザクションが許可され、レジスタは新しい値に更新されます。

BIT	23	22	21	20	19	18	17	16
Field	DCHNL_N_SGC[23:16]							
Reset	0xC00000							
Access Type	Write, Read							
BIT	15	14	13	12	11	10	9	8
Field	DCHNL_N_SGC[15:8]							
Reset	0xC00000							
Access Type	Write, Read							
BIT	7	6	5	4	3	2	1	0
Field	DCHNL_N_SGC[7:0]							
Reset	0xC00000							
Access Type	Write, Read							

ビットフィールド	ビット	説明
DCHNL_N_SGC	23:0	DCHNL_N_SEL[4:0]で選択された入力設定用の、フラクション長が23ビット(つまりMSBのみがインデジャー・ビット)の符号なし2進数フォーマットで表されたシステム・ゲイン・キャリブレーション値。 例: 0x80_0000:ゲインは1.0 0xC0_0000:ゲインは1.5 0xA0_0000:ゲインは1.25 0x60_0000:ゲインは0.75 パワーオン・リセットまたは外部リセットのデアサート後、OTP出力が安定すると、対応するOTPバンクの内容が各DCHNL_N_SGCレジスタにロードされます。レジスタの内容の値は、デルタシグマ・モジュレータが必要とする固有シグナルチェーン・ゲインである0.67を補償するため、約1.5(0xC0_0000)に設定されています。

アプリケーション情報

電源のヘッドルーム要件

アナログ入力はHVDDおよびHVSSから給電され、すべての直線性仕様を満たすには一般的に2.5Vのヘッドルームが必要です。フルスケール・レンジが $\pm 12.5\text{V}$ の $\pm 10\text{V}$ 入力を受け入れるには、MAX22005のHVDD/HVSSに少なくとも $\pm 15\text{V}$ を供給します。

REF_ADC_EXTピンの外部リファレンス電圧は、 V_{AVDD} を超えてはなりません。REF_ADC_EXTとAVDDの間にショットキー・ダイオードを接続すると、この要件を満たすのに役立ちます。

電源投入シーケンス

AVDD、DVDD、HVDD、HVSSの4つの電源は、任意の順序でパワーアップできます。各電源ピンと対応するリターン (AGNDまたはDGND) ピンの間に、 $1\mu\text{F}$ のバイパス・コンデンサを追加してください。HVDDとHVSSは同時に供給することを推奨します。

基板レイアウト

低インダクタンスのグラウンド・プレーンを備えた多層ボードなど、適切なグラウンド接続の配線手法を用います。

- DGNDはAGNDと離して配置し、両者は1点で接続します。
- ノイズ耐性を高めるには、グラウンド・プレーン・シールドを用います。
- アナログ信号パターンは、デジタル信号パターン、特にクロック・パターンから離します。

推奨レイアウトの詳細については、[MAX22005 EVキット](#)のデータシートを参照してください。

サージ保護

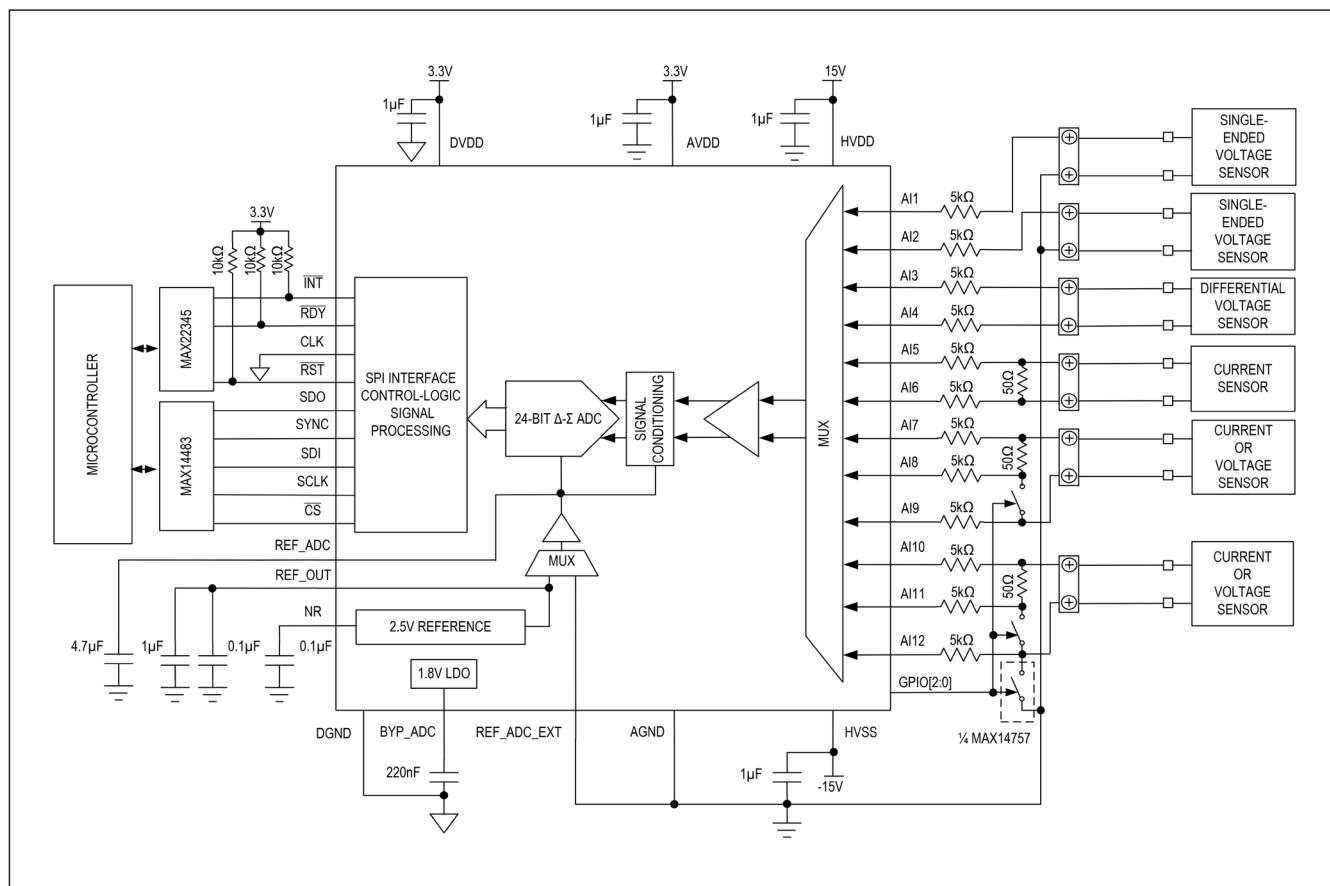
外部回路を用いることで、入力ポートはIEC61000-4-5に準拠し、 $\pm 2\text{kV}/42\Omega$ のサージ・パルスから保護されます。各アナログ入力ポートには、最小 $4.7\text{k}\Omega$ のサージ耐性抵抗を直列に配置します。

その他のMAX22005ピンは、人体モデル (HBM) に基づいて定格が定められています。サージ電圧が高電圧電源 (HVDD、HVSS) から低電圧電源 (DVDDまたはAVDD) へ結合する可能性がある場合は、これらの電源レールにTransient Voltage Suppressor (TVS) サプレッサを追加配置するか、デジタル信号パターンにTVSサプレッサを配置します。

電流入力モード (AICM) の外部センス抵抗は、それぞれ外部TVSサプレッサで個別に保護する必要があります。

標準アプリケーション回路

MAX22005設定可能な工業用12チャンネル・アナログ入力



型番

PART NUMBER	TEMP. RANGE	PACKAGE	LEAD PITCH	ADC RESOLUTION
MAX22005ALM+	-40°C to +125°C	48-Pin LGA (7.5mm x 7.0mm)	0.5mm	24 bit
MAX22005ALM+T	-40°C to +125°C	48-Pin LGA (7.5mm x 7.0mm)	0.5mm	24 bit

+は鉛(Pb)フリー／RoHS準拠パッケージを表します。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	4/21	市場投入のためのリリース	—