

# MAX2036の評価キット

## 概要

MAX2036の評価キット(EVキット)は、8チャンネル可変利得アンプ(VGA)およびプログラム可能オクタルミキサアレイMAX2036の評価を容易にします。このEVキットは完全実装および出荷時試験済みです。EVキットの各入力/出力ポートは標準的なSMBコネクタを備えているため、テストベンチ上で迅速かつ容易な評価が可能です。MAX2036は10ビットADCの性能をサポートしています。

このドキュメントでは、デバイスを評価するために必要な試験機器リスト、機能検証のための分かりやすい試験手順、EVキット回路の説明、回路図、キットの部品リスト、およびPCB各層のアートワークを紹介합니다。

## 部品リスト

DESIGNATION	QTY	DESCRIPTION
AUX_DRV_N, AUX_DRV_P, CW_IN1N- CW_IN8N, CW_IN1P- CW_IN8P, CW_IOUTN, CW_IOUTP, CW_QOUTN, CW_QOUTP, LO1-LO8, LO_LVDSN, LO_LVDS, SIN_IN, TEST_MODE_L O, VGACNTL, VG_OUT1P- VG_OUT8P	43	PCB vertical-mount SMBs Digi-Key J467-ND
C1-C4, C7-C25, C55, C57, C77	0	Not installed, ceramic capacitors (0603)
C6, C26, C28, C31, C37-C45, C50-C54, C60, C61, C66, C70-C75, C78, C80-C103, C107	53	100nF ±10%, 50V XR7 ceramic capacitors (0603) Murata GRM188R71H104K
C30	1	100pF ±5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H101J
C32-C35	4	1500pF ±5%, 50V C0G ceramic capacitors (0603) Murata GRM1885C1H152J

## 特長

- ◆ 8チャンネル構成
- ◆ 超音波画像処理アプリケーション向けに高集積
- ◆ MAX2035とピンコンパチブル
- ◆ VGAの特長
  - 最大利得、利得範囲、および出力換算ノイズを  
10ビットADCとのインタフェース用に最適化：
    - 最大利得：39.5dB
    - 総合利得範囲：50dB
    - 5MHzで60nV/√Hzの超低出力換算ノイズ
- ◆ 絶対利得誤差：±0.5dB
- ◆ チャンネル当りの消費電力：120mW
- ◆ 切替え可能な出力VGAクランプによってADCオーバードライブを排除
- ◆ ダイレクトADC駆動用完全差動VGA出力
- ◆ 可変利得範囲で50dBのダイナミックレンジを実現
- ◆ HD2：-62dBc ( $V_{OUT} = 1.5V_{P-P}$ および $f_{IN} = 5MHz$ において)
- ◆ ツートーン超音波IMD3：-52dBc ( $V_{OUT} = 1.5V_{P-P}$ および $f_{IN} = 5MHz$ において)
- ◆ CWDミキサの特長
  - 低ミキササーマルおよびジッタノイズ：  
155dBc/Hz (1.25MHzのキャリアから1kHzの  
オフセットにおいて)
  - シリアルプログラム可能LO位相ジェネレータに  
よって4、8、16 LO直交位相分解能に対応
  - 必要に応じてチャンネル別 $f_{LO} \times 4$ のLO入力駆動機能  
も選択可能
  - チャンネル当りの消費電力：269mW (通常電力モード)  
および226mW (低電力モード)
  - CWDの実装は超音波画像処理技術に関するすべての  
の特許に完全準拠

## 型番

PART	TYPE
MAX2036EVKIT+	EV Kit

+は鉛(Pb)フリーおよびRoHS準拠を表します。

# MAX2036の評価キット

Evaluates: MAX2036

## 部品リスト(続き)

DESIGNATION	QTY	DESCRIPTION
C46, C47, C48	3	4.7 $\mu$ F +80%/-20%, 10V Y5V ceramic capacitors (0805) Murata GRM21BF51A475Z
C56	1	120pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H121J
C58	1	39pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H390J
C64	1	47pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H470J
C65	1	18pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H180J
C76, C105, C106, C109	4	470nF $\pm$ 10%, 25V X7R ceramic capacitors (0603) Murata GRM188R71E474K
C79	1	33pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H330J
C104	1	150pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H151J
C108	1	560pF $\pm$ 5%, 50V C0G ceramic capacitor (0603) Murata GRM1885C1H561J
C200–C203	4	10 $\mu$ F $\pm$ 10%, 16V tantalum capacitors (C case) AVX TAJC106K016R
DUT1	1	Octal VGA/mixer (100 TQFP-EP*) Maxim MAX2036CCQ+
FB1	1	Ferrite bead, SMD Digi-Key 240-2411-1-ND
FB2, FB3	2	Ferrite beads, SMD Digi-Key 240-2436-1-ND
J1, J11, J15	3	Large test points for 0.062in PCB (red) Mouser 151-107-RC or equivalent
J2, J3–J8, J10, J14	9	Large test points for 0.062in PCB (black) Mouser 151-103 RC or equivalent
J9, J12, J13	3	Large test points for 0.062in PCB (white) Mouser 151-101 RC or equivalent

\*EP = エクスポートパッド

DESIGNATION	QTY	DESCRIPTION
J16, J17	2	10 x 2 right-angle female headers (0.100in spacing), tin plated Digi-Key S5524-ND
J18	1	3 x 2 dual-row male header (0.100in spacing) Digi-Key WM8121-ND
K1–K8	8	1:1 transformers (50:50) Coilcraft TTWB2010
K9–K16	0	Not installed, transformers
L1–L16	16	12 $\mu$ H $\pm$ 10% ferrite-core magnetic shielded inductors (0603) TDK MLF1608E120KT
L17	1	39 $\mu$ H $\pm$ 5% wire-wound ferrite inductor (1812) Coilcraft 1812LS-393XJBC
L18	1	33 $\mu$ H $\pm$ 5% wire-wound ferrite inductor (1812) Coilcraft 1812LS-333XJBC
L19, L20	2	82 $\mu$ H $\pm$ 5% wire-wound ferrite inductors (1812) Coilcraft 1812LS-823XJBC
R3, R4, R11, R12, R13, R19, R31, R32, R35, R42, R53, R54, R61, R62, R84, R85	16	28 $\Omega$ $\pm$ 1% resistors (0603) Any
R5, R6, R7, R10, R16, R21, R22, R29, R30, R39, R43, R44, R47, R48, R49, R51, R52, R59, R60, R65, R66, R83, R91, R92, R164–R171, R174, R176	0	Not installed, resistors (0603)
R8, R9, R14, R15, R20, R23–R26, R40, R41, R45, R46, R50, R57, R58	16	475 $\Omega$ $\pm$ 1% resistors (0603) Any
R38	1	100 $\Omega$ $\pm$ 1% resistor (0603) Any

# MAX2036の評価キット

Evaluates: MAX2036

## 部品リスト(続き)

DESIGNATION	QTY	DESCRIPTION
R67-R82, R94, R95, R99-R102, R104, R105, R114-R129, R143-R146, R150-R163, R172, R173, R175, R177, R186, R187	64	0Ω resistors (0603) Any
R87	1	7.5kΩ ±1% resistor (0603) Any
R88, R89	2	10kΩ ±5% resistors (0603) Any
R93, R130	2	3kΩ ±5% resistors (0603) Any
R103, R112	2	2kΩ ±5% resistors (0603) Any
R106-R110, R147, R149	7	200Ω ±1% resistors (0603) Any
R111	1	124Ω ±1% resistor (0603) Any
R113	1	887Ω ±1% resistor (0603) Any

DESIGNATION	QTY	DESCRIPTION
R131-R142	12	360Ω ±0.1% metal-film resistors (0805) Digi-Key P360ZCT-ND
R178	1	20kΩ ±5% resistor (0603) Any
R179, R180, R181, R184, R185	5	5.11kΩ ±1% resistors (0603) Any
R182	1	1.5kΩ ±1% resistor (0603) Any
R183	1	1kΩ ±1% resistor (0603) Any
S1-S9	9	SPDT slide switches Digi-Key EG1903-ND
T1-T21, T30-T33, T37-T60	49	Test points Digi-Key 5001K-ND
U1, U2	2	Dual op amps (10 μMAX®) Maxim MAX4226EUB+
U3	1	Dual op amp (8 μMAX) Maxim MAX4477AUA+
VG_OUT1N-VG_OUT8N	0	Not installed, connectors
—	1	PCB: MAX2036 Evaluation Kit+

## 部品メーカー

SUPPLIER	PHONE	WEBSITE
AVX Corporation	843-946-0238	www.avxcorp.com
Coilcraft, Inc.	847-639-6400	www.coilcraft.com
Digi-Key Corp.	800-344-4539	www.digikey.com
Mouser Electronics	800-346-6873	www.mouser.com
Murata Electronics North America, Inc.	770-436-1300	www.murata-northamerica.com
TDK Corp.	847-803-6100	www.component.tdk.com

μMAXはMaxim Integrated Products, Inc.の登録商標です。

# MAX2036の評価キット

## クイックスタート

MAX2036のEVキットは、完全実装および出荷時試験済みです。デバイスの適切な評価を行うために、「接続およびセットアップ」の項の指示に従ってください。

### 必要テスト機器

この項では、MAX2036の動作検証用として推奨されるテスト機器のリストを示します。これはあくまでもガイドであり、他の機器で代替可能な場合もあります。

- +5V、-5V、および+12Vで、それぞれ500mA、100mA、および100mAを供給可能なDC電源
- Windows® XP以降が動作しているPC
- 50MHzのパルスジェネレータ(たとえばHP 8112A)
- 出力電圧を測定するためのデジタルマルチメータ(DMM) 2個
- 電流計3個
- 4チャンネル、500MHzのオシロスコープ(たとえばTEK TDS3054B)

### 接続およびセットアップ

この項では、MAX2036のEVキットの基本機能のテストを行うためのステップバイステップのガイドを示します。出力の損傷を防ぐための一般的注意事項として、すべての接続が完了するまでDC電源または信号発生器をオンにしないでください。

- 1) 第1の電源を、+12V、電流リミット100mAに設定してください。出力をディセーブルした状態で、EVキットに接続してください。必要に応じて、電源電流を監視するための電流計を電源と直列に接続してください。
- 2) 第2の電源を、+5V、電流リミット500mAに設定してください。出力電圧をディセーブルして、EVキットの $V_{REF}$ と $V_{CC}$ に接続してください。必要に応じて、電源電流を監視するための電流計を電源と直列に接続してください。
- 3) 第3の電源を、-5V、電流リミット100mAに設定してください。出力をディセーブルした状態で、EVキットに接続してください。必要に応じて、電源電流を監視するための電流計を電源と直列に接続してください。
- 4) 連続波ドップラー(CWD)ビーム形成器のテストを行う場合は、図7および8の接続に従ってください。デバイスのVGA部分のテストを行う場合は、図9の接続に従ってください。

- 5) ミキサのテストを行う場合は、次のステップに進んでください。VGAのテストを行う場合は、利得制御用にDC電源をVGACNTLに接続してください。入力信号をEVキットのSIN\_INに印加してください。オシロスコープを使用して、差動出力電圧を測定してください。
- 6) デバイスのCW部分のテストを行う場合は、表1の設定に従ってください。TEST\_MODE = 0に設定してください。レジスタのプログラムは、PCとマキシムCMAXQUSBインタフェースボードを使用して行ってください。テストモードは、マキシムのエンジニアリング用途専用です。
- 7) 図1および2に従って、レジスタをプログラムしてください。IおよびQで測定される電圧が、各モードの位相ベクトル表現になります。

## ハードウェアの詳細

MAX2036の可変利得アンプ(VGA)セクションは、低ノイズ入力セクション、VGAセクション、および出力ドライバ機能を備えています。合計8チャンネルの完全な可変利得機能がシングルチップで提供されます。MAX2036のEVキットでは、すべてのチャンネルを単一のソースで同時に駆動する一斉方式と、各チャンネルに対する個別駆動の、どちらによるデバイスの駆動も可能です。利得制御インタフェースは、単純な0~2Vの入力信号によって、8チャンネルすべてについてデバイスの利得を制御することができます。可変利得出力は、ADCまたは測定機器に接続するための、8組の差動出力が同軸コネクタ上で供給されます。

プログラム可能なクリッピングなど、デバイスの様々な補助機能を調整するための仕組みも用意されています。

MAX2036のCWセクションは、入力直交ミキサセクションとベースバンド信号結合セクションを備えています。入力はVGA入力と共通であり、ノイズ制限ローパスフィルタを通してCWセクションに結合されています。8チャンネルを集約した出力は、直交ベースバンド差動電流ソース出力です。この電流出力を固定抵抗で終端することによって、測定の容易な電圧出力が生成されます。

CWビーム形成機能は、チップ上の低ノイズロジックまたは各チャンネルに対する外部供給の個別クロックによって実装することができます。チップ上のロジックを使用する場合は、単純なLVDSクロックを供給する必要があり、その上でSPI™ポートを使用して最大16ステップの位相分解能で各チャンネルを個別にプログラムします。

WindowsはMicrosoft Corp.の登録商標です。

SPIはMotorola, Inc.の商標です。

## 超音波フロントエンドCWDビーム形成器

### 動作モード

CWDビーム形成器の動作には、独立した4種類のモードがあります。

**モード1:** ユーザが $f_{LO} \times 16$ の入力周波数を提供します。CWD LOの周波数範囲は1MHz~7.5MHzであるため、ユーザによって提供される入力周波数は16MHz~120MHzである必要があります。この高いクロック周波数には、差動LVDS入力が必要です。 $f_{LO} \times 16$ の入力が、次に16分周されて16個の位相が生成されます。これらの16個の位相が8チャンネルのそれぞれについて生成され、選択された位相用にシリアルシフトレジスタによってプログラムされます。各チャンネルに対して5ビットのシフトレジスタ(位相プログラム用の4ビットとチャンネルイネーブル用の1ビット)が存在しており、それを使用して16分周回路の出力の位相をプログラムします。シフトレジスタの最初の4ビットは16の位相のプログラム用であり、第5のビットによってユーザがシリアルバスを通して各チャンネルを個別にオン/オフすることができます。

**モード2:** ユーザが $f_{LO} \times 8$ の入力周波数を提供します。CWD LOの周波数範囲は1MHz~7.5MHzであるため、ユーザによって提供される入力周波数は8MHz~60MHzである必要があります。この高いクロック周波数には、差動LVDS入力が必要となります。 $f_{LO} \times 8$ の入力が、次に8分周されて8個の位相が生成されます。これらの8個の位相が8チャンネルのそれぞれについて生成され、選択された位相用にシリアルシフトレジスタによってプログラムされます。シリアルシフトレジスタは、モード1、2、および3で共通です。各チャンネルに対して5ビットのシフトレジスタ(位相プログラム用の4ビットとチャンネルイネーブル用の1ビット)が存在しており、それを使用して出力の位相をプログラムします。生成する位相は8個であるため、4個の位相プログラム用ビットの内の3ビットのみが必要になります。ユーザはシリアルシフトレジスタを使用してチャンネル当り5ビットをロードしますが、

位相プログラム用の最上位ビットはダミービット(すなわち任意)です。シフトレジスタの第5のビットによって、ユーザがシリアルバスを通して各チャンネルを個別にオン/オフすることができます。

**モード3:** ユーザが $f_{LO} \times 4$ の入力周波数を提供します。CWD LOの周波数範囲は1MHz~7.5MHzであるため、ユーザによって提供される入力周波数は4MHz~30MHzである必要があります。このクロック周波数には、3VのCMOS入力を利用することが可能です。このモードではユーザが適切な位相を提供することになり、各チャンネルについて独立した4LO入力が存在します。 $f_{LO} \times 4$ の入力が、次に4分周されて4個の位相が生成されます。これらの4個の位相が8チャンネルのそれぞれについて生成され、選択された位相用にシリアルシフトレジスタによってプログラムされます。シリアルシフトレジスタは、モード1、2、および3で共通です。各チャンネルに対して5ビットのシフトレジスタ(位相プログラム用の4ビットとチャンネルイネーブル用の1ビット)が存在しており、それを使用して出力の位相をプログラムします。生成する位相は4個であるため、4個の位相プログラム用ビットの内の2ビットのみが必要になります。ユーザはシリアルシフトレジスタを使用してチャンネル当り5ビットをロードしますが、位相プログラム用の上位2ビットはダミービット(すなわち任意)です。シフトレジスタの第5のビットによって、ユーザがシリアルバスを通して各チャンネルを個別にオン/オフすることができます。

**モード4:** ユーザが $f_{LO} \times 4$ の入力周波数を提供します。CWD LOの周波数範囲は1MHz~7.5MHzであるため、ユーザによって提供される入力周波数は4MHz~30MHzである必要があります。このクロック周波数には、3VのCMOS入力を利用する必要があります。このモードではユーザが適切な位相を提供することになり、各チャンネルについて独立した4LO入力が存在します。4LO入力は、正確な(デューティサイクルに依存しない)直交を生成するために使用されます。このモードでは、シリアルシフトレジスタは使用されません。

表1. CWDビーム形成方式のまとめ

CONTROL BITS		MODE	LO INPUT FREQUENCY	CLOCK INTERFACE	PHASE RESOLUTION	NO. OF CLOCK INPUTS PER CHIP	PROGRAM BY SERIAL SHIFT REGISTER (SSR)	NO. OF USEFUL BITS IN SSR/CH	NO. OF DON'T CARE BITS IN SSR/CH
CW_M1	CW_M2								
0	0	1	16 x	LVDS	16 phases	1	Yes	4	0
0	1	2	8 x	LVDS	8 phases	1	Yes	3	1 MSB
1	0	3	4 x	3V CMOS	4 phases	8	Yes	2	2 MSBs
1	1	4	4 x	3V CMOS	User provides quadrature	8	No	N/A	N/A

N/A = 適用外

# MAX2036の評価キット

Evaluates: MAX2036

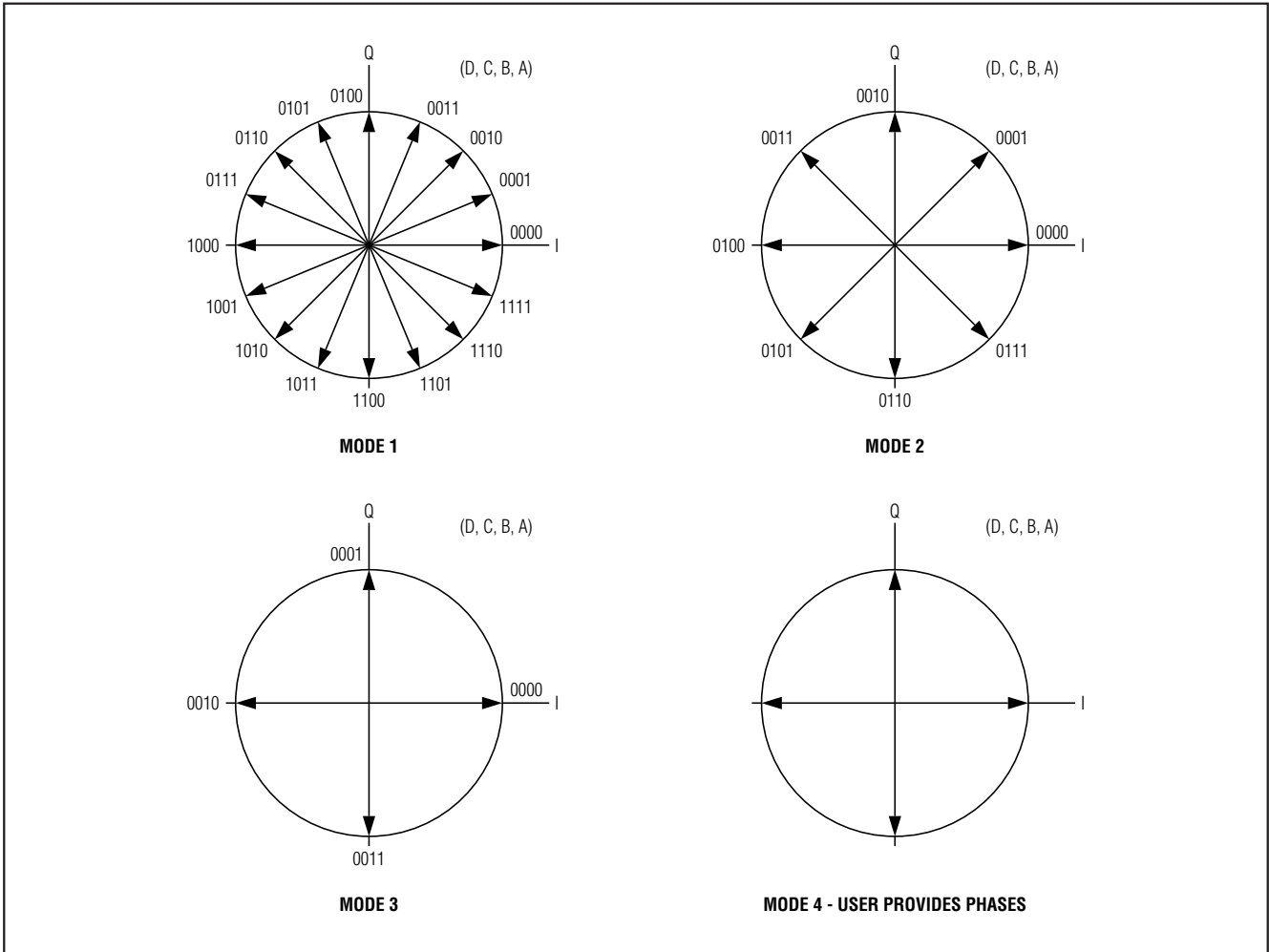


図1. 各モードの位相ベクトル表現

以下は、VGA/CWDビーム形成器ICのCWDビーム形成器部分のプログラム可能なLOの実装です。この実装には、最大16の位相を生成するために高周波数のミキサクロックが必要です。前述の4種類のモードは、2個のビット(CW\_M1、CW\_M2)を通してイネーブルします。

### ビーム形成器のプログラムの係数

表2~5に、それぞれの個別チャンネルについて希望の位相角を生成するために、MAX2036デバイスにプログラムする必要があるビットパターンを示します。「CWDビーム形成器のプログラム」の項で説明するように、これらのビットパターンはシリアルデータポートを通して各チャンネルにプログラムされます。

シャットダウンビットは、同一のシリアルデータプログラミングを通して、それぞれの個別チャンネルについてプログラム可能です。シリアルポートのプログラムは、最上位ビットから実行されます。

「動作モード」の項で説明したように、これらの動作モードには外部LOクロックソースが必要です。モードの選択は、2個のビット(CW\_M1とCW\_M2)の設定によって行われます。

注：SDはソフトチャンネルイネーブルであり、チップのPDイネーブルによって無効化される可能性があります。特定のチャンネル上でSDシャットダウンを使用した場合、そのチャンネルのミキサおよびLOバッファがシャットダウンされます。

表2. モード1のロジック表(SD = 0でチャンネルオン/SD = 1でチャンネルオフ)

MODE 1 (CW_M1 = 0, CW_M2 = 0)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
0	0	0	0	0	0/1
22.5	0	0	0	1	0/1
45	0	0	1	0	0/1
67.5	0	0	1	1	0/1
90	0	1	0	0	0/1
112.5	0	1	0	1	0/1
135	0	1	1	0	0/1
157.5	0	1	1	1	0/1
180	1	0	0	0	0/1
202.5	1	0	0	1	0/1
225	1	0	1	0	0/1
247.5	1	0	1	1	0/1
270	1	1	0	0	0/1
292.5	1	1	0	1	0/1
315	1	1	1	0	0/1
337.5	1	1	1	1	0/1

表3. モード2のロジック表(SD = 0でチャンネルオン/SD = 1でチャンネルオフ)

MODE 2 (CW_M1 = 0, CW_M2 = 1)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
0	X	0	0	0	0/1
45	X	0	0	1	0/1
90	X	0	1	0	0/1
135	X	0	1	1	0/1
180	X	1	0	0	0/1
225	X	1	0	1	0/1
270	X	1	1	0	0/1
315	X	1	1	1	0/1

X = 任意

表4. モード3のロジック表(SD = 0でチャンネルオン/SD = 1でチャンネルオフ)

MODE 3 (CW_M1 = 1, CW_M2 = 0)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
0	X	X	0	0	0/1
90	X	X	0	1	0/1
180	X	X	1	0	0/1
270	X	X	1	1	0/1

X = 任意

表5. モード4のロジック表(すべてのチャンネルの位相が0に設定され、ユーザが外部から位相を制御可能)

MODE 4 (CW_M1 = 1, CW_M2 = 1)					SHUTDOWN
PHASE (DEGREES)	D	C	B	A	SD
Serial bus only used in Mode 4 to set SD bits on channels when M4_ENABLE = 0	N/A	N/A	N/A	N/A	0/1
Serial bus not used for phase or SD bits if M4_ENABLE = 1 (all channels on)	N/A	N/A	N/A	N/A	0

N/A = 適用外



の直交LO信号は、低ノイズロジック回路から取り出されます。これらのデジタル位相ジェネレータはユーザーによって思い通りにプログラムされ、システムレベルでのビーム形成機能を実現します。

図4に、入力回路の詳細を示します。LNAのRF出力は、CWとVGAの両方の入力に並列で印加されます。これらの入力は、CW\_VGパラレル制御ビットによってこれらの2つの機能の間で選択的に切替われます。CW動作

を選択した場合、VGA機能がRF入力から切り離され、VGAセクションがパワーダウンされます。VGA動作を選択した場合は、逆の動作が行われます。ローパスフィルタを図に示します。直列インダクタは外付け部品ですが、シャントフィルタ素子はチップ上に集積されています。ローパスフィルタのコーナー周波数は、CW\_FILTERパラレル制御ビットを使用してユーザーがプログラムします。

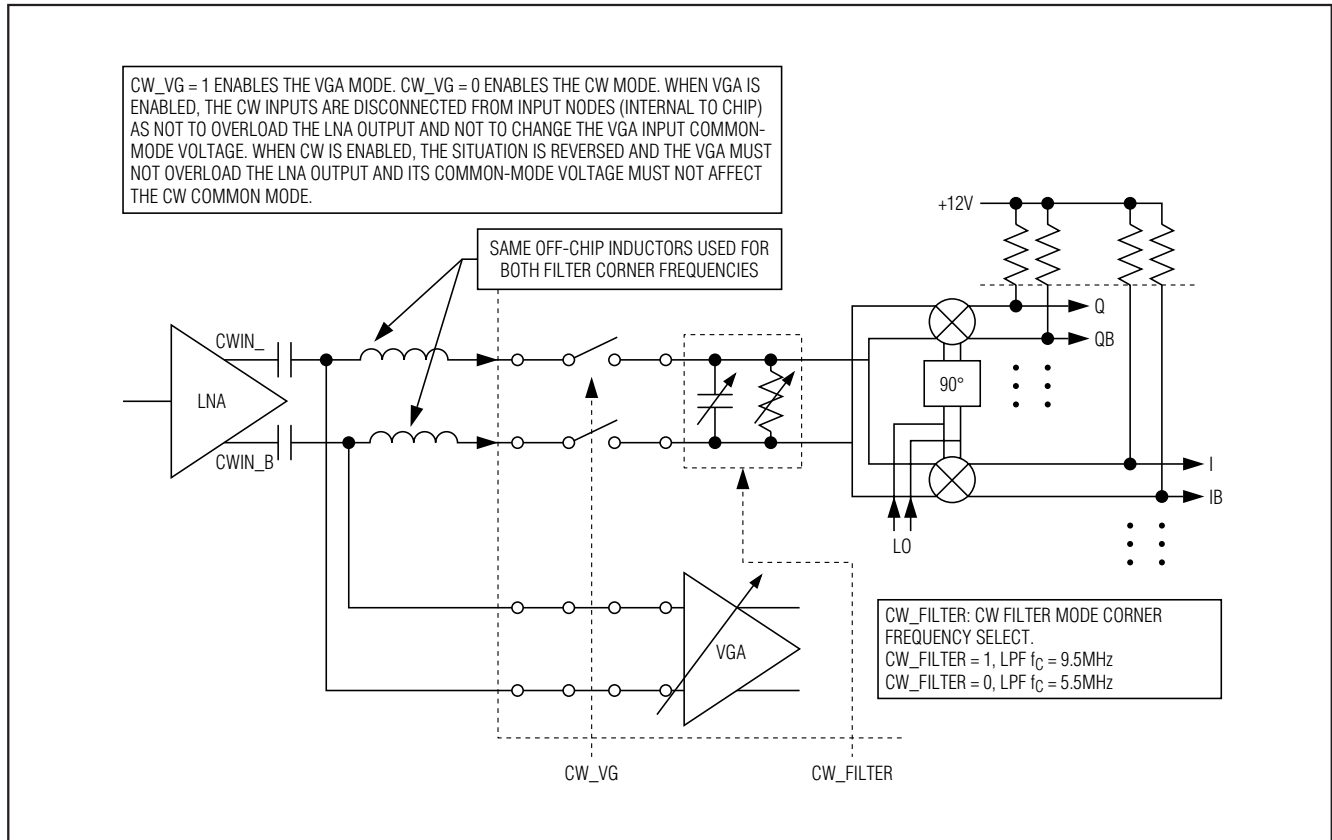


図4. CW入力の詳細

# MAX2036の評価キット

## CWDビーム形成器のプログラム

オクタルCWDビーム形成器は、シリアルシフトレジスタの実装を使用してプログラムされます。データは最上位ビットから順にデバイスのDIN端子にシフトインされます。このプログラム機能に必要な配線の数を減少させるために、このデバイスは他のデバイスとデジタイゼーションチェーンのように設計されています。このデジタイゼーション機能用にDATA\_OUTが接続可能です。シリアルシフトレジスタのクロックはCLK端子に印加します。各ミキサは(最大で)16の位相の1つにプログラムすることができます。したがって、このプログラムのために各チャンネルについて4ビットが必要になります。マスタの高周波数ミキサクロックが、差動入力LO\_LVDS+とLO\_LVDS- (モード1と2の場合)およびLOx (モード3と4の場合)に印加されます。位相カウンタにプログラム値をロードして正しいLO位相を生成することができるように、ロードライン入力(Load)が設けられています。ミキシングのための入力信号を、入力端子(CWIN1\_~CWIN8\_)に印加します。集約されたミキサI/Qベースバンド出力は、CW\_IOUT\_とCW\_QOUT\_の各端子から供給されます。

CW\_VG端子によって、CWDビーム形成器の回路をパワーアップするか(このモードの作動時)、低電力モードに移行することができます(解除時)。CW\_M1とCW\_M2の各端子は、4種類の可能な動作モードの1つを選択するために使用します(表1を参照)。LOAD端子は、モード4の同期化にも使用します。LO1~LO8は、モード3および4用の3V CMOS LO入力です。

提案の集積CWDビーム形成器は、プログラム可能な $\lambda/16$ 、 $\lambda/8$ 、または $\lambda/4$ 分解能のビーム形成器です。この実装では、ユーザがCWD周波数(モード1と2の場合はLVDS、モード3と4の場合は3V CMOS)の16倍、8倍、または4倍の高周波数作動ミキサクロックをすべてのCWD受信フロントエンドICに供給する必要があります。ユーザは、デバイス間でデジタイゼーションチェーンが可能なシリアルシフトレジスタインタフェースを使用してビーム形成のプログラムを行います。各チャンネルについて、正しいI/Qミキサ位相を出力するように内部のI/Q位相分周/セレクト回路をプログラムするための4ビットと、個別チャンネルのイネーブルを行うための追加の1ビットが必要になります。ビーム形成器のプログラムは、以下のシーケンスで行われます。

- 1) 通常のCWD動作中は、ミキサクロック(CW\_LVDS)がオンであり、プログラム信号(DATA\_IN、CLOCK、LOAD)がオフになっています(LOAD = ハイ、CLOCK = ロー、DATA\_IN = 任意、ただしハイまたはローに固定)。
- 2) ユーザがミキサクロック(CW\_LVDS)をオフにして、プログラムシーケンスを開始します。
- 3) ユーザが10MHzのプログラム速度で位相情報をシフトレジスタにシフトインします。64チャンネルのCWD受信機を想定した場合、チャンネル当たり5ビットで、これには約30 $\mu$ sかかります。

- 4) シフトレジスタのプログラム終了後、ユーザはロードラインをローに駆動した後ハイに駆動して、内部カウンタからI/Q位相分周器/セレクトに適切な値をロードします(注: このとき、ミキサクロックがオフである必要があります。さもないと、ロードラインのタイミングとミキサクロックのタイミングの間でタイミング問題が発生する可能性があります。プログラム中は常にミキサクロックをオフにする必要があるため、これは問題にはならないはずです)。
- 5) ユーザがミキサクロックをオンにして、ビーム形成を開始します。クロックは、ミキサクロックサイクルの先頭から開始されるようにオンにする必要があります。ミキサクロックに狭いグリッチがあることは許容されず、I/Q位相分周器に準安定性が生じる可能性があります。

前述のように、提案のビーム形成器はシリアルシフトレジスタ装置を使用してプログラムされます。これによって、プログラム回路の複雑性が大幅に単純化され、プログラムに必要なICの端子数も減少し、PCBレイアウトの複雑性が減少します。データイン(DATA\_IN)とデータアウト(DATA\_OUT)をデバイス間でデジタイゼーションして、すべてのフロントエンドを単一のプログラムクロックで動作させることが可能です。タイミング図に、重要なタイミングパラメータを示します。データクロック(CLOCK)は最大10MHzで動作可能です。シリアルシフトレジスタインタフェースの仕様は、次の通りです。

$$t_{DSU} \text{ (最小データセットアップ時間)} = 30\text{ns}$$

$$t_{HLD} \text{ (最小データホールド時間)} = 2\text{ns}$$

$$t_{DCLK} \text{ (最小データクロック時間)} = 100\text{ns}$$

$$t_{DCLKPWH} \text{ (ハイの最小データクロックパルス幅)} = 30\text{ns}$$

$$t_{DCLKPWL} \text{ (ローの最小データクロックパルス幅)} = 30\text{ns}$$

この実装では、ロードライン(Load)を使用してチャンネル当たり5ビットの形式で位相情報をI/Q位相分周器/セレクトにロードします。この動作によってプリセットが分周器にロードされ、それによって適切なミキサ位相が選択されます。ロードラインは、シリアルシフトレジスタのプログラム完了後にハイに駆動されます。提案したロードラインの主な仕様は、次の通りです。

$$t_{LD} \text{ (最小ロードライン)} = 30\text{ns}$$

$$t_{LDMIXCLK} \text{ (ロードラインハイからミキサクロックオンまでの最小時間)} = 30\text{ns}$$

$$t_{CLH} \text{ (データクロックからロードラインハイまでの最小時間)} = 30\text{ns}$$

プログラム用入力(CLOCK、DATA\_IN、およびLOAD)は、3V CMOS互換です。ロジック入力の仕様は、次の通りです。

$$\text{最小ロジックロー} = 0.8\text{V}$$

$$\text{最小ロジックハイ} = 2\text{V}$$

$$\text{入力容量} = 3\text{pF} \sim 5\text{pF}$$

CWDは最大7.5MHzで動作します。その結果、ミキサクロック入力は最大約120MHzで動作する必要があります(そのためモード1および2ではLVDSが使用されます)。この入力は標準的なLVDSと互換性のあるものにしてください。また、複数のフロントエンドICを単一のドライバで駆動することができるように、マルチドロップ終端用の設計としてください。単一のドライバですべてのフロントエンドICを駆動するのは、恐らく実用的ではないと思われます。最終的なシステムの実装に当たっては、LVDSクロックの分配を慎重に行うことが推奨されます。

MAX2036のEVキットは、[japan.maxim-ic.com](http://japan.maxim-ic.com)でオンライン発注が可能です。CMAXQUSBコマンドモジュール

は、PCのUSBポートを使用して使いやすいソフトウェアパッケージによるプログラムを可能にするものであり、これもマキシムから入手可能です。ソフトウェアの3線式セットアップメニューでは、デフォルトの「SEND AND RECEIVE MSB first」を使用しています。3線式インタフェースは、さらにCSアイドルハイに設定されています。このボードのCS出力は、図5に示すLOADラインの信号をエミュレートするために使用されます。しかし、この場合のCS信号は標準的なCS制御であり、DATAのロードまではCS = 1、次にDATAのロード中はCS = 0になり、最後にDATAがロードされた時点でCSが再びハイになります。これは図5のLOADラインの応答とは異なりますが、機能的には同一です。

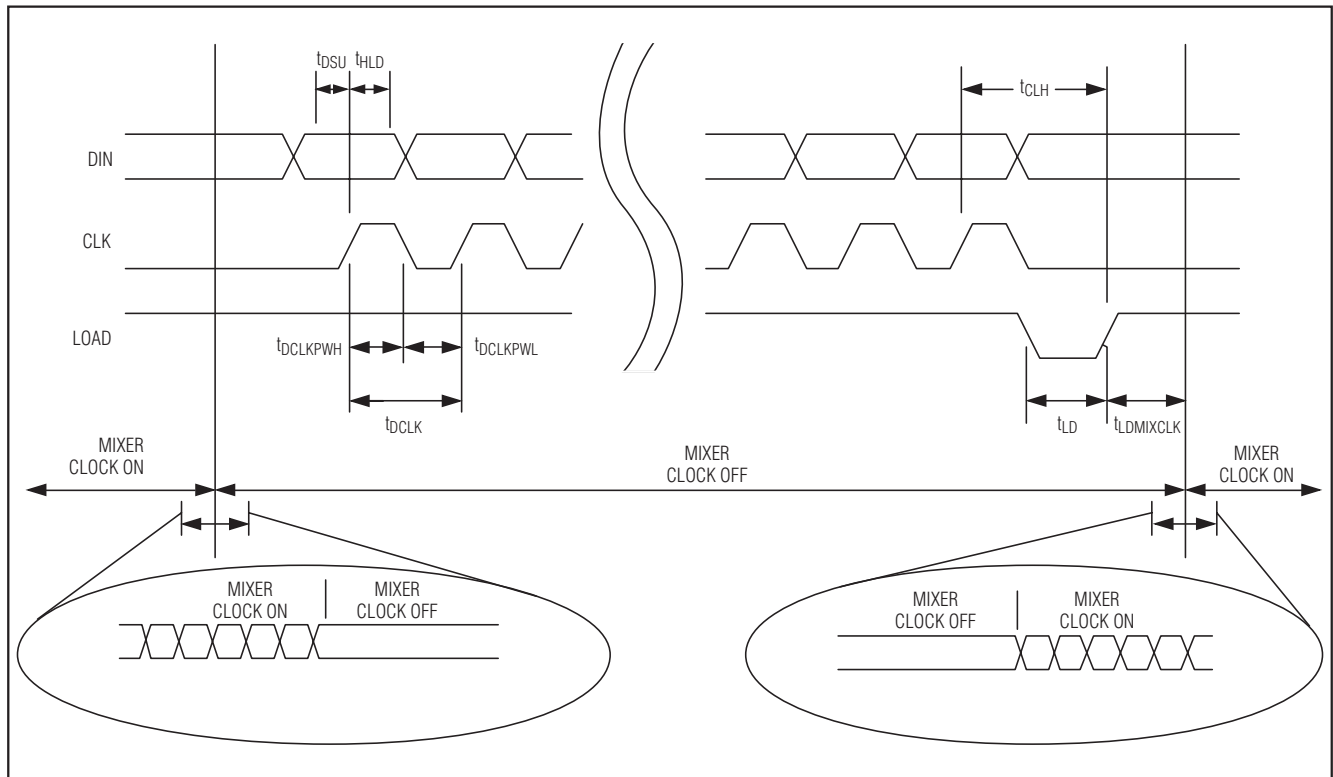


図5. CWDビーム形成のタイミング図

## MAX2036の評価キット

パルスジェネレータを使用したMAX2036の位相回転ビーム形成機能のテスト

MAX2036の位相回転器ビーム形成機能では、EVキットのボードへのRF入力とLO入力が位相同期している必要があります。MAX2036のTEST\_MODE出力信号を、RF入力機能に使用することができます。この信号は、プログラムされた動作モードの正しいRF入力周波数に合わせて、チップ上で分周されます。それぞれの個別チャンネルについて内部で生成されるLO信号と位相同期しており、常に位相0°になります。

同期LO信号は、ユーザが提供する必要があります。図7に、単純なパルスジェネレータを使用してこのLO信号を生成する方法を示します。パルスジェネレータは、

連続ゲート動作モードで動作させます。LOADライン信号によってゲートオンされた時点の一貫した位相状態で常にスタートし、シリアルにプログラムされた位相情報をラッチしてMAX2036のビーム形成器に入力します。

CMAXQUSBコマンドモジュールのCS出力を使用してHP 8112Aパルスジェネレータのトリガを行います。CMAXQUSBのCS出力をHP 8112AのEXT\_INPに接続して、ゲートを立上りエッジに設定します。DATAロードの終わりごとに1回発生するCSの立上りエッジを使用して、パルスジェネレータの出力のトリガを行います。これによって、位相の同期が行われます。パルスジェネレータの適切な設定を、表6に示します。

表6. HP 8112Aパルスジェネレータの設定

MODE	PERIOD (ns)	DELAY (ns)	WIDTH (ns)	LEE (ns)	TRE (ns)	HIL (V)	LOL (ns)	GATE
1	30	65	15	5.5	5.5	0.8	0	Rise
2	60	65	30	5.5	5.5	0.8	0	Rise
3	200	200	100	6	6	1.5	0	Rise
4	—	—	—	—	—	—	—	—

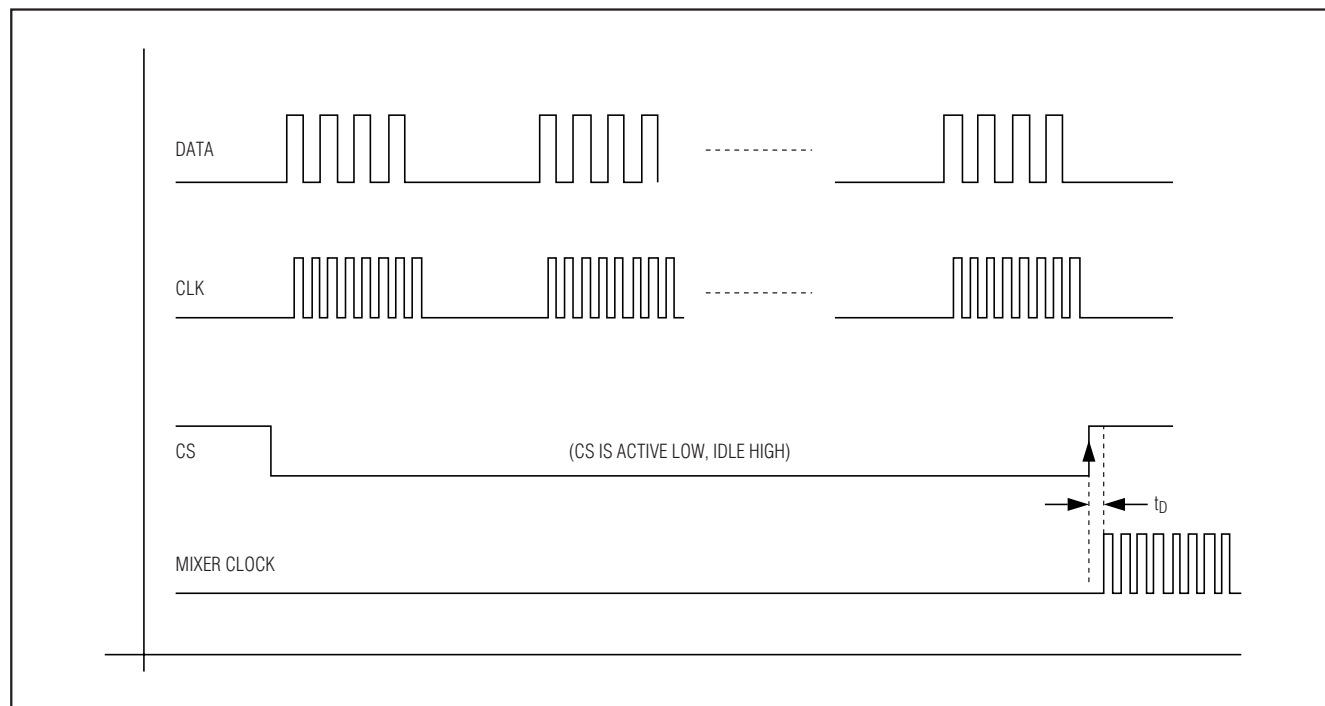


図6. EVキットテスト時のタイミング図

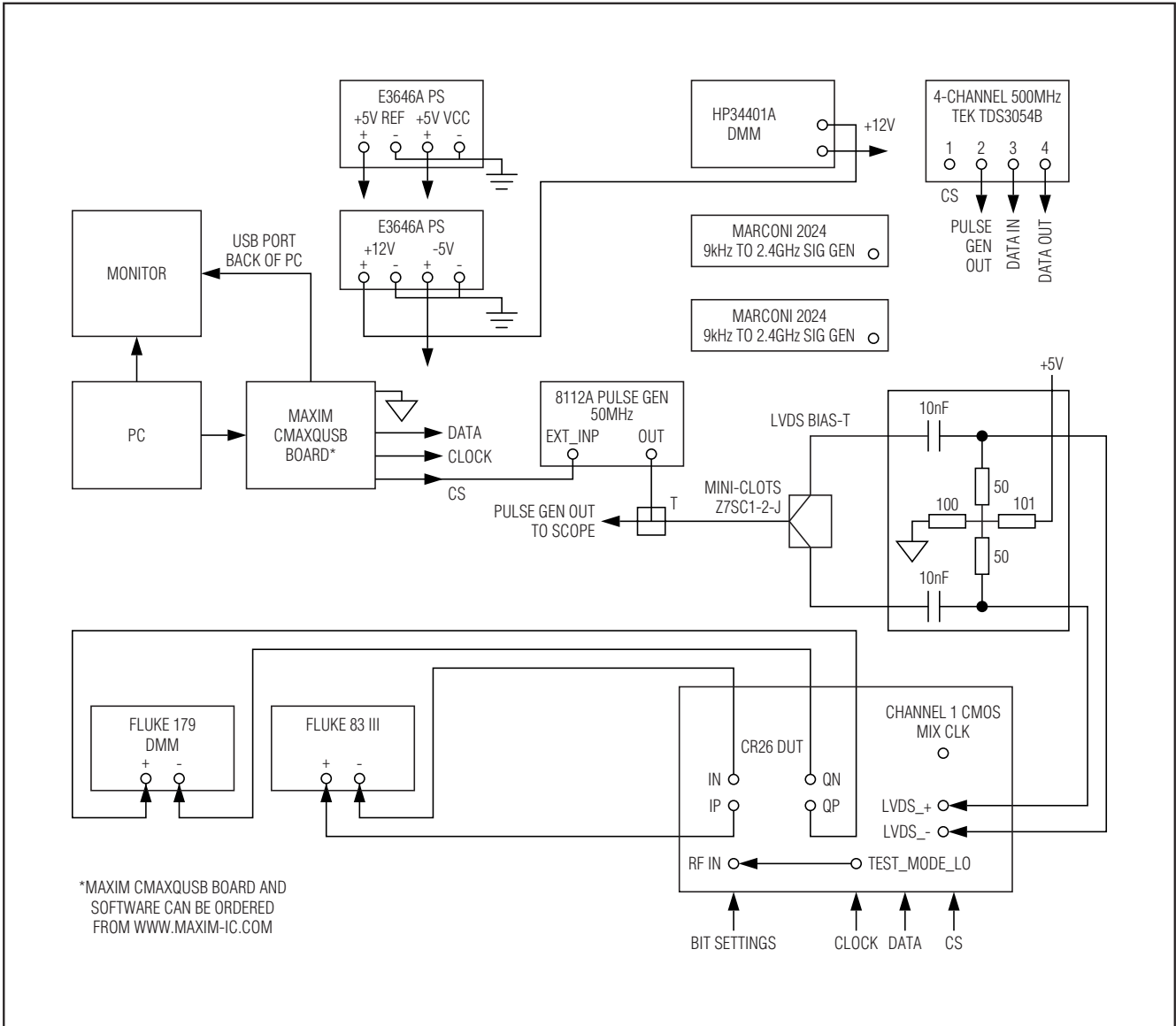


図7. CWD LVDS (モード1および2)テスト用のテストセットアップ

# MAX2036の評価キット

Evaluates: MAX2036

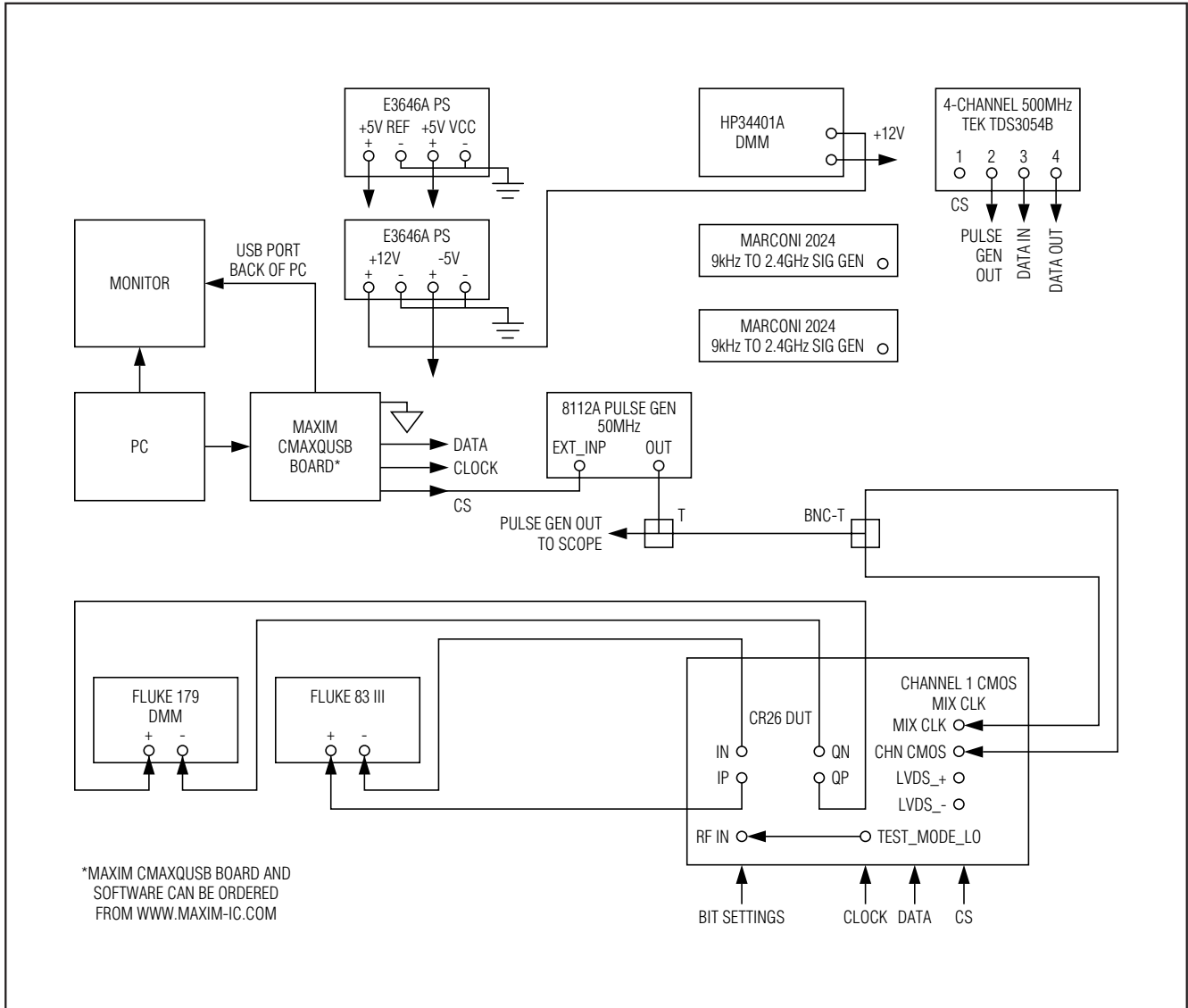


図8. CWD CMOS (モード3)テスト用のテストセットアップ

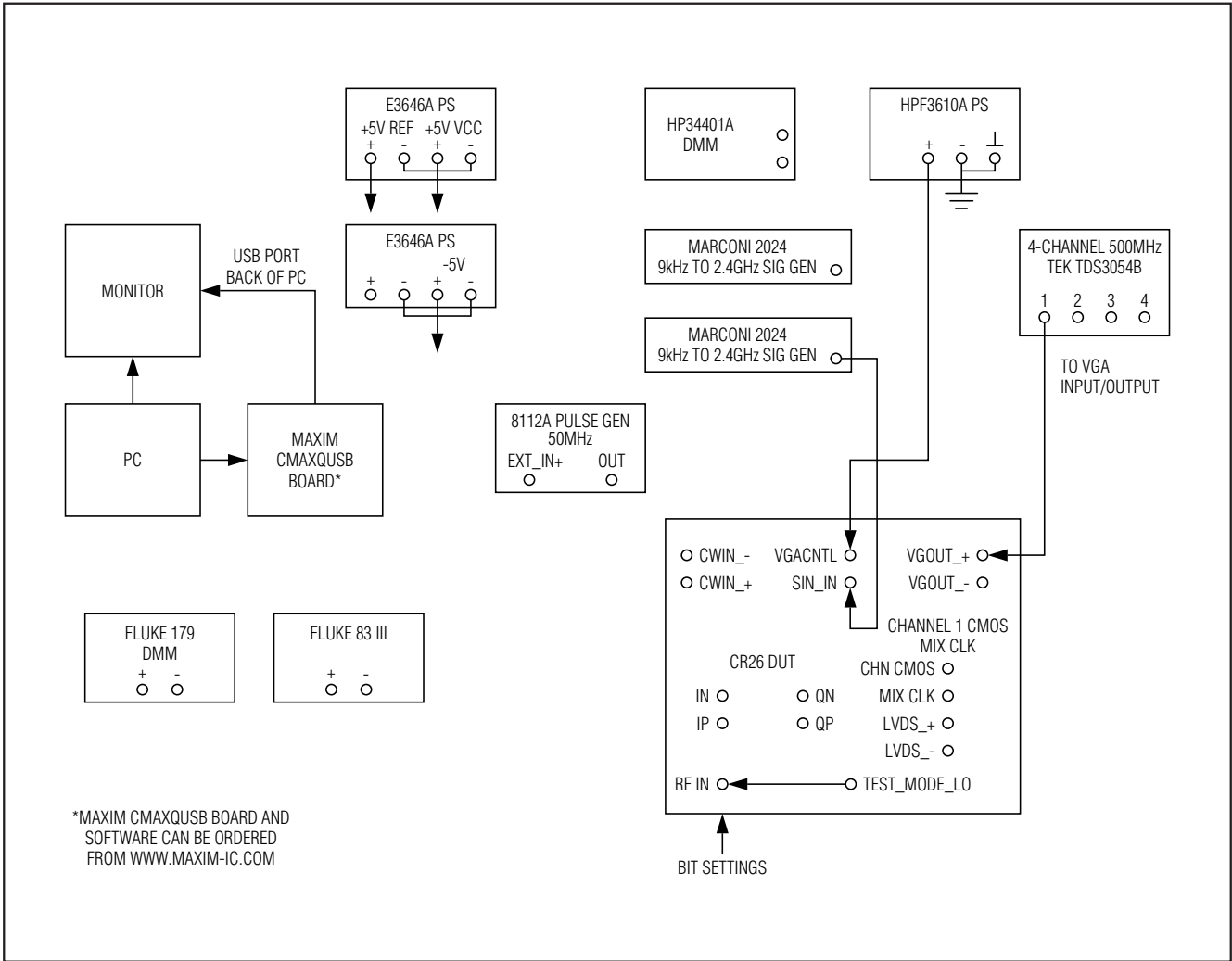


図9. VGAモードのテストセットアップ

# MAX2036の評価キット

Evaluates: MAX2036

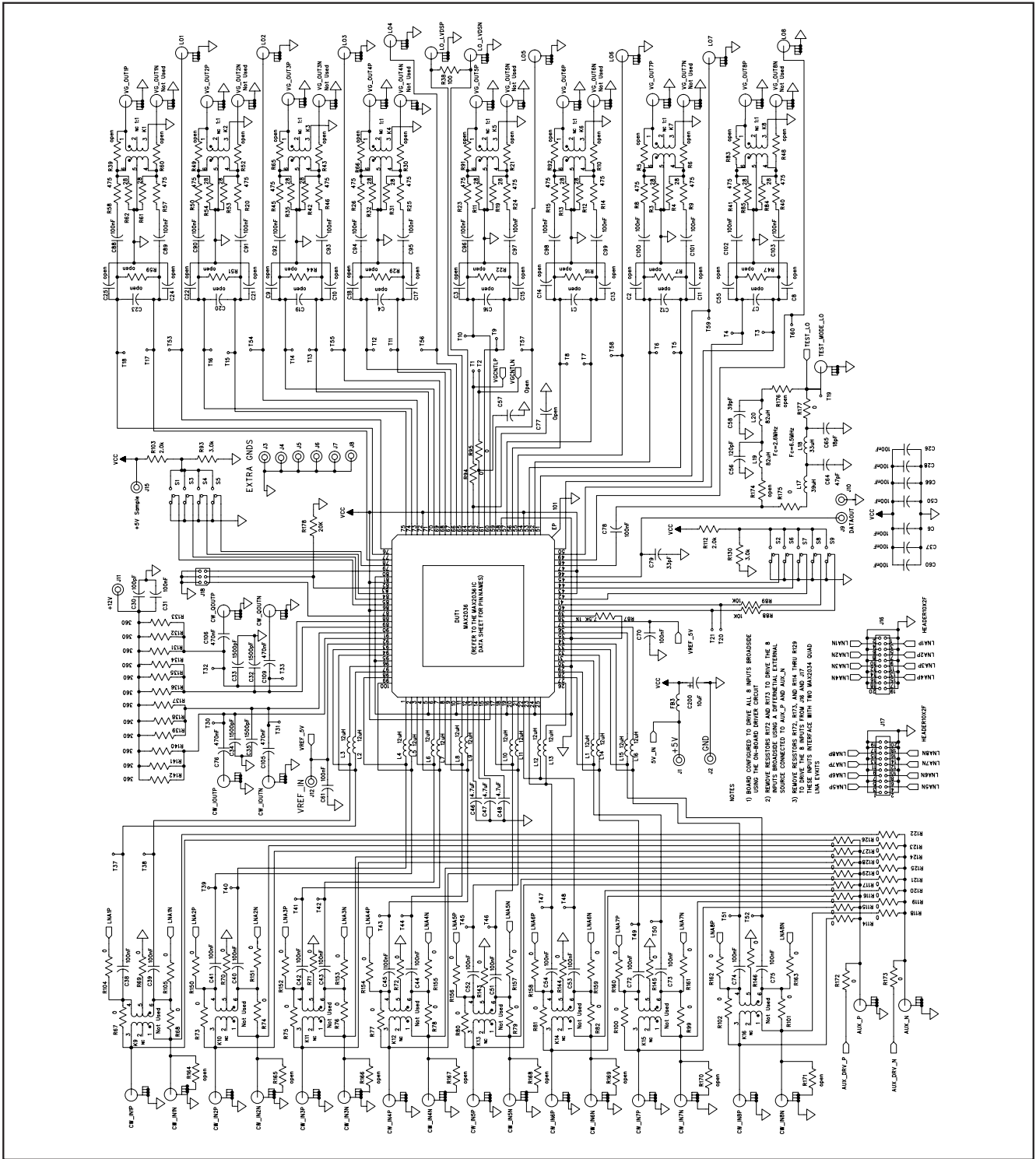


図10a. MAX2036のEVキットの回路図(1/3)

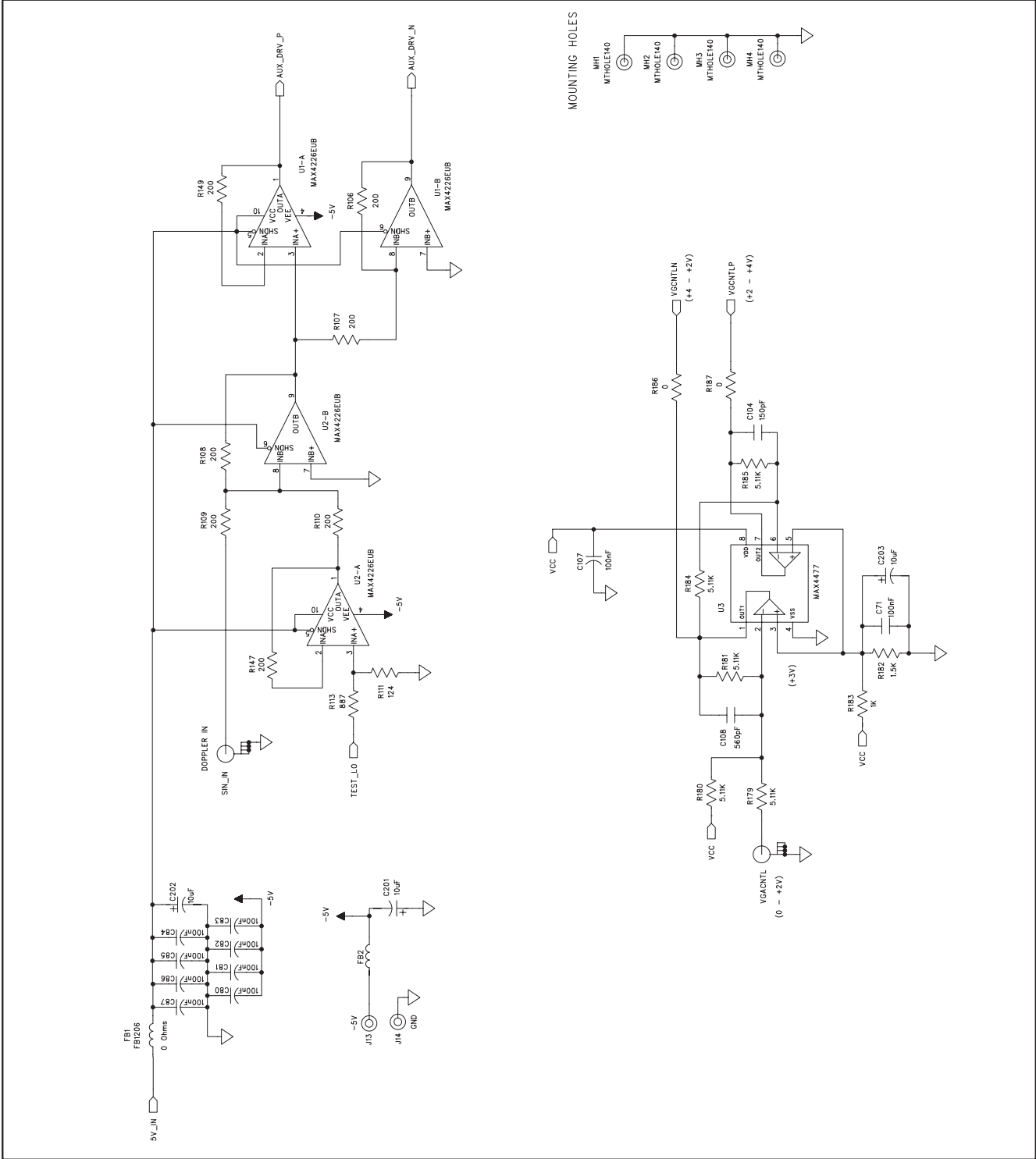


図10b. MAX2036のEVキットの回路図(2/3)

# MAX2036の評価キット

Evaluates: MAX2036

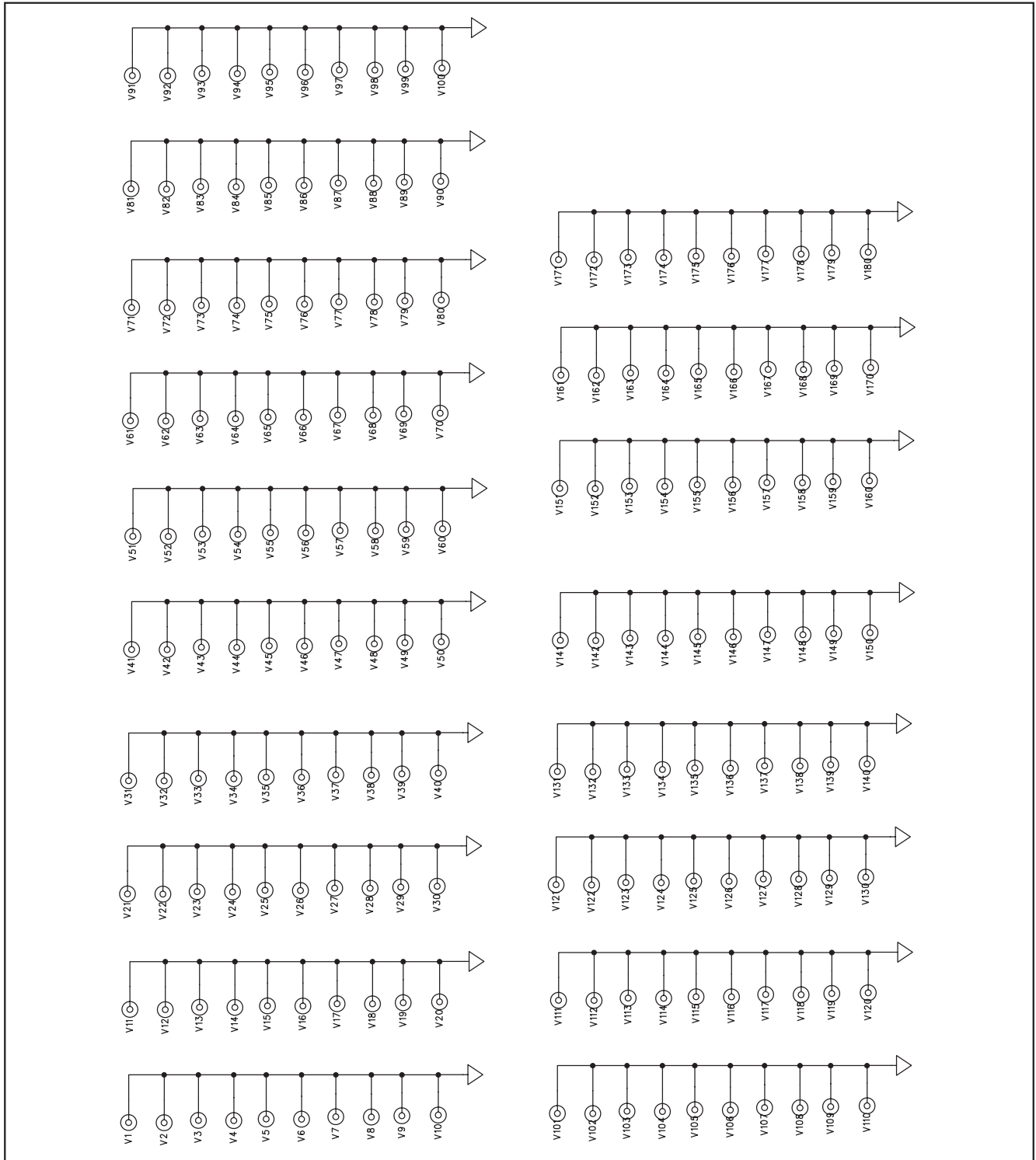


図10c. MAX2036のEVキットの回路図(3/3)



# MAX2036の評価キット

Evaluates: MAX2036

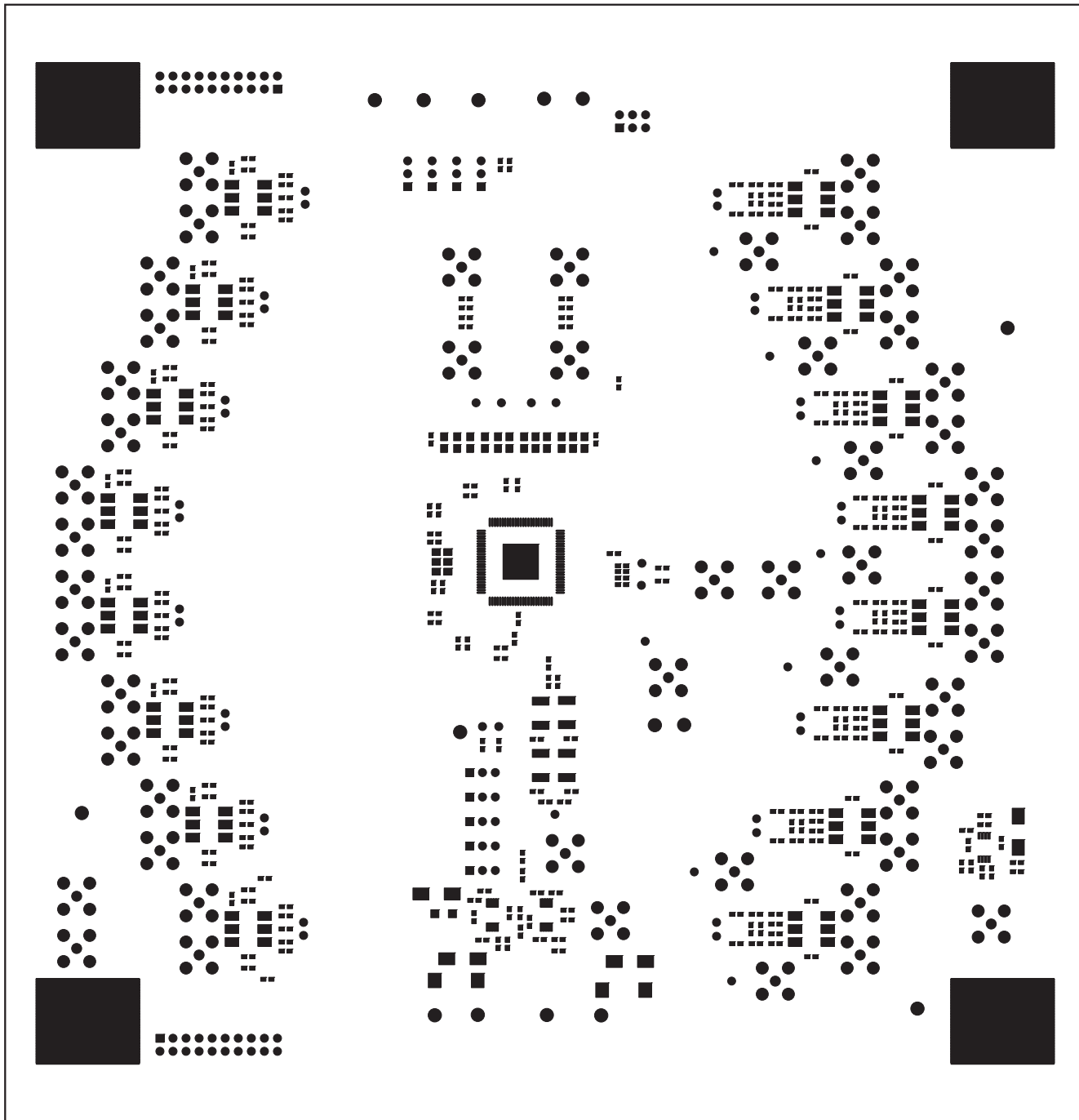


図12. MAX2036のEVキットのPCBレイアウト—表面半田マスク

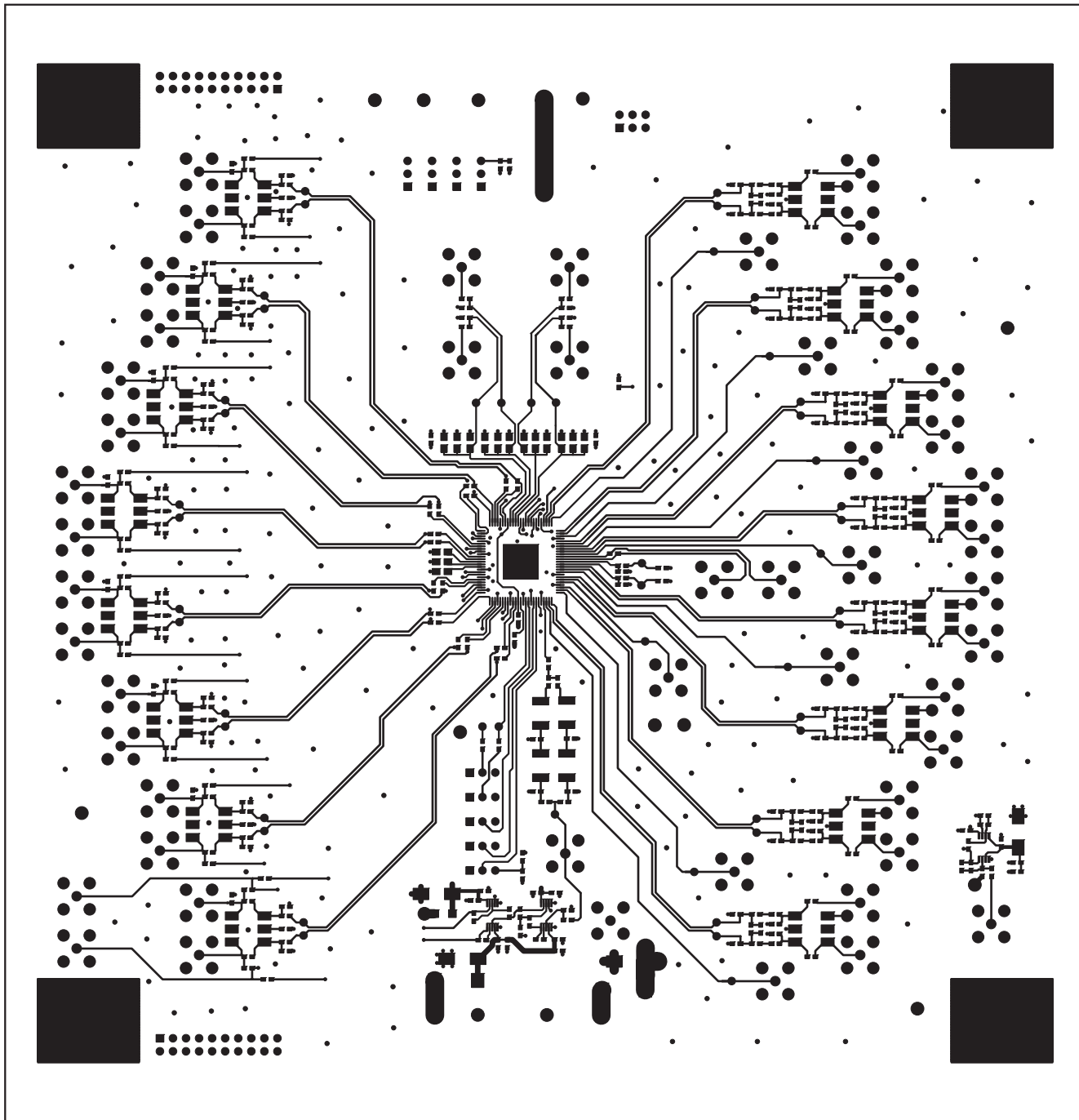


図13. MAX2036のEVキットのPCBレイアウト—表面層(メタル)

# MAX2036の評価キット

Evaluates: MAX2036

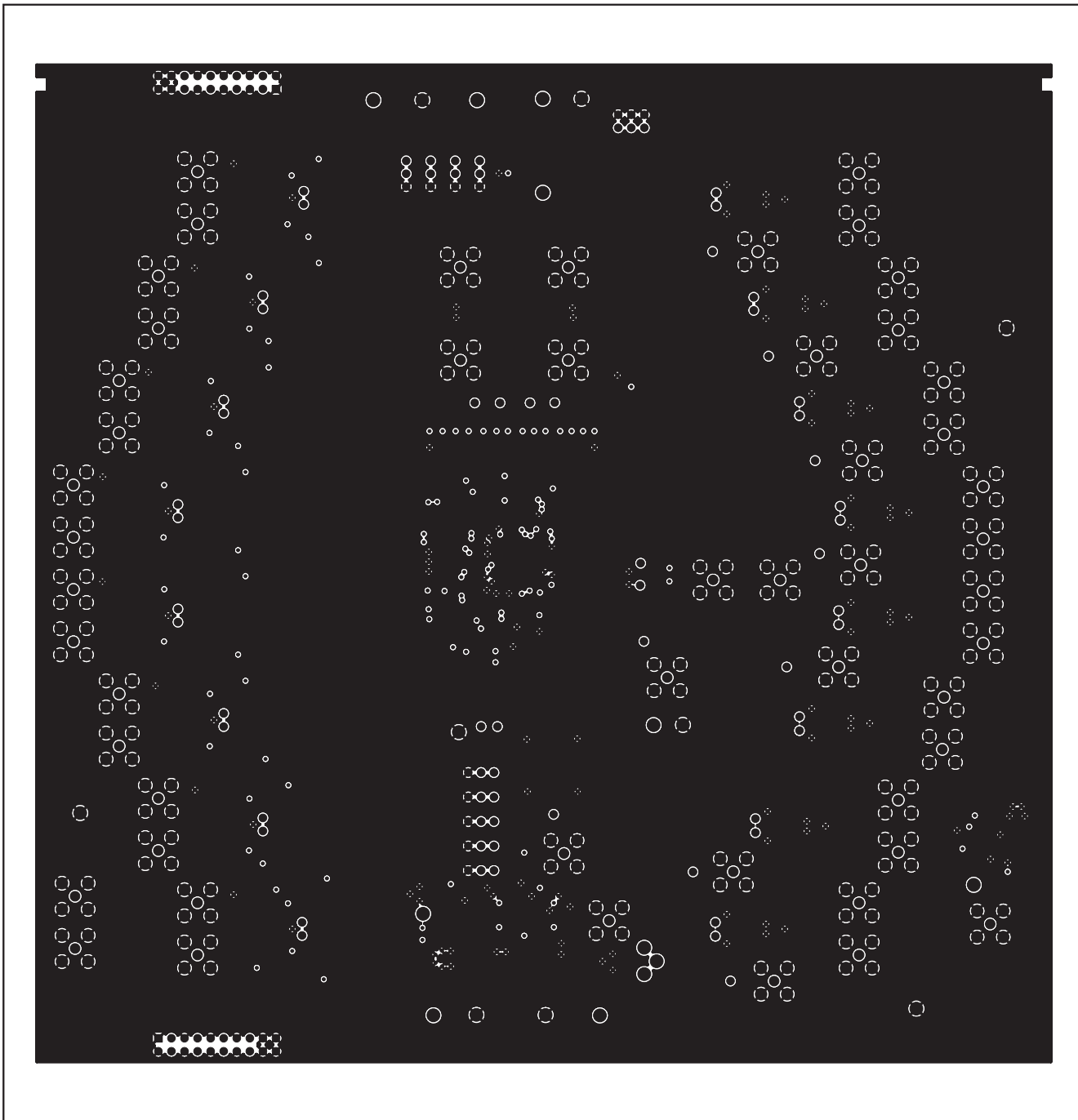


図14. MAX2036のEVキットのPCBレイアウト—内部第2層(GND)

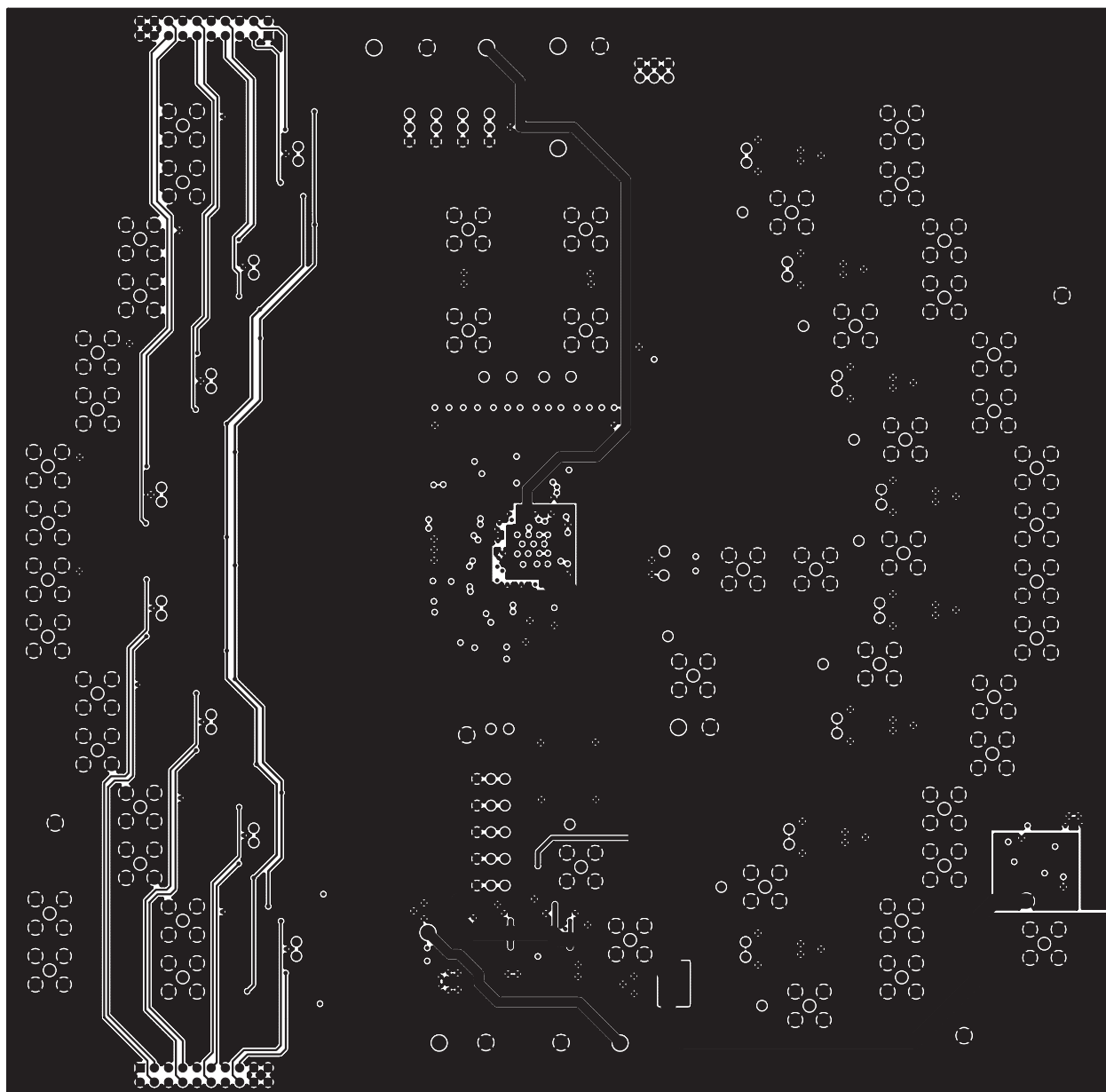


図15. MAX2036のEVキットのPCBレイアウト—内部第3層(配線)

# MAX2036の評価キット

Evaluates: MAX2036

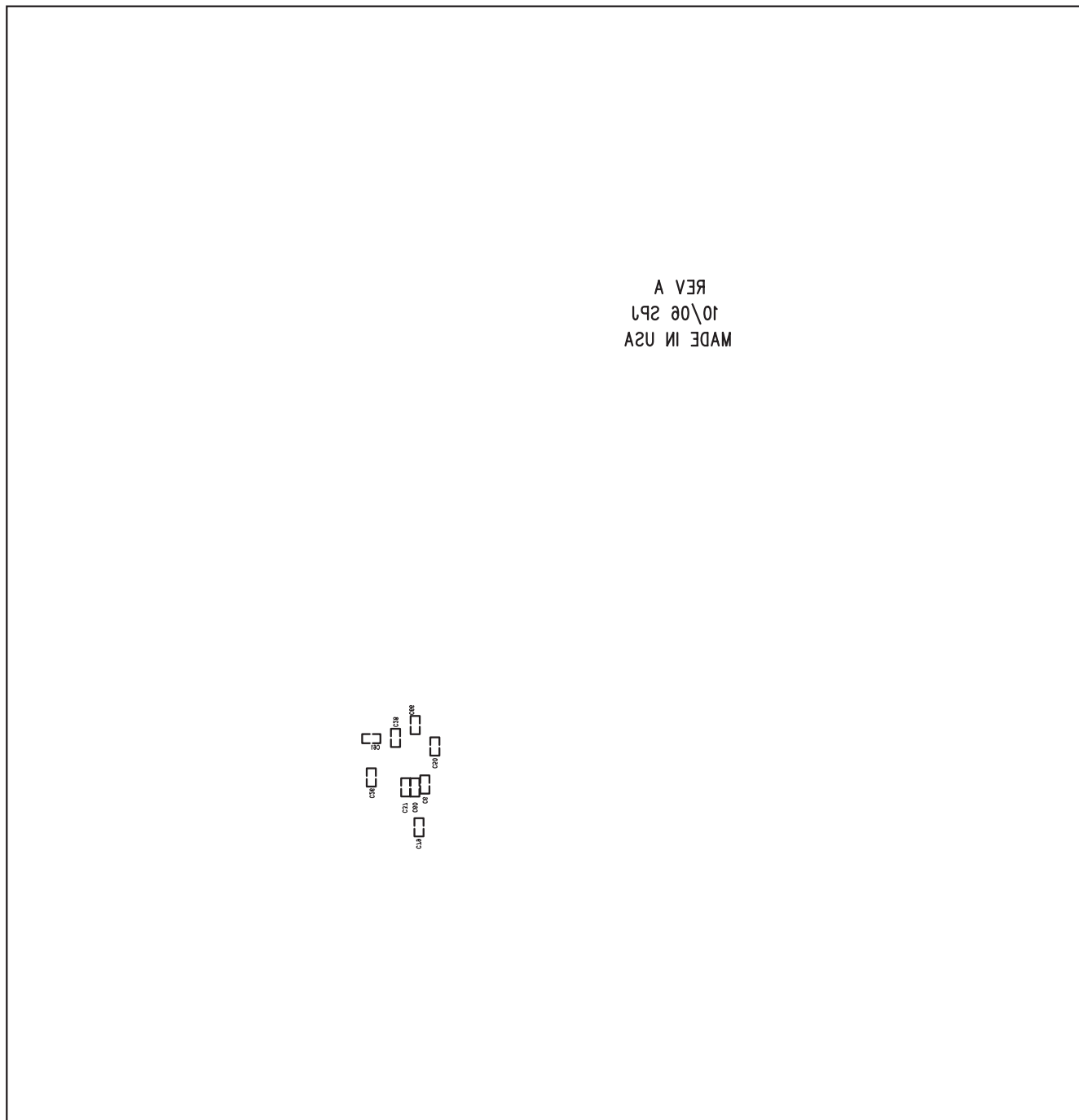


図16. MAX2036のEVキットのPCBレイアウト—裏面シルクスクリーン

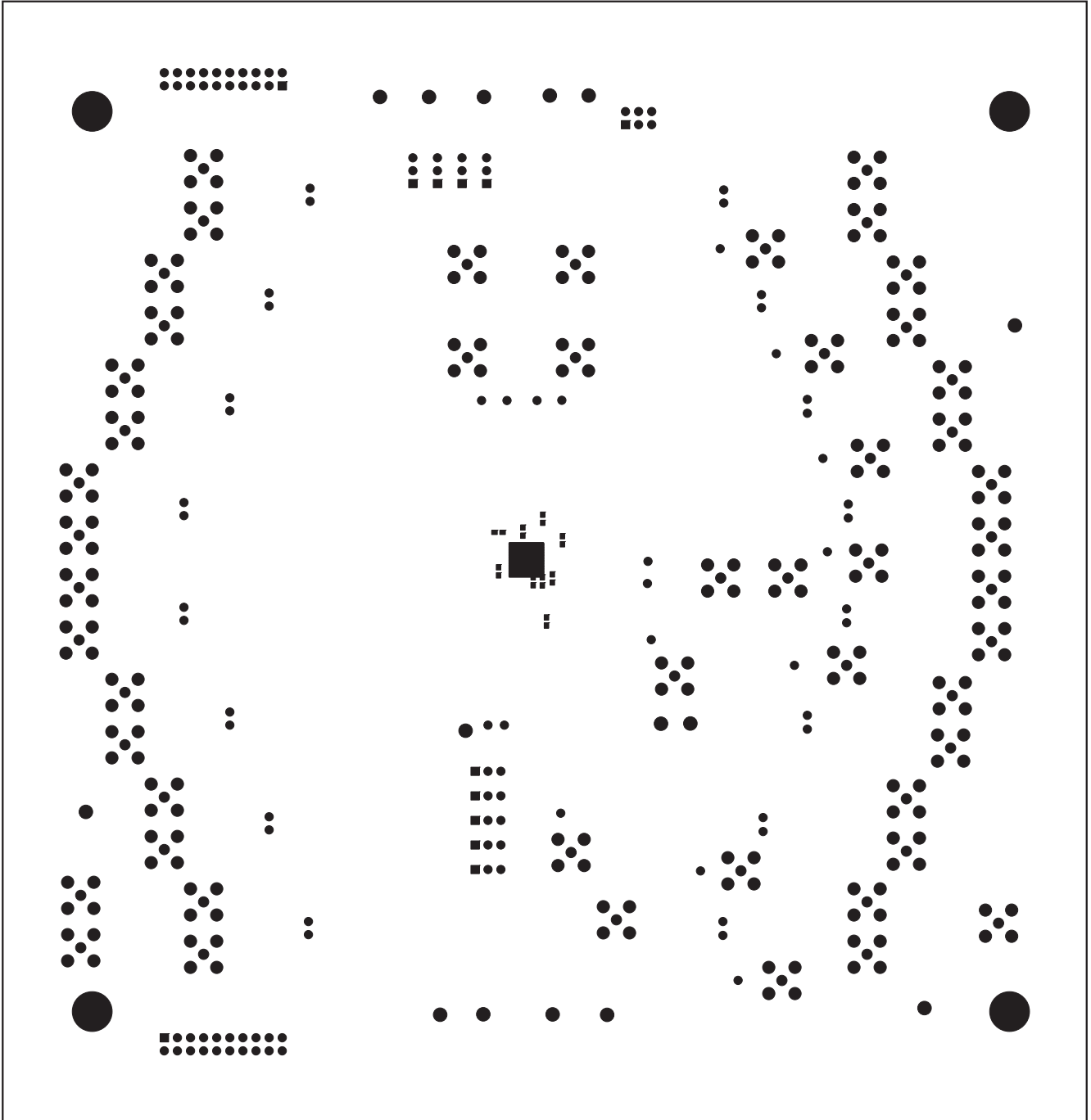


図17. MAX2036のEVキットのPCBレイアウト—裏面半田マスク

# MAX2036の評価キット

Evaluates: MAX2036

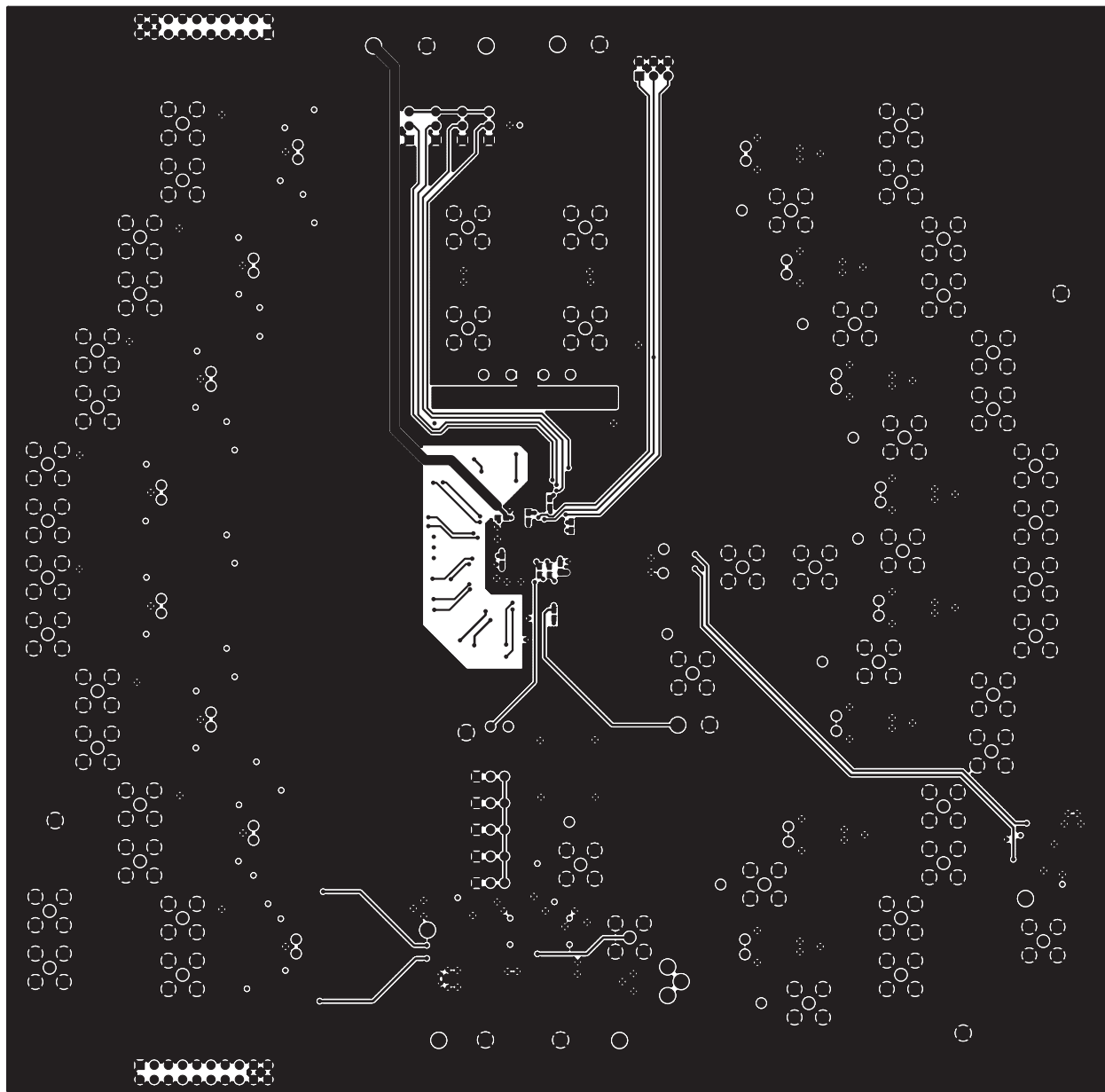


図18. MAX2036のEVキットのPCBレイアウト—裏面層(メタル)

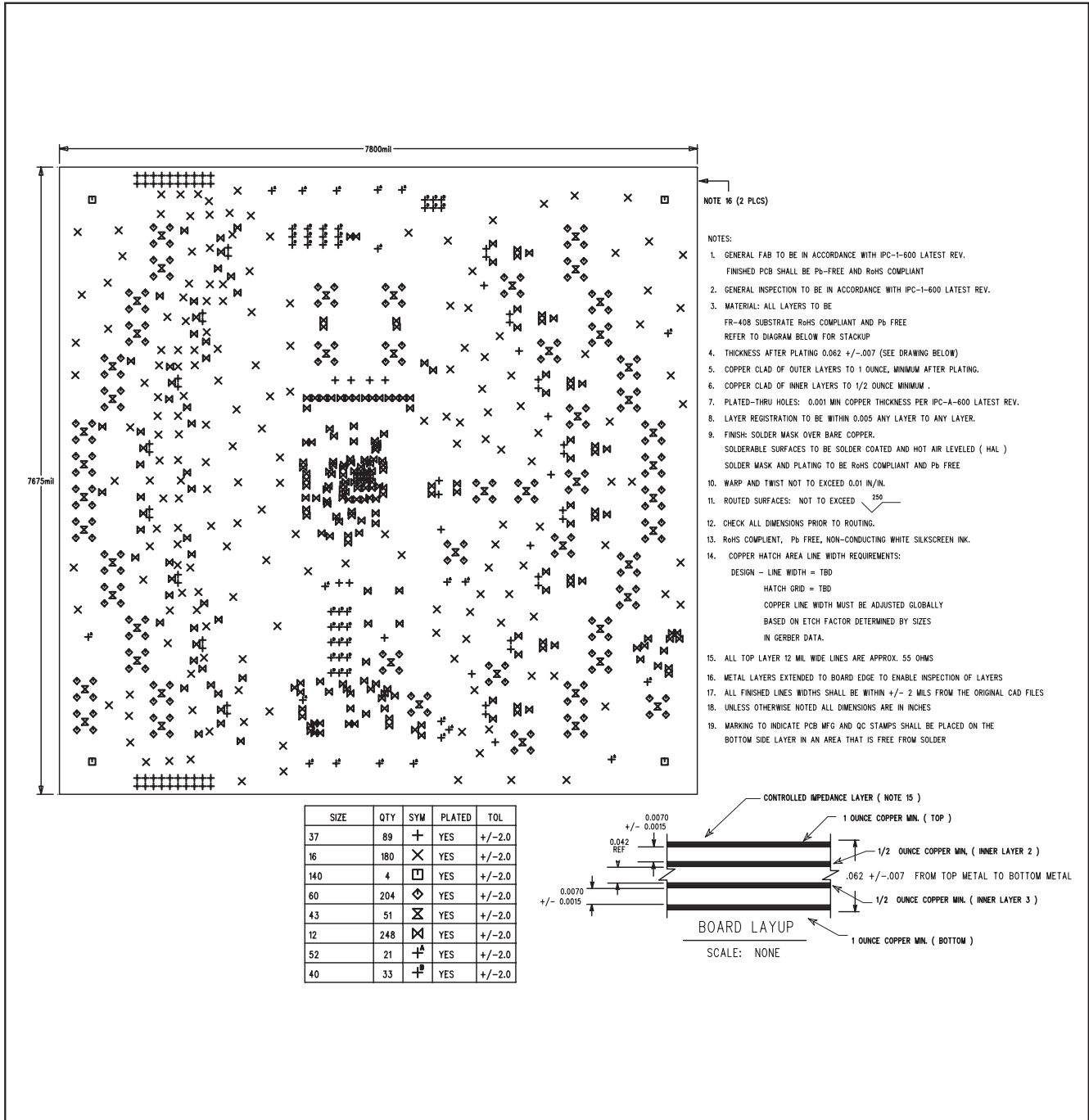


図19. MAX2036のEVキットのPCBレイアウトドリルおよびメカニカル

## マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 27