超低 I_Q レギュレータ、チャージャ、残量ゲージ、および ハプティック・ドライバを内蔵した 小型リチウムイオン・システム用 PMIC

MAX20366

概要

MAX20366 は、超低消費電力ウェアラブル・アプリケーション用に設計された、高集積のプログラマブル・パワー・マネージメント・ソリューションです。このデバイスはサイズと効率に関して最適化されており、バッテリ寿命の延長と全体的ソリューションサイズの縮小によってエンド製品の価値を高めます。複数の降圧、昇圧、昇降圧コンバータ、およびリニア電圧レギュレータなどの消費電力が最適化された電圧レギュレータからなる柔軟なセットは、高度に集積化されており、完全に最適化された電源アーキテクチャを作成することができます。各レギュレータの自己消費電流は極めて小さく、常時オンで使用するアプリケーションのバッテリ寿命を延長することを目標としています。

MAX20366 は、バッテリ・シール、チャージャ、電力経路、および残量ゲージを備えたフル機能のバッテリ・マネージメント・ソリューションを内蔵しています。チャージャには、温度管理と入力保護両方の機能が組み込まれています。また、このデバイスは、複数の入力を備えた出荷時にプログラム可能なボタン・コントローラも内蔵しています。このコントローラは、製品に求められる特定のユーザ体験に応じてカスタマイズすることができます。

更に、インジケータまたはバックライト機能用に 3 つの LED 電流シンクが内蔵されており、自動共振トラッキング機能を備えた ERM/LRA ドライバは高度なハプティック・フィードバックを提供することができます。低ノイズの 1.5W 昇降圧コンバータは、光学式心拍数測定システムで一般的に使用されている LED 用に、ノイズの少ない給電方法を提供します。このデバイスは I^2C インターフェースを介して設定可能なので、内蔵 ADC による温度および電源電圧の読出しを含め、各種機能の設定とデバイス・ステータスの読出しが可能です。このデバイスは、72 バンプ、0.5mm ピッチ、4.88mm × 4.19mm のウェーハ・レベル・パッケージ（WLP）を採用しており、−40ºC～+85ºC の拡張温度範囲で動作します。

アプリケーション

- ウェアラブル・デバイス
- IoT

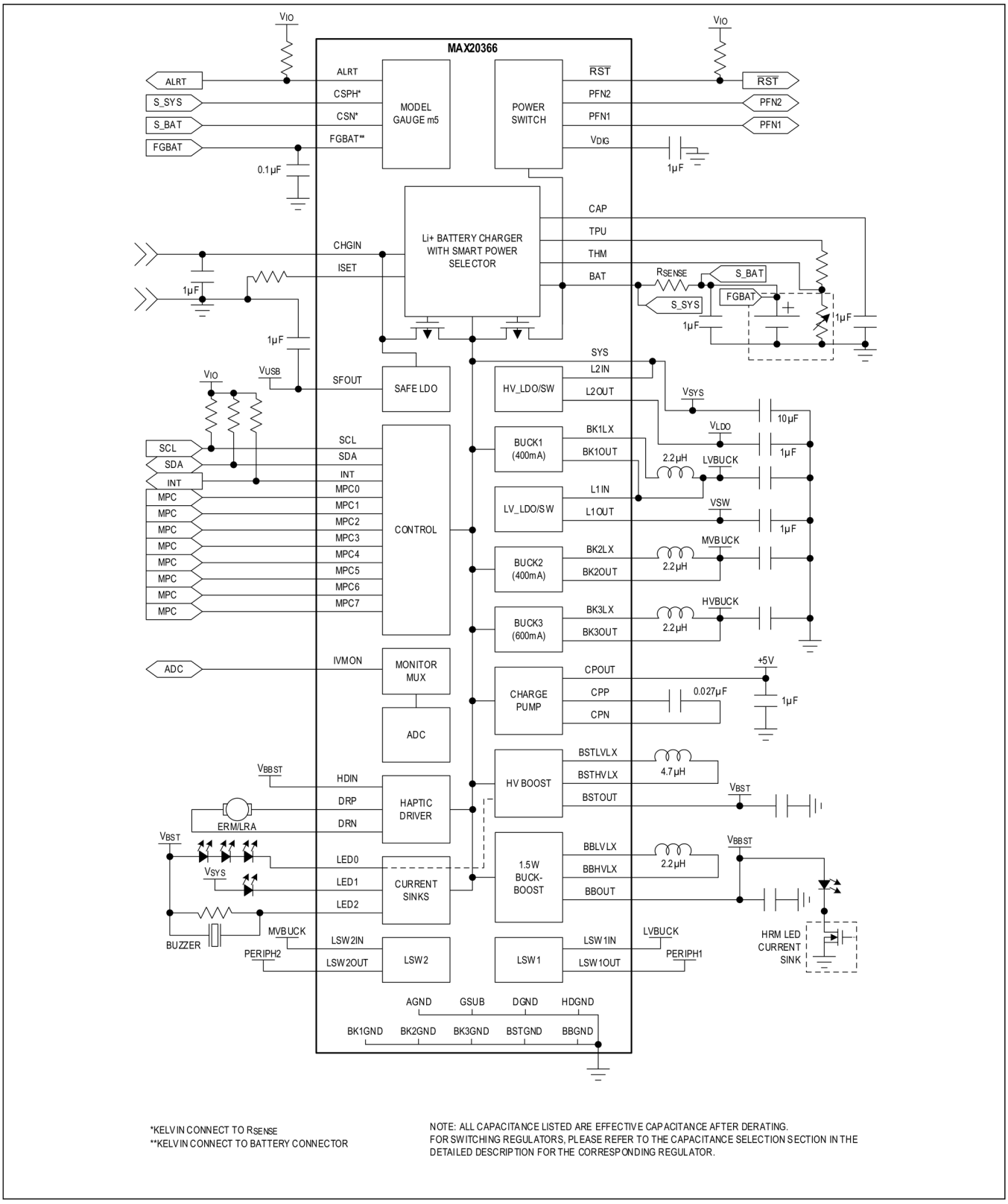
利点および特長

- 充電から次回充電までのバッテリ使用時間を延長
  - 2 つの Micro-I_Q 400mA 降圧レギュレータ（I_Q：代表値各 330nA）
    - 0.550V～1.180V（10mV ステップ）
    - 0.550V～2.125V（25mV ステップ）
    - 0.550V～3.700V（50mV ステップ）
  - Micro-I_Q, 600mA 降圧レギュレータ（I_Q：代表値 330nA）
    - 0.550V～1.180V（10mV ステップ）
    - 0.550V～2.125V（25mV ステップ）
    - 0.550V～3.700V（50mV ステップ）
  - Micro-I_Q LV LDO／負荷スイッチ（I_Q：代表値 1μA）
    - 入力電圧：1.0V～2.0V
    - 出力：50mA
    - 出力電圧：0.5V～1.95V、25mV ステップ
  - Micro-I_Q LDO／負荷スイッチ（I_Q：代表値 1μA）
    - 入力電圧：1.71V～5.5V
    - 出力：100mA
    - 0.9V～4V（100mV ステップ）
  - Micro-I_Q 昇降圧レギュレータ（I_Q：代表値 2μA）
    - 出力：1.5W
    - 2.6V～5V（50mV ステップ）
- リチウムイオン・バッテリ充電の実装が容易
  - 広い急速充電電流範囲：5mA～500mA
  - 入力耐圧：28V/−5.5V
  - プログラマブルな JEITA 電流／電圧プロファイル
- 高集積化によりソリューションの実装面積を最小化
  - 3.3V または 5.0V 安全出力 LDO
    - 15mA（CHGIN 印加時）
  - ERM/LRA ハプティック・ドライバ
    - 自動ブレーキング（LRA のみ）
    - 自動共振トラッキング（LRA のみ）
- 多様なディスプレイ・オプションに対応
  - Micro-I_Q 昇圧レギュレータ（I_Q：代表値 2.4μA）
    - 出力：300mW
    - 5V～20V（250mV ステップ）
  - 3 チャンネル電流シンク
    - 耐電圧：20V
    - プログラマブルな出力：0.6mA～30mA
  - システム制御を最適化
    - プログラマブル・プッシュボタン・コントローラ
    - プログラマブルな電源シーケンス
    - 工場在庫モード
    - 電圧／充電電流モニタ用マルチプレクサと A/D コンバータ（ADC）を内蔵

型番はデータシート末尾に記載されています。

19-101944; Rev 0; 12/24
本　　社／〒105-7323 東京都港区東新橋 1-9-1　東京汐留ビルディング 23F
大　阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F

簡略化したブロック図



*KELVIN CONNECT TO R_{SENSE}
**KELVIN CONNECT TO BATTERY CONNECTOR

NOTE: ALL CAPACITANCE LISTED ARE EFFECTIVE CAPACITANCE AFTER DERATING.
FOR SWITCHING REGULATORS, PLEASE REFER TO THE CAPACITANCE SELECTION SECTION IN THE DETAILED DESCRIPTION FOR THE CORRESPONDING REGULATOR.

目次

図一覧

表一覧

絶対最大定格

（特に指定のない限り、すべての電圧は GSUB 基準です）

CHGIN ..... −6.0V～+30.0V
SYS、BAT、SDA、SCL、TPU、IVMON、$\overline{RST}$、$\overline{INT}$、PFN_、HDIN、L2IN、LSW_IN、BBOUT、FGBAT ..... −0.3V～+6.0V
THM ..... −0.3V～min(V_{FGBAT} + 0.3V、+6.0V)
$\overline{ALRT}$ ..... −0.3V～+17.0V
CAP、SFOUT ..... −0.3V～min(|V_{CHGIN}| + 0.3V、+6.0V)
L1IN、VDIG ..... −0.3V～+2.2V
MPC_、BK_LX、BK_OUT、BBLVLX、BSTLVLX、CPN ..... −0.3V～(V_{SYS} + 0.3V)
DRP, DRN ..... −0.3V～min(V_{HDIN} + 0.3V、+6.0V)
BBHVLX ..... −0.3V～min(V_{BBOUT} + 0.3V、+6.0V)
ISET ..... −0.3V～min(V_{BAT} + 0.3V、V_{SYS} + 0.3V、+6.0V)
L_OUT ..... −0.3V～(V_{L_IN} +0.3V)
LSW_OUT ..... −0.3V～(V_{LSW_IN} + 0.3V)
CPP ..... (V_{CPN} − 0.3V)～(V_{CPN} + 6.0V)
CPOUT ..... (V_{CPP} − 0.3V)～min(V_{CPP} + 6.0V、+12.0V)
BSTHVLX、BSTOUT、LED_ ..... −0.3V～22.0V
BK_GND、BSTGND、BBGND、HDGND、AGND、DGND ..... −0.3V～+0.3V
CSN、CSPH ..... −0.3V～(V_{FGBAT} + 0.3V)
BK_OUT、BK_LX、BBLVLX、BBHVLX、BBOUT、BSTLVLX、BSTHVLX、BSTOUT への連続電流 ..... ±660mA
L_IN、L_OUT への連続電流 ..... ±250mA
SW_IN、SW_OUT への連続電流 ..... ±140mA
BAT、SYS、CHGIN への連続電流 ..... ±1000mA
DRP、DRN、HDIN への連続電流 ..... ±600mA
その他すべての端子への連続電流 ..... ±100mA
連続消費電力（多層基板）（T_A = +70ºC、+70ºC を超えると 32.53mW/ºC でディレーティング） 2602mW
動作温度範囲 ..... −40ºC～+85ºC
保管温度範囲 ..... −65ºC～+150ºC
はんだ付け処理温度（リフロー） ..... +260ºC

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

72 WLP	
Package Code	W724A4+1
Outline Number	21-100373
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ_{JA})	30.74°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.analog.com/packages で確認してください。パッケージ・コードの「+」、「#」、「−」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.analog.com/thermal-tutorial を参照してください。

電気的特性

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GLOBAL SUPPLY CURRENT						
CHGIN Input Current	I_{CHGIN}	V_{CHGIN} = 5V, ON mode, Charger disabled, THM monitoring disabled,		0.81		mA

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		SFOUT disabled, LDO2 disabled, all other rails disabled				
BAT Input Current	I_{BAT}	V_{CHGIN} = 0V, SEAL mode, LDO2 disabled		0.25		µA
		V_{CHGIN} = 0V, OFF mode, LDO2 enabled, L2IN connected to BAT, Fuel Gauge contribution not included		1.50		
		V_{CHGIN} = 0V, Battery Recovery (BR) mode, LDO2 disabled, Fuel Gauge contribution not included		1.35		
		V_{CHGIN} = 0V, ON mode, LDO2 disabled, all other rails disabled, Fuel Gauge contribution not included		1.50		
		V_{CHGIN} = 0V, ON mode, LDO2 disabled, Buck1 enabled, all other rails disabled, Fuel Gauge contribution not included		1.87		
		V_{CHGIN} = 0V, ON mode, LDO2 disabled, Buck1 enabled, Buck2 enabled, all other rails disabled, Fuel Gauge contribution not included		2.19		
		V_{CHGIN} = 0V, ON mode, LDO2 disabled, Buck1 enabled, Buck2 enabled, Buck3 enabled, all other rails disabled, Fuel Gauge contribution not included		2.69		
INTERNAL SUPPLIES, UVLOS, AND BAT OCP						
V_{CCINT} OTP OK Threshold / Startup Voltage	$V_{CCINT\_OTP\_OK}$	V_{CCINT} rising (Note 2)		2.92	3.25	V
		V_{CCINT} falling (Note 2)	2.60	2.90		
V_{DIG} OTP OK Threshold	$V_{DIG\_OTP\_OK}$	V_{DIG} rising		1.52	1.62	V
		V_{DIG} falling	1.41	1.51		
V_{CCINT} UVLO Threshold (POR)	V_{CCINT_UVLO}	V_{CCINT} rising (Note 2)	2.20	2.45	2.75	V
		V_{CCINT} falling (Note 2)	2.15	2.40	2.70	
V_{CCINT} UVLO Threshold (POR) Hysteresis	$V_{CCINT\_UVLO\_H}$	(Note 2)		50		mV
Internal V_{DIG} Regulator	V_{DIG}		1.71	1.80	1.89	V
V_{DIG} UVLO Threshold	V_{DIG_UVLO}	V_{DIG} rising	1.59		1.73	V
		V_{DIG} falling	1.51		1.61	
V_{DIG} UVLO Threshold Hysteresis	$V_{DIG\_UVLO\_H}$			100		mV
Internal CAP Regulator	V_{CAP}	V_{CHGIN} = 4.3V to 28.0V	3.75	4.10	4.55	V
CAP Detect Threshold	V_{CAP_DET}	V_{CHGIN} = V_{CAP} rising	3.15	3.40	3.60	V
		V_{CHGIN} = V_{CAP} falling	2.60	2.80	3.00	
CAP Detect Threshold Hysteresis	$V_{CAP\_DET\_H}$			600		mV

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CHGIN Detect Threshold	V_{CHGIN_DET}	V_{CHGIN} rising	4.00	4.15	4.30	V
		V_{CHGIN} falling	3.20	3.30	3.40	
CHGIN Detect Threshold Hysteresis	$V_{CHGIN\_DET\_H}$			850		mV
CHGIN Detection Debounce Time	t_{CHGIN_DET}	CHGIN insertion		108		ms
		CHGIN detachment		100		
SYS UVLO Threshold	V_{SYS_UVLO}	V_{SYS} rising, VSysUvlo = 00	2.65	2.75	2.85	V
		V_{SYS} falling, VSysUvlo = 00	2.60	2.70	2.80	
		V_{SYS} falling, VSysUvlo = 01	2.80	2.90	3.00	
		V_{SYS} falling, VSysUvlo = 10	2.90	3.00	3.10	
		V_{SYS} falling, VSysUvlo = 11	3.10	3.20	3.30	
SYS UVLO Threshold Hysteresis	$V_{SYS\_UVLO\_H}$			50		mV
SYS UVLO Falling Debounce Time	$t_{SYS\_UVLO\_FD}$	V_{SYS} falling		20		µs
BAT OCP Threshold	I_{BAT_OCP}	IBatOc = 000		200		mA
		IBatOc = 001		400		
		IBatOc = 010		600		
		IBatOc = 011	480	800	1120	
		IBatOc = 100	600	1000	1400	
		IBatOc = 101	720	1200	1680	
		IBatOc = 110	840	1400	1960	
		IBatOc = 111	960	1600	2240	
BAT OCP Threshold Hysteresis	$I_{BAT\_OCP\_H}$			7		%
BAT OCP Rising Debounce Time	$t_{BAT\_OCP\_RD}$	I_{SYS} rising		50		ms
SYS Pulldown Resistance	R_{SYS_PD}	Enabled for t_{SYS_PD} when transitioning to battery recovery (BR) mode		10		Ω
SYS Pulldown Time	t_{SYS_PD}	R_{SYS_PD} is enabled on SYS for this time when transitioning to battery recovery (BR) mode		30		ms
OVP AND INPUT CURRENT LIMITER						
CHGIN Overvoltage Threshold	V_{CHGIN_OV}	V_{CHGIN} rising	7.2	7.5	7.8	V
CHGIN Overvoltage Threshold Hysteresis	$V_{CHGIN\_OV\_H}$			200		mV
CHGIN-SYS Valid Trip Point	$V_{CHGIN\_SYS\_TP}$	V_{CHGIN} - V_{SYS} rising	30	145	290	mV
CHGIN-SYS Valid Trip Point Hysteresis	$V_{CHGIN\_SYS\_TP\_H}$			275		mV
Input Overcurrent Max Limit	I_{LIM_MAX}	t < t_{ILIM_BLANK}, ILimMax = 0	400	450	500	mA
		t < t_{ILIM_BLANK}, ILimMax = 1	800	1000	1250	

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current Limit	I_{LIM}	ILimCntl = 000		50		mA
		ILimCntl = 001		90		
		ILimCntl = 010		150		
		ILimCntl = 011		200		
		ILimCntl = 100		300		
		ILimCntl = 101		400		
		ILimCntl = 110	400	450	500	
		ILimCntl = 111	900	1000	1100	
Input Current-Limit Blanking Time	t_{ILIM_BLANK}	ILimBlank = 00		0.0		ms
		ILimBlank = 01		0.5		
		ILimBlank = 10		1.0		
		ILimBlank = 11		10.0		
SYS Regulation Voltage	V_{SYS_REG}		V_{BAT_REG} + 0.14	V_{BAT_REG} + 0.20	V_{BAT_REG} + 0.26	V
SYS Regulation-Voltage Dropout	$V_{CHGIN\_SYS\_REG}$			40		mV
CHGIN to SYS On Resistance	R_{CHGIN_SYS}			0.37	0.66	Ω
Input Current Soft-Start Time	t_{ILIM_SFT}			1		ms
Thermal Shutdown Temperature	T_{CHG_SHDN}	TShdn = 000		50		°C
		TShdn = 001		60		
		TShdn = 010		70		
		TShdn = 011		80		
		TShdn = 100		90		
		TShdn = 101		100		
		TShdn = 110		110		
		TShdn = 111		120		
CHGIN Boot Retry Timeout	$t_{CHG\_RETRY\_TMO}$	ChgAlwTry = 1, Device Specific (see *Table 8*)		0.5		s
BATTERY CHARGER						
BAT to SYS On Resistance	R_{BAT_SYS}	V_{BAT} = 4.2V, I_{BAT} = 300mA		80	140	mΩ
Thermal Regulation Temperature	T_{CHG_LIM}			T_{CHG_SHDN} - 3		°C
BAT to SYS Switch On Threshold	$V_{BAT\_SYS\_ON}$	V_{SYS} falling, measured as V_{BAT} - V_{SYS}	10	19	35	mV
BAT to SYS Switch Off Threshold	$V_{BAT\_SYS\_OFF}$	V_{SYS} rising, measured as V_{BAT} - V_{SYS}	-3	-1	0	mV
SYS to BAT Charge Current Reduction Threshold	$V_{SYS\_BAT\_REG}$	Measured as V_{SYS} - V_{BAT}, SysMinVlt = 000, V_{BAT} > 3.6V		100		mV

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum SYS Voltage	V_{SYS_LIM}	SysMinVlt = 000		3.6		V
		SysMinVlt = 001		3.7		
		SysMinVlt = 010		3.8		
		SysMinVlt = 011		3.9		
		SysMinVlt = 100		4.0		
		SysMinVlt = 101		4.1		
		SysMinVlt = 110		4.2		
		SysMinVlt = 111		4.3		
Charger Current Soft-Start Time	t_{ICHG_SFT}			1		ms
Precharge Current	I_{PCHG}	IPChg = 00		0.05 x I_{FCHG}		mA
		IPChg = 01	0.09 x I_{FCHG}	0.10 x I_{FCHG}	0.11 x I_{FCHG}	
		IPChg = 10		0.20 x I_{FCHG}		
		IPChg = 11		0.30 x I_{FCHG}		
Precharge Threshold	V_{BAT_PCHG}	VPChg = 000		2.10		V
		VPChg = 001		2.25		
		VPChg = 010		2.40		
		VPChg = 011		2.55		
		VPChg = 100		2.70		
		VPChg = 101		2.85		
		VPChg = 110		3.00		
		VPChg = 111		3.15		
Precharge Threshold Hysteresis	$V_{BAT\_PCHG\_H}$			90		mV
Step-Charge Threshold	V_{BAT_STPCHG}	ChgStepRise = 0000		3.80		V
		ChgStepRise = 0001		3.85		
		ChgStepRise = 0010		3.90		
		ChgStepRise = 0011		3.95		
		ChgStepRise = 0100		4.00		
		ChgStepRise = 0101		4.05		
		ChgStepRise = 0110		4.10		
		ChgStepRise = 0111		4.15		
		ChgStepRise = 1000		4.20		
		ChgStepRise = 1001		4.25		
		ChgStepRise = 1010		4.30		
		ChgStepRise = 1011		4.35		
		ChgStepRise = 1100		4.40		

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		ChgStepRise = 1101		4.45		
		ChgStepRise = 1110		4.50		
		ChgStepRise = 1111		4.55		
Step-Charge Threshold Hysteresis	$V_{BAT\_STPCHG\_H}$	ChgStepHys = 000		100		mV
		ChgStepHys = 001		200		
		ChgStepHys = 010		300		
		ChgStepHys = 011		400		
		ChgStepHys = 100		500		
		ChgStepHys = 101		600		
Fast-Charge Current Reduction Due to Step Charge	I_{FCHG_STPCHG}	ChgIStep = 000		0.2 x I_{FCHG}		mA
		ChgIStep = 001		0.3 x I_{FCHG}		
		ChgIStep = 010		0.4 x I_{FCHG}		
		ChgIStep = 011		0.5 x I_{FCHG}		
		ChgIStep = 100		0.6 x I_{FCHG}		
		ChgIStep = 101		0.7 x I_{FCHG}		
		ChgIStep = 110		0.8 x I_{FCHG}		
		ChgIStep = 111		I_{FCHG}		
ISET Current Gain Factor	K_{ISET}			2000		A/A
ISET Regulation Voltage	V_{ISET}			1		V
BAT Fast-Charge Current Set Range	I_{FCHG}	R_{ISET} = 400kΩ		5		mA
		R_{ISET} = 40kΩ	45	50	55	
		R_{ISET} = 4kΩ		500		
Battery-Regulation Voltage	V_{BAT_REG}	ChgBatReg = 0000		4.0500		V
		ChgBatReg = 0001		4.1000		
		ChgBatReg = 0010		4.1500		
		T_A = 25°C	4.1853	4.2000	4.2147	
		T_A = -5°C to +50°C	4.1769	4.2000	4.2231	
			4.1622	4.2000	4.2378	
		ChgBatReg = 0100		4.2500		
		ChgBatReg = 0101		4.3000		
		ChgBatReg = 0110		4.3500		
		T_A = 25°C	4.3846	4.4000	4.4154	
		T_A = -5°C to +50°C	4.3758	4.4000	4.4242	

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
			4.3604	4.4000	4.4396	
		T_A = 25°C	4.4344	4.4500	4.4656	
		T_A = -5°C to +50°C	4.4255	4.4500	4.4745	
			4.4099	4.4500	4.4901	
		ChgBatReg = 1001		4.5000		
		ChgBatReg = 1010		4.5500		
		ChgBatReg = 1011		4.6000		
Battery-Recharge Threshold	V_{BAT_RECHG}	ChgBatReChg = 00		70		mV
		ChgBatReChg = 01		120		
		ChgBatReChg = 10		170		
		ChgBatReChg = 11		220		
Maximum Precharge Time	t_{PCHG}	PChgTmr = 00		30		min
		PChgTmr = 01		60		
		PChgTmr = 10		120		
		PChgTmr = 11		240		
Maximum Fast-Charge Time	t_{FCHG}	FChgTmr = 00		75		min
		FChgTmr = 01		150		
		FChgTmr = 10		300		
		FChgTmr = 11		600		
Charge Done Qualification	I_{CHG_DONE}	IChgDone = 00		0.050 x I_{FCHG}		mA
		IChgDone = 01	0.085 x I_{FCHG}	0.100 x I_{FCHG}	0.115 x I_{FCHG}	
		IChgDone = 10		0.200 x I_{FCHG}		
		IChgDone = 11		0.300 x I_{FCHG}		
Maximum Maintain Charge Time	t_{MTCHG}	MtChgTmr = 00		0		min
		MtChgTmr = 01		15		
		MtChgTmr = 10		30		
		MtChgTmr = 11		60		
Timer Accuracy	t_{CHG_ACC}		-10		+10	%
Fast-Charge Timer Extend Current Threshold	I_{FCHG_TEXT}	See [*Figure 32*]		50		%I_{FCHG}
Fast-Charge Timer Suspend Current Threshold	I_{FCHG_TSUS}	See [*Figure 32*]		20		%I_{FCHG}
Battery Regulation Voltage Reduction Due to Temperature	$V_{BAT\_REG\_JTA}$	ChgCool/Room/WarmBatReg = 00		V_{BAT_REG} - 0.15		V
		ChgCool/Room/WarmBatReg = 01		V_{BAT_REG} - 0.1		

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		ChgCool/Room/WarmBatReg = 10			V_{BAT_REG} - 0.05		
		ChgCool/Room/WarmBatReg = 11			V_{BAT_REG}		
Fast-Charge Current Reduction Due to Temperature	I_{FCHG_JTA}	ChgCool/Room/WarmIFChg = 000			0.20 x I_{FCHG}		mA
		ChgCool/Room/WarmIFChg = 001			0.30 x I_{FCHG}		
		ChgCool/Room/WarmIFChg = 010			0.40 x I_{FCHG}		
		ChgCool/Room/WarmIFChg = 011			0.50 x I_{FCHG}		
		ChgCool/Room/WarmIFChg = 100			0.60 x I_{FCHG}		
		ChgCool/Room/WarmIFChg = 101			0.70 x I_{FCHG}		
		ChgCool/Room/WarmIFChg = 110			0.80 x I_{FCHG}		
		ChgCool/Room/WarmIFChg = 111			I_{FCHG}		
BAT UVLO Threshold	V_{BAT_UVLO}	V_{BAT} rising, valid only when CHGIN is present, when V_{BAT} < V_{BAT_UVLO} the BAT to SYS switch opens and BAT is connected to SYS through a diode		1.95	2.05	2.15	V
BAT UVLO Threshold Hysteresis	$V_{BAT\_UVLO\_H}$				50		mV
BAT Pulldown Resistance	R_{BAT_PD}	BatPD = 1			15		kΩ
HARVESTER INTERACTION							
Harvester Interaction Comparator Quiescent Current	$I_{HARV\_CMP\_Q}$	V_{BAT} = 3.7V			0.25		µA
Harvester Interaction Ideal BAT to SYS Diode Quiescent Current	$I_{HARV\_BAT\_SYS\_DIO\_Q}$	V_{BAT} = 4.2V, I_{SYS} = 0µA			0.65		µA
		V_{BAT} = 4.2V, I_{SYS} = 10mA			12		
Harvester Interaction SYS to BAT Diode Drop in POR / SEAL Mode	$V_{HARV\_SYS\_BAT\_DIO\_PORSEAL}$	POR condition, V_{BAT} = 2.1V, I_{SYS} = -20mA			0.6		V
Harvester Interaction Battery Charging Stop Threshold	$V_{HARV\_BAT\_REG}$	V_{BAT} rising, T_A=-18°C, +80°C	HrvBatReg = 0000	3.9710	4.0500	4.0723	V
			HrvBatReg = 0001	4.0200	4.1000	4.1226	
			HrvBatReg = 0010	4.0691	4.1500	4.1728	
			HrvBatReg = 0011	4.1181	4.2000	4.2231	
			HrvBatReg = 0100	4.1671	4.2500	4.2734	
			HrvBatReg = 0101	4.2161	4.3000	4.3237	
			HrvBatReg = 0110	4.2652	4.3500	4.3739	
			HrvBatReg = 0111	4.3142	4.4000	4.4242	

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			HrvBatReg = 1000	4.3632	4.4500	4.4745	
			HrvBatReg = 1001	4.4122	4.5000	4.5248	
			HrvBatReg = 1010	4.4613	4.5500	4.5750	
			HrvBatReg = 1011	4.5103	4.6000	4.6253	
Harvester Interaction Battery Charging Restart Threshold	$V_{HARV\_BAT\_RECHG}$	V_{BAT} falling	HrvBatReChg = 00		$V_{HARV\_BAT\_REG}$ - 0.07		V
			HrvBatReChg = 01		$V_{HARV\_BAT\_REG}$ - 0.12		
			HrvBatReChg = 10		$V_{HARV\_BAT\_REG}$ - 0.17		
			HrvBatReChg = 11		$V_{HARV\_BAT\_REG}$ - 0.22		
Harvester Interaction Battery Charging Stop Threshold Reduction Due to Temperature	$V_{HARV\_BAT\_REG\_JTA}$	HrvCool/Room/WarmBatReg = 00			$V_{HARV\_BAT\_REG}$ - 0.15		V
		HrvCool/Room/WarmBatReg = 01			$V_{HARV\_BAT\_REG}$ - 0.10		
		HrvCool/Room/WarmBatReg = 10			$V_{HARV\_BAT\_REG}$ - 0.05		
		HrvCool/Room/WarmBatReg = 11			$V_{HARV\_BAT\_REG}$		
Harvester Interaction Ideal BAT-to-SYS Diode Regulation	$V_{HARV\_BAT\_SYS\_DIO\_REG}$	V_{BAT} = 4.2V, I_{SYS} = 100mA, measured as V_{BAT} - V_{SYS}			28		mV
Harvester Interaction Ideal BAT-to-SYS Diode Load Transient	$V_{HARV\_BAT\_SYS\_DIO\_LOADTRAN}$	V_{BAT} = 4.2V, I_{SYS} = from -20mA to 1A in 1µs, measured as V_{BAT} - V_{SYS}			165		mV
Harvester Interaction Ideal BAT-to-SYS Diode Release Delay	$t_{HARV\_BAT\_SYS\_DIO\_REL}$	V_{BAT} = 4.2V, I_{SYS} = from 1A to -1mA in 1µs, measured as the time from when I_{BAT} goes negative to when it rises above -50µA			110		µs
SFOUT LDO							
SFOUT LDO Voltage	V_{SFOUT}	SFOUTVSet = 0 (5V), V_{CHGIN} = 6V, I_{SFOUT} = 0mA		4.85	5.00	5.15	V
		SFOUTVSet = 0 (5V), V_{CHGIN} = 5V, I_{SFOUT} = 15mA			4.90		
		SFOUTVSet = 1 (3.3V), V_{CHGIN} = 5V, I_{SFOUT} = 0mA		3.15	3.30	3.45	
		SFOUTVSet = 1 (3.3V), V_{CHGIN} = 5V, I_{SFOUT} = 15mA			3.29		
SFOUT OVP Voltage	V_{SFOUT_OV}	SFOUT LDO is turned off if V_{CHGIN} is above V_{CHGIN_OV} threshold			V_{CHGIN_OV}		V

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SFOUT Thermal Limit	T_{SFOUT_LIM}				150		°C
THERMISTOR MONITOR							
THM Monitoring Quiescent Current	I_{THM_Q}	VDIG to TPU switch closed, THM measurement running			190		µA
Harvester Interaction THM Hot Threshold	$V_{HRV\_THM\_HOT}$	Device Specific (see JEITASet and HrvEn in *Table 8*)	V_{THM} falling, JEITASet = 0, HrvEn = 1 and Harvester Actively Charging	12.51	14.51	16.51	$\%V_{DIG}$
			V_{THM} falling, JEITASet = 1, HrvEn = 1 and Harvester Actively Charging	21.53	23.53	25.53	
THM Hot Threshold	V_{THM_HOT}	Device Specific (see JEITASet in *Table 8*)	V_{THM} falling, JEITASet = 0, No Harvester mode	21.53	23.53	25.53	$\%V_{DIG}$
			V_{THM} falling, JEITASet = 1, No Harvester mode	30.94	32.94	34.94	
THM Warm Threshold	V_{THM_WARM}	Device Specific (see JEITASet in *Table 8*)	V_{THM} falling, JEITASet = 0	30.94	32.94	34.94	$\%V_{DIG}$
			V_{THM} falling, JEITASet = 1	48.20	50.20	52.20	
THM Cool Threshold	V_{THM_COOL}	V_{THM} rising		57.61	59.61	61.61	$\%V_{DIG}$
THM Cold Threshold	V_{THM_COLD}	V_{THM} rising, No Harvester mode		71.73	73.73	75.73	$\%V_{DIG}$
Harvester THM Cold Threshold	$V_{HRV\_THM\_COLD}$	Device Specific (see HrvEn in *Table 8*)	V_{THM} rising, HrvEn = 1 and Harvester Actively Charging	79.57	81.57	83.57	$\%V_{DIG}$
THM Disable Threshold	V_{THM_DIS}	V_{THM} rising		90.94	92.94	94.94	$\%V_{DIG}$
THM Threshold Hysteresis	V_{THM_H}				60		mV
THM Input Leakage	I_{THM_LK}	V_{THM} = 0V to 5.5V, Fuel Gauge contribution not included		-1		+1	µA
TPU Input Leakage	I_{TPU_LK}	VDIG to TPU switch disabled, V_{TPU} = 0V to 5.5V		-1		+1	µA
V_{DIG}-to-TPU Switch Resistance	R_{VDIG_TPU}	3mA through the switch			3	10	Ω
IVMON MULTIPLEXER							
IVMON Multiplexer Output Ratio	$V_{IVMON\_DIV\_RT}$	No load on IVMON pin. Inputs: Charger Current, BAT, SYS, BK1OUT, BK2OUT, BK3OUT, L1OUT, L2OUT, SFOUT, BBOUT	IVMONRatioConfig = 00		100.0		%
			IVMONRatioConfig = 01		50.0		
			IVMONRatioConfig = 10		33.3		
			IVMONRatioConfig = 11		25.0		

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
IVMON Multiplexer Output Impedance	R_{IVMON_DIV}	10µA load on IVMON pin. Inputs Charger Current, BAT, SYS, BK1OUT, BK2OUT, BK3OUT, L1OUT, L2OUT, SFOUT, BBOUT	IVMONRatioConfig = 00		5.5		kΩ
		1µA load on IVMON pin. Inputs Charger Current, BAT, SYS, BK1OUT, BK2OUT, BK3OUT, L1OUT, L2OUT, SFOUT, BBOUT	IVMONRatioConfig = 01		31.0		
			IVMONRatioConfig = 10		28.0		
			IVMONRatioConfig = 11		24.0		
IVMON Input Leakage	I_{IVMON_LK}	IVMON multiplexer disabled, pulldown resistance disabled, VIVMON = 0V to 5.5V		-1		+1	µA
IVMON Multiplexer Off-State Pulldown Resistance	R_{IVMON_OFF}	IVMON multiplexer disabled, pulldown resistance enabled			59.0		kΩ
SAR ADC							
ADC Quiescent Current	I_{ADC_Q}	Conversion running			930		µA
ADC HDIN Divider Resistance	$R_{ADC\_HDIN\_DIV}$	HDIN conversion running			2.20		MΩ
ADC IVMON Divider Resistance	$R_{ADC\_IVMON\_DIV}$	IVMON conversion running			2.20		MΩ
ADC CHGIN Divider Resistance	$R_{ADC\_CHGIN\_DIV}$	CHGIN conversion running			1.10		MΩ
ADC CPOUT Divider Resistance	$R_{ADC\_CPOUT\_DIV}$	CPOUT conversion running			0.82		MΩ
ADC BSTOUT Divider Resistance	$R_{ADC\_BSTOUT\_DIV}$	BSTOUT conversion running			0.89		MΩ
ADC HDIN Least Significant Bit	$V_{ADC\_HDIN\_LSB}$				21.57		mV
ADC IVMON Least Significant Bit	$V_{ADC\_IVMON\_LSB}$				21.57		mV
ADC CHGIN Least Significant Bit	$V_{ADC\_CHGIN\_LSB}$				32.35		mV
ADC CPOUT Least Significant Bit	$V_{ADC\_CPOUT\_LSB}$				32.35		mV
ADC BSTOUT Least Significant Bit	$V_{ADC\_BSTOUT\_LSB}$				82.35		mV
ADC HDIN Absolute Sensing Worst-Case Accuracy	$V_{ADC\_HDIN\_ACC}$	V_{HDIN} = 2.6V		-65		+65	mV
		V_{HDIN} = 5.5V		-123		+123	

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC IVMON Absolute Sensing Worst-Case Accuracy	$V_{ADC\_IVMON\_ACC}$	V_{IVMON} = 1.0V	-34		+34	mV
		V_{IVMON} = 5.5V	-123		+123	
ADC CHGIN Absolute Sensing Worst-Case Accuracy	$V_{ADC\_CHGIN\_ACC}$	V_{CHGIN} = 3.0V	-79		+79	mV
		V_{CHGIN} = 8.0V	-178		+178	
ADC CPOUT Absolute Sensing Worst-Case Accuracy	$V_{ADC\_CPOUT\_ACC}$	V_{CPOUT} = 5.0V	-118		+118	mV
		V_{CPOUT} = 6.6V	-150		+150	
ADC BSTOUT Absolute Sensing Worst-Case Accuracy	$V_{ADC\_BSTOUT\_ACC}$	V_{BSTOUT} = 3.0V	-115		+115	mV
		V_{BSTOUT} = 21.0V	-465		+465	
ADC Conversion Time	t_{ADC_CONV}	1.1ms (typ) additional delay prior to each 1st conversion		82		µs
HAPTIC DRIVER						
Input Voltage	V_{HDIN}		2.6		5.5	V
Quiescent Current	I_{HD_Q}	V_{DRP} / V_{DRN} = 0V to V_{HDIN}		1.25		mA
HDIN UVLO Threshold	V_{HDIN_UVLO}	V_{HDIN} rising	2.65	2.75	2.85	V
		V_{HDIN} falling	2.60	2.70	2.80	
HDIN UVLO Threshold Hysteresis	$V_{HDIN\_UVLO\_H}$			50		mV
H-Bridge PWM Output Frequency	$f_{HD\_PWM\_OUT}$		22.5	25.0	27.5	kHz
H-Bridge PWM Output Duty-Cycle Resolution	$D_{HD\_PWM\_OUT}$	7 bits		V_{HDIN} / 128		%V_{HDIN}
H-Bridge Output-Impedance in Off State	R_{HD_OFF}	HptOffImp = 1		15		kΩ
		HptOffImp = 0		$R_{HD\_ON\_LS}$		Ω
H-Bridge Output Leakage in High-Z State	I_{HD_LK}	During back EMF detection, V_{DRP} / V_{DRN} = 0V to V_{HDIN}	-1		+1	µA
H-Bridge On Resistance	$R_{HD\_ON\_HS}$	High-side pMOS switch on, 300mA load	0.04	0.18	0.50	Ω
	$R_{HD\_ON\_LS}$	Low-side nMOS switch on, 300mA load	0.04	0.18	0.50	
H-Bridge Overcurrent-Protection Threshold	I_{HD_OCP}	Rising current through high-side or low-side switch	600	1000	1500	mA
H-Bridge Overcurrent-Protection Threshold Hysteresis	$I_{HD\_OCP\_H}$			130		mA
H-Bridge Thermal-Shutdown Temperature Threshold	T_{HD_SHDN}	Rising temperature		150		°C
H-Bridge Thermal-Shutdown Temperature Threshold Hysteresis	$T_{HD\_SHDN\_H}$			25		°C
PPWM Mode Input Frequency	$f_{HD\_PPWM\_IN}$		10		250	kHz

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LRA Resonance Frequency Tracking Range	f_{HD_LRA}	See the *Haptic Driver* section	max(200k/IniGss[11:0],100)		min(800k/IniGss[11:0],1000)	Hz
Startup Latency	t_{HD_START}	Time from enabling to vibration response		6.5	7.5	ms
BUCK1&2						
Input-Voltage Range	V_{IN}	Input voltage = V_{SYS}	2.7		5.5	V
Output-Voltage Range	V_{BK_OUT}	10mV step resolution	0.55		1.18	V
		25mV step resolution	0.55		2.125	
		50mV step resolution	0.55		3.7	
Quiescent-Supply Current	I_{Q_BK}	I_{BK_OUT} = 0, V_{SYS} = 3.7V, V_{BK_OUT} = 1.2V, Buck_VStep = 25mV, Buck_FPWM = 0		0.35	0.70	µA
	$I_{Q\_BK\_PWM}$	I_{BK_OUT} = 0, V_{SYS} = 3.7V, V_{BK_OUT} = 1.2V, Buck_FPWM = 1, L = 2.2µH, Buck_ISet = 175mA		2		mA
Shutdown Supply Current with Active Discharge Enabled	I_{SD_BK}	Buck disabled, Buck_ActDsc = 1		60		µA
Output Average Voltage Accuracy	ACC_BK	Buck_IntegDis = 0, CCM operation, V_{BK_OUT} ≤ 3.4V	-2.5		+2.5	%
Peak-to-Peak Voltage Ripple	V_{RPP_BK}	$C_{BK\_OUT\_EFF}$ ≥ 4µF, I_{BK_OUT} = 1mA, L = 2.2µH, Buck_Iset = 150mA, V_{OUT} = 1.2V, V_{SYS} = 3.7V		10		mV
Nominal Peak Current Set Range	I_{PSET_BK}	25mA step resolution	0		375	mA
Load Transient Response	$V_{LOAD\_TRANS\_BK}$	10µA to 300mA at 1A/µs, C_{BK_EFF} = 9µF, V_{BK_OUT} = 1.2V		70		mV
Load Regulation Error	$V_{LOAD\_REG\_BK\_}$	Buck_IAdptDis = 0, Buck_IntegDis = 0 I_{BK_OUT} = 500mA		-0.5		%
Line Regulation Error	$V_{LINE\_REG\_BK\_}$	V_{BK_OUT} = 1.2V, V_{SYS} from 2.7V to 5.5V, I_{BK_OUT} = 200mA, C_{BK_OUT} > 9µF		±5		mV
Maximum Operative Output Current	I_{BK_MAX}	Load regulation error = -5%, Buck_IntegDis = 0	400			mA
Valley Current Limit During Short-Circuit to GND	I_{SHRT_BK}	V_{BK_OUT} = 0V		1		A
Valley Current Limit During Startup	$I_{VLY\_BK\_STUP}$	During startup before PGOOD = 1 condition is achieved		250		mA
BKLX Leakage Current	I_{LK_BKLX}	Buck disabled	-1		+1	µA
Active Discharge Current	I_{ACTD_BK}	V_{BK_OUT} = 0.7V	8	16	28	mA
Passive Discharge Resistance	R_{PSV_BK}		6	10	14	kΩ
Full Turn-On Time	t_{ON_BK}	Time from enable to PGOOD and full current capability. No load. 1		10		ms

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		Murata GRM155R60J226ME11 22µF output capacitor				
Efficiency	EFFIC_BK	Buck_VSet = 1.2V, I_{BK_OUT} = 10mA, Inductor: Murata DFE201610E-2R2M		86		%
BKLX Rising/Falling Slew Rate	SLW_BK	Buck_LowEMI = 0		3		V/ns
	SLW_BK_L	Buck_LowEMI = 1		0.6		
Thermal Shutdown Threshold	T_{SHDN_BK}	I_{LOAD} > 20mA		140		°C
BUCK3						
Input-Voltage Range	V_{IN}	Input voltage = VSYS	2.7		5.5	V
Output-Voltage Range	V_{BK3OUT}	10mV step resolution	0.55		1.18	V
		25mV step resolution	0.55		2.125	
		50mV step resolution	0.55		3.7	
Quiescent-Supply Current	I_{Q_BK3}	IBK3OUT = 0, VSYS = 3.7V, VBK3OUT = 3.3V, Buck3FPWM = 0		0.5	0.8	µA
	$I_{Q\_BK3\_PWM}$	IBK3OUT = 0, VSYS = 3.7V, VBK3OUT = 3.3V, Buck3FPWM = 1, L = 2.2µH, Buck3ISet = 175mA		1.5		mA
Shutdown Supply Current with Active Discharge Enabled	I_{SD_BK3}	Buck3 disabled, Buck3ActDsc = 1		60		µA
Output Average-Voltage Accuracy	ACC_BK3	Buck3IntegDis = 0, CCM operation, VBK3OUT ≤ 3.4V	-2.5		+2.5	%
Peak-to-Peak Voltage Ripple	V_{RPP_BK3}	CBK3OUT_EFF ≥ 4µF, IBK3OUT = 1mA; L = 2.2µH; Buck3Iset = 150mA, VOUT = 1.2V, VSYS = 3.7V		10		mV
Nominal Peak Current Set Range	I_{PSET_BK3}	25mA step resolution	0		375	mA
Load Transient Response	$V_{LOAD\_TRANS\_BK3}$	10µA to 300mA at 1A/µs, CBK3EFF = 9µF, VBK3OUT = 1.2V		70		mV
Load Regulation Error	$V_{LOAD\_REG\_BK3}$	Buck3IAdptDis = 0, Buck3IntegDis = 0, IBK3OUT = 500mA		-0.5		%
Line Regulation Error	$V_{LINE\_REG\_BK3}$	V_{BK3OUT} = 3.3V, VSYS from 5.5V to 3.4V, IBK3OUT = 300mA, C_{BK3OUT} > 4µF, LDO mode assistant enabled		±100		mV
Maximum Operative Output Current	I_{BK3_MAX}	Load regulation error = -5%, Buck3IntegDis = 0	600			mA
Valley Current Limit During Short-Circuit to GND	I_{SHRT_BK3}	VBK3OUT = 0V		1.8		A
Valley Current Limit During Startup	$I_{VLY\_BK3\_STUP}$	During startup before PGOOD = 1 condition is achieved		250		mA
BK3LX Leakage Current	I_{LK_BK3LX}	Buck3 disabled			1	µA
Active Discharge Current	I_{ACTD_BK3}	VBK3OUT = 0.7V	8	16	28	mA
Passive Discharge Resistance	R_{PSV_BK3}		6	10	14	kΩ

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Full Turn-On Time	t_{ON_BK3}	Time from enable to PGOOD and full current capability. No load. 1 Murata GRM155R60J226ME11 22µF output capacitor		10		ms
Efficiency	EFFIC_BK3	Buck3VSet = 3.3V, IBK3OUT = 250mA, Inductor: Murata DFE201610E-2R2M		95		%
BK3LX Rising/Falling Slew Rate	SLW_BK3	Buck3LowEMI = 0		3		V/ns
	SLW_BK3_L	Buck3LowEMI = 1		0.6		
Thermal Shutdown Threshold	T_{SHDN_BK3}	ILOAD > 20mA		140		°C
Supply vs. BOUT Dropout threshold	$V_{IN\_BOUT\_DROPOUT\_TH\_F}$	Supply falling, Buck3VSet = 3.3V	250	330	400	mV
LDO1 (TYPICAL VALUES ARE AT V_{L1IN}=1.2V, V_{L1OUT}=1V)						
Input Voltage	V_{IN_LDO1}	LDO mode	1		2	V
		Switch mode	0.7		2	
Quiescent-Supply Current	I_{Q_LDO1}	LDO enabled, I_{L1OUT} = 0		1.0	2.2	µA
		LDO enabled, I_{L1OUT} = 0, switch mode		0.35	0.90	
		LDO enabled, I_{L1OUT} = 0, LDO1_MPC0CNT = 1, MPC0 high		0.7	1.5	
Quiescent-Supply Current in Dropout	$I_{Q\_LDO1\_D}$	I_{L1OUT} = 0, V_{L1IN} = 1.2V, LDO1VSet = 0x1D (1.225V)		2.4	4.2	µA
Output Leakage	I_{LK_L1OUT}	V_{L1OUT} = GND, LDO1 disabled		0.015	2.5	µA
Shutdown Supply Current with Active Discharge Enabled	I_{SD_LDO1}	LDO1 disabled, LDO1ActDsc = 1		50		µA
Maximum Output Current	I_{L1OUT_MAX}		50			mA
Output-Voltage Range	V_{L1OUT}	25mV step resolution	0.50		1.95	V
Output-Voltage Accuracy	ACC_LDO1	(V_{L1OUT} + 0.2V) ≤ V_{L1IN} ≤ 2V, I_{L1OUT} = 1mA	-3.25		+3.25	%
Dropout Voltage	V_{DROP_LDO1}	V_{L1IN} = 1V, I_{L1OUT} = 50mA, LDO1VSet = 1V			70	mV
Line-Regulation Error	$V_{LINEREG\_LDO1}$	V_{L1IN} = (V_{L1OUT} + 0.2V) to 2V	-0.4		+0.4	%/V
Load-Regulation Error	$V_{LOADREG\_LDO1}$	I_{L1OUT} = 100µA to 50mA		0.003	0.013	%/mA
Line Transient	$V_{LINETRAN\_LDO1}$	V_{L1IN} = +1V to +2V, 200ns rise time		±45		mV
		V_{L1IN} = +1V to +2V, 1µs rise time		±25		
Load Transient	$V_{LOADTRAN\_LDO1}$	I_{L1OUT} = 0 to 10mA, 200ns rise time		80		mV
		I_{L1OUT} = 0mA to 50mA, 200ns rise time		130		
Passive-Discharge Resistance	R_{PD_LDO1}		5	10	15	kΩ
Active-Discharge Current	I_{AD_LDO1}		7	25	55	mA
	R_{ON_LDO1}	V_{L1IN} = 1V, I_{L1OUT} = 50mA			1.1	Ω

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Switch Mode Resistance	$R_{ON\_LDO1\_0p7}$	V_{L1IN} = 0.7V, I_{L1OUT} = 1mA			2.7	
Turn-On Time	t_{ON_LDO1}	I_{L1OUT} = 0, time from 10%–90% of final value		0.38		ms
	$t_{ON\_LDO1\_SW}$	I_{L1OUT} = 0, time from 10%–90% of final value, switch mode		0.065		ms
	t_{ON_LDO1}	I_{L1OUT} = 0mA, LDO1_MPC0CNT = 1, time from MPC0 rising to 90% of L1OUT final value, C_{L1OUT} = 10nF		580		ns
Short-Circuit Current Limit	I_{SHRT_LDO1}	V_{L1IN} = 1.2V, V_{L1OUT} = GND		400	1000	mA
		V_{L1IN} = 1.2V, V_{L1OUT} = GND, switch mode		305	1000	mA
Thermal-Shutdown Temperature	T_{SHDN_LDO1}			150		°C
Thermal-Shutdown Temperature Hysteresis	$T_{SHDN\_LDO1\_H}$			10		°C
L1IN UVLO	V_{UVLO_LDO1}	V_{L1IN} falling	0.53	0.77		V
		V_{L1IN} rising		0.78	1.00	V
Output Noise	V_{NOISE_LDO1}	10Hz to 100kHz, V_{L1IN} = 2V, V_{L1OUT} = 1.8V		120		μV_{RMS}
		10Hz to 100kHz, V_{L1IN} = 2V, V_{L1OUT} = 1.0V		95		μV_{RMS}
		10Hz to 100kHz, V_{L1IN} = 2V, V_{L1OUT} = 0.5V		70		μV_{RMS}
LDO2 (ALWAYS ON LDO, TYPICAL VALUES ARE AT V_{L2IN} = +3.7V, V_{L2OUT} = +3V)						
Input Voltage	V_{IN_LDO2}	LDO mode	1.71		5.5	V
		Switch mode	1.2		5.5	V
Quiescent-Supply Current	I_{Q_LDO2}	LDO enabled, I_{L2OUT} = 0µA		1.0	1.9	µA
	IQ_LDO2_SW	LDO enabled, I_{L2OUT} = 0µA, switch mode		0.35	0.9	µA
Quiescent-Supply Current in Dropout	$I_{Q\_LDO2\_D}$	I_{L2OUT} = 0µA, V_{L2IN} = 2.9V, LDO2VSet = 0x15 (+3V)		1.9	3.7	µA
Shutdown-Supply Current with Active Discharge Enabled	I_{SD_LDO2}	LDO2 disabled, LDO2ActDSC = 1		55		µA
Maximum Output Current	I_{L2OUT_MAX}	V_{L2IN} > 1.8V	100			mA
			50			mA
Maximum Output Current when Supplied from V_{CCINT}	$I_{L2OUT\_MAX\_VCCINT}$	V_{BAT} > 3.2V, V_{L2OUT} = 1.8V, LDO2Supply = internal (see *Table 8*)	100			µA
Internal-Supply Switch	R_{ON_L2IN}	LDO2Supply = internal (see *Table 8*), switch between VCCINT and L2IN	4.5	7.3	11	kΩ
Output-Voltage Range	V_{L2OUT}	100mV step resolution	0.9		4.0	V
Output-Voltage Accuracy	ACCLDO2	V_{L2IN} = (V_{L2OUT} + 0.5V) or higher, I_{L2OUT} = 1mA	-2.7		+2.7	%

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Dropout Voltage	V_{DROP_LDO2}	V_{L2IN} = 3.0V, LDO2VSet = 3.1V, I_{L2OUT} = 100mA				100	mV
		V_{L2IN} = 1.85V, LDO2VSet = 1.9V, I_{L2OUT} = 100mA				130	
Line-Regulation Error	$V_{LINEREG\_LDO2}$	V_{L2IN} = (V_{L2OUT} + 0.5V) to 5.5V, V_{L2IN} ≥ 1.8V		-0.4		+0.4	%/V
Load-Regulation Error	$V_{LOADREG\_LDO2}$	+1.8V ≤ V_{L2IN} ≤ +5.5V, I_{L2OUT} = 100µA to 100mA			0.002	0.007	%/mA
Line Transient	$V_{LINETRAN\_LDO2}$	V_{L2IN} = 4V to 5V, 200ns rise time			±35		mV
		V_{L2IN} = 4V to 5V, 1µs rise time			±25		
Load Transient	$V_{LOADTRAN\_LDO2}$	200ns rise time	I_{L2OUT} = 0mA to 10mA		100		mV
			I_{L2OUT} = 0mA to 100mA		200		
Passive Discharge Resistance	R_{PD_LDO2}			5	10	15	kΩ
Active Discharge Current	I_{AD_LDO2}	V_{L2IN} = 3.7V		8	22	40	mA
Switch-Mode Resistance	R_{ON_LDO2}	I_{L2OUT} = 100mA, switch mode	V_{L2IN} = 2.7V		0.4	0.7	Ω
	$R_{ON\_LDO2\_1p8}$	I_{L2OUT} = 100mA, switch mode	V_{L2IN} = 1.8V		0.65	1	
	$R_{ON\_LDO2\_sw}$	I_{L2OUT} = 5mA, switch mode	V_{L2IN} = 1.2V		1.5	2.3	
Turn-On Time	t_{ON_LDO2}	I_{L2OUT} = 0mA, time from 10% to 90% of final value			1.5		ms
			Switch mode		0.26		
Short-Circuit Current Limit	I_{SHRT_LDO2}	V_{L2OUT} = GND	V_{L2IN} = 5.5V	225	460	650	mA
	$I_{SHRT\_LDO2\_SW}$	V_{L2OUT} = GND	V_{L2IN} = 2.7V, switch mode	210	350	540	
Thermal-Shutdown Temperature	T_{SHDN_LDO2}				150		°C
Thermal-Shutdown Temperature Hysteresis	$T_{SHDN\_LDO2\_H}$				20		°C
L2IN UVLO	V_{UVLO_LDO2}	V_{L2IN} falling		1.05	1.35		V
		V_{L2IN} rising			1.36	1.69	
Output Noise	V_{NOISE_LDO2}	10Hz to 100kHz, V_{L2IN} = 5V, V_{L2OUT} = 3.3V			150		$µV_{RMS}$
		10Hz to 100kHz, V_{L2IN} = 5V, V_{L2OUT} = 2.5V			125		
		10Hz to 100kHz, V_{L2IN} = 5V, V_{L2OUT} = 1.2V			90		
		10Hz to 100kHz, V_{L2IN} = 5V, V_{L2OUT} = 0.8V			80		
Ouput Leakage	I_{LK_L2OUT}	V_{L2OUT} = GND, LDO2 disabled		-1		+1	µA
BUCK-BOOST							
	V_{BBIN}	Input voltage = V_{SYS}		2.7		5.5	V

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage						
Output Voltage Set Range	V_{BBOUT}	50mV step resolution, do not exceed the valid voltage range	2.6		5.5	V
Quiescent Supply Current	I_{Q_BB}	I_{BBOUT} = 0, V_{BBOUT} = 5V		2	4	µA
Shutdown Supply Current with Active Discharge Enabled	I_{SD_BB}	Buck-boost disabled, BBstActDsc = 1		60		µA
Maximum Output Operative Power	P_{MAX_BBOUT}	BBstIAdptDis = 0, V_{BBIN} ≥ 3.2V, V_{BBOUT} ≥ 3.2V, 7.5% load regulation (Note 3)	1.5			W
Load-Regulation Error	LOAD_REG_ERR	BBstIAdptDis = 0, BBstVSet > 3.3V, P_{OUT} = 1.5W		-3.5		%
Average Output-Voltage Accuracy	ACC_BBOUT	I_{BBOUT} = 1mA, C_{BBOUT_EFF} ≥ 5µF	-3		3	%
Maximum Output Current During Startup	$I_{LOAD\_MAX\_STUP}$	V_{BBIN} > 3V, BBstIAdptDis = 0	85			mA
Startup Time	t_{STUP}	I_{LOAD} < $I_{LOAD\_MAX\_STUP}$, time from V_{BBOUT} = 0V to final value		13		ms
Input-Supply Current During Startup	I_{BBIN_STUP}	V_{BBIN} = 3.6V, V_{BBOUT} = 5V, C_{BBOUT_EFF} = 10µF, I_{BBOUT} = 0		10		mA
Output UVLO Threshold	V_{BBOUT_UVLO}	Falling edge (50mV hysteresis)		1.85	2.46	V
HVLX Leakage Current	I_{LK_BBHVLX}		-1		+1	µA
LVLX Leakage Current	I_{LK_BBLVLX}		-1		+1	µA
Passive Discharge Resistance	R_{PSV_BB}		5	10	17	kΩ
Active Discharge Current	I_{ACTD_BB}	V_{BBOUT} = 2.5V	5	20	50	mA
BBOUT Pulldown Current	$I_{PD\_BB\_E}$	BBst Enabled; BBstVSet = 4V; V_{BBOUT} = 4.1V		300		nA
Thermal Shutdown Temp	T_{SHDN_BB}	I_{LOAD} > 20mA		150		°C
HV BOOST						
Input-Voltage Range	V_{BSTIN}	Input voltage = V_{SYS}	2.7		5.5	V
Output-Voltage Range	V_{BSTOUT}	250mV step resolution	5		20	V
Output-Voltage UVLO	V_{BSTOUT_UVLO}	V_{BSTOUT} - V_{SYS} falling	-2.7	-2.2	-1.6	V
Quiescent-Supply Current	I_{Q_BST}	I_{BSTOUT} = 0, V_{SYS} = 3.7V, BstVSet = 5V, T_A = 25°C		2.4	9	µA
		I_{BSTOUT} = 0, V_{SYS} = 3.7V, BstVSet = 5V			106	
Output-Average Voltage Accuracy	ACC_BST	I_{BSTOUT} = 1mA, V_{HVOUT} < 13V	-4		+2	%
Peak-to-Peak Voltage Ripple	V_{RPP_BST}	BstISet = 350mA, BstVSet = 12V, C_{BSTOUT_EFF} = 10µF, L_{BSTOUT} = 4.7µH, I_{BSTOUT} = 1mA		5		mV
Peak Current-Set Range	I_{PSET_BST}	25mA step resolution	100		475	mA

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC Load Regulation Error	$V_{LOAD\_REG\_BST}$	BstVSet = 12V, I_{BSTOUT} = 25mA, BstISet = 300mA, BstIAdptEn = 1		0.3		%
DC Line Regulation Error	$V_{LINE\_REG\_BST}$	BstVSet = 6.5V, V_{SYS} from 2.7V to 5.5V		4		mV
BSTOUT Pulldown Resistance	R_{BSTOUT}	-3% Load Regulation Error		10		MΩ
True Shutdown PMOS On-Resistance	R_{ON_TS}	I_{BSTOUT} = 100mA		0.15	0.22	Ω
Boost Freewheeling NMOS On-Resistance	$R_{ONBST\_FRWHL\_N}$	I_{BSTOUT} = 100mA		0.45	0.7	Ω
Boost NMOS On-Resistance	R_{ONBST_N}	BstFETScale = 0, I_{BSTOUT} = 100mA		0.55	0.9	Ω
	R_{ONBST_NFS}	BstFETScale = 1, I_{BSTOUT} = 100mA		1.1	1.8	
Schottky Diode Forward Voltage	$V_{BE\_SCHOTTKY}$	I_{BSTOUT} = 100mA, $V_{BSTHVLX}$ - V_{BSTOUT}	0.2	0.4	0.6	V
Freewheeling On-Resistance	R_{ONBST_FRWHL}	I_{BSTOUT} = 100mA		50	80	Ω
Minimum t_{ON}	$t_{ON\_BST\_MIN}$			65		ns
Max Switching Frequency	$FREQ\_BST\_MX$	V_{BSTOUT} regulation error = -150mV, BstISet = 100mA, BstIAdptEn = 0	1.7	3.5	5.5	MHz
Max Peak Current Setting Extra Budget with BstIAdptEn = 1	ΔI_{P_MAX}	BstIAdptEn = 1, V_{BSTOUT} regulation error = -200mV	150	250	450	mA
Short-Circuit Current Limit Difference vs. Peak Current Setting	ΔI_{BST_SHRT}	BstIAdptEn = 0	130	200	250	mA
BSTHVLX Leakage	$I_{LK\_BSTHVLX}$	Boost disabled			1	µA
BSTLVLX Leakage	$I_{LK\_BSTLVLX}$	Boost disabled			1	µA
Passive Discharge Resistance	R_{BSTPSV}			10		kΩ
Linear BSTOUT Precharge Current	$I_{L\_BSTOUT\_PRCH}$	V_{BSTOUT} from 0V to V_{SYS} - 0.4V	5	12.5	20	mA
Switching Precharge Inductor Current	$I_{SW\_BSTOUT\_PRCH}$	V_{BSTOUT} from V_{SYS} - 0.4V to final regulation voltage		13		mA
Full Turn-On Time	$t_{ON\_BST\_MIN}$	Time from enable to full current capability		100		ms
Efficiency	EFFIC_12	BstVSet = 12V, I_{BSTOUT} = 20mA, BstISet = 300mA, Inductor = Murata DFE201610E-4R7M		85		%
	EFFIC_15	BstVSet = 15V, I_{BSTOUT} = 2mA, BstISet = 300mA, Inductor = Murata DFE201610E-4R7M		83		
	EFFIC_5	BstVSet = 5V, I_{BSTOUT} = 10µA, BstISet = 150mA, Inductor = Murata DFE201610E-4R7M		76		
	EFFIC_6P5	BstVSet = 6.5V, I_{BSTOUT} = 10µA, BstISet = 150mA, Inductor = Murata DFE201610E-4R7M		73		

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BHVLX Rising/Falling Slew Rate	SLW_BSTHVLX			2		V/ns
Thermal Shutdown Threshold	T_{SHDN_BST}	I_{LOAD} > 20mA		140		°C
CHARGE PUMP						
Input Voltage	V_{CPIN}	Input voltage = V_{SYS}	2.7		5.5	V
Quiescent-Supply Current	$I_{Q\_CP\_5V}$	I_{CPOUT} = 0µA, CPVSet = 5V		2	3.5	µA
	$I_{Q\_CP\_6.6V}$	I_{CPOUT} = 0µA, CPVSet = 6.6V		2.2	4.3	
CPOUT Output Voltage	V_{CPOUT}	CPVSet = 0, I_{CPOUT} = 10µA, V_{SYS} > 3.3V		6.6		V
		CPVSet = 1, I_{CPOUT} = 10µA		5		
Output Accuracy	ACC_CP	I_{CPOUT} < 120µA, V_{SYS} > 3.3V	-3		+3	%
Maximum Operative Output Current	I_{CPOUT_MAX}	V_{SYS} > 3.3V, -5% load regulation error	250			µA
Efficiency	EFF_CP	CPVSet = 6.6V, I_{OUT} = 10µA, V_{SYS} = 3.7V		79		%
Max Charge-Pump Frequency	FREQ_CP		89	100	114	kHz
Passive-Discharge Resistance	R_{PSV_CP}			10		kΩ
LOAD SWITCHES 1 AND 2 (TYPICAL VALUES ARE AT V_{LSW_IN}> = 1.2V)						
Input Voltage	V_{SW_IN}		0.65		5.50	V
Quiescent-Supply Current	$I_{Q\_SW\_}$	Load switch on, voltage protection enabled		0.80	1.20	µA
		Load switch on, voltage protection disabled		0.26	0.45	
On-Resistance	$R_{SW\_}$	V_{SYS} = 3V, V_{SW_IN} = 1.2V, I_{SW_OUT} = 50mA		0.5	0.85	Ω
Startup Current	I_{SW_START}	V_{LSW_IN} = 1.2V, V_{LSW_OUT} = 0V initially		50	108	mA
Voltage Protection Threshold	V_{SW_PROT}			130	260	mV
			10	120		
Turn-On Time	$t_{ON\_SW\_}$	V_{LSW_IN} = 1.2V, 1µF output capacitance, 10% to 90% out		15		µs
Startup Time-Out Time	t_{STUP_LSW}			5		ms
Startup Retry Time	$t_{RETRY\_LSW\_}$			5		ms
Passive Discharge Resistance	$R_{PSV\_LSW\_}$			10		kΩ
Active Discharge Current	$I_{ACTD\_LSW\_}$			20		mA
Output Leakage	$I_{LK\_LSW\_}$				1	µA
LED CURRENT SINKS						
Maximum Input Voltage	$V_{IN\_LED\_MAX}$				20	V
Quiscent Current	I_{Q_LED}	All LEDs on, V_{SYS} = 3.7V		245	370	µA

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current Sink Setting Range	I_{LED_RNG}	LEDIStep = 0.6mA steps	0.6		15	mA
		LEDIStep = 1mA steps	1		25	
		LEDIStep = 1.2mA steps	1.2		30	
LED Current Accuracy	ACC_LED	$I_{LED\_}$ = 13mA, T_A = +25°C, $V_{LED\_}$ = +0.7V to +20V	-2		+2	%
		$I_{LED\_}$ = 13mA, $V_{LED\_}$ = +0.7V to +20V	-5		+5	
		$I_{LED\_}$ = 0.6mA to 30mA, T_A = +25°C, $V_{LED\_}$ = +0.7V to +20V	-5		+5	
		$I_{LED\_}$ = 0.6mA to 30mA, $V_{LED\_}$ = +0.7V to +20V	-6		+6	
LED Dropout Voltage	V_{LED_DROP}	I_{LED_SET} = 5mA, $I_{LED\_}$ = 0.9 x 5mA		110	160	mV
		I_{LED_SET} = 25mA, $I_{LED\_}$ = 0.9 x 25mA		145	215	
		I_{LED_SET} = 30mA, $I_{LED\_}$ = 0.9 x 30mA		175	270	
Leakage in Shutdown	I_{LK_LED}	$V_{LED\_}$ = +20V			0.1	µA
Open-LED Detection Threshold	V_{LED_DET}	LED_ enabled, LEDIStep = 0.6mA steps, falling edge	61	92	140	mV
VBSTOUT Loop Max Voltage	LED_LOOP_VMAX	5V < BstVSet < 15V, LED_BoostLoop = 1, VLED0 = GND		V_{BSTOUT} + 5		V
VLED0 Loop Regulation Voltage	VLED0_LOOP_REG	LED_BoostLoop = 1, LED0_REFSEL = 00	190	200	210	mV
		LED_BoostLoop = 1, LED0_REFSEL = 01	290	300	310	
		LED_BoostLoop = 1, LED0_REFSEL = 10	385	400	415	
		LED_BoostLoop = 1, LED0_REFSEL = 11	485	500	515	
FUEL GAUGE (REFER TO MAX17260 FOR DETAILS)/ POWER SUPPLY						
FGBAT UVLO Threshold	V_{FGBAT_UVLO}	V_{FGBAT} rising, V_{CHGIN} present		2.25	2.28	V
		V_{FGBAT} falling, V_{CHGIN} present	2.16	2.19		
Shutdown Supply Current	I_{DD0}			0.5		µA
Hibernate Supply Current	I_{DD1}	Average current		5.5		µA
Active Supply Current	I_{DD2}	Average current not including thermistor measurement current		12.5		µA
Startup Voltage	$V_{FGBATSU}$				3.05	V
FUEL GAUGE (REFER TO MAX17260 FOR DETAILS)/ ANALOG-TO-DIGITAL CONVERSION						
FGBAT Measurement Error	V_{GERR}	T_A = +25°C	-7.5		+7.5	mV
		-40°C ≤ T_A ≤ +85°C	-20		20	
FGBAT Measurement Resolution	V_{LSB}			78.125		µV
FGBAT Measurement Range	V_{FS}		2.3		4.9	V
Current-Measurement Offset Error	I_{OERR}	Long-term average without load current		±1.5		µV

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Measurement Error	I_{GERR}		-1		+1	% of Reading
Current-Measurement Resolution	I_{LSB}			1.5625		µV
Current-Measurement Range	I_{FS}			±51.2		mV
Internal Temperature-Measurement Error	TI_{GERR}	-40°C ≤ T_A ≤ +85°C		±1		°C
Internal Temperature-Measurement Resolution	TI_{LSB}			0.00391		°C
FUEL GAUGE (REFER TO MAX17260 FOR DETAILS)/ INPUT/OUTPUT						
External Thermal Resistance	R_{EXT10}	Config.R100 = 0		10		kΩ
	R_{EXT100}	Config.R100 = 1		100		
Output Drive Low, $\overline{ALRT}$, SDA	V_{OL}	I_{OL} = 4mA, V_{FGBAT} = 2.3V			0.4	V
Input Logic High, $\overline{ALRT}$, SCL, SDA	V_{IH}		1.5			V
Input Logic Low, $\overline{ALRT}$, SCL, SDA	V_{IL}				0.5	V
Battery-Detach Detection Threshold	V_{DET}	Measured as a fraction of V_{FGBAT} on THM rising	91.0	96.2	99.0	%
Battery-Detach Detection Threshold Hysteresis	$V_{DET-HYS}$	Measured as a fraction of V_{FGBAT} on THM falling		1.6		%
Battery-Detach Comparator Delay	t_{OFF}	THM step from 70% to 100% of V_{FGBAT} (Alrtp = 0, EnAIN = 1, FTHRM = 1)			100	µs
FUEL GAUGE (REFER TO MAX17260 FOR DETAILS)/ LEAKAGE						
Leakage Current, CSN, CSPH, $\overline{ALRT}$	I_{LEAK}	V_{ALRT} < 15V	-1		+1	µA
FUEL GAUGE (REFER TO MAX17260 FOR DETAILS)/ TIMING						
Time-Base Accuracy	t_{ERR}	T_A = +25°C	-1		+1	%
THM Precharge Time	t_{PRE}		8.48			ms
FUEL GAUGE (REFER TO MAX17260 FOR DETAILS)/ DIGITAL						
SDA, SCL, MPC_, PFN_, $\overline{RST}$, $\overline{INT}$ Input-Leakage Current	I_{LK_IO}	Input pullup/pulldown resistances disabled, V_{IO} = 0V to 5.5V	-1		+1	µA
SDA, SCL, MPC_ Input-Logic High	V_{IO_IH}		1.4			V
SDA, SCL, MPC_ Input-Logic Low	V_{IO_IL}				0.4	V
PFN_ Input-Logic High	$V_{PFN\_IH\_C}$	OFF/SEAL mode		0.7 x V_{CCINT}		V

（特に指定のない限り、V_{BAT} = V_{FGBAT} = V_{SYS_UVLO}（立下がり）～+5.5V、V_{CHGIN} = 未接続または V_{CHGIN_DET}～+28.0V、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、VBAT = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH における値。制限値は T_A = +25ºC で 100%テストされています）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PFN_ Input-Logic Low	$V_{PFN\_IL\_C}$	OFF/SEAL mode		0.3 x V_{CCINT}		V
PFN_ Input-Logic High	$V_{PFN\_IH\_T}$	ON mode	1.4			V
PFN_ Input-Logic Low	$V_{PFN\_IL\_T}$	ON mode			0.4	V
MPC_, PFN_ Input-Pullup Resistance	R_{IO_PU}	Pullup resistance to V_{CCINT} (Note 2)		170		kΩ
MPC_, PFN_ Input-Pulldown Resistance	R_{IO_PD}			170		kΩ
MPC_ Output Logic-High	V_{IO_OH}	I_{OH} = 1mA, MPC_ configured as push-pull output, pullup voltage is V_{BK1OUT}	V_{BK1OUT} - 0.4			V
SDA, MPC_, PFN_, $\overline{RST}$, $\overline{INT}$ Output Logic Low	V_{IO_OL}	I_{OL} = 4mA			0.4	V
MPC6 Harvester Disable Pullup Resistor	$R_{MPC6\_HARV\_DIS\_RPU}$	Harvester interaction enabled, pull-up resistor to V_{CCINT} (Note 2)		4		kΩ
SCL Clock Frequency	f_{SCL}	(Note 4)	0		400	kHz
Bus Free-Time Between STOP and START Condition	t_{BUF}		1.3			µs
Hold Time for a Repeated START Condition	t_{HD_STA}		0.6			µs
Setup Time for a Repeated START Condition	t_{SU_STA}		0.6			µs
Low Period of SCL Clock	t_{LOW}	(Note 5)	1.3			µs
High Period of SCL Clock	t_{HIGH}		0.6			µs
Data-Hold Time	t_{HD_DAT}	(Note 6, 7)	0		0.9	µs
Data-Setup Time	t_{SU_DAT}		100			ns
Setup Time for STOP Condition	t_{SU_STO}		0.6			µs
Spike Pulse Widths Suppressed by Input Filter	t_{SP}	(Note 8)	50			ns
SPI						
SCLK Frequency	f_{SCLK}				10	MHz
$\overline{CS}$ Setup Time	t_{CS}		10			ns
$\overline{CS}$ Hold Time	t_{CH}		100			ns
$\overline{CS}$ Pulse-Width High	t_{IDLE}			60		ns
DIN Setup Time	t_{DS}		10			ns
DIN Hold Time	t_{DH}		20			ns
SCLK Pulse-Width Low	t_{LOW_SPI}		20			ns
SCLK Pulse-Width High	t_{HIGH_SPI}		20			ns

Note 1 : すべてのデバイスは T_A = +25ºC で 100%出荷テストを行っています。全温度範囲での制限値は設計により確認されています。

Note 2 : V_{CCINT} は BAT または CAP から生成される内部電源です。その電圧は次式により決定されます。
IF: [(V_{CHGIN} > V_{CHGIN_DET} AND V_{CAP} > V_{CAP_DET}) OR V_{CAP} > (V_{BAT} + $V_{THSWOVER}$)]
THEN: V_{CCINT} = V_{CAP}
ELSE: V_{CCINT} = V_{BAT}
ここで、$V_{THSWOVER}$ = 0mV～300mV

Note 3 : これらの仕様については出荷テストを行っていませんが、設計により裏付けられています。

Note 4 : バス・ローの状態がシャットダウン・タイマーの設定より長くなることにより残量ゲージがシャットダウン・モードになってしまうのを防げるよう、十分に早いタイミングとする必要があります。

Note 5 : SCL 波形は「最小クロック・ロー時間 + 立上がり／立下がり時間」の条件を満たしていなければなりません。

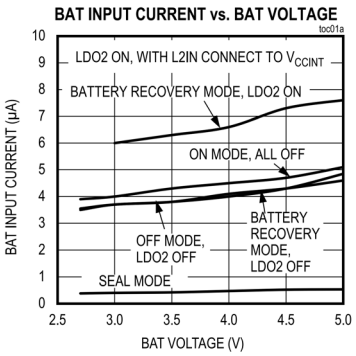
Note 6 : t_{HD_DAT} が最大値となるのは、デバイスが SCL 信号のロー時間（t_{LOW}）を延長しない場合だけに限る必要があります。

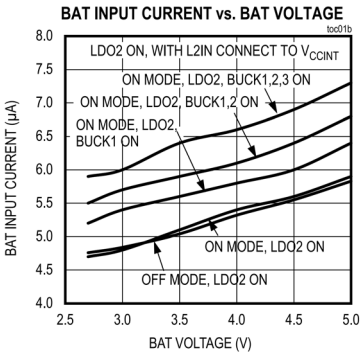
Note 7 : このデバイスは、SCL 立下がりエッジの不定領域を埋めるために、SDA 信号に対して少なくとも 100ns（SCL 信号の最小 V_{IH} 基準）のホールド時間を確保するがあります。

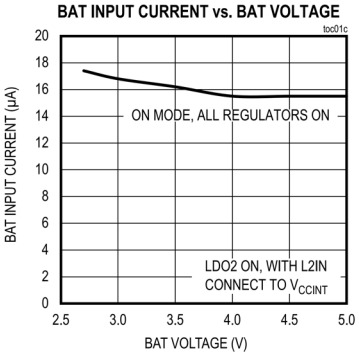
Note 8 : SDA と SCL のフィルタは入力バッファのノイズ・スパイクを抑制して、サンプリング・タイミングを遅らせます。

標準動作特性

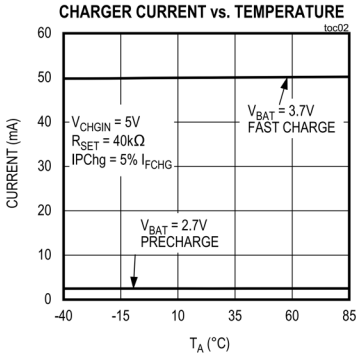
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

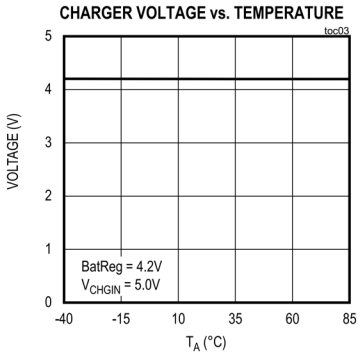


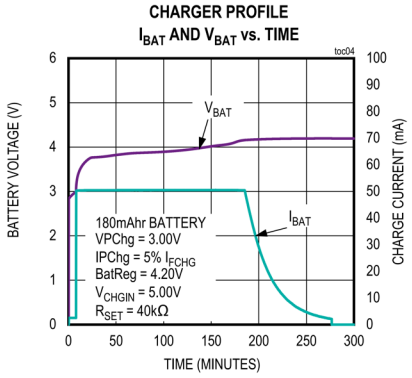


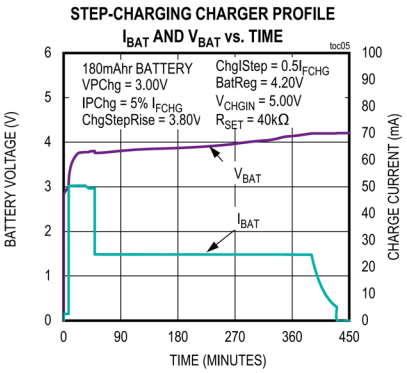


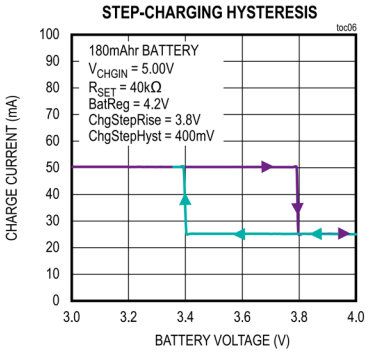
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

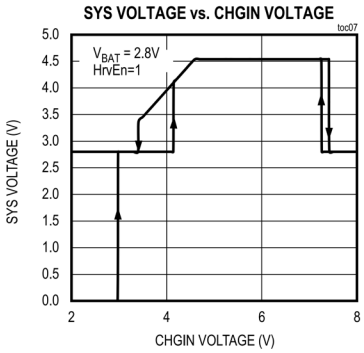


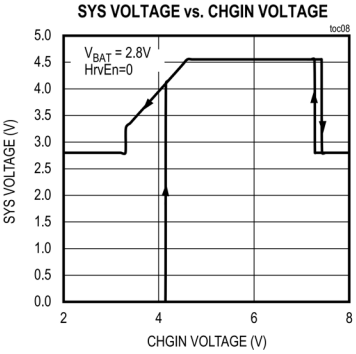


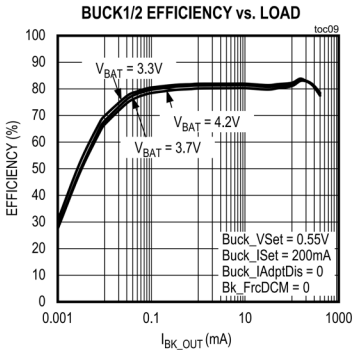


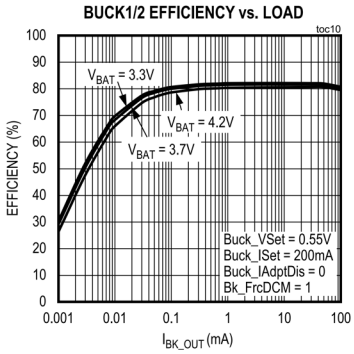




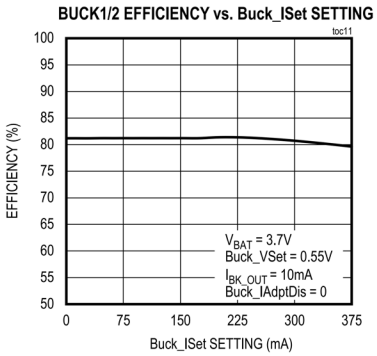


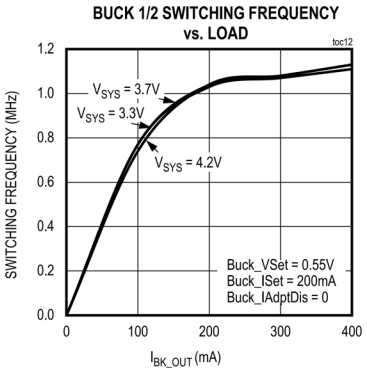


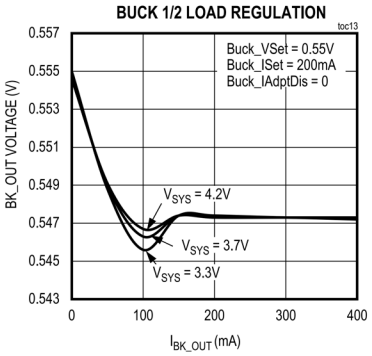


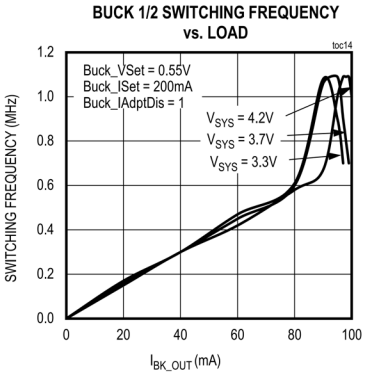


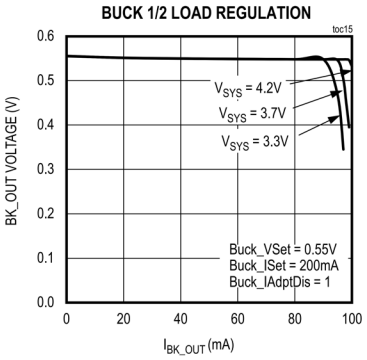
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

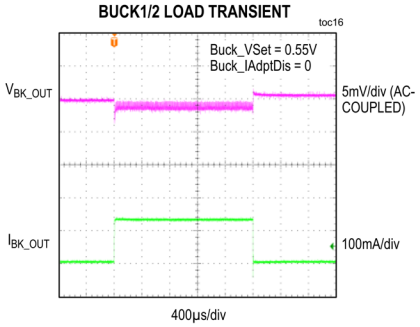


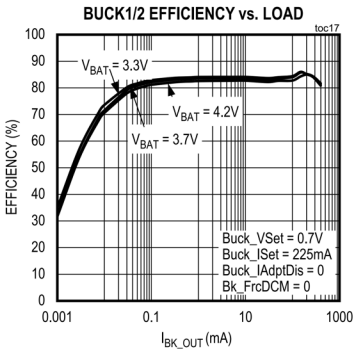


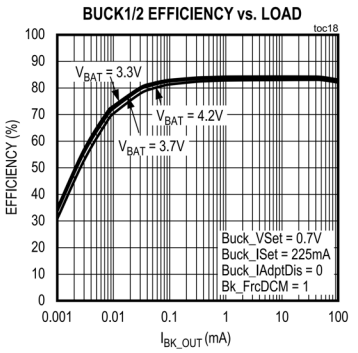


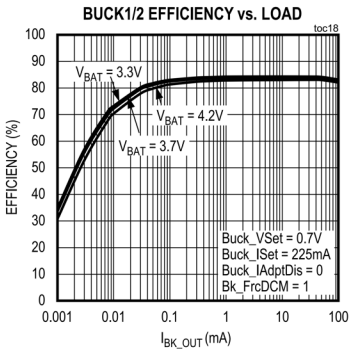




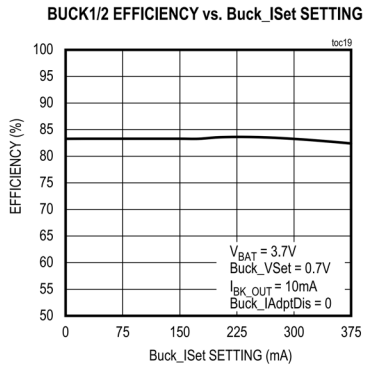


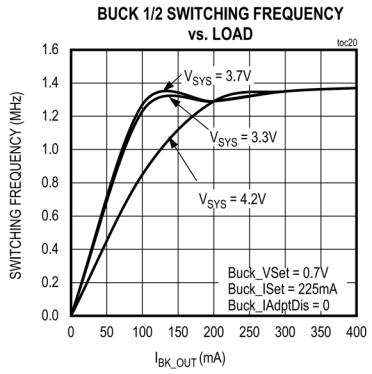


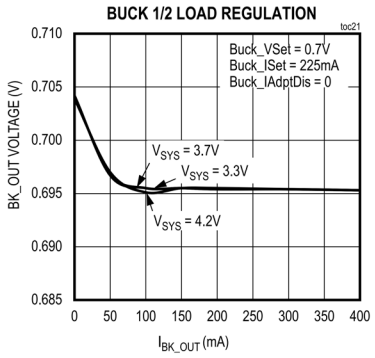


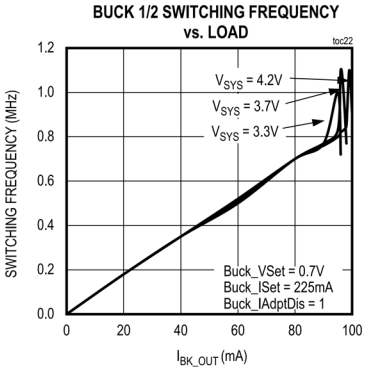


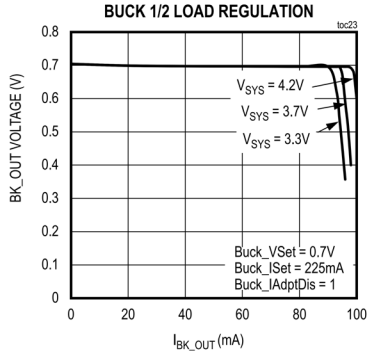
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

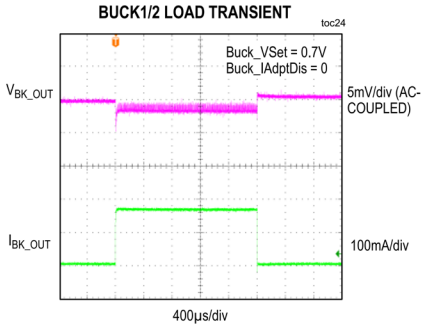


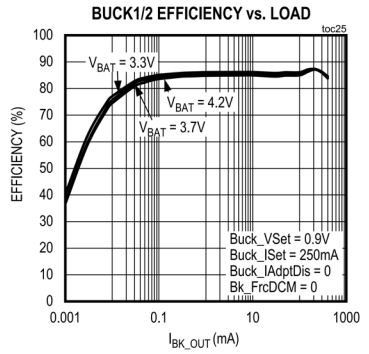


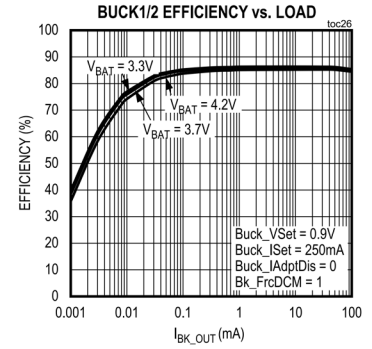


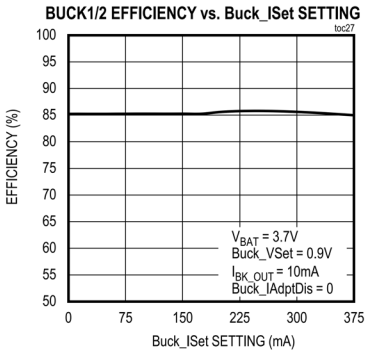




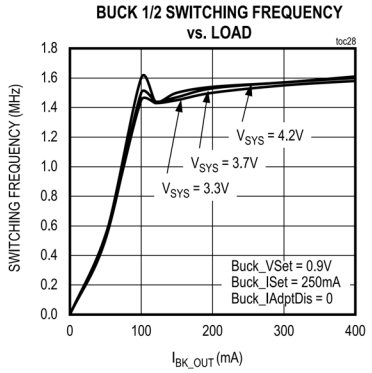


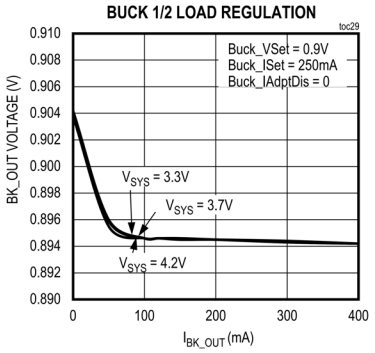


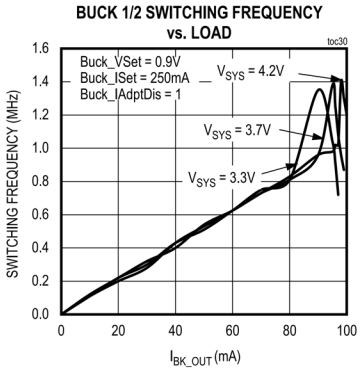


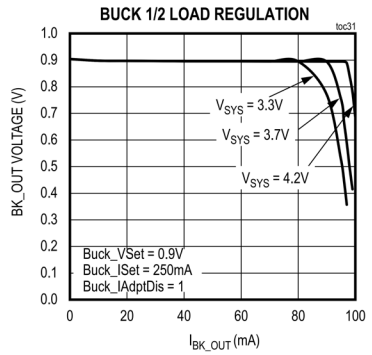


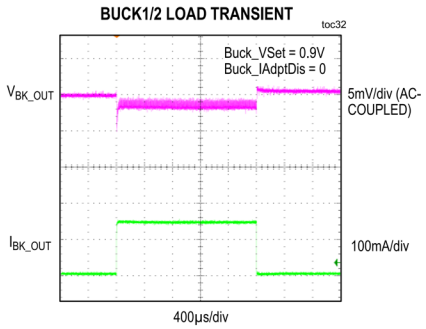
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

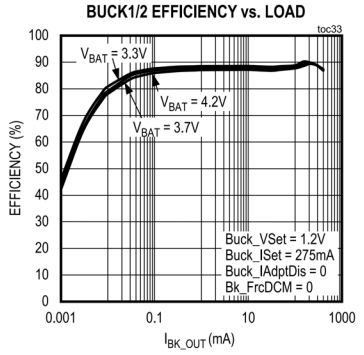


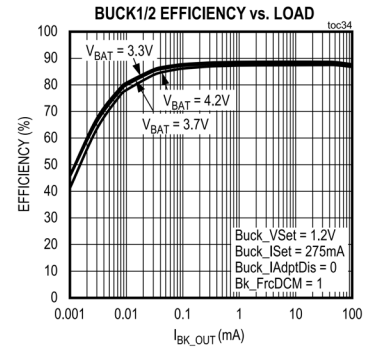


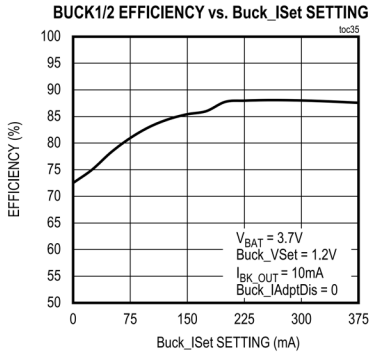


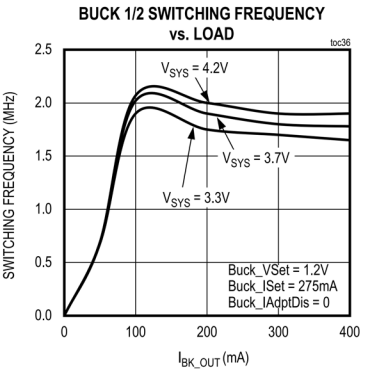




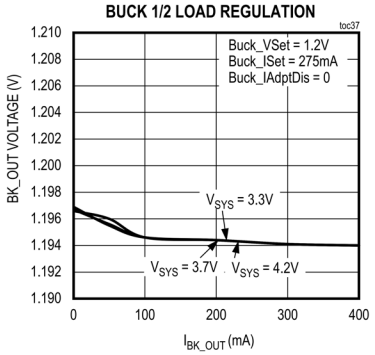


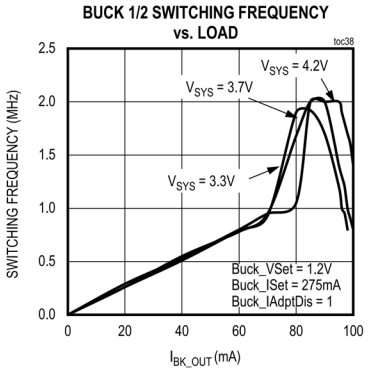


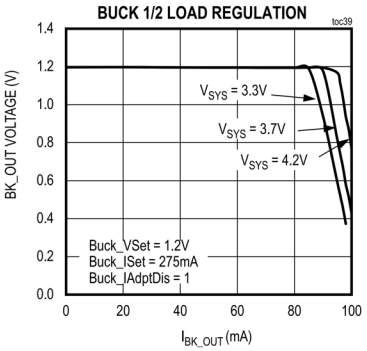


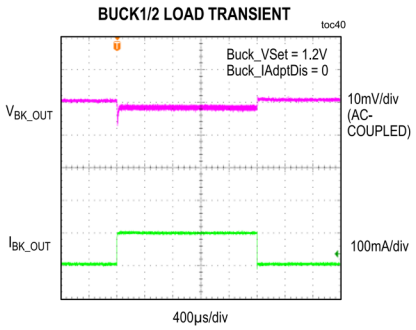


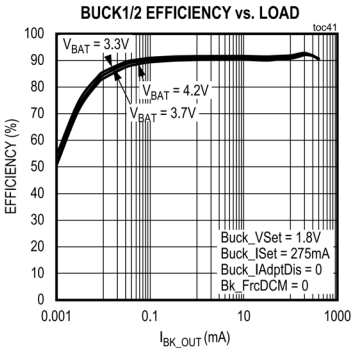
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

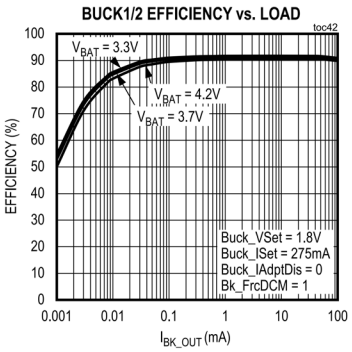


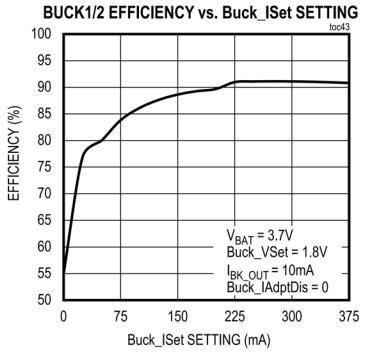


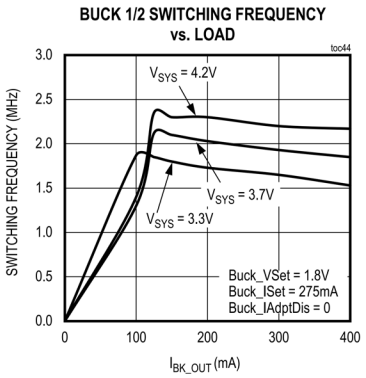


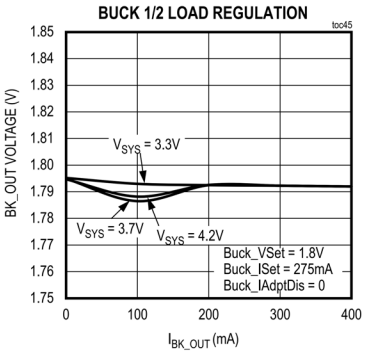




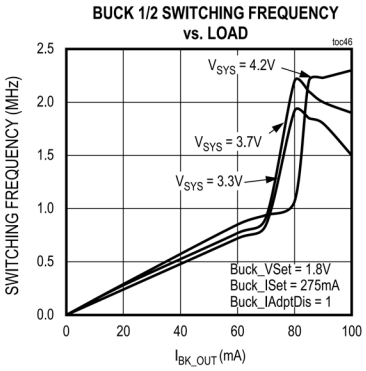


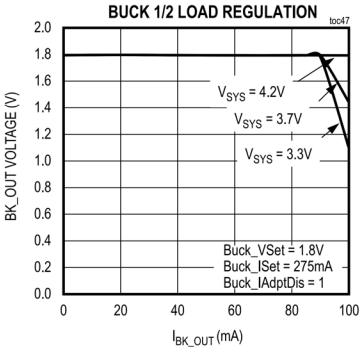


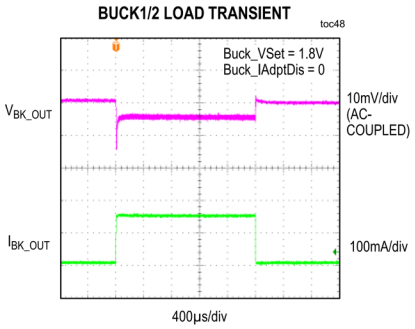


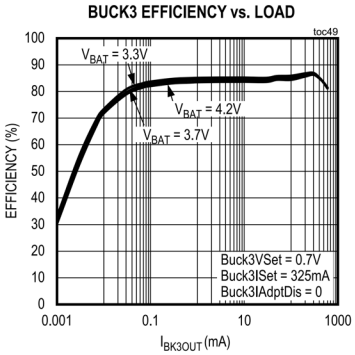


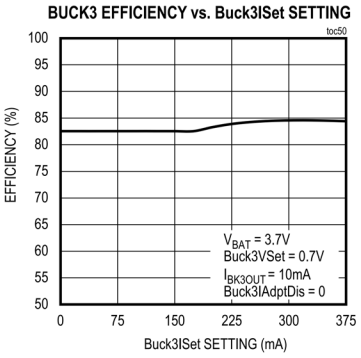
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

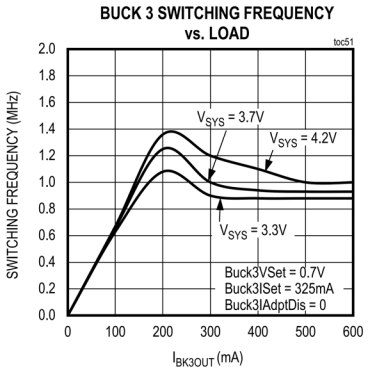


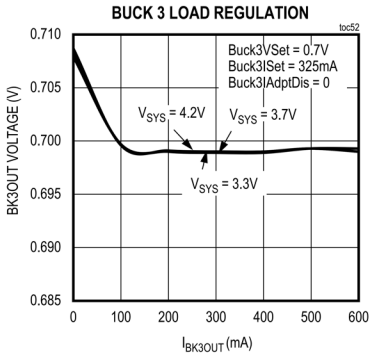


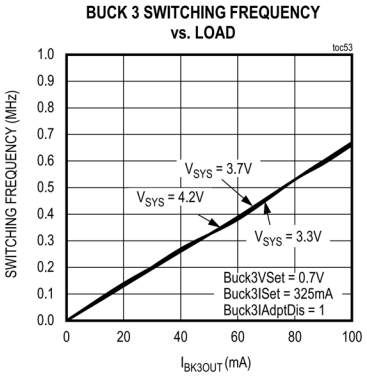


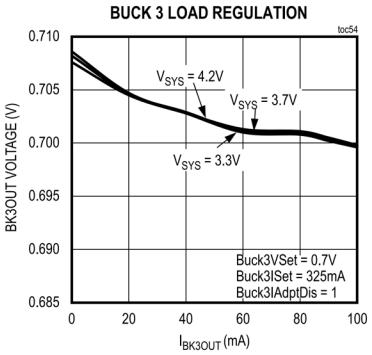




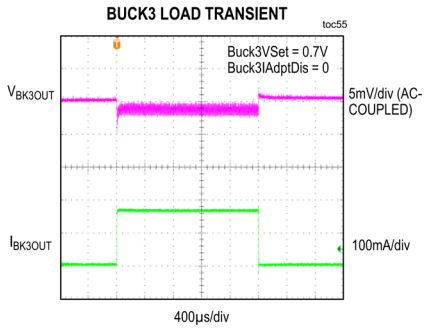


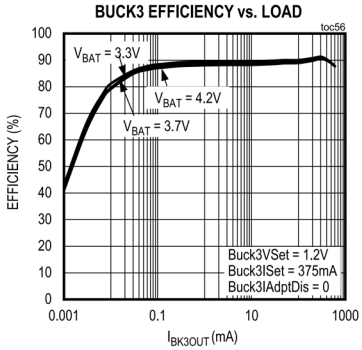


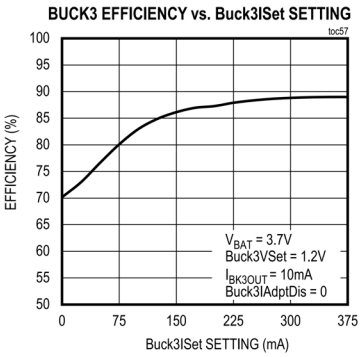


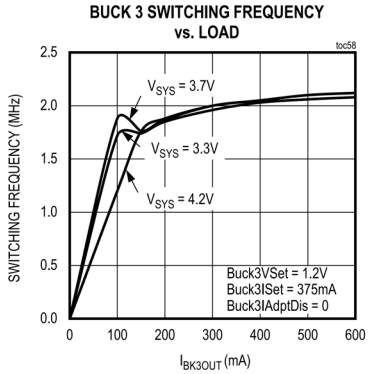


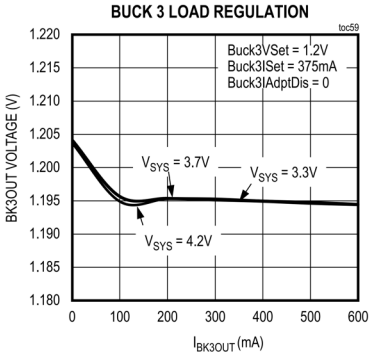
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

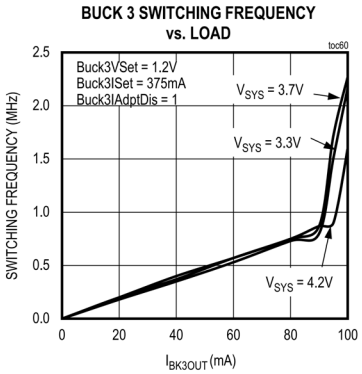


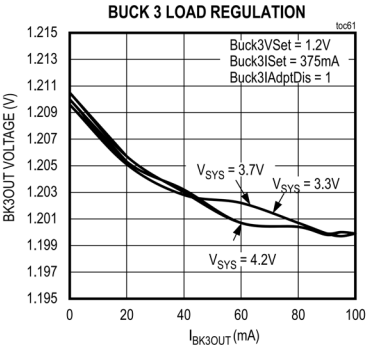


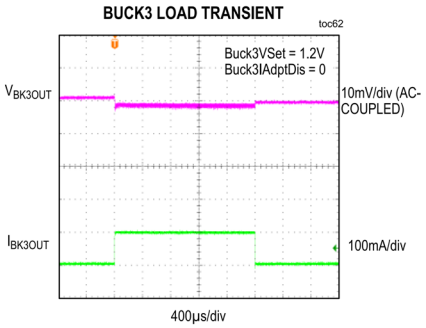


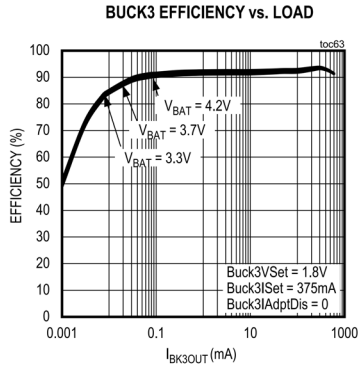




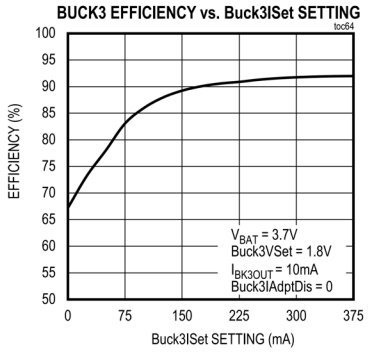


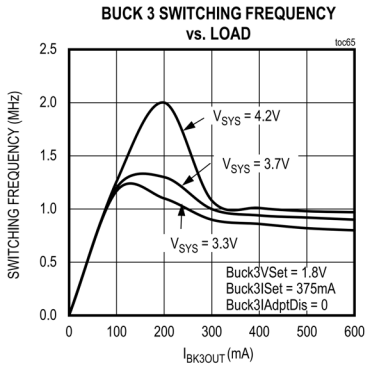


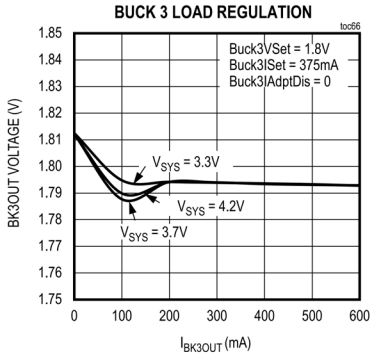


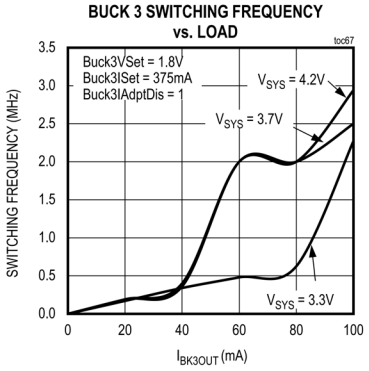


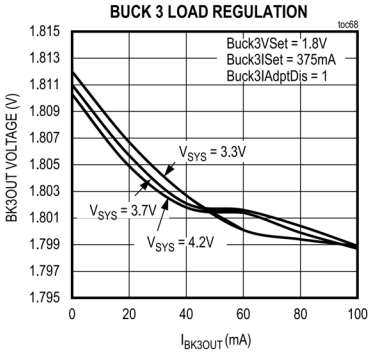
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

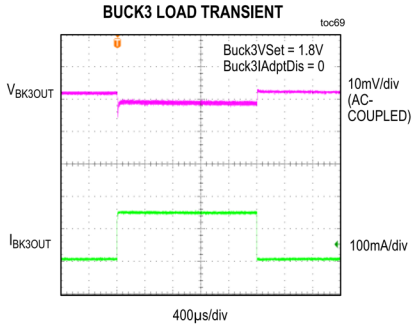


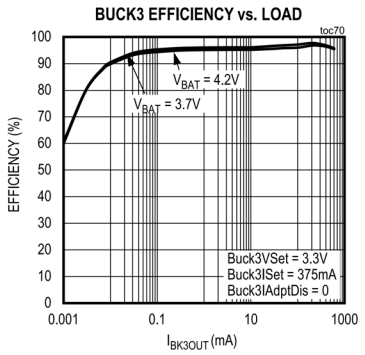


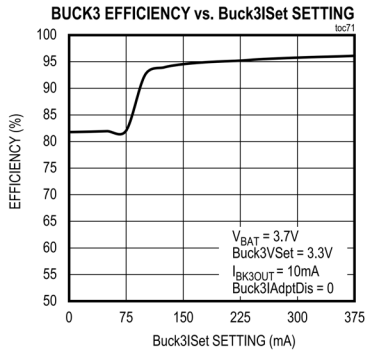


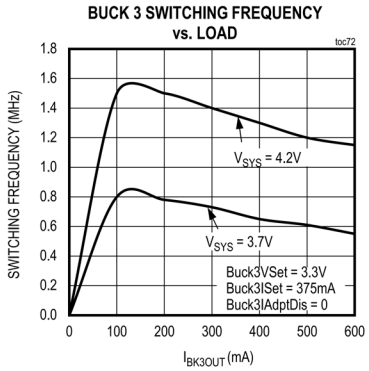




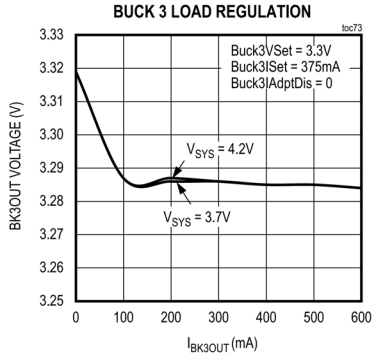


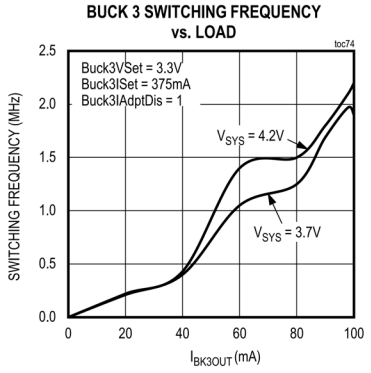


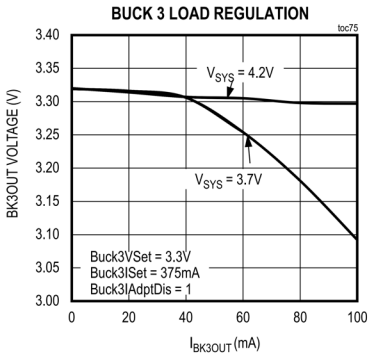


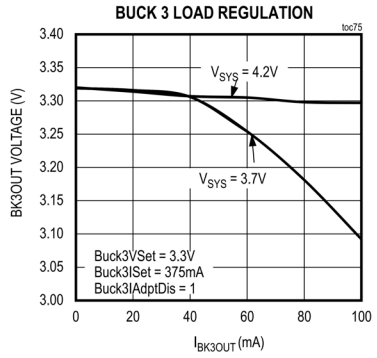


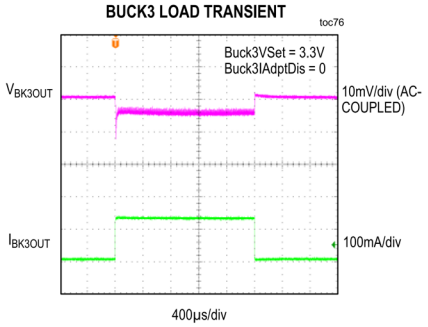
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

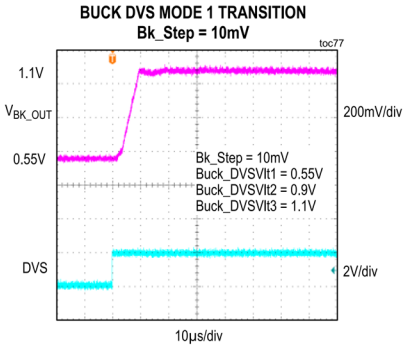


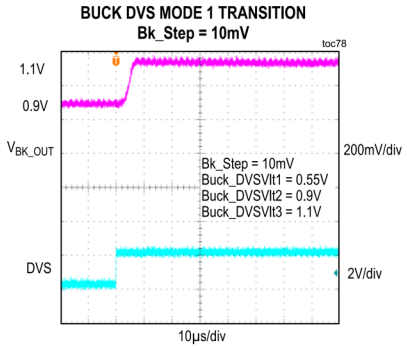


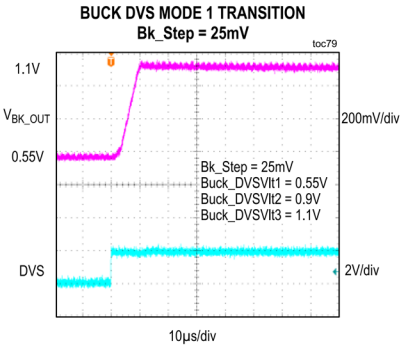


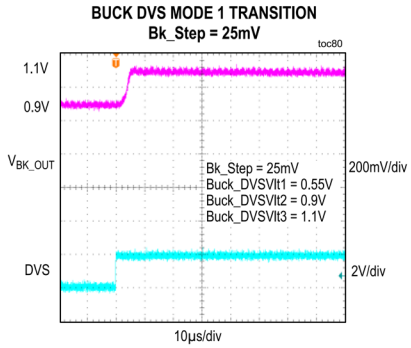




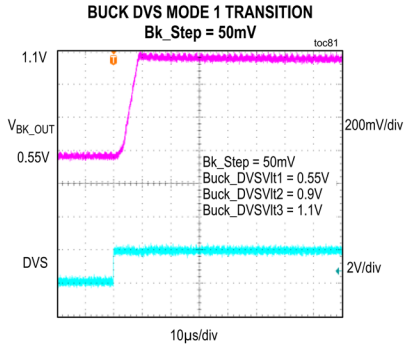


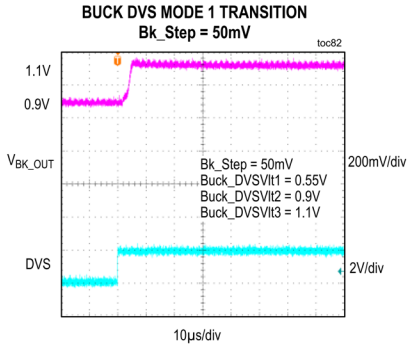


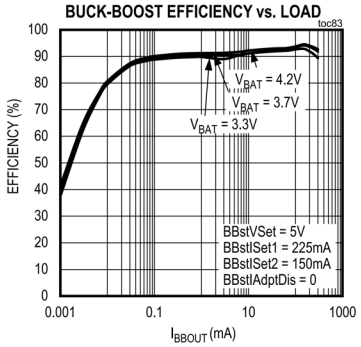


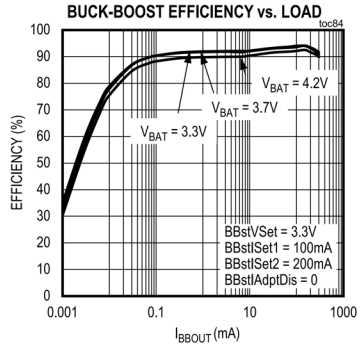


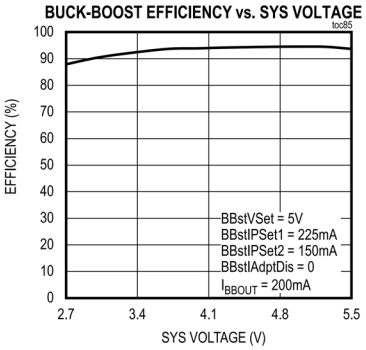
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

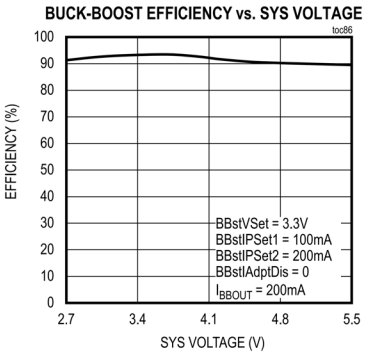


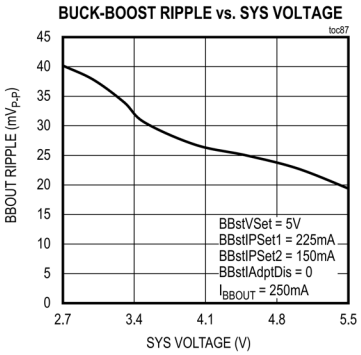


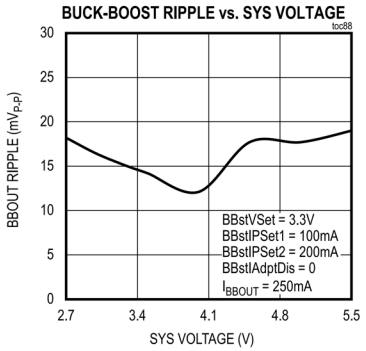


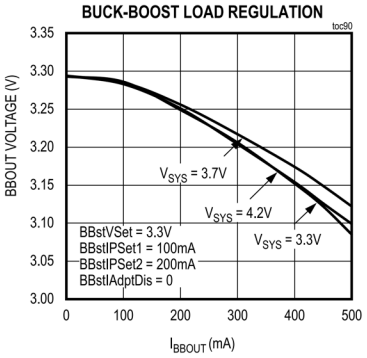




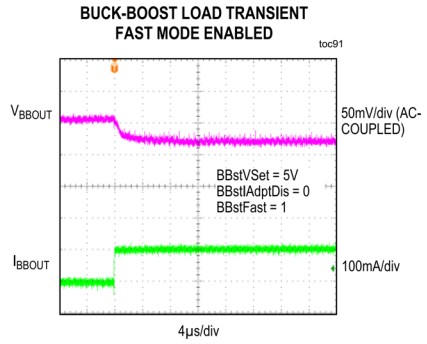


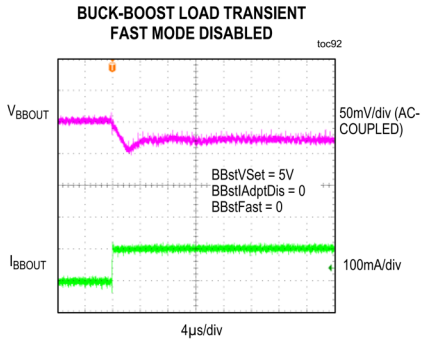


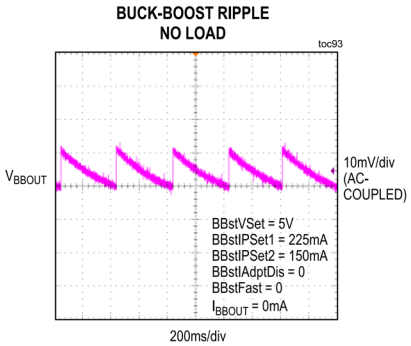


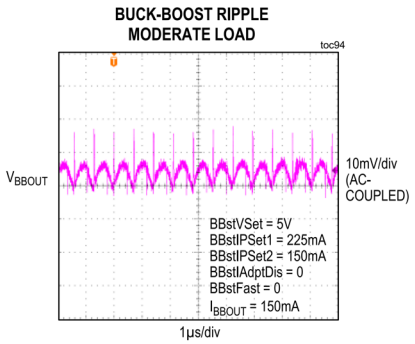


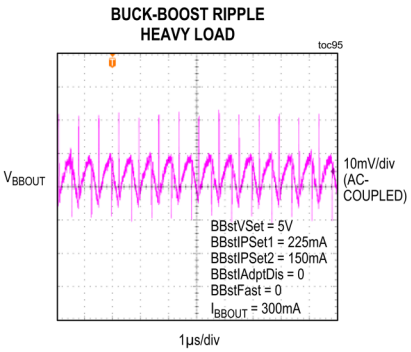
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

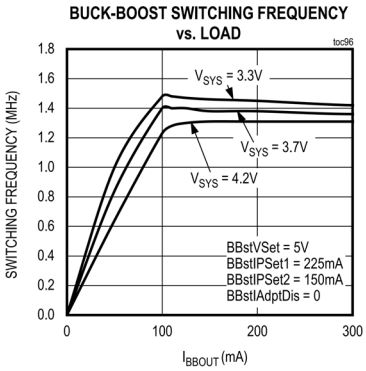


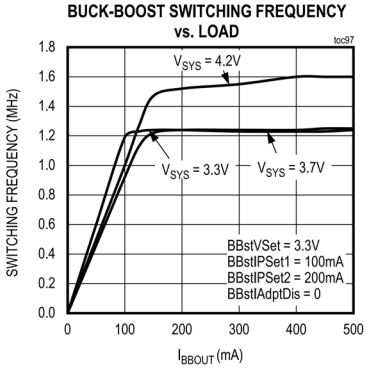


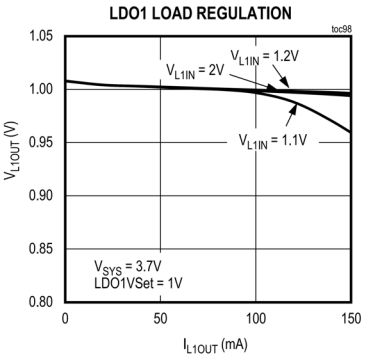


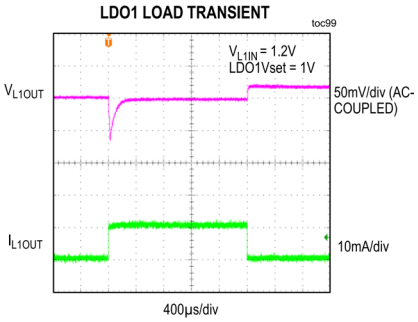




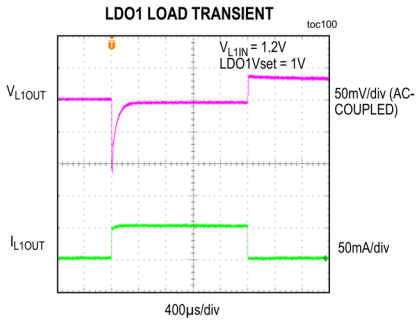


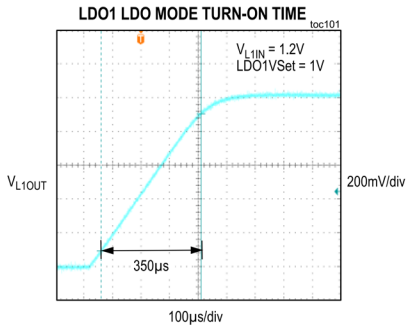


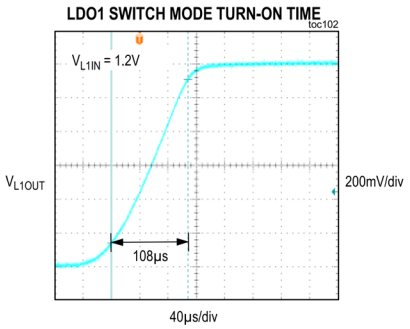


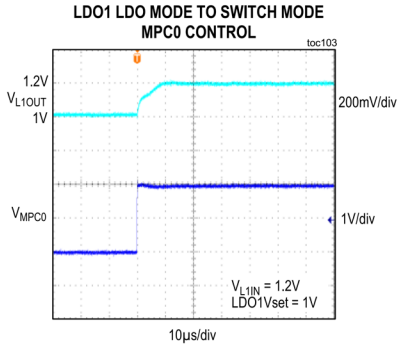


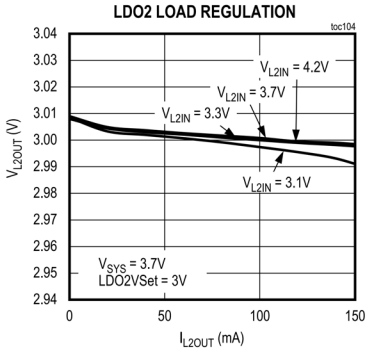
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

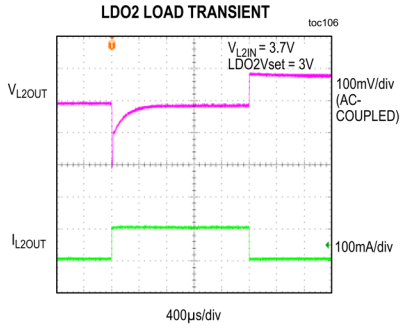


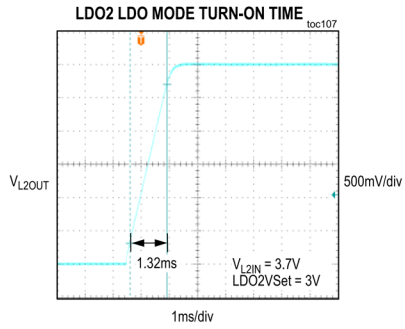


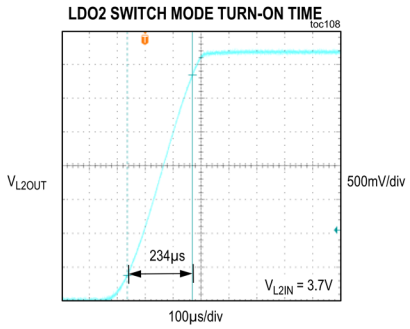


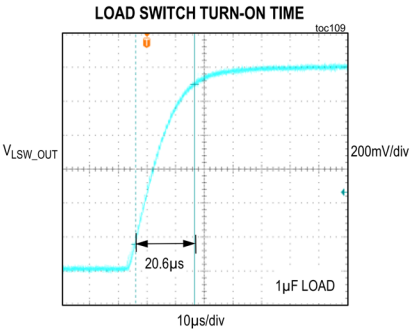




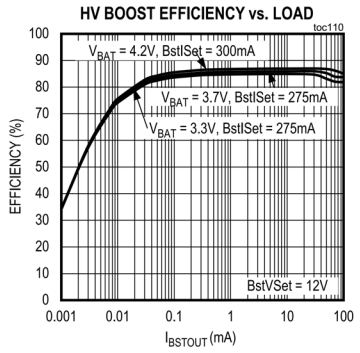


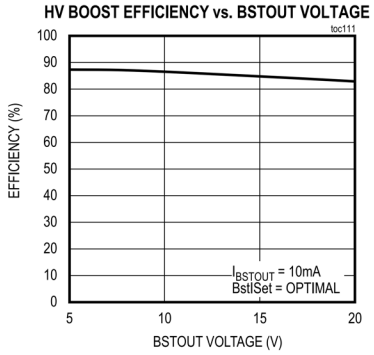


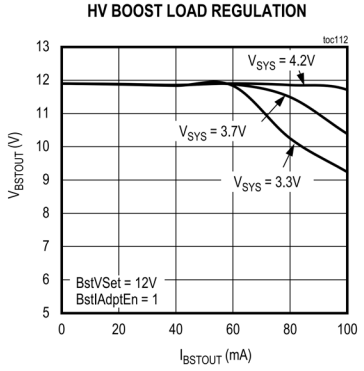


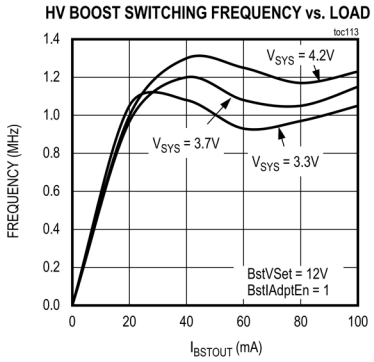


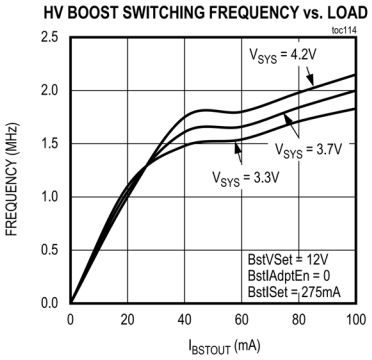
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

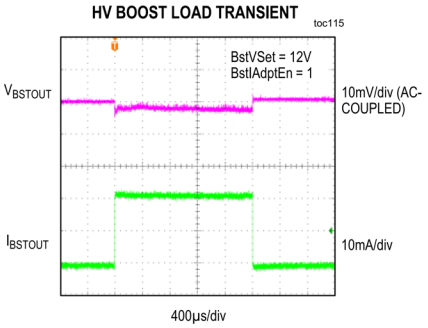


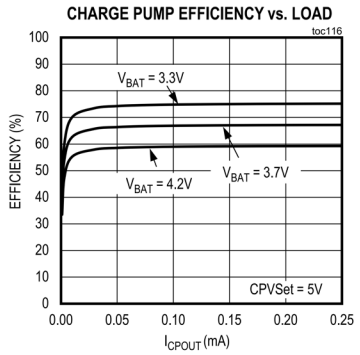


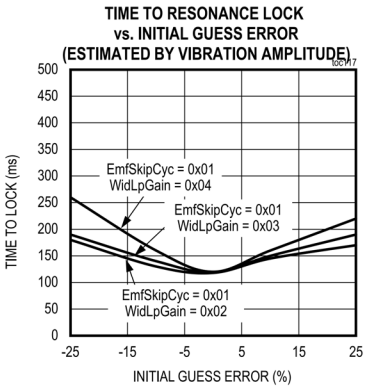


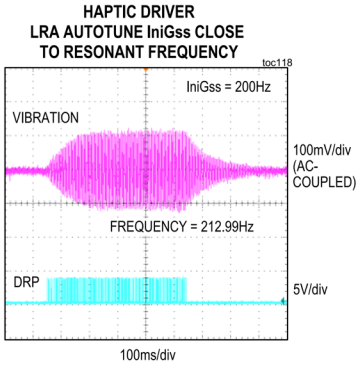




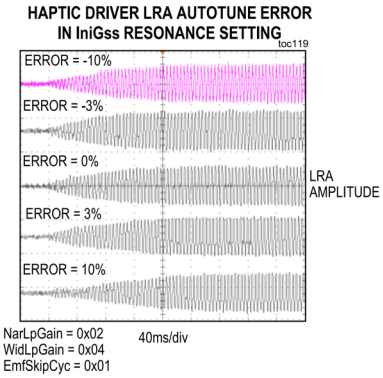


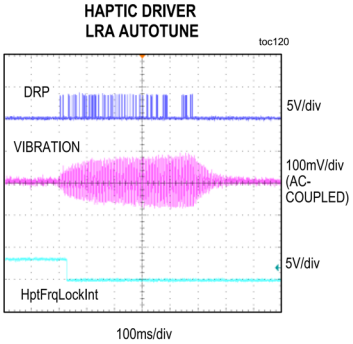


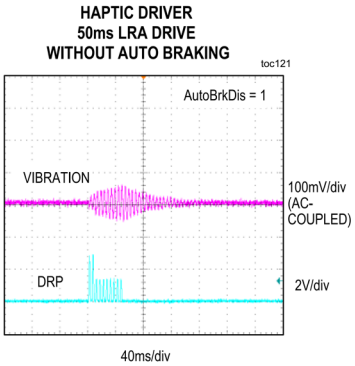


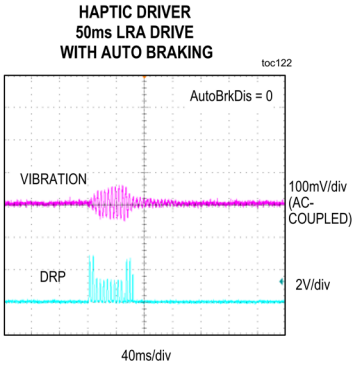


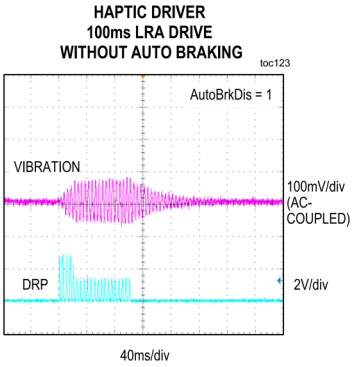
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

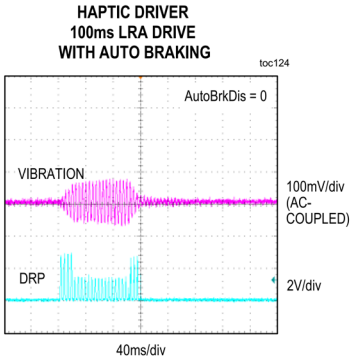


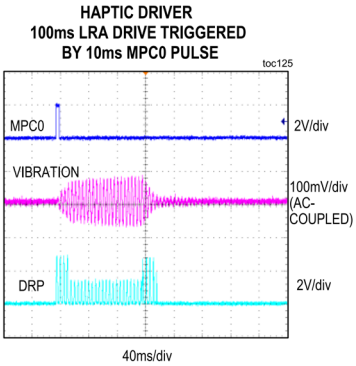


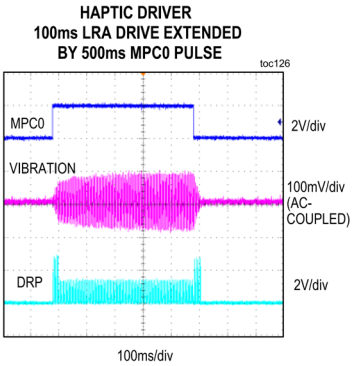


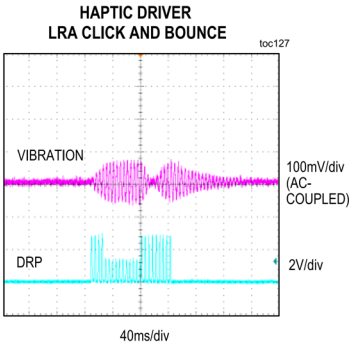




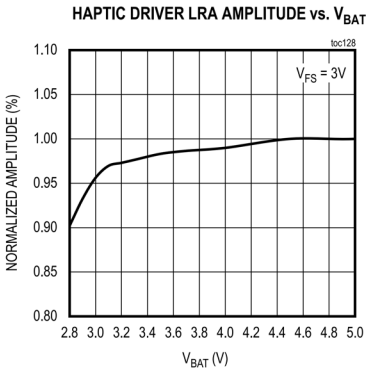


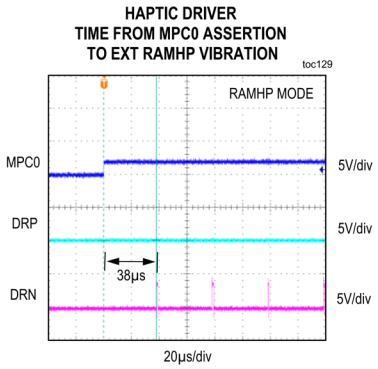


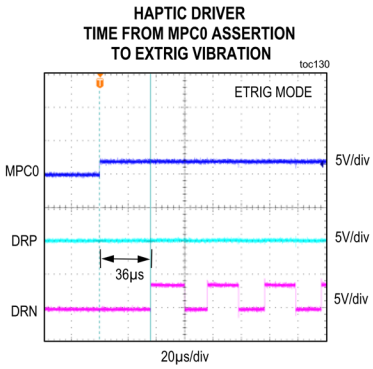


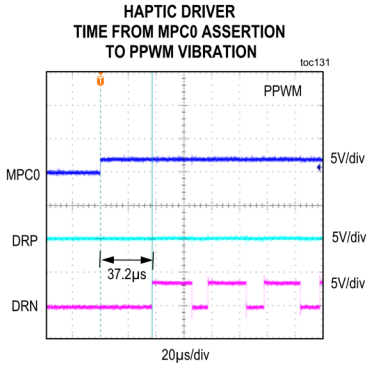


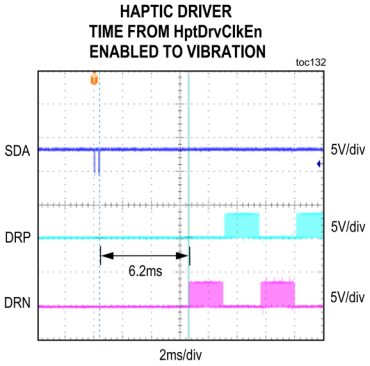
（特に指定のない限り、V_{BAT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、$C_{BK\_OUT\_EFF}$ = 10µF、C_{L_IN} = 1µF、$C_{L\_OUT\_EFF}$ = 1µF、C_{BBOUT_EFF} = 8.8µF、C_{BSTOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、L_{BSTOUT} = 4.7µH、T_A = +25ºC）

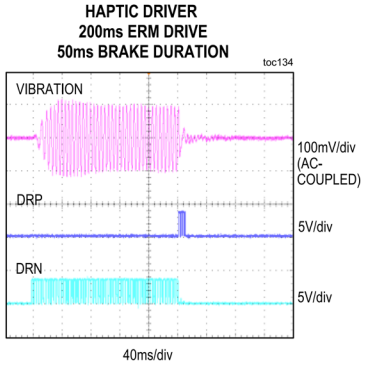


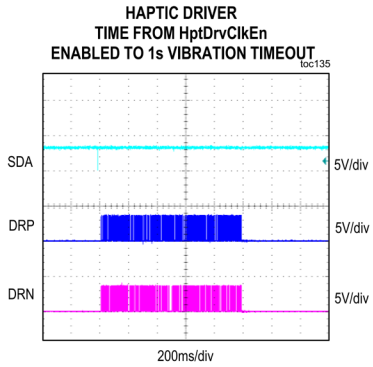


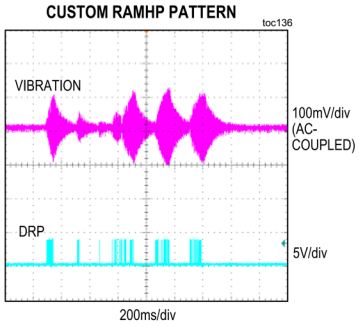






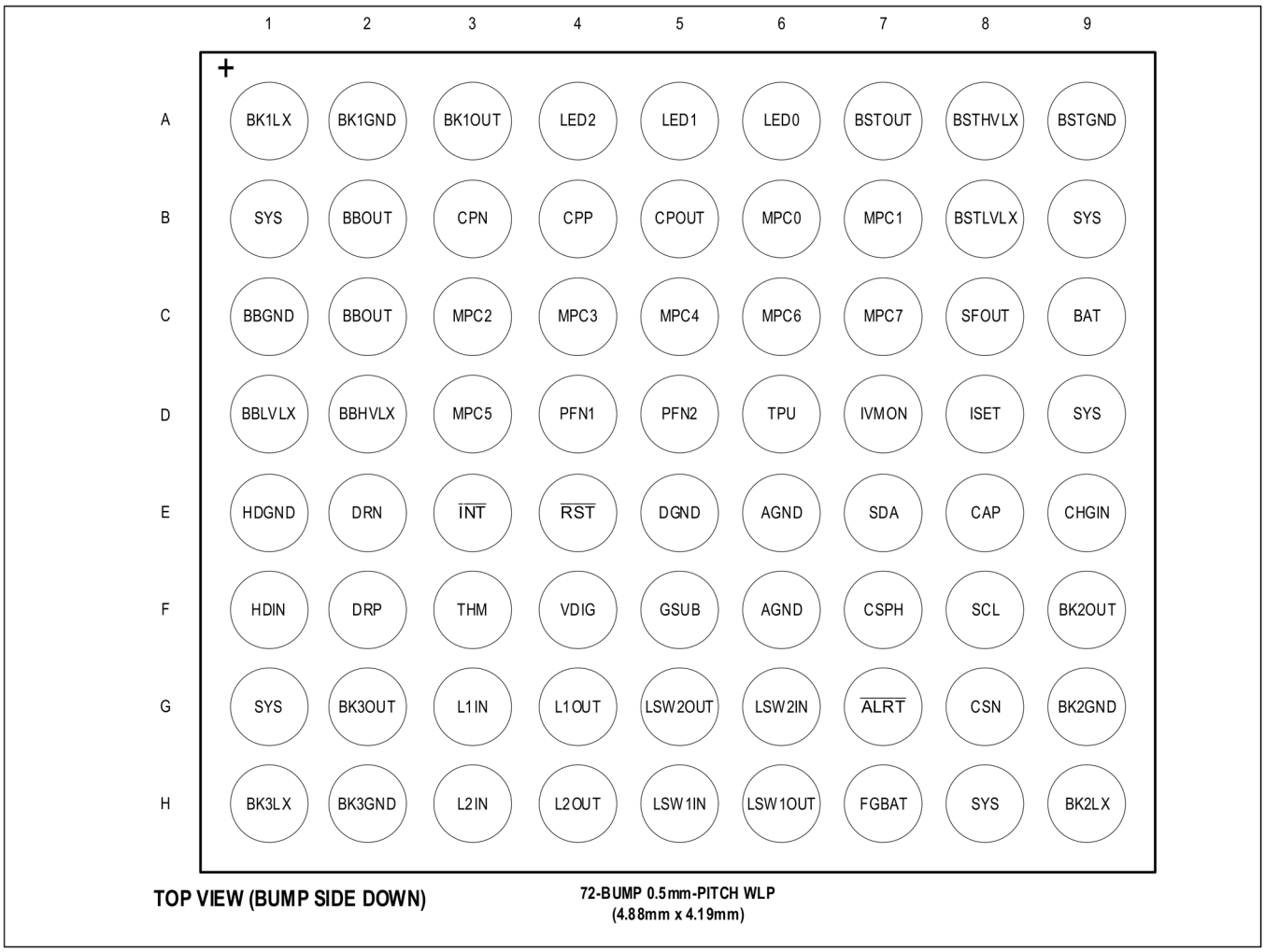






ピン配置

MAX20366



端子説明

ピン	名称	機能
A1	BK1LX	Buck1 レギュレータ・スイッチ。1µH または 2.2µH のインダクタを介して BK1OUT に接続します。
A2	BK1GND	Buck1 グラウンド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
A3	BK1OUT	Buck1 レギュレータ出力。適切な実効容量値のコンデンサを使って GND にバイパスします。降圧出力コンデンサの選択のセクションを参照してください。
A4	LED2	電流シンク出力 2
A5	LED1	電流シンク出力 1
A6	LED0	電流シンク出力 0
A7	BSTOUT	昇圧レギュレータ出力。適切な実効容量値のコンデンサを使って GND にバイパスします。昇圧レギュレータのセクションを参照してください。
A8	BSTHVLX	昇圧レギュレータ・スイッチ。2.2µH または 4.7µH のインダクタを介して BSTLVLX に接続します。
A9	BSTGND	昇圧グラウンド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。

B1, B9, D9, G1, H8	SYS	システム負荷の接続。すべての SYS バンプは、低インピーダンスのパターンまたは SYS プレーンを使って PCB に接続する必要があります。共通ノードは、実容量（ディレーティング後の容量）が 10µF 以上あるコンデンサを使って GND へバイパスします。
B2, C2	BBOUT	昇降圧レギュレータ出力。適切な実効容量値のコンデンサを使って GND にバイパスします。昇降圧出力コンデンサの選択のセクションを参照してください。
B3	CPN	チャージ・ポンプ・コンデンサの負端子。22nF（最小）～33nF（最大）のコンデンサを介して CPP に接続します。
B4	CPP	チャージ・ポンプ・コンデンサの正端子。22nF（最小）～33nF（最大）のコンデンサを介して CPN に接続します。
B5	CPOUT	チャージ・ポンプ出力。1µF のコンデンサを介して GND にバイパスします。
B6	MPC0	多目的制御 I/O 0。LDO1 ダイレクト制御オプション。
B7	MPC1	多目的制御 I/O 1。昇降圧用の FAST 制御オプション。
B8	BSTLVLX	昇圧レギュレータ・スイッチ。3.3µH または 4.7µH のインダクタを介して BSTHVLX に接続します。
C1	BBGND	昇降圧グラウンド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
C3	MPC2	多目的制御 I/O 2
C4	MPC3	多目的制御 I/O 3
C5	MPC4	多目的制御 I/O 4
C6	MPC6	多目的制御 I/O 6
C7	MPC7	多目的制御 I/O 7
C8	SFOUT	安全出力 LDO。実容量値（ディレーティング後の容量値）1µF のコンデンサを介して GND にバイパスします。
C9	BAT	バッテリ接続。正のバッテリ端子に接続します。実容量値（ディレーティング後の容量値）1µF 以上のコンデンサを介して GND にバイパスします。
D1	BBLVLX	LV 側昇降圧レギュレータ・スイッチ。2.2µH のインダクタを介して BBHVLX に接続します。
D2	BBHVLX	HV 側昇降圧レギュレータ・スイッチ。2.2µH のインダクタを介して BBLVLX に接続します。
D3	MPC5	多目的制御 I/O 5
D4	PFN1	可変設定電力モード制御ピン（$\overline{\text{KIN}}$など）
D5	PFN2	可変設定電力モード制御ピン（$\overline{\text{KOUT}}$など）
D6	TPU	バッテリ温度サーミスタ測定プルアップ。バッテリ温度のサーミスタ測定時は内部で VDIG に接続されます。TPU の負荷が 2mA を超えないようにしてください。
D7	IVMON	電圧および充電電流モニタ・マルチプレクサ出力。
D8	ISET	バッテリ充電電流レベル設定用外付け抵抗の接続。このピンにはいかなる容量も接続しないでください。最大許容容量：$C_{ISET} < (5\mu s/R_{ISET})$（pF）
E1	HDGND	ハプティック・ドライバのグランド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
E2	DRN	ハプティック・ドライバの負出力。
E3	$\overline{\text{INT}}$	割込み用オープン・ドレイン出力。アクティブ・ロー。
E4	$\overline{\text{RST}}$	リセット用オープン・ドレイン出力。アクティブ・ロー。
E5	DGND	デジタル・グランド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
E6, F6	AGND	アナログ・グランド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
E7	SDA	I^2C シリアル・データ入力／オープン・ドレイン出力。
E8	CAP	内部リファレンス電源。実容量値（ディレーティング後の容量値）1µF のコンデンサを介して GND にバイパスします。
E9	CHGIN	+28V/−5.5V 保護チャージャ入力。1µF の実容量（ディレーティング後の容量値）を介して GND にバイパスします。

端子説明（続き）

F1	HDIN	ハプティック・ドライバの H ブリッジ電源。通常動作の場合は低インピーダンスのパターンを使って SYS に接続し、駆動電圧を上げる必要がある場合は BBOUT に接続します。SYS または BBOUT バイパス・コンデンサまでのパターンが 10mm を超える場合は、ローカル・コンデンサを使って GND にバイパスしてください。
F2	DRP	ハプティック・ドライバの正出力。
F3	THM	バッテリ温度のサーミスタ測定接続。
F4	VDIG	内部リファレンス電源。実容量値（ディレーティング後の容量値）1µF のコンデンサを介して GND にバイパスします。
F5	GSUB	基板接続。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
F7	CSPH	残量ゲージ検出抵抗の正検出ポイント。検出抵抗のシステム側にケルビン接続します。
F8	SCL	I^2C シリアル・クロック入力。
F9	BK2OUT	Buck2 レギュレータ出力。適切な実効容量値のコンデンサを使って GND にバイパスします。降圧出力コンデンサの選択のセクションを参照してください。
G2	BK3OUT	Buck3 レギュレータ出力。適切な実効容量値のコンデンサを使って GND にバイパスします。降圧出力コンデンサの選択のセクションを参照してください。
G3	L1IN	LDO 1 の入力。1µF のコンデンサを介して GND にバイパスします。
G4	L1OUT	LDO 1 の出力。実容量値（ディレーティング後の容量値）1µF のコンデンサを介して GND にバイパスします。
G5	LSW2OUT	負荷スイッチ 2 の出力。
G6	LSW2IN	負荷スイッチ 2 の入力。
G7	$\overline{\text{ALRT}}$	アラート出力。$\overline{\text{ALRT}}$ピンは、残量ゲージ・アラートを生成するアクティブ・ローのオープン・ドレイン出力です。使用しない場合は GND に接続します。
G8	CSN	残量ゲージの抵抗検出ポイント。検出抵抗のセル側にケルビン接続します。
G9	BK2GND	Buck2 グラウンド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
H1	BK3LX	Buck3 レギュレータ・スイッチ。2.2µH のインダクタを介して BK3OUT に接続します。
H2	BK3GND	Buck3 グラウンド。すべてのグラウンド・バンプは、低インピーダンスのパターンを使って PCB に接続するか、GND プレーンに接続する必要があります。
H3	L2IN	LDO 2 の入力。1µF のコンデンサを介して GND にバイパスします。
H4	L2OUT	LDO 2 の出力。実容量値（ディレーティング後の容量値）1µF のコンデンサを介して GND にバイパスします。
H5	LSW1IN	負荷スイッチ 1 の入力。
H6	LSW1OUT	負荷スイッチ 1 の出力。
H7	FGBAT	残量ゲージ電源およびバッテリ電圧検出入力。バッテリ・セルの正端子に接続します。実容量値（ディレーティング後の容量値）が 0.1µF のコンデンサを介して GND にバイパスしてください。
H9	BK2LX	Buck2 レギュレータ・スイッチ。1µH または 2.2µH のインダクタを介して BK2OUT に接続します。

詳細説明

MAX20366 は、超低消費電力ウェアラブル・アプリケーション用に設計された、高集積のプログラマブル・パワー・マネージメント・ソリューションです。このデバイスはサイズと効率に関して最適化されており、バッテリ寿命の延長と全体的ソリューション・サイズの縮小によってエンド製品の価値を高めます。複数の降圧、昇圧、昇降圧コンバータ、およびリニア電圧レギュレータなどの消費電力が最適化された電圧レギュレータからなる柔軟なセットは、高度に集積化されており、完全に最適化された電源アーキテクチャを作成することができます。各レギュレータの自己消費電流は極めて小さく、常時オンで使用するアプリケーションのバッテリ寿命を延長することを目標としています。

MAX20366 は、バッテリ・シール、チャージャ、電力経路、および残量ゲージを備えたフル機能のバッテリ・マネージメント・ソリューションを内蔵しています。チャージャには、温度管理と入力保護両方の機能が組み込まれています。また、このデバイスは、複数の入力を備えた出荷時にプログラム可能なボタン・コントローラも内蔵しています。このコントローラは、製品に求められる特定のユーザ体験に応じてカスタマイズすることができます。

更に、インジケータまたはバックライト機能用に 3 つの LED 電流シンクが内蔵されており、自動共振トラッキング機能を備えた ERM/LRA ドライバは高度なハプティック・フィードバックを提供することができます。低ノイズの 1.5W 昇降圧コンバータは、光学式心拍数測定システムで一般的に使用されている LED 用に、ノイズの少ない給電方法を提供します。このデバイスは I²C インターフェースを介して設定可能なので、内蔵 ADC による温度および電源電圧の読出しを含め、各種機能の設定とデバイス・ステータスの読出しが可能です。

電源レギュレーション

MAX20366 は、高効率、低自己消費電流の降圧レギュレータ（降圧レギュレータのセクションを参照）を 3 個、昇降圧レギュレータ（昇降圧レギュレータのセクションを参照）を 1 個、低自己消費電流の低ドロップアウト・リニア電圧レギュレータ（LDO）（LDO のセクションを参照）を 2 個、低自己消費電流のチャージ・ポンプ（チャージ・ポンプのセクションを参照）を 1 個、低自己消費電流で高電圧の昇圧レギュレータ（昇圧レギュレータのセクションを参照）を 1 個、および専用負荷スイッチ（負荷スイッチのセクションを参照）を 2 個備えています。軽負荷時の効率に優れているので、大きなエネルギー・コストなしでスイッチング・レギュレータを連続して動作させることができます。降圧、昇降圧、および昇圧レギュレータは、低電流アプリケーションでは固定ピーク電流モードで動作させることができます。より大きな電流が必要な場合はアダプティブ・ピーク電流モードで動作させて負荷レギュレーションを改善し、高効率の範囲を拡大して、コンデンサのサイズを最小限に抑えることができます。

ダイナミック電圧スケーリング

MAX20366 のすべてのレギュレータはダイナミック電圧スケーリング（DVS）機能を備えており、コンバータをディスエーブルせずに出力電圧をスケーリングすることができます。レギュレータの出力電圧は、対応する VSet レジスタにダイレクト I²C 書込みを行うことによって設定します。降圧レギュレータと昇降圧レギュレータは、I²C DVS に加えて、タイミングが重視されるアプリケーション用に 2 つの追加的な制御方法を備えています。GPIO DVS および SPI DVS の 2 つの制御方法が追加で存在します。出力電圧のスルー・レートはすべての DVS モードで同じです。

降圧レギュレータが DVS に遷移すると出力電圧スルー・レートが最大になる一方で、高速の電圧遷移が求められるデバイスでは突入電流が制御されます。他のレギュレータでは、出力電圧のスルー・レートを制限することによって突入電流を最小限に抑えます。降圧レギュレータの代表的な DVS 遷移の立上がり時間は 10µs です。

DVS モード 0（I²C DVS モード）

DVS モード 0 は、レギュレータ出力が I²C によって制御されるように設定します。Buck_DVSCfg または BBstDVSCfg = 00000 の場合（ビット Buck1DVSCfg、Buck2DVSCfg、Buck3DVSCfg、BBstDVSCfg を参照）、そのレギュレータの出力電圧は Buck_VSet または BBstVSet ビットフィールドへの I²C 書込みによって制御されます（ビット Buck1VSet、Buck2VSet、Buck3VSet、BBstVset を参照）。出力電圧を変更する場合は、変更前に I²C DVS モードになっているレギュレータのロックを解除する必要があります。レギュレータのロックは、LockMsk（ビット LockMsk を参照）でそのロック・マスク・ビットを 0 に設定して、LockUnlock レジスタ（レジスタ LockUnlock を参照）にロック解除パスワード 0x55 を書き込むことによって解除できます。

DVS モード 1（GPIO DVS モード）

DVS モード 1 では、2 つの MPC 入力がレギュレータ出力を 4 つのプログラム値から選択します。GPIO モードのレギュレータ出力を設定するには、対応する Buck_DVSCfg ビットまたは BBstDVSCfg ビット（ビット Buck1DVSCfg、Buck2DVSCfg、Buck3DVSCfg、BBstDVSCfg を参照）を 00001 から 11100 までの任意の値に設定します。各コードは、異なる MPC_ピンの組み合わせを選択してレギュレータを制御します。あるコードに対してどの MPC 入力が使われるかの詳細については、DVS Cfg レジスタの説明を参照してください（ビット Buck1DVSCfg、Buck2DVSCfg、Buck3DVSCfg、BBstDVSCfg を参照）。各ケースにおいて、リストの最初の MPC が下位ビットを制御し、2 つ目の MPC が上位ビットを制御します。

MAX20366 の電源を初めてオンにした時は、対応するレギュレータの出荷時デフォルト電圧で 4 つの xxxDVSVlt_ビットフィールド（ビット Buck1DVSVlt0、Buck1DVSVlt1、Buck1DVSVlt2、Buck1DVSVlt3、Buck2DvsVlt0、Buck2DvsVlt1、Buck2DvsVlt2、Buck2DvsVlt3、Buck3DvsVlt0、Buck3DvsVlt1、Buck3DvsVlt2、Buck3DvsVlt3、BBstDvsVlt0、BBstDvsVlt1、BBstDvsVlt2、BBstDvsVlt3 を参照）がロードされます。スタートアップ・プロセス後は、Buck_DVSVlt_ビットフィールドと BBstDVSVlt_ビットフィールドの各コンバータの I²C を使って、それぞれの 6 ビット出力電圧レベルをプログラムできます。図 1 に示すように、MPC 入力が変化すると、レギュレータ出力が新たに選択されたレベルに調整されます。電圧レベルは表 1 に示すように選択されます。

表 1. DVS モード 1 の電圧選択

GPIO1	GPIO0	DVS VOLTAGE
0	0	Vlt0
0	1	Vlt1

1	0	Vlt2
1	1	Vlt3

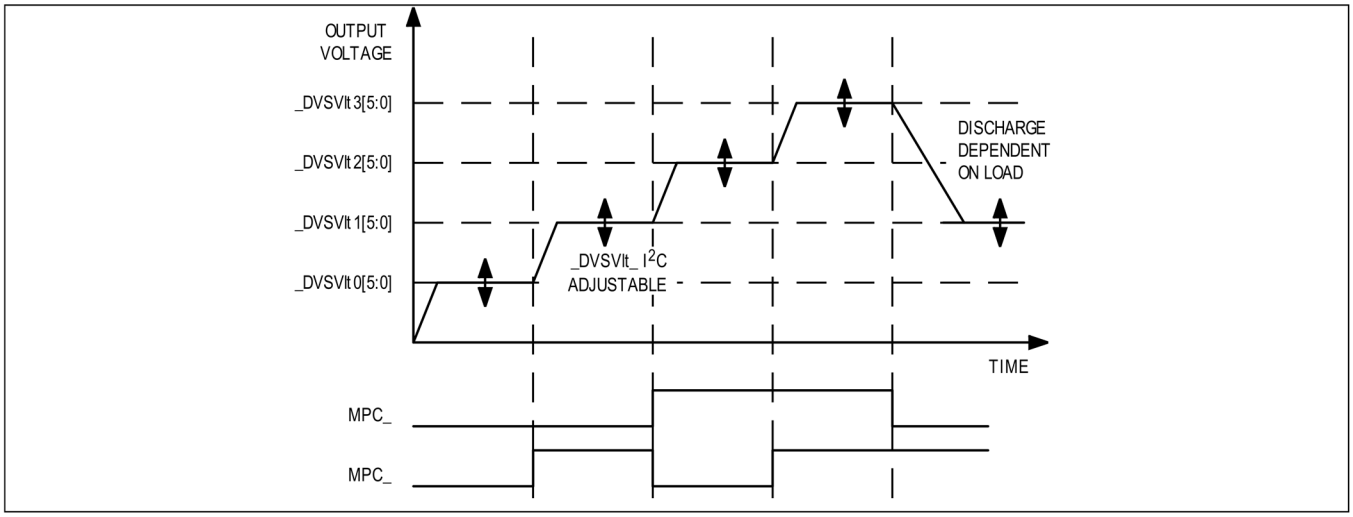


図 1. DVS モード 1、GPIO 制御

SPI DVS モード（DVS モード 2）

DVS モード 2 では、3 線式 SPI インターフェースにコマンド・バイトを書き込むことによってレギュレータ電圧を変更します。SPI インターフェースは MPC0～MPC2 を使用します。MPC0 はアクティブ・ローのチップ・セレクト・ピン$\overline{CS}$になり、MPC1 は極性 0 のクロック SCLK に、MPC2 はデータ入力ピン DIN になります。データは SCLK の立上がりエッジでクロックされます。最大 SPI クロック周波数は 8MHz です。コマンド・バイトは、レギュレータを選択する 2 個のアドレス・ビット（ADD[1:0]）と、電圧を設定する 6 個の電圧ビット（VLT[5:0]）で構成されます。SPI モードでデータがどのようにクロックされるのかを図 2 に示します。

出力電圧は、クロックの 8 番目の立上がりエッジでラッチされます。SPI インターフェースによって設定された電圧は、各コンバータの Buck_SPIVlt ビットフィールドと BBstSPIVlt ビットフィールドにミラーされます。また、リードバックは I²C で行う必要があります。図 3 に、DVS モード 2 で制御される 2 個のレギュレータを示します。

DVS SPI インターフェースでは、シングルバイトとバースト・モードのデータ転送がサポートされています。シングルバイト・モードでは、各コマンド・バイトの転送後に$\overline{CS}$がハイになります。バーストモードでは、$\overline{CS}$がハイに戻る前にすべてのコマンド・バイトが MAX20366 に書き込まれます。両方のモードでデータがどのように書き込まれるのかを図 4 に示します。

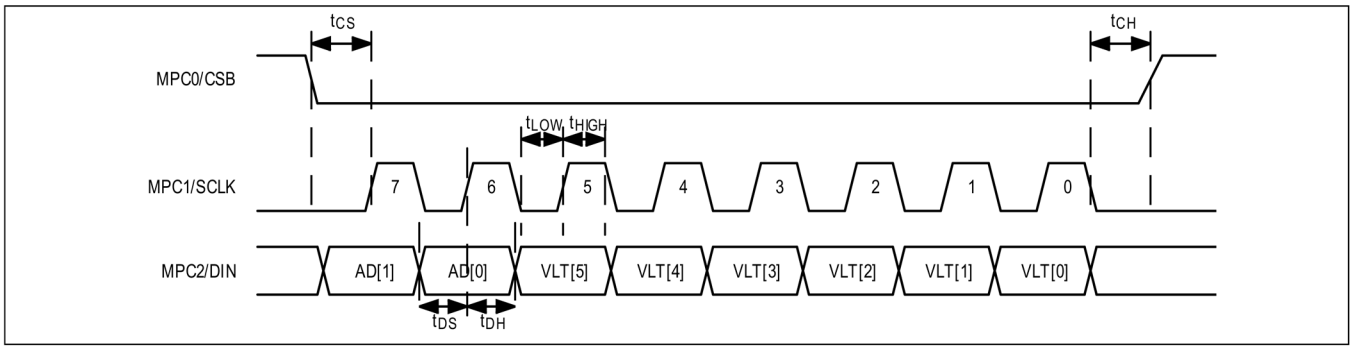


図 2. DVS モード 2、SPI タイミング

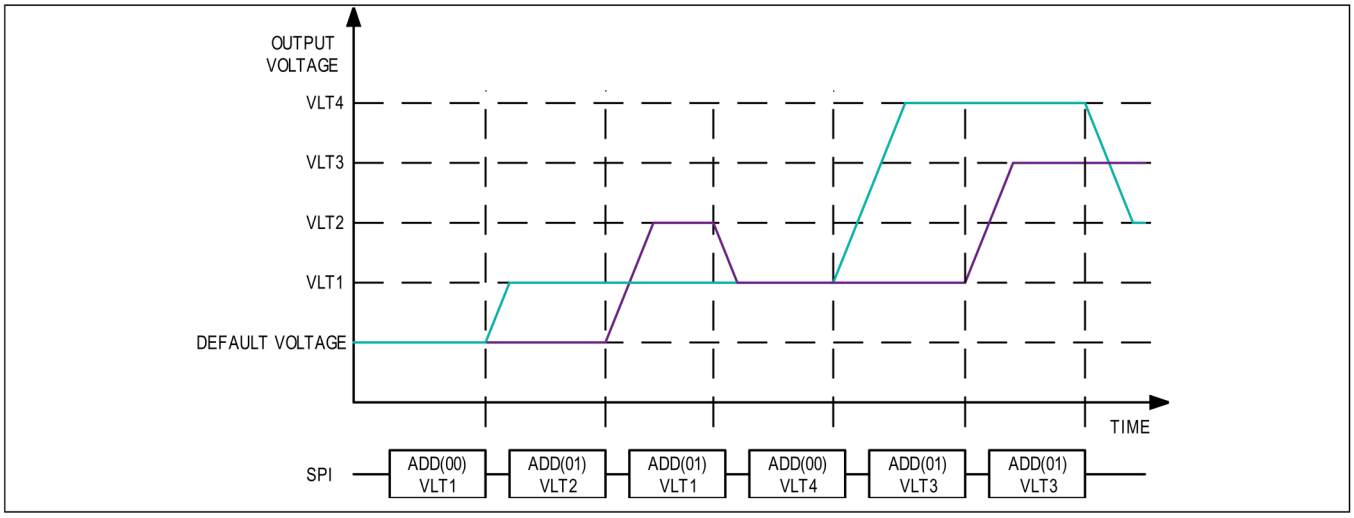


図 3. DVS モード 2、SPI 制御

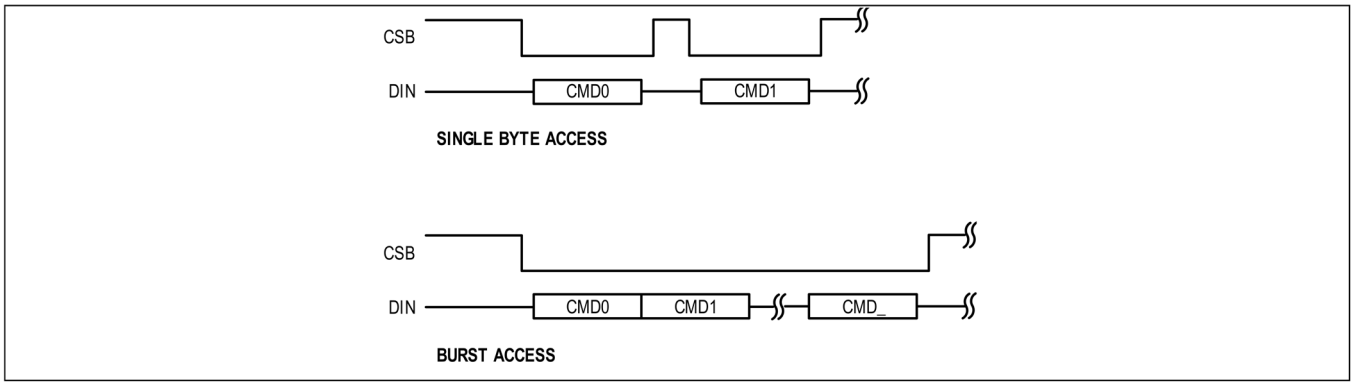


図 4. シングルバイトおよびバーストモードの SPI アクセス

専用 DVS 割込み

DVS 遷移の完了をホスト・プロセッサへ迅速に通知するために、MAX20366 は MPC0～MPC6 ピンを専用 PGOOD 割込みとして設定するオプションを備えています。専用割込みを設定するには、目的の BK_MPC_Sel ビットをレジスタ 0x70～0x72 に書き込みます。更に、ハプティック・ドライバ、ADC、および USBOk ステータスの割込み信号変化を、専用 MPC 割込みとして使用することもできます。

降圧コンバータの DVS オプション

MAX20366 の降圧コンバータには、Buck_DVSCur ビットを使って選択できる 2 種類の DVS バレー電流設定があります。選択できる設定は 500mA と 1A のどちらかです。バレー電流を 500mA に設定すると遷移時間がわずかに長くなりますが、遷移終了時のインダクタの消磁によって生じる可能性のある電圧オーバーシュートは最小限に抑えられます。1A に設定すると DVS 遷移時間は短くなりますが、インダクタの消磁によるオーバーシュートが生じる可能性があります。したがって、オーバーシュートが下流側デバイスを損傷させることがないように注意が必要です。

LDO

LDO 出力容量の選択

MAX20366 の LDO は、実容量が 1µF 以上ある出力コンデンサと組み合わせて使用するように設計されています。使用コンデンサの選択時は、DC 電圧バイアスその他の要因による容量のディレーティングに注意してください。

LDO1 の MPC0 制御

MAX20366 の LDO は両方とも MPC 入力を使ってイネーブルでき、負荷スイッチとして設定することができます。更に、低電圧の LDO1 にはオンザフライ設定オプションがあります。LDO1_MPC0CNT ビットを 1 にセットすると（ビット LDO1_MPC0CNT を参照）、LDO1 は LDO1_MPC0CNF（ビット LDO1_MPC0CNF を参照）のステートに基づいて MPC0 により制御されるように設定されます。LDO1_MPC0CNF = 0 の場合、MPC0 は LDO1 を LDO モードとスイッチ・モードの間で切り替えます。LDO1_MPC0CNF = 1 の場合、MPC0 は LDO1 をスイッチ・モードでイネーブルまたはディスエーブルします。LDO1 の MPC0 制御の詳細については、表 2 を参照してください。この MPC 制御を使用すると、LDO1 のステートを I^2C 書込みの場合よりはるかに高速（数マイクロ秒単位）で変更することができます。LDO1 の高速制御は、遅延を最小限に抑えることが求められるアプリケーションに使用できます。例えば、LDO モードからスイッ

チ・モードに変更することによって LDO1 出力電圧を急速に増大させると、アプリケーション・プロセッサが低消費電力のスリープ・モードから高電圧のアクティブ・モードへ遷移するのに必要な時間が短くなります。

表 2. LDO1 の MPC0 制御

LDO1En	LDO1_MPC0CNF	LDO1_MPC0CNT	MPC0 CONTROL
00	1	1	MPC0 control switch mode on/off
01	0	1	MPC0 control LDO mode or switch mode
	1	1	
10	1	1	MPC0 control switch mode on/off
11	1	1	MPC0 control switch mode on/off

LDO2 常時オン電源の内部切替え

バッテリ電圧が供給されていない状態で LDO2 に電力を供給するために、内部切替え回路が用意されています。この切替え回路を使用するには、1µF の容量によって L2IN ノードで LDO をバイパスする必要があります。それ以外の場合は L2IN ノードを未接続のままにしてください。この切替え回路は、バッテリがない場合でも LDO に電力を供給できるように、CHGIN とは別のレギュレーション電圧から LDO に自動的に電力を供給します。このオプションは出荷時にデフォルトでイネーブルまたはディスエーブルにすることができます。いずれの場合も、その動作はスタートアップ後に I^2C によってプログラムされます。この機能は、1.8V 以下の出力電圧と 100µA（最大）以下の負荷電流に対応するためのものです。電気的特性の表にある R_{ON_L2IN} の仕様は、V_{CCINT} からの最小入力電圧（Note 2 を参照）、LDO2 の最大出力電圧、および最大オン抵抗に基づき、最も厳しい条件下で出力電力能力を得るために使われます。

負荷スイッチ

MAX20366 の負荷スイッチは、システムが非アクティブ状態のときに負荷を切り離して、自己消費電流を減らすことを可能にします。イネーブル時の突入電流を制限するために、各負荷スイッチは、電流値 I_{SW_START} の定電流源として動作を開始します。電流モードは、スイッチ出力が $V_{SW\_IN} - V_{SW\_OUT} < V_{SW\_PROT}$ という条件を満たす電圧になるまで維持されます。この条件が満たされるとスイッチが完全にオンになり、LSW_IN を LSW_OUT に接続します。スタートアップ・タイムアウト t_{STUP_LSW} 以内にこの条件が満たされない場合は、リトライ遅延 t_{RTRY_LSW} 後にスイッチ・オンが試みられます。

どちらのスイッチも、過電流を防ぐためにオプションの電圧保護機能を備えています。保護コンパレータが入力電圧と出力電圧の差をモニタします。この差が V_{SW_PROT} を超えると、下流側の回路を保護するためにスイッチがオフになります。上流側の電源が独自の過電流保護機能を備えている場合は、自己消費電流を減らすために LSW_LowIq ビットでコンパレータをオフにすることができます。

昇圧レギュレータ

MAX20366 には、ディスプレイ・バックライト LED、圧電ブザー、および高電源電圧を必要とするその他のシステム・コンポーネントへの給電のために、20V までの出力電圧に対応する高電圧昇圧コンバータが含まれています。実装をできるだけ容易にするために、昇圧レギュレータのピーク電流設定は、BstISetLookUpDis = 0（ビット BstISetLookUpDis を参照）の場合の所定の出力電圧に対して最適な値となるように、自動的に調整されます。異なるピーク電流設定にしたい場合は BstISetLookUpDis = 1 に設定する必要があります（ビット BstISetLookUpDis を参照）。安定性を保つために、昇圧は最小容量条件を満たしていなければなりません。下の図 5 に、安定性を確保するために必要な実効容量と出力電圧の関係を示します。

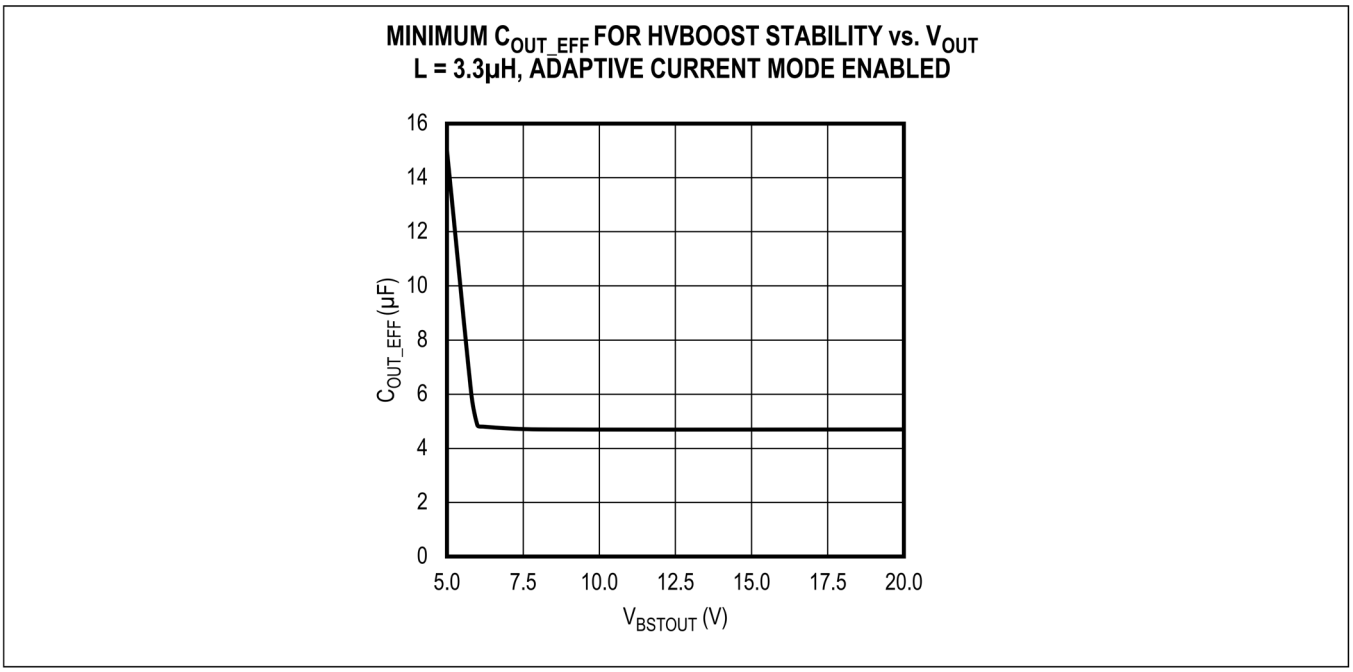


図 5. HVBOOST を安定させるための最小実効容量

昇圧インダクタの選択

MAX20366 の高電圧昇圧コンバータ用インダクタは、意図するアプリケーションに最適なものを選ぶ必要があります。この昇圧には 4.7µH のインダクタ値を推奨しますが、効率とのトレードオフで 3.3µH と 2.2µH のインダクタを使用することもできます。インダクタの値のほか、物理サイズ、DC 抵抗（DCR）、最大平均電流、飽和電流が、考慮すべき主な条件です。最大平均インダクタ電流は、次式で計算されます。

$$I_{L\_MAX} = \frac{V_{OUT\_MAX} \times I_{OUT\_MAX}}{\eta \times V_{IN\_MIN}}$$

ここで、

V_{OUT_MAX} = 最大予想動作電圧

I_{OUT_MAX} = 最大予想出力電流

V_{IN_MIN} = 最小予想動作入力電圧

η = 最小入力電圧、最大出力電力時の最も厳しい条件の想定効率（効率の予測に関する参考情報については、標準動作特性のセクションを参照してください）。

上記で計算される平均インダクタ電流によって、インダクタの温度上昇を見込んだ上で必要とされる最大平均電流が規定されています。要求されるインダクタ飽和電流を決定するには、ピーク電流を計算する必要があります。このコンバータのピーク電流は、次のように計算できます。

$$I_{L\_PEAK\_CCM} = I_{L\_MAX} + \frac{1.15 \times BstlSet}{2} + 100mA \quad \text{and} \quad I_{L\_PEAK\_DCM} = BstlSet + 100mA$$

ここで BstISet は、昇圧インダクタのピーク電流のセクションに従って設定したピーク電流設定です（ビット BstISet も合わせて参照）。

インダクタの選択において、高い効率を得るために重要な条件の 1 つに、インダクタの DCR があります。効率を最大化するためには、要求されるパッケージ・サイズで可能な限り低い DCR のインダクタを選択します。もう 1 つ考慮すべき条件は磁気損失です。一般に、物理的サイズが大きいインダクタは磁気損失が小さく、飽和電流定格が大きくなります。フェライト・インダクタは AC 特性に劣る傾向があり、DCM では特にその傾向が強いので、ほとんどの場合で使用を避けるべきです。

昇圧コンデンサの選択

高電圧昇圧は、実容量が 4.8µF 以上ある出力コンデンサと組み合わせて使用するように設計されています。使用コンデンサの選択時は、DC 電圧バイアスその他の要因による容量のディレーティングに注意してください。

インダクタのピーク電流制限

昇圧レギュレータは、オン・フェーズの終了を制御するために、各スイッチング・サイクルにおけるインダクタ電流の最大値をモニタします。ピーク電流値は BstISet に固定するか（BstIAdptEn = 0）、負荷条件に基づいて変更することができます（BstIAdptEn = 1）（ビット BstISet と BstIAdptEn を参照）。設定は BstIAdptEn = 1 のままにしておくことを強く推奨します。この設定は負荷レギュレーションを大きく改善し、コンバータが高効率を実現できる範囲も広くなるからです。ピーク電流は BstISet レジスタで設定します。昇圧レギュレータのピーク電流設定は、できるだけ容易に実行できるよう、BstISetLookUpDis = 0（ビット BstISetLookUpDis を参照）の場合は、図 6 に示す設定に合わせて自動的に調整されます。これらは所定の出力電圧に対する最適設定です。異なるピーク電流設定にする場合は、BstISetLookUpDis = 1（ビット BstISetLookUpDis を参照）に設定する必要があります。BstISet レジスタは、この設定を行って初めて有効になります。

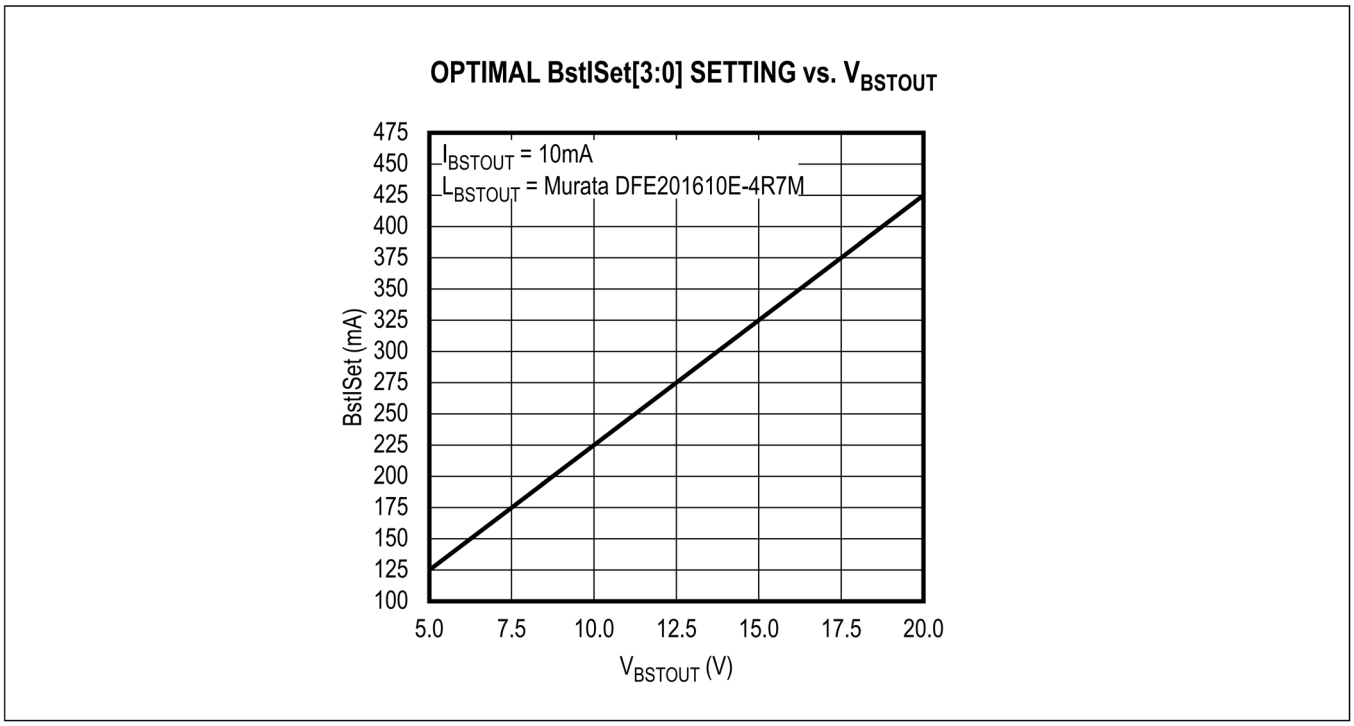


図 6. 最適なピーク電流と電圧のルックアップ・テーブル

昇圧コンバータと LED0 の閉ループ動作

昇圧レギュレータは、LED 電流シンク LED0 との閉ループ動作が可能です。その目的は、LED0 によって駆動される LED と昇圧コンバータをできるだけ効率的に動作させることにあります。LED_BoostLoop = 1（ビット LED_BoostLoop を参照）の場合は、LED0 の電圧を LED0_REFSEL（ビット LED0_REFSEL を参照）の設定値に安定させるために、昇圧電圧が調整されます。これは LED0 の電流シンクにおけるヘッドルームを最小限にすることを可能にし、結果として LED の駆動効率は最大限に高められます。昇圧レギュレーション回路は電圧を初期設定より大きくするためにのみ使用できます。調整可能な範囲は 5V です。

昇降圧レギュレータ

MAX20366 の昇降圧レギュレーションは、バッテリ電圧付近もしくはそれ以上の電圧のレギュレーションに使用できる、低リップルの電圧レールを提供します。昇降圧は、フォトプレチスモグラフィ（PPG）システムに使われる LED への電力供給に最適なサイズになっています。これには、順方向電圧降下の大きい短波長 LED を使用する PPG システムが含まれます。昇降圧トポロジとダイナミック電圧スケーリング能力は、ユーザが出力電圧を調整し、LED 電流シンクのヘッドルームをできるだけ小さい値に抑えて効率を最大限まで高めることを可能にします。

その他のいくつかの制御は、レギュレータの効率と出力ノイズを最適化する助けとなります。これらには、ピーク電流制御と、ピーク電流およびバレー電流の自動調整が含まれます。更に、V_{BBOUT} が V_{SYS} よりはるかに低い場合は、昇降圧レギュレータを降圧限定モードで動作させて効率を上げることができます。

昇降圧インダクタの選択

MAX20366 のインダクタは、アプリケーションに対して最適化できるよう選択します。この昇降圧レギュレータには 2.2µH のインダクタ値が必要です。インダクタの値のほか、物理サイズ、DC 抵抗（DCR）、最大平均電流、飽和電流が、考慮すべき主な条件です。最大平均インダクタ電流は、次式で計算されます。

$$I_{L\_MAX} = \frac{V_{OUT\_MAX} \times I_{OUT\_MAX}}{\eta \times V_{IN\_MIN}}$$

ここで、

V_{OUT_MAX} = 最大予想動作電圧

I_{OUT_MAX} = 最大予想出力電流

V_{IN_MIN} = 最小予想動作入力電圧

η = 最小入力電圧、最大出力電力時の最も厳しい条件の想定効率（効率の予測に関する参考情報については、標準動作特性のセクションを参照）。

上記で計算される平均インダクタ電流によって、インダクタの温度上昇を見込んだ上で必要とされる最大平均電流が規定されています。要求されるインダクタ飽和電流を決定するには、ピーク電流を計算する必要があります。このコンバータの最も厳しい条件下でのピーク電流は、以下の式で計算した 2 つの値のいずれか大きいほうとすることができます。

$$I_{L\_PEAK\_CCM} = I_{L\_MAX} + \frac{1.15 \times (BBstlPSet1 + BBstlPSet2)}{2} + 100mA$$

および

$$I_{L\_PEAK\_DCM} = 1.15 \times (BBstlPSet1 + BBstlPSet2) + 100mA$$

V_{IN} が V_{OUT} より 100mV 以上低いときに I_{L_PEAK} が生じると予想される場合は、より悲観的な仮定の下に、以下の式で計算した 2 つの値の低いほうを採用することができます。

$$I_{L\_PEAK\_CCM} = I_{L\_MAX} + \frac{1.15 \times BBstlPSet1}{2} + 100mA \quad \text{および} \quad I_{L\_PEAK\_DCM} = 1.15 \times BBstlPSet1 + 100mA$$

ここで、BBstIPSet1 と BBstIPSet2 はピーク電流設定です。

インダクタの選択において、高い効率を得るために重要な条件の 1 つに、インダクタの DCR があります。効率を最大化するためには、要求されるパッケージ・サイズで可能な限り低い DCR のインダクタを選択します。もう 1 つ考慮すべき条件は磁気損失です。一般に、物理的サイズが大きいインダクタは磁気損失が小さく、飽和電流定格が大きくなります。フェライト・インダクタは AC 特性に劣る傾向があり、DCM では特にその傾向が強いので、ほとんどの場合で使用を避けるべきです。所定の最適化パラメータに対する推奨インダクタについては、表 3 を参照してください。

表 3. 推奨インダクタ

OPTIMIZATION PARAMETERS	VENDOR	PART NUMBER
Efficiency	Murata	DFE201610E-2R2M
Size	Murata	DFE18SBN2R2MEL

昇降圧出力コンデンサの選択

昇降圧は、ケースサイズの小さいセラミック・コンデンサを使用するように設計されています。したがって、ケースサイズ 0603 および 0402（インペリアル）のコンデンサの急激な電圧ディレーティングに対応できるよう、このデバイスの出力容量条件は小さい値に抑えられています。図 7 のサンプル・ディレーティング曲線は、BBOUT ノードの必要最小容量を示しています。

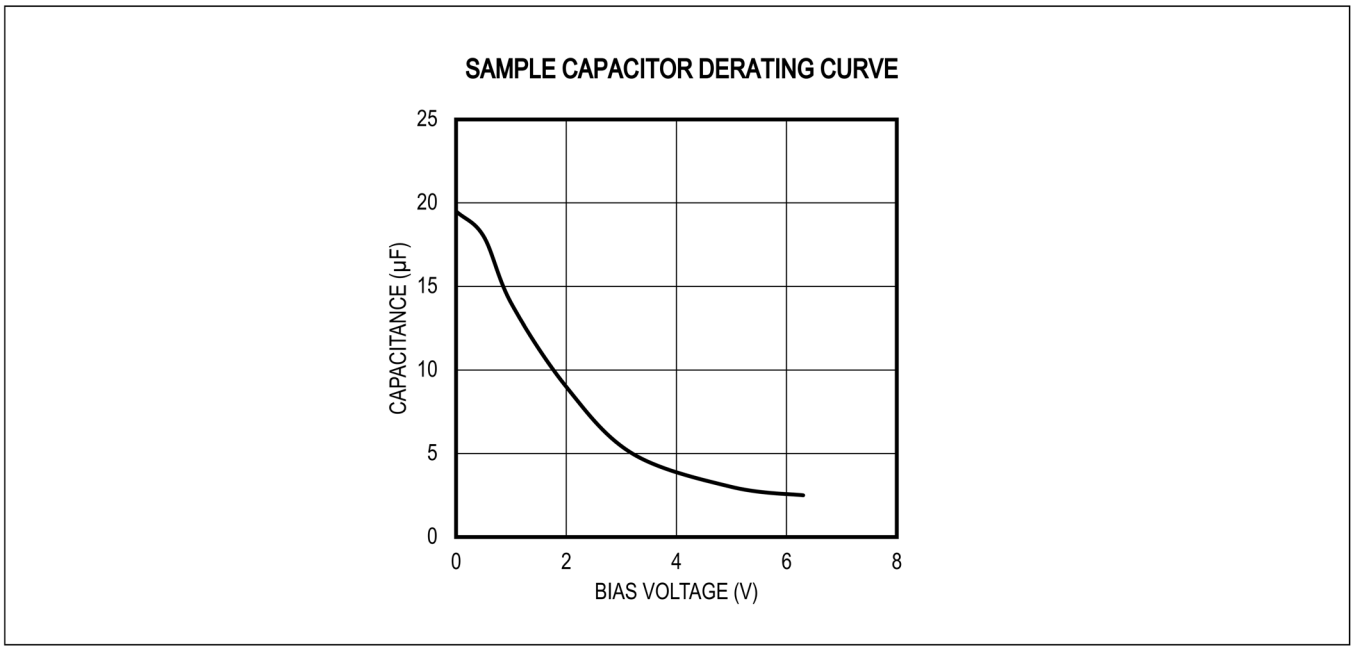


図 7. 昇降圧の必要最小出力容量

アーキテクチャとスイッチング・フェーズ

昇降圧は代表的な非反転昇降圧トポロジで構成されています。図 8 はレギュレータの基本構造を示しており、矢印は各スイッチング・フェーズにおける電流の方向を表しています。レジスタ設定と入出力電圧比に応じて、昇降圧は特定の順番に並べた以下のスイッチング・フェーズを通じて順次進行し、充電電流を出力します。任意のフェーズでオンになるスイッチは最大 2 個です。

- フェーズ 1：MP1 オン、MP2 オン。インダクタを充電。
- フェーズ 2：MP1 オン、MN2 オン。インダクタを充電。
- フェーズ 3：MN1 オン、MP2 オン。インダクタから放電。
- フェーズ 4：MN1 オン、MN2 オン。フリーホイール。

昇降圧時は、周波数コンパレータがそのスイッチング周波数をモニタします。スイッチング周波数は負荷電流と共に増加します。軽負荷時、昇降圧レギュレータはその帰還ループを最適化して自己消費電流を小さい値に抑えます。負荷条件によってスイッチング周波数が f_{HIGH} スレッショルドまで増加すると、応答時間を改善するために低自己消費電流モードがディスエーブルされます。このスレッショルドより上で遷移が行われると、出力電圧リップルが不連続になります。影響を受けやすい電流値で遷移が行われることによって重要な周波数で出力にノイズが生じる場合は、f_{HIGH} スレッショルドを調整することを推奨します。ただし、トレードオフとして軽負荷時の効率がわずかに低下します。f_{HIGH} スレッショルドは、BBstCfg1 レジスタの BBFHighSh によって設定します（レジスタ BBstCfg1 を参照）。ヒステリシスがあるので、昇降圧レギュレータはスイッチ周波数が $f_{HIGH}/4$ に低下するまで低自己消費電流モードに戻りません。

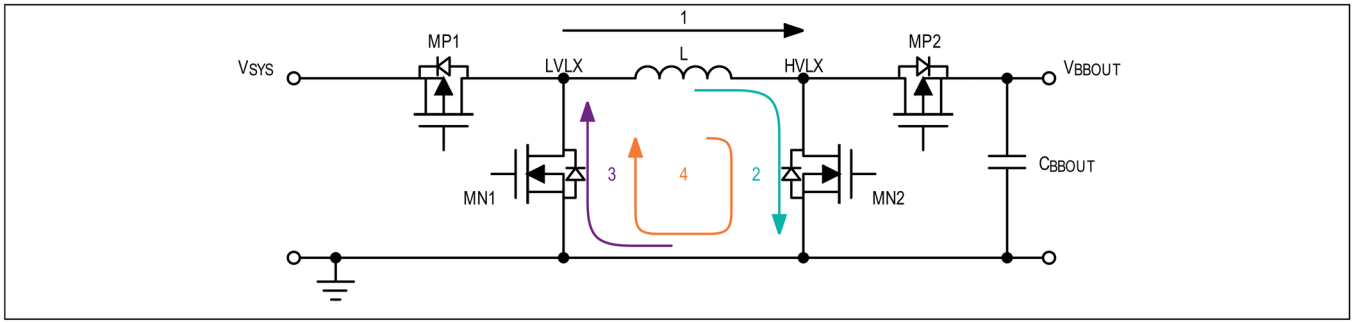


図 8. 昇降圧レギュレータとスイッチング・フェーズ

昇降圧モード

BBstMode（レジスタ 0x41[1]）が 0 の場合、レギュレータは昇降圧モードで動作します。フェーズ 2 では、インダクタが BBstIPSet1（レジスタ 0x43[3:0]）まで充電されます。これにより、V_{SYS} が V_{BBOUT} に近いときはノイズが最小限に抑えられます。次いで昇降圧はフェーズ 1 へ遷移します。$V_{SYS} > V_{BBOUT}$ の場合、インダクタは、電流が BBstIPSet1 + BBstIPSet2（レジスタ 0x43[7:4]）に達するか、500ns の遅延が経過するまで充電を続けます。$V_{SYS} \leq V_{BBOUT}$ の場合、昇降圧は 500ns の遅延が経過するか電流がバレー電流値に低下するまで待機します。次にレギュレータはフェーズ 3 に入り、バレー電流値になるまでインダクタ電流を放電します。インダクタ電流がスレッショルドを超えてバレー電流値に達するか 0 未満に低下すると、レギュレータは次の充電フェーズまでフェーズ 4 でフリーホイール状態になります。連続導通モード（CCM）での動作時に BBstZCCmpDis = 1 の場合、昇降圧は約 30ns の間フェーズ 4 になります。CCM での動作時に BBstZCCmpDis = 0 の場合、昇降圧はフェーズ 4 をスキップします。バレー動作は BBstZCCmpDis（レジスタ 0x44[4]）によって決まります。昇降圧モードでのインダクタ電流を図 9 に示します。

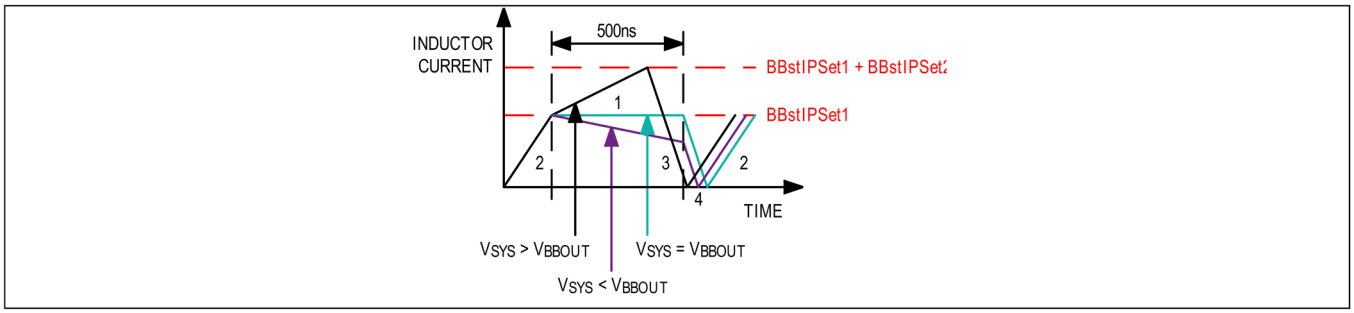


図 9. 昇降圧モードでの昇降圧インダクタ電流

降圧限定モード

$V_{SYS} > V_{BBOUT}$ のときの効率を最大限まで高めるために、昇降圧レギュレータには降圧限定モードがあります。BBstMode = 1 の場合、レギュレータは同期整流式降圧レギュレータとして動作します。フェーズ 1 では、インダクタはインダクタ電流が BBstIPSet1 に達するまで放電します。レギュレータは次いでフェーズ 3 に遷移し、インダクタ電流を出力へ流す経路を提供します。降圧限定モードでのインダクタ電流を図 10 に示します。

降圧限定モードでは、昇降圧モードで見られるスイッチング損失が減少します。降圧限定モードは、V_{BBOUT} が常に V_{SYS} 未満の場合に、効率を最大にするために使用します。

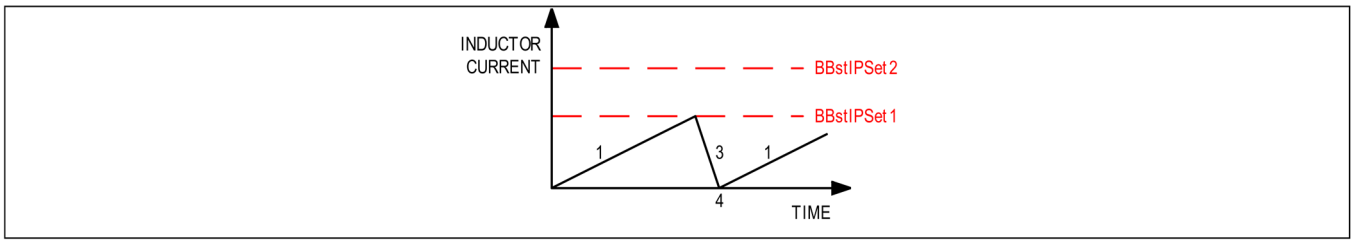


図 10. 降圧限定モードでの昇降圧インダクタ電流

インダクタのピーク電流とバレー電流の制限値

昇降圧レギュレータはインダクタ電流の最大値と最小値をモニタします。ピーク電流は BBstIPSet_で指定する値に固定でき、バレー電流は 0mA に固定できます（ビット BBstIPSet1 と BBstIPSet2 を参照）。あるいは、BBstIAdptDis = 0（ビット BBstIAdptDis を参照）の場合は負荷条件に基づいて変化させることができます。

ピーク電流は BBstISet レジスタで設定します（レジスタ BBstISet を参照）。BBstIPSet1 は、$V_{SYS} < V_{BBOUT}$ のときとレギュレータが降圧限定モードのときにピーク電流を制御します。BBstIPSet2 は、昇降圧モードで $V_{SYS} > V_{BBOUT}$ のときの 2 次電流制限値を設定します。$V_{SYS} > V_{BBOUT}$ のときの合計インダクタ電流制限値は、BBstIPSet1 + BBstIPSet2 です。昇降圧レギュレータは、インダクタ電流が BBstIPSet1 + BBstIPSet2 に達するか 500ns のタイムアウトが経過すると、フェーズ 1 からフェーズ 3 に遷移します。BBstIPSet1 と BBstIPSet2 の差を最小限に抑えると出力リップルが減少しますが、効率も低下します。出力リップルを低くし、効率も最大化するよう、ピーク電流の設定には注意を払う必要があります。BBstIPSet1 に対する BBstIPSet2 の安全動作領域を図 11 に示します。所定の値に対して図 11 に示す値未満の値を選択すると、効率が低下して出力リップルが増加する可能性があります。図 12 は、特定の BBstVSet 値に対して効率が最も良くなる BBstPSet1 と BBstIPSet2 の組み合わせを選ぶためのガイドを視覚的に示したグラフです。

昇降圧レギュレータのピーク電流設定は、できるだけ容易に実行できるよう、BBstISetLookUpDis = 0 の場合は、特定の出力電圧に対する図 12 の設定に合わせて自動的に調整されます。異なるピーク電流設定が求められる場合は、BBstISetLookUpDis = 1 に設定する必要があります。この設定を行って初めて、BBstIPSet1 と BBstIPSet2 が有効になります（ビット BBstISetLookUpDis を参照）。BBstIAdptDis = 0 の場合は（ビット BBstIAdptDis を参照）、高負荷時の負荷レギュレーションと効率を改善するために、負荷が増大するとレギュレータが自動的にピーク電流制限値を増やします。BBstZCCmpDis = 1 の場合（ビット BBstZCCmpDis を参照）、昇降圧はピーク電流制限値とバレー電流制限値で動作します。不連続導通モード（DCM）のバレー電流制限値は 0mA で、これがゼロ交差点として働きます。CCM で BBstIAdptDis = 0 の場合は、ピーク電流およびバレー電流制限値が電圧ループによって自動的に調整されます（ビット BBstIAdptDis を参照）。しかし、BBstZCCmpDis = 0 の場合（ビット BBstZCCmpDis を参照）、昇降圧はピーク電流制限値、バレー電流制限値、およびゼロ交差点電流制限値で動作します。ゼロ交差点制限値は 0mA に固定されますが、BBstIAdptDis = 0 の場合（ビット BBstIAdptDis を参照）、ピークおよびバレー電流制限値は電圧ループによって調整されます。

DCM ではバレー電流制限値が負なので、フェーズ 1 または 3 の終了はゼロ交差点電流により決定されます。CCM で BBstZCCmpDis = 0（ビット BBstZCCmpDis を参照）の場合、バレー電流制限値は 0mA 以上です。したがって、フェーズ 1 または 3 の終了はバレー電流コンパレータによって決定されます。

電流のゼロ交差コンパレータをディスエーブルすると、昇降圧コンバータの出力リップルが抑制されます。コンパレータをイネーブルすると、BBstZCCmpDis = 1（ビット BBstZCCmpDis を参照）の場合は存在する CCM モードのフェーズ 4 段階がなくなるので、CCM の EMI が改善されます。

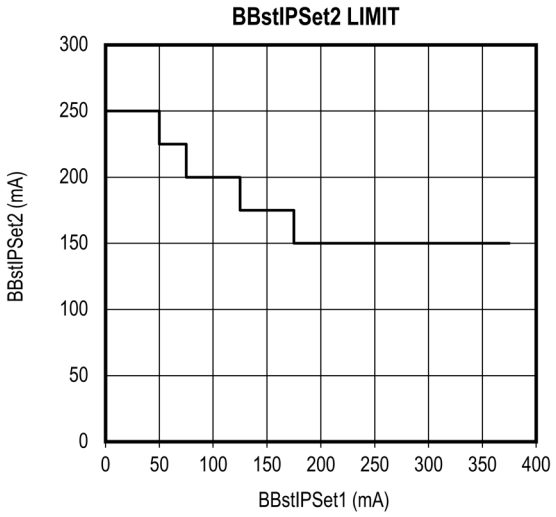


図 11. 所定の BBstIPSet1 設定に対する BBstIPSet2 の下限値

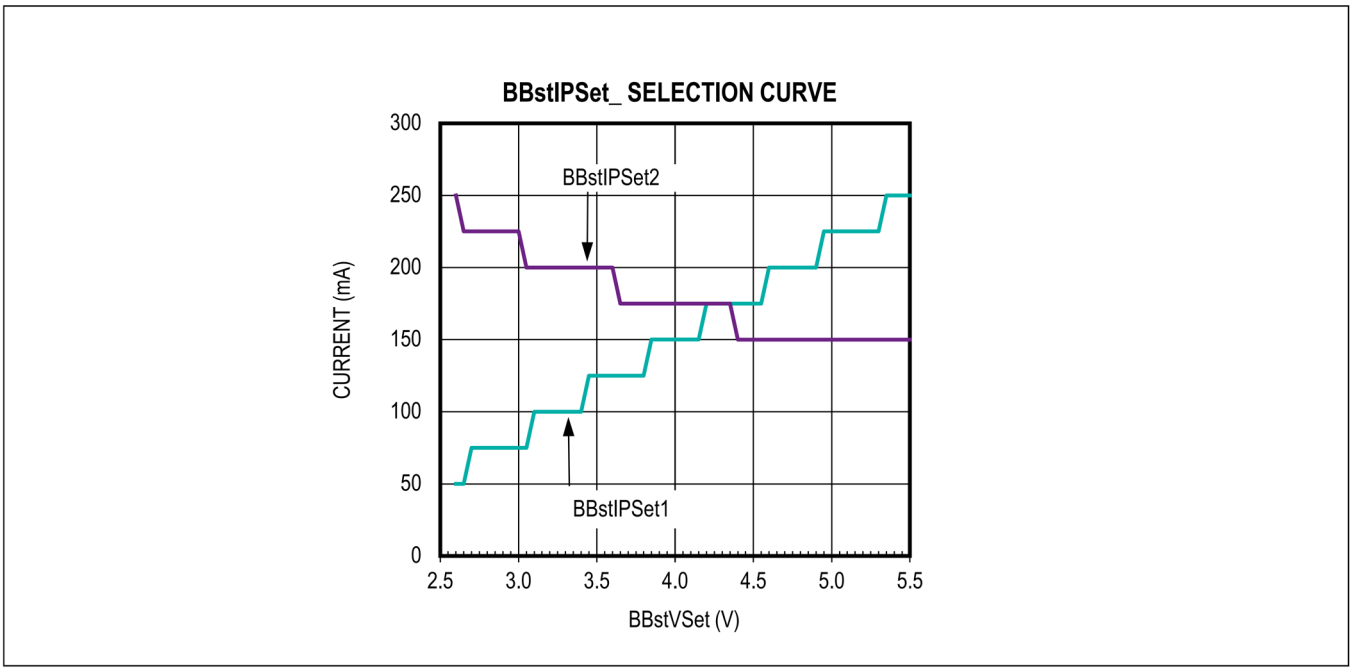


図 12. BBstIPSet1 と BBstIPSet2 の推奨設定

降圧レギュレータ

MAX20366 には 3 個の降圧レギュレータが含まれています。低出力の 400mA 降圧レギュレータ 2 個と、高出力の 600mA 降圧レギュレータ 1 個です。すべての降圧レギュレータはパルス周波数変調（PFM）方式で動作し、ピーク電流とバレー電流の制御機能を備えています。軽負荷時の降圧コンバータは、最大限の効率を得るために不連続導通モード（DCM）で動作します。降圧レギュレータには最小容量条件と最大容量条件があります。安定した動作を確保するには、各降圧レギュレータの実効出力容量がこの範囲内に入っていなければなりません。それぞれの出力電圧設定に対する最小容量と最大容量を図 13 に示します。

降圧インダクタの選択

MAX20366 のインダクタは、アプリケーションに対して最適化できるよう選択します。これらの降圧コンバータには 2.2µH のインダクタを使用することを強く推奨します。1µH のインダクタも使用できますが、その場合は効率が低下し、最小限の過渡応答効果が限られるに止まります。インダクタの値に加えて考慮すべき主な要素としては、物理的サイズ、DC 抵抗（DCR）、最大平均電流、飽和電流などがあります。最大平均インダクタ電流は、そのアプリケーションで予想される最大出力電流に等しくなります。

上記で計算される平均インダクタ電流によって、インダクタの温度上昇を見込んだ上で必要とされる最大平均電流が規定されています。要求されるインダクタ飽和電流を決定するには、ピーク電流を計算する必要があります。このコンバータのピーク電流は、以下の式で計算した 2 つの値のいずれか大きいほうとすることができます。

$$I_{L\_PEAK\_CCM} = I_{L\_MAX} + \frac{1.15 \times BuckxlSet}{2} + 100mA \text{ and } I_{L\_PEAK\_DCM} = 1.15 \times BuckxlSet + 100mA$$

ここで、BuckxISet は該当する降圧コンバータのピーク電流設定で、I_{L_MAX} はそのコンバータの最大予想負荷電流です。

インダクタの選択において、高い効率を得るために重要な条件の 1 つに、インダクタの DCR があります。効率を最大化するためには、要求されるパッケージ・サイズで可能な限り低い DCR のインダクタを選択します。もう 1 つ考慮すべき条件は磁気損失です。一般的に磁気損失は、物理サイズの大きなインダクタや飽和電流定格の高いインダクタでは低くなります。フェライト・インダクタは AC 特性に劣る傾向があり、DCM では特にその傾向が強いので、ほとんどの場合で使用を避けるべきです。所定の最適化パラメータに対する推奨インダクタについては、表 4 を参照してください。

表 4. 推奨降圧インダクタ

OPTIMIZATION PARAMETERS	VENDOR	PART NUMBER
Efficiency	Murata	DFE201610E-2R2M

Size	Murata	DFE18SBN2R2MEL

降圧出力コンデンサの選択

降圧は、ケースサイズの小さいセラミック・コンデンサを使用するように設計されています。したがって、ケースサイズ 0603 および 0402（インペリアル）のコンデンサの急激な電圧ディレーティングに対応できるよう、このデバイスの出力容量条件は小さい値に抑えられています。更に、安定性を確保するための最大出力容量条件があります。図 13 の最小必要容量条件と最大必要容量条件は、BK_OUT ノードに必要な容量を示しています。

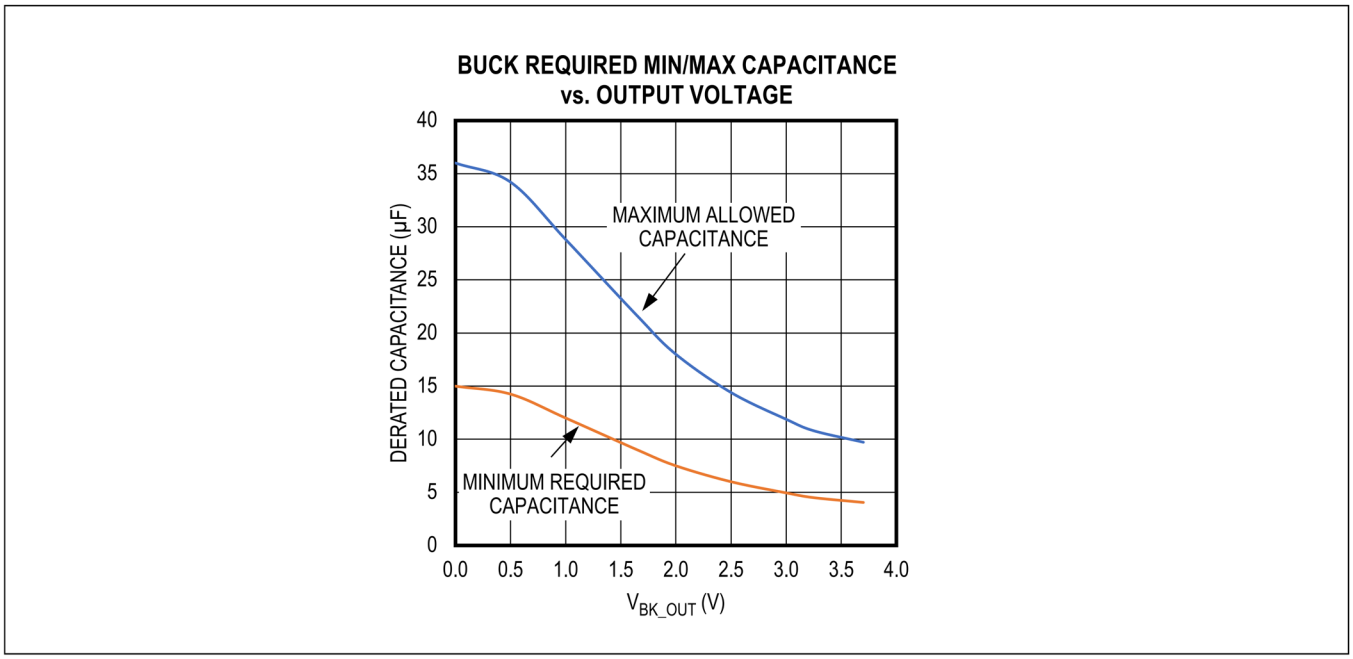


図 13. 安定性を確保するために必要な降圧レギュレータの最小容量と最大容量

インダクタのピーク電流とバレー電流の制限値

降圧レギュレータが DCM のときのインダクタの最小電流スレッショルド（I_{VALLEY}）は 0mA で、Buck_ISetLookUpDis = 1（ビット Buck1ISetLookUpDis、Buck2ISetLookUpDis、Buck3ISetLookUpDis を参照）の場合、インダクタのピーク電流スレッショルド（I_{PEAK}）はレギュレータの自動ルックアップ・テーブルまたは Buck_ISet レジスタ（ビット Buck1ISet, Buck2ISet、Buck3ISet を参照）によって図 14 の最適値に自動的に設定されます。このモードでは、負荷が増加すると、PFM 制御方式に従ってスイッチング周波数も増加します。

負荷が増加を続けると、降圧レギュレータのスイッチング周波数は最終的におよそ 1.1MHz に達します。この時点で、降圧レギュレータのアダプティブ電流設定がイネーブルされている場合は（Buck_IAdptDis = 0）（ビット Buck1IAdptDis、Buck2IAdptDis、Buck3IAdptDis を参照）、I_{PEAK} と I_{VALLEY} が上にシフトして、これら両方の値間のオフセット（上述のインダクタ・ピーク電流設定により設定されます）がほぼ一定に保たれます。バレー電流が増加し始めると、インダクタが 0mA まで完全に放電することはなくなるので、レギュレータは連続導通モード（CCM）で動作します。スイッチング周波数の勾配は平坦になり、負荷範囲の残り部分の増加率はごくわずかになります。この制御方式は、ピーク電流レベルから生じる抵抗損失と、FET のゲートを駆動することで生じるスイッチング損失のバランスを取ることを目的としたもので、広い負荷範囲にわたって負荷レギュレーションと高効率を維持します。

アダプティブ電流設定をディスエーブルした場合（Buck_IAdptDis = 1）（ビット Buck1IAdptDis、Buck2IAdptDis、Buck3IAdptDis を参照）、スイッチング周波数は、レギュレータが臨界導通モードに達するまで増加を続けます。臨界導通モード後も負荷が増加を続けると、スイッチング周波数が飽和して降圧レギュレータは電流源として動作します。この結果、レギュレータ出力における負荷レギュレーション誤差が大きくなります。

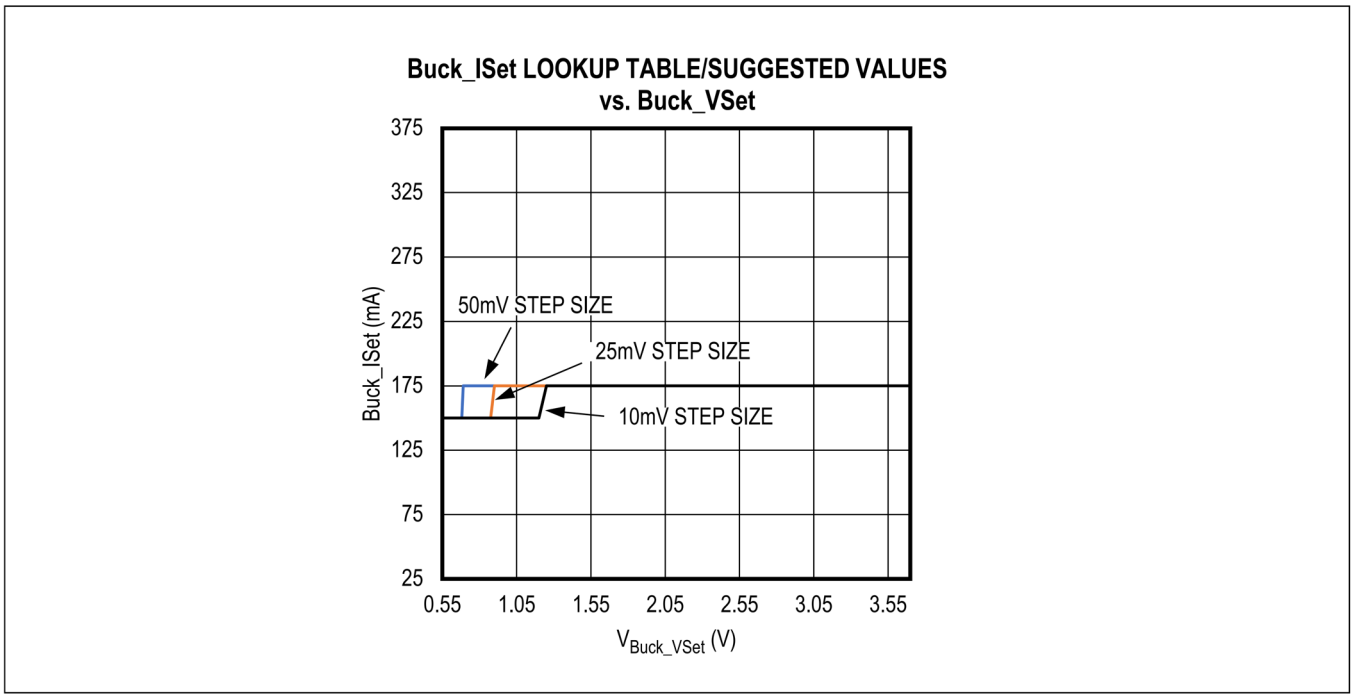


図 14. 最適ピーク電流設定と出力電圧

降圧スイッチング周波数操作のための調整

一部のアプリケーションでは、いくつかの周波数で降圧出力電圧リップルがノイズを発生させて、それが敏感なアナログ回路に干渉することがあります。MAX20366 ではピーク電流を調整できるため、レギュレータが DCM モードにあるときにリップル周波数をシフトさせて、敏感な周波数範囲から外す柔軟性を提供できます。ピーク電流が大きくなるとスイッチング・サイクルにおける出力コンデンサへの充電量も増えるので、同じ負荷に給電するために必要な出力コンデンサの充電回数は減ります。この場合は所定の負荷電流に対する出力リップル周波数が低下して、敏感な高周波域の下へ移動します。逆に、ピーク電流が小さくなると所定の負荷電流に対するスイッチング周波数が増加して、敏感な低周波域へのノイズの混入を防ぎます。

この場合はピーク電流が大きくなると抵抗損失も大きくなり、それにより効率が低下して出力電圧リップルの振幅が大きくなる可能性があります。ピーク電流を小さくするとスイッチング損失が増え、それによって効率が低下する可能性があります。標準動作特性のセクションを参照してください。

降圧レギュレータのピーク電流設定は、できるだけ容易に実行できるよう、所定の出力電圧に対して最適な値となるように自動的に調整できます。Buck_ISetLookUpDis = 0 の場合（ビット Buck1ISetLookUpDis、Buck2ISetLookUpDis、Buck3ISetLookUpDis を参照）、いずれかの DVS モードで降圧レギュレータの出力電圧が変化すると、MAX20366 はピーク電流設定を更新します。アプリケーションが独立したピーク電流制御を必要とする場合は、Buck_ISetLookUpDis = 1 に設定すると（ビット Buck1ISetLookUpDis、Buck2ISetLookUpDis、Buck3ISetLookUpDis を参照）、自動更新機能がディスエーブルされます。

LDO モードの高出力降圧コンバータ

降圧レギュレータの充電フェーズでは、レギュレータの入力から出力への経路を形成することによって、インダクタにエネルギーが供給されます。インダクタを通過する電流は、次式に従って増加します。

$$\Delta I = \frac{V_{IN} - V_{OUT}}{L} \times \Delta t$$

インダクタ電流は固定値までランプアップさせる必要があるので（つまり ΔI は固定されたピーク電流制限値）、入力電圧が出力電圧に近付くと、インダクタがピーク電流に達するまでに要する時間（Δt）が長くなります。これにより、$V_{IN} - V_{OUT}$ の値が小さくなるに従ってコンバータ出力におけるレギュレータの出力電圧リップル振幅が大きくなり、効率が低下して出力リップル・ノイズが大きくなります。

Δt が大きくなりすぎるのを避けるために、$V_{IN} - V_{OUT}$ が $V_{IN\_BOUT\_DRPOUT\_TH\_F}$ に達すると、MAX20366 の高電流の Buck3 レギュレータが自動的に LDO 動作モードに遷移します。これは、Buck3 が低い降圧電圧比で動作するときの性能低下を防ぎます。また、LDO は効率的で小さい降圧比でもノイズ耐性が維持されるので、LDO モードでは標準的な降圧アーキテクチャより性能が向上します。LDO モードへの遷移時と LDO モードの終了時に発振が生じるのを防ぐために、遷移時と終了時の間には大きなヒステリシスが設定されています。

チャージ・ポンプ

MAX20366 には低自己消費電流の 5V チャージ・ポンプが含まれています。正しく動作させるには、CPP バンプと CPN バンプの間に 22nF（最小）～33nF（最大）のコンデンサを接続する必要があります。

パワー・スイッチとリセット制御

MAX20366 は、リセット・シーケンスを実行したり、バッテリ寿命を延ばすためにメイン・システムの電源をオフにして OFF モードまたは SEAL モードにしたりすることのできるパワー・スイッチを備えています。OFF モードでは、SYS ノードとすべての PMIC 出力がオフになります。ただし、LDO2Seq（ビット LDO2Seq を参照）によって LDO2 が常時オンに設定されている場合、あるいは OFF モードに入る前に LDO2 がオンに保持されている場合、LDO2 はオフになりません。SEAL モードでは、すべてのレギュレータと SYS ノードがオフになります。SEAL モードは MAX20366 の低静止電流モードで、例えば工場から販売店に出荷する場合など、長期間にわたって製品を使用できない場合にバッテリ寿命を最大限に伸ばします。消費電力モードの詳細については、PMIC の消費電力モードのセクションを参照してください。

シャットダウン・イベントとリセット・イベントは、パワー・ファンクション（PFN）制御入力、I^2C コマンド、その他の条件による外部制御によってトリガされます。ウェアラブル・アプリケーションには複数のタイプがありますが、PFN ピンの動作はそのうちの 1 つに合わせて予め設定されています。PwrRstCfg ビットに基づく PFN1 ピンと PFN2 ピンの動作の説明を表 5 に（表 5 の PwrRstCfg を参照）、各モードに対応するステート図を図 15 から図 23 に示します。

ソフト・リセットを行うと$\overline{RST}$に 10ms のパルスが送られ、レジスタ設定はデバイスのバージョンに応じて、変わらないまま保持されるかデフォルト値にリセットされます（ビット SftRstCfg を参照）。いずれかのデバイスでハード・リセットを行うと、完全なパワーオン・リセット（POR）シーケンスが開始されます。

HrvEn = 0 のデバイスは、コールド・ブートすると SEAL モードに入ります（バッテリは取り付けられているが CHGIN が印加されていない）。HrvEn = 1 のデバイスは、コールド・ブートするとバッテリ・リカバリ（BR）モードに入ります。MAX20366 が ON モードのときは、PwrCmd レジスタが PWR_OFF_CMD I^2C コマンドを受け取ると OFF モードに、同じく PWR_SEAL_CMD コマンドを受け取ると SEAL モードに、PWR_BR_CMD コマンドを受け取ると BR モードに入ります（レジスタ PwrCmd を参照）。デバイスが有効な PFN 信号を検出すると、そのデバイスは PwrRstCfg と HrvEn の設定に基づいて OFF モードまたは BR モードに入ります。

PwrRstCfg 設定の条件を（PFN1 = $\overline{KIN}$で）満たす PFN1 信号が存在する場合、または CHGIN に有効な電圧が加えられた場合、MAX20366 は OFF/SEAL モードを終了して主電源を再びオンにします。パワーオン・ステートでは SYS ノードがイネーブルされ、他の機能は I^2C レジスタを通じて制御できます。OFF/SEAL モードからのブート・シーケンスの全体を図 24 と図 25 に示します。

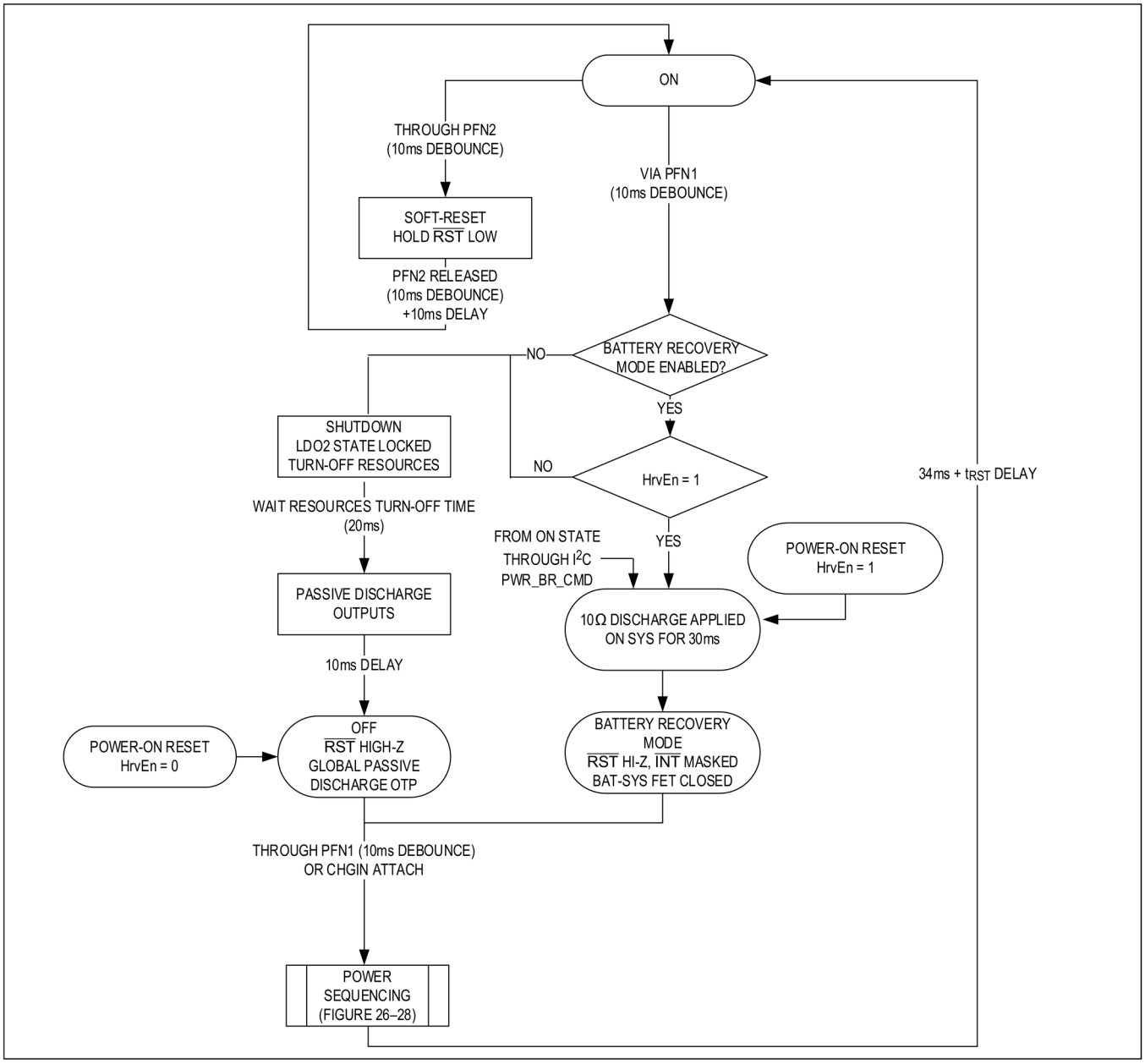


図 15. PwrRstCfg 0000、0001

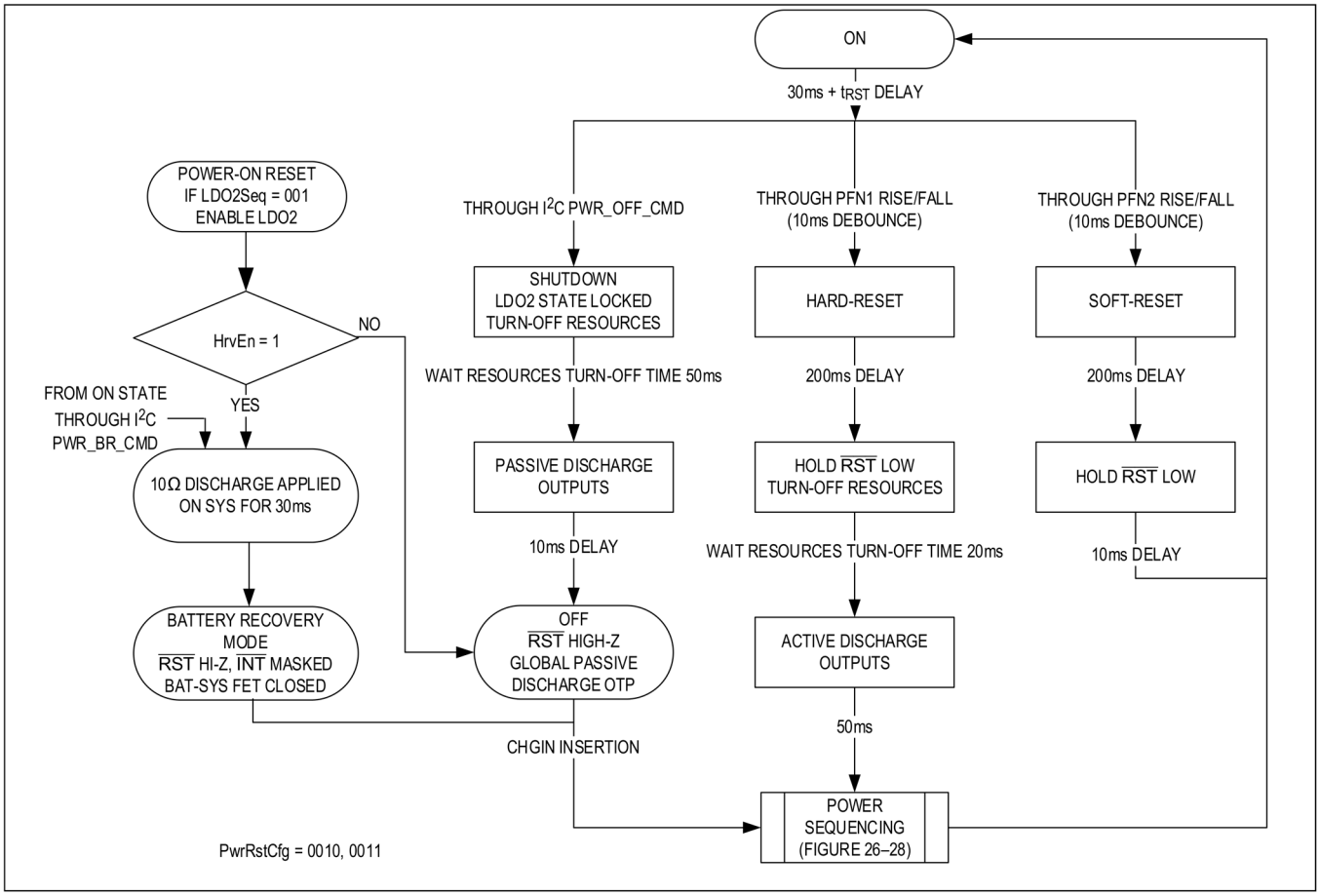


図 16. PwrRstCfg 0010、0011

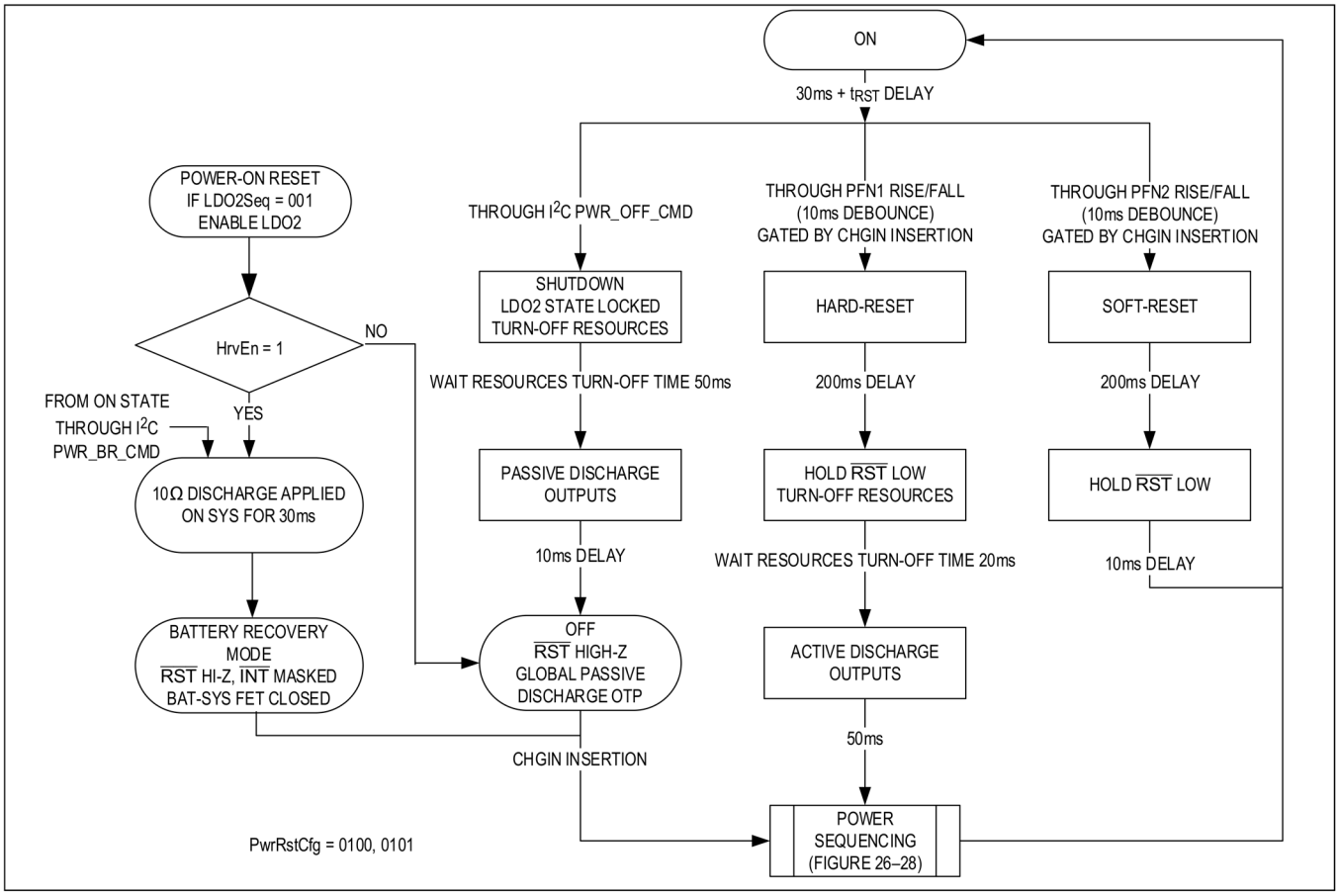


図 17. PwrRstCfg 0100、0101

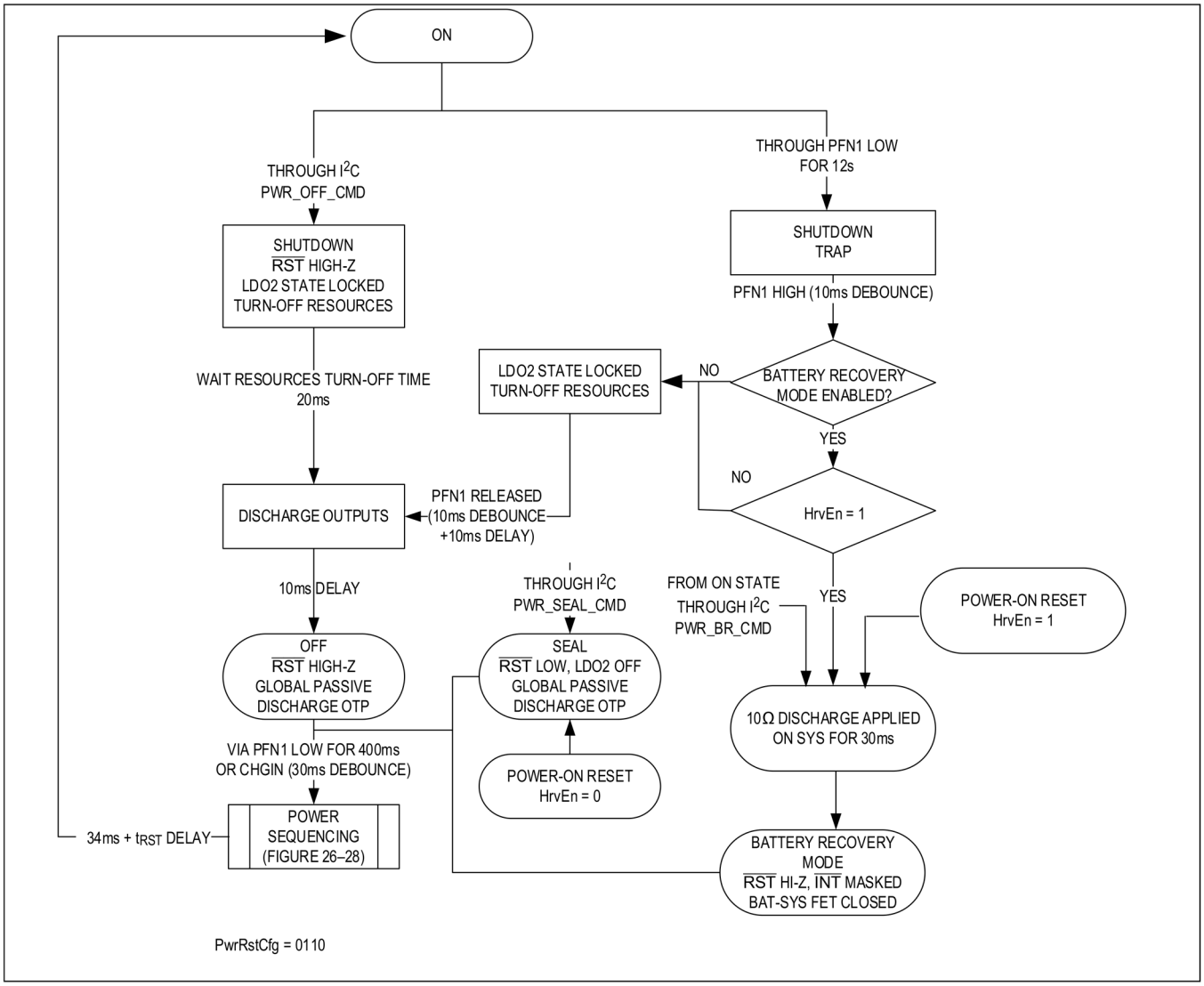


図 18. PwrRstCfg 0110

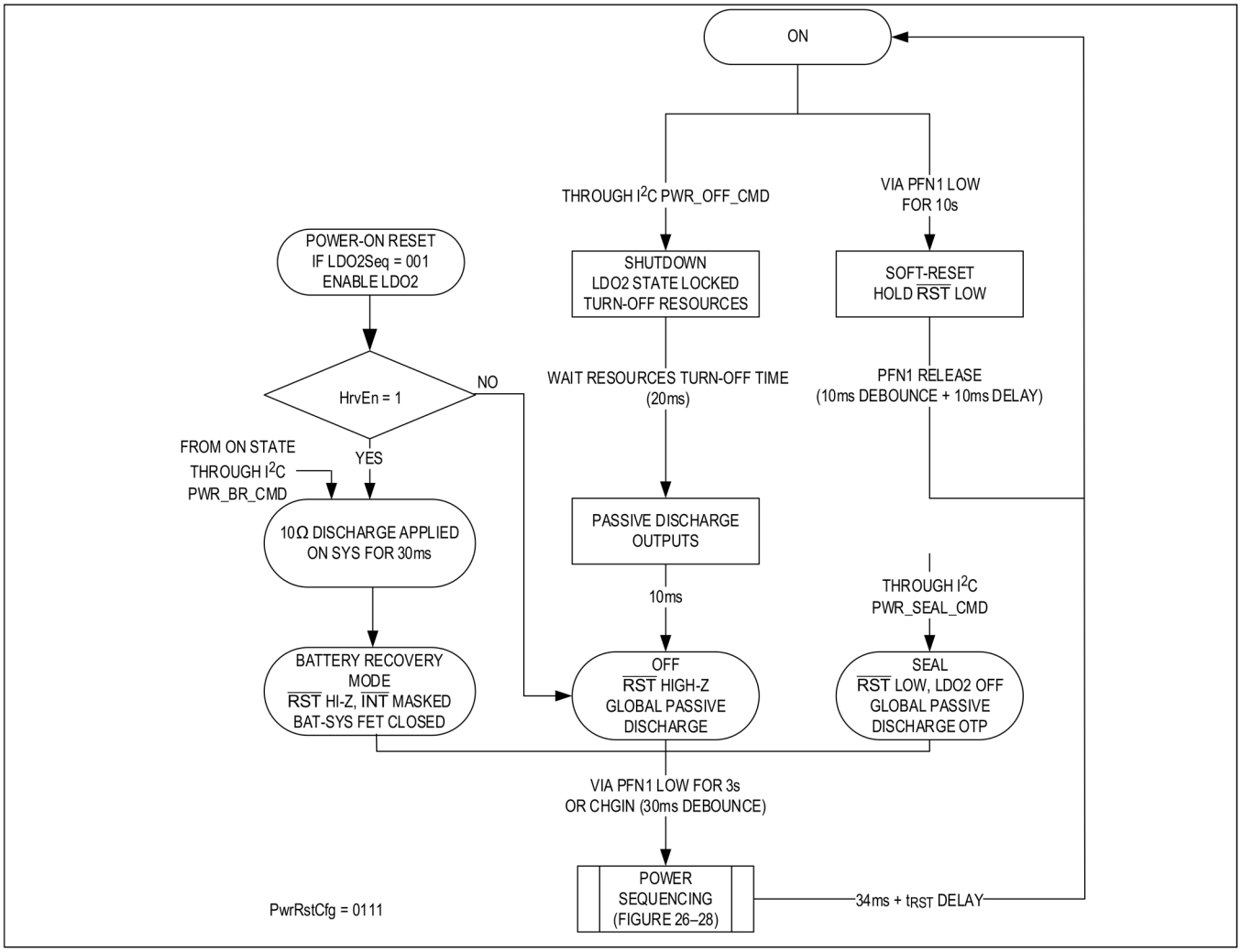


図 19. PwrRstCfg 0111

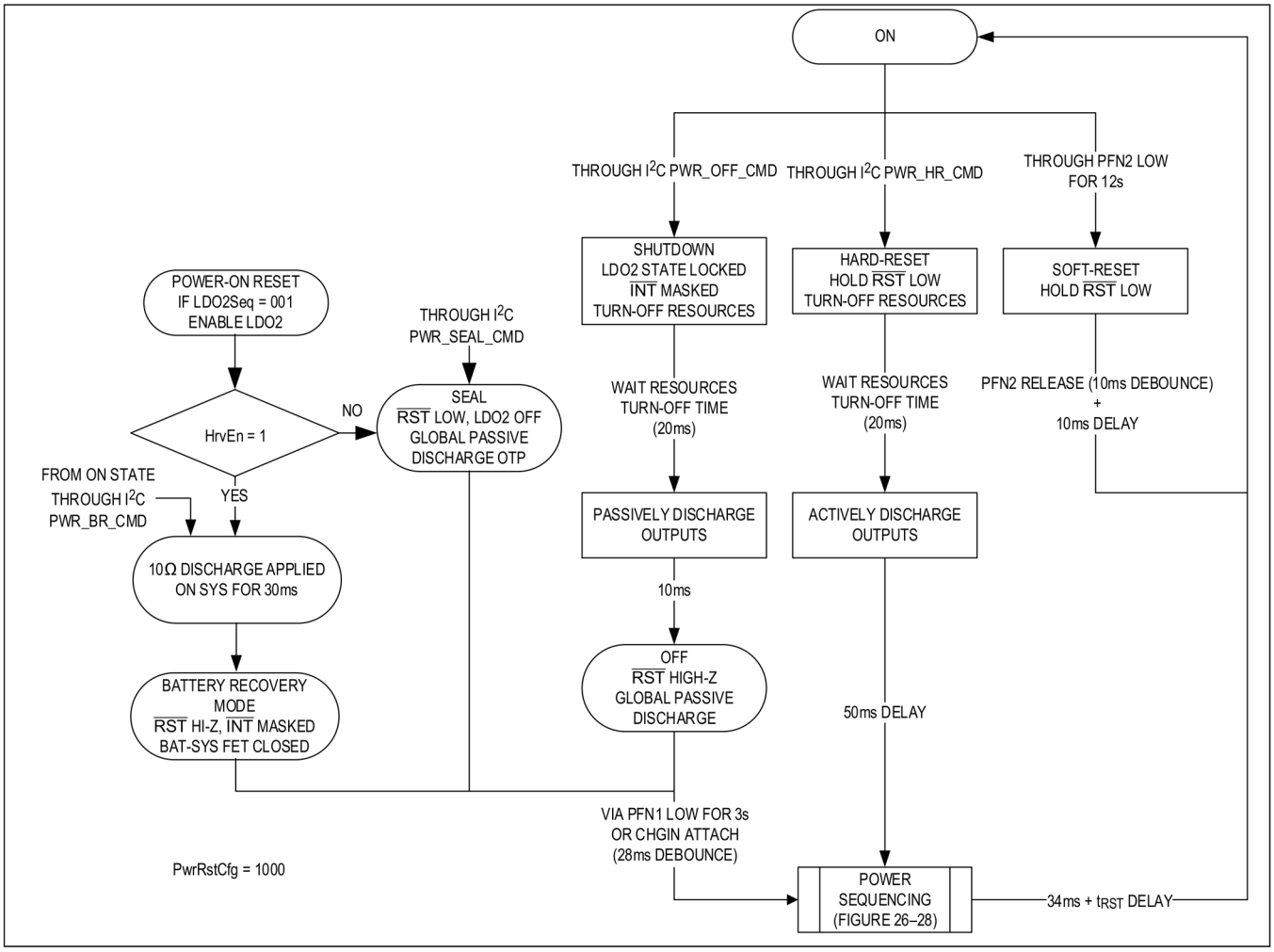


図 20. PwrRstCfg 1000

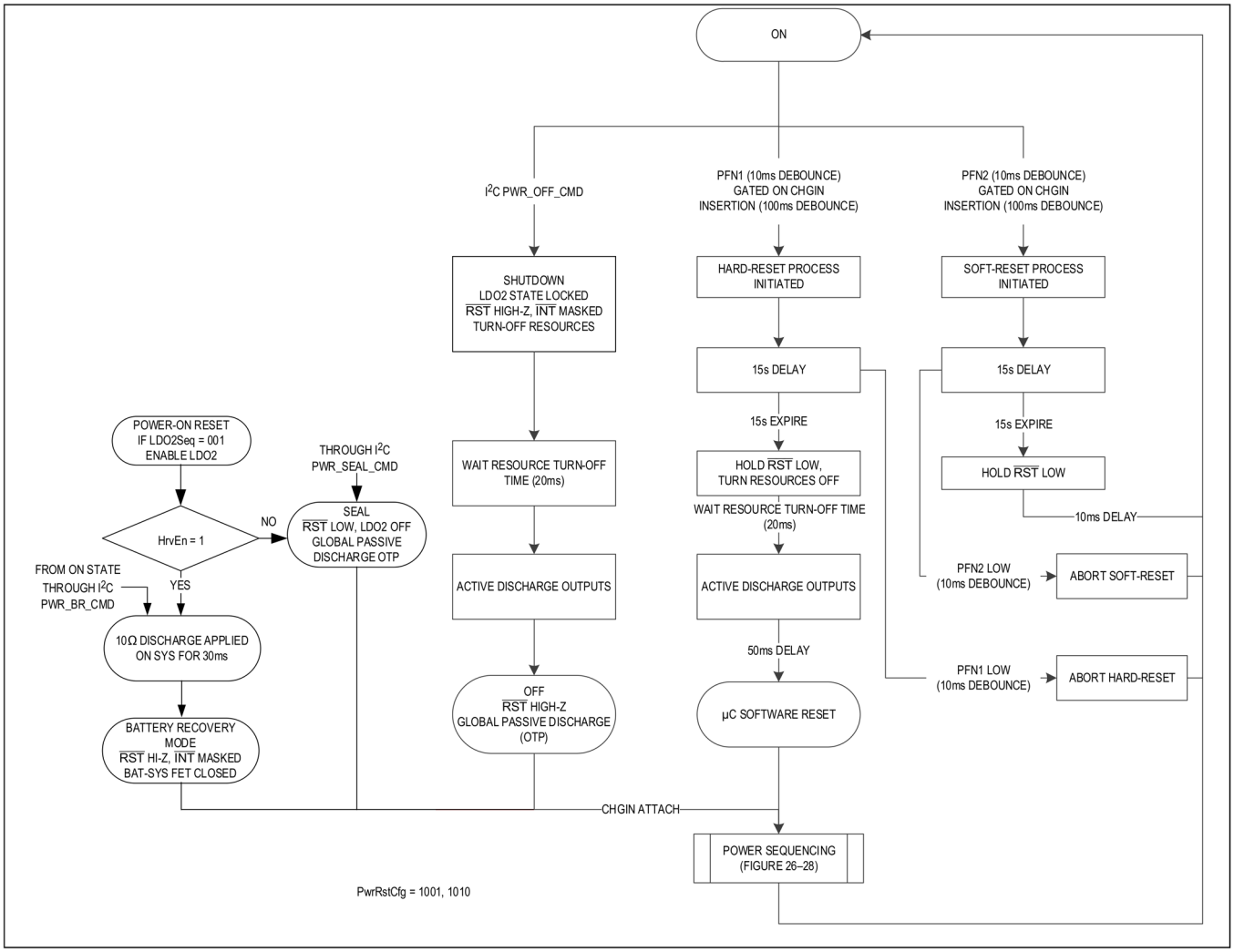


図 21. PwrRstCfg 1001、1010

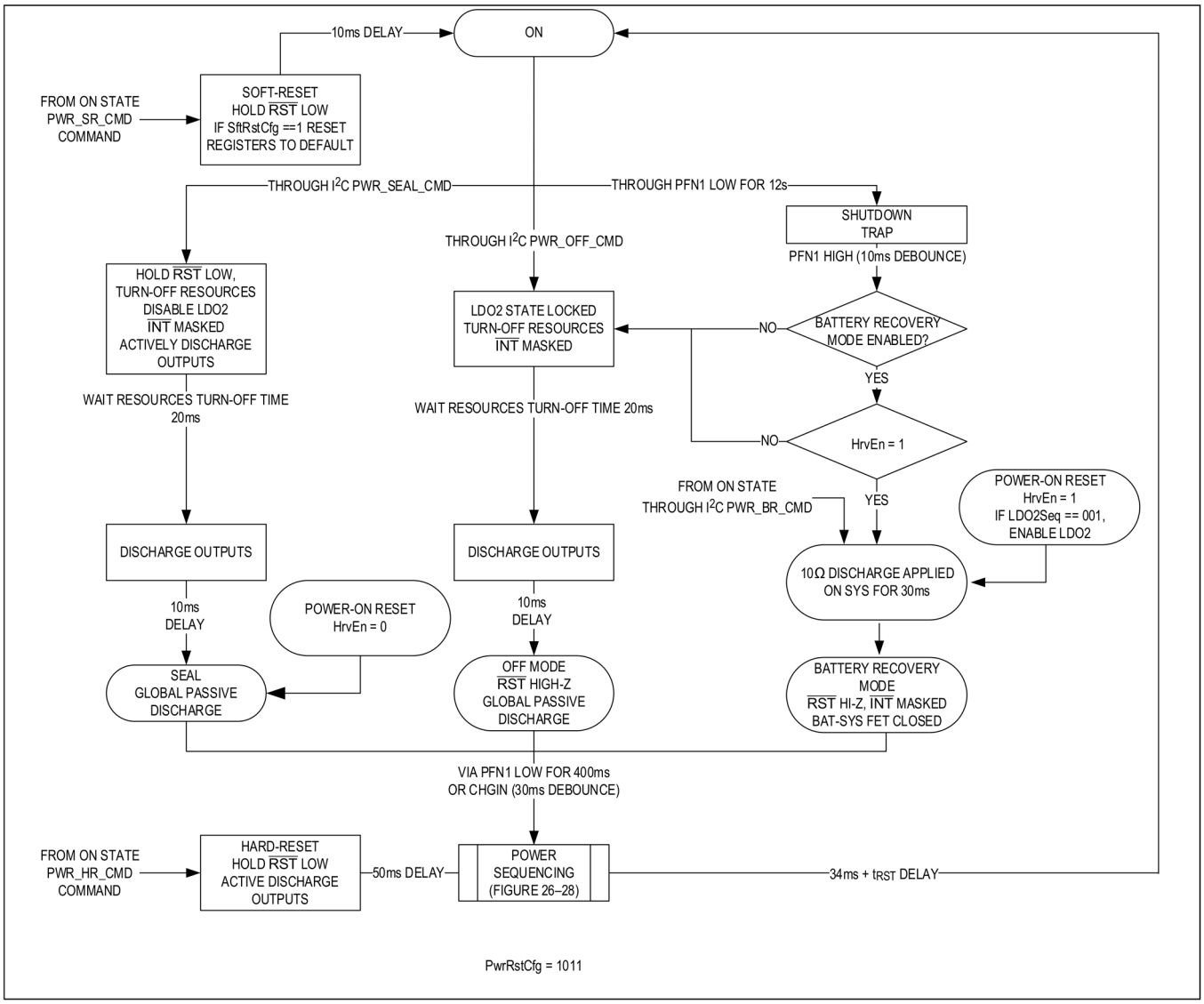


図 22. PwrRstCfg 1011

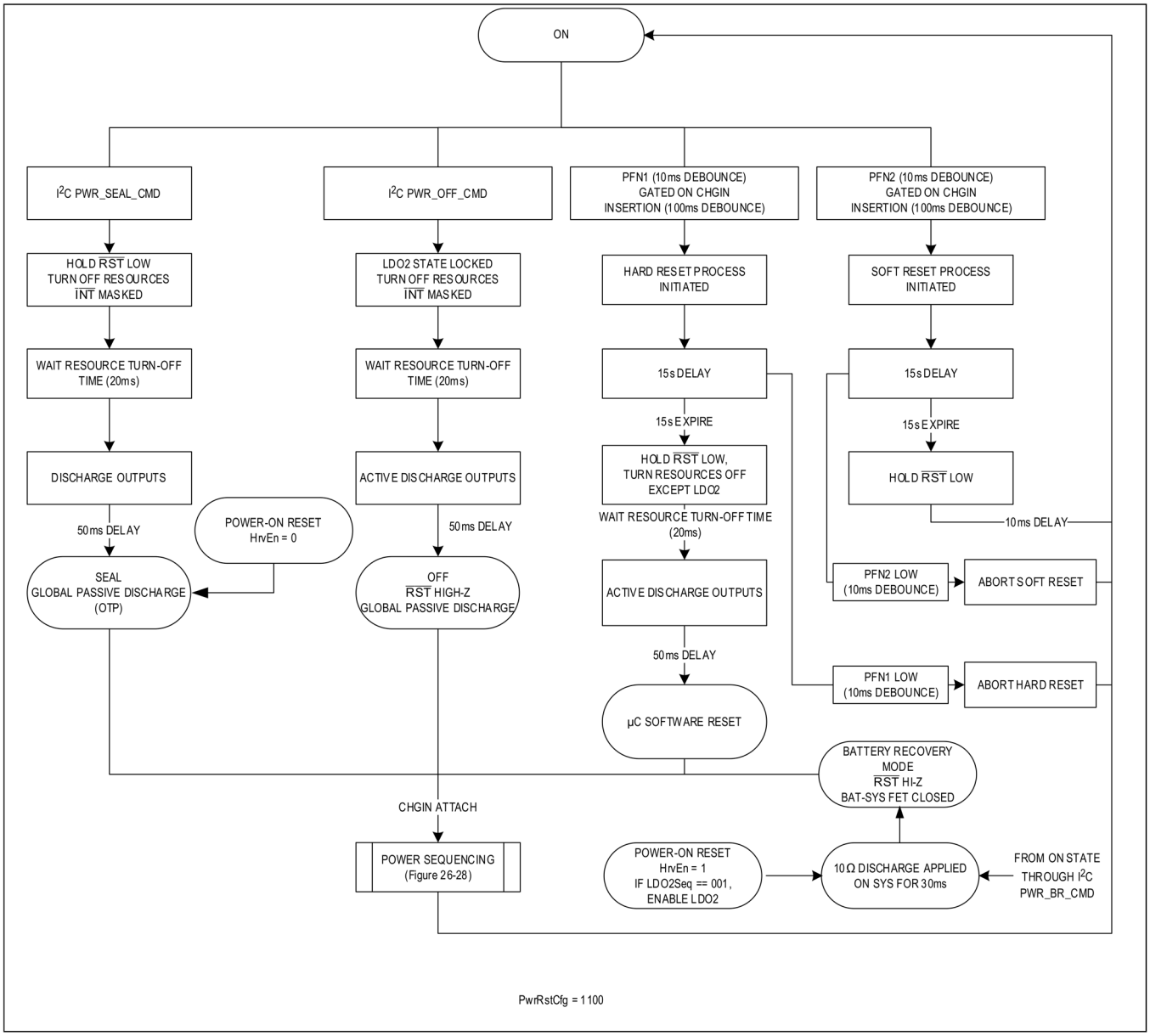


図 23. PwrRstCfg 1100

表 5. PwrRstCfg の設定

PwrRstCfg[3:0]	図	モード名	動作
0000	図15	ON/$\overline{\text{OFF}}$	10msのデバウンスを伴うON/OFFモード。PFN1はアクティブ・ハイのON/OFF制御入力。PFN2はアクティブ・ローのソフト・リセット入力。
0001	図15	$\overline{\text{ON}}$ /OFF	10msのデバウンスを伴うON/OFFモード。PFN1はアクティブ・ローのON/OFF制御入力。PFN2はアクティブ・ローのソフト・リセット入力。
0010	図16	AON	常時オン・モード。PFN1の立上がりエッジ後200msの遅延でハード・リセットが行われます。PFN2の立上がりエッジ後200msの遅延でソフト・リセットが行われます。デバイスは、PwrCmdレジスタへの書込みによってのみOFFステートに入ることができます。

0011	図16	$\overline{\text{AON}}$	常時オン・モード。PFN1の立下がりエッジ後200msの遅延でハード・リセットが行われます。PFN2の立下がりエッジ後200msの遅延でソフト・リセットが行われます。デバイスは、PwrCmdレジスタへの書込みによってのみOFFステートに入ることができます。
0100	図17	CR High	常時オン・モード。CHGINの挿入の間PFN1をハイに保持すると200msの遅延後にハード・リセットが行われます。CHGINの挿入の間PFN2をハイに保持すると200msの遅延後にソフト・リセットが行われます。デバイスは、PwrCmdレジスタへの書込みによってのみOFFステートに入ることができます。
0101	図17	CR Low	常時オン・モード。CHGINの挿入の間PFN1をローに保持すると200msの遅延後にハード・リセットが行われます。CHGINの挿入の間PFN2をローに保持すると200msの遅延後にソフト・リセットが行われます。デバイスは、PwrCmdレジスタへの書込みによってのみOFFステートに入ることができます。
0110	図18	$\overline{\text{KIN}}$	キーを押してオン／オフ。PFN1はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。PFN2はオープン・ドレインの$\overline{\text{KOUT}}$出力で、$\overline{\text{KIN}}$入力をバッファします。デバイスは、$\overline{\text{KIN}}$を短く（400ms）押すかCHGINを挿入することによってオン・モードに入ります。デバイスは、$\overline{\text{KIN}}$を長く（> 12s）押すか、PwrCmdレジスタを使用することによってOFFモードに入ります。
0111	図19	CSR1	キーを押してオン／リセット。PFN1はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。PFN2はオープン・ドレインの$\overline{\text{KOUT}}$出力で、$\overline{\text{KIN}}$入力をバッファします。デバイスは、$\overline{\text{KIN}}$を長く（> 3s）押すかCHGINを挿入することによってオン・モードに入ります。$\overline{\text{KIN}}$を長く（> 12s）押すとソフト・リセットが行われます。デバイスは、PwrCmdレジスタへの書込みによってのみオフ・ステートに入ることができます。
1000	図20	CSR2	キーを押してオン／リセット。PFN1はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。デバイスは、$\overline{\text{KIN}}$を長く（> 3s）押すかCHGINを挿入することによってオン・モードに入ります。PFN2を長く（> 12s）押すとソフト・リセットが行われます。デバイスは、PwrCmdレジスタへの書込みによってのみオフ・ステートに入ることができます。
1001	図21	Custom CR High	常時オン・モード。デバイスはCHGINの挿入を通じてのみオン・ステートに入ることができます。CHGINの挿入の間PFN1をハイに保持すると15秒の遅延後にハード・リセットが行われます。この遅延（10msのデバウンス）の間にPFN1がローになった場合、ハード・リセットは中止されます。CHGINの挿入の間PFN2をハイに保持すると15秒の遅延後にソフト・リセットが行われます。この遅延（10msのデバウンス）の間にPFN2がローになった場合、ハード・リセットは中止されます。
1010	図21	Custom CR Low	常時オン・モード。デバイスはCHGINの挿入を通じてのみオン・ステートに入ることができます。CHGINの挿入の間PFN1をローに保持すると15秒の遅延後にハード・リセットが行われます。この遅延（10msのデバウンス）の間にPFN1がハイになった場合、ハード・リセットは中止されます。CHGINの挿入の間PFN2をローに保持すると15秒の遅延後にソフト・リセットが行われます。この遅延（10msのデバウンス）の間にPFN2がハイになった場合、ハード・リセットは中止されます。
1011	図22	$\overline{\text{KIN}}$ with OFF/SEAL	オフ／シールでキーを押してオン／オフ。PFN1はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。PFN2はオープン・ドレインの$\overline{\text{KOUT}}$出力で、$\overline{\text{KIN}}$入力をバッファします。デバイスは、$\overline{\text{KIN}}$を短く（400ms）押すかCHGINを挿入することによってオン・モードに入ります。デバイスは、$\overline{\text{KIN}}$を長く（> 12s）押すか、PwrCmdレジスタを使用することによってOFFモードに入ります。

1100	図23	Custom CR High with OFF/SEAL	オフ／シールで常時オン・モード。デバイスはCHGINの挿入を通じてのみオン・ステートに入ることができます。CHGINの挿入の間PFN1をハイに保持すると15秒の遅延後にハード・リセットが行われます。この遅延（10msのデバウンス）の間にPFN1がローになった場合、ハード・リセットは中止されます。CHGINの挿入の間PFN2をハイに保持すると15秒の遅延後にソフト・リセットが行われます。この遅延（10msのデバウンス）の間にPFN2がローになった場合、ハード・リセットは中止されます。
1101−1111	−	RFU	−

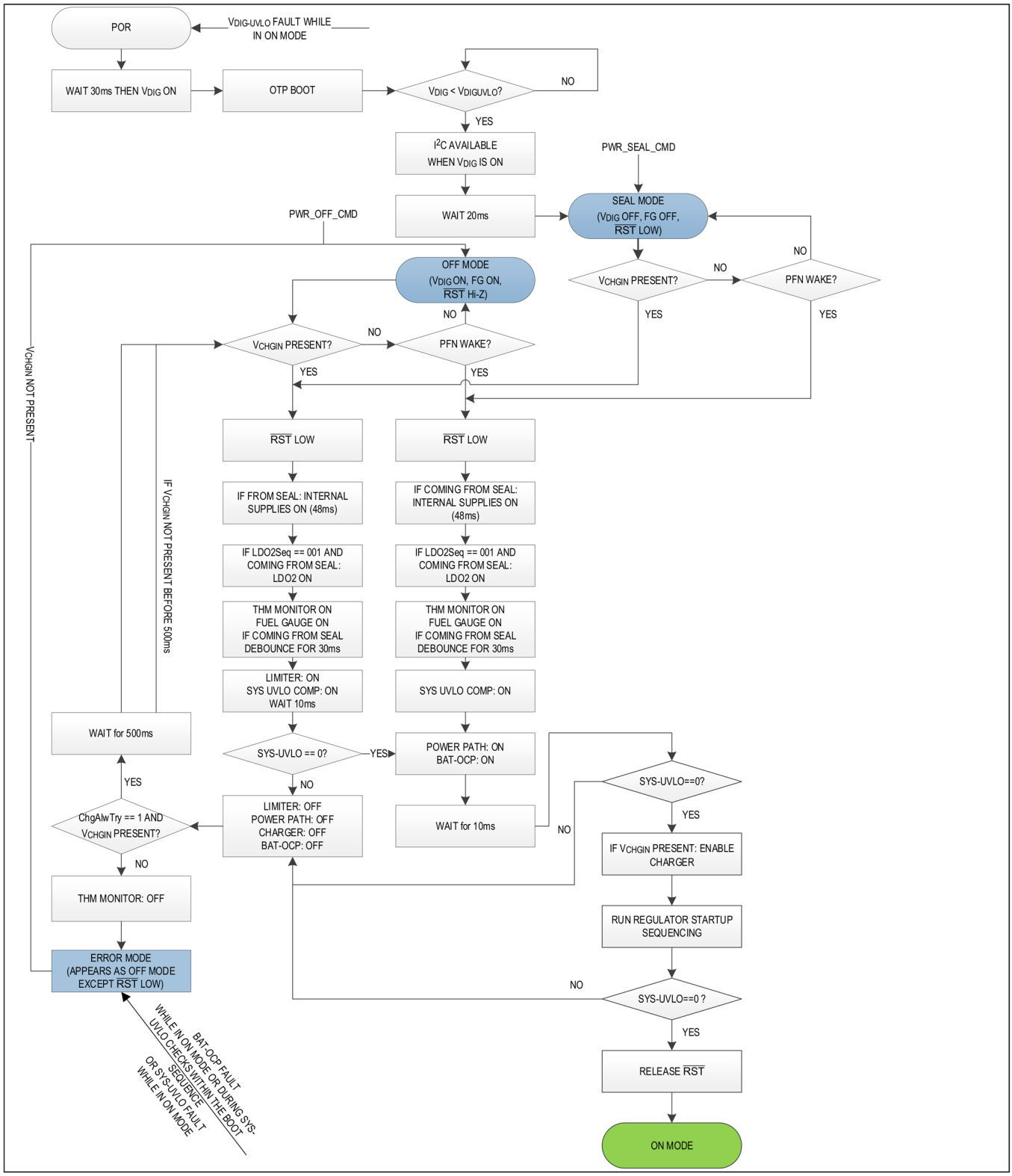


図 24. ブート・シーケンス（ハーベスタ・モードをディスエーブル）

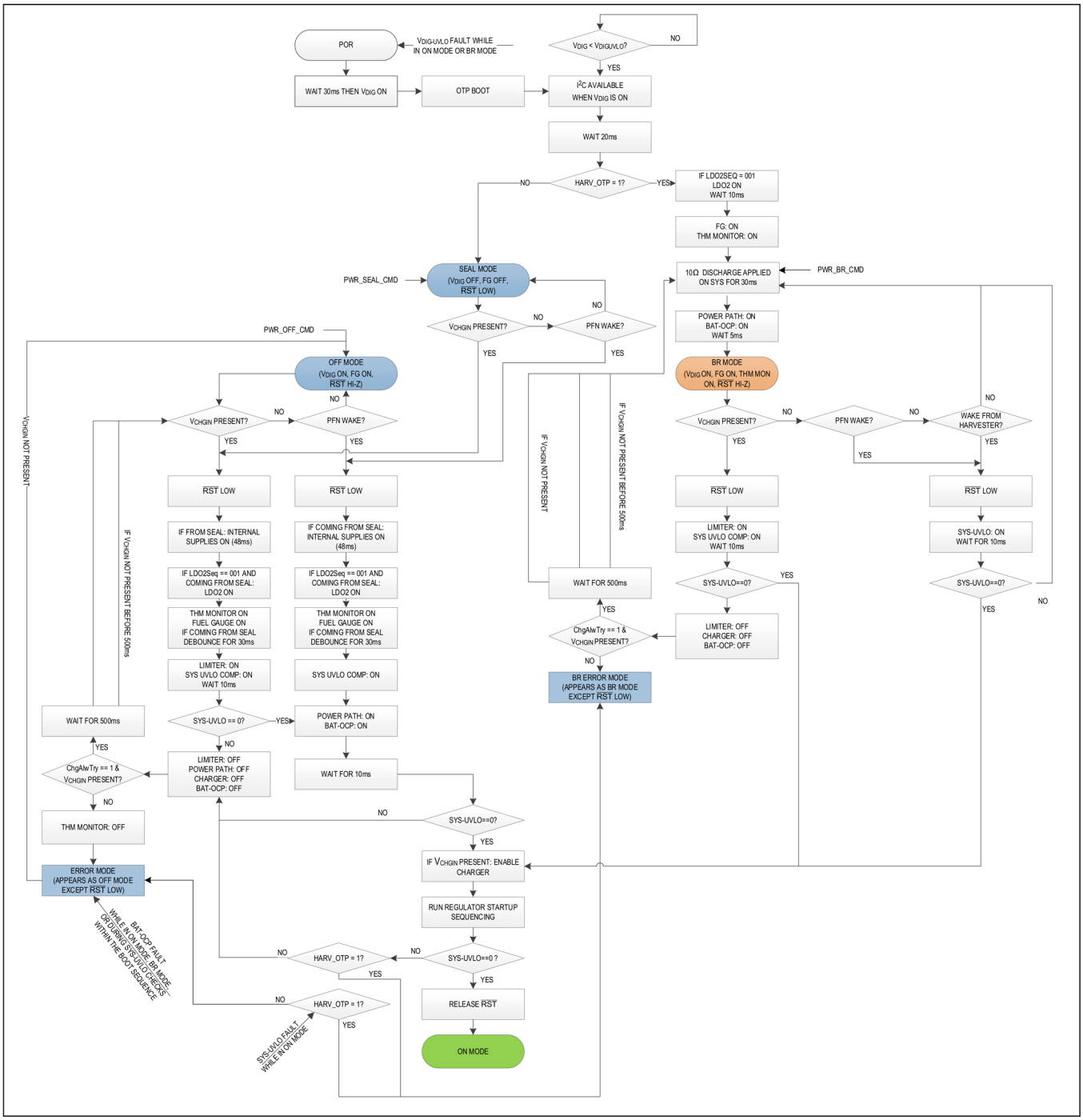


図 25. ブート・シーケンス（ハーベスタ・モードをイネーブル）

PMIC の消費電力モード

以下のセクションでは、MAX20366 の基本動作モードについて説明します。

SEAL モード

SEAL モードは、MAX20366 で自己消費電流が最も小さいモードです。このモードでは、ボタン・モニタ回路と V_{CHGIN} 挿入検出回路を除くすべてのリソースがオフになります。

OFF モード

MAX20366 は場合により RTC に電力を供給する必要があります。OFF モードは、残量ゲージと常時オン LDO に電力が供給される限りで最も自己消費電流が小さいモードです。このモードでは、V_{DIG} 電源、ボタンおよび V_{CHGIN} モニタ回路、および残量ゲージがオンになります。OFF モードに入る前に LDO2 がオンになっていた場合または LDO2Seq = 001（ビット LDO2Seq を参照）だった場合は、LDO2 も OFF モードでオンになります。

ON モード（HrvEn = 0 のバージョン）

ON モードは最も一般的な動作モードです。ON モードではすべてのレギュレータがイネーブルされているかイネーブルすることができ、残量ゲージがオンで、すべての機能を利用することができます。

バッテリ・リカバリ・モード（HrvEn = 1 のバージョン）

HrvEn = 1 の MAX20366 バージョンでは、MPC7 は（ハーベスタからの）「ウェイク入力」として、MPC6 は（ハーベスタへの）「ディスエーブル出力」（VCCINT へのハイサイド・オープン・ドレイン）として恒久的に再設定されます。デバイスの SysPDEn がイネーブルされている場合は、バッテリ・リカバリ・モードに入る前に、SYS ノードが 10Ω の抵抗を通じて 30ms にわたり放電されます。バッテリ・リカバリ・モードのデバイスは OFF モードと同じ動作状態になります。ただし、OFF モードの動作に加えて、バッテリ切れの状態から回復するための充電経路を確保できるよう SYS と BAT 間のスイッチが閉じ、安全な動作状態を保つためにバッテリ・サーミスタが能動的にモニタされます。バッテリの充電状態が MAX20361 ハーベスタにプログラムされたスレッショルドに達すると、MAX20361 は直ちにウェイク信号を送り、以下に示すようにデバイスを ON モード（HrvEn = 1 のバージョン）にします。THM モニタによって領域外であることが検出され、充電状態が安全ではないと判断されるような状況では、ハーベスタにディスエーブル信号が送られて充電が中止されます。

ON モード（HrvEn = 1 のバージョン）

HrvEn = 1 の ON モードは、上述した HrvEn = 0 の ON モードと非常によく似ていますが、ハーベスタ機能がイネーブルされる点が異なります。このモードでは、BAT と SYS の関係に理想ダイオードを適用できます。デフォルト動作時は、それ以上対応できなくなるまでハーベスタが直接 SYS に電力を供給し、それ以降はバッテリが電源を補います。このモードには、MAX20361 ハーベスタとの連携のセクションに記載されているその他のハーベスタとの相互作用の機能も含まれます。この動作は、HrvBatSys、HrvThmEn、および HrvThmDis ビット・フィールドに従って変更することができます（ビット HrvBatSys、HrvThmEn、HrvThmDis を参照）。

割込み

MAX20366 の$\overline{\text{INT}}$出力は、マスクされていない割込みのいずれかが対応するステータス変化によってトリガされると、ローになります。$\overline{\text{INT}}$出力は、マスクされていないトリガ済みの割込みレジスタ・ビットがユーザによって読み出されるまで、ローに保持されます。割込みビットは読出し時にクリアされます。割込みレジスタは、Int0～Int3 および HptInt0～HptInt2 で構成されます。割込みマスク・レジスタは、IntMask0～IntMask3 および HptIntMask0～HptIntMask2 で構成されます。

電源シーケンス

パワーオン時のスイッチング・レギュレータ、負荷スイッチ、および LDO のシーケンシングは設定が可能です。詳細については、各機能のシーケンシング・ビットを参照してください。レギュレータとスイッチは、パワーオン・プロセスの 3 つのポイントのいずれか 1 つでオンにすることができます。すなわち、パワーオン・イベント後の t_{RST} 時間の 0%、$\overline{\text{RST}}$信号がリリースされた時点、またはその間の 2 つのポイントです。t_{RST} 遅延時間の 0%と$\overline{\text{RST}}$立上がりエッジ間の 2 つのポイントは、パワーオン・リセット（POR）プロセスのブート遅延時間（t_{RST}）の長さに比例して固定されます。t_{RST} 遅延の値は 80ms～420ms の範囲で、BootDly ビットに保存されます（ビット BootDly を参照）。タイミングの関係は、図 26、図 27、図 28 に視覚的に表現されています。

これとは別に、レギュレータとスイッチをデフォルトでオフのままにして、$\overline{\text{RST}}$のリリース後に I^2C コマンドを使い手動でオンにすることができます。LDO2 は常時オンに設定できます。

パワーオン・シーケンスでは SYS 電圧がモニタされます。有効な CHGIN 電圧と ChgAlwTry = 1 の状態でシーケンシング・プロセスを進めているときに V_{SYS} が V_{SYS_UVLO} 未満に低下した場合は、電圧を安定させるための時間を長く取れるように、SYS がイネーブルされた時点からプロセスが繰り返されます。CHGIN の電圧が有効な値でない場合、デバイスはオフ・ステートに戻ってバッテリの消耗を回避します。BAT に流れる電流が I_{BAT_OCP} を超えた状態で $t_{BAT\_OCP\_RD}$ が経過した場合も、電源はオフになります。

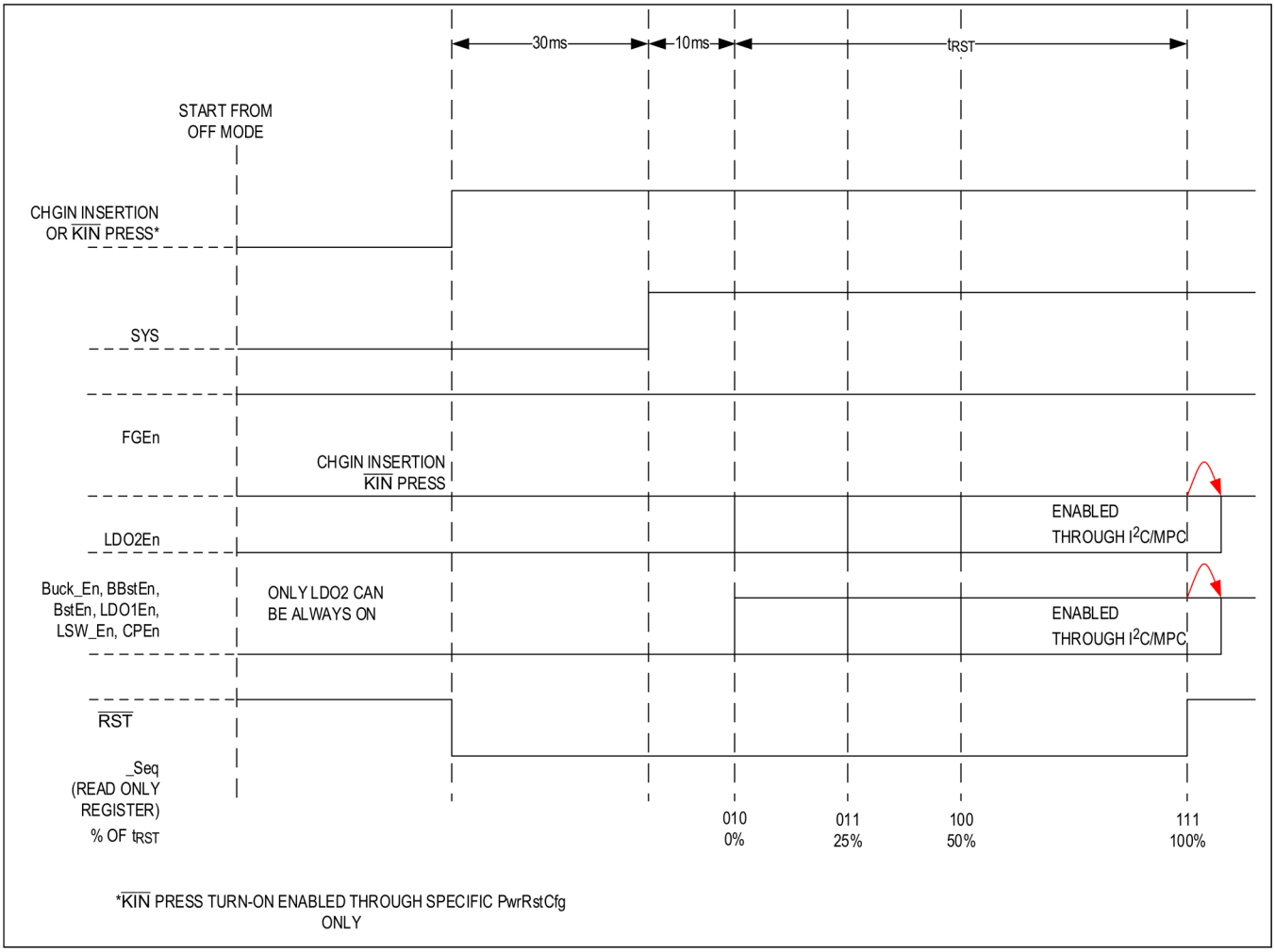


図 26. 電源シーケンシング、HrvEn = 0、OFF モードから

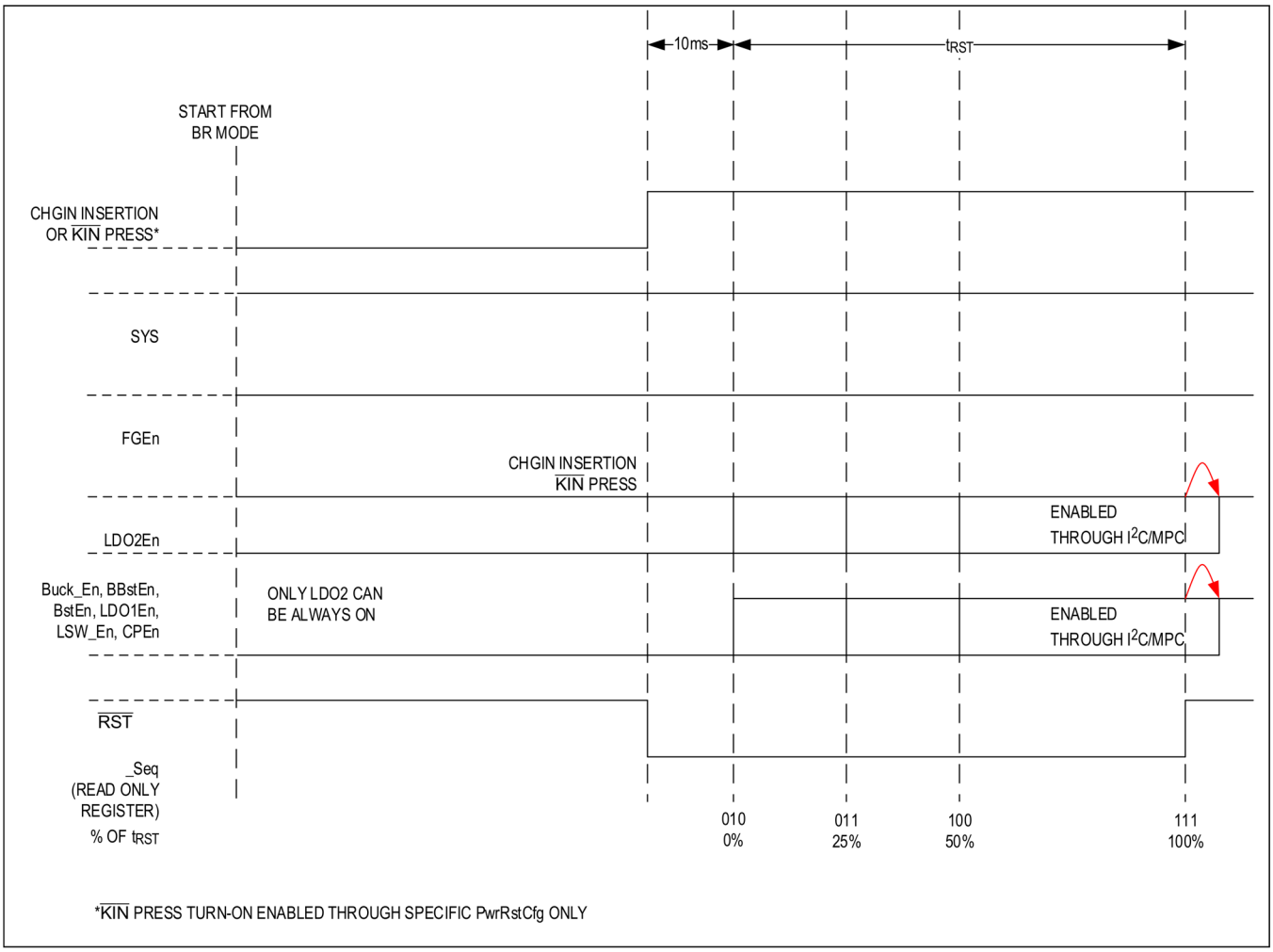


図 27. 電源シーケンシング、HrvEn = 1、BR モードから

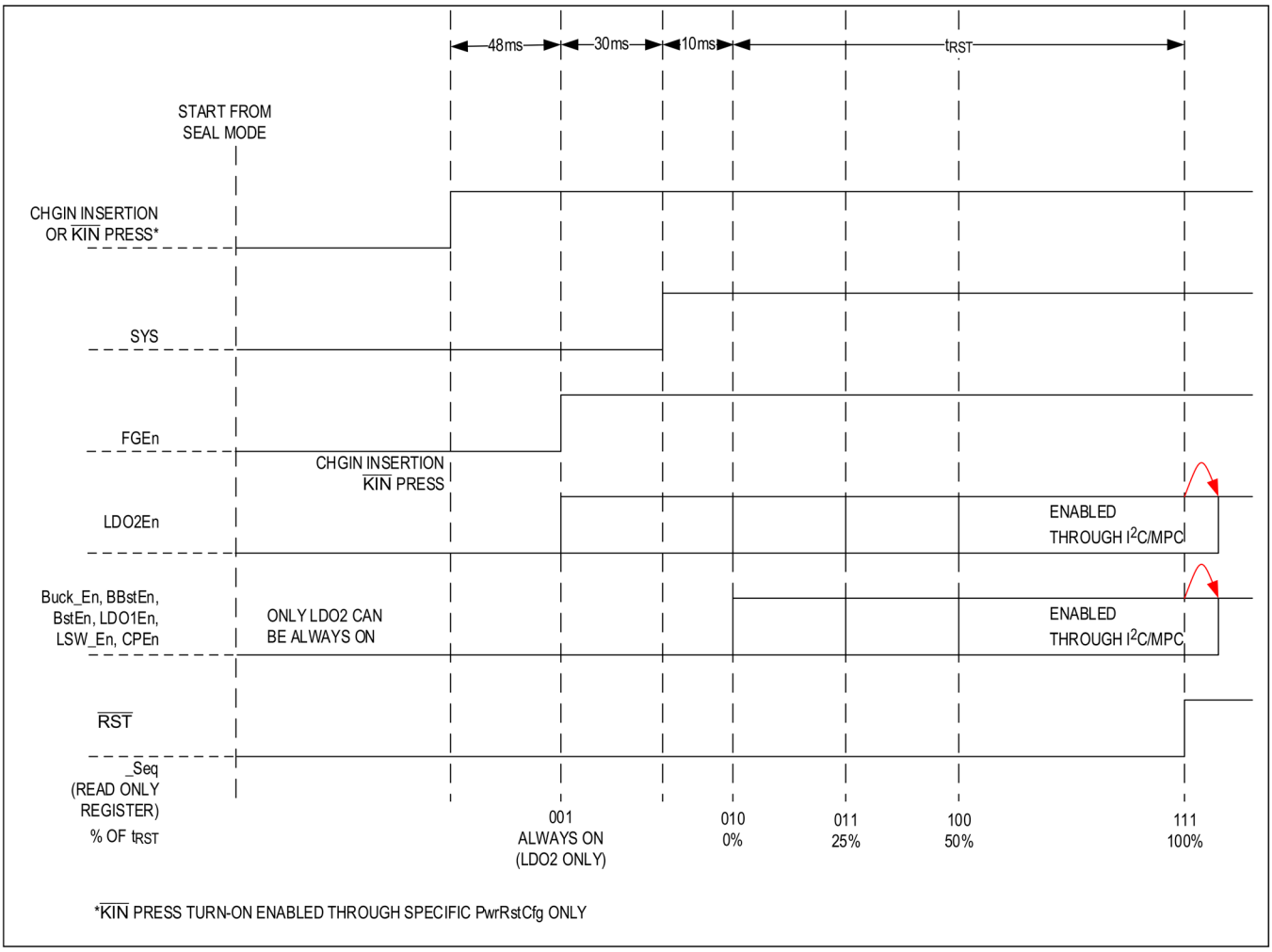


図 28. 電源シーケンシング、SEAL モードから

システム負荷スイッチ

CHGIN の電圧源を使用できないときは、内部の 80mΩ（代表値）MOSFET が BAT を SYS に接続します。CHGIN で外部電圧源が検出されなかった場合はこのスイッチが開き、SYS には入力電流リミッタを通じて入力源から電力が供給されます。SYS−BAT 間のスイッチは、システム負荷が入力電流制限値を超えた場合に V_{SYS} が V_{BAT} 未満に低下するのを防ぐ役割も果たします。電流制限（I_{LIM}）によって V_{SYS} が V_{BAT} まで低下した場合は、バッテリが負荷を受け持つように SYS−BAT 間スイッチがオンになります。システム負荷が連続して入力電流制限を超える場合、バッテリは充電されません。これは、公称値が入力電流制限未満であっても、入力電流制限値を超える高い電流ピークを持つ負荷を扱うのに便利です。これらのピーク時にはバッテリの電力が使われますが、それ以外の場合バッテリは常に充電されます。

スマート電源セレクタ

スマート電源セレクタは、外部 CHGIN 入力から BAT ノードおよび SYS ノードへシームレスに電力を供給します。外部アダプタとバッテリの両方を接続した状態で、スマート電源セレクタの基本的機能は以下のとおりです。

- システムの負荷条件が入力電流制限値未満の場合は、入力からの余剰電力でバッテリが充電されます。
- システムの負荷条件が入力電流制限値を超える場合は、バッテリが負荷に補助電流を供給します。
- バッテリが接続されていて入力電流制限がない場合は、バッテリからシステムに電力が供給されます。

入力リミッタ

入力リミッタは、外部アダプタからシステム負荷とバッテリ・チャージャに電力を供給します。入力リミッタは、システム負荷とチャージャへ電力を供給するという基本的機能に加えて、使用可能な電力を最大限に利用するために、いくつかの追加的な役割も果たします。

無効な CHGIN 電圧に対する保護

CHGIN が過電圧スレッショルド V_{CHGIN_OV} を超えた場合、デバイスは過電圧ロックアウト（OVLO）状態になります。OVLO は、MAX20366 と下流側回路を最大+28V の高電圧ストレスから保護します。OVLO の間も内部回路への電力供給は続き、ホストには割込みが送られます。−5.5V までの負電圧保護機能は CHGIN の接続を遮断し、デバイスへの電力供給は BAT からだけになります。チャージャはオフになってシステム負荷スイッチが閉じ、バッテリから SYS に電力を供給できるようになります。CHGIN は、その電圧が V_{BAT} スレッショルドまたは V_{CHGIN_DET} スレッショルド未満となった場合も無効です。入力電圧が無効な値の場合は、SYS−BAT 間の負荷スイッチが閉じてバッテリから SYS に電力を供給できるようになります。

CHGIN 入力電流制限

CHGIN 入力電流は入力の過負荷を防ぐために制限されます。入力電流制限 ILIM は、パラメータ ILimCntl を通じ I^2C で制御します（ビット ILimCntl を参照）。突入電流が大きいシステムに対応するために、リミッタには、パラメータ ILimBlank（ビット ILimBlank を参照）を通じ I^2C でプログラムできるブランキング時間 t_{ILIM_BLANK} が含まれています。入力電流制限値は、この時間内に I_{LIM_MAX} まで増加します。

熱制限

ダイ温度が T_{CHG_LIM} を超えた場合、MAX20366 は、CHGIN からの入力電流を減らすことによって温度上昇を制限しようとします。特に、システム負荷は充電電流より優先されるので、まず充電電流を減らすことによって入力電流が減らされます。ジャンクション温度が上昇を続けて最大動作制限値（T_{CHG_SHDN}）に達した場合は、CHGIN からの入力電流が止められて、バッテリからすべてのシステム負荷に電力が供給されるようになります。

バッテリ・チャージャ

アダプティブ・バッテリ充電

CHGIN からシステムに電力が供給されている間、チャージャは SYS からの電流を使ってバッテリを充電します。合計負荷が入力電流制限値を超えると、アダプティブ・チャージャ制御ループが充電電流を減らして、V_{SYS_LIM} 値（SysMinVlt パラメータ（ビット SysMinVlt を参照）を通じ I^2C でプログラム可能）と $V_{SYS\_BAT\_REG}$ 値のいずれか大きい方の値未満まで V_{SYS} が急減してしまうのを防ぎます。$V_{SYS\_LIM}/V_{SYS\_BAT\_REG}$ 制限値または T_{CHG_LIM} 制限値によって充電電流が 50%（I_{FCHG_TEXT} スレッショルド）未満に減少すると、タイマー・クロックの動作速度が半分になります。$V_{SYS\_LIM}/V_{SYS\_BAT\_REG}$ 制限値または T_{CHG_LIM} 制限値によって充電電流が 20%（I_{FCHG_TSUS} スレッショルド）未満に減少すると、タイマー・クロックが一時的に停止します。

高速充電電流の設定

MAX20366 は、ISET と GND の間に接続された外付け抵抗を使って高速充電電流 I_{FCHG} を設定します。プリ充電電流（I_{PCHG}）と充電完了時電流（I_{CHG_DONE}）は、それぞれ IPChg パラメータと IChgDone パラメータを使い（ビット IPChg と IChgDone を参照）、この値のパーセンテージとして I^2C でプログラムできます。高速充電電流抵抗は次式で計算できます。

$$R_{ISET} = K_{ISET} \times V_{ISET} / I_{FCHG}$$

ここで、K_{ISET} の代表値は 2000A/A、V_{ISET} の代表値は+1V です。R_{ISET} の受け入れ可能な値の範囲は 4kΩ～400kΩ です。$C_{ISET} < 5\mu s/R_{ISET}$（pF）という条件が満たされていない場合は、ISET ピンの容量性負荷によってチャージャの動作が不安定になることがあります。

チャージャ制御時の JEITA モニタリング

リチウムイオン・バッテリ充電時の安全性向上のために、MAX20366 は JEITA に準拠した温度モニタリング機能を備えています。TPU にプルアップ抵抗を取り付け、バッテリ・パックのサーミスタを接続することによって、THM に抵抗分圧器が形成されます（TPU にかかる負荷が 2mA を超えないようにしてください）。TPU は、スイッチを通じ内部で V_{DIG} に接続されています。分圧器出力の読出しは JEITA モニタリングがイネーブルされたときに内部コンパレータによって行われ、得られた温度測定値によってバッテリが 5 つの温度ゾーン（コールド、クール、室温、ウォーム、ホット）のいずれかに分類されます。バッテリがコールド領域とホット領域にあるときやサーミスタによる検出ができないときは、いかなる場合も充電は行われません。クール、室温、およびウォームの各温度域における充電動作は、I^2C 制御の ChgThmEn パラメータ（ビット ChgThmEn を参照）を使って設定できます。特に、バッテリ・レギュレーション電圧は I^2C でプログラムされた ChgCool/Room/ WarmBatReg[1:0]パラメータ（ビット ChgCoolBatReg、ChgRoomBatReg、ChgWarmBatReg を参照）を使って $V_{BAT\_REG\_JTA}$ まで減らすことができ、高速充電電流は I^2C でプログラムされた ChgCool/Room/WarmIFChg パラメータ（ビット ChgCoolIFChg、ChgRoomIFChg、ChgWarmIFChg を参照）を使って I_{FCHG_JTA} まで減らすことができます。また、ChgThmEn（ビット ChgThmEn を参照）を使って、クールおよびウォーム温度域でも充電を行わないようにすることができます。それぞれの充電フェーズにおける JEITA の充電プロファイルについては、図 29、図 30、および図 31 を参照してください。

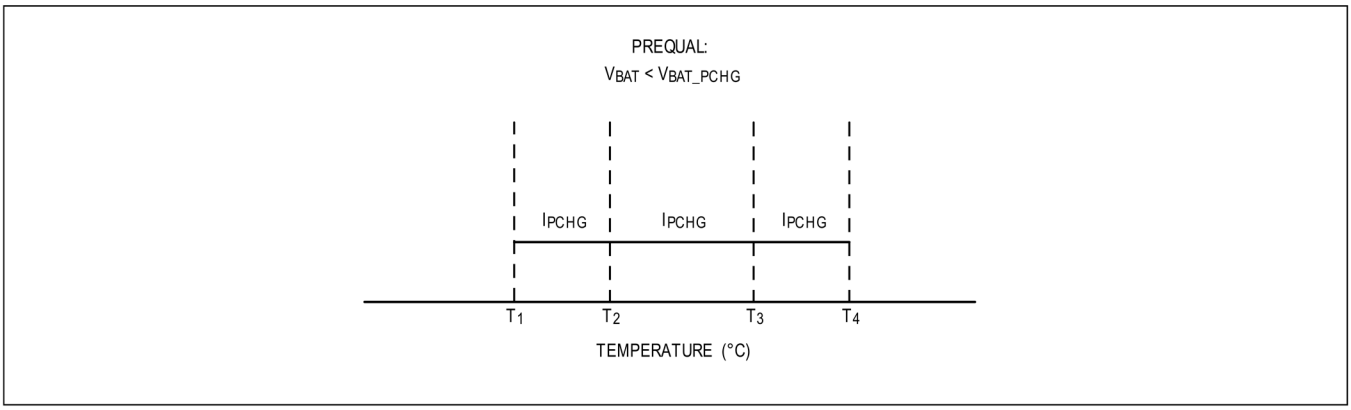


図 29. JEITA プリ充電プロファイルの例

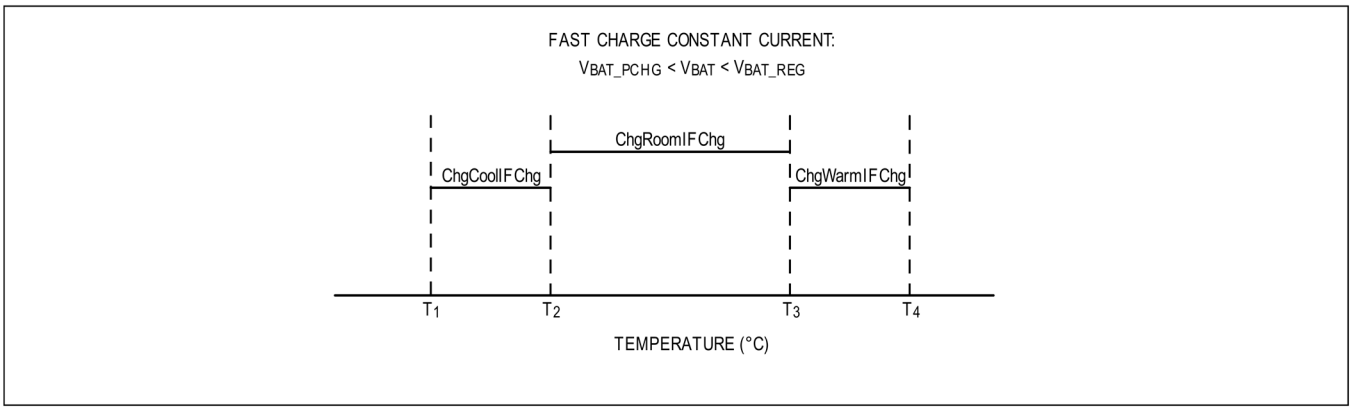


図 30. JEITA 高速充電プロファイルの例

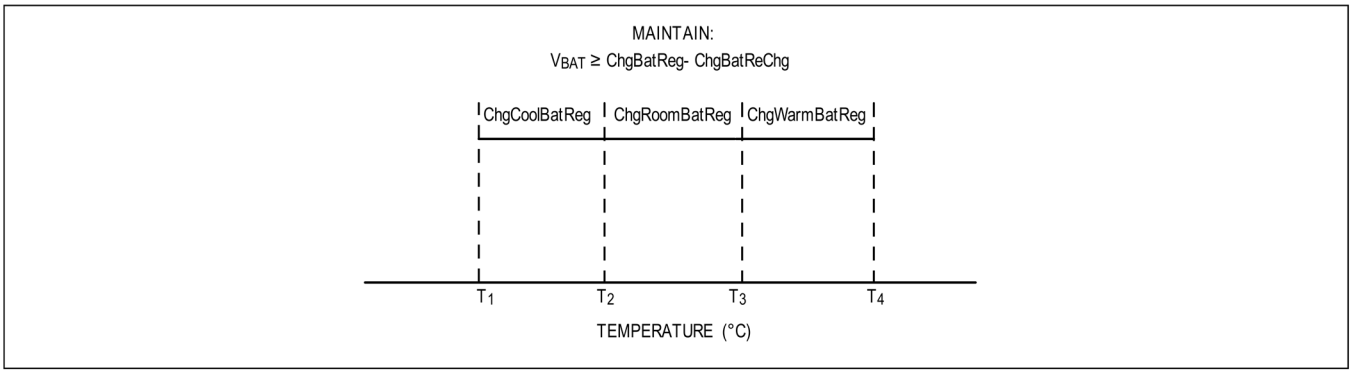


図 31. JEITA 定電流充電プロファイルの例

ステップ充電

リチウムイオン・バッテリは使用年数と共に容量が低下します。この時間経過に伴うバッテリ容量低下の大きな原因の 1 つがリチウム付着と呼ばれる現象で、これはバッテリの陽極に金属リチウムの層が形成される現象です。リチウム付着の原因は数多くありますが、その中で最も一般的なのが、バッテリが高充電状態（SOC）にあるときに、そのバッテリの容量と比較して高い充電率で充電を行うことです。この現象の影響を抑制するために、MAX20366 はステップ充電機能を備えています。この機能では、リチウム付着を避けてバッテリ寿命を延ばすために、充電電流を減らすことのできる電圧スレッショルドをユーザが選択できます。この機能の設定は、StepChgCfg0 レジスタと StepChgCfg1 レジスタで行うことができます（ビット StepChgCfg0 と StepChgCfg1 を参照）。ChgStepRise（ビット ChgStepRise を参照）フィールドには、充電電流を減らす必要のある電圧上昇値 V_{BAT_STPCHG} を設定できます。ChgIStep（ビット ChgIStep を参照）フィールドは、フル高速充電電流に対する I_{FCHG_STPCHG} のパーセンテージを設定します。ChgStepRise（ビット ChgStepRise を参照）で指定された V_{BAT_STPCHG} の値よりバッテリ電圧が高い場合、チャージャはこの値に設定されます。最後に、ChgStepHys（ビット ChgStepHys を参照）フィールドは、ステップ充電機能の $V_{BAT\_STPCHG\_H}$ ヒステリシスを設定します。これは、バッテリ電流を減少させた時にバッテリの高いイ

ンピーダンスによって電圧が大幅に低下した場合、それにより発振が生じるのを避けるためです。この機能が必要ない場合は、ChgIStep（ビット ChgIStep を参照）を 100%（111）に設定してディスエーブルします。

JEITA とステップ充電に関係する高速充電電流低減機能が両方ともアクティブになっている場合は、それら 2 つのいずれか小さい方が選択されて適用されます。

バッテリ・チャージャのステート図

バッテリ・チャージャのステート図を下の図 32 に示します。チャージャのステータスは、ChgStat ビット（ビット ChgStat を参照）を読み出せば分かります。

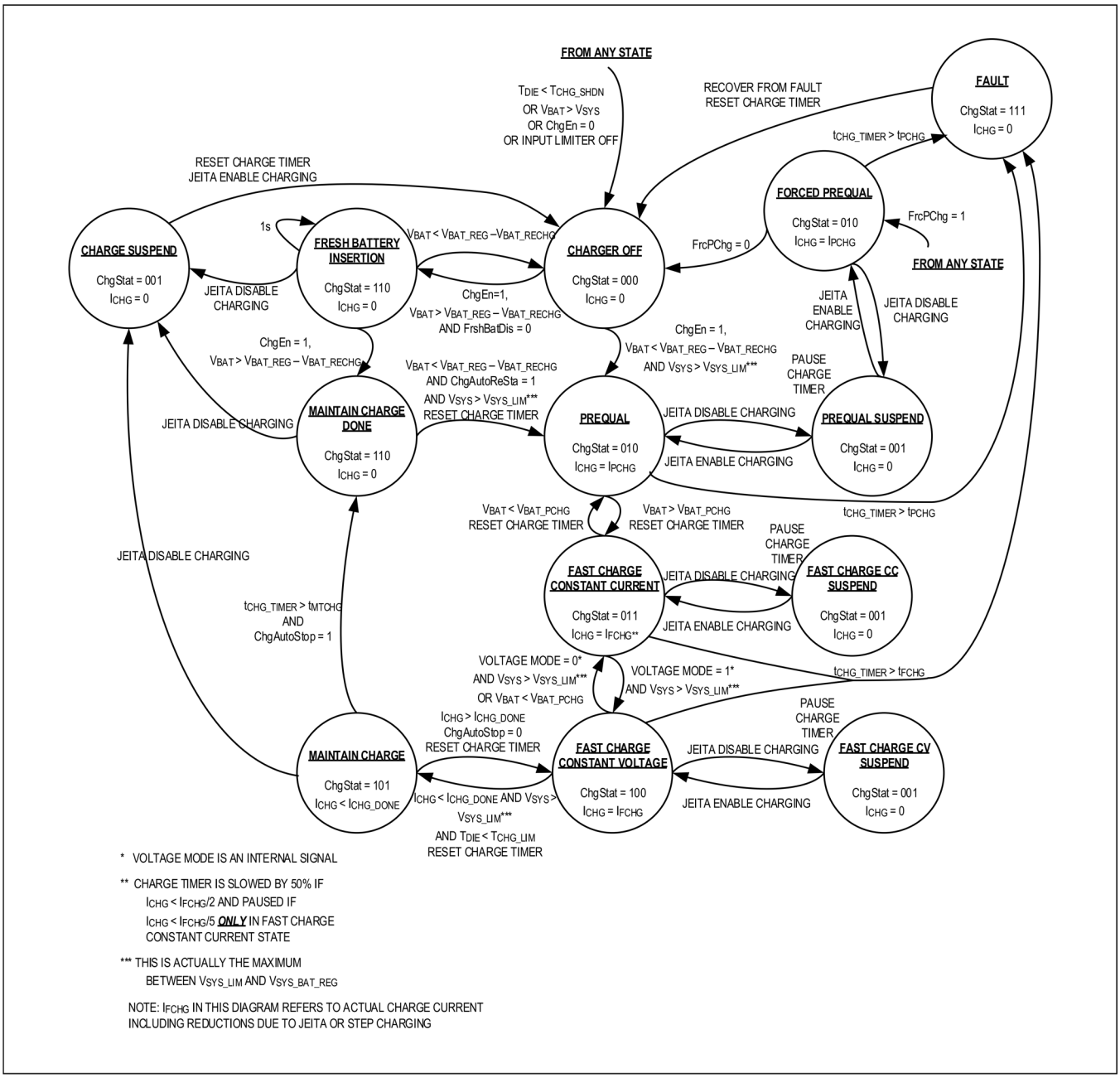


図 32. バッテリ・チャージャのステート図

バッテリまたはパック・プロテクタの検出

放電に関係する不具合によってパック・プロテクタが開くと、パック・プロテクタは放電 FET をオフにし、逆バイアスされたボディ・ダイオードを放電経路に配置して、それ以上の放電を阻止します。このステートでは、バッテリが損傷したかどうかと、その後にフル充電サイクルが行われないようにするかどうかをシステム設計者が決定できます。システム設計者がバッテリを回復できると判断した場合でも、パック・プロテクタのダイオード電圧降下によってバッテリ電圧がプリ充電電圧スレッショルドより高いとチャージャが判断して、高速充電電流が加えられるという懸念が生じる可能性があります。このシナリオでは、（プロテクタが開いた状態で）BAT ノード上にパックが存在するかどうか、あるいは単純にバッテリが取り外されているかどうかを、フル充電サイクルの開始前にシステムが判断できると便利です。MAX20366 には、システム設計者がこのようなチェックを行うために必要な回路がすべて含まれています。このような状態をチェックするためのサンプル・アルゴリズムの一例が、バッテリの充電サイクルを開始するごとに以下のチェックを実行することです。

1. UsbOkInt 割込み（ビット UsbOkInt を参照）の受信後、BatPD = 1（BatPD を参照）を書き込むことによってチャージャの BAT プルダウン抵抗をイネーブルする前に、BAT 容量を放電できるだけの十分な待機時間を取り、その後に BatGood（ビット BatGood を参照）のステータスをチェックして BAT プルダウン抵抗をディスエーブルします。BatGood = 1（ビット BatGood を参照）であればバッテリは存在し、充電を再開することができます。BatGood = 0（ビット BatGood を参照）の場合は BAT 電圧が UVLO スレッショルド未満であり、以下のいずれかであることを示しています。
   a. バッテリが存在しない。

   または

   b. パック・プロテクタが開いている。
2. 次に、FrcPChg = 1 と ChgEn = 1（ビット FrcPChg と ChgEn を参照）を同時に書き込むことによって「強制プリ充電」モードでチャージャをオンにし、BatRegDone（ビット BatRegDone を参照）をチェックします。BatRegDone = 1 は $V_{BAT} \geq V_{BAT\_REG}$ であることを意味し、更にこれはバッテリが存在しないことを意味します。その理由は、もしバッテリが存在すれば、BAT 電圧は実際のバッテリ電圧よりダイオード 1 個の電圧降下分だけ高い値までしか上昇し得ないからです。これに対し BatRegDone = 0 の場合はバッテリが存在しているはずであり、少なくともパック・プロテクタのロックを解除するのに十分な時間だけ強制プリ充電モードを維持する必要があります。

SAR ADC／モニタ・マルチプレクサ

MAX20366 には、システム・モニタリングを容易にするために電圧モニタ・マルチプレクサ（MUX）が含まれています。この MUX は PMIC レジスタ・マップに示す IVMONCntl パラメータ（ビット IVMONCntl を参照）を使って I^2C 制御され、7 個ある電圧レギュレータの中の 1 つ、BAT、または SYS のスケール値に IVMON ピンを接続します。抵抗分圧器は、IVMONRatioConfig（ビット IVMONRatioConfig を参照）によって決定される 4 つの比率の 1 つに合わせて、選択された電圧をスケーリングします。MUX が許容できる電圧は+5.5V までなので、IVMON で CHGIN、CPOUT、および BSTOUT を使用することはできません。更に、次式に従って充電電流をモニタするために ISET 電圧を使用できます。

$$I_{CHG} = \frac{(K_{ISET} \times V_{ISET} \times RED\_FCT)}{R_{ISET}}$$

ここで、

I_{CHG} = BAT に流れ込む実際の充電電流

K_{ISET} = ゲイン係数（2000A/A）

V_{ISET} = モニタ・マルチプレクサの指示電圧

RED_FCT = 最終的な低減係数は JEITA またはステップ充電によるものを使用できます（ChgIStep、ChgCoolIFChg、ChgRoomIFChg、ChgWarmIFChg パラメータ・ビットを参照）。JEITA による電流低減もステップ充電による電流低減もアクティブになっていない場合は、RED_FCT = 1 です。

R_{ISET} = ISET の公称抵抗値

MAX20366 は、電圧レールの読出しや、ハプティック・ドライバ動作時の自動レベル補償（ALC）用の SYS トラッキングなどのシステム・タスク実行に使用できる ADC も内蔵しています。マニュアル ADC 測定は最初にチャンネルを選択してから開始します。チャンネルは、ハプティック・ドライバ／ADC レジスタ・マップの ADCSel（ビット ADCSel を参照）に書込みを行うことによって選択します。測定は、その後で ADCConvLnch（ビット ADCConvLnch を参照）に 1 を書き込むことによって開始されます。測定が完了すると、ADCAvg、ADCMin、および ADCMax レジスタ・フィールド（ビット ADCAvg、ADCMin、ADCMax を参照）から値を読み出す準備が完了したことをシステムに知らせるために、ADCEOCInt 割込み（ビット ADCEOCInt を参照）がセットされます。測定値の平均は、ADCAvgSiz レジスタ・フィールド（ビット ADCAvgSiz を参照）を使い、平均する測定値の数を設定することによって行うことができます。MUX が 1:1 の比率でイネーブルされている場合、この ADC は IVMON 電圧を測定することもできます。様々な電圧レールに対する ADC の詳しいフルスケール・レンジを表 6 に示します。

表 6. ADC のフルスケール・レンジ

VOLTAGE RAIL	AVAILABLE RANGE (V)	CONVERSION (V)
V_{HDIN}	0 to +5.5	(ADC___[7:0] x 5.5V)/255

V_{IVMON} (use IVMONRatioConfig = 00) (see IVMONRatioConfig)	0 to +5.5	(ADC___[7:0] x 5.5V)/255
CHGIN	+3 to +8.25	(ADC___[7:0] x 8.25V)/255
CPOUT	+3 to +8.25	(ADC___[7:0] x 8.25V)/255
BSTOUT	+3 to +21	(ADC___[7:0] x 21.0V)/255

ハプティック・ドライバ

MAX20366 は汎用のハプティック・ドライバを内蔵しています。このドライバは、PWM または I^2C を通じてハプティック・デバイスをリアルタイムで制御できる他、内部 RAM からハプティック・パターンを実行できます。更に、リニア共振アクチュエータ（LRA）や偏心回転質量（ERM）アクチュエータを駆動できる柔軟性も備えています。

偏心回転質量（ERM）

ERM は駆動できる最も簡単なハプティック・アクチュエータです。駆動信号は内蔵されている H ブリッジの PWM 出力として直接取られ、アクチュエータを双方向に動作させることができます。ERM を駆動するために MAX20366 を設定するには、HptSel ビット（ビット HptSel を参照）を 0 に設定する必要があります。

リニア共振アクチュエータ（LRA）

ERM のオン／オフ制御と異なり、LRA にはサイン波の駆動信号が必要です。MAX20366 は、ドライバ入力をサイン波出力に変換するクラス D アンプでこれを実現します。

LRA の振動振幅は、駆動信号が LRA の共振周波数と一致したときに最大になります。MAX20366 には、ハプティック・ドライバがこの周波数を厳密にトラッキングできるよう、自動共振トラッキング機能が含まれています。この機能は、アクチュエータの共振を追跡するために LRA の逆起電力（BEMF）を測定します。LRA の駆動時には、常に共振トラッキング機能をイネーブルしておく必要があります。共振トラッキングは、EmfEn ビットを 1 に設定する（ビット EmfEn を参照）ことによってイネーブルします。追跡する共振周波数の範囲は、ドライバによって max(200kHz/IniGss[11:0], 100Hz)以上、min(800kHz/IniGss[11:0], 1kHz)以下にクランプされます。周波数の計算については、レジスタ・マップに示す IniGss（ビット IniGss を参照）の説明を参照してください。これは、フォルト・イベント時に可聴ノイズが発生するリスクを軽減します。

LRA モードを選択するには、HptSel ビットを 1 に設定します（ビット HptSel を参照）。

LRA のブレーキング

ハプティック・ドライバは、LRA を効果的に停止したり方向を反転させたりするためのブレーキング機能を備えています。駆動方向が反転するごとに、BrkLpGain、BrkCyc、および 1/2 サイクル BrkCyc 数の BrkWdw（ビット BrkLpGain、BrkCyc、BrkWdw を参照）の値によって BEMF 測定設定がオーバーライドされます。これにより、方向が突然変わった後のハプティック・ドライバによる BEMF 再検出を最適化できます。

更に、RAMHP モードと ETRG でのパターン実行時に、ハプティック・ドライバが最適なブレーキング時間を自動的に検出できます。RAM パターンがブレーキ・サンプルに達するか（nLSx = 00 および RPTx = 0000）（ビット nLSx と RPTx を参照）、ETRG パターンがブレーキ振幅に達すると、サイン波の 2 個または 4 個のサンプル点を中心として（AutoBrkPeakMeas の設定により異なります）（ビット AutoBrkPeakMeas を参照）ハプティック・ドライバが LRA の BEMF 振幅を測定します。BEMF の絶対値がスレッショルド AutoBrkMeasTh（ビット AutoBrkMeasTh を参照）より小さい状態が、BEMF 振幅を測定した連続サンプル点数（AutoBrkMeasEnd により設定、ビット AutoBrkMeasEnd を参照）に相当する AutoBrkMeasWdw（ビット AutoBrkMeasWdw を参照）時間の半分以上続く場合、ドライバは BEMF が十分に小さいと判断して駆動を停止します。

ほとんどのアクチュエータについては、LRA のフルスケール電圧と共振周波数初期推定値を設定するレジスタを除いて、すべての LRA レジスタをデフォルト値のままにしておく必要があります。ただし例外として、最大限の性能を得るには EmfSkipCyc（ビット EmfSkipCyc を参照）に 0 を書き込む必要があり、通常、非常に速い時定数の LRA を使用するときは、LRA の特性に対応するために AutoBrkPeakMeas（ビット AutoBrkPeakMeas を参照）を 1 に変更する必要があります。

自動レベル補償

V_{HDIN} は時間と共に変化する可能性があるので、ドライバはその出力デューティ・サイクルを調整して、フルスケール電圧に対して一定の基準を維持する必要があります。自動レベル補償（ALC）機能は、V_{HDIN} を測定してこの調整を行います。ALC は AlcEn ビット（ビット AlcEn を参照）を 1 に設定することによってイネーブルでき、MAX20366 の内部 ADC を使用して V_{HDIN} をモニタします。次いで ALC 機能は、プログラムされたドライバ振幅を維持するために、必要に応じてハプティック・ドライブのデューティ・サイクルをスケーリングします。ALC がイネーブルされていない場合、V_{HDIN} は Vfs であるものと仮定されます（ビット Vfs を参照）。

ハプティック UVLO

更に、AlcEn = 1 の場合は（ビット AlcEn を参照）、ドライバのイネーブル後、振動の開始前に V_{HDIN} が測定されます。どの時点においても、V_{HDIN} が、HDINDisTh（ビット HDINDisTh を参照）を通じてプログラムされた値と V_{HDIN_UVLO} スレッショルドのいずれか大きい方の値を下回った場合は、振動イベントが中止されてハプティック・ドライバがロックされます。ハプティック UVLO 条件に達した場合の振動再開の詳細については、ハプティック・ドライバのロックのセクションを参照してください。

最初の V_{HDIN} 測定を行うために必要な時間およびその他のスタートアップ遅延は、ハプティック・ドライバの小さい初期遅延となって現れます。リアルタイム・モードでの部分的なパターン・スキッピングを避けるには、目的のリアルタイム振動モード（PPWM または RTI^2C）のイネーブル後、少なくとも t_{HD_START} が経過してから、振動パターンを使用する必要があります。

ドライバ振幅

ハプティック・ドライバは、駆動信号の振幅用に電圧基準を設定する機能を備えていますこの基準はフルスケール電圧（V_{FS}）と呼ばれ、ドライバ出力の最大振幅を設定します。これは Vfs を使って設定され（ビット Vfs を参照）、範囲は 0V～5.5V です（LSB = 21.57mV）。H ブリッジへの電力は V_{HDIN} によって供給されるので、任意の時点におけるドライバの実際のフルスケール電圧は、Vfs（ビット Vfs を参照）と V_{HDIN} に保存される値のどちらか小さいほうです。

V_{FS} が設定されると、すべてのドライバ振幅はフルスケール電圧のパーセンテージでスケーリングされます。振幅の分解能は常に $V_{HDIN}/128$ です。したがって、振幅の実効分解能は V_{FS}/V_{HDIN} の比率でスケーリングされます。例えば、$V_{FS} = V_{HDIN}/2$ の場合、実効分解能は 6 ビットです。

振動タイムアウト

振動タイムアウト・パラメータは I^2C を通じてプログラムできます。プログラムされたタイムアウト時間より長く振動が続く場合、その振動は中断されます。タイムアウト時間は DrvTmo（ビット DrvTmo を参照）（LSB = 1s）に保存されます。コード 000000 を書き込むとタイムアウト機能がディスエーブルされます。タイムアウトに達した場合の振動再開の詳細については、ハプティック・ドライバのロックのセクションを参照してください。

過電流／熱保護

ハプティック・ドライバには過電流およびサーマル・シャットダウン保護機能も含まれています。ハプティック・ドライバがアクティブになっている間、MAX20366 は DRP と DRN からの電流をモニタします。過電流保護がイネーブルされていて（HptOCProtDis = 0、ビット HptOCProtDis 参照）DRP または DRN 電流が I_{HD_OCP} を超えている場合、ハプティック・ドライバはフォルトを発行して振動を中断させ、ロック・ステートに入ります。

サーマル・シャットダウン機能により、温度が T_{HD_SHDN} を超えた場合に MAX20366 は直ちにハプティック・ドライバを停止できます。この機能は、HptThmProtDis = 0（ビット HptThmProtDis を参照）に設定することによってイネーブルします。

過電流条件または過熱条件に達した場合の振動再開の詳細については、ハプティック・ドライバのロックのセクションを参照してください。

ハプティック・ドライバのロック

MAX20366 がハプティック・ドライバのフォルトを検出した場合は、ハプティック・フォルト・ロック機能によって振動が中断されてハプティック・ドライバがロックされます。新たに振動を開始するには、HptFltUnlock ビット（ビット HptFltUnlock を参照）を手動でセットする必要があります。以下のいずれかの場合はフォルトが発生します。すなわち、V_{HDIN} が HDINDisTh（ビット HDINDisTh）でプログラムしたスレッショルド未満または V_{HDIN_UVLO} 未満に低下した場合、DRN または DRP に過電流が検出された場合（ビット HptDRPOCPLow、HptDRNOCPLow、HptDRPOCPHigh、HptDRNOCPHigh を参照）、ダイ温度が熱保護スレッショルド HptThm を超えた場合（ビット HptThm を参照）、または振動時間が DrvTmo に保存されたタイムアウト時間を超えた場合（ビット DrvTmo を参照）です。HptFltUnlock に 1 を書き込むと（ビット HptFltUnlock を参照）、フォルトが解消されて HptFltUnlock ビットが自動的 0 にクリアされます。

インターフェース・モード

ハプティック・ドライバの制御に関しては、合計で 4 つのインターフェース・モードがあります。これらには、2 つのリアルタイム・モードと 2 つのメモリ保存モードが含まれます。ハプティック・ドライバのモードは HptDrvMode（ビット HptDrvMode を参照）を通じて設定します。動作モードを選択すると、同時にドライバもイネーブルされます。加えて、HptDrvMode（ビット HptDrvMode を参照）を設定する前に HptDrvClkEn（ビット HptDrvClkEn を参照）を 1 に設定し、振動中は常時その設定を維持する必要があります。振動終了後、省電力のために HptDrvClkEn = 0（ビット HptDrvClkEn を参照）に設定することによってハプティック・ドライバをディスエーブルするには、事前に HptDrvMode（ビット HptDrvMode を参照）を 00000 に設定しておく必要があります。いかなる場合でも、ハプティック・パターンは正方向の駆動から開始しなければなりません。

ピュア PWM（PPWM）

PPWM モードではハプティック・ドライバをリアルタイムで制御できます。パターンは、HptDrvMode（ビット HptDrvMode を参照）によって選択された MPC_ピンに PWM 信号を加えることによって生成されます。加えた信号のデューティ・サイクルは駆動信号の振幅を決定し、振幅は Vfs（ビット Vfs を参照）によってスケーリングされます。駆動方向は 50%デューティ・サイクル付近を中心に決定されます。デューティ・サイクルが 0%～47.5%の場合は負方向の 100%Vfs～0%Vfs 振幅が生成され、デューティ・サイクルが 52.5%～100%の場合は正方向の 0%Vfs～100%Vfs 振幅が生成されます（ビット Vfs を参照）。47.5%～52.5%デューティ・サイクルの領域はデッド・ゾーンで、この範囲内での入力はヌル出力となります。すべてのパターンは正方向の駆動で開始する必要があります（52.5%～100%のデューティ・サイクル）。

タイムアウト機能は、アイドル PWM 入力がハプティック・モータの不要な振動を引き起こすのを防止します。入力信号が 0%または 100%デューティ・サイクルになっている時間が 2.56ms を超えると、出力がヌルになって振動が停止します。したがって、連続出力を生成するには MPC_入力が動的に変化していなければなりません。

リアルタイム I²C（RTI²C）

PPWM モード同様、RTI²C でもハプティック・ドライバをリアルタイムで制御することができます。HptRTI2CPat レジスタ（レジスタ HptRTI2CPat を参照）は出力信号の振幅を決定します。このレジスタの下位 7 ビット（HptRTI2CPat[6:0]）は V_{FS} のパーセンテージで振幅を決定し、MSB（HptRTI2CPat[7]）は回転の方向を設定します（0 が正方向、1 が負方向）。例えば 100%振幅で正方向に駆動するには、HptRTI2CPat を 0x7F（0b01111111）に設定します。

HptDrvMode（ビット HptDrvMode を参照）を通じて RTI²C モードがイネーブルされると、ハプティック・ドライバは、HptRTI2CPat（ビット HptRTI2CPat を参照）の最新データによって決定される振幅と方向を連続して出力します。ハプティック・パターンを生成するには、HptRTI2CPat レジスタが新しいデータを受け取らなければなりません。すべてのパターンは、正方向駆動で開始する必要があります（HptRTI2CPat への最初の書込みの MSB が 0）。

保存パターンの外部トリガ（ETRG）

ETRG モードでは、MPC_ピンの立上がりエッジ、または HptExtTrig ビット（ビット HptExtTrig を参照）の 0 から 1 への遷移によって、振動シーケンスが開始されます。シーケンスは 6 個のレジスタに格納され、オーバードライブ（スタートアップ）振幅、アクティブ駆動振幅、ブレーキング振幅、および各駆動動作の時間で構成されます。

HptETRGOdAmp、HptETRGActAmp、および HptETRGBrkAmp（ビット HptETRGOdAmp、HptETRGActAmp、HptETRGBrkAmp を参照）に格納される振幅は、HptRTI2CPat（ビット HptRTI2CPat を参照）と同じフォーマットに従います（つまり、下位 7 ビットが V_{FS} のパーセンテージとして振幅を格納し、MSB が方向を決定します）。

トリガ入力は、ドライバが HptDrvMode（ビット HptDrvMode を参照）を通じて ETRG モードになったときに選択されます。立上がりエッジを正しくレジスタへ書き込むには、トリガ信号が、ドライバの数クロック・サイクル分にわたってハイに維持されている必要があります。

シーケンスが開始されると、ハプティック・ドライバは HptETRGOdDur、HptETRGActDur、および HptETRGBrkDur（ビット HptETRGOdDur、HptETRGActDur、HptETRGBrkDur を参照）に保存された時間値に従います。しかし、HptETRGActDur（HptETRGActDur を参照）に指定された時間より長くトリガをハイのままに保つことによって、アクティブ駆動時間を延長することができます。その場合ドライバは、立下がりエッジが検出されるまで、HptETRGActAmp（ビット HptETRGActAmp を参照）に保存された振幅を出力します。トリガ信号がローになると、ブレーキ・シーケンスが実行されます。すべてのパターンは正方向の駆動で開始する必要があります（HptETRGOdAmp の MSB = 0、ビット HptETRGOdAmp を参照）。

RAM に保存したハプティック・パターン（RAMHP）

ハプティック・ドライバを駆動する最後の方法は RAMHP モードです。MAX20366 は 256 × 24 ビット RAM を内蔵しており、ここにハプティック・パターンが保存されます。スタートアップ時に RAM にハプティック・シーケンスを保存することにより、ドライバは、ETRG モードの場合同様、トリガ信号受信時に精巧なハプティック・シーケンスを実行することができます。ダイレクト I²C レジスタ HptRAMPatAdd（ビット HptRAMPatAdd を参照）は、シーケンスを開始する RAM アドレスを指定します。

RAM は、MAX20366 が OFF/SEAL モードを終了したときにロードする必要があります。RAM にデータを書き込むには、まず HptRAMEn（ビット HptRAMEn を参照）をハイに設定する必要があります。次に、ダイレクト・レジスタ HptRAMAdd（ビット HptRAMAdd を参照）に値を書き込んで、HptRAMDataH、HptRAMDataM、および HptRAMDataL（ビット HptRAMDataH、HptRAMDataM、HptRAMDataL を参照）に書き込むデータの RAM アドレスを指定します。データは RAM からリードバックできます。HptRAMAdd（ビット HptRAMAdd を参照）にアドレスを書込んでから HptRAMDataH、HptRAMDataM、および HptRAMDataL レジスタの I²C 読出しトランザクションを開始すると、RAM アドレスに保存された 3 バイトをリードバックすることができます。RAM の読出しおよび書込み手順を図 33 に示します。すべてのパターンは正方向の駆動から開始する必要があります（最初の RAM アドレスの AmpSign = 0）。

ハプティック・パターンは複数のパターン・サンプルで構成されます。パターン・サンプルは、ハプティック・パターンのセグメントの振幅、時間、待機時間、遷移、および反復を定義します。これらのサンプルは 3 バイトで定義され、HptRAMDataH、HptRAMDataM、および HptRAMDataL を通じて RAM に書き込まれます。HptRAMDataH（ビット HptRAMDataH を参照）には、サンプルの振幅の符号（AmpSign）、振幅の上位 5 ビット（Amp[6:2]）、およびパターン・サンプルの取り扱いに関するハプティック・ドライバへの命令（nLSx）が格納されます。HptRAMDataM（ビット HptRAMDataM を参照）には、サンプルの振幅の下位 2 ビット（Amp[1:0]）、サンプルの時間（Dur）、およびパターンの次のサンプルまでの待機時間の上位ビット（Wait[4]）が格納されます。HptRAMDataL（ビット

HptRAMDataL を参照）には、待機時間の下位 4 ビット（Wait[3:0]）、および反復動作（RPTx）が格納されます。パターン・サンプルの定義を表 7 に、ハプティック・パターンとそれに対応する波形を図 34 と図 35 に示します。

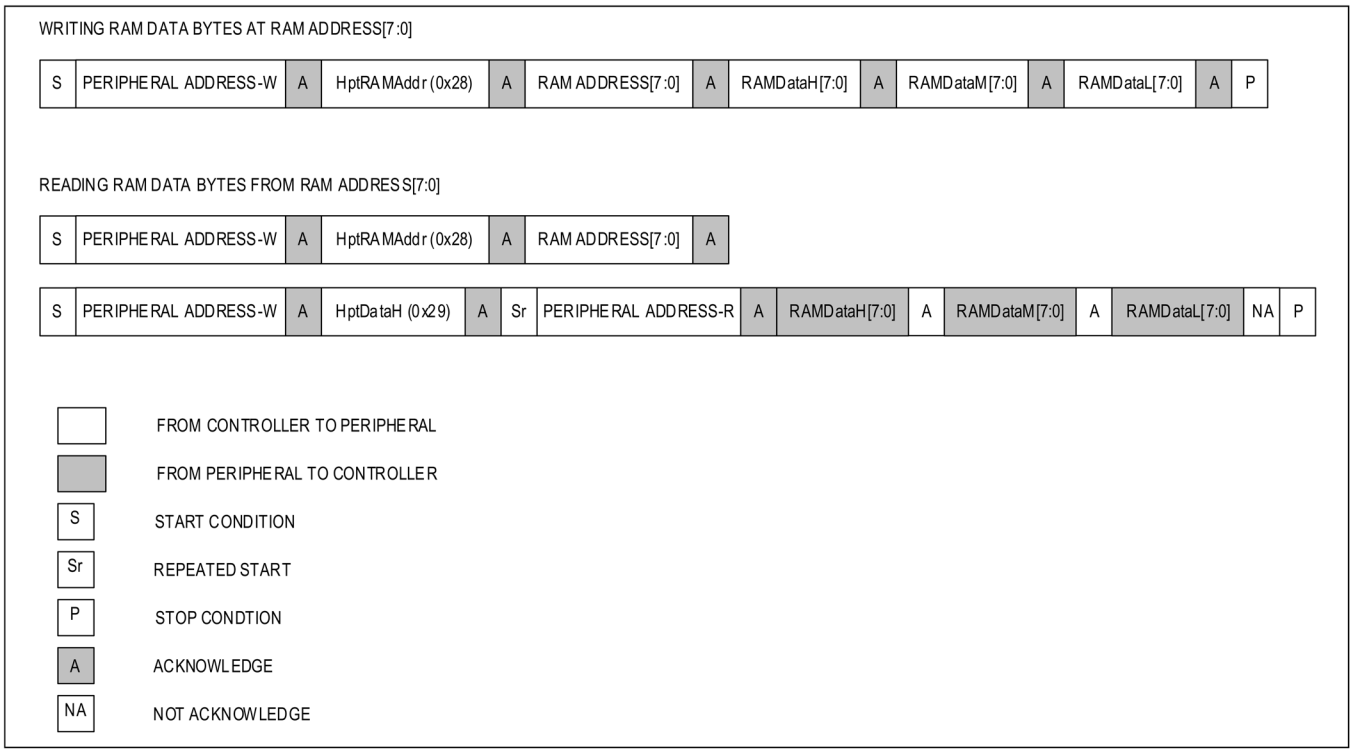


図 33. ハプティック RAM の読出しおよび書込みプロセス

表 7. RAMHP パターンの保存フォーマット

ADDRESS	0x40-0x43							
BIT	B7	B6	B5	B4	B3	B2	B1	B0
HptRAMAdd	HptRAMAdd[7:0]							
HptRAMDataH	nLSx[1:0]		AmpSign	Amp[6:2]				
HptRAMDataM	Amp[1:0]		Dur[4:0]					Wait[4]
HptRAMDataL	Wait[3:0]				RPTx[3:0]			
HptRAMAdd[7:0]	The RAM address in which the pattern sample is stored							
nLSx[1:0]	Sets the behavior of a sample in the pattern. 00 = Current sample is the last sample in the pattern 01 = Current sample is not the last sample in the pattern 10 = Interpolate current sample with next sample 11 = Current sample is the last sample in the pattern. Repeat the entire pattern RPTx[3:0] times							

AmpSign[1:0]	Sign of haptic amplitude in current sample 0 = Positive 1 = Negative Patterns must always use the convention that driving begins with positive (0) amplitude and braking is done with negative (1) amplitude.
Amp[6:2]	Sets the amplitude of pattern sample x as a 7-bit percentage of VFS and a 1-bit direction (see Vfs[7:0]).
Dur[4:0]	Sets the duration of time the driver outputs the amplitude of the current sample in increments of 5ms 00000 = 0ms 00001 = 5ms … 11110 = 150ms 11111 = 155ms
Wait[4:0]	Sets the duration of time the driver waits at zero amplitude before the next sample in increments of 5ms 00000 = 0ms 00001 = 5ms ... 11110 = 150ms 11111 = 155ms
RPTx[3:0]	Sets the number of times to repeat the sample before moving to the next sample in the pattern. If nLSx[1:0] = 11, this sets the number of times to repeat the whole pattern. 0000 = Repeat 0 times. If nLSx = 00, automatic braking is performed on this sample with a maximum braking time equal to Wait[4:0]. 0001 = Repeat 1 time … 1110 = Repeat 14 times 1111 = Repeat 15 times

nLS0[1:0]	A[7:0]	D[4:0]	W[4:0]	RPT[3:0]

nLS_{PREV}	A_{PREV}	D_{PREV}	W_{PREV}	RPT_{PREV}
01	A0	00010	00001	0001
01	A1	00011	00000	0010
10	A2	00011	00000	DC
10	A3	00011	00000	DC
11	A4	DC	00010	0010

← END OF PREVIOUS PATTERN

DC = DON'T CARE

図 34. RAM に保存されるサンプル・パターン

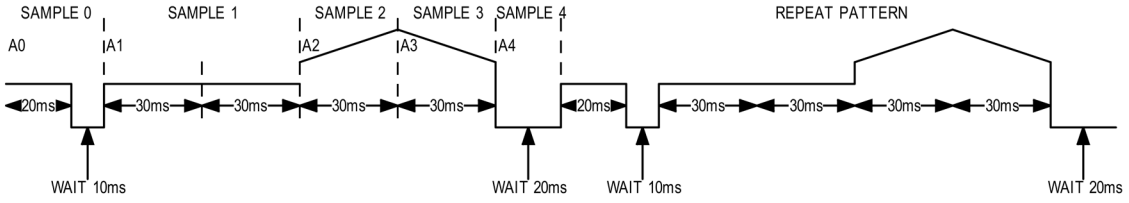


図 35. 保存されたサンプル・パターンのハプティック・ドライバ出力図

残量ゲージ

MAX20366 は、ハイサイド電流検出の ModelGauge m5 EZ を内蔵しています。ModelGauge m5 のアルゴリズムの詳細や、ModelGauge m5 EZユーザガイド／ソフトウェア実装ガイドなどへのリンクについては、MAX17260製品ページの設計リソース（Design Resources）タブ、および MAX17620 データシートのレジスタ・マップを参照してください。

MAX20361 ハーベスタとの連携

MAX20366 は、MAX20361 ソーラー・エナジー・ハーベスタ・チップとのシームレスな連携を可能にする機能をいくつか実装しています。レジスタ ThmCfg2、HrvCfg0、および HrvCfg1（ビット ThmCfg2、HrvCfg0、HrvCfg1 を参照）は、ハーベスタと PMIC の連携方法に関するいくつかの設定に使用します。バッテリのフル充電電圧のため PMIC に設定されるスレッショルドおよびリスタートスレッショルド（ビット HrvBatReg と HrvBatReChg を参照）は、HrvBatSys レジスタ設定（ビット HrvBatSys を参照）で記述される PMIC の動作に関する条件を設定します。チャージャとハーベスタの連携はシームレスに、なおかつシステムの介在が必要ない形で行われます。

ハーベスタのサーミスタ・モニタリング

MAX20366 では、バッテリ・チャージャのホットおよびコールド領域のスレッショルドとは別にハーベスタ温度スレッショルドを使用できます。これらのスレッショルドでは条件がより緩和されていて、より広い温度範囲でハーベスタによる充電を可能にします。デバイス固有の設定に従い（表 8 の JEITASet を参照）、ホット・スレッショルドは 14.51%（JEITASet = 0）または 23.53%（JEITASet = 1）に設定できますが、コールド・スレッショルドはどちらも 81.64%に固定されています。柔軟性を増すために、レジスタ HrvCfg1（レジスタ HrvCfg1 を参照）でも、様々な温度領域における動作を定義できます。

レジスタ・マップ

ハプティック・ドライバ・レジスタと ADC レジスタ – ペリフェラル ID：0xA0/0xA1

ADDRESS	NAME	MSB							LSB
ADC and Haptic Status/Interrupts									
0x00	HptStatus0[7:0]	HptHDINDis	HptDRPOCPLow	HptDRNOCPLow	HptDRPOCPHigh	HptDRNOCPHigh	HptThm	HptClkOn	HptFrqLock
0x01	HptStatus1[7:0]	–	–	–	–	–	–	–	HptFlt
0x02	HptStatus2[7:0]	–	–	–	–	–	–	ADCBusy	–
0x03	HptInt0[7:0]	HptHDINDisInt	HptDRPOCPLowInt	HptDRNOCPLowInt	HptDRPOCPHighInt	HptDRNOCPHighInt	HptThmInt	HptClkOnInt	HptFrqLockInt
0x04	HptInt1[7:0]	–	–	–	–	HptAutoTuneDoneInt	HptTmoInt	HptHDINUVLOInt	HptFltInt
0x05	HptInt2[7:0]	–	–	–	–	–	–	ADCBusyInt	ADCEOCInt
0x06	HptIntMask0[7:0]	HptHDINDisIntM	HptDRPOCPLowIntM	HptDRNOCPLowIntM	HptDRPOCPHighIntM	HptDRNOCPHighIntM	HptThmIntM	HptClkOnIntM	HptFrqLockIntM
0x07	HptIntMask1[7:0]	–	–	–	–	HptAutoTuneDoneIntM	HptTmoIntM	HptHDINUVLOIntM	HptFltIntM
0x08	HptIntMask2[7:0]	–	–	–	–	–	–	ADCBusyIntM	ADCEOCIntM
Haptic Control									
0x09	HptControl[7:0]	HptExtTrig	HptRamEn	HptDrvClkEn	HptDrvMode[4:0]				
0x0A	HptRTI2CPat[7:0]	HptRTI2CPat[7:0]							
0x0B	HptRAMPatAdd[7:0]	HptRAMPatAdd[7:0]							
0x0C	HptProt[7:0]	–	–	–	–	–	HptOfflmp	HptThmProtDis	HptOCProtDis
0x0D	HptUnlock[7:0]	–	–	–	–	–	–	–	HptFltUnlock
Haptic Configuration									

ADDRESS	NAME	MSB							LSB
0x11	HPTCfg0[7:0]	–	AutoBrkPeakMeas	AutoBrkCmpSatStop	AutoBrkDis	EmfEn	HptSel	AlcEn	ZccHysEn
0x12	HPTCfg1[7:0]	Vfs[7:0]							
0x13	HPTCfg2[7:0]	HDINDisTh[7:0]							
0x14	HPTCfg3[7:0]	–	EmfSkipTh[6:0]						
0x15	HPTCfg4[7:0]	IniGssResDis	–	–	IniDly[4:0]				
0x16	HPTCfg5[7:0]	–	–	–	WidWdw[4:0]				
0x17	HPTCfg6[7:0]	NarWdw[3:0]				–	EmfSkipCyc[2:0]		
0x18	HPTCfg7[7:0]	–	–	BlankWdw[5:0]					
0x19	HPTCfg8[7:0]	–	–	–	BrkCyc[4:0]				
0x1A	HPTCfg9[7:0]	AutoBrkMeasWdw[3:0]				AutoBrkMeasTh[1:0]		AutoBrkMeasEnd[1:0]	
0x1B	HPTCfgA[7:0]	–	BrkLpGain[1:0]		–	BrkWdw[3:0]			
0x1C	HPTCfgB[7:0]	ZccSlowEn	FltrCntrEn	–	DrvTmo[4:0]				
0x1D	HPTCfgC[7:0]	IniGss[7:0][7:0]							
0x1E	HPTCfgD[7:0]	–	–	–	–	IniGss[11:8][3:0]			
0x1F	HPTCfgE[7:0]	–	–	NarCntLck[5:0]					
0x20	HPTCfgF[7:0]	–	NarLpGain[2:0]			–	WidLpGain[2:0]		
Haptic Autotune									
0x22	HptAutoTune[7:0]	–	–	–	–	–	–	AutoTuneGood	AutoTuneRun
0x23	BEMFPeriod0[7:0]	BEMFPeriod[7:0][7:0]							
0x24	BEMFPeriod1[7:0]	–	–	–	–	BEMFPeriod[11:8][3:0]			
Haptic Patterns									
0x30	HptETRGOdAmp[7:0]	ETRGOdAmp[7:0]							

ADDRESS	NAME	MSB							LSB
0x31	HptETRGOdDur[7:0]	ETRGOdDur[7:0]							
0x32	HptETRGActAmp[7:0]	ETRGActAmp[7:0]							
0x33	HptETRGActDur[7:0]	ETRGActDur[7:0]							
0x34	HptETRGBrkAmp[7:0]	ETRGBrkAmp[7:0]							
0x35	HptETRGBrkDur[7:0]	ETRGBrkDur[7:0]							
RAM Interface									
0x40	HptRAMAdd[7:0]	HptRAMAdd[7:0]							
0x41	HptRAMDataH[7:0]	HptRAMDataH[7:0]							
0x42	HptRAMDataM[7:0]	HptRAMDataM[7:0]							
0x43	HptRAMDataL[7:0]	HptRAMDataL[7:0]							
ADC/MON Interface									
0x50	ADCEn[7:0]	–	–	–	–	–	–	–	ADCConvLaunch
0x51	ADCCfg[7:0]	–	–	ADCAvgSiz[2:0]			ADCSel[2:0]		
0x53	ADCDatAvg[7:0]	ADCAvg[7:0]							
0x54	ADCDatMin[7:0]	ADCMin[7:0]							
0x55	ADCDatMax[7:0]	ADCMax[7:0]							

レジスタの詳細

HptStatus0（0x0）

BIT	7	6	5	4	3	2	1	0
Field	HptHDINDis	HptDRPOCPLow	HptDRNOCPLow	HptDRPOCPHigh	HptDRNOCPHigh	HptThm	HptClkOn	HptFrqLock
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
HptHDINDis	7	ハプティック・ドライバHDIN電圧ディスエーブル・スレッショルドのステータス。	0: V_{HDIN} greater than HDINDisTh[7:0] threshold. 1: Fault condition. Haptic driver locked and disabled due to V_{HDIN} falling below the HDINDisTh[7:0] threshold.
HptDRPOCPLow	6	ハプティック・ドライバDRPローサイド・スイッチ過電流保護のステータス。	0: No overcurrent detected on the DRP low-side switch. 1: Fault condition. Haptic driver locked and disabled due to current on the DRP low-side switch rising above thr I_{HD_OCP} threshold.
HptDRNOCPLow	5	ハプティック・ドライバDRNローサイド・スイッチ過電流保護のステータス。	0: No overcurrent detected on the DRN low-side switch. 1: Fault condition. Haptic driver locked and disabled due to current on the DRN low-side switch rising above the I_{HD_OCP} threshold.
HptDRPOCPHigh	4	ハプティック・ドライバDRPハイサイド・スイッチ過電流保護のステータス。	0: No overcurrent detected on the DRP high-side switch. 1: Fault condition, haptic driver locked and disabled due to the current on the DRP high-side switch rising above the I_{HD_OCP} threshold.
HptDRNOCPHigh	3	ハプティック・ドライバDRNハイサイド・スイッチ過電流保護のステータス。	0: No overcurrent detected on the DRN high-side switch. 1: Fault condition. Haptic driver locked and disabled due to current on the DRN high-side switch rising above the I_{HD_OCP} threshold.
HptThm	2	ハプティック・ドライバ熱保護のステータス。	0: No overtemperature condition detected. 1: Fault condition. Haptic driver locked and disabled due to the die temperature rising above the T_{HD_SHDN} threshold.
HptClkOn	1	ハプティック・ドライバ・クロックのステータス。	0: Haptic driver clock disabled 1: Haptic driver clock enabled
HptFrqLock	0	ハプティック・ドライバBEMF共振周波数ロックのステータス。	0: BEMF resonant frequency not locked 1: BEMF resonant frequency locked

HptStatus1（0x1）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	HptFlt
Access Type	–	–	–	–	–	–	–	Read Only

ビットフィールド	ビット	説明	デコード
HptFlt	0	ハプティック・ドライバ・フォルト条件のステータス。	0: No haptic driver fault condition detected 1: Haptic driver locked and disabled due to one or more fault conditions detected

HptStatus2（0x2）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	ADCBusy	–
Access Type	–	–	–	–	–	–	Read Only	–

ビットフィールド	ビット	説明	デコード
ADCBusy	1	ADC動作のステータス。	0: ADC disabled 1: ADC enabled and conversion running

HptInt0（0x3）

BIT	7	6	5	4	3	2	1	0
Field	HptHDINDisInt	HptDRPOCPLowInt	HptDRNOCPLowInt	HptDRPOCPHighInt	HptDRNOCPHighInt	HptThmInt	HptClkOnInt	HptFrqLockInt
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
HptHDINDisInt	7	HptHDINDisの変化により割込みが発生。
HptDRPOCPLowInt	6	HptDRPOCPLowの変化により割込みが発生。
HptDRNOCPLowInt	5	HptDRNOCPLowの変化により割込みが発生。
HptDRPOCPHighInt	4	HptDRPOCPHighの変化により割込みが発生。
HptDRNOCPHighInt	3	HptDRNOCPHighの変化により割込みが発生。
HptThmInt	2	HptThmの変化により割込みが発生。
HptClkOnInt	1	HptClkOnの変化により割込みが発生。
HptFrqLockInt	0	HptFrqLockの変化により割込みが発生。

HptInt1（0x4）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	HptAutoTuneDoneInt	HptTmoInt	HptHDINUVLOInt	HptFltInt
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HptAutoTuneDoneInt	3	ハプティック・ドライバ自動調整手順完了割込み。	Set to 1 when haptic auto tune is complete.
HptTmoInt	2	ハプティック・ドライバ振動タイムアウト割込み。	0: Haptic driver vibration timeout not expired. 1: Fault condition. Haptic driver locked and disabled due to vibration timeout being expired.
HptHDINUVLOInt	1	ハプティック・ドライバHDIN UVLO割込み。	0: $V_{HDIN} > V_{HDIN\_UVLO}$. 1: Fault condition. Haptic driver locked and disabled due to $V_{HDIN} < V_{HDIN\_UVLO}$.
HptFltInt	0	HptFltの変化により割込みが発生。	Set to 1 when there is change in the HptFlt bit.

HptInt2（0x5）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	ADCBusyInt	ADCEOCInt
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明
ADCBusyInt	1	ADCBusyの変化により割込みが発生。
ADCEOCInt	0	ADC変換終了割込み。

HptIntMask0（0x6）

BIT	7	6	5	4	3	2	1	0
Field	HptHDINDisIntM	HptDRPOCPLowIntM	HptDRNOCPLowIntM	HptDRPOCPHighIntM	HptDRNOCPHighIntM	HptThmInt M	HptClkOnInt M	HptFrqLockIntM
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HptHDINDisIntM	7	HptHDINDisIntMが、HptInt0レジスタ（0x03）のHptHDINDisInt割込みをマスク。	0: Masked 1: Not masked
HptDRPOCPLowIntM	6	HptDRPOCPLowIntMが、HptInt0レジスタ（0x03）のHptDRPOCPLowInt割込みをマスク。	0: Masked 1: Not masked
HptDRNOCPLowIntM	5	HptDRNOCPLowIntMが、HptInt0レジスタ（0x03）のHptDRNOCPLowInt割込みをマスク。	0: Masked 1: Not masked

ビットフィールド	ビット	説明	デコード
HptDRPOCPHighIntM	4	HptDRPOCPHighIntMが、HptInt0レジスタ（0x03）のHptDRPOCPHighInt割込みをマスク。	0: Masked 1: Not masked
HptDRNOCPHighIntM	3	HptDRNOCPHighIntMが、HptInt0レジスタ（0x03）のHptDRNOCPHighInt割込みをマスク。	0: Masked 1: Not masked
HptThmIntM	2	HptThmIntMが、HptInt0レジスタ（0x03）のHptThmInt割込みをマスク。	0: Masked 1: Not masked
HptClkOnIntM	1	HptClkOnIntMが、HptInt0レジスタ（0x03）のHptClkOnInt割込みをマスク。	0: Masked 1: Not masked
HptFrqLockIntM	0	HptFrqLockIntMが、HptInt0レジスタ（0x03）のHptFrqLockInt割込みをマスク。	0: Masked 1: Not masked

HptIntMask1（0x7）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	HptAutoTuneDoneIntM	HptTmoIntM	HptHDINUVLOIntM	HptFltIntM
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HptAutoTuneDoneIntM	3	HptAutoTuneDoneIntMが、HptInt1レジスタ（0x04）のHptAutoTuneDoneInt割込みをマスク。	0: Masked 1: Not masked
HptTmoIntM	2	HptTmoIntMが、HptInt1レジスタ（0x04）のHptTmoInt割込みをマスク。	0: Masked 1: Not masked
HptHDINUVLOIntM	1	HptHDINUVLOIntMが、HptInt1レジスタ（0x04）のHptHDINUVLOInt割込みをマスク。	0: Masked 1: Not masked
HptFltIntM	0	HptFltIntMが、HptInt1レジスタ（0x04）のHptFltInt割込みをマスク。	0: Masked 1: Not masked

HptIntMask2（0x8）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	ADCBusyIntM	ADCEOCIntM
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ADCBusyIntM	1	ADCBusyIntMが、HptInt2レジスタ（0x05）のADCBusyInt割込みをマスク。	0: Masked 1: Not masked
ADCEOCIntM	0	ADCEOCIntMが、HptInt2レジスタ（0x05）のADCEOCInt割込みをマスク。	0: Masked 1: Not masked

HptControl（0x9）

BIT	7	6	5	4	3	2	1	0
Field	HptExtTrig	HptRamEn	HptDrvClkEn	HptDrvMode[4:0]				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

ビットフィールド	ビット	説明	デコード
HptExtTrig	7	ETRGIドライバ・モード（HptDrvMod[4:0] = 01100）とRAMHPIドライバ・モード（HptDrvMod[4:0] = 10010）の外部トリガ。	0: No vibration triggered 1: Vibration triggered
HptRamEn	6	ハプティック・ドライバのRAMブロックのイネーブル。	0: RAM disabled 1: RAM enabled
HptDrvClkEn	5	ハプティック・ドライバのクロックのイネーブル。すべてのインターフェース・モードで、HptDrvMod[4:0]で目的のモードに設定すると同時に、またはそれ以前にHptDrvClkEnを1に設定する必要があります。振動中はHptDrvClkEnビットを1に保持しておかなければなりません。振動終了後、省電力のためHptDrvClkEn = 0に設定することによってハプティック・ドライバをディスエーブルするには、事前にHptDrvMod[4:0]を00000に設定しておく必要があります。	0: Haptic driver clock disabled 1: Haptic driver clock enabled
HptDrvMode	4:0	ハプティック・ドライバのインターフェース・モード選択	00000: Disable haptic driver. 00001: Enable PPWM0 mode and provide amplitude based on PWM duty cycle on MPC0 00010: Enable PPWM1 mode and provide amplitude based on PWM duty cycle on MPC1 00011: Enable PPWM2 mode and provide amplitude based on PWM duty cycle on MPC2 00100: Enable PPWM3 mode and provide amplitude based on PWM duty cycle on MPC3 00101: Enable PPWM4 mode and provide amplitude based on PWM duty cycle on MPC4 00110: Enable RTI2C mode and provide current output amplitude based on the contents of HptRTI2CPat(0x0A) 00111: Enable ETRG0 mode. Provide a pulse on MPC0 to start vibration (see the External Triggered Stored Pattern (ETRG) section for details). 01000: Enable ETRG1 mode. Provide a pulse on MPC1 to start vibration (see the External Triggered Stored Pattern (ETRG) section for details). 01001: Enable ETRG2 mode. Provide a pulse on MPC2 to start vibration (see the External Triggered Stored Pattern (ETRG) section for details). 01010: Enable ETRG3 mode. Provide a pulse on MPC3 to start vibration (see the External Triggered Stored Pattern (ETRG) section for details). 01011: Enable ETRG4 mode. Provide a pulse on MPC4 to start vibration (see the External Triggered Stored Pattern (ETRG) section for details).

ビットフィールド	ビット	説明	デコード
			01100: Enable ETRGI mode using I²C. Set HptExtTrg(0x09[7]) bit to start vibration (see the External Triggered Stored Pattern (ETRG) section for details). 01101: Enable RAMHP0 mode. Provide a pulse on MPC0 to start vibration (see the RAM Stored Haptic Pattern (RAMHP) section for details). 01110: Enable RAMHP1 mode. Provide a pulse on MPC1 to start vibration (see the RAM Stored Haptic Pattern (RAMHP) section for details). 01111: Enable RAMHP2 mode. Provide a pulse on MPC2 to start vibration (see the RAM Stored Haptic Pattern (RAMHP) section for details). 10000: Enable RAMHP3 mode. Provide a pulse on MPC3 to start vibration (see the RAM Stored Haptic Pattern (RAMHP) section for details). 10001: Enable RAMHP4 mode. Provide a pulse on MPC4 to start vibration (see the RAM Stored Haptic Pattern (RAMHP) section for details). 10010: Enable RAMHPI mode using I²C. Set HptExtTrg(0x09[7]) bit to start vibration (see the RAM Stored Haptic Pattern (RAMHP) section for details). >10010: Reserved

HptRTI2CPat（0xA）

BIT	7	6	5	4	3	2	1	0
Field	HptRTI2CPat[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
HptRTI2CPat	7:0	RTI2Cモード（HptDrvMod = 00110）でV_{FS}のパーセンテージでプログラムされたハプティック・ドライバの出力振幅。LSB = 0.78%V_{FS}。MSBは駆動する振幅の符号を表します。パターンは、常に正方向の駆動（MSBが0）で開始する必要があります。

HptRAMPatAdd（0xB）

BIT	7	6	5	4	3	2	1	0
Field	HptRAMPatAdd[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
HptRAMPatAdd	7:0	RAMHP_モードで実行するハプティック・ドライバ振動パターンの最初のサンプルのアドレス（HptDrvMod = 01101、01110、01111、10000、10001、10010）。

HptProt（0xC）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	HptOffImp	HptThmProtDis	HptOCProtDis
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HptOffImp	2	ハプティック・ドライバ出力のオフ・ステート・インピーダンス。	0: When haptic driver is disabled, outputs are strongly shorted to GND through low-side switches 1: When haptic driver is disabled, outputs are shorted to GND with 15kΩ pull-down
HptThmProtDis	1	ハプティック・ドライバ熱保護のディスエーブル。 HptThmProtDis = 0で、過熱状態によってハプティック・ドライバがロックされディスエーブルされている場合は、HptThmInt割込みが発行されてHptFltが1に設定されます。ハプティック・ドライバをリスタートできるようにするにはHptFltUnlock = 1に設定します。	0: Thermal protection enabled, haptic driver shuts down if die temperature rises above T_{HD_SHDN} threshold 1: Thermal protection disabled
HptOCProtDis	0	ハプティック・ドライバ過電流保護のディスエーブル。 HptOCProtDis = 0で、過電流状態によってハプティック・ドライバがロックされディスエーブルされている場合は、HptDRPOCPLowInt、HptDRNOCPLowInt、HptDRPOCPHighInt、HptDRNOCPHighIntの少なくとも1つの割込みが発行されてHptFltが1に設定されます。ハプティック・ドライバをリスタートできるようにするにはHptFltUnlock = 1に設定します。	0: Overcurrent protection enabled. Haptic driver shuts down if current through any of DRP/DRN high/low-side switches exceeds the I_{HD_OCP} threshold 1: Overcurrent protection disabled

HptUnlock（0xD）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	HptFltUnlock
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明
HptFltUnlock	0	ハプティック・ドライバのアンロック制御。 フォルト状態によってハプティック・ドライバがロックされディスエーブルされた場合は、HptFltが1に設定されます。これは、手動でHptFltUnlockに1を書き込むことによってのみクリアできます。アンロック後はHptFltUnlockも自動的に0になります。

HPTCfg0（0x11）

BIT	7	6	5	4	3	2	1	0
Field	–	AutoBrkPeakMeas	AutoBrkCmpSatStop	AutoBrkDis	EmfEn	HptSel	AlcEn	ZccHysEn

Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
AutoBrkPeakMeas	6	ハプティック・ドライバのBEMF振幅検出のサンプル・ポイント。 自動ブレーキング時にサンプル・ポイントを2個使用するか4個使用するかを決定します。	0: Four sample points are used to measure the BEMF amplitude 1: Two sample points are used to measure the BEMF amplitude
AutoBrkCmpSatStop	5	ハプティック・ドライバBEMFゼロ交差コンパレータ・カウンタの飽和。 イネーブルすると、BrkCyc[4:0]半周期のいずれか1つのブレーキング・ウィンドウ内でゼロ交差コンパレータのカウンタが飽和した時点で、自動ブレーキング機能が終了します。	0: Do not exit braking when the zero crossing comparator counter is saturated 1: Exit braking when the zero crossing comparator counter is saturated
AutoBrkDis	4	ハプティック・ドライバの自動ブレーキングのディスエーブル。	0: Automatic braking enabled 1: Automatic braking disabled
EmfEn	3	ハプティック・ドライバのBEMF共振検出制御。	0: Disabled 1: Enabled
HptSel	2	ハプティック・ドライバのモード選択。	0: ERM mode 1: LRA mode
AlcEn	1	ハプティック・ドライバの自動レベル補償（ALC）制御。	0: Disabled 1: Enabled
ZccHysEn	0	ハプティック・ドライバのBEMFゼロ交差コンパレータのヒステリシス制御。	0: Disabled 1: Enabled (6mV typ)

HPTCfg1（0x12）

BIT	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Field	Vfs[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
Vfs	7:0	ハプティック・ドライバのフルスケール電圧（V_{FS}）。 必要なパーセンテージ出力振幅基準電圧V_{FS}を保存します。実際のV_{FS}は、Vfs[7:0]にプログラムされた値と現在のV_{HDIN}値のどちらか小さいほうになります。LSB = 5.5V/255 = 21.57mV。

HPTCfg2（0x13）

BIT	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Field	HDINDisTh[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
HDINDisTh	7:0	ハプティック・ドライバHDIN電圧のディスエーブル・スレッショルド。 V_{HDIN}がこのスレッショルド未満に低下すると、ハプティック・ドライバがロックされてディスエーブルされ、HptHDINDisInt割込みが発行されてHptFltが1に設定されます。ハプティック・ドライバをリスタートできるようにするにはHptFltUnlock = 1に設定します。LSB = 5.5V/255 = 21.57mV。

HPTCfg3（0x14）

BIT	7	6	5	4	3	2	1	0
Field	–	EmfSkipTh[6:0]						
Access Type	–	Write, Read						

ビットフィールド	ビット	説明
EmfSkipTh	6:0	ハプティック・ドライバBEMF検出のスキップ・スレッショルド。 V_{FS}のパーセンテージでプログラムされた絶対（下位7ビット）出力振幅がEmfSkipTh未満になると、返されるBEMF電圧が小さすぎて信頼できる検出ができなくなるので、BEMF検出がスキップされます。 LSB = 0.78%V_{FS}。

HPTCfg4（0x15）

BIT	7	6	5	4	3	2	1	0
Field	IniGssResDis	–	–	IniDly[4:0]				
Access Type	Write, Read	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
IniGssResDis	7	ハプティック・ドライバの初期推定値回復のディスエーブル。	0: Haptic driver uses IniGss[11:0] as the driving frequency after the end of BrkCyc[4:0] sinewave half periods 1: Haptic driver does not use IniGss[11:0] as the driving frequency after the end of BrkCyc[4:0] sinewave half periods
IniDly	4:0	以下に示すイベント後、BEMF測定を開始または再開する前にスキップするハプティック・ドライバのサイン波半周期数。 1）振動パターンの開始 2）出力方向の変化（例：ブレーキング） 3）プログラムされたパーセンテージ出力振幅（V_{FS}基準）が一度EmfSkipTh[6:0]を下回った後に、再びEmfSkipTh[6:0]より高くなる	

HPTCfg5（0x16）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	WidWdw[4:0]				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明
WidWdw	4:0	BEMFゼロ交差検出用のハプティック・ドライバのワイド・ウィンドウ時間幅。LSB = 現在加えられているサイン波周期の1/32。

HPTCfg6（0x17）

BIT	7	6	5	4	3	2	1	0
Field	NarWdw[3:0]				–	EmfSkipCyc[2:0]		
Access Type	Write, Read				–	Write, Read		

ビットフィールド	ビット	説明
NarWdw	7:4	BEMFゼロ交差検出用のハプティック・ドライバのナロー・ウィンドウ時間幅。LSB = 現在加えられているサイン波周期の1/32。
EmfSkipCyc	2:0	BEMFの検出完了後にBEMF検出をスキップするハプティック・ドライバの連続するサイン波半周期数。

HPTCfg7（0x18）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BlankWdw[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
BlankWdw	5:0	ワイド・ウィンドウ、ナロー・ウィンドウ、およびブレーキング・ウィンドウの終了後、あるいはその前に適用するハプティック・ドライバのゼロ交差コンパレータのブランキング時間。AutoBrkPeakMeas = 1でドライバが自動ブレーキング・ステートにある場合を除き、ブランキング・ウィンドウの時間幅を現在のサイン波周期の1/64より長くすることはできません。LSB = 128/25.6MHz。

HPTCfg8（0x19）

BIT	7	6	5	4	3	2	1	0

Field	–	–	–	BrkCyc[4:0]
Access Type	–	–	–	Write, Read

ビットフィールド	ビット	説明
BrkCyc	4:0	駆動方向変更後にアクティブ・ブレーキングを行う長さを示すハプティック・ドライバの連続サイン波半周期数。これらの半周期数が続く間は使用するゲインがBrkLpGain[1:0]、ウィンドウ時間幅がBrkWdw[4:0]になり、IniDly[4:0]、EmfSkipCyc[2:0]、およびNarCntLck[5:0]の効果はマスクされます。

HPTCfg9（0x1A）

BIT	7	6	5	4	3	2	1	0
Field	AutoBrkMeasWdw[3:0]				AutoBrkMeasTh[1:0]		AutoBrkMeasEnd[1:0]	
Access Type	Write, Read				Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
AutoBrkMeasWdw	7:4	自動ブレーキング時のハプティック・ドライバBEMF振幅検出ウィンドウ時間幅。LSB = 128/25.6MHz。	
AutoBrkMeasTh	3:2	自動ブレーキング時のハプティック・ドライバBEMF絶対振幅検出スレッショルド。	00: 2.5mV 01: 5.0mV 10: 7.5mV 11: 10.0mV
AutoBrkMeasEnd	1:0	自動ブレーキング時のハプティック・ドライバBEMF振幅検出終了カウンタ。 自動ブレーキングの停止条件となるBEMF絶対振幅の連続検出回数を設定します。BEMF絶対振幅がAutoBrkMeasTh[1:0]未満である状態がAutoBrkMeasWdw[3:0]の半分を超えるような検出の回数がこの値に達すると、自動ブレーキングが停止します。	00: 1 01: 2 10: 3 11: 4

HPTCfgA（0x1B）

BIT	7	6	5	4	3	2	1	0
Field	–	BrkLpGain[1:0]		–	BrkWdw[3:0]			
Access Type	–	Write, Read		–	Write, Read			

ビットフィールド	ビット	説明	デコード
BrkLpGain	6:5	ハプティック・ドライバのブレーキング・ウィンドウ・ゲイン。 前回加えたサイン波を基準とした新しいサイン波半周期のシフト量を計算するために、ゼロ交差コンパレータが検出した位相遅延に乗じるゲインを設定します。この値はブレーキング・ウィンドウがアクティブになっているときに使用します。	00: 1 01: 1/2 10: 1/4 11: 1/8

ビットフィールド	ビット	説明	デコード
BrkWdw	3:0	BEMFゼロ交差検出用のハプティック・ドライバのブレーキング・ウィンドウ時間幅。LSB = 現在加えられているサイン波周期の1/32。	

HPTCfgB（0x1C）

BIT	7	6	5	4	3	2	1	0
Field	ZccSlowEn	FltrCntrEn	–	DrvTmo[4:0]				
Access Type	Write, Read	Write, Read	–	Write, Read				

ビットフィールド	ビット	説明	デコード
ZccSlowEn	7	ハプティック・ドライバのゼロ交差コンパレータ・スローダウンのイネーブル。	0: Zero-crossing comparator operates in normal mode 1: Slows down the zero-crossing comparator by 2X for stronger antialiasing filtering
FltrCntrEn	6	ハプティック・ドライバのゼロ交差イベント・キャプチャリング・フィルタのイネーブル。	0: Zero-crossing measured using single comparator/transition 1: Zero-crossing measured using an up/down counter that samples (at 25.6MHz) the output of the comparator for the whole duration of the enabled window (wide, narrow, or braking). The counter starts at zero (mid-code) and ends at a positive or negative code depending on whether the average zero-crossing event occurs before or after than the expected time. The closer the zero-crossing is on average to the expected time, the closer to zero code returned at the end of the window is. Phase error (in 25.6MHz period units) can be calculated by dividing the resulting code at the end of the window by 2. The usage of the up/down counter enables filtering/noise rejection that could otherwise cause a systematic shift in the phase error detected.
DrvTmo	4:0	ハプティック・ドライバの振動タイムアウト。 振動タイムアウトに達した場合はハプティック・ドライバがロックされてディスエーブルされ、HptTmoInt割込みが発行されてHptFltが1に設定されます。ハプティック・ドライバをリスタートできるようにするにはHptFltUnlock = 1に設定します。LSB = 1s。DrvTmo[4:0] = 00000の場合タイムアウトはディスエーブルされます。	

HPTCfgC（0x1D）

BIT	7	6	5	4	3	2	1	0
Field	IniGss[7:0][7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
IniGss[7:0]	7:0	ハプティック・ドライバの初期推定周波数。 BEMF周波数の初期推定値 = ((25.6MHz/64) / IniGss[11:0])。

HPTCfgD（0x1E）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	IniGss[11:8][3:0]			
Access Type	–	–	–	–	Write, Read			

ビットフィールド	ビット	説明
IniGss[11:8]	3:0	ハプティック・ドライバの初期推定周波数。 BEMF周波数の初期推定値 = ((25.6MHz/64) / IniGss[11:0])。

HPTCfgE（0x1F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	NarCntLck[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
NarCntLck	5:0	検出ウィンドウをワイドからナローにする条件となるハプティック・ドライバの連続サイン波半周期数。検出ウィンドウをワイドからナローに狭めるには、この数以内でBEMFが検出され、なおかつ位相遅延がナロー・ウィンドウの範囲内に収まっていなければなりません。

HPTCfgF（0x20）

BIT	7	6	5	4	3	2	1	0
Field	–	NarLpGain[2:0]			–	WidLpGain[2:0]		
Access Type	–	Write, Read			–	Write, Read		

ビットフィールド	ビット	説明	デコード
NarLpGain	6:4	ハプティック・ドライバのナロー・ウィンドウ・ゲイン。 前回加えたサイン波を基準とした新しいサイン波半周期のシフト量を計算するために、ゼロ交差コンパレータが検出した位相遅延に乗じるゲインを設定します。この値はナロー・ウィンドウがアクティブになっているときに使用します。	000: 1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128

ビットフィールド	ビット	説明	デコード
WidLpGain	2:0	ハプティック・ドライバのワイド・ウィンドウ・ゲイン。 前回加えたサイン波を基準とした新しいサイン波半周期のシフト量を計算するために、ゼロ交差コンパレータが検出した位相遅延に乗じるゲインを設定します。この値はワイド・ウィンドウがアクティブになっているときに使用します。	000: 1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128

HptAutoTune（0x22）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	AutoTuneGood	AutoTuneRun
Access Type	–	–	–	–	–	–	Read Only	Write, Read

ビットフィールド	ビット	説明	デコード
AutoTuneGood	1	ハプティック・ドライバの自動調整手順結果。	0: BEMF resonant frequency locking was not achieved with the auto-tune procedure 1: BEMF resonant frequency locking was achieved with the auto-tune procedure
AutoTuneRun	0	ハプティック・ドライバの自動調整コマンド。 自動調整手順を開始するにはAutoTuneRunを1に設定します。自動調整手順が完了すると、AutoTuneRunは自動的にクリアされて0になります。	

BEMFPeriod0（0x23）

BIT	7	6	5	4	3	2	1	0
Field	BEMFPeriod[7:0][7:0]							
Access Type	Read Only							

ビットフィールド	ビット	説明
BEMFPeriod[7:0]	7:0	自動調整機能によるハプティック・ドライバ共振周波数の分解能 = ((25.6MHz / 64) / BEMFPeriod[11:0])。

BEMFPeriod1（0x24）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	BEMFPeriod[11:8][3:0]			

Access Type	–	–	–	–	Read Only

ビットフィールド	ビット	説明
BEMFPeriod[11:8]	3:0	自動調整機能によるハプティック・ドライバ共振周波数の分解能 = ((25.6MHz / 64) / BEMFPeriod[11:0])。

HptETRGOdAmp（0x30）

BIT	7	6	5	4	3	2	1	0
Field	ETRGOdAmp[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ETRGOdAmp	7:0	ハプティック・ドライバのオーバードライブ時間の設定出力振幅を、ETRGモードにおけるV_{FS}のパーセンテージで表した値。LSB = 0.78%V_{FS}。MSBは駆動する振幅の符号を表します。これは常に0に設定する必要があります。

HptETRGOdDur（0x31）

BIT	7	6	5	4	3	2	1	0
Field	ETRGOdDur[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ETRGOdDur	7:0	ETRGモードにおけるハプティック・ドライバのオーバードライブ時間。LSB = 5ms。

HptETRGActAmp（0x32）

BIT	7	6	5	4	3	2	1	0
Field	ETRGActAmp[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ETRGActAmp	7:0	ハプティック・ドライバのノーマル・ドライブ時間の設定出力振幅を、ETRGモードにおけるV_{FS}のパーセンテージで表した値。LSB = 0.78%V_{FS}。MSBは駆動する振幅の符号を表します。これは常に0に設定する必要があります。

HptETRGActDur（0x33）

BIT	7	6	5	4	3	2	1	0
Field	ETRGActDur[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ETRGActDur	7:0	ETRGモードにおけるハプティック・ドライバのノーマル・ドライブ時間。LSB = 10ms。

HptETRGBrkAmp（0x34）

BIT	7	6	5	4	3	2	1	0
Field	ETRGBrkAmp[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ETRGBrkAmp	7:0	ハプティック・ドライバのブレーキング時間の設定出力振幅を、ETRGモードにおけるV_{FS}のパーセンテージで表した値。LSB = 0.78%V_{FS}。MSBは駆動する振幅の符号を表します。これは常に1に設定する必要があります。

HptETRGBrkDur（0x35）

BIT	7	6	5	4	3	2	1	0
Field	ETRGBrkDur[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
ETRGBrkDur	7:0	ETRGモードにおけるハプティック・ドライバのブレーキング時間はLSB = 5ms。AutoBrkDis = 0の場合は、ETRGBrkDur[7:0]の最大ブレーキング時間で自動ブレーキング・プロセスがトリガされます。AutoBrkDis = 1の場合、必要な最大ブレーキング効率を実現するにはETRGBrkDur[7:0]を調整する必要があります。

HptRAMAdd（0x40）

BIT	7	6	5	4	3	2	1	0
Field	HptRAMAdd[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明
HptRAMAdd	7:0	ハプティック・ドライバのRAMアドレス。パターン・サンプルはこれらのビットに保存されます。

HptRAMDataH（0x41）

BIT	7	6	5	4	3	2	1	0
Field	HptRAMDataH[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HptRAMDataH	7:0	ビット7～6：nLSx ビット5：AmpSign ビット4～0：Amp[6:2]	nLSx: Sets the behavior of a sample in the pattern. 00 = Current sample is the last sample in the pattern 01 = Current sample is not the last sample in the pattern 10 = Interpolate current sample with next sample 11 = Current sample is the last sample in the pattern. Repeat the entire pattern RPTx[3:0] times AmpSign: Sign of haptic amplitude in current sample 0 = Positive 1 = Negative Amp: Sets the amplitude of pattern sample x as a 7-bit percentage of V_{FS} and a 1-bit direction.

HptRAMDataM（0x42）

BIT	7	6	5	4	3	2	1	0
Field	HptRAMDataM[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HptRAMDataM	7:0	ビット7～6：Amp[1:0] ビット5～1：Dur[4:0] ビット0：Wait[4]	Amp: Sets the amplitude of pattern sample x as a 7-bit percentage of V_{FS} and a 1-bit direction. Dur: Sets the duration of time the driver outputs the amplitude of the current sample in increments of 5ms 00000 = 0ms 00001 = 5ms ... 11110 = 150ms 11111 = 155ms Wait: Sets the duration of time the driver waits at zero amplitude before the next sample in increments of 5ms

ビットフィールド	ビット	説明	デコード
			00000 = 0ms 00001 = 5ms ... 11110 = 150ms 11111 = 155ms

HptRAMDataL（0x43）

BIT	7	6	5	4	3	2	1	0
Field	HptRAMDataL[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
HptRAMDataL	7:0	ビット7～4：Wait[3:0] ビット3～0：RPTx[3:0]	Wait: Sets the duration of time the driver waits at zero amplitude before the next sample in increments of 5ms 00000 = 0ms 00001 = 5ms ... 11110 = 150ms 11111 = 155ms RPTx: Sets the number of times to repeat the sample before moving to the next sample in the pattern. If nLSx[1:0] = 11, this sets the number of times to repeat the whole pattern. 0000 = Repeat 0 times. If nLSx = 00, automatic braking is performed on this sample with a maximum braking time equal to Wait[4:0]. 0001 = Repeat 1 time … 1110 = Repeat 14 times 1111 = Repeat 15 times

ADCEn（0x50）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	ADCConvLaunch
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明
ADCConvLaunch	0	ADC変換開始コマンド。 ADC変換を開始するにはADCConvLaunch = 1に設定します。変換が完了すると、ADCConvLaunchは自動的にクリアされて0になります。

ADCCfg（0x51）

BIT	7	6	5	4	3	2	1	0

Field	–	–	ADCAvgSiz[2:0]	ADCSel[2:0]
Access Type	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ADCAvgSiz	5:3	ADC平均のサイズ。 ADCは2ADCAvgSiz[2:0]回連続して平均測定を行います。	000: No averaging (1 measurement) 001: Average 2 measurements 010: Average 4 measurements 011: Average 8 measurements 100: Average 16 measurements 101: Average 32 measurements 110: Average 64 measurements 111: Average 128 measurements
ADCSel	2:0	ADCチャンネルの選択。	000: V_{HDIN} 001: V_{MON} (use MONRatioConfig[1:0] = "00") 010: Reserved 011: V_{CHGIN} 100: V_{CPOUT} 101: V_{BSTOUT} 110: Reserved 111: Reserved

ADCDatAvg（0x53）

BIT	7	6	5	4	3	2	1	0
Field	ADCAvg[7:0]							
Access Type	Read Only							

ビットフィールド	ビット	説明
ADCAvg	7:0	ADC変換の平均値。 $2^{ADCAvgSiz[2:0]}$回のADC測定の平均値を格納します。

ADCDatMin（0x54）

BIT	7	6	5	4	3	2	1	0
Field	ADCMin[7:0]							
Access Type	Read Only							

ビットフィールド	ビット	説明
ADCMin	7:0	ADC変換の最小値。 $2^{ADCAvgSiz[2:0]}$回のADC測定の最小値を格納します。

ADCDatMax（0x55）

BIT	7	6	5	4	3	2	1	0
Field	ADCMax[7:0]							
Access Type	Read Only							

ビットフィールド	ビット	説明
ADCMax	7:0	ADC変換の最大値。 $2^{ADCAvgSiz[2:0]}$回のADC測定の最大値を格納します。

PMIC レジスタ – ペリフェラル ID：0x50/0x51

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

ADDRESS	NAME	MSB							LSB
PMIC Interrupts and Status									
0x00	ChipID[7:0]	ChipRev[7:0]							
0x01	Status0[7:0]	–	–	ThmStat[2:0]			ChgStat[2:0]		
0x02	Status1[7:0]	–	–	ILim	UsbOVP	UsbOk	ChgJEITASD	ChgJEITAReg	ChgTmo
0x03	Status2[7:0]	ChgThmSD	–	ThmLDO_LSW	UVLOLDO2	UVLOLDO1	–	–	–
0x04	Status3[7:0]	BBstFault	HrvBatCmp	SysBatLim	ChgSysLim	ChgStep	ThmBk1	ThmBk2	ThmBk3
0x05	Status4[7:0]	BatGood	BatRegDone	BstFault	–	–	–	–	–
0x06	Int0[7:0]	ThmStatInt	ChgStatInt	ILimInt	UsbOVPInt	UsbOkInt	ChgJEITASDInt	ChgJEITARegInt	ChgTmoInt
0x07	Int1[7:0]	ChgThmSDInt	–	ThmLDO_LSWInt	UVLOLDO2Int	UVLOLDO1Int	–	LSW1TmoInt	LSW2TmoInt
0x08	Int2[7:0]	BBstFaultInt	HrvBatCmpInt	SysBatLimInt	ChgSysLimInt	ChgStepInt	ThmBk1Int	ThmBk2Int	ThmBk3Int
0x09	Int3[7:0]	BatGoodInt	BatRegDoneInt	BstFaultInt	–	I2cCrcFailInt	I2cTmoInt	HptStatInt	ADCStatInt
0x0A	IntMask0[7:0]	ThmStatIntM	ChgStatIntM	ILimIntM	UsbOVPIntM	UsbOkIntM	ChgJEITASDIntM	ChgJEITARegIntM	ChgTmoIntM

ADDRESS	NAME	MSB							LSB
0x0B	IntMask1[7:0]	ChgThmSDIntM	–	ThmLDO_LSWIntM	UVLOLDO2IntM	UVLOLDO1IntM	–	LSW1TmoIntM	LSW2TmoIntM
0x0C	IntMask2[7:0]	BBstFaultIntM	HrvBatCmpIntM	SysBatLimIntM	ChgSysLimIntM	ChgStepIntM	ThmBk1IntM	ThmBk2IntM	ThmBk3IntM
0x0D	IntMask3[7:0]	BatGoodIntM	BatRegDoneIntM	BstFaultIntM	–	I2cCrcFailIntM	I2cTmoIntM	HptStatIntM	ADCStatIntM
Harvester									
0x0F	ILimCntl[7:0]	SysMinVlt*[2:0]			ILimBlank*[1:0]		ILimCntl*[2:0]		
0x10	ChgCntl0[7:0]	FrcPChg*	ChgBatReChg*[1:0]		ChgBatReg*[3:0]				ChgEn*
0x11	ChgCntl1[7:0]	BatPD*	VPChg*[2:0]			IPChg*[1:0]		IChgDone*[1:0]	
0x12	ChgTmr[7:0]	ChgAutoStop*	ChgAutoReSta*	MtChgTmr*[1:0]		FChgTmr*[1:0]		PChgTmr*[1:0]	
0x13	StepChgCfg0[7:0]	–	ChgStepHys*[2:0]			ChgStepRise*[3:0]			
0x14	StepChgCfg1[7:0]	–	–	–	VSysUvlo*[1:0]		ChgIStep*[2:0]		
0x15	ThmCfg0[7:0]	–	ChgThmEn*[1:0]		ChgCoolBatReg*[1:0]		ChgCoolFChg*[2:0]		
0x16	ThmCfg1[7:0]	–	–	–	ChgRoomBatReg*[1:0]		ChgRoomIFChg*[2:0]		
0x17	ThmCfg2[7:0]	HrvThmEn[1:0]		–	ChgWarmBatReg*[1:0]		ChgWarmIFChg*[2:0]		
0x18	HrvCfg0[7:0]	HrvBatSys[1:0]		HrvBatReChg[1:0]		HrvBatReg[3:0]			
0x19	HrvCfg1[7:0]	–	HrvThmDis	HrvWarmBatReg[1:0]		HrvRoomBatReg[1:0]		HrvCoolBatReg[1:0]	
MON Mux									
0x1A	MONCfg[7:0]	–	MONRatioConfig[1:0]		MONOffHiZ	MONCntl[3:0]			
Buck1									
0x1B	Buck1Ena[7:0]	Buck1Seq[2:0]			–	–	–	Buck1En[1:0]	
0x1C	Buck1Cfg0[7:0]	Buck1IntegDis	Buck1PGOODEn	Buck1Fast	Buck1PsvDsc	Buck1ActDsc	Buck1LowEMI	Buck1FETScale	Buck1EnLXSns
0x1D	Buck1Cfg1[7:0]	–	–	Buck1MPC2Fast	Buck1FPWM	Buck1IAdptDis	–	–	–

ADDRESS	NAME	MSB							LSB
0x1E	Buck1Iset[7:0]	Buck1ISetLookUpDis	–	–	–	Buck1ISet[3:0]			
0x1F	Buck1VSet[7:0]	–	–	Buck1VSet[5:0]					
0x20	Buck1Ctr[7:0]	Buck1MPC7	Buck1MPC6	Buck1MPC5	Buck1MPC4	Buck1MPC3	Buck1MPC2	Buck1MPC1	Buck1MPC0
0x21	Buck1DvsCfg0[7:0]	–	–	–	Buck1DVSCfg[4:0]				
0x22	Buck1DvsCfg1[7:0]	–	–	Buck1DVSVlt0[5:0]					
0x23	Buck1DvsCfg2[7:0]	–	–	Buck1DVSVlt1[5:0]					
0x24	Buck1DvsCfg3[7:0]	–	–	Buck1DVSVlt2[5:0]					
0x25	Buck1DvsCfg4[7:0]	–	–	Buck1DVSVlt3[5:0]					
0x26	Buck1DvsSpi[7:0]	–	–	Buck1SPIVlt[5:0]					
Buck2									
0x27	Buck2Ena[7:0]	Buck2Seq[2:0]			–	–	–	Buck2En[1:0]	
0x28	Buck2Cfg[7:0]	Buck2EnbINTGR	Buck2PGOODena	Buck2Fast	Buck2PsvDsc	Buck2ActDsc	Buck2LowEMI	Buck2FETScale	Buck2EnLxSns
0x29	Buck2Cfg1[7:0]	–	–	Buck2MPCFast	Buck2FPWM	Buck2IAdptDis	–	–	–
0x2A	Buck2Iset[7:0]	Buck2ISetLookUpDis	–	–	–	Buck2ISet[3:0]			
0x2B	Buck2VSet[7:0]	–	–	Buck2VSet[5:0]					
0x2C	Buck2Ctr[7:0]	Buck2MPC7	Buck2MPC6	Buck2MPC5	Buck2MPC4	Buck2MPC3	Buck2MPC2	Buck2MPC1	Buck2MPC0
0x2D	Buck2DvsCfg0[7:0]	–	–	–	Buck2DvsCfg[4:0]				
0x2E	Buck2DvsCfg1[7:0]	–	–	Buck2DvsVlt0[5:0]					

ADDRESS	NAME	MSB							LSB
0x2F	Buck2DvsCfg2[7:0]	–	–	Buck2DvsVlt1[5:0]					
0x30	Buck2DvsCfg3[7:0]	–	–	Buck2DvsVlt2[5:0]					
0x31	Buck2DvsCfg4[7:0]	–	–	Buck2DvsVlt3[5:0]					
0x32	Buck2DvsSpi[7:0]	–	–	Buck2SPIVlt[5:0]					
Buck3									
0x34	Buck3Ena[7:0]	Buck3Seq[2:0]			–	–	–	Buck3En[1:0]	
0x35	Buck3Cfg[7:0]	Buck3EnbINTGR	Buck3PGOODena	Buck3Fast	Buck3PsvDsc	Buck3ActDsc	Buck3LowEMI	Buck3FETScale	Buck3EnLxSns
0x36	Buck3Cfg1[7:0]	–	Buck3DisLDO	Buck3MPCFast	Buck3FPWM	Buck3IAdptDis	–	–	–
0x37	Buck3Iset[7:0]	Buck3ISetLookUpDis	–	–	–	Buck3ISet[3:0]			
0x38	Buck3VSet[7:0]	–	–	Buck3VSet[5:0]					
0x39	Buck3Ctr[7:0]	Buck3MPC7	Buck3MPC6	Buck3MPC5	Buck3MPC4	Buck3MPC3	Buck3MPC2	Buck3MPC1	Buck3MPC0
0x3A	Buck3DvsCfg0[7:0]	–	–	–	Buck3DvsCfg[4:0]				
0x3B	Buck3DvsCfg1[7:0]	–	–	Buck3DvsVlt0[5:0]					
0x3C	Buck3DvsCfg2[7:0]	–	–	Buck3DvsVlt1[5:0]					
0x3D	Buck3DvsCfg3[7:0]	–	–	Buck3DvsVlt2[5:0]					
0x3E	Buck3DvsCfg4[7:0]	–	–	Buck3DvsVlt3[5:0]					
0x3F	Buck3DvsSpi[7:0]	–	–	Buck3SPIVlt[5:0]					
Buck-Boost									

ADDRESS	NAME	MSB							LSB
0x40	BBstEna[7:0]	BBstSeq[2:0]			–	–	–	BBstEn[1:0]	
0x41	BBstCfg[7:0]	BBstISetLookUpDis	–	–	BBstLowEMI	BBstActDsc	BBstRampEn	BBstMode	BBstPsvDisc
0x42	BBstVSet[7:0]	–	–	BBstVSet[5:0]					
0x43	BBstISet[7:0]	BBstIPSet2[3:0]				BBstIPSet1[3:0]			
0x44	BBstCfg1[7:0]	–	BBstIAdptDis	BBstFast	BBstZCCmpDis	BBstFETScale	BBstMPC1FastCntl	BBFHighSh[1:0]	
0x45	BBstCtr0[7:0]	BBstMPC7	BBstMPC6	BBstMPC5	BBstMPC4	BBstMPC3	BBstMPC2	BBstMPC1	BBstMPC0
0x46	BBstCtr1[7:0]	–	–	–	BBstDvsCfg[4:0]				
0x47	BBstDvsCfg0[7:0]	–	–	BBstDvsVlt0[5:0]					
0x48	BBstDvsCfg1[7:0]	–	–	BBstDvsVlt1[5:0]					
0x49	BBstDvsCfg2[7:0]	–	–	BBstDvsVlt2[5:0]					
0x4A	BBstDvsCfg3[7:0]	–	–	BBstDvsVlt3[5:0]					
0x4B	BBstDvsSpi[7:0]	–	–	BBstSPIVlt[5:0]					
LDO1									
0x51	LDO1Ena[7:0]	LDO1Seq[2:0]			–	–	–	LDO1En[1:0]	
0x52	LDO1Cfg[7:0]	–	–	–	LDO1_MPC0CNF	LDO1_MPC0CNT	LDO1ActDsc	LDO1Mode	LDO1PsvDsc
0x53	LDO1VSet[7:0]	–	–	LDO1VSet[5:0]					
0x54	LDO1Ctr[7:0]	LDO1MPC7	LDO1MPC6	LDO1MPC5	LDO1MPC4	LDO1MPC3	LDO1MPC2	LDO1MPC1	LDO1MPC0
LDO2									
0x55	LDO2Ena[7:0]	LDO2Seq[2:0]			–	–	–	LDO2En[1:0]	
0x56	LDO2Cfg[7:0]	–	–	–	–	LDO2Supply	LDO2ActDsc	LDO2Mode	LDO2PsvDsc
0x57	LDO2VSet[7:0]	–	–	–	LDO2VSet[4:0]				

ADDRESS	NAME	MSB							LSB
0x58	LDO2Ctr[7:0]	LDO2MPC7	LDO2MPC6	LDO2MPC5	LDO2MPC4	LDO2MPC3	LDO2MPC2	LDO2MPC1	LDO2MPC0
Load Switch 1									
0x59	LSW1Ena[7:0]	LSW1Seq[2:0]			–	–	–	LSW1En[1:0]	
0x5A	LSW1Cfg[7:0]	–	–	–	–	–	LSW1ActDsc	LSW1LowIq	LSW1PsvDsc
0x5B	LSW1Ctr[7:0]	LSW1MPC7	LSW1MPC6	LSW1MPC5	LSW1MPC4	LSW1MPC3	LSW1MPC2	LSW1MPC1	LSW1MPC0
Load Switch 2									
0x5C	LSW2Ena[7:0]	LSW2Seq[2:0]			–	–	–	LSW2En[1:0]	
0x5D	LSW2Cfg[7:0]	–	–	–	–	–	LSW2ActDsc	LSW2LowIq	LSW2PsvDsc
0x5E	LSW2Ctr[7:0]	LSW2MPC7	LSW2MPC6	LSW2MPC5	LSW2MPC4	LSW2MPC3	LSW2MPC2	LSW2MPC1	LSW2MPC0
Charge Pump									
0x5F	ChgPmpEna[7:0]	ChgPmpSeq[2:0]			–	–	–	ChgPmpEn[1:0]	
0x60	ChgPmpCfg[7:0]	–	–	–	–	–	–	CPVSet	ChgPmpPsv
0x61	ChgPmpCtr[7:0]	CHGPMPMPC7	CHGPMPMPC6	CHGPMPMPC5	CHGPMPMPC4	CHGPMPMPC3	CHGPMPMPC2	CHGPMPMPC1	CHGPMPMPC0
Boost									
0x62	BoostEna[7:0]	BoostSeq[2:0]			–	–	–	BstEn[1:0]	
0x63	BoostCfg[7:0]	–	–	–	–	BstPsvDsc	BstIAdptEn	BstFastStrt	BstFETScale
0x64	BoostISet[7:0]	BstISetLookUpDis	–	–	–	BstISet[3:0]			
0x65	BoostVSet[7:0]	–	–	BstVSet[5:0]					
0x66	BoostCtr[7:0]	BstMPC7	BstMPC6	BstMPC5	BstMPC4	BstMPC3	BstMPC2	BstMPC1	BstMPC0
MPC Control									
0x67	MPC0Cfg[7:0]	MPC0Read	–	–	MPC0Out	MPC0OD	MPC0HiZB	MPC0Res	MPC0Pup

ADDRESS	NAME	MSB							LSB
0x68	MPC1Cfg[7:0]	MPC1Read	–	–	MPC1Out	MPC1OD	MPC1HiZB	MPC1Res	MPC1Pup
0x69	MPC2Cfg[7:0]	MPC2Read	–	–	MPC2Out	MPC2OD	MPC2HiZB	MPC2Res	MPC2Pup
0x6A	MPC3Cfg[7:0]	MPC3Read	–	–	MPC3Out	MPC3OD	MPC3HiZB	MPC3Res	MPC3Pup
0x6B	MPC4Cfg[7:0]	MPC4Read	–	–	MPC4Out	MPC4OD	MPC4HiZB	MPC4Res	MPC4Pup
0x6C	MPC5Cfg[7:0]	MPC5Read	–	–	MPC5Out	MPC5OD	MPC5HiZB	MPC5Res	MPC5Pup
0x6D	MPC6Cfg[7:0]	MPC6Read	–	–	MPC6Out	MPC6OD	MPC6HiZB	MPC6Res	MPC6Pup
0x6E	MPC7Cfg[7:0]	MPC7Read	–	–	MPC7Out	MPC7OD	MPC7HiZB	MPC7Res	MPC7Pup
0x6F	MPCItrSts[7:0]	–	–	USBOkMPCSts	–	–	BK3PgMPCSts	BK2PgMPCSts	BK1PgMPCSts
0x70	BK1DedIntCfg[7:0]	BK1PGMPCInt	BK1MPC6Sel	BK1MPC5Sel	BK1MPC4Sel	BK1MPC3Sel	BK1MPC2Sel	BK1MPC1Sel	BK1MPC0Sel
0x71	BK2DedIntCfg[7:0]	BK2PGMPCInt	BK2MPC6Sel	BK2MPC5Sel	BK2MPC4Sel	BK2MPC3Sel	BK2MPC2Sel	BK2MPC1Sel	BK2MPC0Sel
0x72	BK3DedIntCfg[7:0]	BK3PGMPCInt	BK3MPC6Sel	BK3MPC5Sel	BK3MPC4Sel	BK3MPC3Sel	BK3MPC2Sel	BK3MPC1Sel	BK3MPC0Sel
0x73	HptDedIntCfg[7:0]	HptStatDedInt	HPTMPC6Sel	HPTMPC5Sel	HPTMPC4Sel	HPTMPC3Sel	HPTMPC2Sel	HPTMPC1Sel	HPTMPC0Sel
0x74	ADCDedIntCfg[7:0]	ADCStatMPCInt	ADCMPC6Sel	ADCMPC5Sel	ADCMPC4Sel	ADCMPC3Sel	ADCMPC2Sel	ADCMPC1Sel	ADCMPC0Sel
0x75	USBOkDedIntCfg[7:0]	USBOkMPCInt	USBOkMPC6Sel	USBOkMPC5Sel	USBOkMPC4Sel	USBOkMPC3Sel	USBOkMPC2Sel	USBOkMPC1Sel	USBOkMPC0Sel
LED Current Sinks									
0x78	LEDCommon[7:0]	LED_BoostLoop	–	–	LED_Open[2:0]			LEDIStep[1:0]	
0x79	LED0Ref[7:0]	–	–	–	–	–	–	LED0_REFSEL[1:0]	
0x7A	LED0Ctr[7:0]	LED0En[2:0]			LED0ISet[4:0]				
0x7B	LED1Ctr[7:0]	LED1En[2:0]			LED1ISet[4:0]				
0x7C	LED2Ctr[7:0]	LED2En[2:0]			LED2ISet[4:0]				
Boot Behavior and PFNx status									
0x7D	PFN[7:0]	–	–	–	–	–	–	PFN2Pin	PFN1Pin

ADDRESS	NAME	MSB							LSB
0x7E	BootCfg[7:0]	PwrRstCfg[3:0]				SftRstCfg	BootDly[1:0]		ChgAlwTry
Power Commands and Lock Function									
0x7F	PwrCfg[7:0]	–	–	–	–	–	–	–	StayOn
0x80	PwrCmd[7:0]	PwrCmd[7:0]							
0x81	BuckCfg[7:0]	Bk2FrcDCM	Bk1FrcDCM	Bk3DVSCur	Bk2DVSCur	Bk1DVSCur	Bk3LowBW	Bk2LowBW	Bk1LowBW
0x83	LockMsk[7:0]	LD2Lck	LD1Lck	BBLck	BstLck	BK3Lck	BK2Lck	BK1Lck	ChgLck
0x84	LockUnlock[7:0]	PASSWD[7:0]							
SFOUT									
0x86	SFOUTCtr[7:0]	SFOUTVSet	–	–	–	–	–	SFOUTEn[1:0]	
0x87	SFOUTMPC[7:0]	SFOUTMPC7	SFOUTMPC6	SFOUTMPC5	SFOUTMPC4	SFOUTMPC3	SFOUTMPC2	SFOUTMPC1	SFOUTMPC0
OTP Readback									
0x88	I2C_OTP ADD[7:0]	OTPDIG__ADD[7:0]							
0x89	I2C_OTP DAT[7:0]	OTPDIG__DAT[7:0]							

レジスタの詳細

ChipID（0x0）

BIT	7	6	5	4	3	2	1	0
Field	ChipRev[7:0]							
Access Type	Read Only							

ビットフィールド	ビット	説明
ChipRev	7:0	ChipRev[7:0]ビットは、MAX20366のハードウェア・リビジョンに関する情報を示します。

Status0（0x1）

BIT	7	6	5	4	3	2	1	0
Field	–	–	ThmStat[2:0]			ChgStat[2:0]		
Access Type	–	–	Read Only			Read Only		

ビットフィールド	ビット	説明	デコード
ThmStat	5:3	サーミスタ・モニタリングのステータス。	000: Cold zone ($V_{THM\_COLD} < V_{THM} < V_{THM\_DIS}$) 001: Cool zone($V_{THM\_COOL} < V_{THM} < V_{THM\_COLD}$) 010: Room zone ($V_{THM\_WARM} < V_{THM} < V_{THM\_COOL}$) 011: Warm zone ($V_{THM\_HOT} < V_{THM} < V_{THM\_WARM}$) 100: Hot zone ($V_{THM} < V_{THM\_HOT}$) 101: No thermistor detected ($V_{THM} > V_{THM\_DIS}$) 110: Thermistor monitoring disabled because CHGIN input voltage is present and ChgThmEn[1:0] = "00" or because CHGIN input voltage is not present and ChgThmEn[1:0] = HrvThmEn[1:0] = "00". 111: Thermistor monitoring disabled because CHGIN input voltage is not present, ChgThmEn[1:0] is not equal to "00" and HrvThmEn[1:0] = "00".
ChgStat	2:0	チャージャのステータス。	000: Charger off 001: Charging suspended due to temperature (see Figure 33, the Battery Charger-State Diagram) 010: Precharge in progress 011: Fast-charge constant current in progress 100: Fast-charge constant voltage in progress 101: Maintain charge in progress 110: Maintain charger timer done 111: Charger fault condition (see Figure 33, the Battery Charger-State Diagram)

Status1（0x2）

BIT	7	6	5	4	3	2	1	0
Field	–	–	ILim	UsbOVP	UsbOk	ChgJEITASD	ChgJEITAReg	ChgTmo
Access Type	–	–	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
ILim	5	CHGIN入力電流制限のステータス。 CHGIN入力電圧が存在し、なおかつ[UsbOVP,UsbOk] = 01の場合のみ有効です。	0: CHGIN input current below limit 1: CHGIN input current limit active
UsbOVP	4	CHGINの過電圧保護（OVP）ステータス。	0: CHGIN overvoltage not detected 1: CHGIN overvoltage detected
UsbOk	3	CHGIN入力電圧のステータス。	0: CHGIN input voltage not present or outside of valid range 1: CHGIN input voltage present and valid
ChgJEITASD	2	JEITAによるバッテリ・チャージャ・シャットダウンのステータス。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01で、なおかつチャージャがイネーブルされている場合のみ有効です。	0: Charger operating normally or disabled 1: Charger disabled due to JEITA

ビットフィールド	ビット	説明	デコード
ChgJEITAReg	1	JEITAによるバッテリ・チャージャ電流または電圧低減のステータス。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01で、なおかつチャージャがイネーブルされている場合のみ有効です。	0: Charger operating normally or disabled. 1: Charger current or voltage being actively reduced due to JEITA.
ChgTmo	0	チャージャ・タイムアウト条件のステータス。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01で、なおかつチャージャがイネーブルされている場合のみ有効です。	0: Charger operating normally or disabled 1: Charger has reached a time-out condition

Status2（0x3）

BIT	7	6	5	4	3	2	1	0
Field	ChgThmSD	–	ThmLDO_LSW	UVLOLDO2	UVLOLDO1	–	–	–
Access Type	Read Only	–	Read Only	Read Only	Read Only	–	–	–

ビットフィールド	ビット	説明	デコード
ChgThmSD	7	入力リミッタおよびチャージャのサーマル・シャットダウンのステータス。 CHGIN入力電圧が存在する場合のみ有効です。	0: Input limiter and charger operating normally 1: Input limiter and charger in thermal shutdown
ThmLDO_LSW	5	LDO1、LDO2、LSW1、LSW2のサーマル・シャットダウンのステータス。	0: All the above blocks are operating normally 1: One of the above blocks is in thermal shutdown
UVLOLDO2	4	LDO2 UVLOのステータス。	0: LDO2 operating normally 1: LDO2 UVLO active
UVLOLDO1	3	LDO1 UVLOのステータス。	0: LDO1 operating normally 1: LDO1 UVLO active

Status3（0x4）

BIT	7	6	5	4	3	2	1	0
Field	BBstFault	HrvBatCmp	SysBatLim	ChgSysLim	ChgStep	ThmBk1	ThmBk2	ThmBk3
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
BBstFault	7	昇降圧フォルトのステータス	0: Buck-Boost operating normally 1: Buck-Boost under fault condition
HrvBatCmp	6	ハーベスタBATコンパレータのステータス。 HrvEn=1でハーベスタとの連携がイネーブルになっている場合のみ有効です。	0: $V_{BAT} < V_{HARV\_BAT\_REG}$ (with $V_{HARV\_BAT\_RECHG}$ hysteresis) 1: $V_{BAT} > V_{HARV\_BAT\_REG}$ (with $V_{HARV\_BAT\_RECHG}$ hysteresis)
SysBatLim	5	SYS電圧によるチャージャ・レギュレーションのステータス。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01で、なおかつチャージャがイネーブルされている場合のみ有効です。	0: Charge current is not being actively reduced to regulate V_{SYS} 1: Charge current actively being reduced to regulate V_{SYS} collapse

ビットフィールド	ビット	説明	デコード
ChgSysLim	4	CHGIN電圧による入力リミッタ・レギュレーションのステータス。 CHGIN入力電圧が存在し、なおかつ[UsbOVP,UsbOk] = 01の場合のみ有効です。	0: Input limiter current is not being actively reduced to regulate V_{CHGIN} 1: Input limiter current is actively being reduced to regulate V_{CHGIN} collapse
ChgStep	3	チャージャのステップ充電電流低減のステータス。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01で、なおかつチャージャがイネーブルされている場合のみ有効です。	0: Charger step-charge current reduction not active 1: Charger step-charge current reduction active
ThmBk1	2	Buck1のサーマル・シャットダウンのステータス。	0: Buck1 operating normally 1: Buck1 in thermal shutdown
ThmBk2	1	Buck2のサーマル・シャットダウンのステータス。	0: Buck2 operating normally 1: Buck2 in thermal shutdown
ThmBk3	0	Buck3のサーマル・シャットダウンのステータス。	0: Buck3 operating normally 1: Buck3 in thermal shutdown

Status4（0x5）

BIT	7	6	5	4	3	2	1	0
Field	BatGood	BatRegDone	BstFault	–	–	–	–	–
Access Type	Read Only	Read Only	Read Only	–	–	–	–	–

ビットフィールド	ビット	説明	デコード
BatGood	7	チャージャのBatGoodコンパレータのステータス。 CHGIN入力電圧が存在し、なおかつ[UsbOVP,UsbOk] = 01の場合のみ有効です。	0: $V_{BAT} < V_{BAT\_UVLO}$ 1: $V_{BAT} > V_{BAT\_UVLO}$ or CHGIN input voltage not present
BatRegDone	6	チャージャのBAT電圧レギュレーションのステータス。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01で、チャージャがイネーブルされており、なおかつSysBatLim = 0の場合のみ有効です。	0: $V_{BAT} < V_{BAT\_REG}$ 1: $V_{BAT} \geq V_{BAT\_REG}$
BstFault	5	昇降圧フォルトのステータス。	0: Buck-Boost operating normally 1: Buck-Boost under fault condition

Int0（0x6）

BIT	7	6	5	4	3	2	1	0
Field	ThmStatInt	ChgStatInt	ILimInt	UsbOVPInt	UsbOkInt	ChgJEITASDInt	ChgJEITARegInt	ChgTmoInt
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
ThmStatInt	7	ThmStat[2:0]の変化により割込みが発生。

ビットフィールド	ビット	説明
ChgStatInt	6	ChgStat[2:0]の変化により割込みが発生。
ILimInt	5	ILimの変化により割込みが発生。
UsbOVPInt	4	UsbOVPの変化により割込みが発生。
UsbOkInt	3	UsbOkの変化により割込みが発生。
ChgJEITASDInt	2	ChgJEITASDの変化により割込みが発生。
ChgJEITARegInt	1	ChgJEITARegの変化により割込みが発生。
ChgTmoInt	0	ChgTmoの変化により割込みが発生。

Int1（0x7）

BIT	7	6	5	4	3	2	1	0
Field	ChgThmSDInt	–	ThmLDO_LSWInt	UVLOLDO2Int	UVLOLDO1Int	–	LSW1TmoInt	LSW2TmoInt
Access Type	Write, Read	–	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read

ビットフィールド	ビット	説明
ChgThmSDInt	7	ChgThmSDの変化により割込みが発生。
ThmLDO_LSWInt	5	ThmLDO_LSWの変化により割込みが発生。
UVLOLDO2Int	4	UVLOLDO2の変化により割込みが発生。
UVLOLDO1Int	3	UVLOLDO1の変化により割込みが発生。
LSW1TmoInt	1	LSW1Tmoの変化により割込みが発生。
LSW2TmoInt	0	LSW2Tmoの変化により割込みが発生。

Int2（0x8）

BIT	7	6	5	4	3	2	1	0
Field	BBstFaultInt	HrvBatCmpInt	SysBatLimInt	ChgSysLimInt	ChgStepInt	ThmBk1Int	ThmBk2Int	ThmBk3Int
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
BBstFaultInt	7	BBstFaultの変化により割込みが発生。

ビットフィールド	ビット	説明
HrvBatCmpInt	6	HrvBatCmpの変化により割込みが発生。
SysBatLimInt	5	SysBatLimの変化により割込みが発生。
ChgSysLimInt	4	ChgSysLimの変化により割込みが発生。
ChgStepInt	3	ChgStepの変化により割込みが発生。
ThmBk1Int	2	ThmBk1の変化により割込みが発生。
ThmBk2Int	1	ThmBk2の変化により割込みが発生。
ThmBk3Int	0	ThmBk3の変化により割込みが発生。

Int3（0x9）

BIT	7	6	5	4	3	2	1	0
Field	BatGoodInt	BatRegDoneInt	BstFaultInt	–	I2cCrcFailInt	I2cTmoInt	HptStatInt	ADCStatInt
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read	Read Only	Read Only

ビットフィールド	ビット	説明
BatGoodInt	7	BatGoodの変化により割込みが発生。
BatRegDoneInt	6	BatRegDoneの変化により割込みが発生。
BstFaultInt	5	BstFaultの変化により割込みが発生。
I2cCrcFailInt	3	CRCエラー。I^2C書込みが行われませんでした
I2cTmoInt	2	スタート条件とストップ条件の間のバス・インアクティビティ時間が100msに達したので、I^2Cウォッチドッグ・タイマーがタイムアウトしました。
HptStatInt	1	ハプティック・ドライバの一般ステータス割込み。その他のハプティック・ドライバ関連割込みが発行された場合はHptStatIntが発行されます。
ADCStatInt	0	ADCの一般ステータス割込み。その他のADC関連割込みが発行された場合はADCStatIntが発行されます。

IntMask0（0xA）

BIT	7	6	5	4	3	2	1	0
Field	ThmStatIntM	ChgStatIntM	ILimIntM	UsbOVPIntM	UsbOkIntM	ChgJEITASDIntM	ChgJEITARegIntM	ChgTmoIntM
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ThmStatIntM	7	ThmStatIntMが、Int0レジスタ（0x06）のThmStatInt割込みをマスク。	0: Masked 1: Not masked
ChgStatIntM	6	ChgStatIntMが、Int0レジスタ（0x06）のChgStatInt割込みをマスク。	0: Masked 1: Not masked
ILimIntM	5	ILimIntMが、Int0レジスタ（0x06）のILimInt割込みをマスク。	0: Masked 1: Not masked
UsbOVPIntM	4	UsbOVPIntMが、Int0レジスタ（0x06）のUsbOVPInt割込みをマスク。	0: Masked 1: Not masked
UsbOkIntM	3	UsbOkIntMが、Int0レジスタ（0x06）のUsbOkInt割込みをマスク。	0: Masked 1: Not masked
ChgJEITASDIntM	2	ChgJEITASDIntMが、Int0レジスタ（0x06）のChgJEITASDInt割込みをマスク。	0: Masked 1: Not masked
ChgJEITARegIntM	1	ChgJEITARegIntMが、Int0レジスタ（0x06）のChgJEITARegInt割込みをマスク。	0: Masked 1: Not masked
ChgTmoIntM	0	ChgTmoIntMが、Int0レジスタ（0x06）のChgTmoInt割込みをマスク。	0: Masked 1: Not masked

IntMask1（0xB）

BIT	7	6	5	4	3	2	1	0
Field	ChgThmSDIntM	–	ThmLDO_LSWIntM	UVLOLDO2IntM	UVLOLDO1IntM	–	LSW1TmoIntM	LSW2TmoIntM
Access Type	Write, Read	–	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ChgThmSDIntM	7	ChgThmSDIntMが、Int1レジスタ（0x07）のChgThmSDInt割込みをマスク。	0: Masked 1: Not masked
ThmLDO_LSWIntM	5	ThmLDO_LSWIntMが、Int1レジスタ（0x07）のThmLDO_LSWInt割込みをマスク。	0: Masked 1: Not masked
UVLOLDO2IntM	4	UVLOLDO2IntMが、Int1レジスタ（0x07）のUVLOLDO2Int割込みをマスク。	0: Masked 1: Not masked
UVLOLDO1IntM	3	UVLOLDO1IntMが、Int1レジスタ（0x07）のUVLOLDO1Int割込みをマスク。	0: Masked 1: Not masked
LSW1TmoIntM	1	LSW1TmoIntMが、Int1レジスタ（0x07）のLSW1TmoInt割込みをマスク。	0: Masked 1: Not masked
LSW2TmoIntM	0	LSW2TmoIntMが、Int1レジスタ（0x07）のLSW2TmoInt割込みをマスク。	0: Masked 1: Not masked

IntMask2（0xC）

BIT	7	6	5	4	3	2	1	0
Field	BBstFaultIntM	HrvBatCmpIntM	SysBatLimIntM	ChgSysLimIntM	ChgStepIntM	ThmBk1IntM	ThmBk2IntM	ThmBk3IntM
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BBstFaultIntM	7	BBstFaultIntMが、Int2レジスタ（0x08）のBBstFaultInt割込みをマスク。	0: Masked 1: Not masked
HrvBatCmpIntM	6	HrvBatCmpIntMが、Int2レジスタ（0x08）のHrvBatCmpInt割込みをマスク。	0: Masked 1: Not masked
SysBatLimIntM	5	SysBatLimIntMが、Int2レジスタ（0x08）のSysBatLimInt割込みをマスク。	0: Masked 1: Not masked
ChgSysLimIntM	4	ChgSysLimIntMが、Int2レジスタ（0x08）のChgSysLimInt割込みをマスク。	0: Masked 1: Not masked
ChgStepIntM	3	ChgStepIntMが、Int2レジスタ（0x08）のChgStepInt割込みをマスク。	0: Masked 1: Not masked
ThmBk1IntM	2	ThmBk1IntMが、Int2レジスタ（0x08）のThmBk1Int割込みをマスク。	0: Masked 1: Not masked
ThmBk2IntM	1	ThmBk2IntMが、Int2レジスタ（0x08）のThmBk2Int割込みをマスク。	0: Masked 1: Not masked
ThmBk3IntM	0	ThmBk3IntMが、Int2レジスタ（0x08）のThmBk3Int割込みをマスク。	0: Masked 1: Not masked

IntMask3（0xD）

BIT	7	6	5	4	3	2	1	0
Field	BatGoodIntM	BatRegDoneIntM	BstFaultIntM	–	I2cCrcFailIntM	I2cTmoIntM	HptStatIntM	ADCStatIntM
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BatGoodIntM	7	BatGoodIntMが、Int3レジスタ（0x09）のBatGoodInt割込みをマスク。	0: Masked 1: Not masked

ビットフィールド	ビット	説明	デコード
BatRegDoneIntM	6	BatRegDoneIntMが、Int3レジスタ（0x09）のBatRegDoneInt割込みをマスク。	0: Masked 1: Not masked
BstFaultIntM	5	BstFaultIntMが、Int3レジスタ（0x09）のBstFaultInt割込みをマスク。	0: Masked 1: Not masked
I2cCrcFailIntM	3	I2CCRCFailIntMが、Int3レジスタ（0x09）のI2CCRCFailInt割込みをマスク。	0: Masked 1: Not masked
I2cTmoIntM	2	I2CTmoIntMが、Int3レジスタ（0x09）のI2CTmoInt割込みをマスク。	0: Masked 1: Not masked
HptStatIntM	1	HptStatIntMが、Int3レジスタ（0x09）のHptStatInt割込みをマスク。	0: Masked 1: Not masked
ADCStatIntM	0	ADCStatIntMが、Int3レジスタ（0x09）のADCStatInt割込みをマスク。	0: Masked 1: Not masked

ILimCntl（0xF）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	SysMinVlt*[2:0]			ILimBlank*[1:0]		ILimCntl*[2:0]		
Access Type	Write, Read			Write, Read		Write, Read		

ビットフィールド	ビット	説明	デコード
SysMinVlt*	7:5	システム（SYS）電圧の下限スレッショルド。SYS電圧がこの値を下回ると、V_{SYS}が急激に減少するのを防ぐために充電電流が減らされます。	000: 3.6V 001: 3.7V 010: 3.8V 011: 3.9V 100: 4.0V 101: 4.1V 110: 4.2V 111: 4.3V
ILimBlank*	4:3	CHGIN入力電流リミッタの入力電流ブランキング時間（この間は電流がI_{LIM_MAX}に制限されます）。	00: No debounce (allow a few clock cycles for resampling) 01: 0.5ms 10: 1.0ms 11: 10.0ms
ILimCntl*	2:0	CHGINのプログラマブル入力電流制限値。	000: 50mA 001: 90mA 010: 150mA 011: 200mA 100: 300mA 101: 400mA 110: 450mA 111: 1000mA

ChgCntl0（0x10）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	FrcPChg*	ChgBatReChg*[1:0]		ChgBatReg*[3:0]				ChgEn*
Access Type	Write, Read	Write, Read		Write, Read				Write, Read

ビットフィールド	ビット	説明	デコード
FrcPChg*	7	チャージャの強制プリ充電モード。ChgEn = 1の場合のみ有効です。	0: Charger operating normally 1: Charger current is forced to precharge value
ChgBatReChg*	6:5	ChgBatReg[3:0]に関係するチャージャの再充電スレッショルド。	00: ChgBatReg[3:0] −70mV 01: ChgBatReg[3:0] −120mV 10: ChgBatReg[3:0] −170mV 11: ChgBatReg[3:0] −220mV
ChgBatReg*	4:1	チャージャのバッテリ・レギュレーション電圧。	0000: 4.25V 0001: 4.30V 0010: 4.35V 0011: 4.40V 0100: 4.45V 0101: 4.46V 0110: 4.47V 0111: 4.48V 1000: 4.49V 1001: 4.50V 1010: 4.51V 1011: 4.52V 1100: 4.53V 1101: 4.54V 1110: 4.55V 1111: 4.56V
ChgEn*	0	チャージャのオン／オフ制御。 入力リミッタとSYSノードには影響しません。	0: Charger disabled 1: Charger enabled

ChgCntl1（0x11）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	BatPD*	VPChg*[2:0]			IPChg*[1:0]		IChgDone*[1:0]	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
BatPD*	7	BATのプルダウン抵抗イネーブル。	0: Pulldown resistor disabled 1: Pulldown resistor enabled
VPChg*	6:4	チャージャのプリ充電電圧立上がりスレッショルド。	000: 2.10V 001: 2.25V 010: 2.40V 011: 2.55V 100: 2.70V 101: 2.85V 110: 3.00V 111: 3.15V

ビットフィールド	ビット	説明	デコード
IPChg*	3:2	チャージャのプリ充電電流。	00: 0.05 × I_{FCHG} 01: 0.10 × I_{FCHG} 10: 0.20 × I_{FCHG} 11: 0.30 × I_{FCHG}
IChgDone*	1:0	チャージャの充電完了電流スレッショルド。	00: 0.05 × I_{FCHG} 01: 0.10 × I_{FCHG} 10: 0.20 × I_{FCHG} 11: 0.30 × I_{FCHG}

ChgTmr（0x12）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	ChgAutoStop*	ChgAutoReSta*	MtChgTmr*[1:0]		FChgTmr*[1:0]		PChgTmr*[1:0]	
Access Type	Write, Read	Write, Read	Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
ChgAutoStop*	7	チャージャの自動停止制御。 充電維持（MAINTAIN CHARGE）から充電維持完了（MAINTAIN CHARGE DONE）への遷移を制御します。図33のバッテリ充電ステート図を参照。	0: Auto-stop disabled 1: Auto-stop enabled
ChgAutoReSta*	6	チャージャの自動リスタート制御。 図33のバッテリ充電ステート図を参照。	0: Charger remains in maintain-charge done even when V_{BAT} is less than recharge threshold. 1: Charger automatically restarts when V_{BAT} drops below recharge threshold.
MtChgTmr*	5:4	チャージャの充電維持タイマー。	00: 0min 01: 15min 10: 30min 11: 60min
FChgTmr*	3:2	チャージャの高速充電タイマー。	00: 75min 01: 150min 10: 300min 11: 600min
PChgTmr*	1:0	チャージャのプリ充電タイマー。	00: 30min 01: 60min 10: 120min 11: 240min

StepChgCfg0（0x13）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	–	ChgStepHys*[2:0]			ChgStepRise*[3:0]			
Access Type	–	Write, Read			Write, Read			

ビットフィールド	ビット	説明	デコード
ChgStepHys*	6:4	チャージャのステップ充電電圧スレッショルドのヒステリシス。	000: 100mV 001: 200mV 010: 300mV 011: 400mV 100: 500mV 101: 600mV 110: Reserved 111: Reserved
ChgStepRise*	3:0	チャージャのプリステップ充電電圧立上がりスレッショルド。	0000: 3.80V 0001: 3.85V 0010: 3.90V 0011: 3.95V 0100: 4.00V 0101: 4.05V 0110: 4.10V 0111: 4.15V 1000: 4.20V 1001: 4.25V 1010: 4.30V 1011: 4.35V 1100: 4.40V 1101: 4.45V 1110: 4.50V 1111: 4.55V

StepChgCfg1（0x14）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	VSysUvlo*[1:0]		ChgIStep*[2:0]		
Access Type	–	–	–	Write, Read		Write, Read		

ビットフィールド	ビット	説明	デコード
VSysUvlo*	4:3	SYS UVLO立下がり電圧スレッショルド・セレクタ。	00: 2.7V 01: 2.9V 10: 3.0V 11: 3.2V
ChgIStep*	2:0	チャージャのステップ充電電流低減。 ChgStepRise[3:0]スレッショルドを超えた場合の修正高速充電電流値を設定します。高速充電電流は、ChgIStep[2:0]により設定される値またはサーミスタ・モニタリングに関係して適用されるチャージャ電流低減値の、どちらか小さいほうです（ChgCoolIFchg[2:0]、ChgRoomIFchg[2:0]、ChgWarmIFchg[2:0]を参照）。	000: 0.2 × I_{FCHG} 001: 0.3 × I_{FCHG} 010: 0.4 × I_{FCHG} 011: 0.5 × I_{FCHG} 100: 0.6 × I_{FCHG} 101: 0.7 × I_{FCHG} 110: 0.8 × I_{FCHG} 111: 1.0 × I_{FCHG}

ThmCfg0（0x15）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	–	ChgThmEn*[1:0]		ChgCoolBatReg*[1:0]		ChgCoolFChg*[2:0]		
Access Type	–	Write, Read		Write, Read		Write, Read		

ビットフィールド	ビット	説明	デコード
ChgThmEn*	6:5	チャージャのサーミスタ・モニタリングに関係する制御。 CHGIN入力電圧が存在する場合のみ有効です。	00: Thermistor monitoring disabled 01: Thermistor monitoring permanently enabled and charger enabled in the cool and room temperature zones 10: Thermistor monitoring permanently enabled and charger enabled in the room and warm temperature zones 11: Thermistor monitoring permanently enabled and charger enabled in the cool, room, and warm temperature zones
ChgCoolBatReg*	4:3	クール領域でのチャージャのバッテリ・レギュレーション電圧低減。 サーミスタ・モニタリングに従い、クール領域に入った場合の修正バッテリ・レギュレーション電圧を設定します。	00: ChgBatReg[3:0] −150mV 01: ChgBatReg[3:0] −100mV 10: ChgBatReg[3:0] −50mV 11: ChgBatReg[3:0]
ChgCoolFChg*	2:0	クール領域でのチャージャの高速充電電流低減。 サーミスタ・モニタリングに従い、クール領域に入った場合の高速充電電流を設定します。	000: 0.2 × I_{FCHG} 001: 0.3 × I_{FCHG} 010: 0.4 × I_{FCHG} 011: 0.5 × I_{FCHG} 100: 0.6 × I_{FCHG} 101: 0.7 × I_{FCHG} 110: 0.8 × I_{FCHG} 111: 1.0 × I_{FCHG}

ThmCfg1（0x16）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	ChgRoomBatReg*[1:0]		ChgRoomIFChg*[2:0]		
Access Type	–	–	–	Write, Read		Write, Read		

ビットフィールド	ビット	説明	デコード
ChgRoomBatReg*	4:3	室温領域でのチャージャのバッテリ・レギュレーション電圧低減。 サーミスタ・モニタリングに従い、室温領域に入った場合の修正バッテリ・レギュレーション電圧を設定します。	00: ChgBatReg[3:0] −150mV 01: ChgBatReg[3:0] −100mV 10: ChgBatReg[3:0] −50mV 11: ChgBatReg[3:0]
ChgRoomIFChg*	2:0	室温領域でのチャージャの高速充電電流低減。 サーミスタ・モニタリングに従い、室温領域に入った場合の高速充電電流を設定します。	000: 0.2 × I_{FCHG} 001: 0.3 × I_{FCHG} 010: 0.4 × I_{FCHG} 011: 0.5 × I_{FCHG} 100: 0.6 × I_{FCHG} 101: 0.7 × I_{FCHG} 110: 0.8 × I_{FCHG} 111: 1.0 × I_{FCHG}

ThmCfg2（0x17）

*ビットは、UsbOkselect オプションに基づき CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされます（UsbOkselect の値についてはデバイスのデフォルト設定を参照）。

BIT	7	6	5	4	3	2	1	0
Field	HrvThmEn[1:0]		–	ChgWarmBatReg*[1:0]		ChgWarmIFChg*[2:0]		
Access Type	Write, Read		–	Write, Read		Write, Read		

ビットフィールド	ビット	説明	デコード
HrvThmEn	7:6	周期的サーミスタ・モニタリングに関係する制御。 CHGIN入力電圧がかかっておらず、HrvEn = 1でハーベスタとの連携がイネーブルされているときに有効です。 HrvThmEn[1:0]が00でない場合は、残量ゲージの周期的測定タイミングを利用することによってサーミスタ（V_{THM}）が周期的にモニタされます。	00: Periodic thermistor monitoring disabled. 01: Periodic thermistor monitoring enabled and harvester charging enabled in the cool and room temperature zones. 10: Periodic thermistor monitoring enabled and harvester charging enabled in the room and warm temperature zones. 11: Periodic thermistor monitoring enabled and harvester charging enabled in the cool, room, and warm temperature zones.
ChgWarmBatReg*	4:3	ウォーム領域でのチャージャのバッテリ・レギュレーション電圧低減。 サーミスタ・モニタリングに従い、ウォーム領域に入った場合の修正バッテリ・レギュレーション電圧を設定します。	00: ChgBatReg[3:0] −150mV 01: ChgBatReg[3:0] −100mV 10: ChgBatReg[3:0] −50mV 11: ChgBatReg[3:0]
ChgWarmIFChg*	2:0	ウォーム領域でのチャージャの高速充電電流低減。 サーミスタ・モニタリングに従い、ウォーム領域に入った場合の高速充電電流を設定します。	000: 0.2 × I_{FCHG} 001: 0.3 × I_{FCHG} 010: 0.4 × I_{FCHG} 011: 0.5 × I_{FCHG} 100: 0.6 × I_{FCHG} 101: 0.7 × I_{FCHG} 110: 0.8 × I_{FCHG} 111: 1.0 × I_{FCHG}

HrvCfg0（0x18）

BIT	7	6	5	4	3	2	1	0
Field	HrvBatSys[1:0]		HrvBatReChg[1:0]		HrvBatReg[3:0]			
Access Type	Write, Read		Write, Read		Write, Read			

ビットフィールド	ビット	説明	デコード
HrvBatSys	7:6	ハーベスタのBAT-SYS FET制御。 CHGIN入力電圧がかかっておらず、HrvEn = 1でハーベスタとの連携がイネーブルされているときに有効です。 HrvEn = 0で、CHGIN入力電圧がかかっていなければ、BAT-SYS FETは完全オン（直接経路）になります。 CHGIN入力電圧がかかっている場合、BAT-SYS FETはチャージャによって制御されます。	00: Direct-path (BAT-SYS FET fully on) forced active 01: Direct-path active if V_{BAT} < HrvBatReg[3:0] and ideal BAT-to-SYS diode active if V_{BAT} > HrvBatReg[3:0]. Once ideal diode has been activated, an hysteresis equal toHrvBatReChg[1:0] is applied on HrvBatReg[3:0] threshold. 10: Ideal BAT-to-SYS diode (BAT-SYS FET controlled in order to allow current flowing from BAT to SYS with a low drop and to not allow current flowing from SYS to BAT) forced active 11: Reserved

ビットフィールド	ビット	説明	デコード
HrvBatReChg	5:4	HrvBatReg[3:0]に関係するハーベスタの再充電スレッショルド。	00: HrvBatReg[3:0] −70mV 01: HrvBatReg[3:0] −120mV 10: HrvBatReg[3:0] −170mV 11: HrvBatReg[3:0] −220mV
HrvBatReg	3:0	ハーベスタのバッテリ・レギュレーション電圧スレッショルド。	0000: 4.25V 0001: 4.30V 0010: 4.35V 0011: 4.40V 0100: 4.45V 0101: 4.46V 0110: 4.47V 0111: 4.48V 1000: 4.49V 1001: 4.50V 1010: 4.51V 1011: 4.52V 1100: 4.53V 1101: 4.54V 1110: 4.55V 1111: 4.56V

HrvCfg1（0x19）

BIT	7	6	5	4	3	2	1	0
Field	–	HrvThmDis	HrvWarmBatReg[1:0]		HrvRoomBatReg[1:0]		HrvCoolBatReg[1:0]	
Access Type	–	Write, Read	Write, Read		Write, Read		Write, Read	

ビットフィールド	ビット	説明	デコード
HrvThmDis	6	ハーベスタの充電ディスエーブル状態制御。 CHGIN入力電圧がかかっておらず、HrvEn = 1でハーベスタとの連携がイネーブルされていて、HrvThmEn[1:0]が00ではなく、温度がハーベスタから充電できない領域にある場合に有効です。HrvEn = 1でCHGIN入力電圧がかかっている場合は、MPC6入力を通じてハーベスタが恒久的にディスエーブルされます。	0: Harvester is disabled through the MPC6 output and the BAT-SYS FET is controlled through HrvBatSys[1:0]. 1: Harvester is not disabled through the MPC6 output and ideal BAT-to-SYS diode is forced active regardless of HrvBatSys[1:0].
HrvWarmBatReg	5:4	ウォーム領域でのハーベスタのバッテリ・レギュレーション電圧スレッショルド低減。 サーミスタ・モニタリングに従い、ウォーム領域に入った場合のハーベスタの修正バッテリ・レギュレーション電圧スレッショルドを設定します。	00: HrvBatReg[3:0] −400mV 01: HrvBatReg[3:0] −350mV 10: HrvBatReg[3:0] −250mV 11: HrvBatReg[3:0]
HrvRoomBatReg	3:2	室温領域でのハーベスタのバッテリ・レギュレーション電圧スレッショルド低減。 サーミスタ・モニタリングに従い、室温領域に入ったスレッショルド場合のハーベスタの修正バッテリ・レギュレーション電圧スレッショルドを設定します。	00: HrvBatReg[3:0] −400mV 01: HrvBatReg[3:0] −350mV 10: HrvBatReg[3:0] −250mV 11: HrvBatReg[3:0]

ビットフィールド	ビット	説明	デコード
HrvCoolBatReg	1:0	クール領域でのハーベスタのバッテリ・レギュレーション電圧スレッショルド低減。 サーミスタ・モニタリングに従い、クール領域に入った場合のハーベスタの修正バッテリ・レギュレーション電圧スレッショルドを設定します。	00: HrvBatReg[3:0] −400mV 01: HrvBatReg[3:0] −350mV 10: HrvBatReg[3:0] −250mV 11: HrvBatReg[3:0]

MONCfg（0x1A）

BIT	7	6	5	4	3	2	1	0
Field	–	MONRatioConfig[1:0]		MONOffHiZ	MONCntl[3:0]			
Access Type	–	Write, Read		Write, Read	Write, Read			

ビットフィールド	ビット	説明	デコード
MONRatioConfig	6:5	MONマルチプレクサ抵抗分圧比セレクタ。	00: 1:1 01: 2:1 10: 3:1 11: 4:1
MONOffHiZ	4	MONマルチプレクサのディスエーブル条件。 MONCntl = 0000のときに有効です。	0: MON is pulled low by a 59kΩ (typ) resistor. 1: MON is Hi-Z.
MONCntl	3:0	MONマルチプレクサ入力チャンネル・セレクタ。	0000: MON multiplexer disabled. 0001: Reserved 0010: BAT 0011: SYS 0100: BK1OUT 0101: BK2OUT 0110: BK3OUT 0111: L1OUT 1000: L2OUT 1001: SFOUT 1010: BBOUT 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved

Buck1Ena（0x1B）

BIT	7	6	5	4	3	2	1	0
Field	Buck1Seq[2:0]			–	–	–	Buck1En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
Buck1Seq	7:5	Buck1のイネーブル設定	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR Process Delay Control 011: Enabled at 25% of Boot/POR Process Delay Control 100: Enabled at 50% of Boot/POR Process Delay Control 101: Reserved 110: Reserved 111: Controlled by Buck1En [1:0] after 100% of Boot/POR Process Delay Control
Buck1En	1:0	Buck1のイネーブル設定（Buck1Seq = 111または Buck1UnlockEn = 1の場合のみ有効）	00: Disabled: BK1OUT not actively discharged unless Hard-Reset/Shutdown/Off mode 01: Enabled 10: Controlled by MPC_ (See Buck1MPC_ bits) 11: Reserved

Buck1Cfg0（0x1C）

BIT	7	6	5	4	3	2	1	0
Field	Buck1IntegDis	Buck1PGOODEn	Buck1Fast	Buck1PsvDsc	Buck1ActDsc	Buck1LowEMI	Buck1FETScale	Buck1EnLXSns
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Buck1IntegDis	7	Buck1の積分器帰還ディスエーブル	0: Integrator enabled 1: Integrator disabled–proportional control only
Buck1PGOODEn	6	Buck1のPGOODコンパレータ制御	0: PGOOD comparator disabled during voltage transition after startup 1: PGOOD comparator enabled during voltage transition after startup
Buck1Fast	5	Buck1のプリトリガ・モード設定	0: Normal, low quiescent current operation 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
Buck1PsvDsc	4	Buck1のパッシブ放電制御	0: Buck1 passively discharged only in Hard-Reset 1: Buck1 passively discharged in Hard-Reset or Enable Low.
Buck1ActDsc	3	Buck1のアクティブ放電制御	0: Buck1 actively discharged only in Hard-Reset 1: Buck1 actively discharged in Hard-Reset or Enable Low
Buck1LowEMI	2	Buck1の低EMIモード	0: Normal operation 1: Slow rise/fall edges on BK1LX by 3x
Buck1FETScale	1	Buck1の強制FETスケーリング FETサイズを1/2に縮小します。Buck1ISetを100mA未満にしなければならない場合に（例えば低周波数域でのノイズを軽減するため）、効率を最適化するために使用します。	0: FET scaling disabled 1: FET scaling enabled
Buck1EnLXSns	0	Buck1のLX検出制御 フリーホイール状態のFETをオンにするための条件を選択します。 Buck1Vset ≤ 1.6Vの場合は0に保持してください。	0: Enter freewheeling mode after inductor current zero- crossing 1: Enter freewheeling mode on V_{LX} high detection after inductor current zero-crossing

Buck1Cfg1（0x1D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1MPC2Fast	Buck1FPWM	Buck1IAdptDis	–	–	–
Access Type	–	–	Write, Read	Write, Read	Write, Read	–	–	–

ビットフィールド	ビット	説明	デコード
Buck1MPC2Fast	5	MPC2制御によるBuck1 FASTモード	0: Buck1 fast mode control by MPC2 disabled 1: Buck1 fast mode control by MPC2 enabled
Buck1FPWM	4	Buck1強制PWMモード制御	0: Normal operation 1: Forced PWM mode enabled
Buck1IAdptDis	3	Buck1アダプティブ・ピーク電流モード制御	0: Adaptive peak current mode enabled 1: Peak current fixed at value set in Buck1ISet

Buck1Iset（0x1E）

BIT	7	6	5	4	3	2	1	0
Field	Buck1ISetLookUpDis	–	–	–	Buck1ISet[3:0]			
Access Type	Write, Read	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
Buck1ISetLookUpDis	7	Buck1ピーク電流のルックアップ・テーブル設定のディスエーブル。	0: Inductor current setting is set according to look-up table 1: Inductor current setting is set by Buck1ISet
Buck1ISet	3:0	Buck1のインダクタ・ピーク電流設定。 Buck1ISetLookUpDisがハイの場合のみ有効です。 最大限の効率を得るには150mA～200mAの範囲で使用してください。線形スケール、25mA刻み、75mA未満の設定は最小t_{ON}によって制限できます。	0000: 0mA 0001: 25mA 0010: 50mA 0011: 75mA 0100: 100mA 0101: 125mA 0110: 150mA 0111: 175mA 1000: 200mA 1001: 225mA 1010: 250mA 1011: 275mA 1100: 300mA 1101: 325mA 1110: 350mA 1111: 375mA

Buck1VSet（0x1F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1VSet[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck1VSet	5:0	Buck1の出力電圧設定 0.50V～0.50V+(63 × Buck1VStep)、線形スケール、Buck1VStep刻み。 例えばBuck1VStep = 10mVの場合： 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1Ctr（0x20）

BIT	7	6	5	4	3	2	1	0
Field	Buck1MPC7	Buck1MPC6	Buck1MPC5	Buck1MPC4	Buck1MPC3	Buck1MPC2	Buck1MPC1	Buck1MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Buck1MPC7	7	Buck1のMPC7イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC7 1: Buck1 controlled by MPC7
Buck1MPC6	6	Buck1のMPC6イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC6 1: Buck1 controlled by MPC6
Buck1MPC5	5	Buck1のMPC5イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC5 1: Buck1 controlled by MPC5
Buck1MPC4	4	Buck1のMPC4イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC4 1: Buck1 controlled by MPC4
Buck1MPC3	3	Buck1のMPC3イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC3 1: Buck1 controlled by MPC3
Buck1MPC2	2	Buck1のMPC2イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC2 1: Buck1 controlled by MPC2
Buck1MPC1	1	Buck1のMPC1イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 cot controlled by MPC1 1: Buck1 controlled by MPC1
Buck1MPC0	0	Buck1のMPC0イネーブル制御 Buck1Seq = 111およびBuck1En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck1はMPCの論理ORによって制御されます。	0: Buck1 not controlled by MPC0 1: Buck1 controlled by MPC0

Buck1DvsCfg0（0x21）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	Buck1DVSCfg[4:0]				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
Buck1DVSCfg	4:0		00000: DVS Modes Disabled 00001: MPC0/MPC1 00010: MPC0/MPC2 00011: MPC0/MPC3 00100: MPC0/MPC4 00101: MPC0/MPC5 00110: MPC0/MPC6 00111: MPC0/MPC7 01000: MPC1/MPC2 01001: MPC1/MPC3 01010: MPC1/MPC4 01011: MPC1/MPC5 01100: MPC1/MPC6 01101: MPC1/MPC7 01110: MPC2/MPC3 01111: MPC2/MPC4 10000: MPC2/MPC5 10001: MPC2/MPC6 10010: MPC2/MPC7 10011: MPC3/MPC4 10100: MPC3/MPC5 10101: MPC3/MPC6 10110: MPC3/MPC7 10111: MPC4/MPC5 11000: MPC4/MPC6 11001: MPC4/MPC7 11010: MPC5/MPC6 11011: MPC5/MPC7 11100: MPC6/MPC7 11101: SPI Mode >11101: RESERVED

Buck1DvsCfg1（0x22）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DVSVlt0[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck1DVSVlt0	5:0	Buck1の代替出力電圧設定0（MPC = 00で使用） 0.50V～0.50V+(63 × Buck1VStep)、線形スケール、Buck1VStep刻み。 例えばBuck1VStep = 10mVの場合： 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsCfg2（0x23）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DVSVlt1[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck1DVSVlt1	5:0	Buck1の代替出力電圧設定1（MPC = 01で使用） 0.50V～0.50V+(63 × Buck1VStep)、線形スケール、Buck1VStep刻み。 例えばBuck1VStep = 10mVの場合： 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsCfg3（0x24）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DVSVlt2[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck1DVSVlt2	5:0	Buck1の代替出力電圧設定2（MPC = 10で使用） 0.50V～0.50V+(63 × Buck1VStep)、線形スケール、Buck1VStep刻み。 例えばBuck1VStep = 10mVの場合： 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsCfg4（0x25）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DVSVlt3[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck1DVSVlt3	5:0	Buck1の代替出力電圧設定3（MPC = 11で使用） 0.50V～0.50V+(63 × Buck1VStep)、線形スケール、Buck1VStep刻み。 例えばBuck1VStep = 10mVの場合： 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsSpi（0x26）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1SPIVlt[5:0]					
Access Type	–	–	Read Only					

ビットフィールド	ビット	説明
Buck1SPIVlt	5:0	Buck1 SPI DVSリードバック 0.50V～0.50V+(63 × Buck1VStep)、線形スケール、Buck1VStep刻み。 例えばBuck1VStep = 10mVの場合： 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck2Ena（0x27）

BIT	7	6	5	4	3	2	1	0
Field	Buck2Seq[2:0]			–	–	–	Buck2En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
Buck2Seq	7:5	Buck2のイネーブル設定	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR Process Delay Control 011: Enabled at 25% of Boot/POR Process Delay Control 100: Enabled at 50% of Boot/POR Process Delay Control 101: Reserved 110: Reserved 111: Controlled by Buck2En [1:0] after 100% of Boot/POR Process Delay Control

ビットフィールド	ビット	説明	デコード
Buck2En	1:0	Buck2のイネーブル設定（Buck2Seq = 111または Buck2UnlockEn = 1の場合のみ有効）	00: Disabled: BK2OUT not actively discharged unless Hard-Reset/Shutdown/Off mode 01: Enabled 10: Controlled by MPC_ (See Buck2MPC_ bits) 11: Reserved

Buck2Cfg（0x28）

BIT	7	6	5	4	3	2	1	0
Field	Buck2EnbINTGR	Buck2PGOODena	Buck2Fast	Buck2PsvDsc	Buck2ActDsc	Buck2LowEMI	Buck2FETScale	Buck2EnLxSns
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Buck2EnbINTGR	7	Buck2の積分器帰還ディスエーブル	0: Integrator enabled 1: Integrator disabled–proportional control only
Buck2PGOODena	6	Buck2のPGOODコンパレータ制御	0: PGOOD comparator disabled during voltage transition after startup 1: PGOOD comparator enabled during voltage transition after startup
Buck2Fast	5	Buck2のプリトリガ・モード設定	0: Normal, low quiescent current operation 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
Buck2PsvDsc	4	Buck2のパッシブ放電制御	0: Buck2 passively discharged only in Hard-Reset 1: Buck2 passively discharged in Hard-Reset or Enable Low.
Buck2ActDsc	3	Buck2のアクティブ放電制御	0: Buck2 actively discharged only in Hard-Reset 1: Buck2 actively discharged in Hard-Reset or Enable Low
Buck2LowEMI	2	Buck2の低EMIモード	0: Normal operation 1: Slow rise/fall edges on BK2LX by 3x
Buck2FETScale	1	Buck2のFETスケーリング制御 FETサイズを1/2に縮小します。Buck1ISetを100mA未満にしなければならない場合に（例えば低周波数域でのノイズを軽減するため）、効率を最適化するために使用します。	0: FET scaling disabled 1: FET scaling enabled
Buck2EnLxSns	0	Buck2のLX検出制御 フリーホイール状態のFETをオンにするための条件を選択します。 Buck2Vset ≤ 1.6Vの場合は0に保持してください。	0: Enter freewheeling mode after inductor current zero-crossing 1: Enter freewheeling mode on V_{LX} high detection after inductor current zero-crossing

Buck2Cfg1（0x29）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2MPCFast	Buck2FPWM	Buck2IAdptDis	–	–	–

Access Type	–	–	Write, Read	Write, Read	Write, Read	–	–	–

ビットフィールド	ビット	説明	デコード
Buck2MPCFast	5	MPC3制御によるBuck2 FASTモード	0: Buck2 FAST mode control by MPC3 disabled 1: Buck2 FAST mode control by MPC3 enabled
Buck2FPWM	4	Buck2強制PWMモード制御	0: Normal operation 1: Forced PWM mode enabled
Buck2IAdptDis	3	Buck2アダプティブ・ピーク電流モード制御	0: Adaptive peak current mode enabled 1: Peak current fixed at value set in Buck2ISet

Buck2Iset（0x2A）

BIT	7	6	5	4	3	2	1	0
Field	Buck2ISetLookUpDis	–	–	–	Buck2ISet[3:0]			
Access Type	Write, Read	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
Buck2ISetLookUpDis	7	ルックアップ・テーブルによるBuck2ピーク電流設定のディスエーブル	0: Inductor current setting is set according to lookup table 1: Inductor current setting is set by Buck2ISet
Buck2ISet	3:0	Buck2のインダクタ・ピーク電流設定。 Buck2ISetLookUpDisがハイの場合のみ有効です。 最大限の効率を得るには150mA～200mAの範囲で使用してください。線形スケール、25mA刻み、75mA未満の設定は最小t_{ON}によって制限できます。	0000: 0mA 0001: 25mA 0010: 50mA 0011: 75mA 0100: 100mA 0101: 125mA 0110: 150mA 0111: 175mA 1000: 200mA 1001: 225mA 1010: 250mA 1011: 275mA 1100: 300mA 1101: 325mA 1110: 350mA 1111: 375mA

Buck2VSet（0x2B）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2VSet[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck2VSet	5:0	Buck2の出力電圧設定 0.50V～0.50V+(63 × Buck2VStep)、線形スケール、Buck2VStep刻み。 例えばBuck2VStep = 25mVの場合： 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2Ctr（0x2C）

BIT	7	6	5	4	3	2	1	0
Field	Buck2MPC7	Buck2MPC6	Buck2MPC5	Buck2MPC4	Buck2MPC3	Buck2MPC2	Buck2MPC1	Buck2MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Buck2MPC7	7	Buck2のMPC7イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC7 1: Buck2 Controlled by MPC7
Buck2MPC6	6	Buck2のMPC6イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC6 1: Buck2 controlled by MPC6
Buck2MPC5	5	Buck2のMPC5イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC5 1: Buck2 controlled by MPC5
Buck2MPC4	4	Buck2のMPC4イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC4 1: Buck2 controlled by MPC4
Buck2MPC3	3	Buck2のMPC3イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC3 1: Buck2 controlled by MPC3
Buck2MPC2	2	Buck2のMPC2イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC2 1: Buck2 controlled by MPC2
Buck2MPC1	1	Buck2のMPC1イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC1 1: Buck2 controlled by MPC1
Buck2MPC0	0	Buck2のMPC0イネーブル制御 Buck2Seq = 111およびBuck2En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck2はMPCの論理ORによって制御されます。	0: Buck2 not controlled by MPC0 1: Buck2 controlled by MPC0

Buck2DvsCfg0（0x2D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	Buck2DvsCfg[4:0]				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
Buck2DvsCfg	4:0		00000: DVS Modes Disabled 00001: MPC0/MPC1 00010: MPC0/MPC2 00011: MPC0/MPC3 00100: MPC0/MPC4 00101: MPC0/MPC5 00110: MPC0/MPC6 00111: MPC0/MPC7 01000: MPC1/MPC2 01001: MPC1/MPC3 01010: MPC1/MPC4 01011: MPC1/MPC5 01100: MPC1/MPC6 01101: MPC1/MPC7 01110: MPC2/MPC3 01111: MPC2/MPC4 10000: MPC2/MPC5 10001: MPC2/MPC6 10010: MPC2/MPC7 10011: MPC3/MPC4 10100: MPC3/MPC5 10101: MPC3/MPC6 10110: MPC3/MPC7 10111: MPC4/MPC5 11000: MPC4/MPC6 11001: MPC4/MPC7 11010: MPC5/MPC6 11011: MPC5/MPC7 11100: MPC6/MPC7 11101: SPI Mode >11101: RESERVED

Buck2DvsCfg1（0x2E）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt0[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck2DvsVlt0	5:0	Buck2の代替出力電圧設定0（MPC = 00で使用） 0.50V～0.50V+(63 × Buck2VStep)、線形スケール、Buck2VStep刻み。 例えばBuck2VStep = 25mVの場合： 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsCfg2（0x2F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt1[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck2DvsVlt1	5:0	Buck2の代替出力電圧設定1（MPC = 01で使用） 0.50V～0.50V+(63 × Buck2VStep)、線形スケール、Buck2VStep刻み。 例えばBuck2VStep = 25mVの場合： 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsCfg3（0x30）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt2[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck2DvsVlt2	5:0	Buck2の代替出力電圧設定2（MPC = 10で使用） 0.50V～0.50V+(63 × Buck2VStep)、線形スケール、Buck2VStep刻み。 例えばBuck2VStep = 25mVの場合： 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsCfg4（0x31）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt3[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck2DvsVlt3	5:0	Buck2の代替出力電圧設定3（MPC = 11で使用） 0.50V～0.50V+(63 × Buck2VStep)、線形スケール、Buck2VStep刻み。 例えばBuck2VStep = 25mVの場合： 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsSpi（0x32）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2SPIVlt[5:0]					
Access Type	–	–	Read Only					

ビットフィールド	ビット	説明
Buck2SPIVlt	5:0	Buck2 SPI DVSリードバック。 0.50V～0.50V+(63 × Buck2VStep)、線形スケール、Buck2VStep刻み。 例えばBuck2VStep = 25mVの場合： 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck3Ena（0x34）

BIT	7	6	5	4	3	2	1	0
Field	Buck3Seq[2:0]			–	–	–	Buck3En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
Buck3Seq	7:5	Buck3のイネーブル設定	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by Buck3En [1:0] after 100% of Boot/POR process delay control

ビットフィールド	ビット	説明	デコード
Buck3En	1:0	Buck3のイネーブル設定（Buck3Seq = 111または Buck3UnlockEn = 1の場合のみ有効）	00: Disabled: BK1OUT not actively discharged unless Hard-Reset/Shutdown/Off mode 01: Enabled 10: Controlled by MPC_ (See Buck3MPC_ bits) 11: Reserved

Buck3Cfg（0x35）

BIT	7	6	5	4	3	2	1	0
Field	Buck3EnbINTGR	Buck3PGOODena	Buck3Fast	Buck3PsvDsc	Buck3ActDsc	Buck3LowEMI	Buck3FETScale	Buck3EnLxSns
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Buck3EnbINTGR	7	Buck3の積分器帰還ディスエーブル	0: Integrator enabled 1: Integrator disabled–proportional control only
Buck3PGOODena	6	Buck3のPGOODコンパレータ制御	0: PGOOD comparator disabled during voltage transition after startup 1: PGOOD comparator enabled during voltage transition after startup
Buck3Fast	5	Buck3のプリトリガ・モード設定	0: Normal, low quiescent current operation 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
Buck3PsvDsc	4	Buck3のパッシブ放電制御	0: Buck3 passively discharged only in Hard-Reset 1: Buck3 passively discharged in Hard-Reset or Enable Low.
Buck3ActDsc	3	Buck3のアクティブ放電制御	0: Buck3 actively discharged only in Hard-Reset 1: Buck3 actively discharged in Hard-Reset or Enable Low
Buck3LowEMI	2	Buck3の低EMIモード	0: Normal operation 1: Slow rise/fall edges on BK3LX by 3x
Buck3FETScale	1	Buck3の強制FETスケーリング FETサイズを1/2に縮小します。Buck1ISetを100mA未満にしなければならない場合に（例えば低周波数域でのノイズを軽減するため）、効率を最適化するために使用します。	0: FET scaling disabled 1: FET scaling enabled
Buck3EnLxSns	0	Buck3のLX検出制御 フリーホイール状態のFETをオンにするための条件を選択します。 Buck3Vset ≤ 1.6Vの場合は0に保持してください。	0: Enter freewheeling mode after inductor current zero-crossing 1: Enter freewheeling mode on V_{LX} high detection after inductor current zero-crossing

Buck3Cfg1（0x36）

BIT	7	6	5	4	3	2	1	0
Field	–	Buck3DisLDO	Buck3MPCFast	Buck3FPWM	Buck3IAdptDis	–	–	–

Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read	–	–	–

ビットフィールド	ビット	説明	デコード
Buck3DisLDO	6	LDOモード制御	0: Enable low dropout mode with LDO at low buck ratios 1: Disable LDO mode at low buck ratios
Buck3MPCFast	5	MPC4制御によるBuck3 FASTモード	0: Buck3 FAST mode control by MPC4 disabled 1: Buck3 FAST mode control by MPC4 enabled
Buck3FPWM	4	Buck3強制PWMモード制御	0: Normal operation 1: Forced PWM mode enabled
Buck3IAdptDis	3	Buck3アダプティブ・ピーク電流モード制御	0: Adaptive peak current mode enabled 1: Peak current fixed at value set in Buck3ISet

Buck3Iset（0x37）

BIT	7	6	5	4	3	2	1	0
Field	Buck3ISetLookUpDis	–	–	–	Buck3ISet[3:0]			
Access Type	Write, Read	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
Buck3ISetLookUpDis	7	ルックアップ・テーブルによるBuck3ピーク電流設定のディスエーブル	0: Inductor current setting is set according to lookup table 1: Inductor current setting is set by Buck3ISet
Buck3ISet	3:0	Buck3のインダクタ・ピーク電流設定。 Buck3ISetLookUpDisがハイの場合のみ有効です。 最大限の効率を得るには150mA～200mAの範囲で使用してください。線形スケール、25mA刻み、75mA未満の設定は最小t_{ON}によって制限できます。	0000: 0mA 0001: 25mA 0010: 50mA 0011: 75mA 0100: 100mA 0101: 125mA 0110: 150mA 0111: 175mA 1000: 200mA 1001: 225mA 1010: 250mA 1011: 275mA 1100: 300mA 1101: 325mA 1110: 350mA 1111: 375mA

Buck3VSet（0x38）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3VSet[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck3VSet	5:0	Buck3の出力電圧設定。 0.50V～0.50V+(63 × Buck3VStep)、線形スケール、Buck3VStep刻み。 例えばBuck3VStep = 50mVの場合： 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3Ctr（0x39）

BIT	7	6	5	4	3	2	1	0
Field	Buck3MPC7	Buck3MPC6	Buck3MPC5	Buck3MPC4	Buck3MPC3	Buck3MPC2	Buck3MPC1	Buck3MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Buck3MPC7	7	Buck3のMPC7イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC7 1: Buck3 controlled by MPC7
Buck3MPC6	6	Buck3のMPC6イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC6 1: Buck3 controlled by MPC6
Buck3MPC5	5	Buck3のMPC5イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC5 1: Buck3 controlled by MPC5
Buck3MPC4	4	Buck3のMPC4イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC4 1: Buck3 controlled by MPC4
Buck3MPC3	3	Buck3のMPC3イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC3 1: Buck3 controlled by MPC3
Buck3MPC2	2	Buck3のMPC2イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC2 1: Buck3 controlled by MPC2
Buck3MPC1	1	Buck3のMPC1イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC1 1: Buck3 controlled by MPC1

ビットフィールド	ビット	説明	デコード
Buck3MPC0	0	Buck3のMPC0イネーブル制御 Buck3Seq = 111およびBuck3En = 10の場合のみ有効です。複数のMPCが選択されている場合、Buck3はMPCの論理ORによって制御されます。	0: Buck3 not controlled by MPC0 1: Buck3 controlled by MPC0

Buck3DvsCfg0（0x3A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	Buck3DvsCfg[4:0]				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
Buck3DvsCfg	4:0		00000: DVS modes disabled 00001: MPC0/MPC1 00010: MPC0/MPC2 00011: MPC0/MPC3 00100: MPC0/MPC4 00101: MPC0/MPC5 00110: MPC0/MPC6 00111: MPC0/MPC7 01000: MPC1/MPC2 01001: MPC1/MPC3 01010: MPC1/MPC4 01011: MPC1/MPC5 01100: MPC1/MPC6 01101: MPC1/MPC7 01110: MPC2/MPC3 01111: MPC2/MPC4 10000: MPC2/MPC5 10001: MPC2/MPC6 10010: MPC2/MPC7 10011: MPC3/MPC4 10100: MPC3/MPC5 10101: MPC3/MPC6 10110: MPC3/MPC7 10111: MPC4/MPC5 11000: MPC4/MPC6 11001: MPC4/MPC7 11010: MPC5/MPC6 11011: MPC5/MPC7 11100: MPC6/MPC7 11101: SPI Mode >11101: RESERVED

Buck3DvsCfg1（0x3B）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt0[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck3DvsVlt0	5:0	Buck3の代替出力電圧設定0（MPC = 00で使用） 0.50V～0.50V+(63 × Buck3VStep)、線形スケール、Buck3VStep刻み。 例えばBuck3VStep = 50mVの場合： 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsCfg2（0x3C）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt1[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck3DvsVlt1	5:0	Buck3の代替出力電圧設定1（MPC = 01で使用） 0.50V～0.50V+(63 × Buck3VStep)、線形スケール、Buck3VStep刻み。 例えばBuck3VStep = 50mVの場合： 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsCfg3（0x3D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt2[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck3DvsVlt2	5:0	Buck3の代替出力電圧設定2（MPC = 10で使用） 0.50V～0.50V+(63 × Buck3VStep)、線形スケール、Buck3VStep刻み。 例えばBuck3VStep = 50mVの場合： 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsCfg4（0x3E）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt3[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
Buck3DvsVlt3	5:0	Buck3の代替出力電圧設定3（MPC = 11で使用） 0.50V～0.50V+(63 × Buck3VStep)、線形スケール、Buck3VStep刻み。 例えばBuck3VStep = 50mVの場合： 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsSpi（0x3F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3SPIVlt[5:0]					
Access Type	–	–	Read Only					

ビットフィールド	ビット	説明
Buck3SPIVlt	5:0	Buck3 SPI DVSリードバック。 0.50V～0.50V+(63 × Buck3VStep)、線形スケール、Buck3VStep刻み。 例えばBuck3VStep = 50mVの場合： 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

BBstEna（0x40）

BIT	7	6	5	4	3	2	1	0
Field	BBstSeq[2:0]			–	–	–	BBstEn[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
BBstSeq	7:5	昇降圧のイネーブル設定	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by BBstEn[1:0] after 100% of Boot/POR process delay control

ビットフィールド	ビット	説明	デコード
BBstEn	1:0	昇降圧のイネーブル設定（BBstSeq = 111または BBstUnlock = 1の場合のみ有効）	00: Disabled: BBOUT not actively discharged unless Hard-Reset/Shutdown/Off mode 01: Enabled 10: Controlled by MPC_ (See BBstMPC_ bits) 11: Reserved

BBstCfg（0x41）

BIT	7	6	5	4	3	2	1	0
Field	BBstISetLookUpDis	–	–	BBstLowEMI	BBstActDsc	BBstRampEn	BBstMode	BBstPsvDisc
Access Type	Write, Read	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BBstISetLookUpDis	7	ルックアップ・テーブルによる昇降圧ピーク電流設定のディスエーブル	0: Inductor current setting is set according to look-up table 1: Inductor current setting is set by BBstIPSet2 and BBstIPSet1
BBstLowEMI	4	昇降圧低EMIモード	0: Normal operation 1: Slow rise/fall edges on HVLX/LVLX by 3x
BBstActDsc	3	昇降圧アクティブ放電制御	0: Buck-Boost actively discharged only in Hard-Reset 1: Buck-Boost actively discharged in Hard-Reset or Enable Low
BBstRampEn	2	昇降圧ランプアップのイネーブル	0: Voltage setting transition is performed without intermediate steps 1: Voltage setting transition to a higher value is performed with incremental steps every 20µs
BBstMode	1	昇降圧動作モード	0: Buck-Boost 1: Buck Only
BBstPsvDisc	0	昇降圧パッシブ放電制御	0: Buck-Boost passively discharged only in Hard-Reset 1: Buck-Boost passively discharged in Hard-Reset or Enable Low.

BBstVSet（0x42）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstVSet[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
BBstVSet	5:0	昇降圧の出力電圧設定。 2.5V～5.5V、線形スケール、50mV刻み、000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、確実に機能するとは限りません。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V >111100 = N/A

BBstISet（0x43）

BIT	7	6	5	4	3	2	1	0
Field	BBstIPSet2[3:0]				BBstIPSet1[3:0]			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
BBstIPSet2	7:4	昇降圧の公称最大ピーク電流設定。 BBstISetLookUpbがハイの場合のみ有効です。 ピーク電流設定についての説明は昇降圧レギュレータのセクションを参照してください。0mA～375mA、線形スケール、25mA刻み、75mA未満の設定は最小t_{ON}によって制限できます。 推奨設定： V_{BBOUT} ≤ 2.65V：250mA 2.7V < V_{BBOUT} ≤ 3.05V：225mA 3.1V < V_{BBOUT} ≤ 3.6V：200mA 3.65V < V_{BBOUT} ≤ 4.35V：175mA V_{BBOUT} > 4.4V：150mA	0000: BBstIPSet1 + 0mA 0001: BBstIPSet1 + 25mA 0010: BBstIPSet1 + 50mA 0011: BBstIPSet1 + 75mA 0100: BBstIPSet1 + 100mA 0101: BBstIPSet1 + 125mA 0110: BBstIPSet1 + 150mA 0111: BBstIPSet1 + 175mA 1000: BBstIPSet1 + 200mA 1001: BBstIPSet1 + 225mA 1010: BBstIPSet1 + 250mA 1011: BBstIPSet1 + 275mA 1100: BBstIPSet1 + 300mA 1101: BBstIPSet1 + 325mA 1110: BBstIPSet1 + 350mA 1111: BBstIPSet1 + 375mA
BBstIPSet1	3:0	昇降圧の公称ピーク電流設定。 BBstISetLookUpbがハイの場合のみ有効です。 V_{IN}とGNDの間にあるインダクタを充電する場合の公称ピーク電流。 ピーク電流設定についての説明は昇降圧レギュレータのセクションを参照してください。0mA～375mA、線形スケール、25mA刻み、75mA未満の設定は最小t_{ON}によって制限できます。 推奨設定： V_{BBOUT} ≤ 2.65V：50mA 2.7V < V_{BBOUT} ≤ 3.05V：75mA 3.1V < V_{BBOUT} ≤ 3.4V：100mA 3.45V < V_{BBOUT} ≤ 3.8V：125mA 3.85V < V_{BBOUT} ≤ 4.15V：150mA 4.2V < V_{BBOUT} ≤ 4.55V：175mA 4.6V < V_{BBOUT} ≤ 4.9V：200mA 4.95V < V_{BBOUT} ≤ 5.3V：225mA V_{BBOUT} > 5.35V：250mA	0000: 0mA 0001: 25mA 0010: 50mA 0011: 75mA 0100: 100mA 0101: 125mA 0110: 150mA 0111: 175mA 1000: 200mA 1001: 225mA 1010: 250mA 1011: 275mA 1100: 300mA 1101: 325mA 1110: 350mA 1111: 375mA

BBstCfg1（0x44）

BIT	7	6	5	4	3	2	1	0
Field	–	BBstIAdptDis	BBstFast	BBstZCCmpDis	BBstFETScale	BBstMPC1FastCntl	BBFHighSh[1:0]	
Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

ビットフィールド	ビット	説明	デコード
BBstIAdptDis	6	アダプティブ・ピーク／バレー電流調整のイネーブル	0: Enabled 1: Disabled, peak current fixed and is set by BBstIPSet1,2. Valley current is fixed to 0mA
BBstFast	5	昇降圧のプリトリガ・モード設定	0: Normal, low quiescent current operation 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
BBstZCCmpDis	4	昇降圧ゼロ交差コンパレータのディスエーブル	0: Enable 1: Disable
BBstFETScale	3	昇降圧の強制FETスケーリング。 軽負荷時の効率を最適化するためにFETサイズを1/2に縮小します。	0: FET scaling disabled 1: FET scaling enabled
BBstMPC1FastCntl	2	MPC1による昇降圧FASTモードのイネーブル。 MAX86170/171との相互運用性を改善します。このモードを使用するときはMPC1をMAX86170/171のINT2に接続してください。	0: FAST status controlled by BBstFast Register 1: FAST mode controlled by MPC1. MPC1 = 0: FAST disabled MPC1 = 1: FAST enabled, I_Q increased by 30µA
BBFHighSh	1:0	昇降圧のf_{HIGH}スレッショルド。 スイッチング周波数スレッショルドf_{HIGH}を選択します。$f_{SW} > f_{HIGH}$の場合は、すべてのブロックがオンに保たれます（I_Qが大きくなる）。f_{HIGH}のクロスオーバー位置でV_{BBOUT}に小さいグリッチが現れることがあります。	00: 25kHz/6.125kHz 01: 35kHz/8.25kHz 10: 50kHz/12.5kHz 11: 100kHz/25kHz

BBstCtr0（0x45）

BIT	7	6	5	4	3	2	1	0
Field	BBstMPC7	BBstMPC6	BBstMPC5	BBstMPC4	BBstMPC3	BBstMPC2	BBstMPC1	BBstMPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BBstMPC7	7	昇降圧MPC7イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC7 1: Buck-Boost controlled by MPC7
BBstMPC6	6	昇降圧MPC6イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC6 1: Buck-Boost controlled by MPC6

ビットフィールド	ビット	説明	デコード
BBstMPC5	5	昇降圧MPC5イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC5 1: Buck-Boost controlled by MPC5
BBstMPC4	4	昇降圧MPC4イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC4 1: Buck-Boost controlled by MPC4
BBstMPC3	3	昇降圧MPC3イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC3 1: Buck-Boost controlled by MPC3
BBstMPC2	2	昇降圧MPC2イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC2 1: Buck-Boost controlled by MPC2
BBstMPC1	1	昇降圧MPC1イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC1 1: Buck-Boost controlled by MPC1
BBstMPC0	0	昇降圧MPC0イネーブル制御 BBstSeq = 111およびBBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Buck-Boost not controlled by MPC0 1: Buck-Boost controlled by MPC0

BBstCtr1（0x46）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	BBstDvsCfg[4:0]				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明	デコード
BBstDvsCfg	4:0	昇降圧のDVS設定	00000: DVS modes disabled 00001: MPC0/MPC1 00010: MPC0/MPC2 00011: MPC0/MPC3 00100: MPC0/MPC4 00101: MPC0/MPC5 00110: MPC0/MPC6 00111: MPC0/MPC7 01000: MPC1/MPC2 01001: MPC1/MPC3 01010: MPC1/MPC4 01011: MPC1/MPC5 01100: MPC1/MPC6 01101: MPC1/MPC7 01110: MPC2/MPC3 01111: MPC2/MPC4

ビットフィールド	ビット	説明	デコード
			10000: MPC2/MPC5 10001: MPC2/MPC6 10010: MPC2/MPC7 10011: MPC3/MPC4 10100: MPC3/MPC5 10101: MPC3/MPC6 10110: MPC3/MPC7 10111: MPC4/MPC5 11000: MPC4/MPC6 11001: MPC4/MPC7 11010: MPC5/MPC6 11011: MPC5/MPC7 11100: MPC6/MPC7 11101: SPI Mode >11101: RESERVED

BBstDvsCfg0（0x47）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstDvsVlt0[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
BBstDvsVlt0	5:0	昇降圧の代替出力電圧設定0（MPCの制御 = 00） 2.5V～5.5V、線形スケール、50mV刻み、000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、確実に機能するとは限りません。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V >111100 = N/A

BBstDvsCfg1（0x48）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstDvsVlt1[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
BBstDvsVlt1	5:0	昇降圧の代替出力電圧設定1（MPCの制御 = 01） 2.5V～5.5V、線形スケール、50mV刻み、000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、確実に機能するとは限りません。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V >111100 = N/A

BBstDvsCfg2（0x49）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstDvsVlt2[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
BBstDvsVlt2	5:0	昇降圧の代替出力電圧設定2（MPCの制御 = 10） 2.5V～5.5V、線形スケール、50mV刻み、000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、確実に機能するとは限りません。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V >111100 = N/A

BBstDvsCfg3（0x4A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstDvsVlt3[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
BBstDvsVlt3	5:0	昇降圧の代替出力電圧設定3（MPCの制御 = 11） 2.5V～5.5V、線形スケール、50mV刻み、000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、確実に機能するとは限りません。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V >111100 = N/A

BBstDvsSpi（0x4B）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstSPIVlt[5:0]					

Access Type	–	–	Read Only

ビットフィールド	ビット	説明
BBstSPIVlt	5:0	昇降圧のSPI DVSリードバック。 2.5V～5.5V、線形スケール、50mV刻み、000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、確実に機能するとは限りません。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V >111100 = N/A

LDO1Ena（0x51）

BIT	7	6	5	4	3	2	1	0
Field	LDO1Seq[2:0]			–	–	–	LDO1En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
LDO1Seq	7:5	LDO1のイネーブル設定（読出し専用）	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: 100 = Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by LDO1En [1:0] after 100% of Boot/POR process delay control
LDO1En	1:0	LDO1のイネーブル設定（LDO1Seq = 111または LDO1UnlockEn = 1の場合のみ有効）	00: Disabled 01: Enabled 10: Controlled by MPC_ (See LDO1Ctr register 0x54) 11: Reserved

LDO1Cfg（0x52）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	LDO1_MPC0CNF	LDO1_MPC0CNT	LDO1ActDsc	LDO1Mode	LDO1PsvDsc
Access Type	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LDO1_MPC0CNF	4	MPC0設定ビット	0: MPC0 controls LDO/SW mode of LDO1 (MPC0 = 0 LDO mode, MPC0 = 1 SW mode) 1: MPC0 controls Enable of LDO1 (MPC0 = 0 disabled, MPC0 = 1 enabled in SW mode)

ビットフィールド	ビット	説明	デコード
LDO1_MPC0CNT	3	LDO1/MPC0制御ビット	0: MPC0 has no effect on the LDO 1: LDO1_MPC0CNF is valid and MPC0 function is enabled
LDO1ActDsc	2	LDO1のアクティブ放電制御	0: LDO1 output is actively discharged only in Hard-Reset mode 1: LDO1 output is actively discharged in Hard-Reset mode and also when its Enable goes Low
LDO1Mode	1	LDO1のモード制御 FETがオンの場合、出力はレギュレーションされません。この設定は内部的にラッチされ、LDOがディスエーブルされた場合のみ変更できます。	0: Normal LDO operating mode 1: Load switch mode. FET is either fully On or Off depending on state of LDO1En.
LDO1PsvDsc	0	LDO1のパッシブ放電制御	0: LDO1 output is discharged only entering Off and Hard- Reset modes 1: LDO1 output is discharged only entering Off and Hard- Reset modes and when the enable is Low

LDO1VSet（0x53）

BIT	7	6	5	4	3	2	1	0
Field	–	–	LDO1VSet[5:0]					
Access Type	–	–	Write, Read					

ビットフィールド	ビット	説明
LDO1VSet	5:0	LDO1の出力電圧設定。 入力電源によって制限されます 0.5V～1.95V、線形スケール、25mV刻み 000000 = 0.5V 000001 = 0.525V … 111010 = 1.95V >111010 = 入力電源によって制限されます

LDO1Ctr（0x54）

BIT	7	6	5	4	3	2	1	0
Field	LDO1MPC7	LDO1MPC6	LDO1MPC5	LDO1MPC4	LDO1MPC3	LDO1MPC2	LDO1MPC1	LDO1MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LDO1MPC7	7	LDO1のMPC7イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC7 1: LDO1 controlled by MPC7

ビットフィールド	ビット	説明	デコード
LDO1MPC6	6	LDO1のMPC6イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC6 1: LDO1 controlled by MPC6
LDO1MPC5	5	LDO1のMPC5イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC5 1: LDO1 controlled by MPC5
LDO1MPC4	4	LDO1のMPC4イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC4 1: LDO1 controlled by MPC4
LDO1MPC3	3	LDO1のMPC3イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC3 1: LDO1 controlled by MPC3
LDO1MPC2	2	LDO1のMPC2イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC2 1: LDO1 controlled by MPC2
LDO1MPC1	1	LDO1のMPC1イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC1 1: LDO1 controlled by MPC1
LDO1MPC0	0	LDO1のMPC0イネーブル制御 LDO1Seq = 111およびLDO1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO1はMPCの論理ORによって制御されます。	0: LDO1 not controlled by MPC0 1: LDO1 controlled by MPC0

LDO2Ena（0x55）

BIT	7	6	5	4	3	2	1	0
Field	LDO2Seq[2:0]			–	–	–	LDO2En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
LDO2Seq	7:5	LDO2のイネーブル設定（読出し専用）	000: 000 = Disabled 001: Enabled always when BAT/SYS is present 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by LDO2En [1:0] after 100% of Boot/POR process delay control

ビットフィールド	ビット	説明	デコード
LDO2En	1:0	LDO2のイネーブル設定（LDO2Seq = 111または LDO2UnlockEn = 1の場合のみ有効）	00: Disabled 01: Enabled 10: Controlled by MPC_ (See LDO2Ctr register 0x58) 11: Reserved

LDO2Cfg（0x56）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	LDO2Supply	LDO2ActDsc	LDO2Mode	LDO2PsvDsc
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LDO2Supply	3	AON LDOの内部スイッチオーバー電源制御	0: L2IN must be provided externally 1: L2IN is internally connected to V_{CCINT} with a TYP 15kΩ resistor. Bypass L2IN with 1µF
LDO2ActDsc	2	LDO2のアクティブ放電制御	0: LDO2 output is actively discharged only in Hard-Reset mode 1: LDO2 output is actively discharged in Hard-Reset mode and also when its Enable goes Low
LDO2Mode	1	LDO2のモード制御 FETがオンの場合、出力はレギュレーションされません。この設定は内部的にラッチされ、LDOがディスエーブルされた場合のみ変更できます。	0: Normal LDO operating mode 1: Load switch mode. FET is either fully On or Off depending on state of LDO2En.
LDO2PsvDsc	0	LDO2のパッシブ放電制御	0: LDO2 output is passively discharged only in Hard-Reset mode 1: LDO2 output is passively discharged in Hard-Reset mode and also when its Enable goes Low

LDO2VSet（0x57）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	LDO2VSet[4:0]				
Access Type	–	–	–	Write, Read				

ビットフィールド	ビット	説明
LDO2VSet	4:0	LDO2の出力電圧設定。 入力電源によって制限されます。 0.9V～4V、線形スケール、100mV刻み 000000 = 0.9V 000001 = 1V … 11110 = 3.9V 11111 = 4V

LDO2Ctr（0x58）

BIT	7	6	5	4	3	2	1	0
Field	LDO2MPC7	LDO2MPC6	LDO2MPC5	LDO2MPC4	LDO2MPC3	LDO2MPC2	LDO2MPC1	LDO2MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LDO2MPC7	7	LDO2のMPC7イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC7 1: LDO2 controlled by MPC7
LDO2MPC6	6	LDO2のMPC6イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC6 1: LDO2 controlled by MPC6
LDO2MPC5	5	LDO2のMPC5イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC5 1: LDO2 controlled by MPC5
LDO2MPC4	4	LDO2のMPC4イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC4 1: LDO2 controlled by MPC4
LDO2MPC3	3	LDO2のMPC3イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC3 1: LDO2 controlled by MPC3
LDO2MPC2	2	LDO2のMPC2イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC2 1: LDO2 controlled by MPC2
LDO2MPC1	1	LDO2のMPC1イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC1 1: LDO2 controlled by MPC1
LDO2MPC0	0	LDO2のMPC0イネーブル制御 LDO2Seq = 111およびLDO2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LDO2はMPCの論理ORによって制御されます。	0: LDO2 not controlled by MPC0 1: LDO2 controlled by MPC0

LSW1Ena（0x59）

BIT	7	6	5	4	3	2	1	0
Field	LSW1Seq[2:0]			–	–	–	LSW1En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
LSW1Seq	7:5	LSW1のイネーブル設定（読出し専用）	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by LSW1En [1:0] after 100% of Boot/POR process delay control
LSW1En	1:0	LSW1のイネーブル設定（LSW1Seq = 111の場合のみ有効）	00: Disabled 01: Enabled 10: Controlled by MPC_ (See LSW1MPC_ bits in register 0x5B) 11: Reserved

LSW1Cfg（0x5A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	LSW1ActDsc	LSW1LowIq	LSW1PsvDsc
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LSW1ActDsc	2	LSW1のアクティブ放電制御	0: LSW1 output is actively discharged only in Hard-Reset mode 1: LSW1 output is actively discharged in Hard-Reset mode and also when its Enable goes Low
LSW1LowIq	1	LSW1の低静止電流制御 低静止電流モードは、LSW1の電圧保護をディスエーブルすることによって実現されます。	0: Voltage protection enabled. If $V_{SYS} - V_{LSW1OUT}$ exceeds V_{LSW_PROT}, the output is disabled to protect from overcurrent. 1: Voltage protection disabled and quiescent is reduced
LSW1PsvDsc	0	LSW1のパッシブ放電制御	0: LSW1 output is discharged only entering Off and Hard-Reset modes 1: LSW1 output is discharged only entering Off and Hard-Reset modes and when the enable is Low

LSW1Ctr（0x5B）

BIT	7	6	5	4	3	2	1	0
Field	LSW1MPC7	LSW1MPC6	LSW1MPC5	LSW1MPC4	LSW1MPC3	LSW1MPC2	LSW1MPC1	LSW1MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LSW1MPC7	7	LSW1のMPC7イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC7 1: LSW1 controlled by MPC7
LSW1MPC6	6	LSW1のMPC6イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC6 1: LSW1 controlled by MPC6
LSW1MPC5	5	LSW1のMPC5イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC5 1: LSW1 controlled by MPC5
LSW1MPC4	4	LSW1のMPC4イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC4 1: LSW1 controlled by MPC4
LSW1MPC3	3	LSW1のMPC3イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC3 1: LSW1 controlled by MPC3
LSW1MPC2	2	LSW1のMPC2イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC2 1: LSW1 controlled by MPC2
LSW1MPC1	1	LSW1のMPC1イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC1 1: LSW1 controlled by MPC1
LSW1MPC0	0	LSW1のMPC0イネーブル制御 LSW1Seq = 111およびLSW1En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW1はMPCの論理ORによって制御されます。	0: LSW1 not controlled by MPC0 1: LSW1 controlled by MPC0

LSW2Ena（0x5C）

BIT	7	6	5	4	3	2	1	0
Field	LSW2Seq[2:0]			–	–	–	LSW2En[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
LSW2Seq	7:5	LSW2のイネーブル設定（読出し専用）	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by LSW2En [1:0] after 100% of Boot/POR process delay control

ビットフィールド	ビット	説明	デコード
LSW2En	1:0	LSW2のイネーブル設定（LSW2Seq = 111の場合のみ有効）	00: Disabled 01: Enabled 10: Controlled by MPC_ (See LSW2MPC_ bits in register 0x5E) 11: Reserved

LSW2Cfg（0x5D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	LSW2ActDsc	LSW2LowIq	LSW2PsvDsc
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LSW2ActDsc	2	LSW2のアクティブ放電制御	0: LSW2 output is actively discharged only in Hard-Reset mode 1: LSW2 output is actively discharged in Hard-Reset mode and also when its Enable goes Low
LSW2LowIq	1	LSW2の低静止電流制御 低静止電流モードは、LSW2の電圧保護をディスエーブルすることによって実現されます。	0: Voltage protection enabled. If $V_{SYS} - V_{LSW2OUT}$ exceeds V_{LSW_PROT}, the output is disabled to protect from overcurrent. 1: Voltage protection disabled and quiescent is reduced
LSW2PsvDsc	0	LSW2のパッシブ放電制御	0: LSW2 output is discharged only entering Off and Hard-Reset modes 1: LSW2 output is discharged only entering Off and Hard-Reset modes and when the enable is Low

LSW2Ctr（0x5E）

BIT	7	6	5	4	3	2	1	0
Field	LSW2MPC7	LSW2MPC6	LSW2MPC5	LSW2MPC4	LSW2MPC3	LSW2MPC2	LSW2MPC1	LSW2MPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LSW2MPC7	7	LSW2のMPC7イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC7 1: LSW2 controlled by MPC7
LSW2MPC6	6	LSW2のMPC6イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC6 1: LSW2 controlled by MPC6

ビットフィールド	ビット	説明	デコード
LSW2MPC5	5	LSW2のMPC5イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC5 1: LSW2 controlled by MPC5
LSW2MPC4	4	LSW2のMPC4イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC4 1: LSW2 controlled by MPC4
LSW2MPC3	3	LSW2のMPC3イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC3 1: LSW2 controlled by MPC3
LSW2MPC2	2	LSW2のMPC2イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC2 1: LSW2 controlled by MPC2
LSW2MPC1	1	LSW2のMPC1イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC1 1: LSW2 controlled by MPC1
LSW2MPC0	0	LSW2のMPC0イネーブル制御 LSW2Seq = 111およびLSW2En = 10の場合のみ有効です。複数のMPCが選択されている場合、LSW2はMPCの論理ORによって制御されます。	0: LSW2 not controlled by MPC0 1: LSW2 controlled by MPC0

ChgPmpEna（0x5F）

BIT	7	6	5	4	3	2	1	0
Field	ChgPmpSeq[2:0]			–	–	–	ChgPmpEn[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
ChgPmpSeq	7:5	チャージ・ポンプのイネーブル設定（読出し専用）	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by ChgPmpEn [1:0] after 100% of Boot/POR process delay control
ChgPmpEn	1:0	チャージ・ポンプのイネーブル設定（ChgPmpSeq = 111またはChgPmpUnlock = 1の場合のみ有効）	00: Disabled 01: Enabled 10: Controlled by MPC_ (See ChgPmpMPC_ bits in register 0x61) 11: Reserved

ChgPmpCfg（0x60）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	CPVSet	ChgPmpPsv
Access Type	–	–	–	–	–	–	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
CPVSet	1	チャージ・ポンプの電圧制御	0: 6.6V 1: 5V
ChgPmpPsv	0	チャージ・ポンプのパッシブ放電制御	0: Charge pump passively discharged only in Hard-Reset 1: Charge pump passively discharged in Hard-Reset or Enable Low.

ChgPmpCtr（0x61）

BIT	7	6	5	4	3	2	1	0
Field	CHGPMPMPC7	CHGPMPMPC6	CHGPMPMPC5	CHGPMPMPC4	CHGPMPMPC3	CHGPMPMPC2	CHGPMPMPC1	CHGPMPMPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
CHGPMPMPC7	7	チャージ・ポンプのMPC7イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC7 1: Charge pump controlled by MPC7
CHGPMPMPC6	6	チャージ・ポンプのMPC6イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC6 1: Charge pump controlled by MPC6
CHGPMPMPC5	5	チャージ・ポンプのMPC5イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC5 1: Charge pump controlled by MPC5
CHGPMPMPC4	4	チャージ・ポンプのMPC4イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC4 1: Charge pump controlled by MPC4

ビットフィールド	ビット	説明	デコード
CHGPMPMPC3	3	チャージ・ポンプのMPC3イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC3 1: Charge pump controlled by MPC3
CHGPMPMPC2	2	チャージ・ポンプのMPC2イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC2 1: Charge pump not controlled by MPC2
CHGPMPMPC1	1	チャージ・ポンプのMPC1イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC1 1: Charge pump controlled by MPC1
CHGPMPMPC0	0	チャージ・ポンプのMPC0イネーブル制御 ChgPmpSeq = 111およびChgPmpEn = 10の場合のみ有効です。複数のMPCが選択されている場合、ChgPmpはMPCの論理ORによって制御されます。	0: Charge pump not controlled by MPC0 1: Charge pump controlled by MPC0

BoostEna（0x62）

BIT	7	6	5	4	3	2	1	0
Field	BoostSeq[2:0]			–	–	–	BstEn[1:0]	
Access Type	Read Only			–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
BoostSeq	7:5	昇圧のイネーブル設定（読出し専用）	000: Disabled 001: Reserved 010: Enabled at 0% of Boot/POR process delay control 011: Enabled at 25% of Boot/POR process delay control 100: Enabled at 50% of Boot/POR process delay control 101: Reserved 110: Reserved 111: Controlled by BstEn [1:0] after 100% of Boot/POR process delay control
BstEn	1:0	昇圧のイネーブル設定（BoostSeq = 111またはBoostUnlock = 1の場合のみ有効）	00: Disabled 01: Enabled 10: Controlled by MPC_ (See BoostMPC_ bits in register 0x66) 11: Reserved

BoostCfg（0x63）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	BstPsvDsc	BstIAdptEn	BstFastStrt	BstFETScale
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BstPsvDsc	3	昇圧のパッシブ放電制御	0: Boost output is discharged only when entering Off and Hard-Reset modes 1: Boost output is discharged only when entering Off and Hard-Reset modes and when BoostEn is set to 000
BstIAdptEn	2	昇圧のアダプティブ・ピーク電流制御	0: Inductor peak current fixed at the programmed value by means of BstISet 1: Inductor peak current automatically increased to provide better load regulation
BstFastStrt	1	昇圧の高速起動時間	0: Time to full current capability during Startup =100ms. Precharge with fixed BstISet = 100mA 1: Time to full current capability during Startup = 50ms.
BstFETScale	0	昇圧のFETスケーリング	0: No FET scaling 1: Active boost FET size scaled down by half to optimize efficiency for low inductor peak current settings

BoostISet（0x64）

BIT	7	6	5	4	3	2	1	0
Field	BstISetLookUpDis	–	–	–	BstISet[3:0]			
Access Type	Write, Read	–	–	–	Write, Read			

ビットフィールド	ビット	説明	デコード
BstISetLookUpDis	7	ルックアップ・テーブルによる昇圧ピーク電流設定のディスエーブル	0: Inductor current setting is set according to look-up table 1: Inductor current setting is set by BstISet
BstISet	3:0	昇圧の公称インダクタ・ピーク電流設定。 BstISetLookUpDisがハイの場合のみ有効です。 25mAステップ分解能	0000: 100mA 0001: 125mA 0010: 150mA 0011: 175mA 0100: 200mA 0101: 225mA 0110: 250mA 0111: 275mA 1000: 300mA 1001: 325mA 1010: 350mA 1011: 375mA 1100: 400mA 1101: 425mA 1110: 450mA 1111: 475mA

BoostVSet（0x65）

BIT	7	6	5	4	3	2	1	0

Field	–	–	BstVSet[5:0]
Access Type	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
BstVSet	5:0	昇圧出力電圧設定。 線形スケール、5V～20V、250mV刻み	000000: 5.00V 000001: 5.25V 000010: 5.50V 000011: 5.75V 000100: 6.00V 000101: 6.25V 000110: 6.50V 000111: 6.75V 001000: 7.00V 001001: 7.25V 001010: 7.50V 001011: 7.75V 001100: 8.00V 001101: 8.25V 001110: 8.50V 001111: 8.75V 010000: 9.00V 010001: 9.25V 010010: 9.50V 010011: 9.75V 010100: 10.00V 010101: 10.25V 010110: 10.50V 010111: 10.75V 011000: 11.00V 011001: 11.25V 011010: 11.50V 011011: 11.75V 011100: 12.00V 011101: 12.25V 011110: 12.50V 011111: 12.75V 100000: 13.00V 100001: 13.25V 100010: 13.50V 100011: 13.75V 100100: 14.00V 100101: 14.25V 100110: 14.50V 100111: 14.75V 101000: 15.00V 101001: 15.25V 101010: 15.50V 101011: 15.75V 101100: 16.00V 101101: 16.25V 101110: 16.50V 101111: 16.75V 110000: 17.00V 110001: 17.25V 110010: 17.50V 110011: 17.75V 110100: 18.00V 110101: 18.25V 110110: 18.50V 110111: 18.75V 111000: 19.00V 111001: 19.25V 111010: 19.50V 111011: 19.75V 111100: 20.00V >111100: Reserved

BoostCtr（0x66）

BIT	7	6	5	4	3	2	1	0
Field	BstMPC7	BstMPC6	BstMPC5	BstMPC4	BstMPC3	BstMPC2	BstMPC1	BstMPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BstMPC7	7	昇圧のMPC7イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC7 1: Boost controlled by MPC7
BstMPC6	6	昇圧のMPC6イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC6 1: Boost controlled by MPC6
BstMPC5	5	昇圧のMPC5イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC5 1: Boost controlled by MPC5
BstMPC4	4	昇圧のMPC4イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC4 1: Boost controlled by MPC4
BstMPC3	3	昇圧のMPC3イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC3 1: Boost controlled by MPC3
BstMPC2	2	昇圧のMPC2イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC2 1: Boost controlled by MPC2
BstMPC1	1	昇圧のMPC1イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC1 1: Boost controlled by MPC1
BstMPC0	0	昇圧のMPC0イネーブル制御 BstSeq = 111およびBstEn = 10の場合のみ有効です。複数のMPCが選択されている場合、昇降圧はMPCの論理ORによって制御されます。	0: Boost not controlled by MPC0 1: Boost controlled by MPC0

MPC0Cfg（0x67）

BIT	7	6	5	4	3	2	1	0

Field	MPC0Read	–	–	MPC0Out	MPC0OD	MPC0HiZB	MPC0Res	MPC0Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC0Read	7	MPC0の状態	0: MPC0 Low 1: MPC0 High (if MPC0OD = 0) or Hi-Z (if MPC0OD = 1)
MPC0Out	4	MPC0の出力値 MPC0が出力として設定されている場合（MPC0HiZB = 1）のみ有効です。	0: MPC0 connected to GND 1: MPC0 open drain off (MPC0OD = 1) or connected to BK1OUT (MPC0OD = 0)
MPC0OD	3	MPC0の出力設定 MPC0が出力として設定されている場合（MPC0HiZB = 1）のみ有効です。	0: MPC0 is push-pull connected to BK1OUT 1: MPC0 is open drain
MPC0HiZB	2	MPC0の方向	0: MPC0 is Hi-Z. Input buffer enabled. 1: MPC0 is not Hi-Z. Output buffer enabled.
MPC0Res	1	MPC0の抵抗の有無 MPC0が入力として設定されている場合（MPC0HiZB = 0）のみ有効です。	0: Resistor not connected to MPC0 1: Resistor connected to MPC0
MPC0Pup	0	MPC0の抵抗設定 MPC0に抵抗が接続されている場合（MPC0Res = 1）のみ有効です。	0: Pulldown connected to MPC0 1: Pullup to V_{CCINT} connected MCP0

MPC1Cfg（0x68）

BIT	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Field	MPC1Read	–	–	MPC1Out	MPC1OD	MPC1HiZB	MPC1Res	MPC1Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC1Read	7	MPC1の状態	0: MPC1 Low 1: MPC1 High (if MPC1OD = 0) or Hi-Z (if MPC1OD = 1)
MPC1Out	4	MPC1の出力値 MPC1が出力として設定されている場合（MPC1HiZB = 1）のみ有効です。	0: MPC1 connected to GND 1: MPC1 open drain off (MPC1OD = 1) or connected to BK1OUT (MPC1OD = 0)
MPC1OD	3	MPC1の出力設定 MPC1が出力として設定されている場合（MPC1HiZB = 1）のみ有効です。	0: MPC1 is push-pull connected to BK1OUT 1: MPC1 is open drain
MPC1HiZB	2	MPC1の方向	0: MPC1 is Hi-Z. Input buffer enabled. 1: MPC1 is not Hi-Z. Output buffer enabled.
MPC1Res	1	MPC1の抵抗の有無 MPC1が入力として設定されている場合（MPC1HiZB = 0）のみ有効です。	0: Resistor not connected to MPC1 1: Resistor connected to MPC1
MPC1Pup	0	MPC1の抵抗設定 MPC1に抵抗が接続されている場合（MPC1Res = 1）のみ有効です。	0: Pulldown connected to MPC1 1: Pullup to V_{CCINT} connected MCP1

MPC2Cfg（0x69）

BIT	7	6	5	4	3	2	1	0
Field	MPC2Read	–	–	MPC2Out	MPC2OD	MPC2HiZB	MPC2Res	MPC2Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC2Read	7	MPC2の状態	0: MPC2 Low 1: MPC2 High (if MPC2OD = 0) or Hi-Z (if MPC2OD = 1)
MPC2Out	4	MPC2の出力値 MPC2が出力として設定されている場合（MPC2HiZB = 1）のみ有効です。	0: MPC2 connected to GND 1: MPC2 open drain off (MPC2OD = 1) or connected to BK1OUT (MPC2OD = 0)
MPC2OD	3	MPC2の出力設定 MPC2が出力として設定されている場合（MPC2HiZB = 1）のみ有効です。	0: MPC2 is push-pull connected to BK1OUT 1: MPC2 is open drain
MPC2HiZB	2	MPC2の方向	0: MPC2 is Hi-Z. Input buffer enabled. 1: MPC2 is not Hi-Z. Output buffer enabled.
MPC2Res	1	MPC2の抵抗の有無 MPC2が入力として設定されている場合（MPC2HiZB = 0）のみ有効です。	0: Resistor not connected to MPC2 1: Resistor connected to MPC2
MPC2Pup	0	MPC2の抵抗設定 MPC2に抵抗が接続されている場合（MPC2Res = 1）のみ有効です。	0: Pulldown connected to MPC2 1: Pullup to V_{CCINT} connected MCP2

MPC3Cfg（0x6A）

BIT	7	6	5	4	3	2	1	0
Field	MPC3Read	–	–	MPC3Out	MPC3OD	MPC3HiZB	MPC3Res	MPC3Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC3Read	7	MPC3の状態	0: MPC3 Low 1: MPC3 High (if MPC3OD = 0) or Hi-Z (if MPC3OD = 1)
MPC3Out	4	MPC3の出力値 MPC3が出力として設定されている場合（MPC3HiZB = 1）のみ有効です。	0: MPC3 connected to GND 1: MPC3 open drain off (MPC3OD = 1) or connected to BK1OUT (MPC3OD = 0)

ビットフィールド	ビット	説明	デコード
MPC3OD	3	MPC3の出力設定 MPC3が出力として設定されている場合（MPC3HiZB = 1）のみ有効です。	0: MPC3 is push-pull connected to BK1OUT 1: MPC3 is open drain
MPC3HiZB	2	MPC3の方向	0: MPC3 is Hi-Z. Input buffer enabled. 1: MPC3 is not Hi-Z. Output buffer enabled.
MPC3Res	1	MPC3の抵抗の有無 MPC3が入力として設定されている場合（MPC3HiZB = 0）のみ有効です。	0: Resistor not connected to MPC3 1: Resistor connected to MPC3
MPC3Pup	0	MPC3の抵抗設定 MPC3に抵抗が接続されている場合（MPC3Res = 1）のみ有効です。	0: Pulldown connected to MPC3 1: Pullup to V_{CCINT} connected MCP3

MPC4Cfg（0x6B）

BIT	7	6	5	4	3	2	1	0
Field	MPC4Read	–	–	MPC4Out	MPC4OD	MPC4HiZB	MPC4Res	MPC4Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC4Read	7	MPC4の状態	0: MPC4 Low 1: MPC4 High (if MPC4OD = 0) or Hi-Z (if MPC4OD = 1)
MPC4Out	4	MPC4の出力値 MPC4が出力として設定されている場合（MPC4HiZB = 1）のみ有効です。	0: MPC4 connected to GND 1: MPC4 open drain off (MPC4OD = 1) or connected to BK1OUT (MPC4OD = 0)
MPC4OD	3	MPC4の出力設定 MPC4が出力として設定されている場合（MPC4HiZB = 1）のみ有効です。	0: MPC4 is push-pull connected to BK1OUT 1: MPC4 is open drain
MPC4HiZB	2	MPC4の方向	0: MPC4 is Hi-Z. Input buffer enabled. 1: MPC4 is not Hi-Z. Output buffer enabled.
MPC4Res	1	MPC4の抵抗の有無 MPC4が入力として設定されている場合（MPC4HiZB = 0）のみ有効です。	0: Resistor not connected to MPC4 1: Resistor connected to MPC4
MPC4Pup	0	MPC4の抵抗設定 MPC4に抵抗が接続されている場合（MPC4Res = 1）のみ有効です。	0: Pulldown connected to MPC4 1: Pullup to V_{CCINT} connected MCP4

MPC5Cfg（0x6C）

BIT	7	6	5	4	3	2	1	0
Field	MPC5Read	–	–	MPC5Out	MPC5OD	MPC5HiZB	MPC5Res	MPC5Pup

Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC5Read	7	MPC5の状態	0: MPC5 Low 1: MPC5 High (if MPC5OD = 0) or Hi-Z (if MPC5OD = 1)
MPC5Out	4	MPC5の出力値 MPC5が出力として設定されている場合（MPC5HiZB = 1）のみ有効です。	0: MPC5 connected to GND 1: MPC5 open drain off (MPC5OD = 1) or connected to BK1OUT (MPC5OD = 0)
MPC5OD	3	MPC5の出力設定 MPC5が出力として設定されている場合（MPC5HiZB = 1）のみ有効です。	0: MPC5 is push-pull connected to BK1OUT 1: MPC5 is open drain
MPC5HiZB	2	MPC5の方向	0: MPC5 is Hi-Z. Input buffer enabled. 1: MPC5 is not Hi-Z. Output buffer enabled.
MPC5Res	1	MPC5の抵抗の有無 MPC5が入力として設定されている場合（MPC5HiZB = 0）のみ有効です。	0: Resistor not connected to MPC5 1: Resistor connected to MPC5
MPC5Pup	0	MPC5の抵抗設定 MPC5に抵抗が接続されている場合（MPC5Res = 1）のみ有効です。	0: Pulldown connected to MPC5 1: Pullup to V_{CCINT} connected MCP5

MPC6Cfg（0x6D）

BIT	7	6	5	4	3	2	1	0
Field	MPC6Read	–	–	MPC6Out	MPC6OD	MPC6HiZB	MPC6Res	MPC6Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC6Read	7	MPC6の状態	0: MPC6 Low 1: MPC6 High (if MPC6OD = 0) or Hi-Z (if MPC6OD = 1)
MPC6Out	4	MPC6の出力値 MPC6が出力として設定されている場合（MPC6HiZB = 1）のみ有効です。	0: MPC6 connected to GND 1: MPC6 open drain off (MPC6OD = 1) or connected to BK1OUT (MPC6OD = 0)
MPC6OD	3	MPC6の出力設定 MPC6が出力として設定されている場合（MPC6HiZB = 1）のみ有効です。	0: MPC6 is push-pull connected to BK1OUT 1: MPC6 is open drain
MPC6HiZB	2	MPC6の方向	0: MPC6 is Hi-Z. Input buffer enabled. 1: MPC6 is not Hi-Z. Output buffer enabled.
MPC6Res	1	MPC6の抵抗の有無 MPC6が入力として設定されている場合（MPC6HiZB = 0）のみ有効です。	0: Resistor not connected to MPC6 1: Resistor connected to MPC6
MPC6Pup	0	MPC6の抵抗設定 MPC6に抵抗が接続されている場合（MPC6Res = 1）のみ有効です。	0: Pulldown connected to MPC6 1: Pullup to V_{CCINT} connected MCP6

MPC7Cfg（0x6E）

BIT	7	6	5	4	3	2	1	0
Field	MPC7Read	–	–	MPC7Out	MPC7OD	MPC7HiZB	MPC7Res	MPC7Pup
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
MPC7Read	7	MPC7の状態	0: MPC7 Low 1: MPC7 High (if MPC7OD = 0) or Hi-Z (if MPC7OD = 1)
MPC7Out	4	MPC7の出力値 MPC7が出力として設定されている場合（MPC7HiZB = 1）のみ有効です。	0: MPC7 connected to GND 1: MPC7 open drain off (MPC7OD = 1) or connected to BK1OUT (MPC7OD = 0)
MPC7OD	3	MPC7の出力設定 MPC7が出力として設定されている場合（MPC7HiZB = 1）のみ有効です。	0: MPC7 is push-pull connected to BK1OUT 1: MPC7 is open drain
MPC7HiZB	2	MPC7の方向	0: MPC7 is Hi-Z. Input buffer enabled. 1: MPC7 is not Hi-Z. Output buffer enabled.
MPC7Res	1	MPC7の抵抗の有無 MPC7が入力として設定されている場合（MPC7HiZB = 0）のみ有効です。	0: Resistor not connected to MPC7 1: Resistor connected to MPC7
MPC7Pup	0	MPC7の抵抗設定 MPC7に抵抗が接続されている場合（MPC7Res = 1）のみ有効です。	0: Pulldown connected to MPC7 1: Pullup to V_{CCINT} connected MCP7

MPCItrSts（0x6F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	USBOkMPCSts	–	–	BK3PgMPCSts	BK2PgMPCSts	BK1PgMPCSts
Access Type	–	–	Read Only	–	–	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
USBOkMPCSts	5	USBOk専用MPC割込みステータス・ビット	0: USBOk MPC power good interrupt not active 1: USBOk MPC power good interrupt active
BK3PgMPCSts	2	Buck3専用MPC割込みステータス・ビット	0: Buck3 MPC power good interrupt not active 1: Buck3 MPC power good interrupt active
BK2PgMPCSts	1	Buck2専用MPC割込みステータス・ビット	0: Buck2 MPC power good interrupt not active 1: Buck2 MPC power good interrupt active
BK1PgMPCSts	0	Buck1専用MPC割込みステータス・ビット	0: Buck1 MPC power good interrupt not active 1: Buck1 MPC power good interrupt active

BK1DedIntCfg（0x70）

BIT	7	6	5	4	3	2	1	0

Field	BK1PGMPCInt	BK1MPC6Sel	BK1MPC5Sel	BK1MPC4Sel	BK1MPC3Sel	BK1MPC2Sel	BK1MPC1Sel	BK1MPC0Sel
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BK1PGMPCInt	7	Buck1専用パワーグッド割込み	0: No power-good status change 1: Buck1 power-good status change caused interrupt
BK1MPC6Sel	6	Buck1 PGOOD割込みのMPC6割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC6 1: Buck1 PGOOD Interrupt routed to MPC6
BK1MPC5Sel	5	Buck1 PGOOD割込みのMPC5割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC5 1: Buck1 PGOOD Interrupt routed to MPC5
BK1MPC4Sel	4	Buck1 PGOOD割込みのMPC4割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC4 1: Buck1 PGOOD Interrupt routed to MPC4
BK1MPC3Sel	3	Buck1 PGOOD割込みのMPC3割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC3 1: Buck1 PGOOD Interrupt routed to MPC3
BK1MPC2Sel	2	Buck1 PGOOD割込みのMPC2割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC2 1: Buck1 PGOOD Interrupt routed to MPC2
BK1MPC1Sel	1	Buck1 PGOOD割込みのMPC1割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC1 1: Buck1 PGOOD Interrupt routed to MPC1
BK1MPC0Sel	0	Buck1 PGOOD割込みのMPC0割り当て制御	0: Buck1 PGOOD Interrupt not routed to MPC0 1: Buck1 PGOOD Interrupt routed to MPC0

BK2DedIntCfg（0x71）

BIT	7	6	5	4	3	2	1	0
Field	BK2PGMPCInt	BK2MPC6Sel	BK2MPC5Sel	BK2MPC4Sel	BK2MPC3Sel	BK2MPC2Sel	BK2MPC1Sel	BK2MPC0Sel
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BK2PGMPCInt	7	Buck2専用パワーグッド割込み	0: No power-good status change 1: Buck2 power-good status change caused interrupt
BK2MPC6Sel	6	Buck2 PGOOD割込みのMPC6割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC6 1: Buck2 PGOOD Interrupt routed to MPC6
BK2MPC5Sel	5	Buck2 PGOOD割込みのMPC5割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC5 1: Buck2 PGOOD Interrupt routed to MPC5
BK2MPC4Sel	4	Buck2 PGOOD割込みのMPC4割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC4 1: Buck2 PGOOD Interrupt routed to MPC4
BK2MPC3Sel	3	Buck2 PGOOD割込みのMPC3割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC3 1: Buck2 PGOOD Interrupt routed to MPC3
BK2MPC2Sel	2	Buck2 PGOOD割込みのMPC2割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC2 1: Buck2 PGOOD Interrupt routed to MPC2
BK2MPC1Sel	1	Buck2 PGOOD割込みのMPC1割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC1 1: Buck2 PGOOD Interrupt routed to MPC1
BK2MPC0Sel	0	Buck2 PGOOD割込みのMPC0割り当て制御	0: Buck2 PGOOD Interrupt not routed to MPC0 1: Buck2 PGOOD Interrupt routed to MPC0

BK3DedIntCfg（0x72）

BIT	7	6	5	4	3	2	1	0

Field	BK3PGMPCInt	BK3MPC6Sel	BK3MPC5Sel	BK3MPC4Sel	BK3MPC3Sel	BK3MPC2Sel	BK3MPC1Sel	BK3MPC0Sel
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
BK3PGMPCInt	7	Buck3専用パワーグッド割込み	0: No power-good status change 1: Buck3 power-good status change caused interrupt
BK3MPC6Sel	6	Buck3 PGOOD割込みのMPC6割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC6 1: Buck3 PGOOD Interrupt routed to MPC6
BK3MPC5Sel	5	Buck3 PGOOD割込みのMPC5割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC5 1: Buck3 PGOOD Interrupt routed to MPC5
BK3MPC4Sel	4	Buck3 PGOOD割込みのMPC4割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC4 1: Buck3 PGOOD Interrupt routed to MPC4
BK3MPC3Sel	3	Buck3 PGOOD割込みのMPC3割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC3 1: Buck3 PGOOD Interrupt routed to MPC3
BK3MPC2Sel	2	Buck3 PGOOD割込みのMPC2割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC2 1: Buck3 PGOOD Interrupt routed to MPC2
BK3MPC1Sel	1	Buck3 PGOOD割込みのMPC1割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC1 1: Buck3 PGOOD Interrupt routed to MPC1
BK3MPC0Sel	0	Buck3 PGOOD割込みのMPC0割り当て制御	0: Buck3 PGOOD Interrupt not routed to MPC0 1: Buck3 PGOOD Interrupt routed to MPC0

HptDedIntCfg（0x73）

BIT	7	6	5	4	3	2	1	0
Field	HptStatDedInt	HPTMPC6Sel	HPTMPC5Sel	HPTMPC4Sel	HPTMPC3Sel	HPTMPC2Sel	HPTMPC1Sel	HPTMPC0Sel
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
HptStatDedInt	7	ハプティック・ドライバ専用割込み	0: No Haptic driver status change 1: Haptic driver status change caused interrupt
HPTMPC6Sel	6	ハプティック・ドライバ割込みのMPC6割り当て制御	0: Haptic Driver Interrupt not routed to MPC6 1: Haptic Driver Interrupt routed to MPC6
HPTMPC5Sel	5	ハプティック・ドライバ割込みのMPC5割り当て制御	0: Haptic Driver Interrupt not routed to MPC5 1: Haptic Driver Interrupt routed to MPC5
HPTMPC4Sel	4	ハプティック・ドライバ割込みのMPC4割り当て制御	0: Haptic Driver Interrupt not routed to MPC4 1: Haptic Driver Interrupt routed to MPC4
HPTMPC3Sel	3	ハプティック・ドライバ割込みのMPC3割り当て制御	0: Haptic Driver Interrupt not routed to MPC3 1: Haptic Driver Interrupt routed to MPC3
HPTMPC2Sel	2	ハプティック・ドライバ割込みのMPC2割り当て制御	0: Haptic Driver Interrupt not routed to MPC2 1: Haptic Driver Interrupt routed to MPC2
HPTMPC1Sel	1	ハプティック・ドライバ割込みのMPC1割り当て制御	0: Haptic Driver Interrupt not routed to MPC1 1: Haptic Driver Interrupt routed to MPC1
HPTMPC0Sel	0	ハプティック・ドライバ割込みのMPC0割り当て制御	0: Haptic Driver Interrupt not routed to MPC0 1: Haptic Driver Interrupt routed to MPC0

ADCDedIntCfg（0x74）

BIT	7	6	5	4	3	2	1	0

Field	ADCStatMPCInt	ADCMPC6Sel	ADCMPC5Sel	ADCMPC4Sel	ADCMPC3Sel	ADCMPC2Sel	ADCMPC1Sel	ADCMPC0Sel
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ADCStatMPCInt	7	ADC変換完了専用割込み	0: No ADC end of conversion status change 1: ADC end of conversion caused interrupt
ADCMPC6Sel	6	ADC変換完了割込みのMPC6割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC6 1: ADC End of Conversion Interrupt routed to MPC6
ADCMPC5Sel	5	ADC変換完了割込みのMPC5割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC5 1: ADC End of Conversion Interrupt routed to MPC5
ADCMPC4Sel	4	ADC変換完了割込みのMPC4割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC4 1: ADC End of Conversion Interrupt routed to MPC4
ADCMPC3Sel	3	ADC変換完了割込みのMPC3割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC3 1: ADC End of Conversion Interrupt routed to MPC3
ADCMPC2Sel	2	ADC変換完了割込みのMPC2割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC2 1: ADC End of Conversion Interrupt routed to MPC2
ADCMPC1Sel	1	ADC変換完了割込みのMPC1割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC1 1: ADC End of Conversion Interrupt routed to MPC1
ADCMPC0Sel	0	ADC変換完了割込みのMPC0割り当て制御	0: ADC End of Conversion Interrupt not routed to MPC0 1: ADC End of Conversion Interrupt routed to MPC0

USBOkDedIntCfg（0x75）

BIT	7	6	5	4	3	2	1	0
Field	USBOkMPCInt	USBOkMPC6Sel	USBOkMPC5Sel	USBOkMPC4Sel	USBOkMPC3Sel	USBOkMPC2Sel	USBOkMPC1Sel	USBOkMPC0Sel
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
USBOkMPCInt	7	USBOk専用パワーグッド割込み	0: No USBOk status change 1: USBOk status change caused interrupt
USBOkMPC6Sel	6	USBOk専用割込みのMPC6割り当て制御	0: USBOk Interrupt not routed to MPC6 1: USBOk Interrupt routed to MPC6
USBOkMPC5Sel	5	USBOk専用割込みのMPC5割り当て制御	0: USBOk Interrupt not routed to MPC5 1: USBOk Interrupt routed to MPC5
USBOkMPC4Sel	4	USBOk専用割込みのMPC4割り当て制御	0: USBOk Interrupt not routed to MPC4 1: USBOk Interrupt routed to MPC4

ビットフィールド	ビット	説明	デコード
USBOkMPC3Sel	3	USBOk専用割込みのMPC3割り当て制御	0: USBOk Interrupt not routed to MPC3 1: USBOk Interrupt routed to MPC3
USBOkMPC2Sel	2	USBOk専用割込みのMPC2割り当て制御	0: USBOk Interrupt not routed to MPC2 1: USBOk Interrupt routed to MPC2
USBOkMPC1Sel	1	USBOk専用割込みのMPC1割り当て制御	0: USBOk Interrupt not routed to MPC1 1: USBOk Interrupt routed to MPC1
USBOkMPC0Sel	0	USBOk専用割込みのMPC0割り当て制御	0: USBOk Interrupt not routed to MPC0 1: USBOk Interrupt routed to MPC0

LEDCommon（0x78）

BIT	7	6	5	4	3	2	1	0
Field	LED_BoostLoop	–	–	LED_Open[2:0]			LEDIStep[1:0]	
Access Type	Write, Read	–	–	Read Only			Write, Read	

ビットフィールド	ビット	説明	デコード
LED_BoostLoop	7	昇圧／LED0のクローズドループ動作制御	0: Boost voltage is unrelated to LED0 dropout voltage. 1: Boost voltage is incresed respect to BstVSet to adjust LED0 dropout voltage according to LED0_REFSEL bits. Maximum increment is 5V.
LED_Open	4:2	LEDxオープン検出（読出し専用）	Bit 0 = 0: 0 = $V_{LED0} > V_{LED\_DET}$ or all LED disabled 1 = $V_{LED0} \leq V_{LED\_DET}$ or LED0 only disabled Bit 1 = 1: 0 = $V_{LED1} > V_{LED\_DET}$ or all LED disabled 1 = $V_{LED1} \leq V_{LED\_DET}$ or LED1 only disabled Bit 2 = 1: 0 = $V_{LED2} > V_{LED\_DET}$ or all LED disabled 1 = $V_{LED2} \leq V_{LED\_DET}$ or LED2 only disabled
LEDIStep	1:0	LED電流ステップ・サイズ制御	00: 0.6mA 01: 1.0mA 10: 1.2mA 11: RESERVED

LED0Ref（0x79）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	LED0_REFSEL[1:0]	
Access Type	–	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
LED0_REFSEL	1:0	LED0ドロップアウト・レギュレーション電圧 （LED_BoostLoop = 1の場合のみ有効）	00: 0.2V 01: 0.3V 10: 0.4V 11: 0.5V

LED0Ctr（0x7A）

BIT	7	6	5	4	3	2	1	0
Field	LED0En[2:0]			LED0ISet[4:0]				
Access Type	Write, Read			Write, Read				

ビットフィールド	ビット	説明	デコード
LED0En	7:5	LED0ドライバのイネーブル	000: Off 001: LED0 On 010: Controlled by internal charger status signal 011: Controlled by MPC3 100: Controlled by MPC4 101: Controlled by MPC5 110: Controlled by MPC6 111: Controlled by MPC7
LED0ISet	4:0	LED0ダイレクト・ステップ・カウント LED0（mA単位）電流は、(LED0_I[4:0] + 1) × LEDIStep[1:0]で得られます。	00000: 0.6mA/1.0mA/1.2mA 00001: 1.2mA/2.0mA/2.4mA 00010: 1.8mA/3.0mA/3.6mA 00011: 2.4mA/4.0mA/4.8mA 00100: 3.0mA/5.0mA/6.0mA 00101: 3.6mA/6.0mA/7.2mA 00110: 4.2mA/7.0mA/8.4mA 00111: 4.8mA/8.0mA/9.6mA 01000: 5.4mA/9.0mA/10.8mA 01001: 6.0mA/10.0mA/12.0mA 01010: 6.6mA/11.0mA/13.2mA 01011: 7.2mA/12.0mA/14.4mA 01100: 7.8mA/13.0mA/15.6mA 01101: 8.4mA/14.0mA/16.8mA 01110: 9.0mA/15.0mA/18.0mA 01111: 9.6mA/16.0mA/19.2mA 10000: 10.2mA/17.0mA/20.4mA 10001: 10.8mA/18.0mA/21.6mA 10010: 11.4mA/19.0mA/22.8mA 10011: 12.0mA/20.0mA/24.0mA 10100: 12.6mA/21.0mA/25.2mA 10101: 13.2mA/22.0mA/26.4mA 10110: 13.8mA/23.0mA/27.6mA 10111: 14.4mA/24.0mA/28.8mA 11000: 15.0mA/25.0mA/30.0mA

LED1Ctr（0x7B）

BIT	7	6	5	4	3	2	1	0
Field	LED1En[2:0]			LED1ISet[4:0]				
Access Type	Write, Read			Write, Read				

ビットフィールド	ビット	説明	デコード
LED1En	7:5	LED1ドライバのイネーブル	000: Off 001: LED1 On 010: Controlled by internal charger status signal 011: Controlled by MPC3 100: Controlled by MPC4 101: Controlled by MPC5 110: Controlled by MPC6 111: Controlled by MPC7

ビットフィールド	ビット	説明	デコード
LED1ISet	4:0	LED1ダイレクト・ステップ・カウント LED1電流（mA単位）は、(LED1_I[4:0] + 1) × LEDIStep[1:0]で得られます。	00000: 0.6mA/1.0mA/1.2mA 00001: 1.2mA/2.0mA/2.4mA 00010: 1.8mA/3.0mA/3.6mA 00011: 2.4mA/4.0mA/4.8mA 00100: 3.0mA/5.0mA/6.0mA 00101: 3.6mA/6.0mA/7.2mA 00110: 4.2mA/7.0mA/8.4mA 00111: 4.8mA/8.0mA/9.6mA 01000: 5.4mA/9.0mA/10.8mA 01001: 6.0mA/10.0mA/12.0mA 01010: 6.6mA/11.0mA/13.2mA 01011: 7.2mA/12.0mA/14.4mA 01100: 7.8mA/13.0mA/15.6mA 01101: 8.4mA/14.0mA/16.8mA 01110: 9.0mA/15.0mA/18.0mA 01111: 9.6mA/16.0mA/19.2mA 10000: 10.2mA/17.0mA/20.4mA 10001: 10.8mA/18.0mA/21.6mA 10010: 11.4mA/19.0mA/22.8mA 10011: 12.0mA/20.0mA/24.0mA 10100: 12.6mA/21.0mA/25.2mA 10101: 13.2mA/22.0mA/26.4mA 10110: 13.8mA/23.0mA/27.6mA 10111: 14.4mA/24.0mA/28.8mA 11000: 15.0mA/25.0mA/30.0mA

LED2Ctr（0x7C）

BIT	7	6	5	4	3	2	1	0
Field	LED2En[2:0]			LED2ISet[4:0]				
Access Type	Write, Read			Write, Read				

ビットフィールド	ビット	説明	デコード
LED2En	7:5	LED2ドライバのイネーブル	000: Off 001: LED2 On 010: Controlled by internal charger status signal 011: Controlled by MPC3 100: Controlled by MPC4 101: Controlled by MPC5 110: Controlled by MPC6 111: Controlled by MPC7
LED2ISet	4:0	LED2ダイレクト・ステップ・カウント LED2電流（mA単位）は、(LED2_I[4:0] + 1) × LEDIStep[1:0]で得られます。	00000: 0.6mA/1.0mA/1.2mA 00001: 1.2mA/2.0mA/2.4mA 00010: 1.8mA/3.0mA/3.6mA 00011: 2.4mA/4.0mA/4.8mA 00100: 3.0mA/5.0mA/6.0mA 00101: 3.6mA/6.0mA/7.2mA 00110: 4.2mA/7.0mA/8.4mA 00111: 4.8mA/8.0mA/9.6mA 01000: 5.4mA/9.0mA/10.8mA 01001: 6.0mA/10.0mA/12.0mA 01010: 6.6mA/11.0mA/13.2mA 01011: 7.2mA/12.0mA/14.4mA 01100: 7.8mA/13.0mA/15.6mA 01101: 8.4mA/14.0mA/16.8mA 01110: 9.0mA/15.0mA/18.0mA 01111: 9.6mA/16.0mA/19.2mA 10000: 10.2mA/17.0mA/20.4mA 10001: 10.8mA/18.0mA/21.6mA 10010: 11.4mA/19.0mA/22.8mA

ビットフィールド	ビット	説明	デコード
			10011: 12.0mA/20.0mA/24.0mA 10100: 12.6mA/21.0mA/25.2mA 10101: 13.2mA/22.0mA/26.4mA 10110: 13.8mA/23.0mA/27.6mA 10111: 14.4mA/24.0mA/28.8mA 11000: 15.0mA/25.0mA/30.0mA

PFN（0x7D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	PFN2Pin	PFN1Pin
Access Type	–	–	–	–	–	–	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
PFN2Pin	1	PFN2のステータス	0: PFN2 not active 1: PFN2 active
PFN1Pin	0	PFN2のステータス	0: PFN1 not active 1: PFN1 active

BootCfg（0x7E）

BIT	7	6	5	4	3	2	1	0
Field	PwrRstCfg[3:0]				SftRstCfg	BootDly[1:0]		ChgAlwTry
Access Type	Read Only				Read Only	Read Only		Read Only

ビットフィールド	ビット	説明	デコード
PwrRstCfg	7:4	電源リセット設定 デバイスをどのようにオン／オフし、ハード／ソフト・リセットに入るかを決定します。PwrRstCfgの値と各値に対応する動作については「PwrRstCfg設定」（表5）を参照してください。	
SftRstCfg	3	ソフト・リセット設定 ソフト・リセット時に、レジスタを保持するかデフォルトにリセットするかを示します。	0: Hold register contents 1: Reset registers to default
BootDly	2:1	ブート遅延 シーケンス・ビット010、011、および100でシーケンシング・エンジンが機能をオンにしたときのブート時間。	00: 80ms 01: 120ms 10: 220ms 11: 420ms
ChgAlwTry	0	SYS UVLO自動リトライ CHGINが印加されている状態のブート・プロセスでSYS UVLOイベントが発生したときの動作を決定します。	0: Part latches off until CHGIN is removed 1: Part retries to boot after $t_{CHG\_RETRY\_TMO}$ delay if CHGIN is still present

PwrCfg（0x7F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	–	StayOn
Access Type	–	–	–	–	–	–	–	Write, Read

ビットフィールド	ビット	説明	デコード
StayOn	0	このビットはプロセッサを正常にブートするために使用します。このビットは、デバイスがシャットダウンしてパワーオフ状態に戻ってしまうのを防ぐために、パワーオンから5秒以内にセットする必要があります。このビットは、セット後は何の働きもしません。	0: Shut down 5s after power-on 1: Stay on

PwrCmd（0x80）

BIT	7	6	5	4	3	2	1	0
Field	PwrCmd[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
PwrCmd	7:0	電源コマンド・レジスタ。 右記の値を書き込むと、リストされたコマンドが発行されます。 このレジスタは、書き込まれた値の妥当性が内部ロジックによって確認された後で自動的にクリアされます。妥当性が確認されなかったコマンドはすべて無視されます。それぞれのPwrRstCfgに対して使用可能なPwrCmdについてはPwrRstCfgの設定を参照してください。	0xB2: PWR_OFF_CMD: Places the part in OFF mode 0xC3: PWR_HR_CMD: Issues a hard-reset (power cycle) 0xD4: PWR_SR_CMD: Issues a soft-reset (reset pulse only) 0xE5: PWR_SEAL_CMD: Places the part in Seal mode. available for PwrRstCfg 0110, 0111, 1000, 1001, 1010, 1011 and 1100 0xF6: PWR_BR_CMD: Places the Part in Battery Recovery Mode available only if HrvEn=1 0X52: PWR_FACT_CMD: Places the part in Factory Mode available for all PwrRstCfg. To exit factory mode, write PWR_FACT_CMD again. 0XA1: PWR_SHDN_CMD: Places the part in Strong OFF mode. Available only for PwrRstCfg 1011

BuckCfg（0x81）

BIT	7	6	5	4	3	2	1	0
Field	Bk2FrcDCM	Bk1FrcDCM	Bk3DVSCur	Bk2DVSCur	Bk1DVSCur	Bk3LowBW	Bk2LowBW	Bk1LowBW
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明
Bk2FrcDCM	7	Buck2の強制不連続導通モード（DCM）。 軽負荷時の効率が向上しますが、高負荷時の負荷レギュレーション誤差が大きくなります。これは、予測最大負荷が50mA未満の場合だけ使用するようにしてください。 0 = 通常動作 1 = 強制DCM動作
Bk1FrcDCM	6	Buck1の強制不連続導通モード（DCM）。 軽負荷時の効率が向上しますが、高負荷時の負荷レギュレーション誤差が大きくなります。これは、予測最大負荷が50mA未満の場合だけ使用するようにしてください。 0 = 通常動作 1 = 強制DCM動作
Bk3DVSCur	5	Buck3のDVSバレー電流選択。 0 = DVS遷移時のバレー電流が500mA 1 = DVS遷移時のバレー電流が1000mA
Bk2DVSCur	4	Buck2のDVSバレー電流選択。 0 = DVS遷移時のバレー電流が500mA 1 = DVS遷移時のバレー電流が1000mA
Bk1DVSCur	3	Buck1のDVSバレー電流選択。 0 = DVS遷移時のバレー電流が500mA 1 = DVS遷移時のバレー電流が1000mA
Bk3LowBW	2	Buck3の低帯域幅モード。 このモードは、DCMからCCMへの遷移時にジッタを最小限に抑えるために必要な容量値を小さくします。このビットをイネーブルすると、必要出力容量が半分になります。 0 = 高帯域幅モード 1 = 低帯域幅モード
Bk2LowBW	1	Buck2の低帯域幅モード。 このモードは、DCMからCCMへの遷移時にジッタを最小限に抑えるために必要な容量値を小さくします。このビットをイネーブルすると、必要出力容量が半分になります。 0 = 高帯域幅モード 1 = 低帯域幅モード
Bk1LowBW	0	Buck1の低帯域幅モード。 このモードは、DCMからCCMへの遷移時にジッタを最小限に抑えるために必要な容量値を小さくします。このビットをイネーブルすると、必要出力容量が半分になります。 0 = 高帯域幅モード 1 = 低帯域幅モード

LockMsk（0x83）

BIT	7	6	5	4	3	2	1	0
Field	LD2Lck	LD1Lck	BBLck	BstLck	BK3Lck	BK2Lck	BK1Lck	ChgLck
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
LD2Lck	7	LDO2レジスタのマスクをロック	0: LDO2 registers not masked from locking/unlocking 1: LDO2 registers masked from locking/unlocking
LD1Lck	6	LDO1レジスタのマスクをロック	0: LDO1 registers not masked from locking/unlocking 1: LDO1 registers masked from locking/unlocking
BBLck	5	昇降圧レジスタのマスクをロック	0: Buck-Boost registers not masked from locking/unlocking 1: Buck-Boost registers masked from locking/unlocking
BstLck	4	昇圧レジスタのマスクをロック	0x0: Boost registers not masked from locking/unlocking 0x1: Boost registers masked from locking/unlocking
BK3Lck	3	Buck3レジスタのマスクをロック	0x0: Buck3 registers not masked from locking/unlocking 0x1: Buck3 registers masked from locking/unlocking
BK2Lck	2	Buck2レジスタのマスクをロック	0x0: Buck2 registers not masked from locking/unlocking 0x1: Buck2 registers masked from locking/unlocking
BK1Lck	1	Buck1レジスタのマスクをロック	0x0: Buck1 registers not masked from locking/unlocking 0x1: Buck1 registers masked from locking/unlocking
ChgLck	0	チャージャ・レジスタのマスクをロック	0x0: Charger registers not masked from locking/unlocking 0x1: Charger registers masked from locking/unlocking

LockUnlock（0x84）

BIT	7	6	5	4	3	2	1	0
Field	PASSWD[7:0]							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
PASSWD	7:0	パスワードのロック／アンロック。 正しいパスワードが書き込まれたときに、ロック・マスク・レジスタ0x83に設定されているすべての未マスク機能をロックまたはアンロックします。このレジスタを読み出すと、その機能の現在のロック・ステートが返されます。ロックされた機能は1を返し、アンロックされた機能は0を返します。機能はレジスタ0x83と同じ順番で構成されます。	0x55: Unlock unmasked functions 0xAA: Lock unmasked functions All Other Codes: No effect

SFOUTCtr（0x86）

BIT	7	6	5	4	3	2	1	0
Field	SFOUTVSet	–	–	–	–	–	SFOUTEn[1:0]	
Access Type	Write, Read	–	–	–	–	–	Write, Read	

ビットフィールド	ビット	説明	デコード
SFOUTVSet	7	SFOUT LDOの出力電圧設定。	0: 5.0V 1: 3.3V
SFOUTEn	1:0	SFOUT LDOのイネーブル設定。	0x0: Disabled (regardless of CHGIN state). 0x1: Enabled when CHGIN input voltage is present. 0x2: Enabled when CHGIN input voltage is present and controlled by MPC_ (see SFOUTMPC_ bits in register 0x87) 0x3: Reserved.

SFOUTMPC（0x87）

BIT	7	6	5	4	3	2	1	0
Field	SFOUTMPC7	SFOUTMPC6	SFOUTMPC5	SFOUTMPC4	SFOUTMPC3	SFOUTMPC2	SFOUTMPC1	SFOUTMPC0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
SFOUTMPC7	7	SFOUT MPC7のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC7 1: SFOUT controlled by MPC7
SFOUTMPC6	6	SFOUT MPC6のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC6 1: SFOUT controlled by MPC6
SFOUTMPC5	5	SFOUT MPC5のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC5 1: SFOUT controlled by MPC5
SFOUTMPC4	4	SFOUT MPC4のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC4 1: SFOUT controlled by MPC4
SFOUTMPC3	3	SFOUT MPC3のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC3 1: SFOUT controlled by MPC3
SFOUTMPC2	2	SFOUT MPC2のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC2 1: SFOUT controlled by MPC2
SFOUTMPC1	1	SFOUT MPC1のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC1 1: SFOUT controlled by MPC1
SFOUTMPC0	0	SFOUT MPC0のイネーブル制御 複数のMPCが選択されている場合、SFOUTはMPCの論理ORによって制御されます。	0: SFOUT not controlled by MPC0 1: SFOUT controlled by MPC0

I2C_OTP（0x88）

BIT	7	6	5	4	3	2	1	0
Field	OTPDIG__ADD[7:0]							

Access Type	Write, Read

ビットフィールド	ビット	説明
OTPDIG_ADD	7:0	これはOTPレジスタ・リード・バック用OTPレジスタ・ファイルのアドレスです。OTPレジスタには、ブート時にSidense OTPブロックからのデータが書き込まれます。

I2C_OTP（0x89）

BIT	7	6	5	4	3	2	1	0
Field	OTPDIG__DAT[7:0]							
Access Type	Read Only							

ビットフィールド	ビット	説明
OTPDIG_DAT	7:0	これはOTPデータ・リード・バックです。

アプリケーション情報

I²C インターフェース

MAX20366 にはホスト・コントローラとのデータ通信用に I²C 互換インターフェース（SCL および SDA）が備わっています。このインターフェースは、最大 400kHz のクロック周波数をサポートしています。SCL と SDA には正電源に接続されたプルアップ抵抗が必要です。

スタート、ストップ、および反復スタート条件

I²C を用いて MAX20366 に書き込む場合、コントローラはスタート条件（S）に続けて MAX20366 の I²C アドレスを送信します。このアドレスに続けて、コントローラはプログラムしようとするレジスタのアドレスを送信します。更に、コントローラは、ストップ条件（P）を発行して通信を終了しバスの制御を終了するか、反復スタート条件（Sr）を発行して新しい I²C ペリフェラルと通信します。図 36 を参照してください。

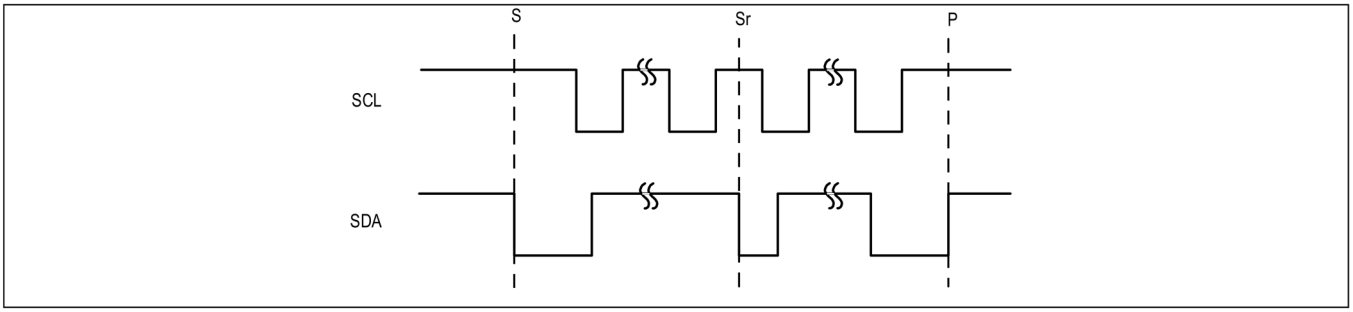


図 36. I²C のスタート、ストップ、および反復スタート条件

ペリフェラル・アドレス

読出し／$\overline{\text{書込み}}$ビットをハイに設定して MAX20366 を読出しモードにします。読出し／$\overline{\text{書込み}}$ビットをローに設定して MAX20366 を書込みモードにします。このアドレスは、スタート条件に続けて MAX20366 に送信される情報の最初のバイトです。MAX20366 には 3 つのペリフェラル・アドレスがあります。ADC レジスタとハプティック・ドライバ・レジスタのペリフェラル・アドレスは 0xA0/0xA1 で、PMIC のペリフェラル・アドレスは 0x50/0x51、残量ゲージのペリフェラル・アドレスは 0x6C/0x6D です。

ビット転送

SCL クロック・サイクルの立上がりエッジごとに、1 データ・ビットが転送されます。SDA のデータは、SCL のクロック・パルスがハイの間、安定した状態でなければなりません。SCL がハイで安定した状態にあるときの SDA の変化は、制御信号と見なされます（スタート、ストップ、および反復スタート条件のセクションを参照）。バスがアクティブでないとき、SDA と SCL は共にハイのままです。

1 バイト書込み

この動作では、コントローラがアドレスと 2 個のデータ・バイトをペリフェラル・デバイスへ送ります（図 37）。以下の手続きは、1 バイト書込みの動作を示すものです。

- コントローラがスタート条件を送信します。
- コントローラが 7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
- 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
- コントローラが 8 ビットのレジスタ・アドレスを送信します。
- ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
- コントローラが 8 ビットのデータを送信します。
- ペリフェラルはデータ・ラインに ACK をアサートします。
- コントローラがストップ条件を生成します。

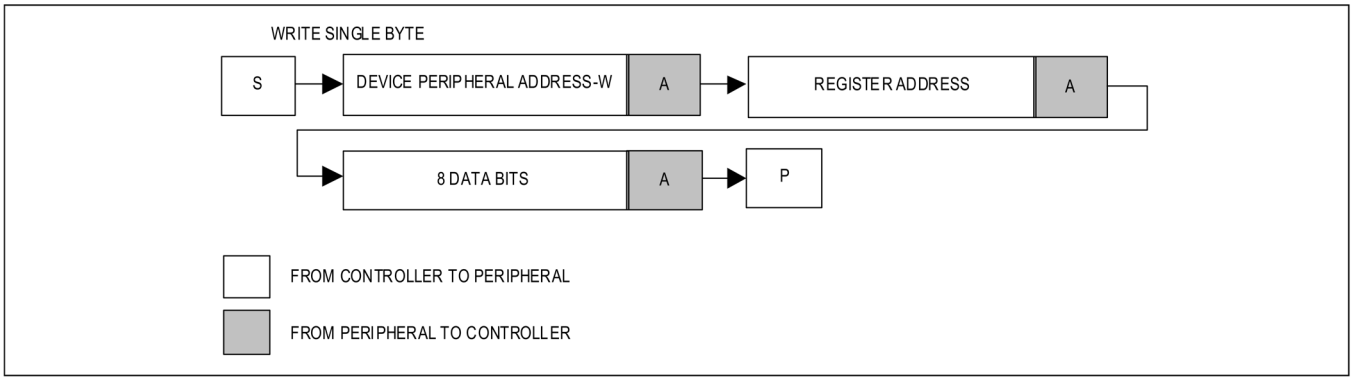


図 37. バイト書込みシーケンス

バースト書込み

この動作では、コントローラがアドレスと複数のデータ・バイトをペリフェラル・デバイスへ送ります（図 38）。ペリフェラル・デバイスは、各データ・バイトが送信されるごとに自動的にインクリメントしますが、アクセスされたレジスタが 0x00 の場合には、レジスタ・アドレスは変化しません。以下の手続きは、バースト書込みの動作を示すものです。

- コントローラがスタート条件を送信します。
- コントローラが 7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
- 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
- コントローラが 8 ビットのレジスタ・アドレスを送信します。
- ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
- コントローラが 8 ビットのデータを送信します。
- ペリフェラルはデータ・ラインに ACK をアサートします。
- 6〜7 を N−1 回繰り返します。
- コントローラがストップ条件を生成します。

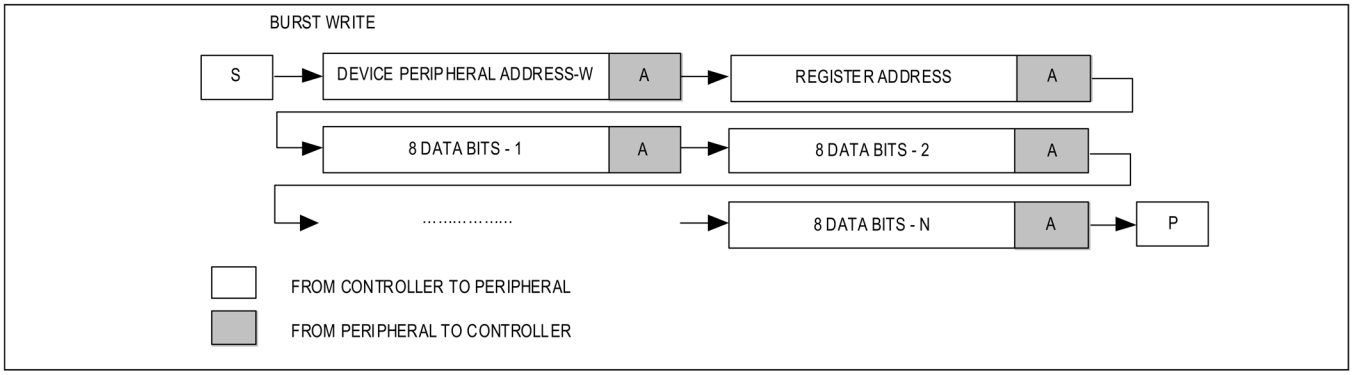


図 38. バースト書込みシーケンス

1 バイト読出し

この動作では、コントローラがアドレスと 2 個のデータ・バイトを送信して、ペリフェラル・デバイスから 1 個のデータ・バイトを受信します（図 39）。以下の手続きは、1 バイト読出しの動作を示すものです。

- コントローラがスタート条件を送信します。
- コントローラが 7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
- 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。コントローラが 8 ビットのレジスタ・アドレスを送信します。
- ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
- コントローラが反復スタート条件を送信します。
- コントローラが 7 ビットのペリフェラル・アドレスに続けて読出しビット（ハイ）を送信します。
- 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
- ペリフェラルが 8 ビットのデータを送信します。
- コントローラがデータ・ラインに NACK をアサートします。
- コントローラがストップ条件を生成します。

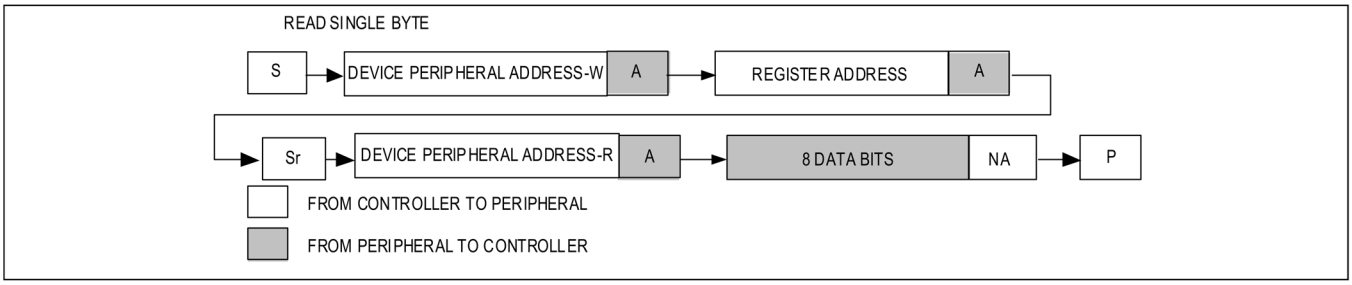


図 39. 1 バイト読出しシーケンス

バースト読出し

この動作では、コントローラがアドレスと 2 個のデータ・バイトを送信して、ペリフェラル・デバイスから複数のデータ・バイトを受信します（図 40）。以下の手続きは、バースト・バイト読出しの動作を示すものです。

- コントローラがスタート条件を送信します。
- コントローラが 7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
- 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
- コントローラが 8 ビットのレジスタ・アドレスを送信します。
- ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
- コントローラが反復スタート条件を送信します。
- コントローラが 7 ビットのペリフェラル・アドレスに続けて読出しビット（ハイ）を送信します。
- ペリフェラルはデータ・ラインに ACK をアサートします。
- ペリフェラルが 8 ビットのデータを送信します。
- コントローラはデータ・ラインに ACK をアサートします。
- 9～10 を N−2 回繰り返します。
- ペリフェラルが最後の 8 つのデータ・ビットを送信します。
- コントローラがデータ・ラインに NACK をアサートします。
- コントローラがストップ条件を生成します。

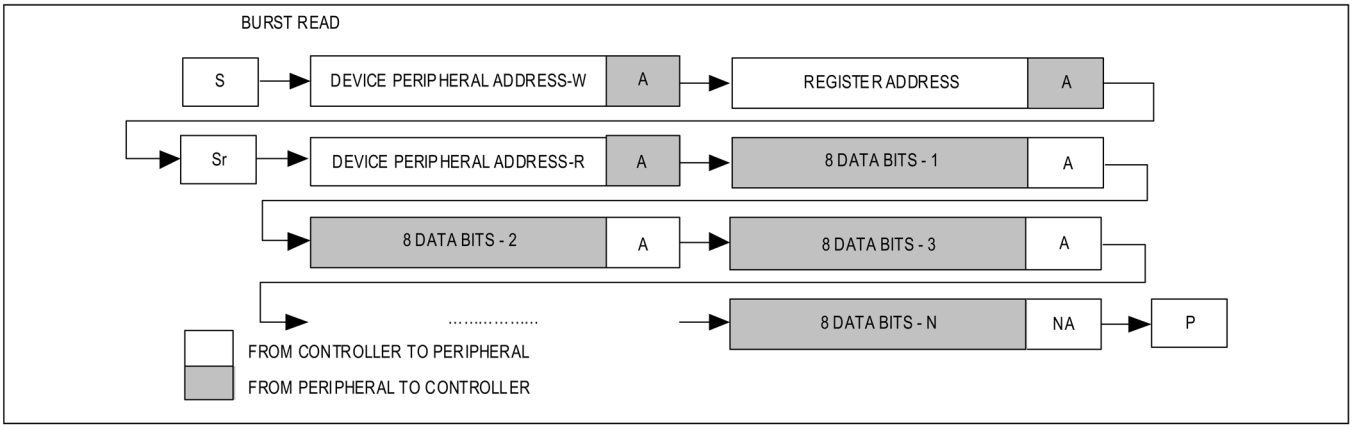


図 40. バースト読出しシーケンス

アクノレッジ・ビット

データ転送は、アクノレッジ・ビット（ACK）もしくはノット・アクノレッジ・ビット（NACK）でアクノレッジされます。コントローラと MAX20366 の両方が ACK ビットを生成します。ACK を生成するには、9 番目のクロック・パルスの立上がりエッジ前に SDA をローにして、9 番目のクロック・パルスの間そのまま保持します（図 41 参照）。NACK を生成するためには、9 番目のクロック・パルスの立上がりエッジより前に SDA をハイの状態とし、9 番目のクロック・パルスのハイ期間の間ハイのままにします。NACK ビットをモニタすれば、失敗したデータ転送を検出できます。

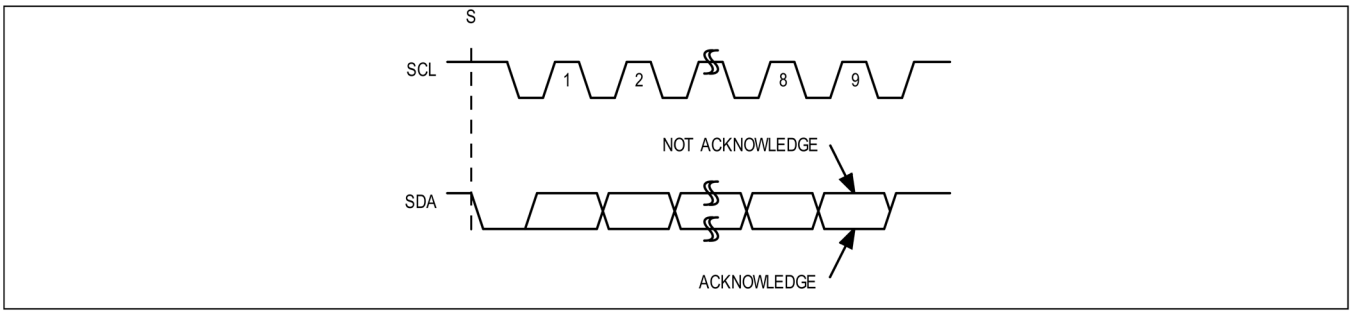


図 41. アクノレッジ・ビット

I²C のセキュリティ機能

機能ロック

チャージャのすべてのレギュレータ電圧と充電終了時動作はロックできます。ロックされたビットフィールドに I²C 書込みを行うことはできません。ある機能をロックするには、LockMsk レジスタ内にあるそのロック・マスクを削除する必要があります（レジスタ LockMsk を参照）。ロック・マスクを削除するには、対応する機能マスク・ビットを 0 に設定します。LockUnlock レジスタ（レジスタ LockUnlock を参照）にロック・パスワード 0xAA を書き込むと、マスクされていないすべての機能がロックされます。機能のロックを解除するには、マスク／マスク解除プロセスを繰り返して LockUnlock レジスタ（レジスタ LockUnlock を参照）にロック解除パスワード 0x55 を書き込みます。

Fletcher-16 チェックサムを使用するセキュア書込み

MAX20366 には、PMIC ペリフェラル・アドレス（PERIPHERAL_ID 0x50）で格納されるレジスタ用に、安全な I²C 書込みモードがオプションで含まれています。イネーブルした場合、PMIC アドレスで可能なのはシングルバイト書込みだけで、それぞれの書込みシーケンスの後には 2 バイトのチェックサムを続ける必要があります（書込みシーケンスは図 42 を参照）。チェックサム評価によって TRUE が返された場合、PMIC は書込み値を直ちに該当レジスタへ書き込みます。チェックサム評価によって FALSE が返された場合その書込みは行われず、書込み失敗を示す割込みがシステム・コントローラへ送られます。

Fletcher チェックサムは次式により計算されます。

$$CSUM1 = (PERIPHERAL\_ID + REG\_ADD + DATA) \div 255$$

$$CSUM2 = ((3 \times PERIPHERAL\_ID) + (2 \times REG\_ADD) + (DATA)) \div 255$$

ここで、PERIPHERAL_ID = 0x50、REG_ADD は書き込まれるレジスタ・アドレス、DATA は書き込まれるデータのバイト、「÷」はモジュロ関数です。書込みシーケンスを下の図 42 に示します。

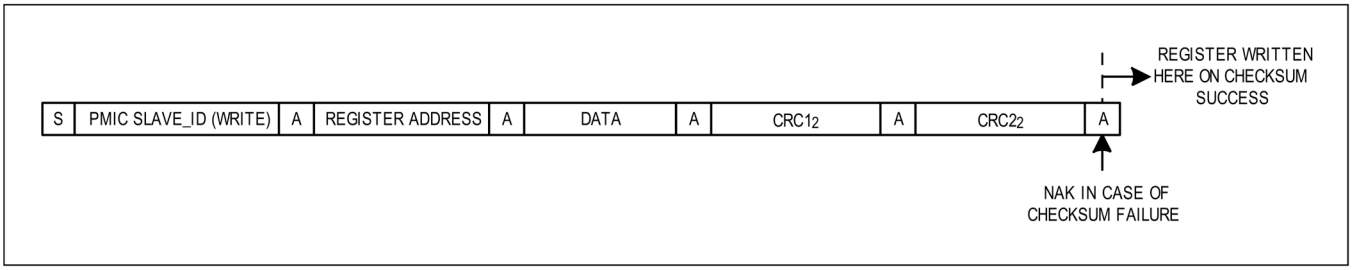


図 42. Fletcher-16 チェックサムを使用する PMIC ペリフェラル・アドレスによる I²C 書込み

デフォルト・ビット

表 8 は様々なバージョンに対するデフォルト設定を示しています。これらのデフォルト値は OTP でプログラム可能です。一部のビットはパワーアップ後に I²C インターフェースを通じて変更できますが、OTP を通じて設定するビットもあります。

表 8. デバイスのデフォルト設定

FIELD	EV KIT	EV KIT WITH HARVESTER	MAX20366A
SysMinVlt	3.6V	3.6V	4.0V
ILimBlank	Disabled	Disabled	Disabled
ILimCntl	450mA	450mA	1000mA
IChgDone	30% IFCHG	30% IFCHG	10% IFCHG
ChgBatReChg	ChgBatReg - 70mV	ChgBatReg - 70mV	ChgBatReg - 120mV
ChgBatReg	4.35V	4.35V	4.20V
ChgEn	Enabled	Enabled	Enabled
PChgTmr	60min	60min	30min
VPChg	3.15V	3.15V	3.00V
IPChg	5% IFCHG	5% IFCHG	10% IFCHG
ChgStepRise	3.80V	3.80V	4.55V
ChgAutoStop	Enabled	Enabled	Enabled
ChgAutoReSta	Enabled	Enabled	Enabled
MtChgTmr	60min	60min	30min
FChgTmr	600min	600min	150min
ChgIStep	100% IFCHG	100% IFCHG	100% IFCHG
HrvBatReg	N/A	4.35V	N/A
HrvThmEn	N/A	Cool/Room	N/A
ChgThmEn	Cool/Room	Cool/Room	Cool/Room
VSysUvlo	2.7V	2.7V	3.0V
HrvThmDis	N/A	Force SYS-to-BAT Ideal Diode	N/A
HrvBatSys	N/A	Direct if VBAT < HrvBatReg	N/A
HrvBatReChg	N/A	HrvBatReg - 70mV	N/A
Bk1Step	10mV	10mV	50mV
Buck1VSet	1.10V	1.10V	0.70V
Bk2Step	25mV	25mV	10mV
Buck2VSet	1.800V	1.800V	1.05V
Bk3Step	50mV	50mV	50mV
Buck3VSet	3.20V	3.20V	1.85V
Buck1FETScale	Disabled	Disabled	Disabled
Buck1En	Disabled	Disabled	Disabled
Buck2En	Disabled	Disabled	Enabled
Buck2FETScale	Disabled	Disabled	Disabled
Buck3FETScale	Disabled	Disabled	Disabled
Buck3En	Disabled	Disabled	Enabled
Buck3DisLDO	LDO Enabled	LDO Enabled	Buck Always

BBstVSet	5.00V	5.00V	5.00V
BBstMode	Buck-Boost	Buck-Boost	Buck-Boost
BBstEn	Disabled	Disabled	Disabled
LDO1Mode	LDO	LDO	Load Switch
LDO1En	Disabled	Disabled	Disabled
BBstFast	Low IQ	Low IQ	Low IQ
BBstFETScale	Disabled	Disabled	Disabled
LDO2En	Disabled	Disabled	Enabled
LDO1VSet	0.500V	0.500V	1.850V
LSW1En	Disabled	Disabled	Disabled
LDO2VSet	0.9V	0.9V	1.8V
LDO2Supply	External	External	Internal
LDO2Mode	LDO	LDO	LDO
CPVSet	5.0V	5.0V	5.0V
ChgPmpEn	Disabled	Disabled	Disabled
LSW2LowIq	Low-IQ	Low-IQ	Protected
LSW2En	Disabled	Disabled	Disabled
LSW1LowIq	Low-IQ	Low-IQ	Protected
BstVSet	12.00V	12.00V	20.00V
Bk1DVSCur	1A	1A	0.5A
Bk1LowBW	Full BW	Full BW	Full BW
Bk1FrcDCM	Normal Mode	Normal Mode	Normal Mode
Bk2DVSCur	1A	1A	0.5A
Bk2LowBW	Full BW	Full BW	Full BW
Bk2FrcDCM	Normal Mode	Normal Mode	Normal Mode
Bk3DVSCur	1A	1A	0.5A
Bk3LowBW	Full BW	Full BW	Full BW
INT_MSK_DIS	INT mask until 100% Boot	INT mask until 100% Boot	INT mask until 100% Boot
BstEn	Disabled	Disabled	Disabled
PwrRstCfg	1011	1011	1011
SftRstCfg	Reset Regs	Reset Regs	Reset Regs
BootDly	80ms	80ms	80ms
ChgAlwTry	Retry	Retry	Retry
StayOn	Enabled	Enabled	Enabled
SFOUTVSet	3.3V	3.3V	3.3V
SFOUTEn	CHGIN	CHGIN	CHGIN
UsbOkselect	CHGIN Rise	CHGIN Rise	CHGIN Rise
LDO1Seq	LDO1En After 100%	LDO1En After 100%	LDO1En After 100%
BBstSeq	BBstEn After 100%	BBstEn After 100%	BBstEn After 100%
IBatOc	1600mA	1600mA	1400mA
Buck1Seq	Buck1En After 100%	Buck1En After 100%	Buck1En After 100%
Buck2Seq	Buck2En After 100%	Buck2En After 100%	50%
Buck3Seq	Buck3En After 100%	Buck3En After 100%	25%
LSW1Seq	LSW1En After 100%	LSW1En After 100%	LSW1En After 100%
BoostSeq	BstEn After 100%	BstEn After 100%	Disabled
LDO2Seq	LDO2En After 100%	LDO2En After 100%	0%
ChgPmpSeq	ChgPmpEn After 100%	ChgPmpEn After 100%	Disabled

LSW2Seq	LSW2En After 100%	LSW2En After 100%	LSW2En After 100%
PFN1RES	Connect Resistor	Connect Resistor	Connect Resistor
PFN1PU	Pullup	Pullup	Pullup
PFN2RES	No Resistor	No Resistor	No Resistor
PFN2PU	N/A	N/A	N/A
HrvEn	Disabled	Enabled	Disabled
i2c_crc_ena	Enabled	Enabled	Enabled
i2c_tmo_ena	Enabled	Enabled	Enabled
DrvTmo	Disabled	Disabled	Disabled
HptSel	LRA	LRA	LRA
ILimMax	1000mA	1000mA	1000mA
JEITASet	0	0	0
TShdn	120°C	120°C	120°C
SysPDEn	Enabled	Enabled	Enabled

レジスタのデフォルト値

表 9 はレジスタのデフォルト値を示しています。

表 9. I²C ダイレクト・レジスタのデフォルト値

PERIPHERAL ADDRESS	REGISTER ADD	REGISTER NAME	EV KIT	EV KIT WITH HARVESTER	MAX20366A
0xA0	0x00	HptStatus0	0x00	0x00	0x00
0xA0	0x01	HptStatus1	0x00	0x00	0x00
0xA0	0x02	HptStatus2	0x00	0x00	0x00
0xA0	0x03	HptInt0	0x00	0x00	0x00
0xA0	0x04	HptInt1	0x00	0x00	0x00
0xA0	0x05	HptInt2	0x00	0x00	0x00
0xA0	0x06	HptIntMask0	0x00	0x00	0x00
0xA0	0x07	HptIntMask1	0x00	0x00	0x00
0xA0	0x08	HptIntMask2	0x00	0x00	0x00
0xA0	0x09	HptControl	0x00	0x00	0x00
0xA0	0x0A	HptRTI2CPat	0x00	0x00	0x00
0xA0	0x0B	HptRAMPatAdd	0x00	0x00	0x00
0xA0	0x0C	HptProt	0x04	0x04	0x04
0xA0	0x0D	HptUnlock	0x00	0x00	0x00
0xA0	0x11	HPTCfg0	0x0E	0x0E	0x0E
0xA0	0x12	HPTCfg1	0x8B	0x8B	0x8B
0xA0	0x13	HPTCfg2	0x8B	0x8B	0x8B
0xA0	0x14	HPTCfg3	0x19	0x19	0x19
0xA0	0x15	HPTCfg4	0x03	0x03	0x03
0xA0	0x16	HPTCfg5	0x05	0x05	0x05
0xA0	0x17	HPTCfg6	0x11	0x11	0x11
0xA0	0x18	HPTCfg7	0x08	0x08	0x08
0xA0	0x19	HPTCfg8	0x1F	0x1F	0x1F

0xA0	0x1A	HPTCfg9	0x84	0x84	0x84
0xA0	0x1B	HPTCfgA	0x07	0x07	0x07
0xA0	0x1C	HPTCfgB	0x40	0x40	0x40
0xA0	0x1D	HPTCfgC	0xD0	0xD0	0xD0
0xA0	0x1E	HPTCfgD	0x07	0x07	0x07
0xA0	0x1F	HPTCfgE	0x06	0x06	0x06
0xA0	0x20	HPTCfgF	0x24	0x24	0x24
0xA0	0x22	HptAutoTune	0x00	0x00	0x00
0xA0	0x23	BEMFPeriod0	0xD0	0xD0	0xD0
0xA0	0x24	BEMFPeriod1	0x07	0x07	0x07
0xA0	0x30	HptETRGOdAmp	0x7F	0x7F	0x7F
0xA0	0x31	HptETRGOdDur	0x04	0x04	0x04
0xA0	0x32	HptETRGActAmp	0x3F	0x3F	0x3F
0xA0	0x33	HptETRGActDur	0x32	0x32	0x32
0xA0	0x34	HptETRGBrkAmp	0xFF	0xFF	0xFF
0xA0	0x35	HptETRGBrkDur	0x20	0x20	0x20
0xA0	0x40	HptRAMAdd	0x00	0x00	0x00
0xA0	0x41	HptRAMDataH	—	—	—
0xA0	0x42	HptRAMDataM	—	—	—
0xA0	0x43	HptRAMDataL	—	—	—
0xA0	0x50	ADCEn	0x00	0x00	0x00
0xA0	0x51	ADCCfg	0x00	0x00	0x00
0xA0	0x53	ADCDatAvg	0x00	0x00	0x00
0xA0	0x54	ADCDatMin	0x00	0x00	0x00
0xA0	0x55	ADCDatMax	0x00	0x00	0x00
0x50	0x00	ChipID	0x06	0x06	0x06
0x50	0x01	Status0	0x00	0x00	0x00
0x50	0x02	Status1	0x00	0x00	0x00
0x50	0x03	Status2	0x00	0x00	0x00
0x50	0x04	Status3	0x00	0x00	0x00
0x50	0x05	Status4	0x00	0x00	0x00
0x50	0x06	Int0	0x00	0x00	0x00
0x50	0x07	Int1	0x00	0x00	0x00
0x50	0x08	Int2	0x00	0x00	0x00
0x50	0x09	Int3	0x00	0x00	0x00
0x50	0x0A	IntMask0	0x00	0x00	0x00
0x50	0x0B	IntMask1	0x00	0x00	0x00
0x50	0x0C	IntMask2	0x00	0x00	0x00
0x50	0x0D	IntMask3	0x00	0x00	0x00
0x50	0x0F	ILimCntl	0x06	0x06	0x87
0x50	0x10	ChgCntl0	0x0D	0x0D	0x27
0x50	0x11	ChgCntl1	0x73	0x73	0x65

0x50	0x12	ChgTmr	0xFD	0xFD	0xE4
0x50	0x13	StepChgCfg0	0x30	0x30	0x3F
0x50	0x14	StepChgCfg1	0x07	0x07	0x17
0x50	0x15	ThmCfg0	0x3F	0x3F	0x3F
0x50	0x16	ThmCfg1	0x1F	0x1F	0x1F
0x50	0x17	ThmCfg2	0x1F	0x5F	0x1F
0x50	0x18	HrvCfg0	0x00	0x46	0x00
0x50	0x19	HrvCfg1	0x3F	0x7F	0x3F
0x50	0x1A	IVMONCfg	0x10	0x10	0x10
0x50	0x1B	Buck1Ena	0xE0	0xE0	0xE0
0x50	0x1C	Buck1Cfg0	0x50	0x50	0x50
0x50	0x1D	Buck1Cfg1	0x00	0x00	0x00
0x50	0x1E	Buck1Iset	0x00	0x00	0x00
0x50	0x1F	Buck1VSet	0x37	0x37	0x83
0x50	0x20	Buck1Ctr	0x01	0x01	0x01
0x50	0x21	Buck1DvsCfg0	0x00	0x00	0x00
0x50	0x22	Buck1DvsCfg1	0x00	0x00	0x00
0x50	0x23	Buck1DvsCfg2	0x00	0x00	0x00
0x50	0x24	Buck1DvsCfg3	0x00	0x00	0x00
0x50	0x25	Buck1DvsCfg4	0x00	0x00	0x00
0x50	0x26	Buck1DvsSpi	0x00	0x00	0x00
0x50	0x27	Buck2Ena	0xE0	0xE0	0x81
0x50	0x28	Buck2Cfg	0x51	0x51	0x50
0x50	0x29	Buck2Cfg1	0x00	0x00	0x00
0x50	0x2A	Buck2Iset	0x00	0x00	0x00
0x50	0x2B	Buck2VSet	0x72	0x72	0x32
0x50	0x2C	Buck2Ctr	0x02	0x02	0x02
0x50	0x2D	Buck2DvsCfg0	0x00	0x00	0x00
0x50	0x2E	Buck2DvsCfg1	0x00	0x00	0x00
0x50	0x2F	Buck2DvsCfg2	0x00	0x00	0x00
0x50	0x30	Buck2DvsCfg3	0x00	0x00	0x00
0x50	0x31	Buck2DvsCfg4	0x00	0x00	0x00
0x50	0x32	Buck2DvsSpi	0x00	0x00	0x00
0x50	0x34	Buck3Ena	0xE0	0xE0	0x61
0x50	0x35	Buck3Cfg	0x51	0x51	0x51
0x50	0x36	Buck3Cfg1	0x00	0x00	0x40
0x50	0x37	Buck3Iset	0x00	0x00	0x00
0x50	0x38	Buck3VSet	0xB5	0xB5	0x9A
0x50	0x39	Buck3Ctr	0x04	0x04	0x04
0x50	0x3A	Buck3DvsCfg0	0x00	0x00	0x00
0x50	0x3B	Buck3DvsCfg1	0x00	0x00	0x00
0x50	0x3C	Buck3DvsCfg2	0x00	0x00	0x00

0x50	0x3D	Buck3DvsCfg3	0x00	0x00	0x00
0x50	0x3E	Buck3DvsCfg4	0x00	0x00	0x00
0x50	0x3F	Buck3DvsSpi	0x00	0x00	0x00
0x50	0x40	BBstEna	0xE0	0xE0	0xE0
0x50	0x41	BBstCfg	0x05	0x05	0x05
0x50	0x42	BBstVSet	0x32	0x32	0x32
0x50	0x43	BBstISet	0x00	0x00	0x00
0x50	0x44	BBstCfg1	0x13	0x13	0x13
0x50	0x45	BBstCtr0	0x08	0x08	0x08
0x50	0x46	BBstCtr1	0x00	0x00	0x00
0x50	0x47	BBstDvsCfg0	0x00	0x00	0x00
0x50	0x48	BBstDvsCfg1	0x00	0x00	0x00
0x50	0x49	BBstDvsCfg2	0x00	0x00	0x00
0x50	0x4A	BBstDvsCfg3	0x00	0x00	0x00
0x50	0x4B	BBstDvsSpi	0x00	0x00	0x00
0x50	0x51	LDO1Ena	0xE0	0xE0	0xE0
0x50	0x52	LDO1Cfg	0x01	0x01	0x03
0x50	0x53	LDO1VSet	0x00	0x00	0x36
0x50	0x54	LDO1Ctr	0x00	0x00	0x00
0x50	0x55	LDO2Ena	0xE0	0xE0	0x41
0x50	0x56	LDO2Cfg	0x01	0x01	0x09
0x50	0x57	LDO2VSet	0x00	0x00	0x09
0x50	0x58	LDO2Ctr	0x00	0x00	0x00
0x50	0x59	LSW1Ena	0xE0	0xE0	0xE0
0x50	0x5A	LSWCfg	0x03	0x03	0x01
0x50	0x5B	LSW1Ctr	0x00	0x00	0x00
0x50	0x5C	LSW2Ena	0xE0	0xE0	0xE0
0x50	0x5D	LSW2Cfg	0x03	0x03	0x01
0x50	0x5E	LSW2Ctr	0x00	0x00	0x00
0x50	0x5F	ChgPmpEna	0xE0	0xE0	0x00
0x50	0x60	ChgPmpCfg	0x03	0x03	0x03
0x50	0x61	ChgPmpCtr	0x00	0x00	0x00
0x50	0x62	BoostEna	0xE0	0xE0	0x00
0x50	0x63	BoostCfg	0x0E	0x0E	0x0E
0x50	0x64	BoostISet	0x00	0x00	0x00
0x50	0x65	BoostVSet	0x1C	0x1C	0x3C
0x50	0x66	BoostCtr	0x00	0x00	0x00
0x50	0x67	MPC0Cfg	0x00	0x00	0x00
0x50	0x68	MPC1Cfg	0x00	0x00	0x00
0x50	0x69	MPC2Cfg	0x00	0x00	0x00
0x50	0x6A	MPC3Cfg	0x00	0x00	0x00
0x50	0x6B	MPC4Cfg	0x00	0x00	0x00

0x50	0x6C	MPC5Cfg	0x00	0x00	0x00
0x50	0x6D	MPC6Cfg	0x00	0x00	0x00
0x50	0x6E	MPC7Cfg	0x00	0x00	0x00
0x50	0x6F	MPCItrSts	0x00	0x00	0x06
0x50	0x70	BK1DedIntCfg	0x00	0x00	0x00
0x50	0x71	BK2DedIntCfg	0x00	0x00	0x00
0x50	0x72	BK3DedIntCfg	0x00	0x00	0x00
0x50	0x73	HptDedIntCfg	0x00	0x00	0x00
0x50	0x74	ADCDedIntCfg	0x00	0x00	0x00
0x50	0x75	USBOkDedIntCfg	0x00	0x00	0x00
0x50	0x78	LEDCommon	0x00	0x00	0x00
0x50	0x79	LED0Ref	0x00	0x00	0x00
0x50	0x7A	LED0Ctr	0x00	0x00	0x00
0x50	0x7B	LED1Ctr	0x00	0x00	0x00
0x50	0x7C	LED2Ctr	0x00	0x00	0x00
0x50	0x7D	PFN	0x01	0x01	0x01
0x50	0x7E	BootCfg	0xB9	0xB9	0xB9
0x50	0x7F	PwrCfg	0x01	0x01	0x01
0x50	0x80	PwrCmd	0x00	0x00	0x00
0x50	0x81	BuckCfg	0x38	0x38	0x00
0x50	0x83	LockMsk	0xFF	0xFF	0xFF
0x50	0x84	LockUnlock	0xFF	0xFF	0xFF
0x50	0x86	SFOUTCtr	0x81	0x81	0x81
0x50	0x87	SFOUTMPC	0x00	0x00	0x00
0x50	0x88	I2C_OTP_ADD	0x00	0x00	0x00
0x50	0x89	I2C_OTP_DAT	—	—	—

型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX20366AEWZ+	-40°C to +85°C	72 WLP
MAX20366AEWZ+T	-40°C to +85°C	72 WLP

+は鉛（Pb）フリー／RoHS 準拠のパッケージであることを示します。
T =テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/24	市場投入のためのリリース	–