正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 7 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 7 月 19 日
製品名：　MAX20356
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：70 ページ、表 5. PwrRstCfg の設定、レジスタ設定は 1001 の欄、動作の説明枠内。

【誤】

この遅延時間中に PFN2 がローになると（10ms デバウンス）、ハード・リセットは中止されます。

【正】

この遅延時間中に PFN2 がローになると（10ms デバウンス）、ソフト・リセットは中止されます。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 7 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 7 月 19 日
製品名：　MAX20356
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：70 ページ、表 5. PwrRstCfg の設定、レジスタ設定の 1010 の欄、動作の説明枠内。

【誤】

この遅延時間中に PFN2 がローになると（10ms デバウンス）、ハード・リセットは中止されます。

【正】

この遅延時間中に PFN2 がローになると（10ms デバウンス）、ソフト・リセットは中止されます。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 7 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 7 月 19 日
製品名：　MAX20356
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：71 ページ、表 5. PwrRstCfg の設定の続き、レジスタ設定の 1100 の欄（最下段)、動作の説明枠内。

【誤】

この遅延時間中に PFN2 がローになると（10ms デバウンス）、ハード・リセットは中止されます。

【正】

この遅延時間中に PFN2 がローになると（10ms デバウンス）、ソフト・リセットは中止されます。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 7 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 7 月 19 日
製品名：　MAX20356
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：76 ページ、電源シーケンスの項、上から 2 行目

【誤】

各レギュレータとスイッチは、パワーオン・プロセスの中の **3 つの点**のいずれかでオンにすることができます。

【正】

各レギュレータとスイッチは、パワーオン・プロセスの中の **3 通りのポイント**のいずれかでオンにすることができます。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 7 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 7 月 19 日
製品名：　MAX20356
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：177 ページ、１バイトの読み込みの項、１行目

【誤】

以下の手続きは、**バースト書込み動作**を示すものです。

【正】

以下の手続きは、**シングル・バイト書込み動作**を示すものです。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 7 月 19 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 7 月 19 日
製品名：　MAX20356
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：180 ページ、アクノレッジ・ビットの項、

【誤】

コントローラと **MAX2056** の両方が ACK ビットを生成します。

【正】

コントローラと **MAX20356** の両方が ACK ビットを生成します。

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

ウェアラブル・パワー・マネージメント・ソリューション

MAX20356

概要

MAX20356 は高集積のプログラマブルなパワー・マネージメント・ソリューションで、超低消費電力のウェアラブル・アプリケーション向けに設計されています。サイズと効率が最適化されており、バッテリ寿命を延長しソリューション全体のサイズを縮小できるため、最終製品の価値が向上します。柔軟に組み合わせられる電力消費を最適化した電圧レギュレータを備えており、複数の降圧コンバータ、1 つの昇降圧コンバータ、リニア・レギュレータにより、機能統合のレベルが高く、最適化された電源アーキテクチャを構成できます。各レギュレータの自己消費電流は極めて少なく、常時オンのアプリケーションでのバッテリ寿命を延長できます。

MAX20356 には、バッテリ・シール、チャージャ、電力経路、残量ゲージを含むフル機能のバッテリ管理ソリューションが内蔵されています。チャージャは温度管理と入力保護の機能を備えています。また、このデバイスは工場設定可能な多入力のボタン・コントローラを備えており、個別の製品の要求に応じてカスタマイズできます。

ロー・ノイズの 1.5W 昇降圧コンバータは、PPG や SPO_2 の計測などの光学式心拍数計システムで使用される LED が必要とする、高効率かつ低ノイズの電力変換を実現します。MAX20356 には、アナログ・フロント・エンド（AFE）センサーでの使用に対して最適化されたナノ I_Q 高速トランジェント LDO も内蔵されています。MAX20356 は I^2C インターフェースを介して設定可能で、多様な機能の設定や、監視マルチプレクサを介した温度や電源電圧の読出しなどのデバイスの状態読出しが可能です。

MAX20356 は、63 バンプ、0.5mm ピッチ、3.71mm × 4.48mm のウェーハ・レベル・パッケージ（WLP）を採用しており、−40ºC～+85ºC の拡張温度範囲で動作します。

アプリケーション

- ウェアラブル機器
- IoT

特長と利点

- 充電間隔を延長
  - 3 系統の Nano-I_Q、400mA 降圧レギュレータ（I_Q = 400nA（代表値））
    - 0.500V～1.130V（10mV ステップ）
    - 0.500V～2.075V（25mV ステップ）
    - 0.500V～3.650V（50mV ステップ）
  - 2 系統の Micro-I_Q LDO／ロード・スイッチ（I_Q = 1µA（代表値））
    - 入力電圧範囲：1.71V～5.5V
    - 出力電流容量：100mA
    - 0.900V～4.0V（100mV ステップ）
  - Nano-I_Q 高速トランジェント LDO（I_Q = 820nA（代表値））
    - センサー用アナログ・フロント・エンドでの使用に最適
    - 入力電圧範囲：1.71V～5.5V
    - 出力電流容量：100mA
    - 0.900V～4.075V（25mV ステップ）
  - Nano-I_Q リアルタイム・クロック LDO（I_Q = 200nA（代表値））
    - マイクロ・コントローラ・タイマーの RTC 用に常時オン設定が可能
    - 1.2V [+25mV、+50mV]および 1.8V [+25mV、+50mV]
  - Micro-I_Q 昇降圧レギュレータ（I_Q = 2µA（代表値））
    - 出力 1.5W
    - 2.6V～5.5V（50mV ステップ）
    - ダイナミック電圧スケーリング
  - 3 系統の Nano-I_Q、低オン抵抗のロード・スイッチ（I_Q = 260nA（代表値））
    - 低いオン抵抗：0.25Ω（代表値）
    - 短絡保護
    - ソフトスタート機能
- リチウムイオン（Li+）・バッテリ充電の実装が容易
  - 広い高速充電電流範囲：4mA～500mA
  - 許容入力電圧：+28V/−5.5V
  - JEITA の電流／電圧プロファイルを設定可能
  - プログラマブルな自動的ステップ充電
- MAX20361 ソーラー・エナジー・ハーベスタとのシームレスな相互作用
- 多用途制御端子によって柔軟な制御が可能
- 高集積によりソリューションの実装面積を最小化
  - プログラマブルなプッシュ・ボタン・コントローラ
  - プログラマブルな電源シーケンス
  - 電池シール出荷モード
  - オンチップの電圧／充電電流監視マルチプレクサ

オーダー情報はデータシート末尾に記載されています。

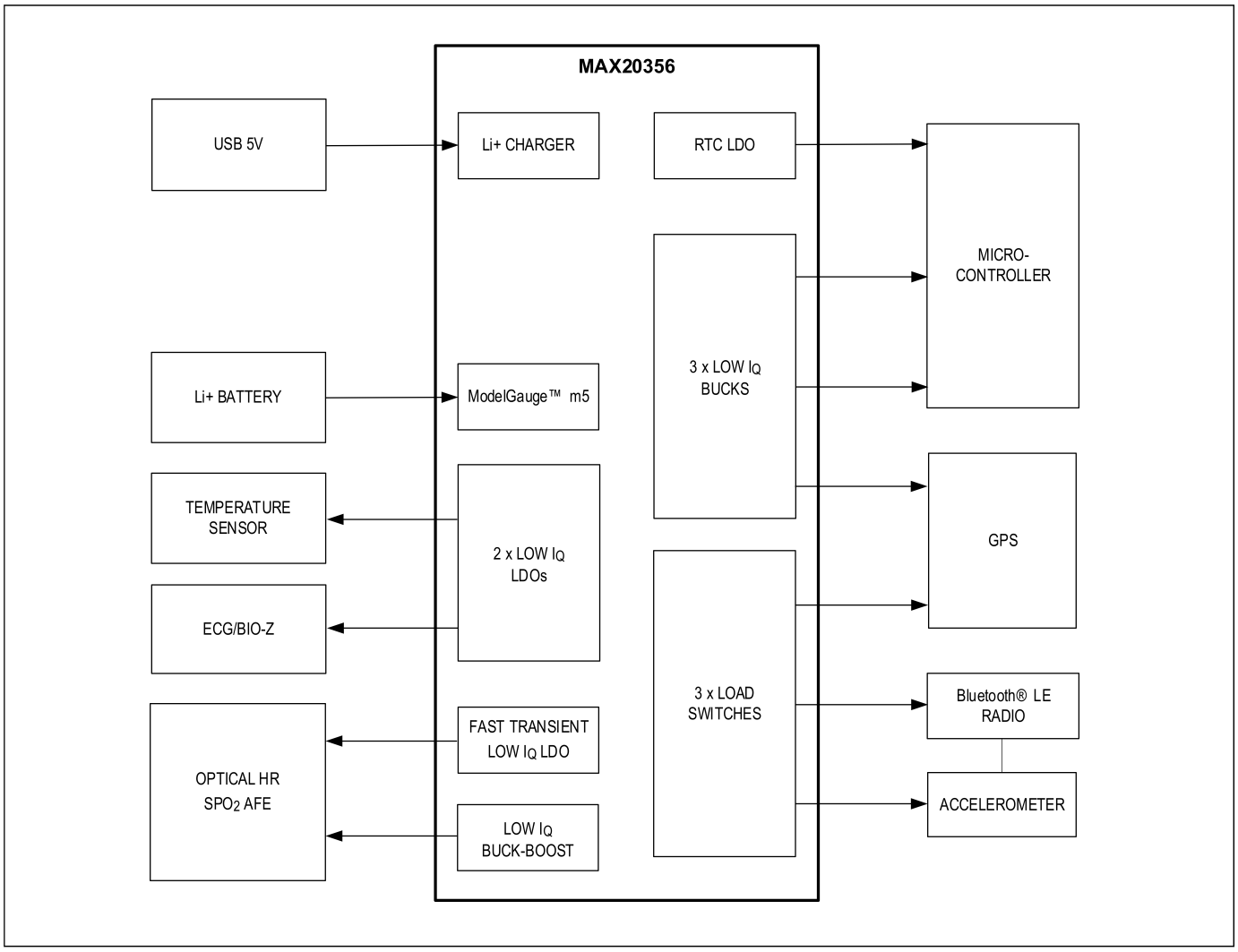
ModelGauge は Analog Devices Inc.の商標です。
Bluetooth は Bluetooth SIG, Inc.の登録商標です。

©2023 Analog Devices, Inc. All rights reserved.　商標および登録商標は各社の所有に属します。

19-101659; Rev 0; 3/23

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300

簡略化したブロック図


MAX20356
USB 5V
Li+ CHARGER
RTC LDO
MICRO-CONTROLLER
3 x LOW IQ BUCKS
Li+ BATTERY
ModelGauge™ m5
TEMPERATURE SENSOR
2 x LOW IQ LDOs
GPS
ECG/BIO-Z
3 x LOAD SWITCHES
Bluetooth® LE RADIO
FAST TRANSIENT LOW IQ LDO
OPTICAL HR SPO2 AFE
LOW IQ BUCK-BOOST
ACCELEROMETER

目次

概要 1
アプリケーション 1
特長と利点 1
簡略化したブロック図 2
絶対最大定格 8
パッケージ情報 8
電気的特性 9
標準動作特性 26
ピン配置 45
端子説明 45
詳細 48
電源レギュレーション 48
ダイナミック電圧スケーリング 48
DVS モード 0（I²C DVS モード） 48
DVS モード 1（GPIO DVS モード） 48
SPI DVS モード（DVS モード 2） 49
専用 DVS 割込み 50
降圧コンバータの DVS オプション 51
LDO 51
LDO の出力容量の選択 51
LDO2 の MPC0 制御 51
LDO1 の常時オン電力用の内部スイッチオーバー 51
高速トランジェント LDO 51
RTC LDO 52
ロード・スイッチ 52
昇降圧レギュレータ 52
昇降圧インダクタの選択 52
昇降圧ブロックの出力コンデンサの選択 53
アーキテクチャとスイッチングのフェーズ 53
昇降圧モード 54
降圧のみモード 54
昇降圧インダクタのピーク電流と谷電流の制限値 55
降圧レギュレータ 57
降圧インダクタの選択 57
降圧ブロックの出力コンデンサの選択 57
降圧インダクタのピーク電流と谷電流の制限値 58
降圧ブロックのスイッチング周波数を操作する調整 60

パワー・スイッチとリセット制御 60
PMIC 電力モード 74
シール・モード 74
オフ・モード 74
オン・モード（HrvEn = 0 のバージョン） 74
バッテリ回復（BR）モード（HrvEn = 1 のバージョン） 74
オン・モード（HrvEn = 1 のバージョン） 74
工場モード 74
工場モード 1 74
工場モード 2 75
PFN_プッシュボタンによる工場モードの開始／終了 75
I²C による工場モードの開始／終了 75
新たなリセット／キー押下機能 76
割込み 76
電源シーケンス 76
システムのロード・スイッチ 79
スマート電力セレクタ 79
入力リミッタ 80
無効 CHGIN 電圧保護 80
CHGIN の入力電流制限 80
温度制限 80
バッテリ・チャージャ 80
バッテリ・チャージャの状態遷移図 80
チャージャ・オフ状態 80
チャージャ・アイドル状態 81
チャージャ・ブート状態 81
予備充電状態 82
高速充電電流設定 82
高速充電定電流 CC1 状態 82
高速充電定電流 CC2 状態 83
ステップ充電 83
適応型バッテリ充電 83
JEITA のモニタリングによるチャージャ制御 83
バッテリもしくはパック保護の存在確認 87
監視マルチプレクサ 88
ウォッチドッグ・タイマー 88
残量ゲージ 88
MAX20361 ハーベスタとの相互作用 88

ハーベスタのサーミスタ・モニタリング 88
DC-DC／LDO／ロード・スイッチのシステム・フォールト 88
レジスタ・マップ 89
アプリケーション情報 177
I²C インターフェース 177
ペリフェラル・アドレス 177
スタート・コンディション、ストップ・コンディション、反復スタート・コンディション 177
ビット転送 177
1 バイトの書込み 177
バースト書込み 178
1 バイトの読出し 178
バースト読出し 179
アクノレッジ・ビット 180
I²C のセキュリティ機能 180
機能ロック 180
デフォルト・ビット 181
レジスタのデフォルト 184
標準アプリケーション回路 189
外付けの検出抵抗を使用する場合 190
オーダー情報 191

図一覧

図 1. DVS モード 1、GPIO 制御 49
図 2. DVS モード 2 での SPI タイミング 50
図 3. DVS モード 2、SPI 制御 50
図 4. シングル・バイトとバードスト・モードの SPI アクセス 50
図 5. 昇降圧ブロックの必要最小出力容量 53
図 6. 昇降圧レギュレータとスイッチング・フェーズ 54
図 7. 昇降圧モードにおける昇降圧インダクタ電流 54
図 8. 降圧のみモードにおける昇降圧インダクタ電流 55
図 9. 所定の BBstIPSet1 設定に対する最小 BBstIPSet2 制限値 56
図 10. BBstIPSet1 と BBstIPSet2 の推奨設定 56
図 11. 降圧ブロックが安定性を確保できる最小容量と最大容量の条件 58
図 12. 最適ピーク電流設定と出力電圧の関係 59
図 13. PwrRstCfg 0000、0001 61
図 14. PwrRstCfg 0010、0011 62
図 15. PwrRstCfg 0100、0101 63
図 16. PwrRstCfg 0110 64
図 17. PwrRstCfg 0111 65
図 18. PwrRstCfg 1000 66
図 19. PwrRstCfg 1001、1010 67
図 20. PwrRstCfg 1011 68
図 21. PwrRstCfg 1100 69
図 22. 起動シーケンス–ハーベスタ・モード無効 72
図 23. 起動シーケンス–ハーベスタ・モード有効 73
図 24. PFN_による工場モード起動 75
図 25. PFN_によるリセット 76
図 26. 電源シーケンス–HrvEn = 0、オフ・モードから 77
図 27. 電源シーケンス–HrvEn = 1、BR モードから 78
図 28. 電源シーケンス、シール・モードから 79
図 29. バッテリ・チャージャの状態遷移図 81
図 30. 温度モニタリングがディスエーブルの場合 84
図 31. 低温と室温の領域で充電が可能な場合 85
図 32. 室温と高温の領域で充電が可能な場合 86
図 33. 低温、室温、高温の領域で充電が可能な場合 87
図 34. I^2C インターフェースのタイミング 177
図 35. I^2C のスタート・コンディション、ストップ・コンディション、反復スタート・コンディション 177
図 36. 1 バイト書込みシーケンス 178
図 37. バースト書込みシーケンス 178
図 38. 1 バイト読出しシーケンス 179
図 39. バースト読出しシーケンス 180
図 40. アクノレッジ・ビット 180

表一覧

表 1. DVS モード 1 での電圧選択 49
表 2. LDO2 の MPC0 制御 51
表 3. 推奨インダクタ 53
表 4. 降圧用の推奨インダクタ 57
表 5. PwrRstCfg の設定 70
表 6. デバイスのデフォルト設定 181
表 7. I²C 直接レジスタのデフォルト 184

絶対最大定格

CHGIN ..... −6.0V～+30.0V
CHGIN（工場モード） ..... 0V～+6V
SYSBK_、SYSBB、SYS、CHGOUT、SDA、SCL、IVMON、$\overline{RST}$、$\overline{INT}$、PFN_、L_IN、LSW_IN、BBOUT、BAT ..... −0.3V～+6.0V
MPC_ ..... −0.3V～min(6V、V_{BK1OUT} + 0.3V)
THM ..... −0.3V～+2.2V
$\overline{ALRT}$ ..... −0.3V～+17.0V
CAP ..... −0.3V～min (|V_{CHGIN}| + 0.3V、+6.0V)
VDIG、RTC_LDO ..... −0.3V～+2.2V
BK_LX、BK_OUT ..... −0.3V～min (6V、$V_{SYSBK_}$ + 0.3V)
BBLVLX ..... −0.3V～min (6V、V_{SYSBB} + 0.3V)
BBHVLX ..... −0.3V～min (V_{BBOUT} + 0.3V、 +6.0V)
L_OUT ..... −0.3V～min (6V、V_{L_IN} +0.3V)
LSW_OUT ..... −0.3～min (6V、V_{LSW_IN} + 0.3V)
BK_GND、BBGND、AGND、DGND、GSUB ..... −0.3V～+0.3V
RSN/CSN、CSP/FG_TST、RSP、RSP_S ..... −0.3V～min (6V、V_{BAT} + 0.3V)
BAT、RSN/CSN、RSP に流れる連続電流（DC 電流、使用率 100%） 0.76A
BAT、RSN/CSN、RSP に流れる連続電流（DC 電流、使用率 10%） 1.7A
RSP_S に流れる連続電流 ..... −100mA～+100mA
BK_OUT、BK_LX、BBLVLX、BBHVLX、BBOUT に流れる連続電流 ..... ±560mA
L_IN、L_OUT に流れる連続電流 ..... ±250mA
LSW_IN、LSW_OUT に流れる連続電流 ..... ±140mA
SYS、CHGIN、CHGOUT に流れる連続電流 1.52A
上記以外の端子に流れる連続電流 ..... ±100mA
連続消費電力（多層基板）（T_A = +70ºC、+70ºC を超えると 31.41mW/ºC でディレーティング） 2513mW
動作温度範囲 ..... −40°C～+85°C
ジャンクション温度 ..... +150°C
保存温度範囲 ..... −65°C～+150°C
はんだ処理温度（リフロー） ..... +260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

63 WLP

Package Code	W633A4+1
Outline Number	21-100616
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ_{JA})	31.83°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「−」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

電気的特性

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GLOBAL SUPPLY CURRENT						
CHGIN Input Current	I_{CHGIN}	V_{CHGIN} = 5V, on mode, charger enabled, ChgAutoStop = 0, I_{CHGOUT} = 0, I_{SYS} = 0, THM monitoring disabled, RTC LDO enabled, all other rails disabled		0.54		mA
		Factory mode 1, CHGIN = 5V, all regulators and load switches off		440		µA
		Factory mode 2, CHGIN = 5V, all regulators and load switches off		75.0		
BAT Input Current	I_{BAT}	Seal mode, RTC LDO disabled		0.28		µA
		Off mode, RTC LDO enabled, fuel gauge shutdown		1.26		
		Battery recovery (BR) mode, RTC LDO enabled, fuel gauge shutdown		1.51		µA
		V_{CHGIN} = 0V, on mode, RTC LDO enabled, all other rails disabled, fuel gauge shutdown		1.67		µA
		V_{CHGIN} = 0V, on mode, RTC LDO enabled, Buck1 enabled, fuel gauge shutdown		2.00		
		V_{CHGIN} = 0V, on mode, RTC LDO enabled, Buck1 and Buck2 enabled, fuel gauge shutdown		2.30		
		V_{CHGIN} = 0V, on mode, RTC LDO enabled, Buck1, Buck2, and Buck3 enabled, fuel gauge shutdown		2.61		
INTERNAL SUPPLIES, UVLOS, AND BAT OCP						
V_{CCINT} OTP OK Threshold/Start-Up Voltage	$V_{CCINT_OTP_OK}$	V_{CCINT} falling (Note 2)	2.60	2.90		V
		V_{CCINT} rising (Note 2)		2.92	3.25	
V_{DIG} OTP OK Threshold	$V_{DIG_OTP_OK}$	V_{DIG} falling	1.41	1.51		V
		V_{DIG} rising		1.52	1.62	
V_{CCINT} UVLO Threshold (POR)	V_{CCINT_UVLO}	V_{CCINT} falling (Note 2)	2.15	2.40	2.7	V
		V_{CCINT} rising (Note 2)	2.2	2.45	2.75	
V_{CCINT} UVLO Threshold (POR) Hysteresis	$V_{CCINT_UVLO_H}$	(Note 2)		50		mV
BAT UVLO Threshold	$V_{BAT_UVLO_R}$	V_{BAT} rising, valid only when CHGIN is present		2.25	2.28	V
	$V_{BAT_UVLO_F}$	V_{BAT} falling, valid only when CHGIN is present	2.16	2.22		
BAT Pull-Down Resistance	R_{BAT_PD}	BattPullDown = 1		15		kΩ
Internal V_{DIG} Regulator	V_{DIG}		1.71	1.80	1.89	V
V_{DIG} UVLO Threshold	V_{DIG_UVLO}	V_{DIG} falling	1.51		1.61	V

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		V_{DIG} rising		1.59		1.73	
V_{DIG} UVLO Threshold Hysteresis	$V_{DIG_UVLO_H}$				100		mV
Internal CAP Regulator	V_{CAP}	V_{CHGIN} = 4.3V to 28.0V		3.75	4.10	4.55	V
CAP Detect Threshold	V_{CAP_DET}	V_{CHGIN} = V_{CAP} falling		2.60	2.80	3.00	V
		V_{CHGIN} = V_{CAP} rising		3.15	3.4	3.6	
CAP Detect Threshold Hysteresis	$V_{CAP_DET_H}$				600		mV
CHGIN Detect Threshold	V_{CHGIN_DET}	V_{CHGIN} rising		4.00	4.15	4.30	V
		V_{CHGIN} falling		3.20	3.30	3.40	
CHGIN Detect Threshold Hysteresis	$V_{CHGIN_DET_H}$				850		mV
CHGIN Detection Debounce Time	t_{CHGIN_DET}	CHGIN detachment			100		ms
		CHGIN insertion			108		
SYS UVLO Threshold	V_{SYS_UVLO}	V_{SYS} rising, SysUVLOThSel = 00		2.65	2.75	2.85	V
		V_{SYS} falling, SysUVLOThSel = 00		2.60	2.70	2.80	
		V_{SYS} falling, SysUVLOThSel = 01		2.80	2.90	3.00	
		V_{SYS} falling, SysUVLOThSel = 10		2.90	3.00	3.10	
		V_{SYS} falling, SysUVLOThSel = 11		3.10	3.20	3.30	
SYS UVLO Threshold Hysteresis	$V_{SYS_UVLO_H}$				50		mV
SYS UVLO Falling Debounce Time	$t_{SYS_UVLO_FD}$	V_{SYS} falling			20		µs
BAT OCP Threshold	I_{BAT_OCP}	I_{SYS} rising	IBatOc = 000		200		mA
			IBatOc = 001		400		
			IBatOc = 010		600		
			IBatOc = 011	480	800	1120	
			IBatOc = 100	600	1000	1400	
			IBatOc = 101	720	1200	1680	
			IBatOc = 110	840	1400	1960	
			IBatOc = 111	960	1600	2240	
BAT OCP Threshold Hysteresis	$I_{BAT_OCP_H}$				15		%
BAT OCP Rising Debounce Time	$t_{BAT_OCP_RD}$	I_{SYS} rising			50		ms
SYS Pull-Down Resistance	R_{SYS_PD}	Enabled for t_{SYS_PD} when transitioning towards battery recovery (BR) mode			10		Ω
SYS Pull-Down Time	t_{SYS_PD}	R_{SYS_PD} is enabled on SYS for this time when transitioning towards battery recovery (BR) mode			30		ms
OVP AND INPUT CURRENT LIMITER							
CHGIN Overvoltage Threshold	V_{CHGIN_OV}	V_{CHGIN} rising		7.2	7.5	7.8	V

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
CHGIN Overvoltage Threshold Hysteresis	$V_{CHGIN_OV_H}$				200		mV
CHGIN-SYS Valid Trip Point	$V_{CHGIN_SYS_TP}$	V_{CHGIN} - V_{SYS} rising		30	145	290	mV
CHGIN-SYS Valid Trip Point Hysteresis	$V_{CHGIN_SYS_TP_H}$				275		mV
Input Current Limit	I_{LIM}	ILimCntl = 000			90		mA
		ILimCntl = 001			150		
		ILimCntl = 010			200		
		ILimCntl = 011			300		
		ILimCntl = 100			400		
		ILimCntl = 101		400	450	500	
		ILimCntl = 110			1000		
		ILimCntl = 111			1500		
Input Overcurrent Max Limit	I_{LIM_MAX}	t < t_{ILIM_BLANK}, ILimMax = 000			90		mA
		t < t_{ILIM_BLANK}, ILimMax = 001			150		
		t < t_{ILIM_BLANK}, ILimMax = 010			200		
		t < t_{ILIM_BLANK}, ILimMax = 011			300		
		t < t_{ILIM_BLANK}, ILimMax = 100			400		
		t < t_{ILIM_BLANK}, ILimMax = 101		400	450	500	
		t < t_{ILIM_BLANK}, ILimMax =110			1000		
		t < t_{ILIM_BLANK}, ILimMax = 111			1500		
Input Current-Limit Blanking Time	t_{ILIM_BLANK}	ILimBlank = 00			50		µs
		ILimBlank = 01			0.5		ms
		ILimBlank = 10			1.0		
		ILimBlank = 11			10		
SYS Regulation-Voltage Dropout	$V_{CHGIN_SYS_REG}$				70		mV
SYS Regulation Voltage	V_{SYSMIN_REG}	V_{BAT} < SysMinVlt[3:0] - SYSDrp[1:0] - SysOVD[1:0] and SysMinVlt[3:0] = 0000 to 1111			3.3 to 4.8, step 0.1		V
	$V_{SYS-CHGOUT_REG}$	V_{BAT} > SysMinVlt[3:0] - SYSDrp[1:0] - SysOVD[1:0]			SYSDrp[1:0] + SysOVD[1:0]		
SYS Regulation Voltage Overhead	V_{SYS_OVHD}	Additional to SYSDrp[2:0]	SysOVD[1:0] = 00		175		mV
			SysOVD[1:0] = 01		200		
			SysOVD[1:0] = 10		225		
			SysOVD[1:0] = 11		250		
CHGIN to SYS On Resistance	R_{CHGIN_SYS}	CHGIN = 5V, I_{SYS} = 200mA			0.16	0.28	Ω

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Current Soft-Start Time	t_{ILIM_SFT}				1		ms
Thermal-Shutdown Temperature	T_{CHG_SHDN}	40°C + 5°C x ChgThrmLim[3:0]	ChgThrmLim = 0000		40		°C
		ChgThrmLim = 1111			115		
CHGIN Boot Retry Timeout	$t_{CHG_RETRY_TMO}$	ChgAlwTry = 1, (see Table 6)			0.5		s
BATTERY CHARGER							
SYS to CHGOUT On Resistance	R_{CHG}	V_{CHGOUT} = 4.35V, I_{CHGOUT} = 1000mA			50	75	mΩ
SYS to CHGOUT Charge Current Reduction Threshold	$V_{SYS_CHGOUT_LIM}$	Measured as V_{SYS} - V_{CHGOUT}, V_{CHGOUT} = 3.6V	SYSDrp[2:0] = 000		25		mV
			SYSDrp[2:0] = 001		37.5		
			SYSDrp[2:0] = 010		50		
			SYSDrp[2:0] = 011		62.5		
			SYSDrp[2:0] = 100		75		
			SYSDrp[2:0] = 101		87.5		
			SYSDrp[2:0] = 110		100		
			SYSDrp[2:0] = 111		112.5		
Precharge Current	I_{PCHG}	IPChg = 00			0.05 x I_{FCHG2}		mA
		IPChg = 01		0.0795 x I_{FCHG2}	0.10 x I_{FCHG2}	0.1075 x I_{FCHG2}	
		IPChg = 10			0.20 x I_{FCHG2}		
		IPChg = 11			0.30 x I_{FCHG2}		
Precharge Threshold	V_{BAT_PCHG}	V_{BAT} rising	VPChg = 000		2.7		V
			VPChg = 001		2.8		
			VPChg = 010		2.9		
			VPChg = 011		3		
			VPChg = 100		3.1		
			VPChg = 101		3.2		
			VPChg = 110		3.3		
			VPChg = 111		3.4		
Precharge Threshold Hysteresis	$V_{BAT_PCHG_H}$				100		mV
Step Charge Threshold	V_{BAT_STPCHG}	V_{BAT} rising	ChgStepRise = 0000		3.80		V
			ChgStepRise = 0001		3.85		
			ChgStepRise = 0010		3.90		
			ChgStepRise = 0011		3.95		

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			ChgStepRise = 0100		4.00		
			ChgStepRise = 0101		4.05		
			ChgStepRise = 0110		4.1		
			ChgStepRise = 0111		4.15		
			ChgStepRise = 1000		4.2		
			ChgStepRise = 1001		4.25		
			ChgStepRise = 1010		4.3		
			ChgStepRise = 1011		4.35		
			ChgStepRise = 1100		4.4		
			ChgStepRise = 1101		4.45		
			ChgStepRise = 1110		4.5		
			ChgStepRise = 1111		4.55		
Step Charge Threshold Hysteresis	$V_{BAT_STPCHG_H}$	ChgStepHyst = 000			100		mV
		ChgStepHyst = 001			200		
		ChgStepHyst = 010			300		
		ChgStepHyst = 011			400		
		ChgStepHyst = 100			500		
		ChgStepHyst = 101			600		
		ChgStepHyst = 110			600		
		ChgStepHyst = 111			600		
Fast Charge Current Zone 1	I_{FCHG1}	V_{SYS} - V_{BAT} = 1.5V			4 to 130, step 2		mA
		V_{SYS} - V_{BAT} = 1.5V			140 to 500, step 10		
Fast Charge Current Zone 2	I_{FCHG2}	V_{SYS} - V_{BAT} = 1.5V			4 to 130, step 2		mA
		V_{SYS} - V_{BAT} = 1.5V			140 to 500, step 10		
Battery Regulation Voltage Accuracy	$V_{BAT_REG_ACC}$	ChgBatReg = 000000 to 111111		-0.5%		+0.5%	V
Battery Recharge Threshold	V_{BAT_RECHG}	Charger recharge threshold in relation to ChgBatReg[5:0].	BatReChg = 00		V_{BAT_REG} - 50		mV
			BatReChg = 01		V_{BAT_REG} - 100		

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			BatReChg = 10		V_{BAT_REG} - 150		
			BatReChg = 11		V_{BAT_REG} - 200		
Maximum Precharge Time	t_{PCHG}	PChgTmr = 00			30		min
		PChgTmr = 01			60		
		PChgTmr = 10			120		
		PChgTmr = 11			240		
Maximum Fast Charge Zone 1 Time	t_{FCHG1}	CC1FChgTmr = 00			30		min
		CC1FChgTmr = 01			60		
		CC1FChgTmr = 10			120		
		CC1FChgTmr = 11			240		
Global Charge Time	t_{CHG}	ChgTmr = 00			75		min
		ChgTmr = 01			150		
		ChgTmr = 10			300		
		ChgTmr = 11			600		
Charge Done Qualification	I_{CHG_DONE}	IChgDone = 00			0.025 x I_{FCHG2}		mA
		IChgDone = 01			0.050 x I_{FCHG2}		
		IChgDone = 10		0.095323 x I_{FCHG2}	0.100 x I_{FCHG2}	0.105357 x I_{FCHG2}	
		IChgDone = 11			0.200 x I_{FCHG2}		
Maximum Maintain Charge Time	t_{MTCHG}	MtChgTmr = 00			0		min
		MtChgTmr = 01			15		
		MtChgTmr = 10			30		
		MtChgTmr = 11			60		
Timer Accuracy	t_{CHG_ACC}			-10		+10	%
Fast-Charge Timer Extend Current Threshold	I_{FCHG_TEXT}	Figure 29			50		% $I_{FCHG1,2}$
Fast-Charge Timer Suspend Current Threshold	I_{FCHG_TSUS}	Figure 29			20		% $I_{FCHG1,2}$
Battery Regulation Voltage Reduction Due to Thermistor Temperature	$V_{BAT_REG_JTA}$	Chg_BatReg = 00			V_{BAT_REG} - 0.15		V
		Chg_BatReg = 01			V_{BAT_REG} - 0.1		
		Chg_BatReg = 10			V_{BAT_REG} - 0.05		
		Chg_BatReg = 11			V_{BAT_REG}		

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Fast-Charge Current Reduction Due to Thermistor Temperature	I_{FCHG_JTA}	$I_{FCHG_}$ = I_{FCHG1} or I_{FCHG2} based on step charge comparator status	Chg_CC_IFChg = 000		0.20 x $I_{FCHG_}$		mA
			Chg_CC_IFChg = 001		0.30 x $I_{FCHG_}$		
			Chg_CC_IFChg = 010		0.40 x $I_{FCHG_}$		
			Chg_CC_IFChg = 011		0.50 x $I_{FCHG_}$		
			Chg_CC_IFChg = 100		0.60 x $I_{FCHG_}$		
			Chg_CC_IFChg = 101		0.70 x $I_{FCHG_}$		
			Chg_CC_IFChg = 110		0.80 x $I_{FCHG_}$		
			Chg_CC_IFChg = 111		$I_{FCHG_}$		
POWER PATH (CHGOUT to SYS)							
CHGOUT to SYS On Resistance	R_{PP}	V_{CHGOUT} = 4.35V, I_{SYS} = 1000mA, LDO disabled			50	75	mΩ
CHGOUT to SYS On Threshold	$V_{CHGOUT_SYS_ON}$	V_{CHGOUT} = 4.35V, I_{SYS} = 10mA, measured as V_{CHGOUT} - V_{SYS}, PPDrp[1:0] = 00			25		mV
		V_{CHGOUT} = 4.35V, I_{SYS} = 10mA, measured as V_{CHGOUT} - V_{SYS}, PPDrp[1:0] = 01			37.5		
		V_{CHGOUT} = 4.35V, I_{SYS} = 10mA, measured as V_{CHGOUT} - V_{SYS}, PPDrp[1:0] = 10			50		
		V_{CHGOUT} = 4.35V, I_{SYS} = 10mA, measured as V_{CHGOUT} - V_{SYS}, PPDrp[1:0] = 11			62.5		
THERMISTOR MONITOR							
THM Hot Threshold	V_{THM_HOT1}	V_{THM} falling (+70ºC)		16.36	18.36	20.36	%V_{DIG}
	V_{THM_HOT2}	V_{THM} falling (+65ºC)		18.7	20.7	22.7	
	V_{THM_HOT3}	V_{THM} falling (+60ºC)		21.44	23.44	25.44	
	V_{THM_HOT4}	V_{THM} falling (+55ºC)		24.17	26.17	28.17	
	V_{THM_HOT5}	V_{THM} falling (+50ºC)		27.3	29.3	31.3	
	V_{THM_HOT6}	V_{THM} falling (+45ºC)		30.81	32.81	34.81	
	V_{THM_HOT7}	V_{THM} falling (+40ºC)		34.72	36.72	38.72	
	V_{THM_HOT8}	V_{THM} falling (+35ºC)		39.02	41.02	43.02	
THM Warm Threshold	V_{THM_WARM1}	V_{THM} falling (+55ºC)		24.17	26.17	28.17	%V_{DIG}
	V_{THM_WARM2}	V_{THM} falling (+50ºC)		27.3	29.3	31.3	
	V_{THM_WARM3}	V_{THM} falling (+45ºC)		30.81	32.81	34.81	
	V_{THM_WARM4}	V_{THM} falling (+40ºC)		34.72	36.72	38.72	
	V_{THM_WARM5}	V_{THM} falling (+35ºC)		39.02	41.02	43.02	

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
	V_{THM_WARM6}	V_{THM} falling (+30ºC)	43.31	45.31	47.31	
	V_{THM_WARM7}	V_{THM} falling (+25ºC)	48	50	52	
	V_{THM_WARM8}	V_{THM} falling (+20ºC)	52.69	54.69	56.69	
THM Cool Threshold	V_{THM_COOL1}	V_{THM} rising (+25ºC)	48	50	52	$\%V_{DIG}$
	V_{THM_COOL2}	V_{THM} rising (+20ºC)	52.69	54.69	56.69	
	V_{THM_COOL3}	V_{THM} rising (+15ºC)	57.77	59.77	61.77	
	V_{THM_COOL4}	V_{THM} rising (+10ºC)	62.45	64.45	66.45	
	V_{THM_COOL5}	V_{THM} rising (+5ºC)	67.14	69.14	71.14	
	V_{THM_COOL6}	V_{THM} rising (0ºC)	71.83	73.83	75.83	
	V_{THM_COOL7}	V_{THM} rising (-5ºC)	76.13	78.13	80.13	
	V_{THM_COOL8}	V_{THM} rising (-10ºC)	80.03	82.03	84.03	
THM Cold Threshold	V_{THM_COLD1}	V_{THM} rising (+15ºC)	57.77	59.77	61.77	$\%V_{DIG}$
	V_{THM_COLD2}	V_{THM} rising (+10ºC)	62.45	64.45	66.45	
	V_{THM_COLD3}	V_{THM} rising (+5ºC)	67.14	69.14	71.14	
	V_{THM_COLD4}	V_{THM} rising (0ºC)	71.83	73.83	75.83	
	V_{THM_COLD5}	V_{THM} rising (-5ºC)	76.13	78.13	80.13	
	V_{THM_COLD6}	V_{THM} rising (-10ºC)	80.03	82.03	84.03	
	V_{THM_COLD7}	V_{THM} rising (-15ºC)	83.16	85.16	87.16	
	V_{THM_COLD8}	V_{THM} rising (-20ºC)	86.28	88.28	90.28	
THM Disable Threshold	V_{THM_DIS}	V_{THM} rising	91.75	93.75	95.75	$\%V_{DIG}$
THM Threshold Hysteresis	V_{THM_H}			60		mV
THM Input Leakage	I_{THM_LK}	V_{THM} = 0V to 5.5V, JEITA disabled	-1		+1	µA
HARVESTER INTERACTION						
Harvester Interaction Ideal CHGOUT to SYS Diode Quiescent Current	$I_{HARV_CHGOUT_SYS_DIO_Q}$	V_{CHGOUT} = 4.35V, I_{SYS} = 0µA		0.65		µA
		V_{CHGOUT} = 4.35V, I_{SYS} = 10mA		12		
Harvester Interaction SYS to CHGOUT Diode Drop In POR/Seal Mode	$V_{HARV_SYS_CHGOUT_DIO_PORSEAL}$	POR condition, V_{CHGOUT} = 2.1V, I_{SYS} = -20mA		0.6		V
Harvester Interaction Ideal CHGOUT-to-SYS Diode Regulation	$V_{HARV_CHGOUT_SYS_DIO_REG}$	V_{CHGOUT} = 4.35V, I_{SYS} = 100mA, measured as V_{CHGOUT} - V_{SYS}		28		mV
Harvester Interaction Ideal CHGOUT-to-SYS Diode Load Transient	$V_{HARV_CHGOUT_SYS_DIO_LOADTRAN}$	V_{CHGOUT} = 4.35V, I_{SYS} from -20mA to 1A in 1µs, measured as V_{CHGOUT} - V_{SYS}		165		mV
Harvester Interaction Ideal CHGOUT-to-SYS Diode Release Delay	$t_{HARV_CHGOUT_SYS_DIO_REL}$	V_{CHGOUT} = 4.35V, I_{SYS} = from 1A to -1mA in 1µs, measured as the time from when I_{CHGOUT} goes negative to when it rises above -50µA		110		µs
IVMON MULTIPLEXER						

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
IVMON Multiplexer Output Ratio	$V_{IVMON_DIV_RT}$	No load on IVMON pin. Inputs: charger current, BAT, SYS, THM, BK1OUT, BK2OUT, BK3OUT, L1OUT, L2OUT, L3OUT, RTC_LDO, BBOUT (Note 3)	MONRatioCfg = 00		100.0		%
		No load on IVMON pin. Inputs: charger current, BAT, SYS, BK1OUT, BK2OUT, BK3OUT, L1OUT, L2OUT, L3OUT, RTC_LDO, BBOUT	MONRatioCfg = 01		50.0		
			MONRatioCfg = 10		33.3		
			MONRatioCfg = 11		25.0		
IVMON Multiplexer Output Impedance	R_{IVMON_DIV}	Inputs charger current, BAT, SYS, BK1OUT, BK2OUT, BK3OUT, L1OUT, L2OUT, L3OUT, RTC_LDO, BBOUT,1µA load on IVMON pin	MONRatioCfg = 00		5.5		kΩ
			MONRatioCfg = 01		31.0		
			MONRatioCfg = 10		28.0		
			MONRatioCfg = 11		24.0		
IVMON Input Leakage	I_{IVMON_LK}	IVMON multiplexer disabled, pull-down resistance disabled, V_{IVMON} = 0V to 5.5V		-1		+1	µA
IVMON Multiplexer Off-State Pull-Down Resistance	R_{IVMON_OFF}	IVMON multiplexer disabled, pull-down resistance enabled			59.0		kΩ
BUCK1, BUCK2, AND BUCK3							
Input-Voltage Range	V_{IN}	Input voltage = V_{SYS}		2.7		5.5	V
Output-Voltage Range	V_{BK_OUT}	10mV step resolution		0.500		1.130	V
		25mV step resolution		0.500		2.075	
		50mV step resolution		0.500		3.650	
Quiescent-Supply Current	I_{Q_BK}	I_{BK_OUT} = 0, V_{SYS} = 3.7V, V_{BK_OUT} = 1.2V, Buck_VStep = 25mV, Buck_FPWM = 0, L = 2.2µH, Buck_ISet = 175mA			0.40	0.70	µA
	$I_{Q_BK_PWM}$	I_{BK_OUT} = 0, V_{SYS} = 3.7V, V_{BK_OUT} = 1.2V, Buck_VStep = 25mV, Buck_FPWM = 1, L = 2.2µH, Buck_ISet = 175mA			2.00		mA
Output Average Voltage Accuracy	ACC_BK	Buck_EnbINTGR = 0, CCM operation, V_{BK_OUT} ≤ 3.4V		-2.5		+2.5	%
Peak-to-Peak Voltage Ripple	V_{RPP_BK}	$C_{BK_OUT_EFF}$ ≥ 4µF, I_{BK_OUT} = 1mA, L = 2.2µH, Buck_Iset = 150mA, V_{OUT} = 1.2V, V_{SYS} = 3.7V			10		mV
Nominal Peak Current Set Range	I_{PSET_BK}	25mA step resolution		0		375	mA

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Load Transient Response	$V_{LOAD_TRANS_BK}$	10µA to 300mA at 1A/µs, C_{BK_EFF} = 9µF, V_{BK_OUT} = 1.2V		77		mV
Load Regulation Error	$V_{LOAD_REG_BK_}$	Buck_EnbIADPT = 0, Buck_EnbINTGR = 0, I_{BK_OUT} = 500mA		-0.55		%
Line Regulation Error	$V_{LINE_REG_BK_}$	V_{BK_OUT} = 1.2V, V_{SYS} from 2.7V to 5.5V, I_{BK_OUT} = 200mA, C_{BK_OUT} > 9µF		±5.5		mV
Maximum Operative Output Current	I_{BK_MAX}	Load regulation error = -5%, Buck_EnbINTGR = 0	400			mA
Valley Current Limit During Short-Circuit to GND	I_{SHRT_BK}	V_{BK_OUT} = 0V		0.7		A
Valley Current Limit During Start-Up	$I_{VLY_BK_STUP}$	During start-up before PGOOD = 1 condition is achieved		125		mA
BKLX Leakage Current	I_{LK_BKLX}	Buck_ disabled	-1		+1	µA
Active Discharge Current	I_{ACTD_BK}	V_{BK_OUT} = 0.7V	8	16	28	mA
Passive Discharge Resistance	R_{PSV_BK}		5	10	15.5	kΩ
Full Turn-On Time	t_{ON_BK}	Time from enable to PGOOD and full current capability, no load		10		ms
Efficiency	EFFIC_BK	Buck_VSet = 1.2V, I_{BK_OUT} = 10mA, Inductor: Murata DFE201610E-2R2M		86		%
BKLX Rising/Falling Slew Rate	SLW_BK	Buck_LowEMI = 0		3.0		V/ns
	SLW_BK_L	Buck_LowEMI = 1		0.6		
Thermal-Shutdown Threshold	T_{SHDN_BK}	I_{LOAD} > 20mA		140		°C
PGOOD Threshold % Shift vs. Nominal Regulation Point	V_{TH_PGOOD}		-7	-5	-3	%
LDO1, LDO2 (TYPICAL VALUES ARE AT V_{L_IN} = +3.7V, V_{L_OUT} = +3V)						
Input Voltage	$V_{IN_LDO_}$	LDO mode	1.71		5.5	V
Input Voltage	$V_{IN_LDO_}$	Switch mode	1.2		5.5	V
Quiescent-Supply Current	$I_{Q_LDO_}$	LDO_ enabled, I_{L_OUT} = 0µA		1.0	1.9	µA
Quiescent Supply Current Room Temperature	$I_{Q_LDO_27C}$	LDO_ enabled, I_{L_OUT} = 0µA, T_A = +27ºC		1	1.4	µA
Quiescent-Supply Current	$I_{Q_LDO_SW_}$	LDO_ enabled, I_{L_OUT} = 0µA, switch mode		0.35	0.9	µA
Quiescent-Supply Current in Dropout	$I_{Q_LDO_D_}$	I_{L_OUT} = 0µA, V_{L_IN} = 2.9V, LDO_VSet = +3V		1.9	3.7	µA
Maximum Output Current	$I_{L_OUT_MAX}$	V_{L_IN} > 1.8V	100			mA
		V_{L_IN} ≤ 1.8V	50			
Maximum Output Current When Supplied From V_{CCINT}	$I_{LDO1_MAX_VCCINT}$	LDO1 only, V_{BAT} > 3.2V, V_{L1OUT} = 1.8V, LDO1INT_SUP = 1 (internal)	100			µA

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Internal Supply Switch	R_{ON_L1IN}	LDO1INT_SUP = 1 (internal), switch between V_{CCINT} and L1IN		4.5	7.3	12	kΩ
Output-Voltage Range	V_{L_OUT}	100mV step resolution		0.9		4	V
Output-Voltage Accuracy	ACCLDO_	V_{L_IN} = max(V_{L_OUT} + 0.5V, 1.71V) or higher, I_{L_OUT} = 1mA		-2.5		+2.5	%
Dropout Voltage	$V_{DROP_LDO_}$	V_{L_IN} = 1.85V, LDO_VSet = 1.9V, I_{L_OUT} = 100mA				130	mV
		V_{L_IN} = 3V, LDO_VSet = 3.1V, I_{L_OUT} = 100mA				100	
Line-Regulation Error	$V_{LINEREG_LDO_}$	V_{L_IN} = (V_{L_OUT} + 0.5V) to 5.5V, V_{L_IN} ≥ 1.8V, I_{L_OUT} = 100mA		-0.4		0.4	%/V
Load-Regulation Error	$V_{LOADREG_LDO_}$	1.8V ≤ V_{L_IN} ≤5.5V, I_{L_OUT} = 100µA to 100mA			0.002	0.007	%/mA
Line Transient	$V_{LINETRAN_LDO_}$	V_{L_IN} = 4V to 5V, 1µs rise time			±25		mV
		V_{L_IN} = 4V to 5V, 200ns rise time			±35		
Load Transient	$V_{LOADTRAN_LDO_}$	200ns rise time	I_{L_OUT} = 0mA to 10mA		100		mV
			I_{L_OUT} = 0mA to 100mA		200		
Passive Discharge Resistance	$R_{PD_LDO_}$			5	10	16	kΩ
Active Discharge Current	$I_{AD_LDO_}$	V_{L_IN} = 3.7V		8	22	40	mA
Switch-Mode Resistance	$R_{ON_LDO_SW_}$	I_{L_OUT} = 5mA, switch mode	V_{L_IN} = 1.2V		1.5	2.3	Ω
	$R_{ON_LDO_SW_1p8}$	I_{L_OUT} = 100mA, switch mode	V_{L_IN} = 1.8V		0.65	1	
	R_{ON_LDO}	I_{L_OUT} = 100mA, switch mode	V_{L_IN} = 2.7V		0.4	0.7	
Turn-On Time	$t_{ON_LDO_}$	I_{L_OUT} = 0mA, time from 10% to 95% of final value	LDO mode		1.5		ms
	$t_{ON_LDO_SW}$	I_{L_OUT} = 0mA, time from 10% to 95% of final value	Switch mode		0.26		
Short-Circuit Current Limit	$I_{SHRT_LDO_}$	V_{L_OUT} = GND	V_{L_IN} = 2.7V, Switch mode	210	350	540	mA
			V_{L_IN} = 5.5V	225	460	690	
Thermal-Shutdown Temperature	$T_{SHDN_LDO_}$				150		°C
Thermal-Shutdown Temperature Hysteresis	$T_{SHDN_LDO_H}$				20		°C
L_IN UVLO	$V_{UVLO_LDO_}$	V_{L_IN} rising			1.36	1.71	V
		V_{L_IN} falling		1.05	1.35		
Output Leakage	$I_{LK_L_OUT}$	V_{L_OUT} = GND, LDO_ disabled		-1		+1	µA
Output-Voltage Noise	$V_{NOISE_LDO_}$	BW = 10Hz to 100kHz, V_{L_IN} = 5V, V_{L_OUT} = 3.3V			150		μV_{RMS}

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
		BW = 10Hz to 100kHz, V_{L_IN} = 5V, V_{L_OUT} = 2.5V			125		
		BW = 10Hz to 100kHz, V_{L_IN} = 5V, V_{L_OUT} = 1.2V			90		
		BW = 10Hz to 100kHz, V_{L_IN} = 5V , V_{L_OUT} = 0.8V			80		
LDO3 (FAST TRANSIENT LDO)							
Input Voltage	V_{IN_LDO3}	LDO mode		1.71		5.5	V
Quiescent Supply Current	I_{Q_LDO3}	LDO3 enabled, I_{L3OUT} = 0µA, V_{L3IN} > V_{L3OUT} + 100mV			820	2400	nA
Quiescent Supply Current Room Temperature Only	$I_{Q_LDO3_27C}$	LDO enabled, I_{L3OUT} = 0µA, V_{L3IN} > V_{L3OUT} + 100mV, +27ºC			820	1400	nA
Quiescent Supply Current in Fast Mode	I_{q_FST}	LDO3 enabled, LDO3_FRC_HIC = 1, I_{L3OUT} = 0, V_{L3IN} > V_{L3OUT} +100mV			3.2	6	µA
Quiescent Supply Current in Dropout	$I_{Q_LDO3_D}$	I_{L3OUT} = 0µA, V_{L3IN} = 2.9V, LDO3VSet = +3V			16		µA
Maximum Output Current	I_{LOUT3_MAX}	V_{L3IN} > 2.0V, V_{L3IN} = (V_{L3OUT} + 0.1V) or higher		100			mA
		1.8V < V_{L3IN} < 2V, V_{L3IN} = (V_{L3OUT} + 0.1V) or higher		70			
		1.71V < V_{L3IN} ≤ 1.8V, V_{L3IN} = (V_{L3OUT} + 0.1V) or higher		40			
Output-Voltage Range	V_{L_OUT3}	25mV step resolution		0.9		4.075	V
Output-Voltage Accuracy	ACCLDO3	V_{L3IN} = (V_{L3OUT} + 0.5V) or higher, I_{L3OUT} = 5mA		-2.1		+2.1	%
Dropout Voltage	V_{DROP_LDO3}	V_{L3IN} = 1.8V, LDO3VSet = 1.9V, I_{L3OUT} = 70mA		24	54	84	mV
		V_{L3IN} = 2.9V, LDO3VSet = 3V, I_{L3OUT} = 100mA		20	41	60	
L3IN to L3OUT Dropout DRPLDO3 Bit Threshold	V_{THDRP}	LDO3VSET = 3V, I_{L3OUT} = 100mA, L3IN falling			42		mV
Line-Regulation Error	$V_{LINEREG_LDO3}$	V_{L3IN} = (V_{L3OUT} + 0.5V) to 5.5V, V_{L3IN} ≥ 2.0V			20		m%/V
Load-Regulation Error	$V_{LOADREG_LDO3}$	V_{L3IN} = V_{L3OUT} + 0.5V, I_{L3OUT} = 100µA to 100mA			0.001		%/mA
Line Transient	$V_{LINETRAN_LDO3}$	V_{L3IN} = 4V to 5V, V_{L3OUT} = 1.8V, 1µs rise time			20		mV
		V_{L3IN} = 4V to 5V, 200ns rise time			25		
Load Transient	$V_{LOADTRAN_LDO3}$	200ns rise time	I_{L3OUT} = 0mA to 10mA, C_{L3OUT} = 1µF, 1.8V output voltage		44		mV
			I_{L3OUT} = 0mA to 100mA, C_{L3OUT} = 1µF, 1.8V output voltage		168		

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Load-Transient Recovery Time	$t_{Recovery}$	I_{L3OUT} from 0 to 2mA, t_{rise} = 1µs, C_{L3OUT} = 1µF, V_{L3OUT} = 1.8V, time to rise back to 0.2% of final regulation voltage (Note 4)		50	100	µs
		I_{L3OUT} from 0 to 100mA, rise time =1µs, C_{L3OUT} = 1µF, V_{L3OUT} = 1.8V, time to rise back to 0.2% of final regulation voltage		12		
Passive Discharge Resistance	R_{PD_LDO3}		5	10	16	kΩ
Active Discharge Current	I_{AD_LDO3}	V_{L3IN} = 3.7V	8	22	40	mA
Turn-On Time	t_{ON_LDO3}	I_{L3OUT} = 0mA, time from enable to 95% of final value and full output current capability, LDO3VSet = 1.8V, LDO mode		5		ms
L3OUT Start-Up Slew Rate	SLEW_LDO3		0.4	2.35	7	V/ms
Short-Circuit Current Hiccup Threshold	I_{SHRT_LDO3}	V_{L3IN} - V_{L3OUT} ≥ 1V	219	580	942	mA
Thermal-Shutdown Temperature	T_{SHDN_LDO3}			+140		°C
Thermal-Shutdown Temperature Hysteresis	$T_{SHDN_LDO3_H}$			20		°C
L3IN UVLO	V_{UVLO_LDO3}	V_{L3IN} rising			1.75	V
		V_{L3IN} falling	1.26		1.67	
Output Leakage	$I_{LK_L_OUT3}$	V_{L3OUT} = GND, LDO3 disabled	-1		+1	µA
Power-Supply Rejection Ratio	PSRR	f = 1kHz, I_{L3OUT} = 30mA		70		dB
Output-Voltage Noise	V_{NOISE_LDO3}	BW = 10Hz to 100kHz, V_{L3OUT} = 0.9V, I_{L3OUT} = 30mA		64		µV RMS
RTC_LDO						
Input Voltage	V_{IN_RTC}		2.7		5.5	V
Quiescent Current	I_{Q_RTC}			200	410	nA
Max Output Current	I_{MAX_RTC}	V_{RTC_LDO} = 80% of the nominal value	2			mA
Output Voltage	V_{OUT_RTC}	LDO4VSet = 1.2V, LDO4Vinc = 00		1.2		V
		LDO4VSet = 1.8V, LDO4Vinc = 00		1.8		
Output-Voltage Accuracy	ACC_RTC	I_{RTC_LDO} = 1mA	-2.5		+2.5	%
Line Regulation	$V_{LINE_REG_RTC}$	V_{CHGOUT} from 2.7V to 3.7V	-0.26	0.04	+0.26	%/V
Load Regulation Error	$V_{LOADREG_RTC}$	I_{RTC_LDO} from 2µA to 2mA	-0.5	0.1	+0.5	%/mA
Line Transient	$V_{LINETRAN_RTC}$	CHGOUT from 2.7V to 3.7V in 1µs rise/fall time, C_{OUT_EFF} = 1µF		±6		mV
Load Transient	$V_{LOAD_TRAN_RTC}$	I_{RTC_LDO} from 0 to 2mA in 100ns, C_{OUT_EFF} = 1µF		30		mV
Output Leakage	I_{LK_RTC}	RTC_LDO disabled, V_{RTC_LDO} = 0V			1	µA

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Turn-On Time	t_{ON_RTC}	I_{RTC_LDO} = 0mA, time from 10% to 90% of final value		1.5		ms
Passive Discharge Resistance	R_{PD_RTC}		5	10	15	kΩ
BUCK-BOOST						
Input Voltage	V_{BBIN}	Input voltage = V_{SYS}	2.7		5.5	V
Output-Voltage Set Range	V_{BBOUT}	50mV step resolution, do not exceed the valid voltage range	2.6		5.5	V
Quiescent Supply Current	I_{Q_BB}	I_{BBOUT} = 0, V_{BBOUT} = 5V		2	4	µA
Maximum Output Operative Power	P_{MAX_BBOUT}	BBstIpPadPEnb = 0, V_{SYS} ≥ 3.2V, V_{BBOUT} ≥ 3.2V, 7.5% load regulation, BBZCCmpEnB = 0 (Note 4)	1.5			W
Load-Regulation Error	LOAD_REG_ERR	BBstIpPadPEnb = 0, BBstVSet > 3.3V, P_{OUT} = 1.5W		-3.5		%
Average Output-Voltage Accuracy	ACC_BBOUT	I_{BBOUT} = 1mA, C_{BBOUT_EFF} ≥ 5µF	-2.7		+2.7	%
Maximum Output Current During Start-Up	$I_{LOAD_MAX_STUP}$	V_{SYS} > 3V, BBstIpPadPEnb = 0	85			mA
Start-Up Time	t_{STUP}	I_{LOAD} < $I_{LOAD_MAX_STUP}$, time from V_{BBOUT} = 0V to final value		13		ms
Input-Supply Current During Start-Up	I_{BBIN_STUP}	V_{SYS} = 3.6V, V_{BBOUT} = 5V, C_{BBOUT_EFF} = 10µF, I_{BBOUT} = 0		10		mA
Output UVLO Threshold	V_{BBOUT_UVLO}	Falling edge (50mV hysteresis)		1.85	2.46	V
HVLX Leakage Current	I_{LK_BBHVLX}		-1		+1	µA
LVLX Leakage Current	I_{LK_BBLVLX}		-1		+1	µA
Passive Discharge Resistance	R_{PSV_BB}		5	10	17	kΩ
Active Discharge Current	I_{ACTD_BB}	V_{BBOUT} = 2.5V	5	20	50	mA
BBOUT Pull-Down Current	$I_{PD_BB_E}$	BBst enabled, BBOUT = BBstVSet + 0.1V		300		nA
Thermal-Shutdown Temperature	T_{SHDN_BB}	I_{LOAD} > 20mA		+150		°C
LOAD SWITCHES 1, 2, AND 3						
Input Voltage	V_{SW_IN}		0.65		5.50	V
Quiescent-Supply Current	$I_{Q_SW_}$	Load switch on, voltage protection disabled		0.26	0.53	µA
		Load switch on, voltage protection enabled, V_{LSW_IN} = 1.2V		0.75	1.20	µA
On-Resistance	$R_{SW_}$	V_{SYS} = 3V, V_{LSW_IN} = 1.2V, I_{LSW_OUT} = 50mA		0.25	0.50	Ω
Start-Up Current	I_{SW_START}	V_{LSW_IN} = 1.2V, V_{LSW_OUT} = 0V initially		50	108	mA
Voltage Protection Threshold	V_{SW_PROT}	Falling	10	120		mV
		Rising		130	260	
Turn-On Time	$t_{ON_SW_}$	V_{LSW_IN} = 1.2V, 1µF output capacitance, 10% to 90% of output		15		µs

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Start-Up Time-Out Time	t_{STUP_LSW}			5		ms
Start-Up Retry Time	$t_{RETRY_LSW_}$			5		ms
Passive Discharge Resistance	$R_{PSV_LSW_}$			10		kΩ
Active Discharge Current	$I_{ACTD_LSW_}$			20		mA
Output Leakage	$I_{LK_LSW_}$	LSW_OUT = GND, load switch disabled			1	µA
FUEL GAUGE (SEE THE FUEL GAUGE SECTION FOR MORE DETAILS)						
Internal Sense Resistor	R_{SNS}	T_A = +25°C		50		mΩ
FUEL-GAUGE POWER SUPPLY						
Shutdown Supply Current	I_{DD0}			0.5		µA
Hibernate Supply Current	I_{DD1}	Average current		5.5		µA
Active Supply Current	I_{DD2}	Average current not including thermistor measurement current		12.5		µA
Start-Up Voltage	$V_{FGBATSU}$				3.05	V
FUEL-GAUGE ANALOG-TO-DIGITAL CONVERSION						
BAT Measurement Error	V_{GERR}	T_A = +25°C	-7.5		+7.5	mV
		-40°C ≤ T_A ≤ +85°C	-20		+20	
BAT Measurement Resolution	V_{LSB}			78.125		µV
BAT Measurement Range	V_{FS}		2.7		4.9	V
Current-Measurement External R_{SNS} Offset Error	I_{OERR_E}	Long-term average without load current		±1.5		µV
Current-Measurement External R_{SNS} Error	I_{ERR_E}		-1		+1	% of Reading
Current-Measurement External R_{SNS} Resolution	I_{LSB_E}			1.5625		µV
Current-Measurement External R_{SNS} Range	I_{FS_E}		-51.2		+51.2	mV
Current Measurement Internal R_{SNS} Offset Error	I_{OERR_I}	Zero current, long-term average, R_{SENSE} = 50mΩ		±0.03		mA
Current Measurement Internal R_{SNS} Resolution	I_{LSB_I}			31.25		µA
Current Measurement Internal R_{SNS} Gain Error	I_{GERR}	(Note 4)		±2.5		% of Reading
Current Measurement Internal R_{SNS} Error	I_{ERR_I}	0.1A and 0.2A (Note 4)	-3.5		+3.5	% of Reading
Internal Temperature-Measurement Error	T_{I_GERR}	-40°C ≤ T_A ≤ +85°C		±1		°C

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Internal Temperature-Measurement Resolution	T_{I_LSB}			0.00391		°C
FUEL-GAUGE INPUT/OUTPUT						
External Thermal Resistance	R_{EXT10}	Config.R100 = 0		10		kΩ
	R_{EXT100}	Config.R100 = 1		100		
Output Drive Low, $\overline{ALRT}$	V_{OL}	I_{OL} = 4mA, V_{BAT} = 2.3V			0.4	V
Input Logic High, $\overline{ALRT}$	V_{IH}		1.5			V
Input Logic Low, $\overline{ALRT}$	V_{IL}				0.5	V
Battery-Detach Detection Threshold	V_{DET}	Measured as a fraction of V_{BAT} on THM rising	91.0	96.2	99.0	%
Battery-Detach Detection Threshold Hysteresis	$V_{DET-HYS}$	Measured as a fraction of V_{BAT} on THM falling		1.6		%
Battery-Detach Comparator Delay	t_{OFF}	THM step from 70% to 100% of V_{BAT} (Alrtp = 0, EnAIN = 1, FTHRM = 1)			100	µs
FUEL-GAUGE LEAKAGE						
Leakage Current, CSN, CSP/FG_TST, $\overline{ALRT}$	I_{LEAK}	$V_{\overline{ALRT}}$ < 15V	-1		+1	µA
FUEL-GAUGE TIMING						
Time-Base Accuracy	t_{ERR}	T_A = +25°C	-1		+1	%
THM Precharge Time	t_{PRE}		8.48			ms
DIGITAL						
SDA, SCL, MPC_, PFN_, $\overline{RST}$, $\overline{INT}$ Input-Leakage Current	I_{LK_IO}	Input pull-up/pull-down resistances disabled, V_{IO} = 0V to 5.5V	-1		+1	µA
SDA, SCL, MPC_ Input-Logic High	V_{IO_IH}		1.4			V
SDA, SCL, MPC_ Input-Logic Low	V_{IO_IL}				0.4	V
PFN_ Input-Logic High	$V_{PFN_IH_C}$	Off/seal mode		0.7 x V_{CCINT}		V
PFN_ Input-Logic Low	$V_{PFN_IL_C}$	Off/seal mode		0.3 x V_{CCINT}		V
PFN_ Input-Logic-High	$V_{PFN_IH_T}$	On mode	1.4			V
PFN_ Input-Logic-Low	$V_{PFN_IL_T}$	On mode			0.4	V
MPC_, PFN_ Input-Pull-Up Resistance	R_{IO_PU}	Pull-up resistance to V_{CCINT} (Note 2)		170		kΩ
MPC_, PFN_ Input-Pull-Down Resistance	R_{IO_PD}			170		kΩ
MPC_ Output Logic-High	V_{IO_OH}	I_{OH} = 1mA, MPC_ configured as push-pull output, pull-up voltage is V_{BK1OUT}	V_{BK1OUT} - 0.4			V
SDA, MPC_, PFN2, $\overline{RST}$, $\overline{INT}$ Output Logic Low	V_{IO_OL}	I_{OL} = 4mA			0.4	V

（特に指定のない限り、V_{BAT} = V_{CHGOUT} = V_{SYS_UVLO}（立下がり）～+4.9V、V_{CHGIN} = 無接続もしくは V_{CHGIN_DET}～V_{CHGIN_OV}、T_A = −40ºC～+85ºC。代表値は T_A = +25ºC、V_{BAT} = 3.7V、V_{CHGIN} = 5.0V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH での値です。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MPC6 Harvester Disable Pull-Up Resistor	$R_{MPC6_HARV_DIS_RPU}$	Harvester interaction enabled, pull-up resistor to V_{CCINT} (Note 2)		4		kΩ
SCL Clock Frequency	f_{SCL}	(Note 5)	0		400	kHz
Bus Free-Time Between Stop and Start Condition	t_{BUF}		1.3			µs
Hold Time for a Repeated Start Condition	t_{HD_STA}		0.6			µs
Setup Time for a Repeated Start Condition	t_{SU_STA}		0.6			µs
Low Period of SCL Clock	t_{LOW}	(Note 6)	1.3			µs
High Period of SCL Clock	t_{HIGH}		0.6			µs
Data-Hold Time	t_{HD_DAT}	(Note 7 and Note 8)	0		0.9	µs
Data-Setup Time	t_{SU_DAT}		100			ns
Setup Time for Stop Condition	t_{SU_STO}		0.6			µs
Spike Pulse Widths Suppressed by Input Filter	t_{SP}	(Note 9)	50			ns
SPI						
SCLK Frequency	f_{SCLK}				10	MHz
Setup Time	t_{CS}		10			ns
Hold Time	t_{CH}		100			ns
Pulse-Width High	t_{IDLE}			60		ns
DIN Setup Time	t_{DS}		10			ns
DIN Hold Time	t_{DH}		20			ns
SCLK Pulse-Width Low	t_{LOW_SPI}		20			ns
SCLK Pulse-Width High	t_{HIGH_SPI}		20			ns

Note 1： 全てのデバイスは T_A = +25ºC で 100%出荷テストされています。動作温度範囲にわたる制限値は、設計によって確保されています。

Note 2： V_{CCINT} は、BAT と CAP のいずれかから生成される内部電源です。この電圧は、次式で決定されます。
IF: [(V_{CHGIN} > V_{CHGIN_DET} AND V_{CAP} > V_{CAP_DET}) OR V_{CAP} > (V_{BAT} + $V_{THSWOVER}$)]
THEN: V_{CCINT} = V_{CAP}
ELSE: V_{CCINT} = V_{BAT}
ここで $V_{THSWOVER}$ = 0mV − 300mV

Note 3： 残量ゲージが恒久的にディスエーブルされている場合（FG_OTP_ENA = 0）は、THM で 1:1 の IVMON 比を用いないでください。

Note 4： これらの仕様については出荷テストを行っていませんが、設計により保証しています。

Note 5： シャットダウン・タイマー設定より長い期間にわたってバスがローになることによって残量ゲージがシャットダウンモードに入ることがないよう、十分に速いタイミングが必要です。

Note 6： SCL 波形は最小クロック・ロー時間に立上がり／立下がり時間を加えた時間を満たす必要があります。

Note 7： t_{HD_DAT} が最大値となるのは、デバイスが SCL 信号のロー時間（t_{LOW}）を延長しない場合だけに限る必要があります。

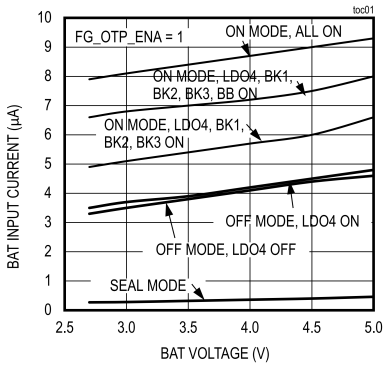
Note 8： SCL の立下がりエッジの不定領域を越えるために、デバイスは、SDA 信号に対して少なくとも 100ns のホールドタイムを内部的に確保します（SCL 信号の最小 V_{IH} を参照）。

Note 9： SDA と SCL のフィルタによって入力バッファのノイズ・スパイクが抑制され、サンプリングのタイミングが遅延します。

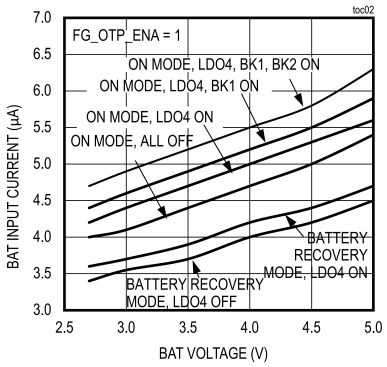
標準動作特性

（特に指定のない限り $V_{BAT} = V_{CHGOUT} = 3.7V$、$C_{CHGIN_EFF} = 1\mu F$、$C_{VDIG_EFF} = 1\mu F$、$C_{CAP_EFF} = 1\mu F$、$C_{SYS_EFF} = 10\mu F$、$C_{BAT_EFF} = 1\mu F$、$C_{CHGOUT_EFF} = 0.1\mu F$、$C_{BK_OUT_EFF} = 10\mu F$、$C_{L_IN_EFF} = 1\mu F$、$C_{L_OUT_EFF} = 1\mu F$、$C_{BBOUT_EFF} = 10\mu F$、$L_{BK_OUT} = 2.2\mu H$、$L_{BBOUT} = 2.2\mu H$、$T_A = +25^{\circ}C$。）

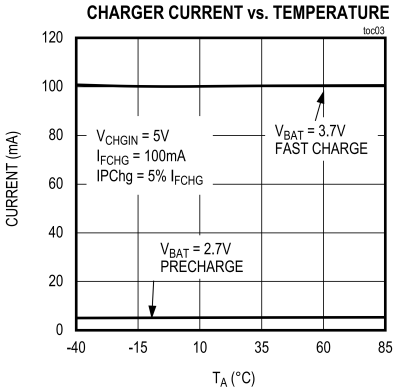
BAT INPUT CURRENT vs. BAT VOLTAGE



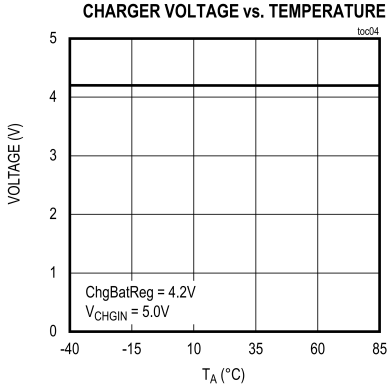
BAT INPUT CURRENT vs. BAT VOLTAGE



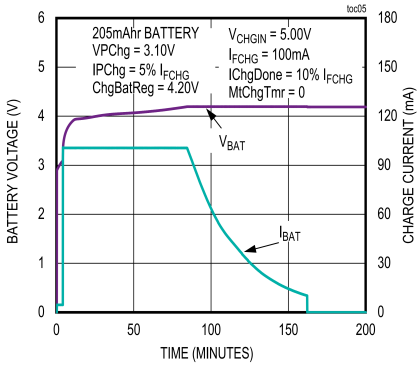
CHARGER CURRENT vs. TEMPERATURE



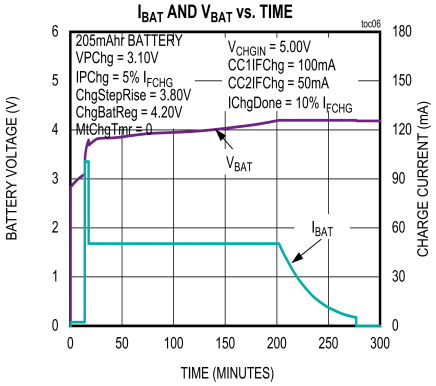
CHARGER VOLTAGE vs. TEMPERATURE



CHARGER PROFILE
I_{BAT} AND V_{BAT} vs. TIME

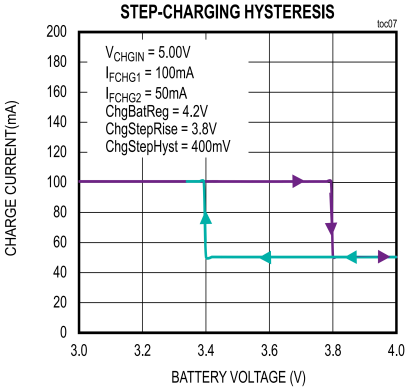


STEP-CHARGING CHARGER PROFILE
I_{BAT} AND V_{BAT} vs. TIME

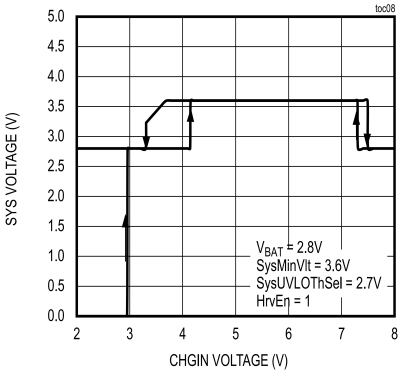


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

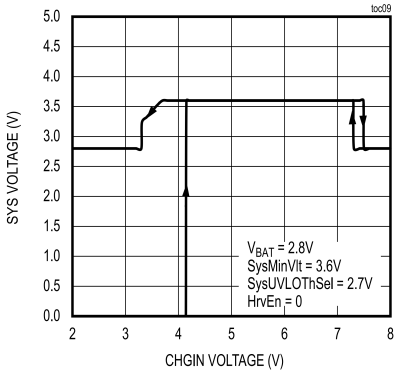
STEP-CHARGING HYSTERESIS



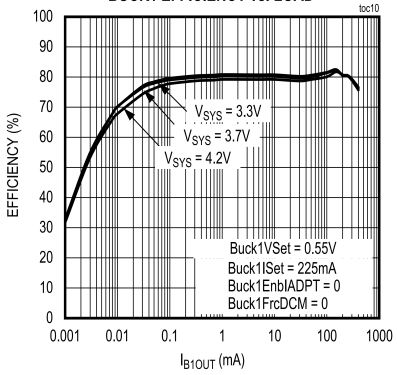
SYS VOLTAGE vs. CHGIN VOLTAGE



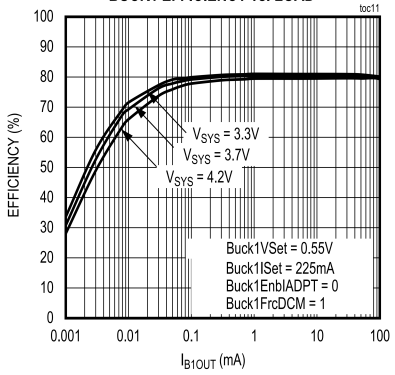
SYS VOLTAGE vs. CHGIN VOLTAGE



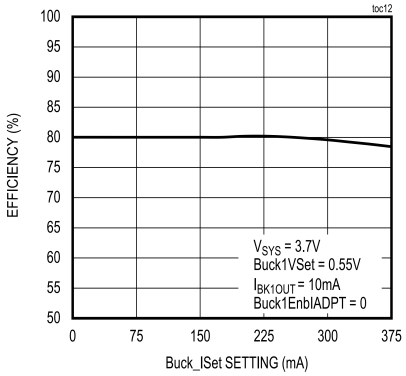
BUCK1 EFFICIENCY vs. LOAD



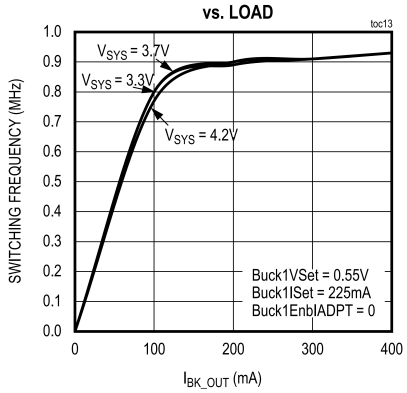
BUCK1 EFFICIENCY vs. LOAD



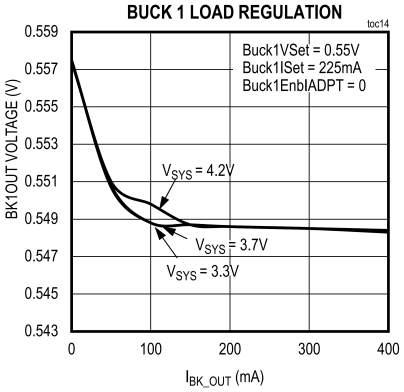
BUCK1 EFFICIENCY vs. Buck_ISet SETTING



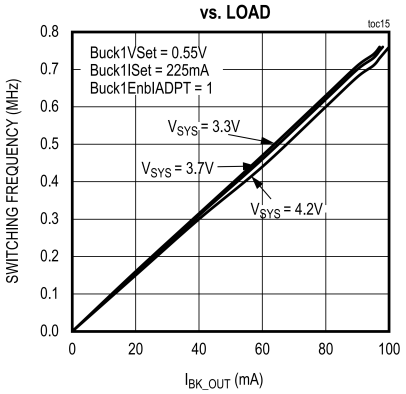
BUCK 1 SWITCHING FREQUENCY vs. LOAD



BUCK 1 LOAD REGULATION

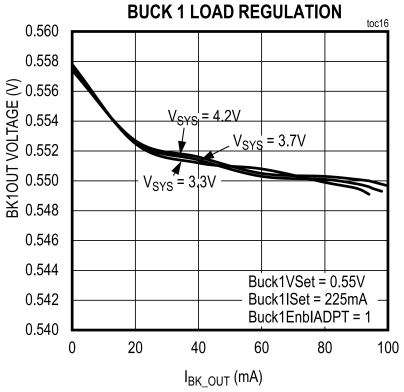


BUCK 1 SWITCHING FREQUENCY vs. LOAD

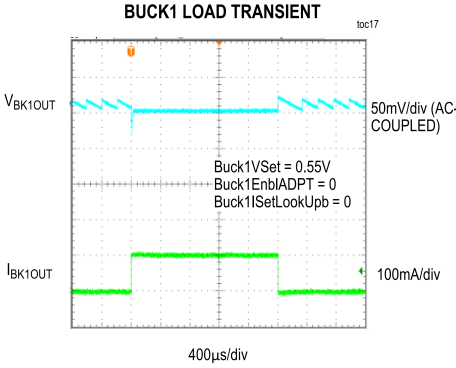


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

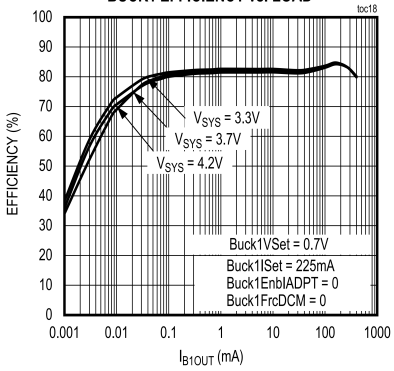
BUCK 1 LOAD REGULATION



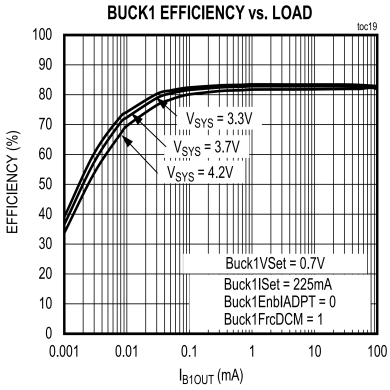
BUCK1 LOAD TRANSIENT



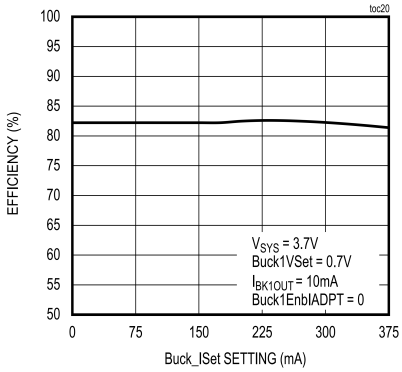
BUCK1 EFFICIENCY vs. LOAD



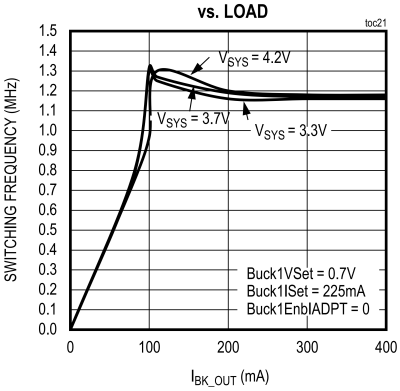
BUCK1 EFFICIENCY vs. LOAD



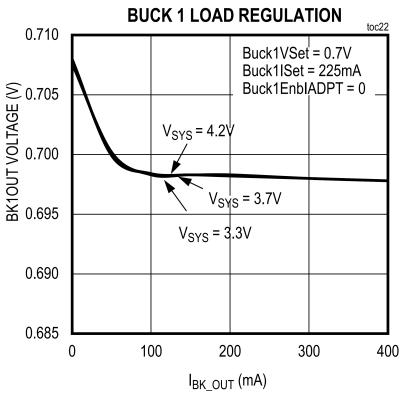
BUCK1 EFFICIENCY vs. Buck_ISet SETTING



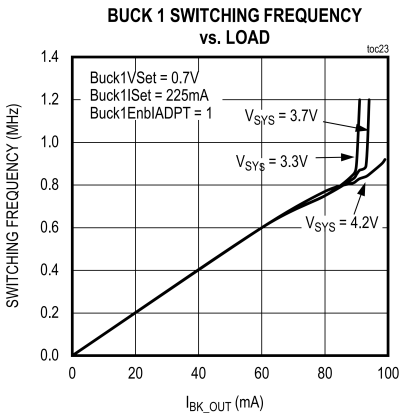
BUCK 1 SWITCHING FREQUENCY vs. LOAD



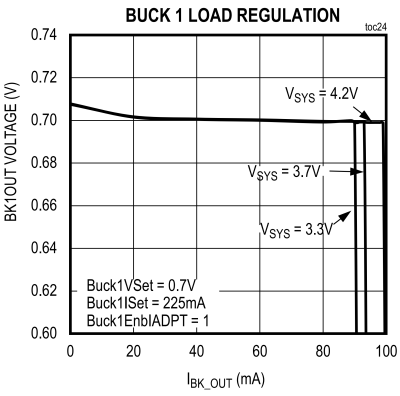
BUCK 1 LOAD REGULATION



BUCK 1 SWITCHING FREQUENCY vs. LOAD

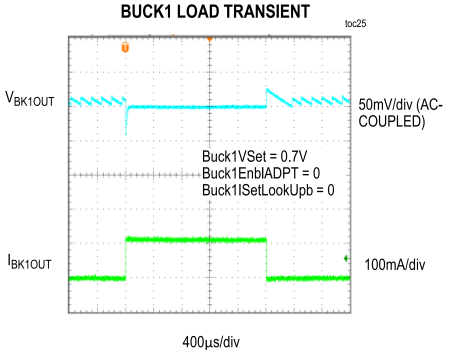


BUCK 1 LOAD REGULATION

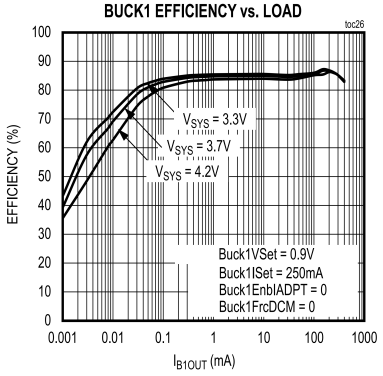


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

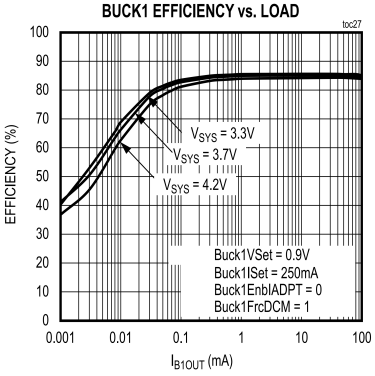
BUCK1 LOAD TRANSIENT



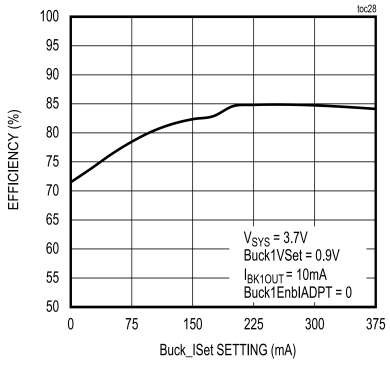
BUCK1 EFFICIENCY vs. LOAD



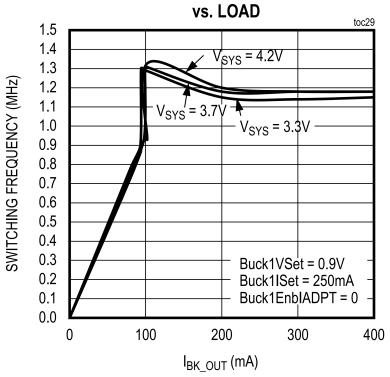
BUCK1 EFFICIENCY vs. LOAD



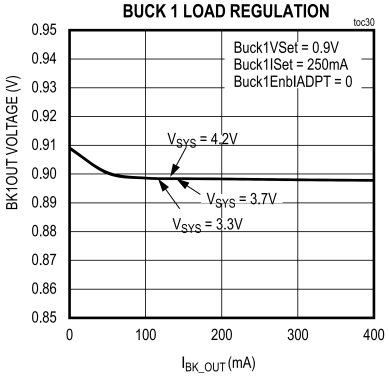
BUCK1 EFFICIENCY vs. Buck_ISet SETTING



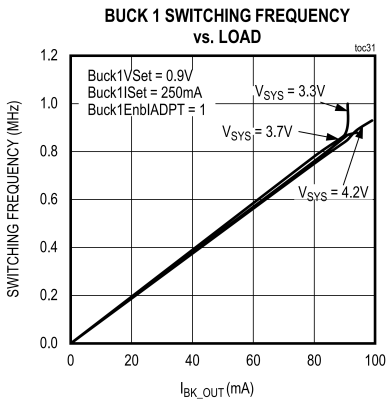
BUCK 1 SWITCHING FREQUENCY vs. LOAD



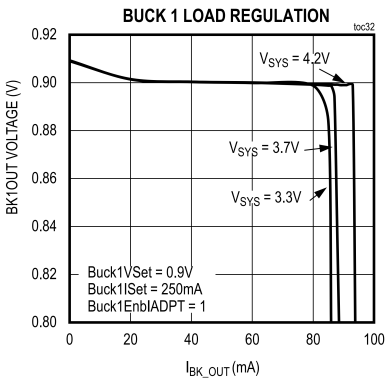
BUCK 1 LOAD REGULATION



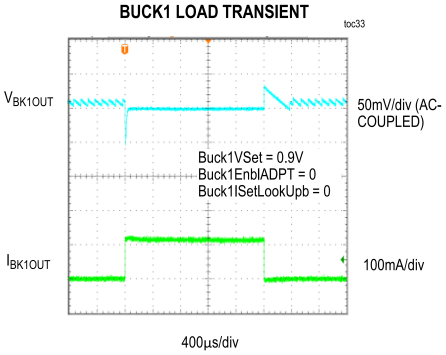
BUCK 1 SWITCHING FREQUENCY vs. LOAD



BUCK 1 LOAD REGULATION

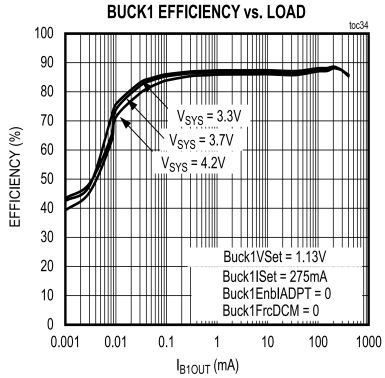


BUCK1 LOAD TRANSIENT

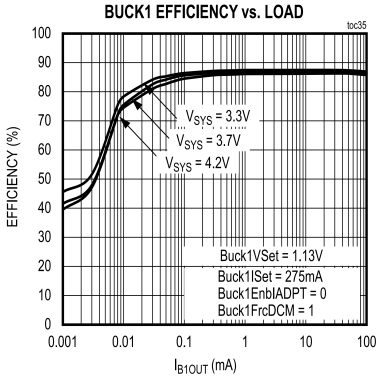


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

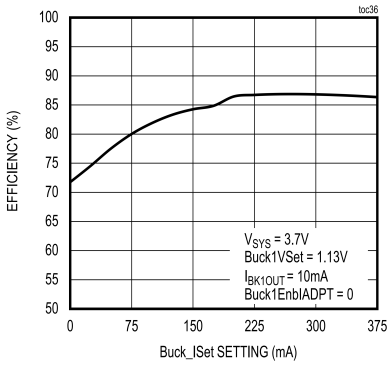
BUCK1 EFFICIENCY vs. LOAD



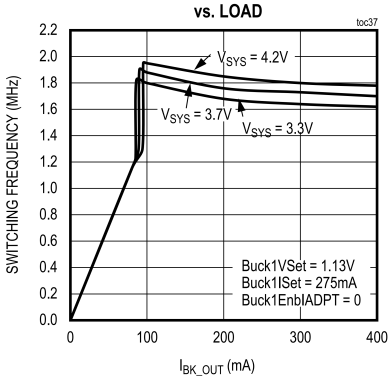
BUCK1 EFFICIENCY vs. LOAD



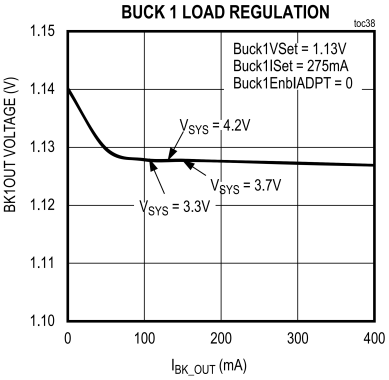
BUCK1 EFFICIENCY vs. Buck_ISet SETTING



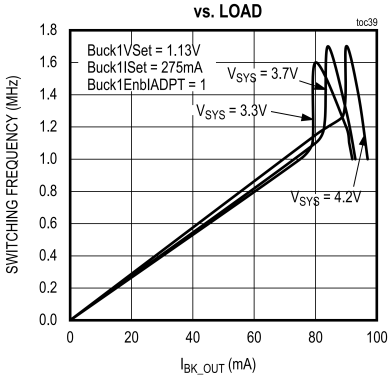
BUCK 1 SWITCHING FREQUENCY vs. LOAD



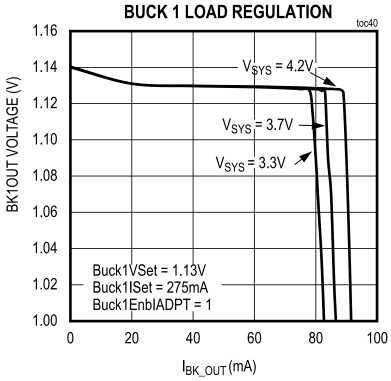
BUCK 1 LOAD REGULATION



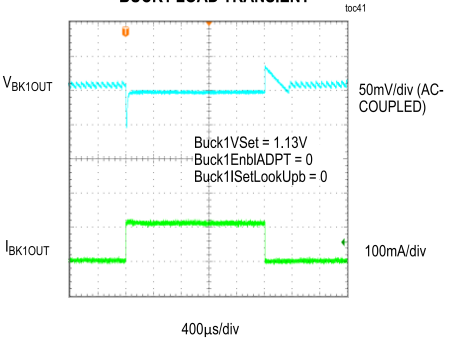
BUCK 1 SWITCHING FREQUENCY vs. LOAD



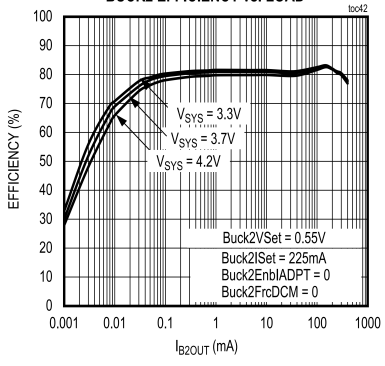
BUCK 1 LOAD REGULATION



BUCK1 LOAD TRANSIENT

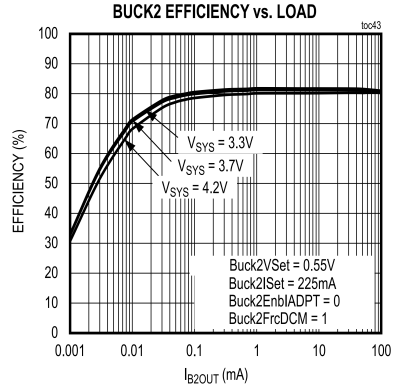


BUCK2 EFFICIENCY vs. LOAD

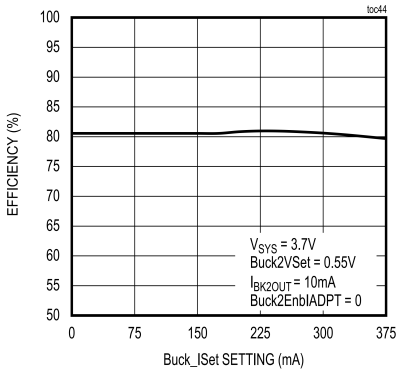


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

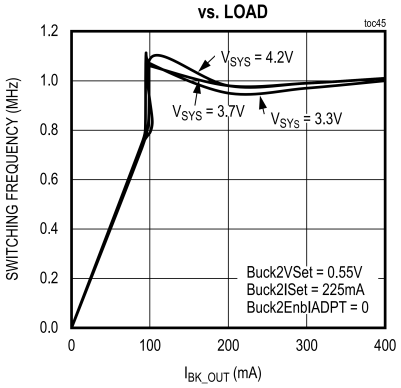
BUCK2 EFFICIENCY vs. LOAD



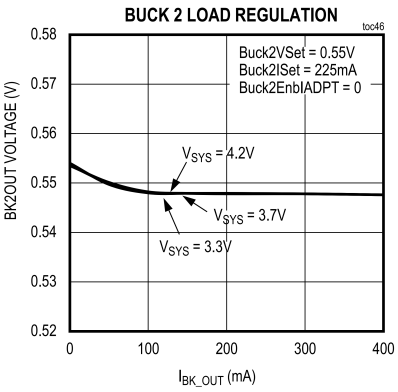
BUCK2 EFFICIENCY vs. Buck_ISet SETTING



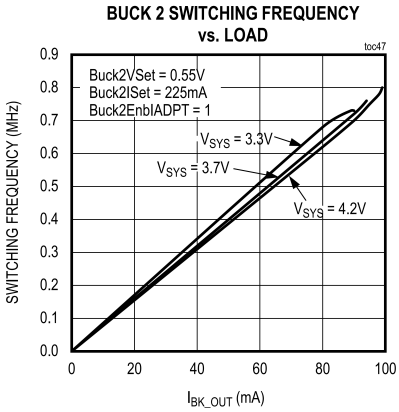
BUCK 2 SWITCHING FREQUENCY vs. LOAD



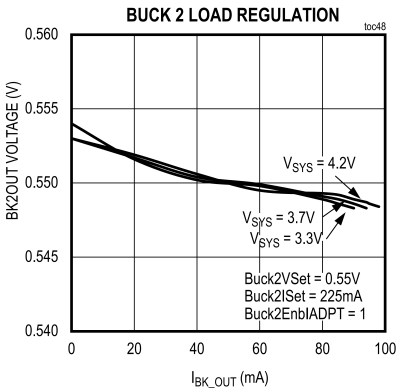
BUCK 2 LOAD REGULATION



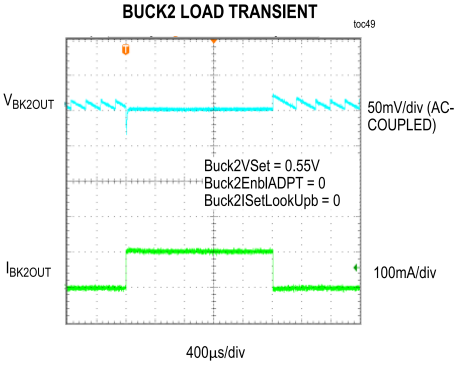
BUCK 2 SWITCHING FREQUENCY vs. LOAD



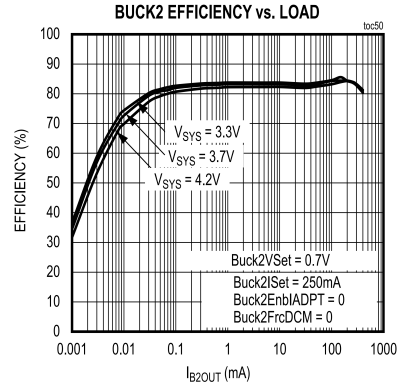
BUCK 2 LOAD REGULATION



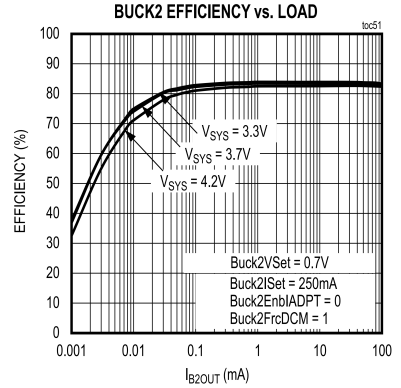
BUCK2 LOAD TRANSIENT



BUCK2 EFFICIENCY vs. LOAD

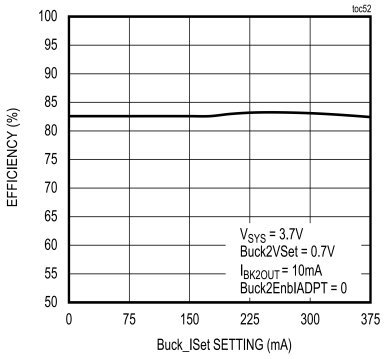


BUCK2 EFFICIENCY vs. LOAD

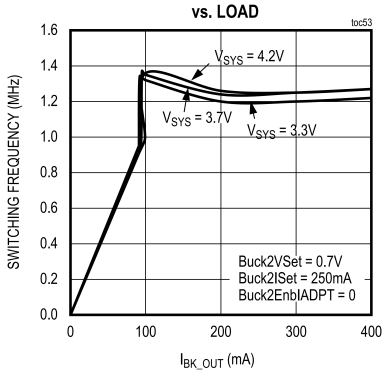


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

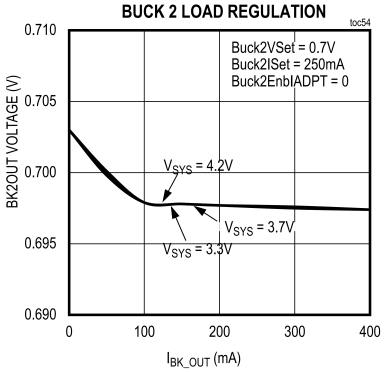
BUCK2 EFFICIENCY vs. Buck_ISet SETTING



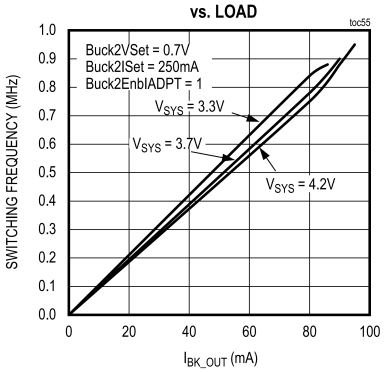
BUCK 2 SWITCHING FREQUENCY vs. LOAD



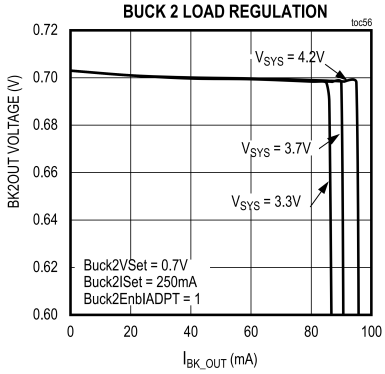
BUCK 2 LOAD REGULATION



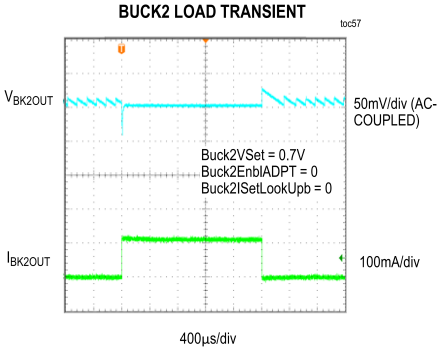
BUCK 2 SWITCHING FREQUENCY vs. LOAD



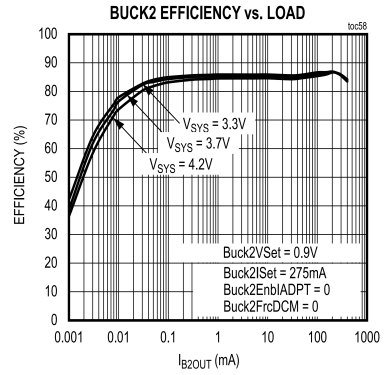
BUCK 2 LOAD REGULATION



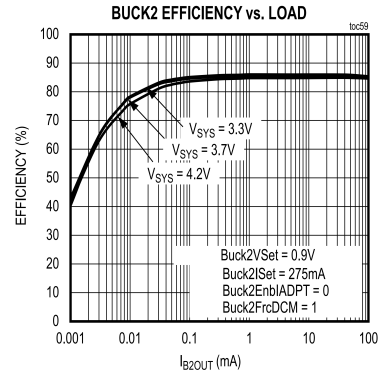
BUCK2 LOAD TRANSIENT



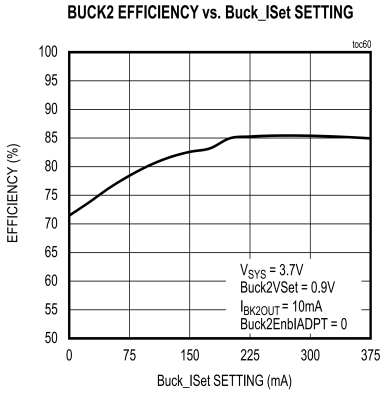
BUCK2 EFFICIENCY vs. LOAD



BUCK2 EFFICIENCY vs. LOAD

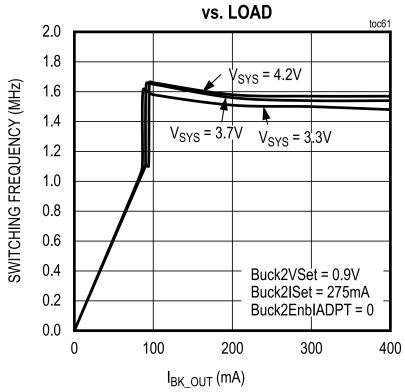


BUCK2 EFFICIENCY vs. Buck_ISet SETTING

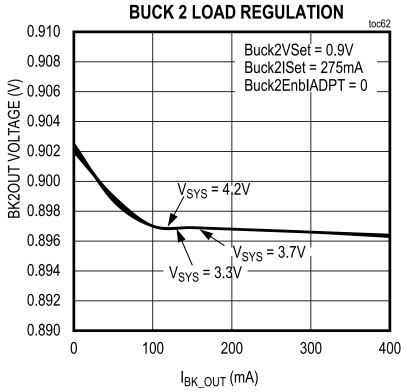


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

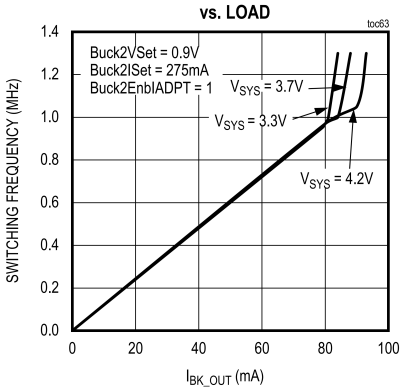
BUCK 2 SWITCHING FREQUENCY vs. LOAD



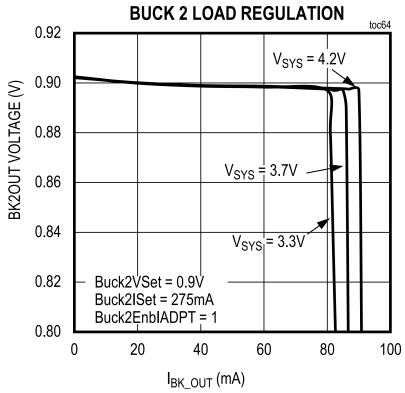
BUCK 2 LOAD REGULATION



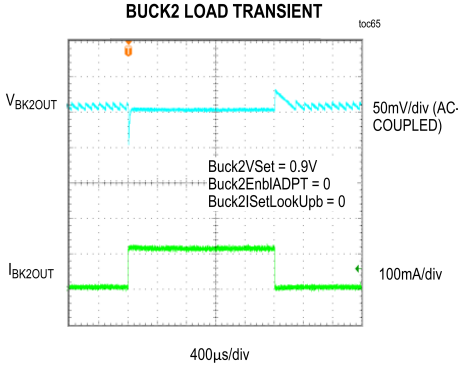
BUCK 2 SWITCHING FREQUENCY vs. LOAD



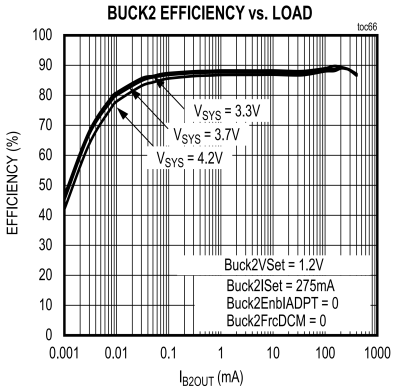
BUCK 2 LOAD REGULATION



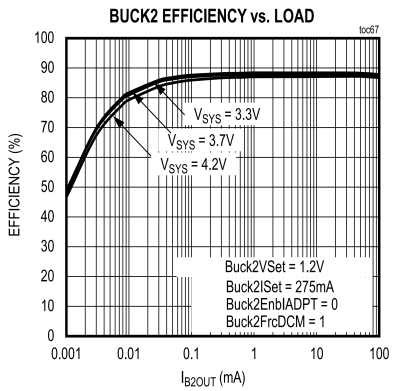
BUCK2 LOAD TRANSIENT



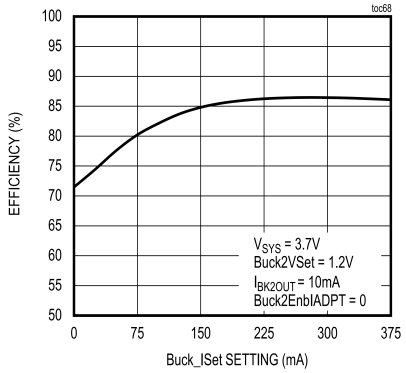
BUCK2 EFFICIENCY vs. LOAD



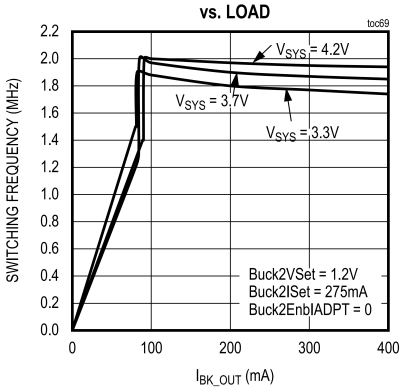
BUCK2 EFFICIENCY vs. LOAD



BUCK2 EFFICIENCY vs. Buck_ISet SETTING

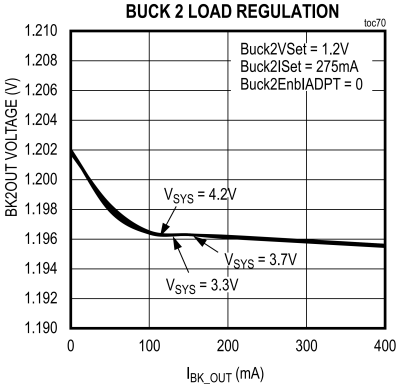


BUCK 2 SWITCHING FREQUENCY vs. LOAD

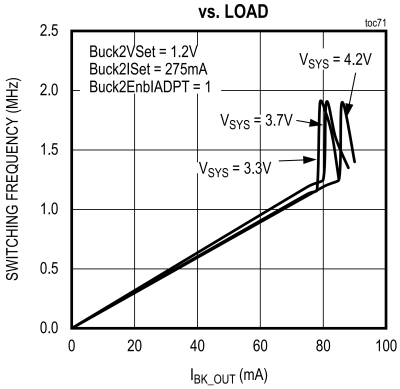


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

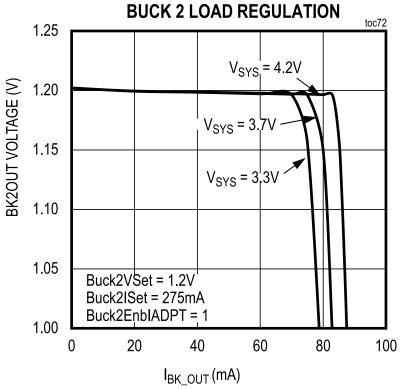
BUCK 2 LOAD REGULATION



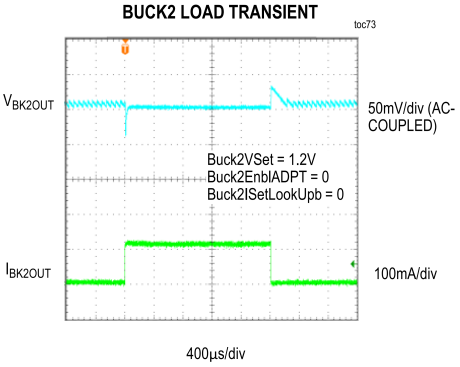
BUCK 2 SWITCHING FREQUENCY vs. LOAD



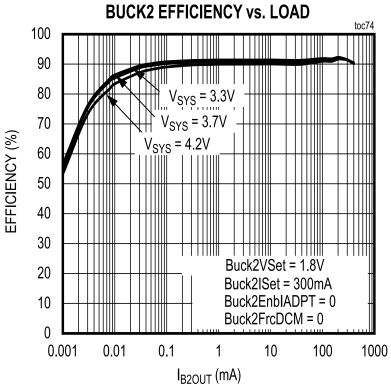
BUCK 2 LOAD REGULATION



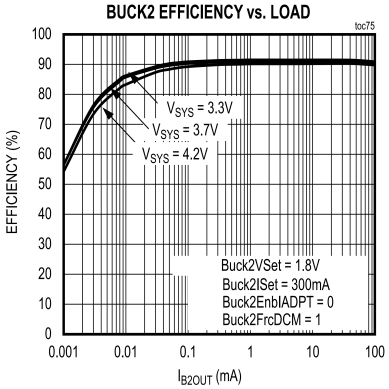
BUCK2 LOAD TRANSIENT



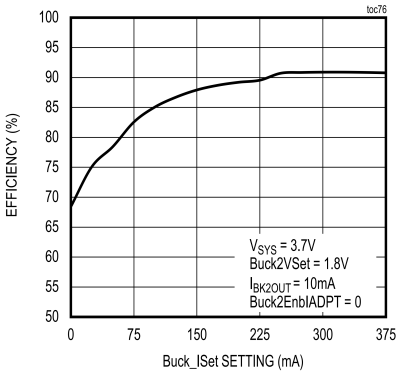
BUCK2 EFFICIENCY vs. LOAD



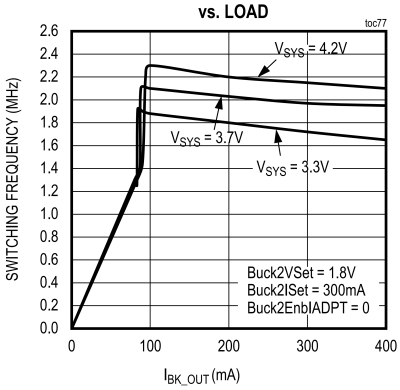
BUCK2 EFFICIENCY vs. LOAD



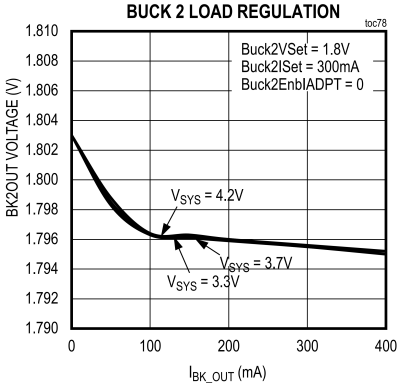
BUCK2 EFFICIENCY vs. Buck_ISet SETTING



BUCK 2 SWITCHING FREQUENCY vs. LOAD

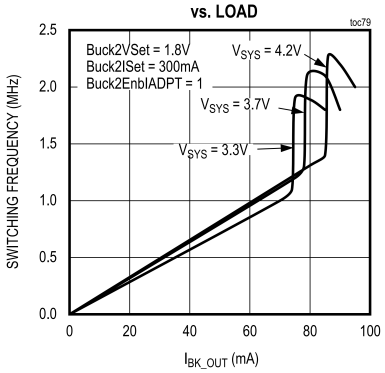


BUCK 2 LOAD REGULATION

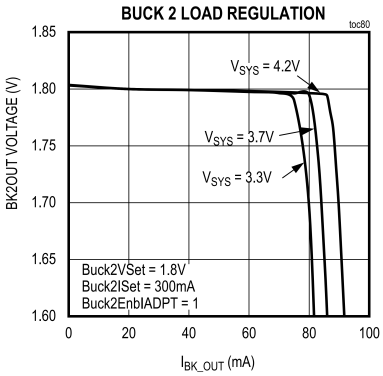


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

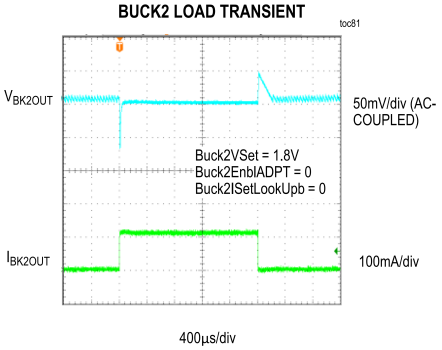
BUCK 2 SWITCHING FREQUENCY vs. LOAD



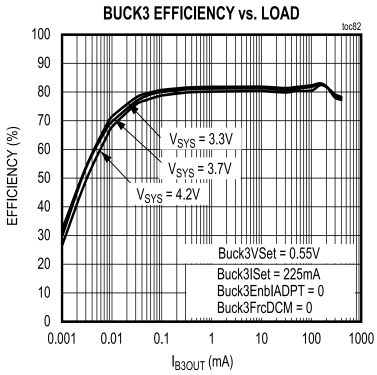
BUCK 2 LOAD REGULATION



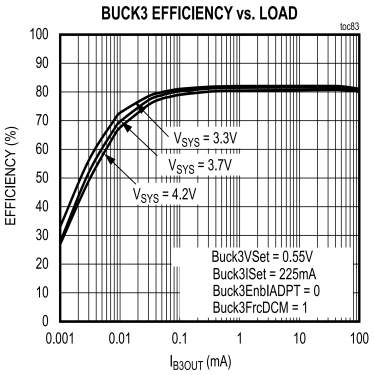
BUCK2 LOAD TRANSIENT



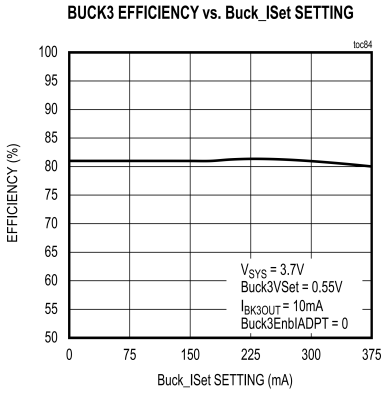
BUCK3 EFFICIENCY vs. LOAD



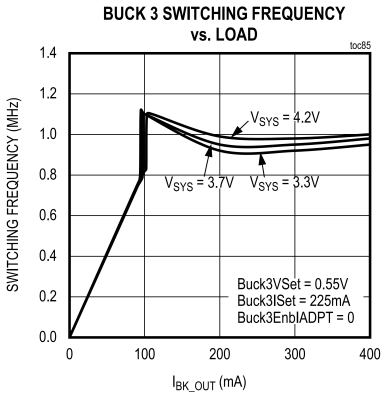
BUCK3 EFFICIENCY vs. LOAD



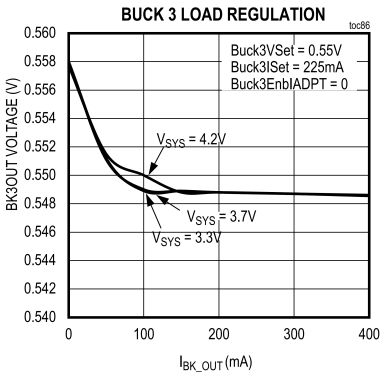
BUCK3 EFFICIENCY vs. Buck_ISet SETTING



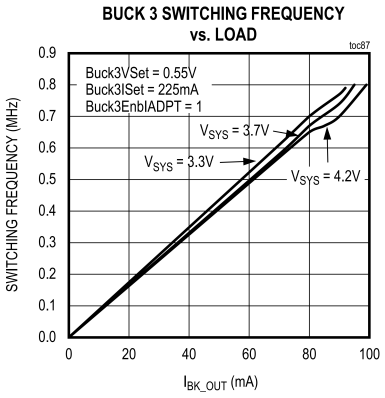
BUCK 3 SWITCHING FREQUENCY vs. LOAD



BUCK 3 LOAD REGULATION

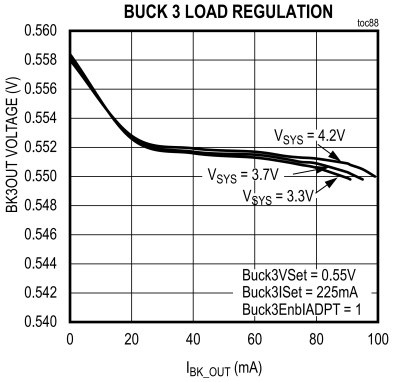


BUCK 3 SWITCHING FREQUENCY vs. LOAD

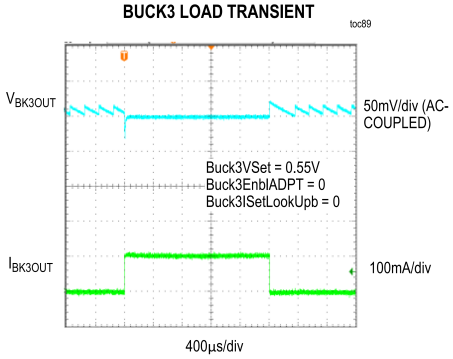


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

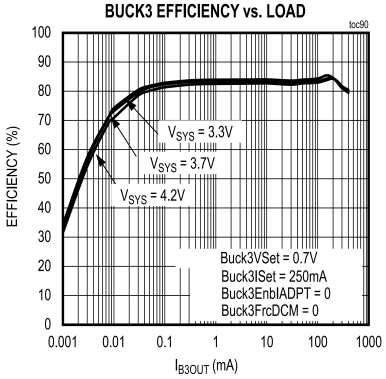
BUCK 3 LOAD REGULATION



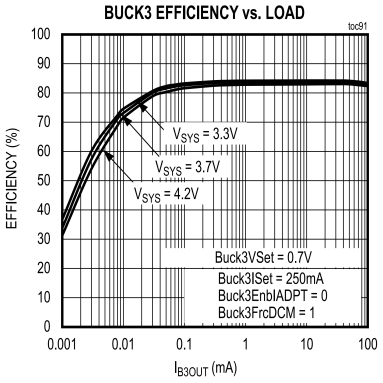
BUCK3 LOAD TRANSIENT



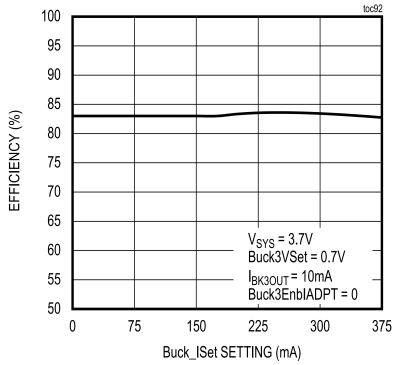
BUCK3 EFFICIENCY vs. LOAD



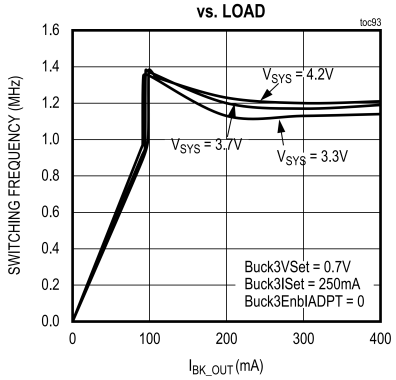
BUCK3 EFFICIENCY vs. LOAD



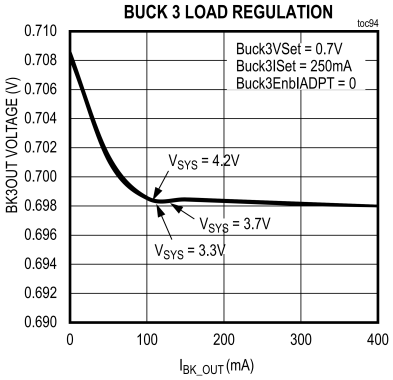
BUCK3 EFFICIENCY vs. Buck_ISet SETTING



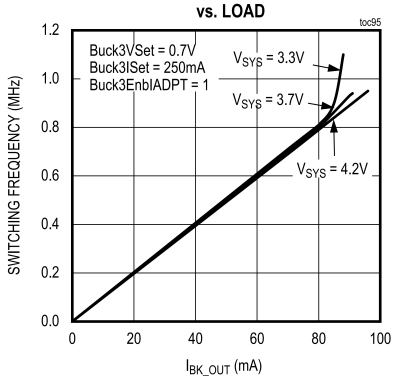
BUCK 3 SWITCHING FREQUENCY vs. LOAD



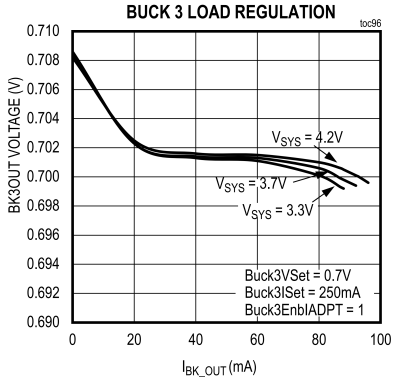
BUCK 3 LOAD REGULATION



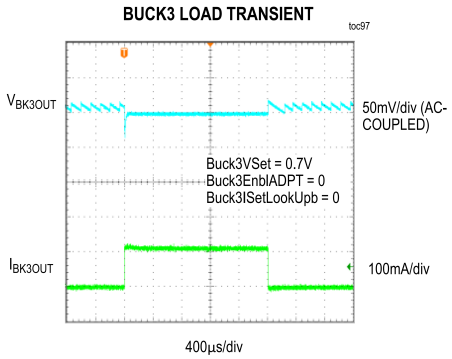
BUCK 3 SWITCHING FREQUENCY vs. LOAD

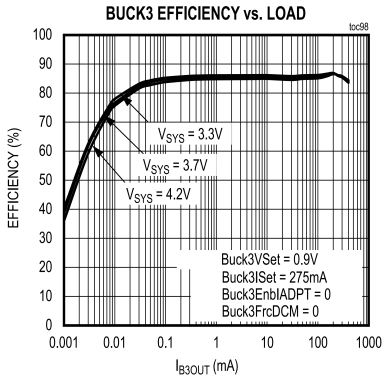


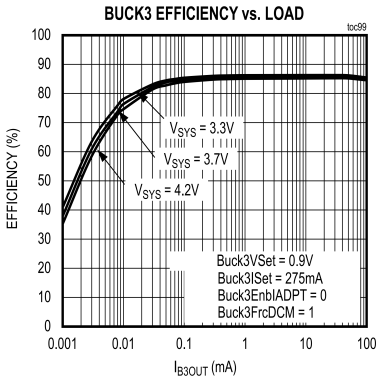
BUCK 3 LOAD REGULATION

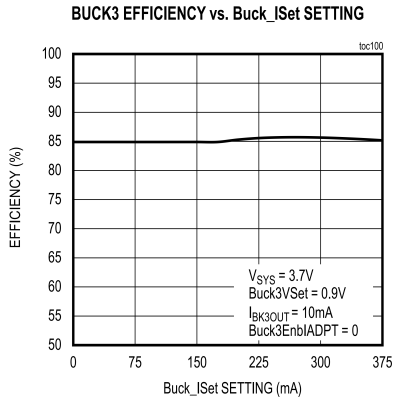


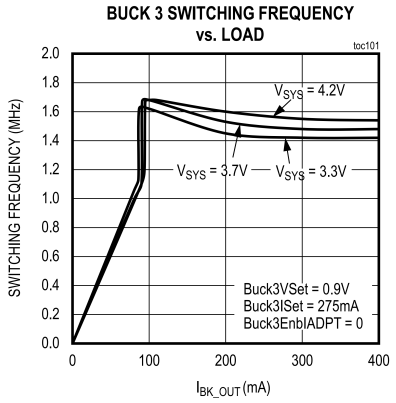
（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

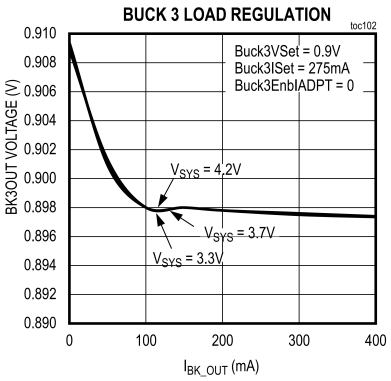


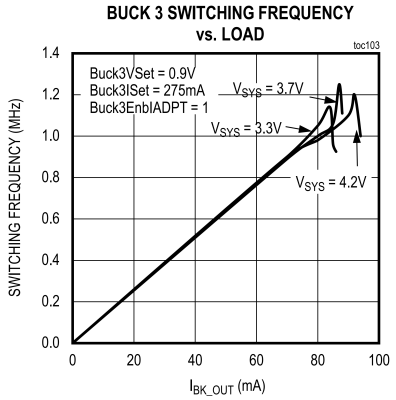


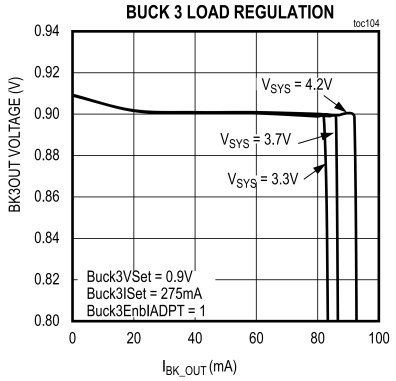


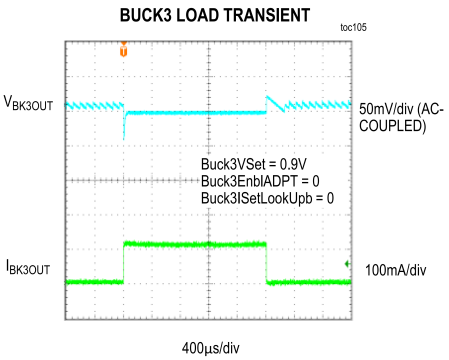






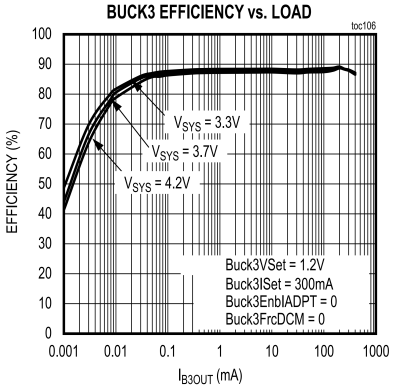




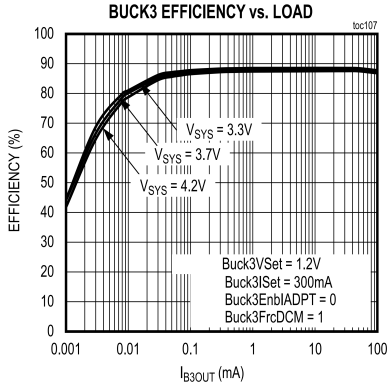


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

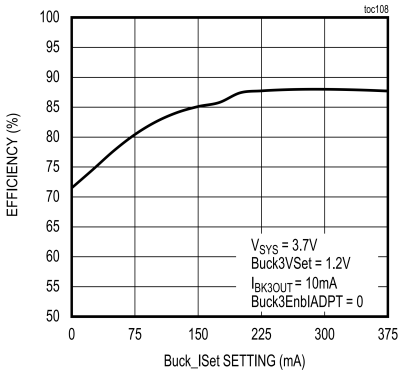
BUCK3 EFFICIENCY vs. LOAD



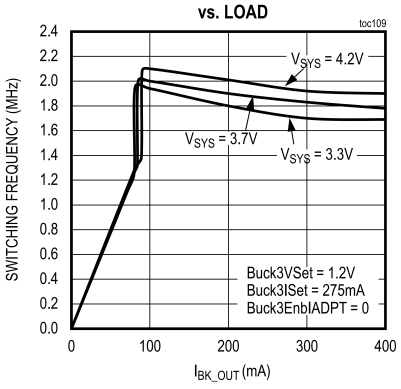
BUCK3 EFFICIENCY vs. LOAD



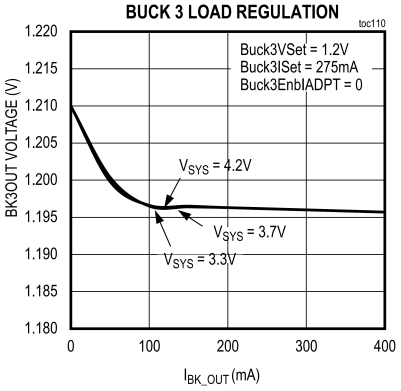
BUCK3 EFFICIENCY vs. Buck_ISet SETTING



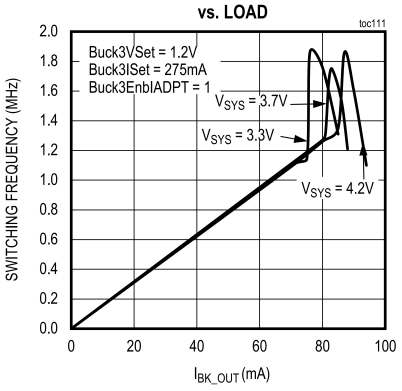
BUCK 3 SWITCHING FREQUENCY vs. LOAD



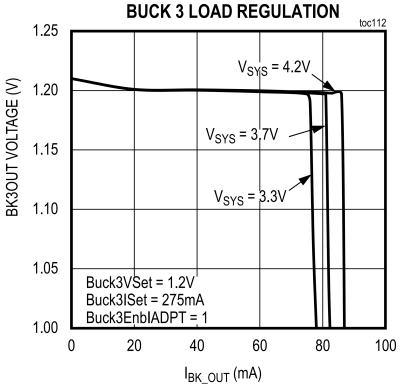
BUCK 3 LOAD REGULATION



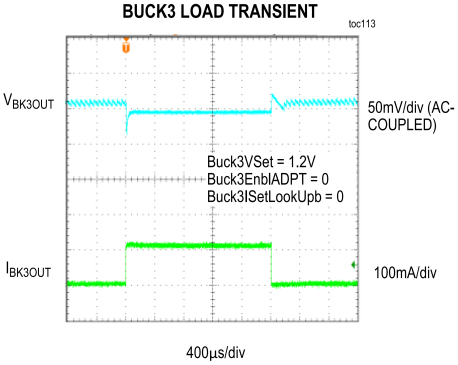
BUCK 3 SWITCHING FREQUENCY vs. LOAD



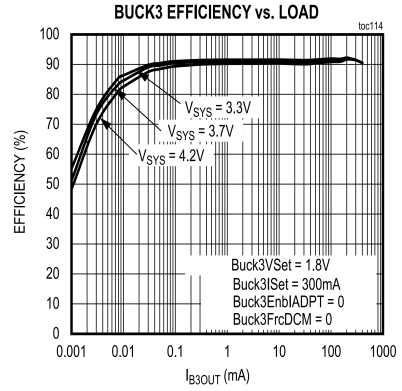
BUCK 3 LOAD REGULATION



BUCK3 LOAD TRANSIENT

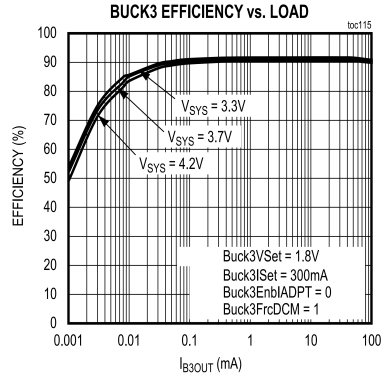


BUCK3 EFFICIENCY vs. LOAD

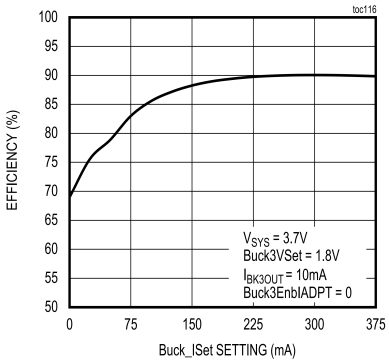


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

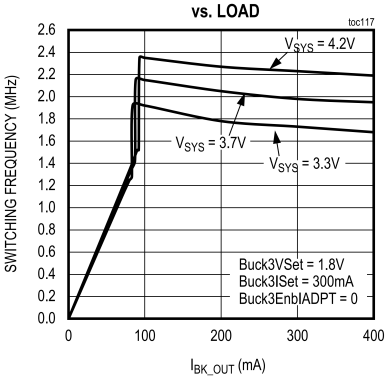
BUCK3 EFFICIENCY vs. LOAD



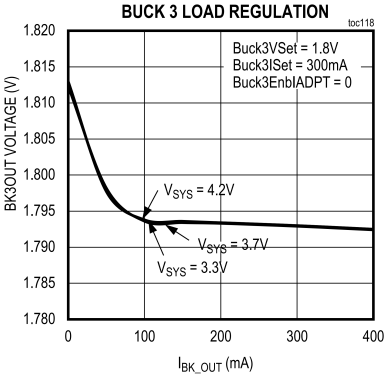
BUCK3 EFFICIENCY vs. Buck_ISet SETTING



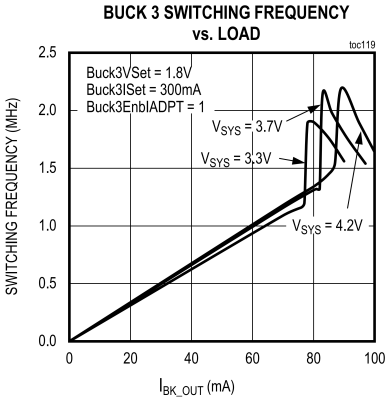
BUCK 3 SWITCHING FREQUENCY vs. LOAD



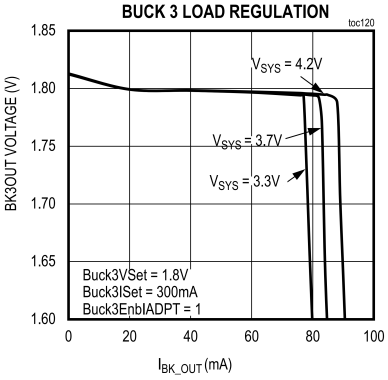
BUCK 3 LOAD REGULATION



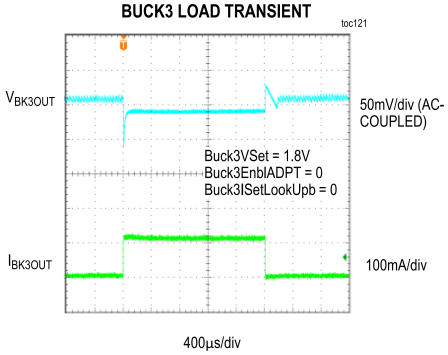
BUCK 3 SWITCHING FREQUENCY vs. LOAD



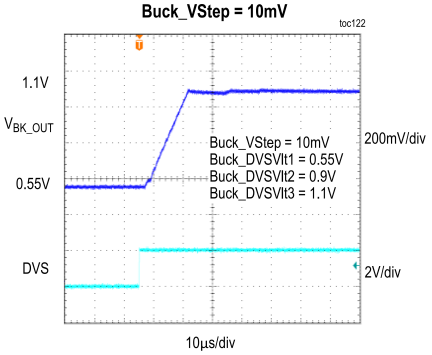
BUCK 3 LOAD REGULATION



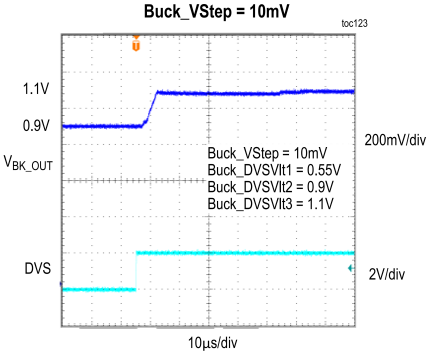
BUCK3 LOAD TRANSIENT



BUCK DVS MODE 1 TRANSITION
Buck_VStep = 10mV

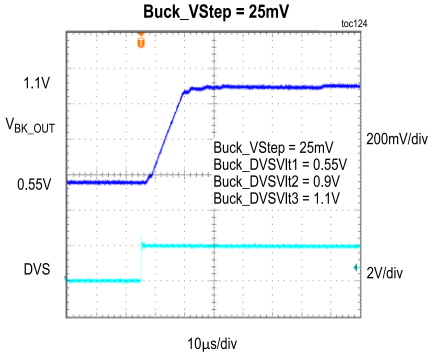


BUCK DVS MODE 1 TRANSITION
Buck_VStep = 10mV

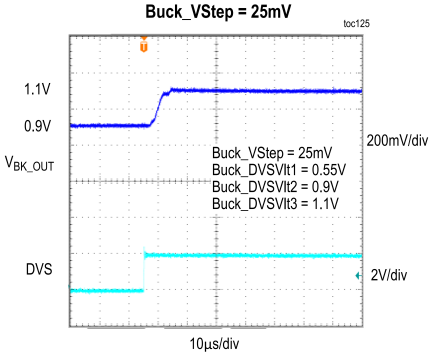


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

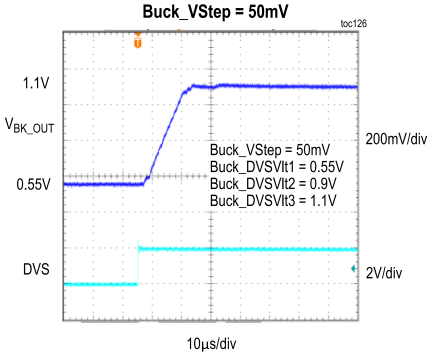
BUCK DVS MODE 1 TRANSITION
Buck_VStep = 25mV



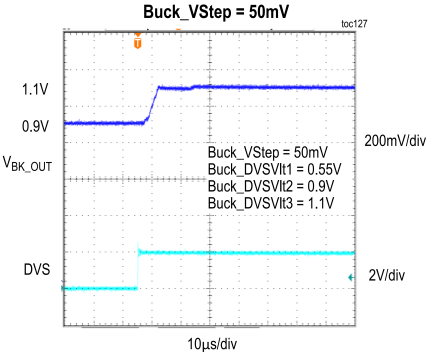
BUCK DVS MODE 1 TRANSITION
Buck_VStep = 25mV



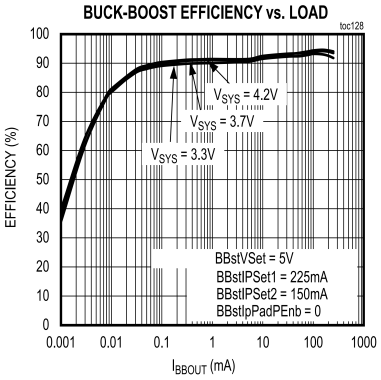
BUCK DVS MODE 1 TRANSITION
Buck_VStep = 50mV



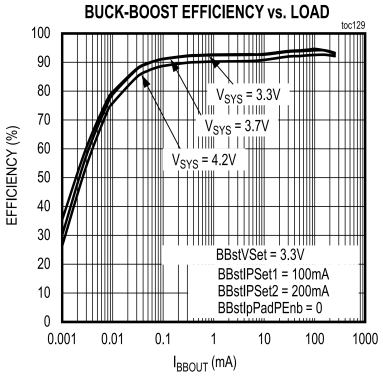
BUCK DVS MODE 1 TRANSITION
Buck_VStep = 50mV



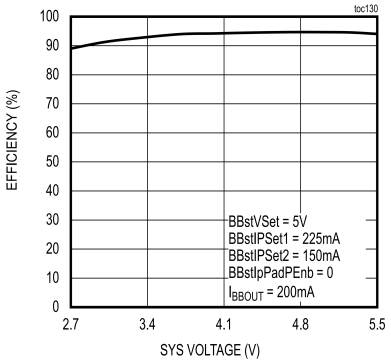
BUCK-BOOST EFFICIENCY vs. LOAD



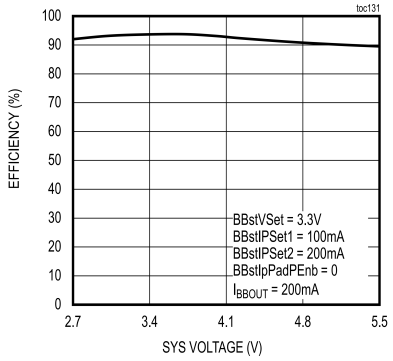
BUCK-BOOST EFFICIENCY vs. LOAD



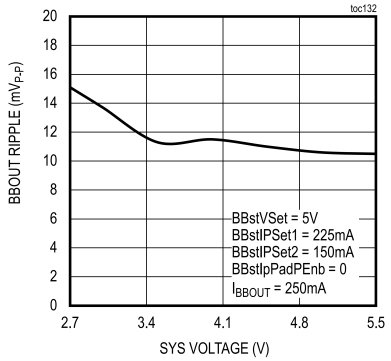
BUCK-BOOST EFFICIENCY vs. SYS VOLTAGE



BUCK-BOOST EFFICIENCY vs. SYS VOLTAGE

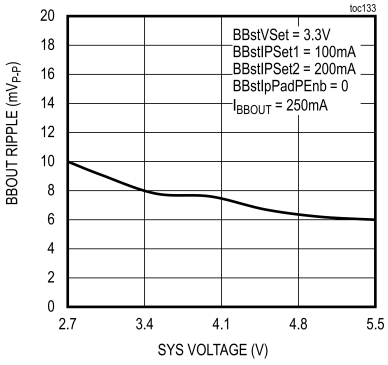


BUCK-BOOST RIPPLE vs. SYS VOLTAGE

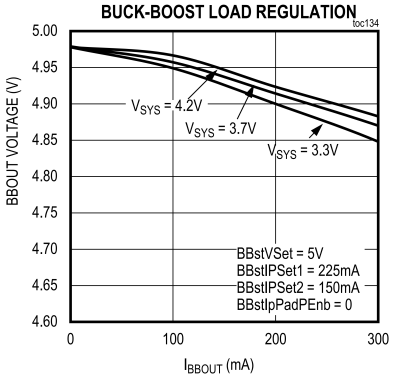


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

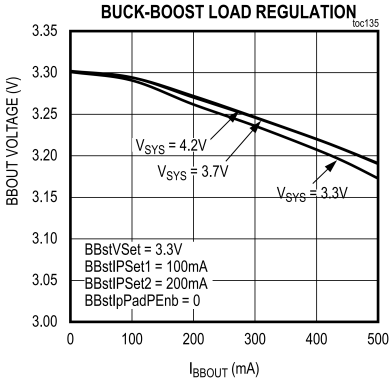
BUCK-BOOST RIPPLE vs. SYS VOLTAGE



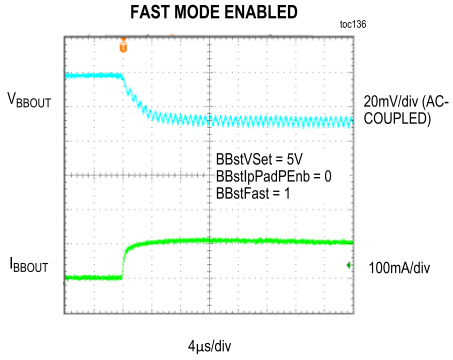
BUCK-BOOST LOAD REGULATION



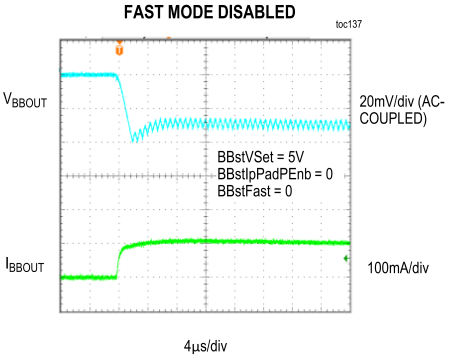
BUCK-BOOST LOAD REGULATION



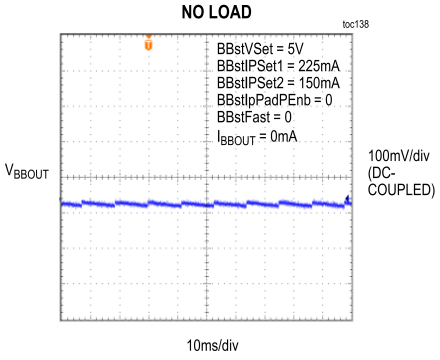
BUCK-BOOST LOAD TRANSIENT FAST MODE ENABLED



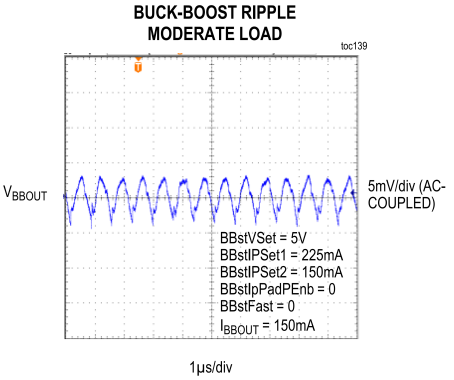
BUCK-BOOST LOAD TRANSIENT FAST MODE DISABLED



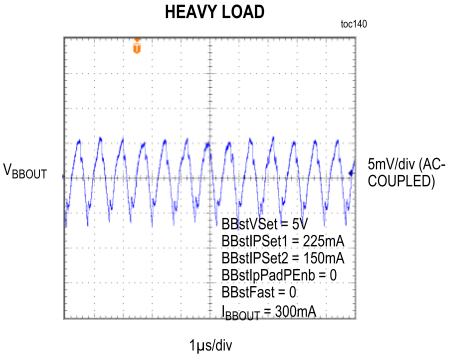
BUCK-BOOST RIPPLE NO LOAD



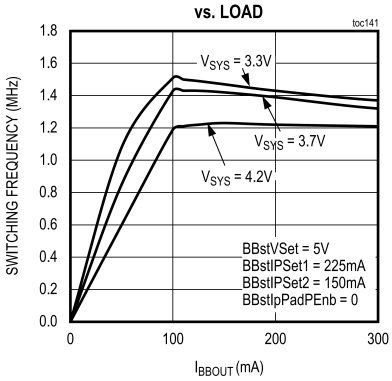
BUCK-BOOST RIPPLE MODERATE LOAD



BUCK-BOOST RIPPLE HEAVY LOAD

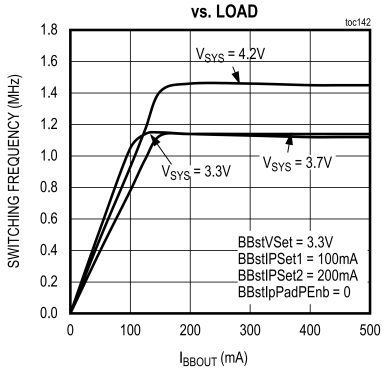


BUCK-BOOST SWITCHING FREQUENCY vs. LOAD

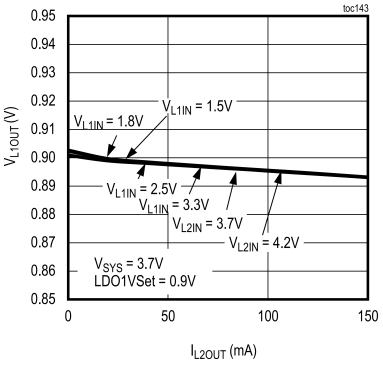


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

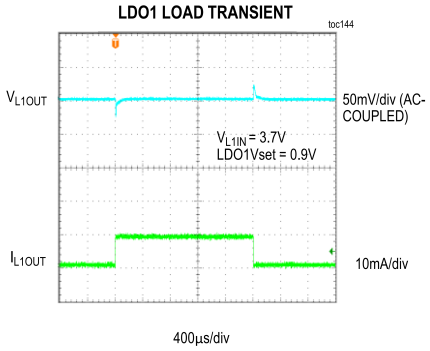
BUCK-BOOST SWITCHING FREQUENCY vs. LOAD



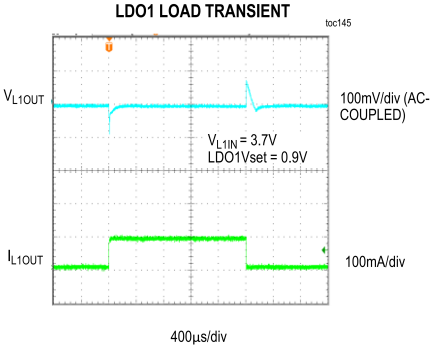
LDO1 LOAD REGULATION



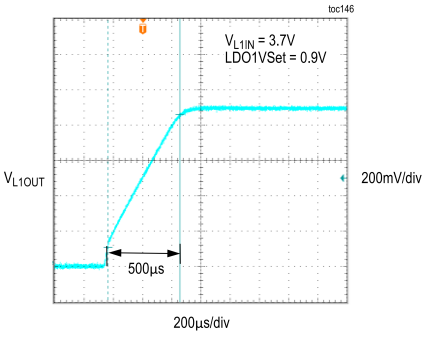
LDO1 LOAD TRANSIENT



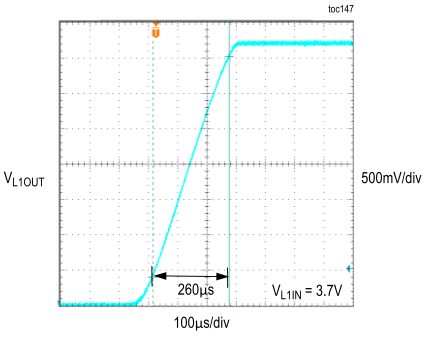
LDO1 LOAD TRANSIENT



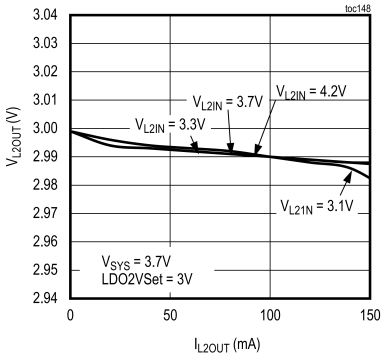
LDO1 LDO MODE TURN-ON TIME



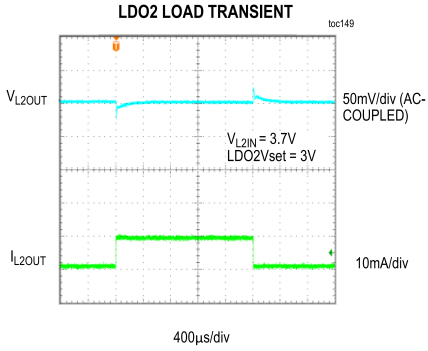
LDO1 SWITCH MODE TURN-ON TIME



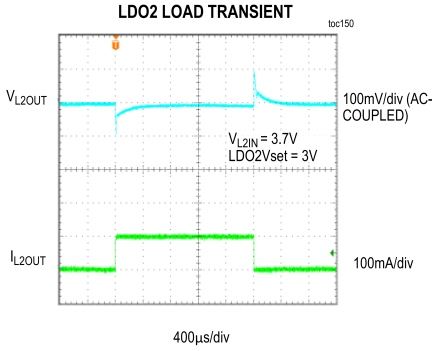
LDO2 LOAD REGULATION



LDO2 LOAD TRANSIENT

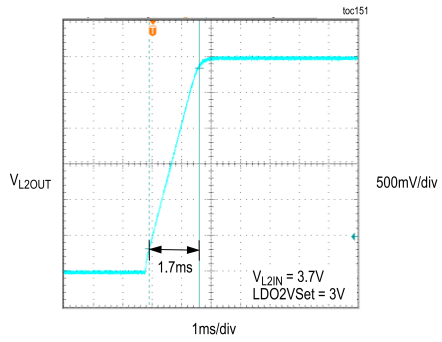


LDO2 LOAD TRANSIENT

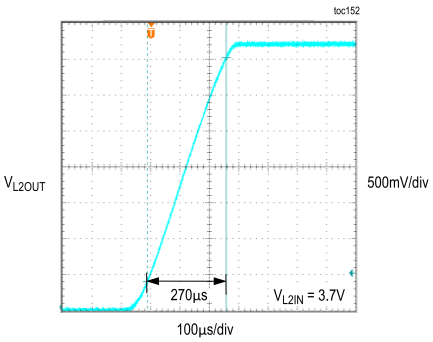


（特に指定のない限り $V_{BAT} = V_{CHGOUT} = 3.7V$、$C_{CHGIN_EFF} = 1\mu F$、$C_{VDIG_EFF} = 1\mu F$、$C_{CAP_EFF} = 1\mu F$、$C_{SYS_EFF} = 10\mu F$、$C_{BAT_EFF} = 1\mu F$、$C_{CHGOUT_EFF} = 0.1\mu F$、$C_{BK_OUT_EFF} = 10\mu F$、$C_{L_IN_EFF} = 1\mu F$、$C_{L_OUT_EFF} = 1\mu F$、$C_{BBOUT_EFF} = 10\mu F$、$L_{BK_OUT} = 2.2\mu H$、$L_{BBOUT} = 2.2\mu H$、$T_A = +25^{\circ}C$。）

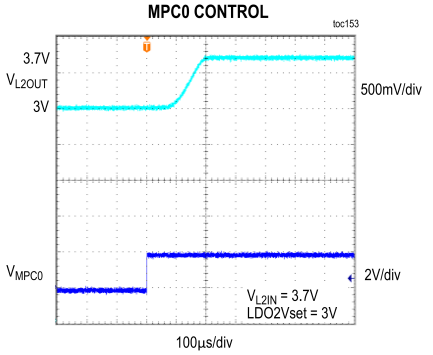
LDO2 LDO MODE TURN-ON TIME



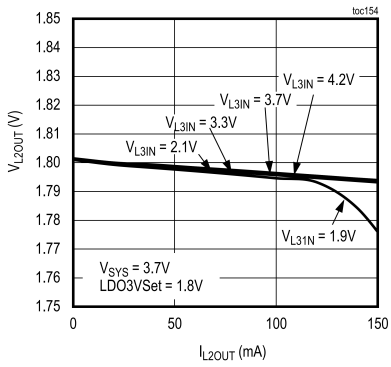
LDO2 SWITCH MODE TURN-ON TIME



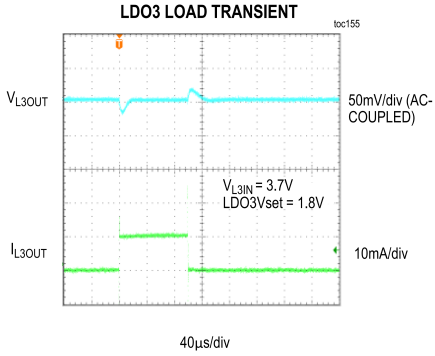
LDO2 LDO MODE TO SWITCH MODE MPC0 CONTROL



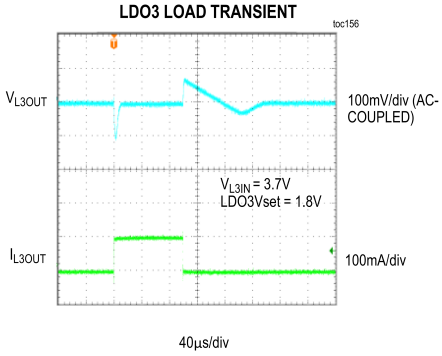
LDO3 LOAD REGULATION



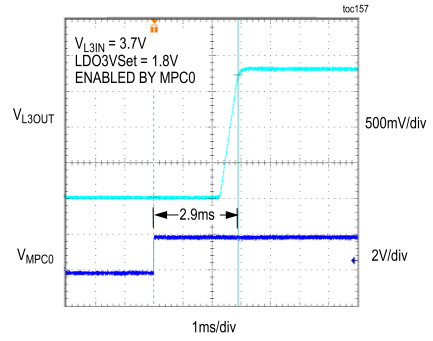
LDO3 LOAD TRANSIENT



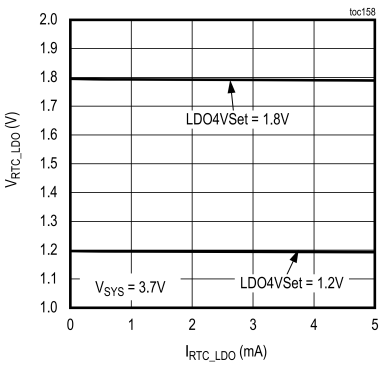
LDO3 LOAD TRANSIENT



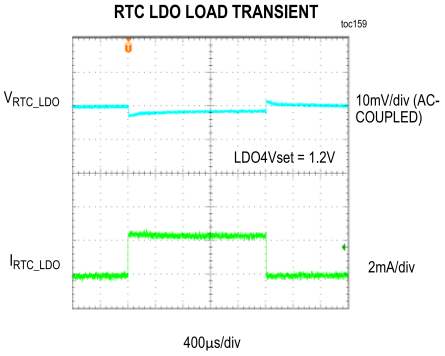
LDO3 TURN-ON TIME



RTC LDO LOAD REGULATION

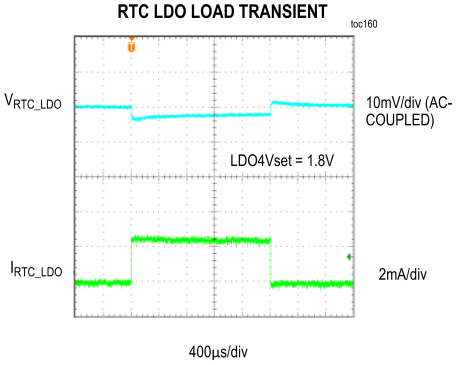


RTC LDO LOAD TRANSIENT

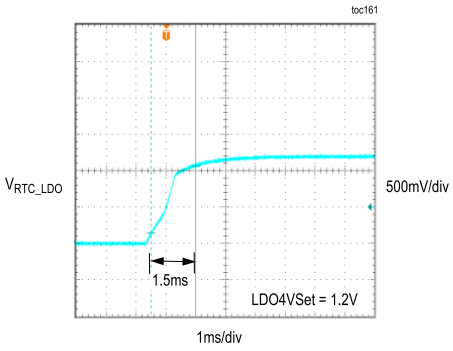


（特に指定のない限り V_{BAT} = V_{CHGOUT} = 3.7V、C_{CHGIN_EFF} = 1µF、C_{VDIG_EFF} = 1µF、C_{CAP_EFF} = 1µF、C_{SYS_EFF} = 10µF、C_{BAT_EFF} = 1µF、C_{CHGOUT_EFF} = 0.1µF、$C_{BK_OUT_EFF}$ = 10µF、$C_{L_IN_EFF}$ = 1µF、$C_{L_OUT_EFF}$ = 1µF、C_{BBOUT_EFF} = 10µF、L_{BK_OUT} = 2.2µH、L_{BBOUT} = 2.2µH、T_A = +25ºC。）

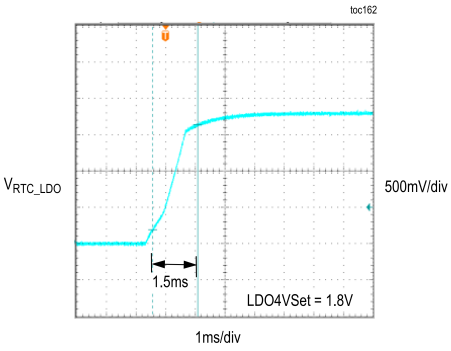
RTC LDO LOAD TRANSIENT



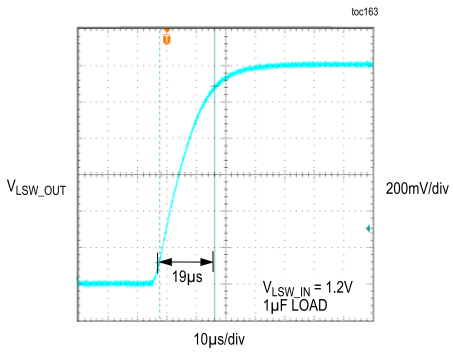
RTC LDO TURN-ON TIME



RTC LDO TURN-ON TIME

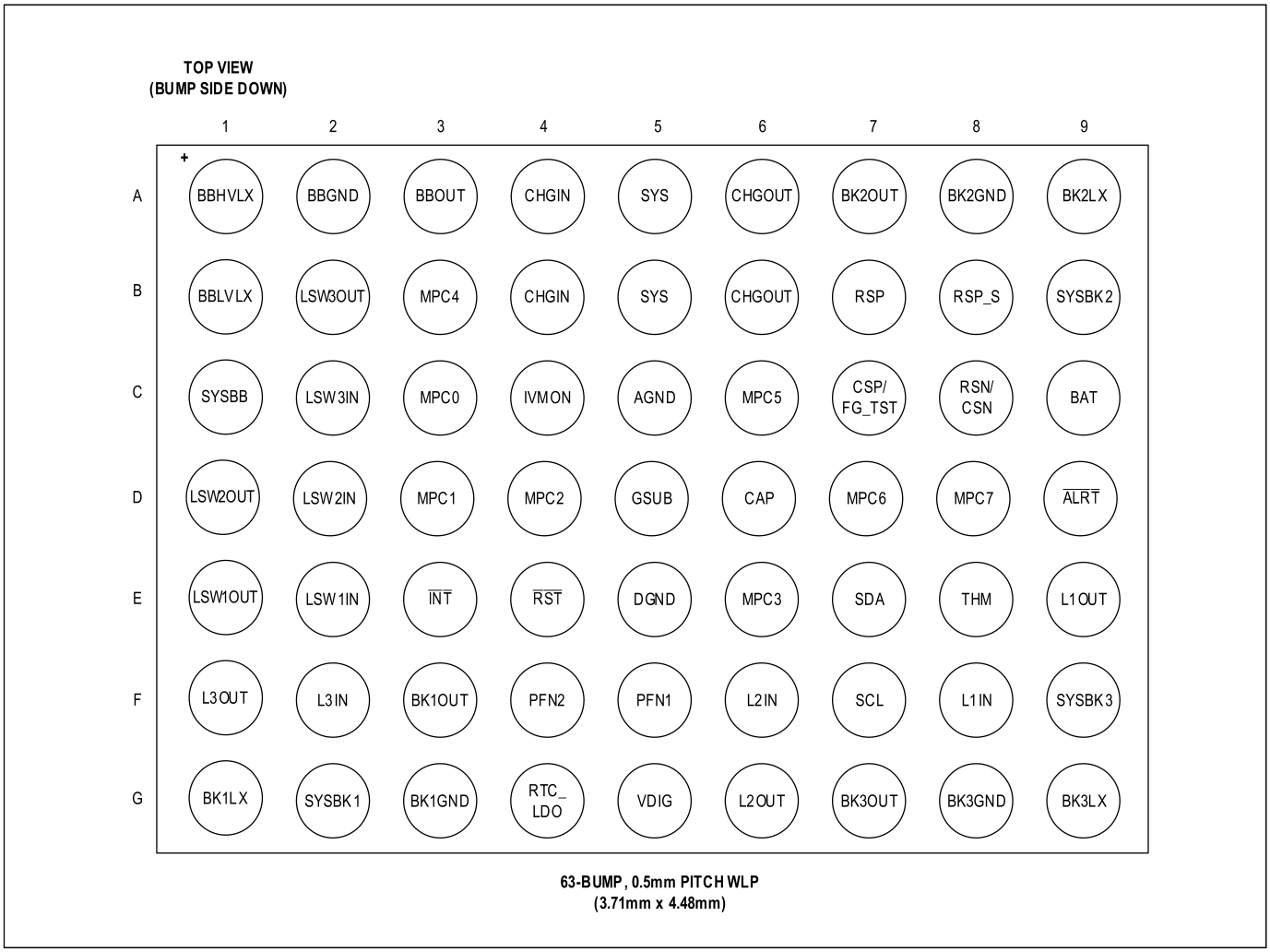


LOAD SWITCH TURN-ON TIME



ピン配置

MAX20356



端子説明

ピン	名称	説明
G1	BK1LX	Buck1 のスイッチング LX ノード。BK1OUT との間に 2.2µH のインダクタを接続します。
F1	L3OUT	LDO3 の出力。1µF の実効容量でグランドにバイパスします。
E1	LSW1OUT	ロード・スイッチ 1 の出力。
D1	LSW2OUT	ロード・スイッチ 2 の出力。
C1	SYSBB	昇降圧ブロックの電源 SYS。全ての SYS 端子を SYS プレーンで接続し、10µF の実効容量でグランドにバイパスします。
B1	BBLVLX	昇降圧ブロックのスイッチ・ノード 1。2.2µH のインダクタンスで BBHVLX に接続します。
A1	BBHVLX	昇降圧ブロックのスイッチ・ノード 2。2.2µH のインダクタンスで BBLVLX に接続します。
G2	SYSBK1	Buck1 の電源 SYS。全ての SYS 端子を SYS プレーンで接続し、10µF の実効容量でグランドにバイパスします。
F2	L3IN	LDO3 の入力。1µF でグランドにバイパスします。
E2	LSW1IN	ロード・スイッチ 1 の入力。

D2	LSW2IN	ロード・スイッチ 2 の入力。
C2	LSW3IN	ロード・スイッチ 3 の入力。
B2	LSW3OUT	ロード・スイッチ 3 の出力。
A2	BBGND	昇降圧ブロックの電源グランド。全てのグランド端子をグランド・プレーンで接続します。
G3	BK1GND	Buck1 の電源グランド。全てのグランド端子をグランド・プレーンで接続します。
F3	BK1OUT	Buck1 のレギュレータ検出出力。降圧ブロックの出力コンデンサの選択のセクションに従って GND にバイパスしてください。
E3	$\overline{INT}$	オープンドレイン、アクティブ・ローの割込み出力。
D3	MPC1	多用途 I/O 1。
C3	MPC0	多用途 I/O 0。
B3	MPC4	多用途端子 6。
A3	BBOUT	昇降圧レギュレータの出力。昇降圧ブロックの出力コンデンサの選択のセクションに従ってグランドにバイパスしてください。
G4	RTC_LDO	RTC LDO 出力。RTC_LDO は 1µF の実効容量でグランドにバイパスします。
F4	PFN2	設定可変電力モード制御端子（$\overline{KOUT}$など）。
E4	$\overline{RST}$	オープンドレインのリセット出力。
D4	MPC2	多用途 I/O 2。
C4	IVMON	電圧と充電電流の監視マルチプレクサ出力。
A4, B4	CHGIN	+28V/−5.5V 保護のチャージャ入力。1µF でグランドにバイパスします。
G5	VDIG	1.8V の内部リファレンス。1µF でグランドにバイパスします。
F5	PFN1	可変設定電力モード制御端子（$\overline{KIN}$など）
E5	DGND	デジタル・グランド。全てのグランド端子をグランド・プレーンで接続します。
D5	GSUB	基板グランド。全てのグランド端子をグランド・プレーンで接続します。
C5	AGND	アナログ・グランド。全てのグランド端子をグランド・プレーンで接続します。
A5, B5	SYS	システム負荷接続。全ての SYS 端子を SYS プレーンで接続し、10µF の実効容量でグランドにバイパスします。
G6	L2OUT	LDO2 の出力。1µF の実効容量でグランドにバイパスします。
F6	L2IN	LDO2 の入力。1µF でグランドにバイパスします。
E6	MPC3	多用途 I/O 3。
D6	CAP	内部リファレンス電源。1µF の実容量（ディレーティング後）で GND にバイパスします。
C6	MPC5	多用途 I/O 5。
A6, B6	CHGOUT	チャージャの出力。0.1µF の実効容量でグランドにバイパスします。FG 検出抵抗（外付けもしくは内蔵）を経由するか直接、BAT に接続します。
G7	BK3OUT	Buck3 のレギュレータ検出出力。BK3OUT は、降圧ブロックの出力コンデンサの選択のセクションに従ってグランドにバイパスしてください。
F7	SCL	I^2C シリアル入力クロック。
E7	SDA	I^2C のシリアル・データ入力／オープンドレイン出力。
D7	MPC6	多用途 I/O 6。
C7	CSP/FG_TST	残量ゲージ検出抵抗の正側。検出抵抗にケルビン接続します。
B7	RSP	内蔵検出抵抗の正側強制印加端子。
A7	BK2OUT	Buck2 のレギュレータ検出出力。降圧ブロックの出力コンデンサの選択のセクションに従ってグランドにバイパスしてください。
G8	BK3GND	Buck3 の電源グランド。全てのグランド端子は PCB 上で低インピーダンスのパターンで接続するか、GND プレーンで接続します。
F8	L1IN	LDO1 の入力。1µF でグランドにバイパスします。

E8	THM	バッテリ・サーミスタ接続。
D8	MPC7	多用途 I/O 7。
C8	RSN/CSN	内蔵検出抵抗の負側強制印加端子／残量ゲージの電流検出の負側。外付け検出抵抗にケルビン接続します。
B8	RSP_S	内蔵検出抵抗の正側検出点。
A8	BK2GND	Buck2 の電源グランド。全てのグランド端子をグランド・プレーンで接続します。
G9	BK3LX	Buck3 のスイッチング LX ノード。2.2µH で BK3OUT に接続します。
F9	SYSBK3	Buck3 の電源 SYS。全ての SYS 端子は PCB 上で低インピーダンスのパターンで接続するか、SYS プレーンで接続します。共通ノードを最小 10µF の実容量（ディレーティング後）で GND にバイパスします。
E9	L1OUT	LDO1 の出力。1µF の実効容量でグランドにバイパスします。
D9	$\overline{\text{ALRT}}$	アラート出力。オープンドレイン、アクティブ・ローで残量ゲージのアラートを示します。使用しない場合はグランドに接続します。
C9	BAT	電源とバッテリ電圧の検出入力。正側のバッテリ端子に接続し、1µF の実効容量でバイパスします。
B9	SYSBK2	Buck2 の電源 SYS。全ての SYS 端子は PCB 上で低インピーダンスのパターンで接続するか、SYS プレーンで接続します。共通ノードを最小 10µF の実容量（ディレーティング後）で GND にバイパスします。
A9	BK2LX	Buck2 のスイッチング LX ノード。2.2µH で BK2OUT に接続します。

詳細

MAX20356 は高集積のプログラマブルなパワー・マネージメント・ソリューションで、超低消費電力のウェアラブル・アプリケーション向けに設計されています。サイズと効率が最適化されており、バッテリ寿命を延長しソリューション全体のサイズを縮小できるため、最終製品の価値が向上します。柔軟に組み合わせられる電力消費を最適化した電圧レギュレータを備えており、複数の降圧コンバータ、1 つの昇降圧コンバータ、リニア・レギュレータにより、機能統合のレベルが高く、最適化された電源アーキテクチャを構成できます。常時オンのアプリケーションでのバッテリ寿命の延長を目指し、各レギュレータの自己消費電流は極めて少なくなっています。

MAX20356 には、バッテリ・シール、チャージャ、電力経路、残量ゲージを含む完全なバッテリ管理ソリューションが内蔵されています。チャージャは温度管理と入力保護の機能を備えています。また、このデバイスは工場設定可能な多入力のボタン・コントローラを備えており、個別の製品の要求に応じてカスタマイズできます。ロー・ノイズの 1.5W 昇降圧コンバータは、光学式心拍数計システムで使用される LED が必要とする、高効率、ロー・ノイズの電力変換を実現します。このデバイスは I²C インターフェースを介して設定可能で、多様な機能の設定や、監視マルチプレクサを介した温度や電源電圧の読出しなどのデバイスの状態読出しが可能です。

このデバイスは、63 バンプ、0.5mm ピッチ、3.71mm × 4.48mm のウェーハ・レベル・パッケージ（WLP）を採用しており、−40ºC～+85ºC の拡張温度範囲で動作します。

電源レギュレーション

MAX20356 は、3 系統の高効率、低自己消費電流の降圧レギュレータ（降圧レギュレータのセクションを参照）、1 系統の昇降圧レギュレータ（昇降圧レギュレータのセクションを参照）、3 系統の低自己消費電流、低ドロップアウトのリニア・レギュレータ（LDO）（LDO のセクションを参照）、1 系統の低自己消費電流 RTC 用低ドロップアウト・リニア電圧レギュレータ、3 系統の専用ロード・スイッチ（ロード・スイッチのセクションを参照）を備えています。軽負荷時の効率が優れているため、これらのスイッチング・レギュレータは大きなエネルギー・コストなく連続動作が可能です。降圧ブロックと昇降圧ブロックは、小電流のアプリケーションでは固定ピーク電流モードを使用し、負荷レギュレーションの改善のために適応型ピーク電流モードを使用することで高効率動作範囲を拡張するので、大電流が必要な場合のコンデンサのサイズが最小化されます。

ダイナミック電圧スケーリング

MAX20356 の全てのレギュレータ（高速トランジェントの LDO3 を除く）はダイナミック電圧スケーリング（DVS）の機能を備え、コンバータをディスエーブルすることなく出力電圧を変更可能です。レギュレータの出力電圧は、対応する VSet レジスタへの直接 I²C 書込みで設定されます。I²C による DVS に加え、降圧レギュレータには、正確なタイミングが重要なアプリケーション用に GPIO DVS および SPI DVS の 2 つの制御方法が追加で存在します。出力電圧のスルー・レートは全 DVS モードで同様であることに注意してください。

降圧ブロックの DVS 遷移は、高速の電圧遷移を要求するデバイスに対し、突入電流を制御しながら出力電圧のスルー・レートを最大化します。それ以外のレギュレータでは、出力電圧のスルー・レートを制限することにより突入電流を最小化します。降圧レギュレータの代表的な DVS 遷移では、立上がり時間は 10µs です。

DVS モード 0（I²C DVS モード）

DVS モード 0 ではレギュレータの出力を I²C で制御できるように構成します。Buck_DvsCfg = 00000 の場合（Buck1DvsCfg、Buck2DvsCfg、Buck3DvsCfg のビットを参照）、レギュレータの出力電圧は Buck_VSet ビットフィールド（Buck1VSet、Buck2VSet、Buck3VSet のビットを参照）への I²C 書込みによって制御されます。I²C DVS モードにあるレギュレータは、出力電圧を変更するためにはロック解除が必要であることに注意してください。LockMsk1（LockMsk1 ビットを参照）のロック・マスク・ビットを 0 に設定し、LockUnlock1 レジスタ（LockUnlock1 レジスタを参照）にアンロック・パスワード 0x55 を書き込むことにより、レギュレータのロックが解除されます。

DVS モード 1（GPIO DVS モード）

DVS モード 1 では、2 つの MPC 入力によって、レギュレータの出力を 4 つの設定済みの値から選択します。レギュレータの出力を GPIO モードに設定するには、対応する Buck_DvsCfg ビット（Buck1DvsCfg、Buck2DvsCfg、Buck3DvsCfg のビットを参照）に 00001～11100 のいずれかの値を設定します。それぞれのコードに従い、2 本の MPC_端子の様々な組み合わせでレギュレータを制御できるよう選択されます。コードに対してどの MPC 入力が使用されるかについての詳細は、Buck_DvsCfg レジスタの説明（Buck1DvsCfg、Buck2DvsCfg、Buck3DvsCfg のビットを参照）を参照してください。いずれの場合も、記載されている先頭の MPC が低位ビット、2 番目の MPC が高位ビットを制御します。

4 つの Buck_DvsVlt_ビットフィールド（Buck1DvsVlt0、Buck1DvsVlt1、Buck1DvsVlt2、Buck1DvsVlt3、Buck2DvsVlt0、Buck2DvsVlt1、Buck2DvsVlt2、Buck2DvsVlt3、Buck3DvsVlt0、Buck3DvsVlt1、Buck3DvsVlt2、Buck3DvsVlt3 のビットを参照）には、MAX20356 が最初に起動されたときに、対応するレギュレータの工場設定デフォルト電圧が設定されます。起動プロセス後、Buck_DvsVlt_ビットフィールドで、各コンバータに対して I²C を使用して 6 ビットの出力電圧レベルを設定できます。MPC 入力の変化に従い、レギュレータの出力は、図 1 に示すように新しい選択レベルへと調整されます。電圧レベルは表 1 に示すように選択されます。

表 1. DVS モード 1 での電圧選択

GPIO1	GPIO0	DVS VOLTAGE
0	0	Vlt0
0	1	Vlt1
1	0	Vlt2
1	1	Vlt3

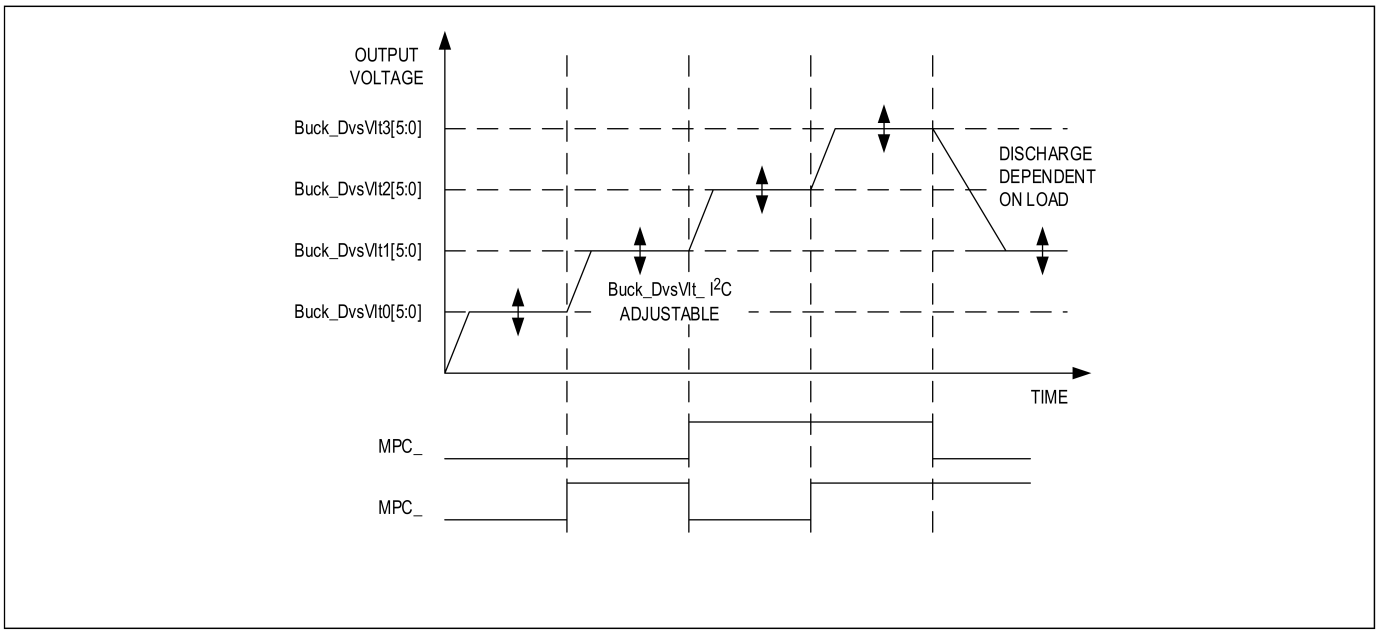


図 1. DVS モード 1、GPIO 制御

SPI DVS モード（DVS モード 2）

DVS モード 2 では、3 線式 SPI インターフェースにコマンド・バイトを書き込むことによりレギュレータの電圧が変更されます。SPI インターフェースは MPC0、MPC1、MPC2 の端子を使用します。MPC0 はアクティブ・ローのチップ・セレクト端子（$\overline{CS}$）、MPC1 は極性 0 のクロック（SCLK）、MPC2 はデータ入力端子（DIN）になります。データは SCLK の立上がりエッジのタイミングで読み取られます。SPI クロック周波数の最大値は 8MHz です。コマンド・バイトにはレギュレータを選択するアドレス・ビット 2 つ（ADD[1:0]）と、電圧を設定する 6 つの電圧ビット（VLT[5:0]）が含まれます。図 2 は、SPI モードでデータをクロック同期する様子を示しています。

出力電圧は、クロックの 8 番目の立上がりエッジでラッチされます。SPI インターフェースで設定された電圧は、コンバータごとに Buck_SPIVlt ビットフィールドにミラーリングされ、リードバックは I²C で行う必要があります。図 3 は、2 つのレギュレータが DVS モード 2 で制御されている状態を示します。

DVS SPI インターフェースでは、シングル・バイトとバースト・モードのデータ転送がサポートされています。シングル・バイト・モードでは、各コマンド・バイトが転送された後に$\overline{CS}$がハイになります。バースト・モードでは、全コマンド・バイトが MAX20356 に書き込まれた後に$\overline{CS}$がハイになります。図 4 は、両モードでのデータ書込みを示しています。

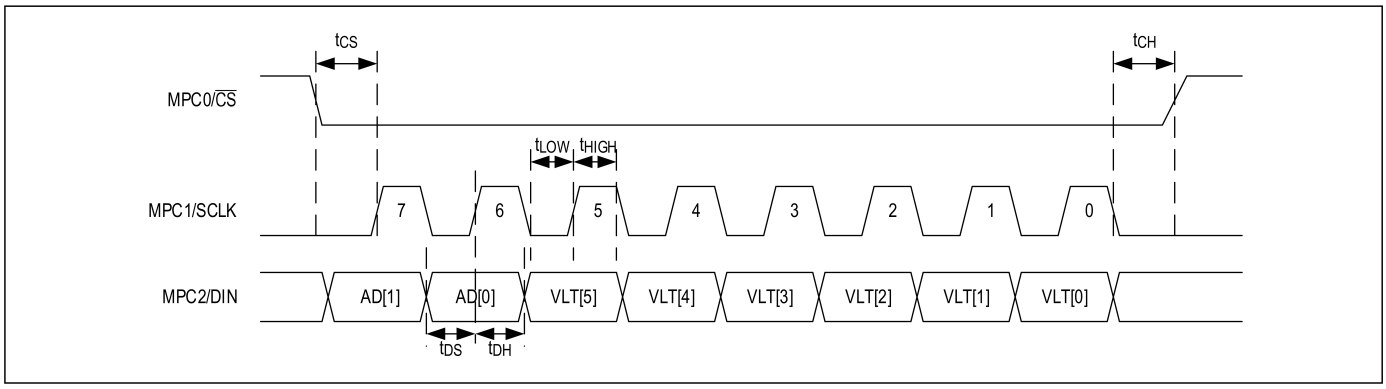


図 2. DVS モード 2 での SPI タイミング

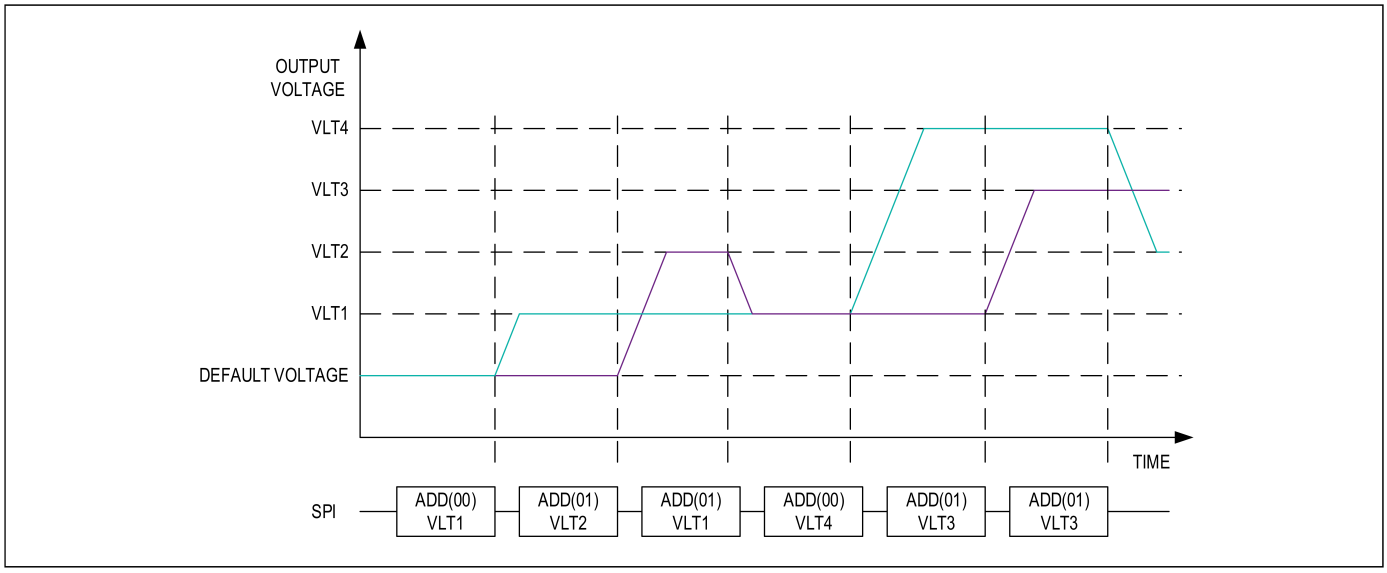


図 3. DVS モード 2、SPI 制御

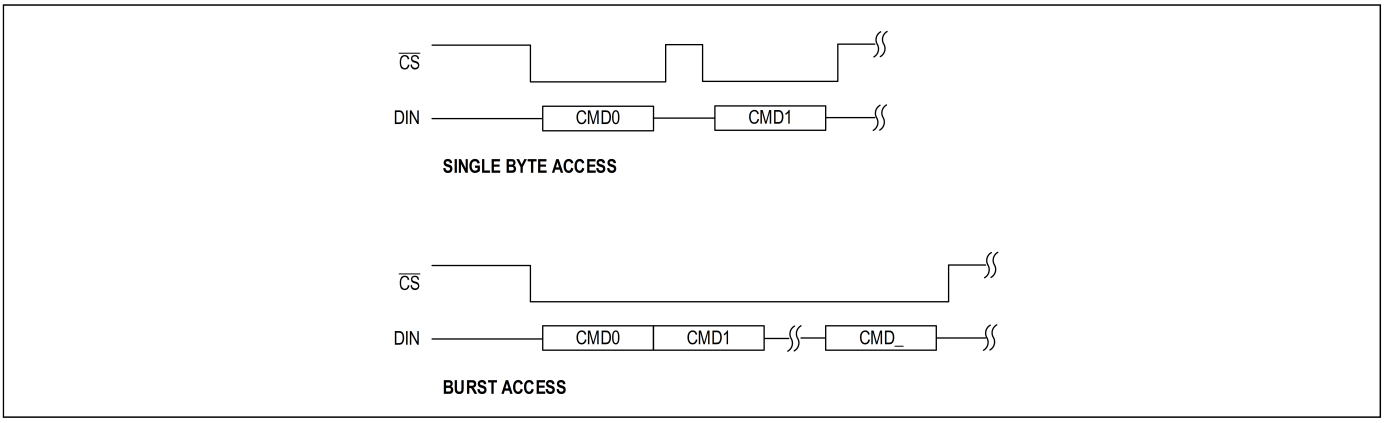


図 4. シングル・バイトとバースト・モードの SPI アクセス

専用 DVS 割込み

DVS 遷移が完了したことをホスト・プロセッサに向けて素早くアラートするために、MAX20356 には MPC0～MPC6 端子を専用 PGOOD 割込みに設定するオプションが存在します。専用割込みを設定するためには、レジスタ 0x7B～0x7D に目的の BK_MPC_Sel ビットを書き込みます。更に ADC と USBOk の状態変化についても、専用 MPC 割込みとして割込み通知が可能です。

降圧コンバータの DVS オプション

MAX20356 の各降圧コンバータには 2 つの DVS 谷電流設定があり、Buck_DVSCur ビットで選択できます。500mA と 1A の設定を使用可能です。500mA の谷電流設定では遷移時間がわずかに長くなりますが、遷移の最後にインダクタの消磁によって発生する可能性がある電圧オーバーシュートが最小化されます。1A の谷電流設定では、DVS 遷移時間が最速になりますが、インダクタの消磁によるオーバーシュートを呈することがあります。このオーバーシュートが下流のデバイスに悪影響を及ぼさないよう、注意が必要です。

LDO

MAX20356 には以下のように 4 系統の LDO が集積化されています。

- LDO1 と LDO2 は標準的な低自己消費電流の LDO です。
- LDO3 は、バイオセンシング用途での使用に向けて最適化された、超高速過渡応答の低自己消費電流 LDO です。
- RTC LDO は、リアルタイム・クロックやマイクロ・コントローラ専用の常時オン電源に 1.2V もしくは 1.8V で電力を供給できる低自己消費電流 LDO です。各々の LDO についての詳細な仕様については、電気的特性のセクションを参照してください。

LDO の出力容量の選択

MAX20356 の LDO は最小 1µF の実効容量を出力に配置することで動作するように設計されています。コンデンサの選択に当たっては、DC 電圧バイアスに伴う容量のディレーティングなどの要因を考慮に入れる必要があります。

LDO2 の MPC0 制御

LDO2 は MPC 入力を使用してイネーブルし、ロード・スイッチとして設定できます。LDO2_MPC0CNT（ビット LDO2_MPC0CNT を参照）ビットを 1 に設定すると、LDO2_MPC0CNF（ビット LDO2_MPC0CNF を参照）の状態に従い LDO2 が MPC0 によって制御されます。LDO2_MPC0CNF = 0 であれば、MPC0 によって LDO2 が LDO モードとスイッチ・モードとの間で切り替わります。LDO2_MPC0CNF = 1 であれば、MPC0 によって LDO2 をスイッチ・モードでイネーブル、ディスエーブルします。表 2 は LDO2 の MPC0 による制御の詳細を示しています。この MPC 制御を使用すると、I^2C の書込みによるよりもはるかに速く、マイクロ秒の単位で、LDO2 の状態を変更できます。LDO2 の高速な制御により、遅延を最小化する必要のあるアプリケーションをサポートできます。例えば、LDO モードからスイッチ・モードに変更することにより LDO2 出力電圧を急速に増加させることができれば、アプリケーション・プロセッサが低電力のスリープ・モードから高電圧のアクティブ状態に遷移する際に必要な時間を短縮できます。

表 2. LDO2 の MPC0 制御

LDO2En	LDO2_MPC0CNF	LDO2_MPC0CNT	MPC0 CONTROL
00	1	1	MPC0 control switch mode on/off
01	0	1	MPC0 control LDO mode or switch mode
	1	1	
10	1	1	MPC0 control switch mode on/off
11	1	1	MPC0 control switch mode on/off

LDO1 の常時オン電力用の内部スイッチオーバー

バッテリの電圧がない状態で LDO1 に電力を供給するために、内部スイッチオーバー回路を使用できます。このスイッチオーバー回路では、LDO が 1µF の容量で L1IN ノードにバイパスされていることが必要です。スイッチオーバー回路を使用しない場合は L1IN ノードは解放のままにする必要があります。スイッチオーバー回路は、CHGIN が出力する安定化電圧から自動的に LDO に電力を供給することで、バッテリが存在しない場合でも電力が供給されるようにします。このオプションは、工場設定によりデフォルトでイネーブルまたはディスエーブルに設定可能です。

いずれの場合も、起動後に I^2C によって動作を設定できます。この機能は、1.8V もしくはそれよりも低い出力電圧、100µA（最大）までの負荷電流に対応できるようになっています。電気的特性のセクションの R_{ON_L1IN} の仕様によって、V_{CCINT} の最小入力電圧（Note 2 を参照）、LDO1 の最大出力電圧、最大オン抵抗に基づいた最も厳しい条件での出力電力供給能力を生み出すことができます。

高速トランジェント LDO

MAX20356 は、AFE センサー用に高速トランジェントの LDO3 を備えています。

RTC LDO

MAX20356には、常時オン・レギュレータとして構成できる新しいRTC LDOがあります。RTC LDOを常時オンと設定するためには、レジスタ・ビットMiscFunc[1]およびLDO4Seqビットを0と001に設定します。

ロード・スイッチ

MAX20356のロード・スイッチにより、非動作時に負荷を切断し、自己消費電流を抑制することができます。イネーブル時の突入電流を制限するため、各ロード・スイッチは初期状態ではI_{SW_START}の値の定電流源として動作します。スイッチの出力が充電され、$V_{SW_IN} - V_{SW_OUT} < V_{SW_PROT}$の条件を満たすまで、電流モードが続きます。この条件が満たされると、スイッチは完全にオンになり、LSW_INとLSW_OUTを接続します。起動タイムアウトt_{STUP_LSW}の間にこの条件が満たされなかった場合は、リトライ遅延t_{RETRY_LSW}経過後にスイッチをオンにしようと試みます。

どちらのスイッチにも、オプションの電圧保護機能があり、過電流を防止します。保護コンパレータは入力電力と出力電圧の差分をモニタします。もしその差分がV_{SW_PROT}を超過すると、スイッチがオープンになって下流の回路を保護します。上流の電源に過電流保護機能がある場合には、LSW_LowIqビットによってコンパレータをディスエーブルし、自己消費電流を抑制できます。保護コンパレータをディスエーブルすると、GNDに短絡した場合の電流は代表値で6Aになる点に注意してください。

昇降圧レギュレータ

MAX20356 の昇降圧レギュレータにより、バッテリ電圧に近い電圧もしくは更に高い電圧への電圧レギュレーションに使用できる低リップルの電圧レールが得られます。昇降圧レギュレータは、フォトプレチスモグラフィ（PPG）システムで使用されるLEDへの電力供給に最適なサイズです。これには、大きな順方向電圧降下が必要な短波長のLEDを使用するPPGシステムも含まれます。昇降圧ブロックのトポロジおよびダイナミック電圧スケーリング機能により、LED電流シンクに対するヘッドルームができるだけ小さくなるように出力電圧を調整し、効率を最大化できます。

効率とレギュレータの出力ノイズの最適化に役立つ設定がこの他にもあります。例えば、ピーク電流制御や、ピーク電流および谷電流の自動的な調整です。更に、V_{BBOUT}がV_{SYS}に対して十分低いときには、この昇降圧レギュレータを降圧のみのモードで動作させることで効率を改善できます。

昇降圧インダクタの選択

MAX20356 のインダクタ選択は、目的のアプリケーションに対して最適化することが求められます。この昇降圧ブロックについては2.2µHのインダクタ値が必要です。インダクタの値の他には、物理的なサイズ、DC抵抗（DCR）、最大平均電流、飽和電流などが主要な検討項目です。最大平均インダクタ電流は、次式を用いて得られます。

$$I_{L_MAX} = \frac{V_{OUT_MAX} \times I_{OUT_MAX}}{\eta \times V_{IN_MIN}}$$

ここで、

V_{OUT_MAX} = 最大想定動作電圧
I_{OUT_MAX} = 最大想定出力電流
V_{IN_MIN} = 最大想定動作入力電圧
η = 最小入力電圧、最大出力電力時の最も厳しい条件の想定効率（効率の予測に関する参考情報については、標準動作特性のセクションを参照してください）。

上記で計算された平均インダクタ電流によって、インダクタの温度上昇に伴って要求される最大平均電流が決まります。要求されるインダクタ飽和電流を決定するためには、ピーク電流を計算する必要があります。このコンバータについて最も厳しい条件のピーク電流は、以下の2つのうち高い方の値で計算できます。即ち、

$$I_{L_PEAK_CCM} = I_{L_MAX} + \frac{1.15 \times (BBstIPSet1 + BBstIPSet2)}{2} + 100mA$$

および

$$I_{L_PEAK_DCM} = 1.15 \times (BBstIPSet1 + BBstIPSet2) + 100mA$$

V_{IN}がV_{OUT}より100mV以上低いときにI_{L_PEAK}が発生する場合には、もう少し悲観的でない前提を取ることができ、以下の2つのうち低い方の値になります。即ち、

$$I_{L_PEAK_CCM} = I_{L_MAX} + \frac{1.15 \times BBstIPSet1}{2} + 100mA$$

および

$$I_{L_PEAK_DCM} = 1.15 \times BBstIPSet1 + 100mA$$

ここで、

BBstIPSet1 と BBstIPSet2 はピーク電流設定値です。

インダクタを選択する際、高い効率を実現するために重要となる要素の 1 つがインダクタの DCR です。最高の効率を得るためには、要求されるパッケージ・サイズで最小の DCR が得られるインダクタを選択します。更に検討すべき要因としては磁気損失があります。一般的には、物理的サイズが大きいか飽和電流の定格が高いインダクタで磁気損が低くなります。フェライト・インダクタは AC 特性が低く、特に DCM でその傾向が強いため、多くの場合で使用を避けるべきです。所定の最適化パラメータに対して推奨されるインダクタについては、表 3 を参照してください。

表 3. 推奨インダクタ

OPTIMIZATION PARAMETERS	VENDOR	PART NUMBER
Efficiency	Murata	DFE201610E-2R2M
Size	Murata	DFE18SBN2R2MEL

昇降圧ブロックの出力コンデンサの選択

昇降圧ブロックはケース・サイズの小さいセラミック・コンデンサが使用できるように設計されています。このデバイスは出力コンデンサに対する要求が低いため、ケース・サイズが 0603 および 0402（インペリアル）のコンデンサの急峻な電圧ディレーティングが許容されます。図 5 のディレーティング曲線の例に、BBOUT ノードに対する必要最小容量を示しています。

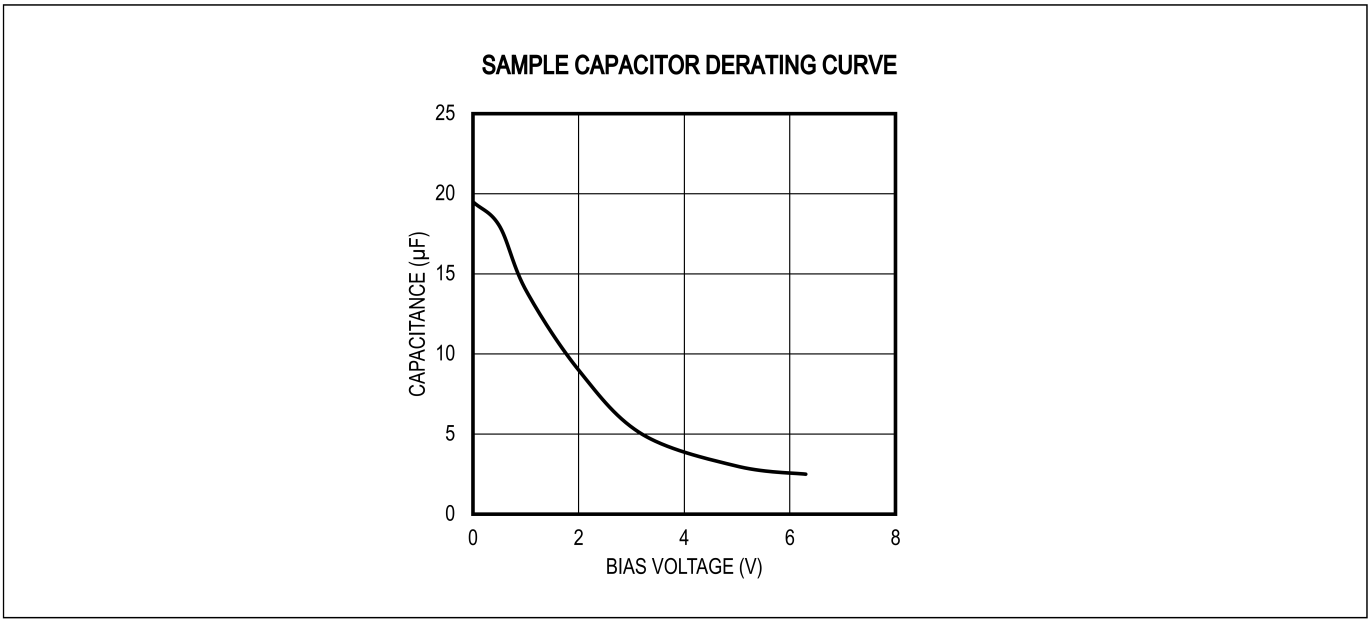


図 5. 昇降圧ブロックの必要最小出力容量

アーキテクチャとスイッチングのフェーズ

昇降圧ブロックは標準的な非反転昇降圧トポロジで構成されています。図 6 はレギュレータの基本構造を示したもので、各スイッチング・フェーズの電流の流れを矢印で示しています。レジスタ設定と入出力電圧の関係により、昇降圧ブロックは以下のスイッチング・フェーズを特定の順序で巡回して出力に電荷を供給します。どのフェーズにおいても、オンになるスイッチは最大 2 つです。

- フェーズ 1：MP1 オン、MP2 オン。インダクタの充電。
- フェーズ 2：MP1 オン、MN2 オン。インダクタの充電。

- フェーズ 3：MN1 オン、MP2 オン。インダクタの放電。
- フェーズ 4：MN1 オン、MN2 オン。フリーホイール。

昇降圧ブロックはスイッチング周波数をモニタする周波数コンパレータを備えています。負荷電流が増加するとスイッチング周波数も増加します。軽負荷時には、昇降圧ブロックは自己消費電流が少なくなるようにフィードバック・ループを最適化します。負荷の要求が高まるとスイッチング周波数が増加し、f_{HIGH} スレッショルドに達すると、応答時間を改善するために低自己消費電流モードはディスエーブルされます。このスレッショルドを超える遷移では出力電圧リップルに不連続性が発生します。敏感な電流でこの遷移が発生し、重要な周波数で出力にノイズを生じさせるような場合には、f_{HIGH} スレッショルドを調整することを推奨しますが、軽負荷時の効率がわずかに低下するトレードオフがあります。f_{HIGH} スレッショルドは BBstCfg1 レジスタの BBFHighSh 設定で設定されます（BBstCfg1 レジスタを参照）。ヒステリシスがあるため、昇降圧レギュレータはスイッチング周波数が $f_{HIGH}/4$ に下がるまでは低自己消費電流モードに戻りません。

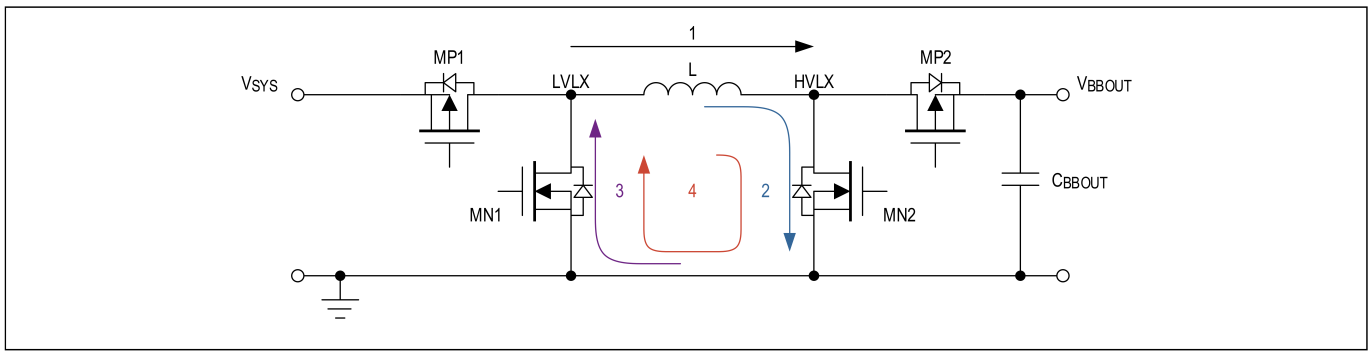


図 6. 昇降圧レギュレータとスイッチング・フェーズ

昇降圧モード

BBstMode（レジスタ 0x55[1]）が 0 のとき、レギュレータは昇降圧モードで動作します。フェーズ 2 でインダクタは BBstIPSet1（レジスタ 0x57[3:0]）まで充電されます。V_{SYS} が V_{BBOUT} に近いときにノイズが最小化されます。ここで昇降圧ブロックはフェーズ 1 に遷移します。$V_{SYS} > V_{BBOUT}$ であれば、インダクタは電流が BBstIPSet1 + BBstIPSet2（レジスタ 0x57[7:4]）に達するか 500ns の遅延時間経過まで引き続き充電を行います。$V_{SYS} \leq V_{BBOUT}$ であれば、昇降圧ブロックは 500ns の遅延時間経過、もしくは電流が谷制限値に低下するまで待ちます。次に、レギュレータはフェーズ 3 に入り、インダクタを谷制限値まで放電します。インダクタ電流が谷電流交差スレッショルドに達するか 0 より低く下がると、レギュレータはフェーズ 4 のフリーホイールに入り、次の充電フェーズを待ちます。連続導通モード（CCM）で動作しているときには、昇降圧ブロックは BBZCCmpEnb = 1 であれば約 30ns の間フェーズ 4 に入ります。昇降圧ブロックは、CCM で動作しており BBZCCmpEnb = 0 であれば、フェーズ 4 をスキップします。谷での挙動は BBZCCmpEnb（レジスタ 0x58[4]）によって決定されます。図 7 に昇降圧モードでのインダクタ電流を示します。

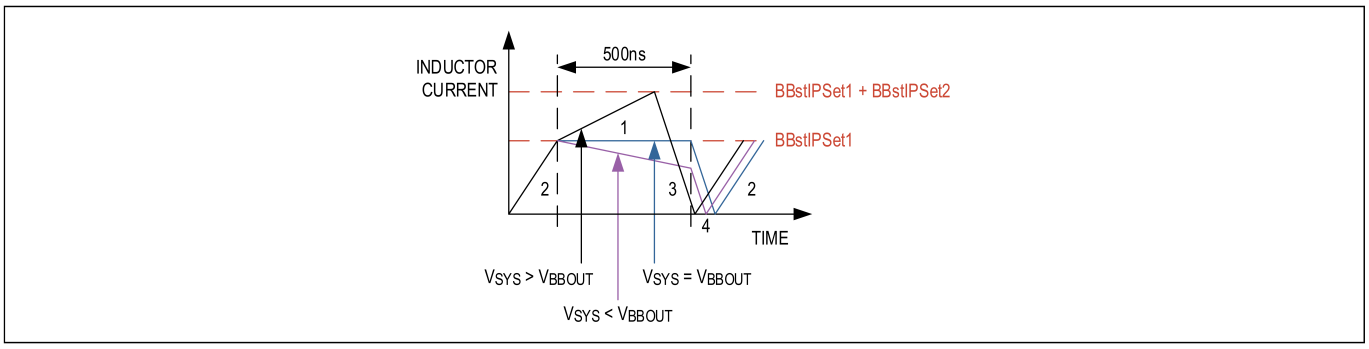


図 7. 昇降圧モードにおける昇降圧インダクタ電流

降圧のみモード

$V_{SYS} > V_{BBOUT}$ のときの効率を最大化するため、昇降圧レギュレータは降圧のみのモードを備えています。BBstMode = 1 のとき、レギュレータは同期整流式降圧レギュレータとして動作します。インダクタ電流が BBstIPSet1 に達するまで、インダクタはフェーズ 1 で充電します。その後レギュレータはフェーズ 3 に遷移し、インダクタ電流を出力に供給する経路を形成します。図 8 に降圧のみモードでのインダクタ電流を示します。

降圧のみモードでは、昇降圧モードに存在するスイッチング損失が低減されます。降圧のみモードは V_{BBOUT} が常に V_{SYS} より低いときに使用して、効率を最大化します。

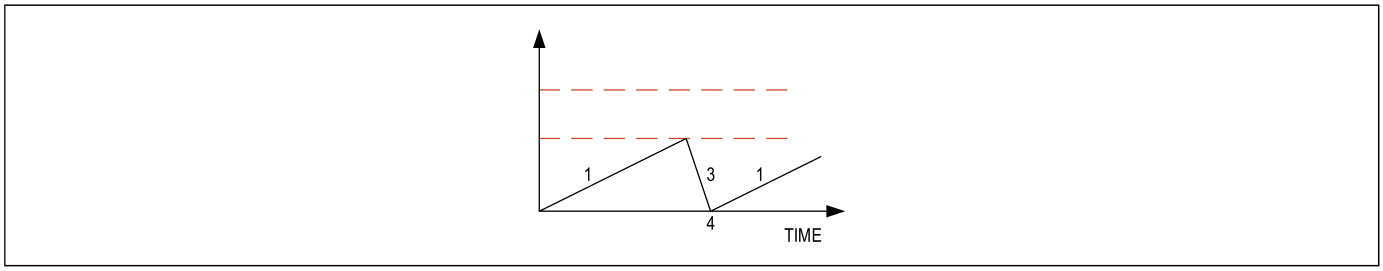


図 8. 降圧のみモードにおける昇降圧インダクタ電流

昇降圧インダクタのピーク電流と谷電流の制限値

昇降圧レギュレータはインダクタ電流の最大値と最小値をモニタします。ピーク電流と谷電流は、それぞれ BBstIPSet_と 0mA の値に固定することもでき（BBstIPSet1 ビットと BBstIPSet2 ビットを参照）、BBstIpPadPEnb = 0 であれば負荷条件によって変化します（BBstIpPadPEnb ビットを参照）。

ピーク電流は BBstISet レジスタで設定されます（BBstISet レジスタを参照）。BBstIPSet1 は、$V_{SYS} < V_{BBOUT}$ でありレギュレータが降圧のみモードのときのピーク電流を制御します。BBstIPSet2 は、昇降圧モードでの $V_{SYS} > V_{BBOUT}$ のときの第二電流制限値を設定します。$V_{SYS} > V_{BBOUT}$ のときの全インダクタ電流制限値は BBstIPSet1 + BBstIPSet2 です。昇降圧レギュレータは、インダクタ電流が BBstIPSet1 + BBstIPSet2 に達するか 500ns のタイムアウトが経過すると、フェーズ 1 からフェーズ 3 に遷移します。BBstIPSet1 と BBstIPSet2 の差を最小化することにより、出力リップルが抑制されますが、効率が低下します。出力リップルを低く保ちながら効率を最大化するため、ピーク電流設定の最適化には注意が必要です。図 9 は BBstIPSet1 に対する BBstIPSet2 の安全動作領域を示しています。所定の値に対して図 9 に示されるものより低い値を選択すると、効率が低下し、出力リップルが増加することがあります。図 10 は、所定の BBstVSet の値に対して効率を最大化できる BBstPSet1 と BBstIPSet2 の組み合わせの視覚的な選択ガイドです。

組み合わせの選択ができるだけ容易になるよう、昇降圧レギュレータのピーク電流設定は、BBstIPSetLookUpb = 0 のときには所定の出力電圧に対して図 10 に示す設定値に自動的に調整されます。これと異なるピーク電流設定が求められる場合には、BBstIPSetLookUpb = 1 の設定を選択します。この場合のみ、BBstIPSet1 と BBstIPSet2 が有効になります（BBstIPSetLookUpb ビットを参照）。BBstIpPadPEnb = 0 の場合（BBstIpPadPEnb ビットを参照）、負荷が増加するとレギュレータが自動的にピーク電流制限を増加させ、高負荷における負荷レギュレーションと効率を改善します。BBZCCmpEnB = 1 の場合は（BBZCCmpEnB ビットを参照）、昇降圧ブロックはピーク電流と谷電流の制限値に従って動作します。不連続導通モード（DCM）では、谷制限値は 0mA であり、ゼロ交差として作動します。CCM では、BBstIpPadPEnb = 0 であれば（BBstIpPadPEnb ビットを参照）ピーク制限と谷制限は電圧ループによって自動的に調整されます。しかし、BBZCCmpEnB = 0 のとき（BBZCCmpEnB ビットを参照）、昇降圧ブロックはピーク電流、谷電流、ゼロ交差電流の制限値に従って動作します。ゼロ交差制限値は固定の 0mA であり、ピーク制限と谷制限は BBstIpPadPEnb = 0 であれば（BBstIpPadPEnb ビットを参照）電圧ループによって調整されます。

DCM では、谷電流制限は負となるので、フェーズ 1 とフェーズ 3 の終了は電流のゼロ交差によって決定されます。CCM では、谷電流制限は BBZCCmpEnB = 0 であれば（BBZCCmpEnB ビットを参照）0mA 以上になります。従って、フェーズ 1 とフェーズ 3 の終了は谷電流コンパレータに従って決定されます。

ゼロ電流交差コンパレータをディスエーブルすると、昇降圧出力リップルが抑制されます。コンパレータをイネーブルすると、CCM モードにおいて、BBZCCmpEnB = 1 の場合には（BBZCCmpEnB ビットを参照）存在するフェーズ 4 がなくなるため、CCM での EMI が改善します。

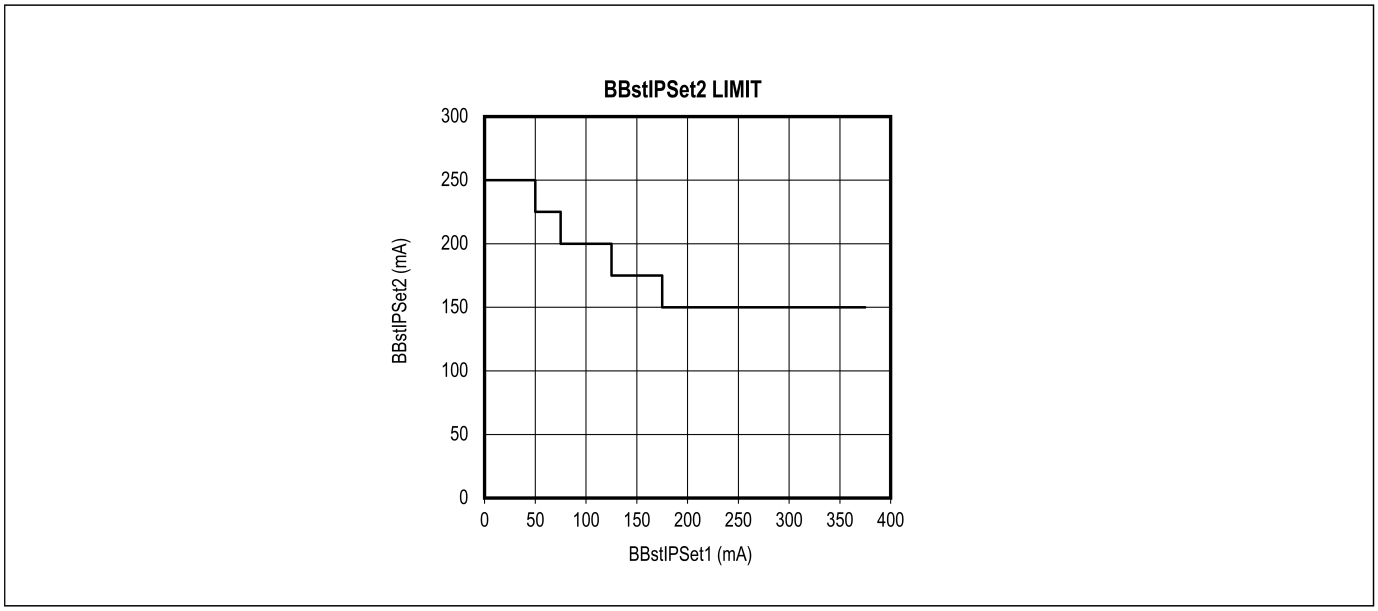


図 9. 所定の BBstIPSet1 設定に対する最小 BBstIPSet2 制限値

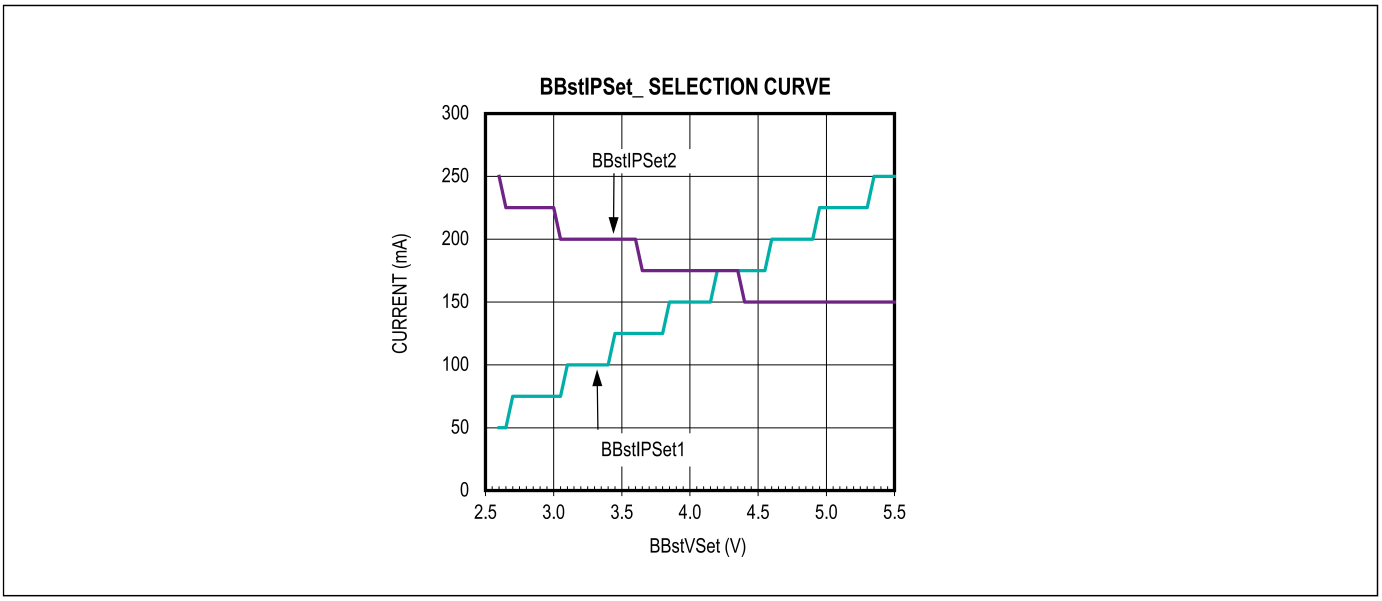


図 10. BBstIPSet1 と BBstIPSet2 の推奨設定

降圧レギュレータ

MAX20356 には低消費電力の 400mA 降圧レギュレータが 3 系統あります。これらの降圧レギュレータは全て、ピーク電流と谷電流の制御を行うパルス周波数変調（PFM）スキームで動作します。軽負荷時には、降圧コンバータは非連続モード（DCM）で動作して、効率を最大化します。降圧コンバータには最小容量と最大容量の条件があります。安定した動作を確保するためには、各降圧ブロックの実効出力容量がこれらの制限値の範囲に入っていることが必要です。図 11 に、各出力電圧設定に対する最小容量と最大容量を示します。

降圧インダクタの選択

MAX20356 のインダクタ選択は、目的のアプリケーションに対して最適化することが求められます。これらの降圧コンバータについては 2.2µH のインダクタ値が好適です。1µH のインダクタも使用可能ですが、効率が低下し、負荷過渡応答でのメリットはほとんどありません。インダクタの値の他には、物理的なサイズ、DC 抵抗（DCR）、最大平均電流、飽和電流などが主要な検討項目です。最大平均インダクタ電流は、アプリケーションで想定される最大出力電流と等しくなります。

上記で計算された平均インダクタ電流によって、インダクタの温度上昇に伴って要求される最大平均電流が決まります。要求されるインダクタ飽和電流を決定するためには、ピーク電流を計算する必要があります。このコンバータのピーク電流は、以下の 2 つのうち高い方の値で計算できます。即ち、

$$I_{L_PEAK_CCM} = I_{L_MAX} + \frac{1.15 \times Buck_ISet}{2} + 100mA$$

および

$$I_{L_PEAK_DCM} = 1.15 \times Buck_ISet + 100mA$$

ここで、

Buck_ISet は対象の降圧コンバータのピーク電流制限であり、I_{L_MAX} は同じコンバータの最大想定負荷電流です。

インダクタを選択する際、高い効率を実現するために重要となる要素の 1 つがインダクタの DCR です。最高の効率を得るためには、要求されるパッケージ・サイズで最小の DCR が得られるインダクタを選択します。更に検討すべき要因としては磁気損失があります。一般的には、物理的サイズが大きいか飽和電流の定格が高いインダクタで磁気損が低くなります。フェライト・インダクタは AC 特性が低く、特に DCM でその傾向が強いため、多くの場合で使用を避けるべきです。所定の最適化パラメータに対して推奨されるインダクタについては、表 4 を参照してください。

表 4. 降圧用の推奨インダクタ

OPTIMIZATION PARAMETERS	VENDOR	PART NUMBER
Efficiency	Murata	DFE201610E-2R2M
Size	Murata	DFE18SBN2R2MEL

降圧ブロックの出力コンデンサの選択

降圧ブロックはケース・サイズの小さいコンデンサが使用できるように設計されています。このデバイスは出力コンデンサに対する要求が低いため、ケース・サイズが 0603 および 0402（インペリアル）のコンデンサの急峻な電圧ディレーティングが許容されます。更に、安定性を維持するために、最大出力容量の条件があります。図 11 の最小容量と最大容量の条件は、BK_OUT ノードに必要な容量を示しています。

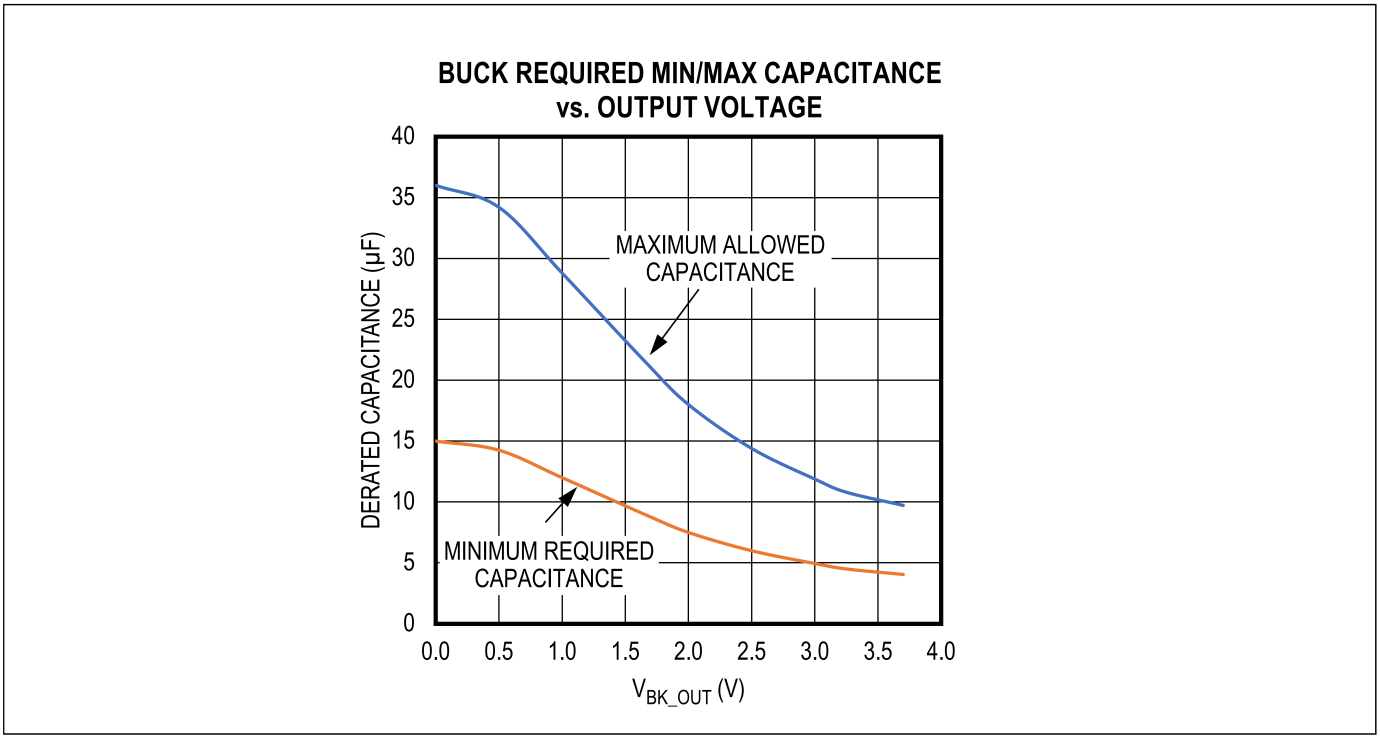


図 11. 降圧ブロックが安定性を確保できる最小容量と最大容量の条件

降圧インダクタのピーク電流と谷電流の制限値

降圧レギュレータが DCM 動作している場合、インダクタの最小電流スレッショルド（I_{VALLEY}）は 0mA であり、インダクタのピーク電流スレッショルド（I_{PEAK}）はレギュレータの自動ルックアップ・テーブルもしくは Buck_ISetLookUpb = 1 であれば（Buck1ISetLookUpb、Buck2ISetLookUpb、Buck3ISetLookUpb のビットを参照）、Buck_ISet レジスタ（Buck1ISet、Buck2ISet、Buck3ISet のビットを参照）によって、自動的に最適な値が設定されます（図 12 参照）。このモードでは、PFM 制御スキームに従い、負荷が増加するとスイッチング周波数も増加します。

負荷が更に増加すると、降圧レギュレータのスイッチング周波数は約 1.1MHz に達します。ここで、降圧レギュレータの適応型電流設定がイネーブルされていれば（Buck_EnbIADPT = 0）（Buck1EnbIADPT、Buck2EnbIADPT、Buck3EnbIADPT のビットを参照）、I_{PEAK} と I_{VALLEY} はこれら 2 つの間のオフセットを概ね一定に保ちながら上昇方向にシフトします（値は上の第一パラグラフに示したインダクタのピーク電流設定により設定されたもの）。谷電流の増加が始まると、インダクタが 0mA まで完全に放電されることがなくなるので、レギュレータは連続導通モード（CCM）で動作します。スイッチング周波数のスロープはフラットになり、それ以上の負荷範囲ではごくわずかしか上昇しません。この制御スキームは、ピーク電流レベルに起因する抵抗損失と FET のゲートを駆動することによるスイッチング損失のバランスを取り、幅広い負荷範囲に対して負荷レギュレーションと高効率を維持することを目的としたものです。

適応型電流設定がディスエーブルされている場合は（Buck_EnbIADPT = 1）（Buck1EnbIADPT、Buck2EnbIADPT、Buck3EnbIADPT のビットを参照）、スイッチング周波数はレギュレータが臨界導通モードに達するまで上昇を続けます。負荷が臨界導通モードを超えて増加すると、スイッチング周波数が飽和し、降圧レギュレータは電流源として動作します。これにより、レギュレータの出力における負荷レギュレーション・エラーが増加します。

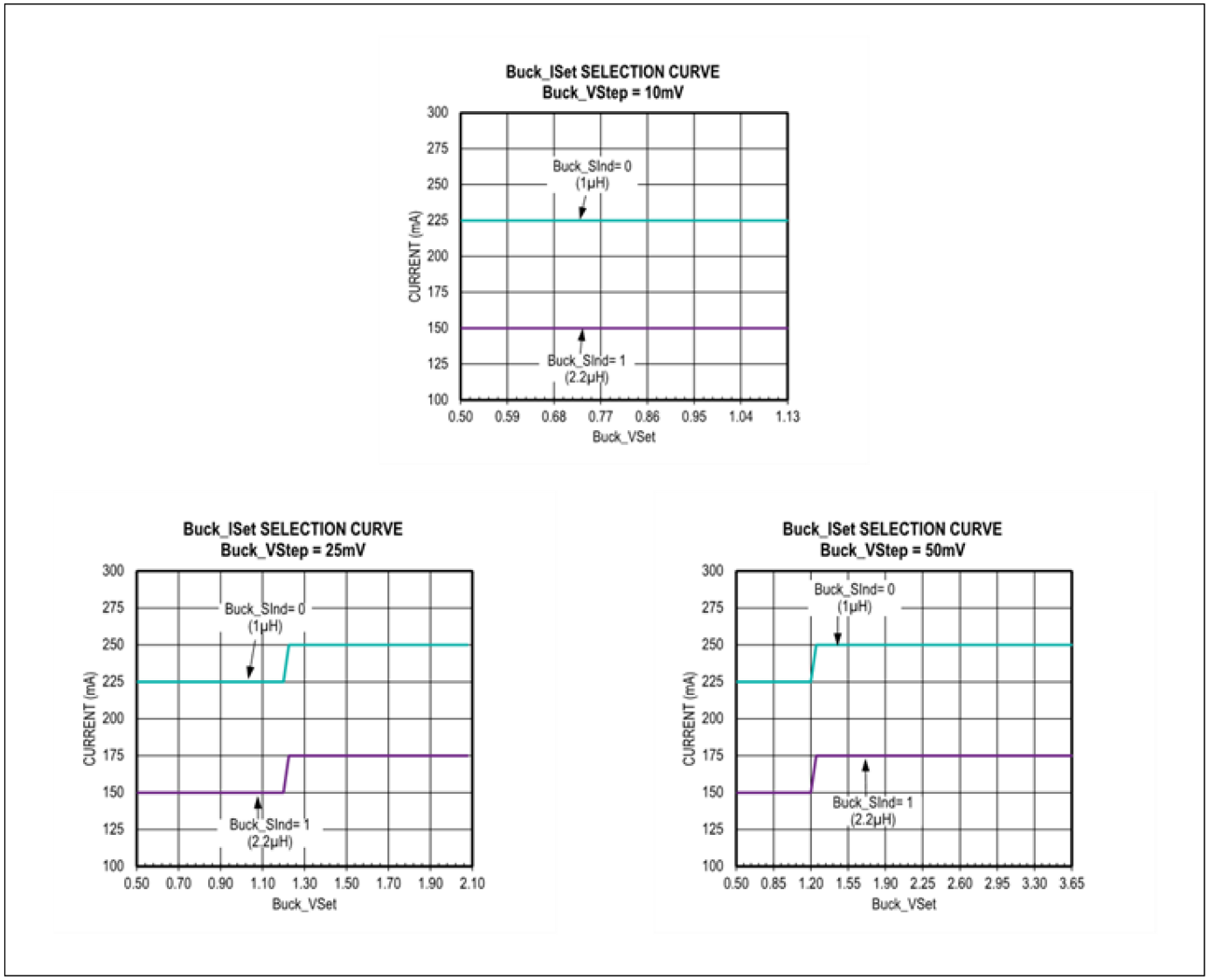


図 12. 最適ピーク電流設定と出力電圧の関係

降圧ブロックのスイッチング周波数を操作する調整

アプリケーションによっては、降圧ブロックの出力電圧リップルが、敏感なアナログ回路に干渉する周波数帯のノイズを発生することがあります。MAX20356 のピーク電流は調整可能なため、レギュレータが DCM モードであるときには、影響を受けやすい周波数帯から外れるよう柔軟にリップル周波数をシフトさせることが可能です。ピーク電流を増加させると、スイッチング・サイクルごとの出力コンデンサへの電荷供給が増加し、同一の負荷に電力を供給するために出力コンデンサが必要とする充電の回数が減少します。この場合、与えられた負荷電流に対する出力リップル周波数は減少し、影響を受けやすい高周波数領域から下がるようにシフトします。逆に、ピーク電流を減少させると、与えられた負荷電流に対するスイッチング周波数は増加し、影響を受けやすい低周波数領域でのノイズ注入を防止できます。

ピーク電流を増加させると、抵抗損失が大きくなるため、効率が低下し出力電圧リップルの振幅が大きくなる可能性があることに注意してください。ピーク電流を減少させると、スイッチング損失が増加し、効率が低下します。標準動作特性のセクションを参照してください。

降圧レギュレータのピーク電流設定は、できるだけ容易に実行できるよう、所定の出力電圧に対して最適な設定に自動的に調整できます。Buck_ISetLookUpb = 0 の場合（Buck1ISetLookUpb、Buck2ISetLookUpb、Buck3ISetLookUpb のビットを参照）、MAX20356 は、降圧レギュレータの出力電圧がいずれかの DVS モードで変更されたときに、ピーク電流設定を更新します。アプリケーションでピーク電流を自由に制御することが必要な場合は、Buck_ISetLookUpb = 1 の設定により（Buck1ISetLookUpb、Buck2ISetLookUpb、Buck3ISetLookUpb ビットを参照）、自動更新機能をディスエーブルできます。

パワー・スイッチとリセット制御

MAX20356 は、リセット・シーケンスを実行したりシステムの主電源をオフにしてオフ・モードやシール・モードにしたりできるパワー・スイッチを備えており、バッテリ寿命を延ばすことができます。オフ・モードでは、SYS ノードと全 PMIC 出力はオフになりますが、例外として、LDO4（RTC LDO）が LDO4Seq（LDO4Seq ビットを参照）によって常時オンに設定されている、もしくはオフ・モードに入る前にオン状態であったことにより常時オンに設定されている場合には、オンのままになります。LDO1 は、OTP によって LDO1Seq ビット（LDO1Seq ビットを参照）がセットされている場合にも常時オンになります。シール・モードでは全レギュレータと SYS ノードがオフになります。シール・モードは MAX20356 で自己消費電流が最も少ないモードであり、製品が工場から販売店に出荷される場合のように、長期間にわたって商品が使用されないときの電池寿命を最長にできます。電力モードに関する詳細については、PMIC 電力モードのセクションを参照してください。

シャットダウン・イベントとリセット・イベントは、パワー・ファンクション（PFN）制御入力、I²C コマンド、その他の条件による外部制御によってトリガされます。PFN 端子の挙動は、複数のタイプのウェアラブル・アプリケーションのいずれかに対応するように事前設定されます。表 5 は、PFN1 端子と PFN2 端子の PwrRstCfg ビット（表 5 の PwrRstCfg を参照）に従った挙動を示しており、図 13～図 21 までは各々のモードに関連する状態遷移図を示しています。

ソフト・リセットは$\overline{\text{RST}}$に 10ms のパルスを送出し、デバイス・バージョンに従い（SftRstCfg ビットを参照）、レジスタ設定は変更しない場合とリセットしてデフォルト値にする場合があります。デバイスに対するハード・リセットでは完全なパワーオン・リセット（POR）シーケンスを起動します。

HrvEn = 0 のデバイスはコールド・ブートでシール・モードに入ります（CHGIN がない状態でバッテリを接続）。HrvEn = 1 のデバイスは、コールド・ブートでバッテリ回復（BR）モードに入ります。MAX20356 がオン・モードにあるとき、PwrCmd レジスタ（PwrCmd レジスタを参照）に PWR_OFF_CMD／PWR_SEAL_CMD/PWR_BR_CMD の I²C コマンドを書き込むことにより、それぞれオフ・モード／シール・モード／BR モードに入ります。有効な PFN 信号を検出すると、PwrRstCfg と HrvEn の設定に従い、オフ・モードもしくは BR モードに入ります。

MAX20356 は、PFN1 が$\overline{\text{KIN}}$である PwrRstCfg 設定に対して有効な PFN1 信号がある場合、もしくは CHGIN に有効な電圧が供給された場合に、オフ／シール・モードを終了し主電源を再びオンにします。電源オン状態では、SYS ノードがイネーブルされ、その他の機能は I²C レジスタを介して制御できます。図 22 と図 23 はオフ・モード／シール・モードを終了する際の完全なブート・シーケンスを示しています。

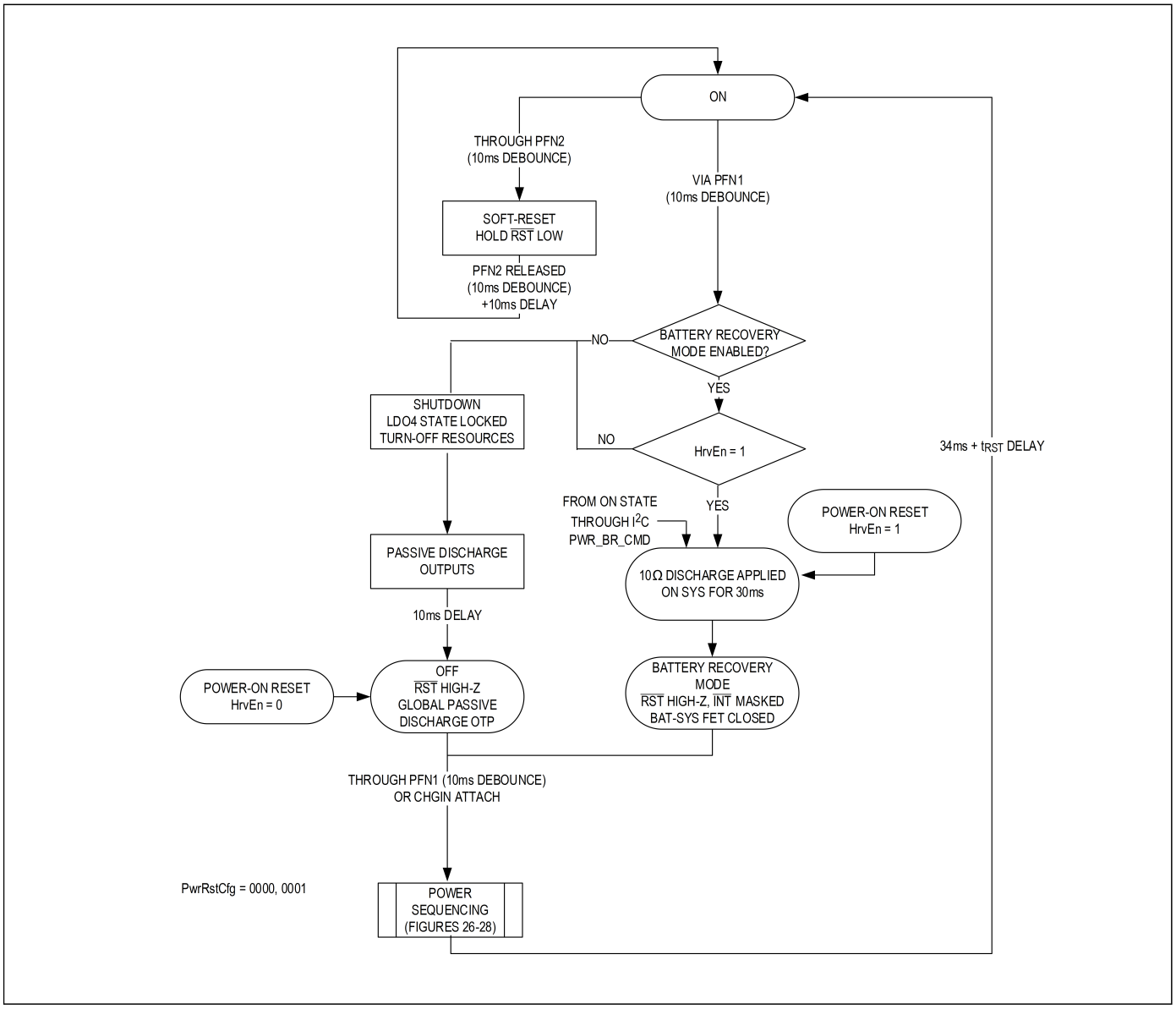


図 13. PwrRstCfg 0000、0001

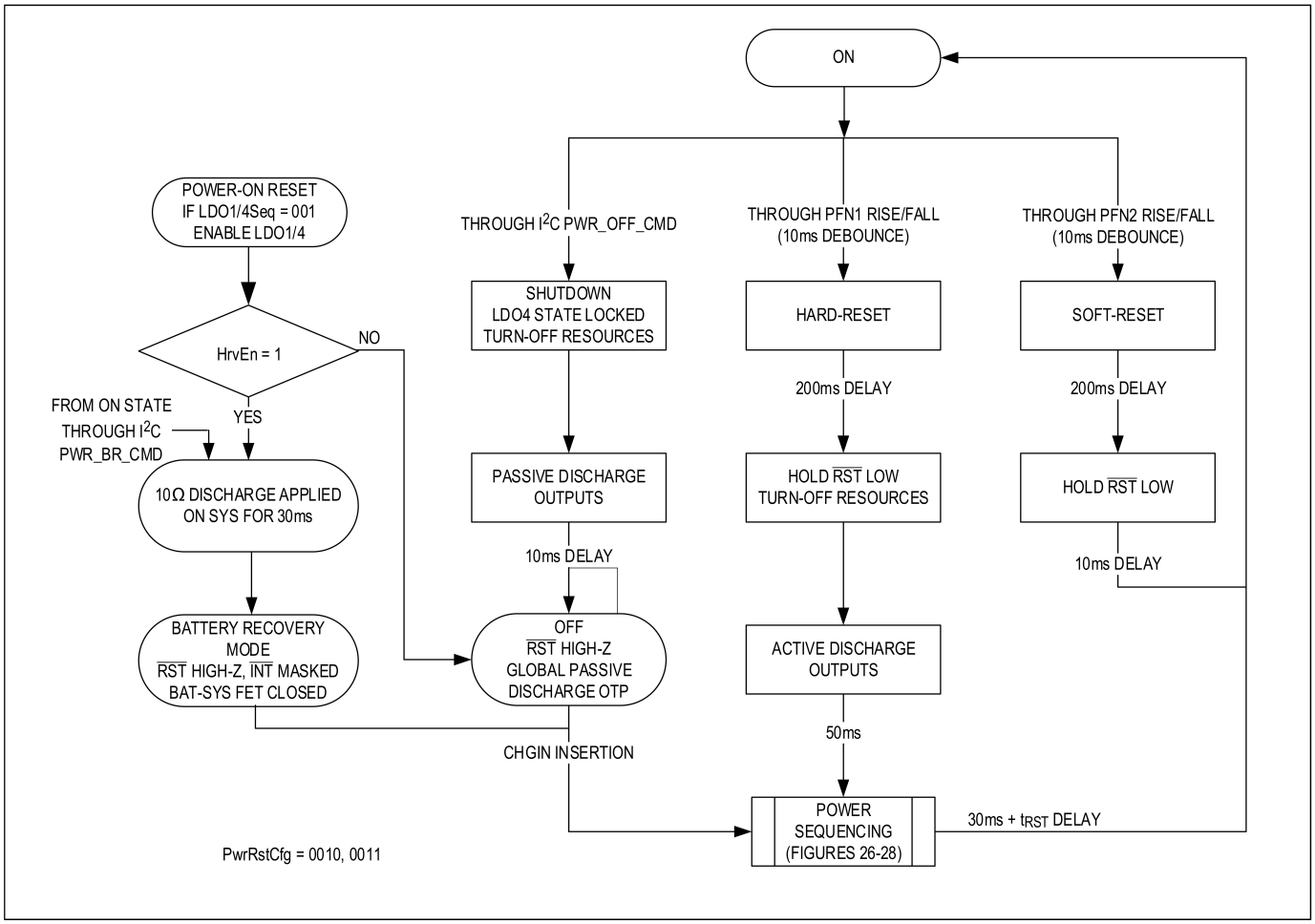


図 14. PwrRstCfg 0010、0011

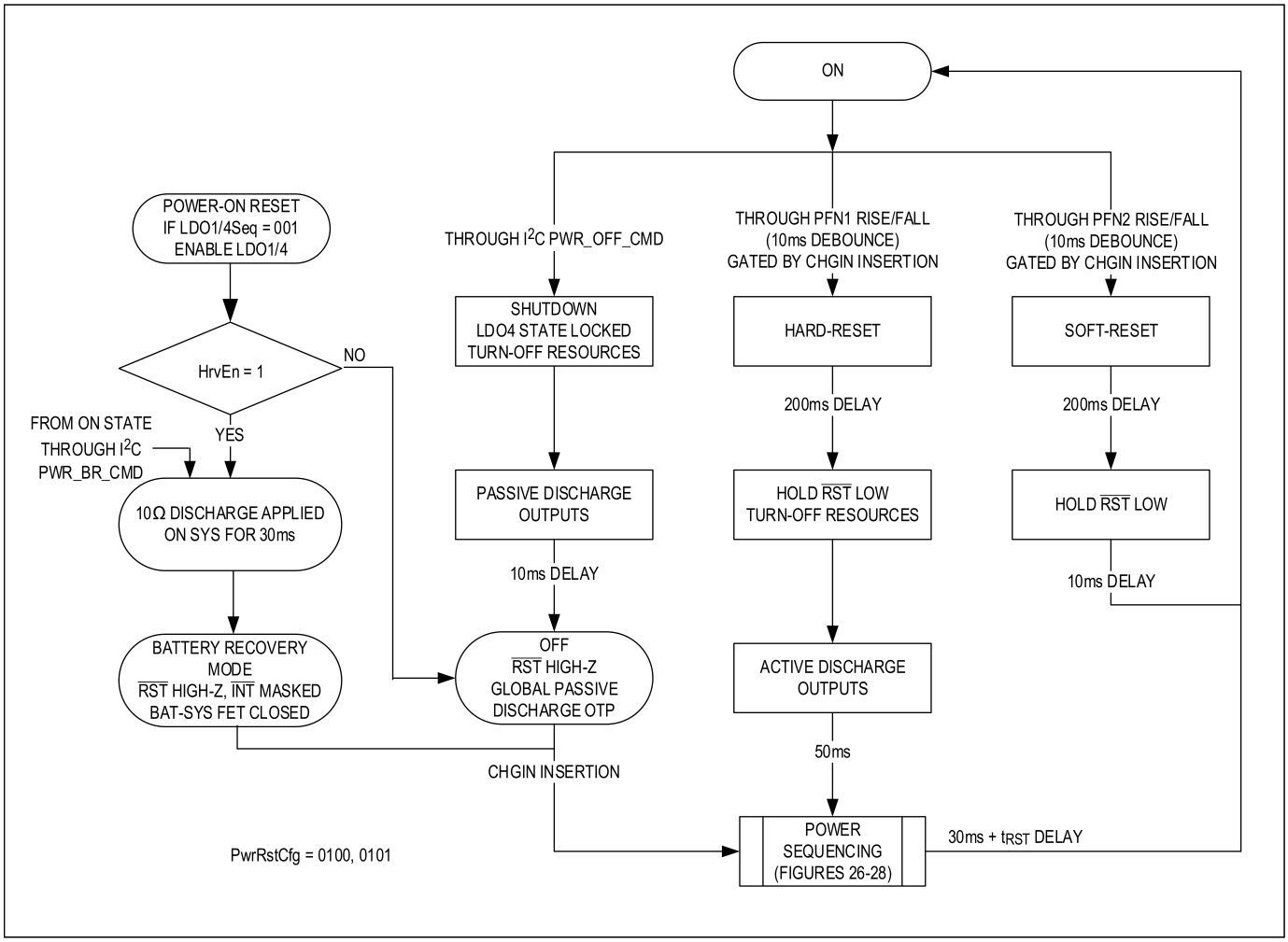


図 15. PwrRstCfg 0100、0101

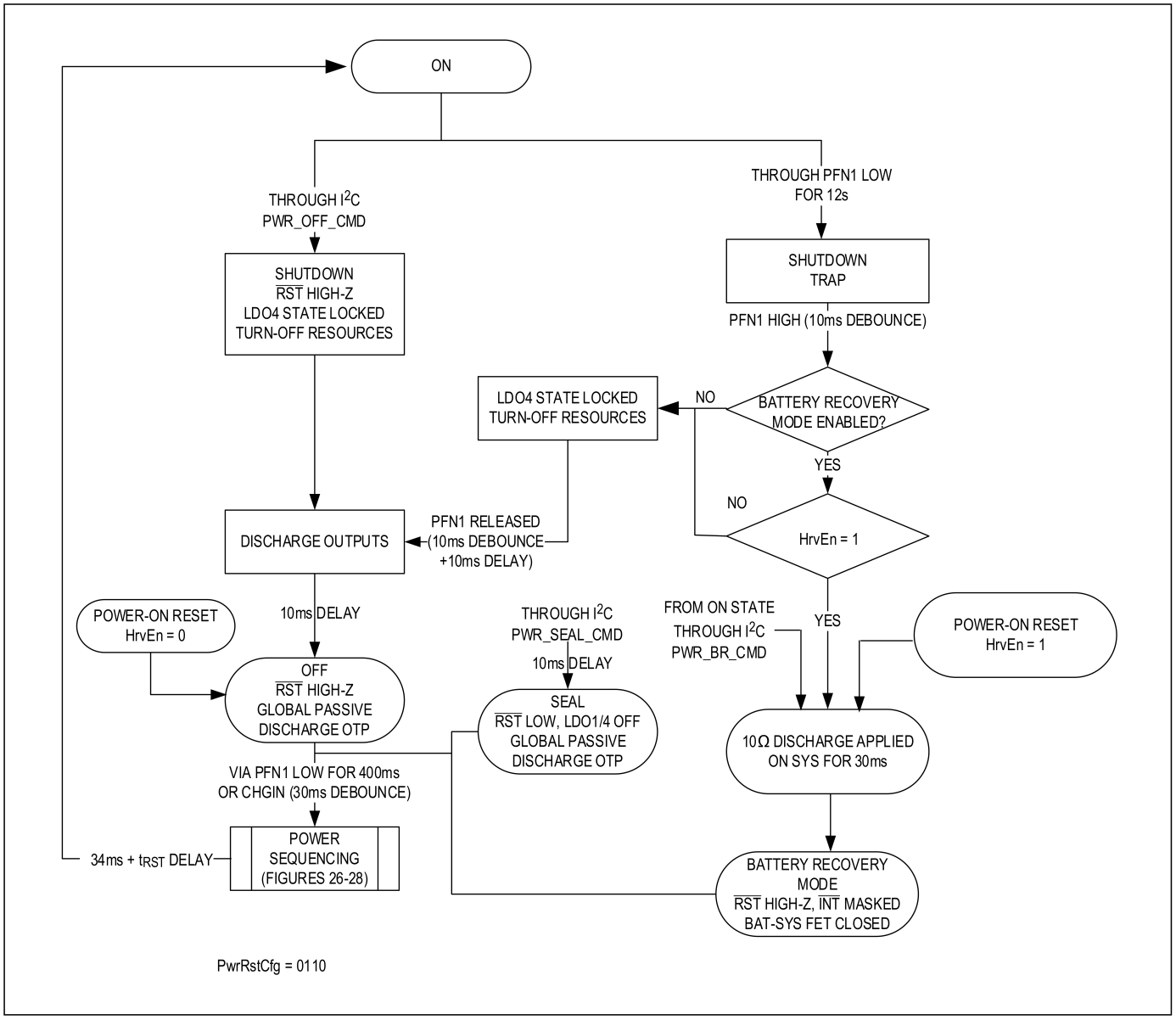


図 16. PwrRstCfg 0110

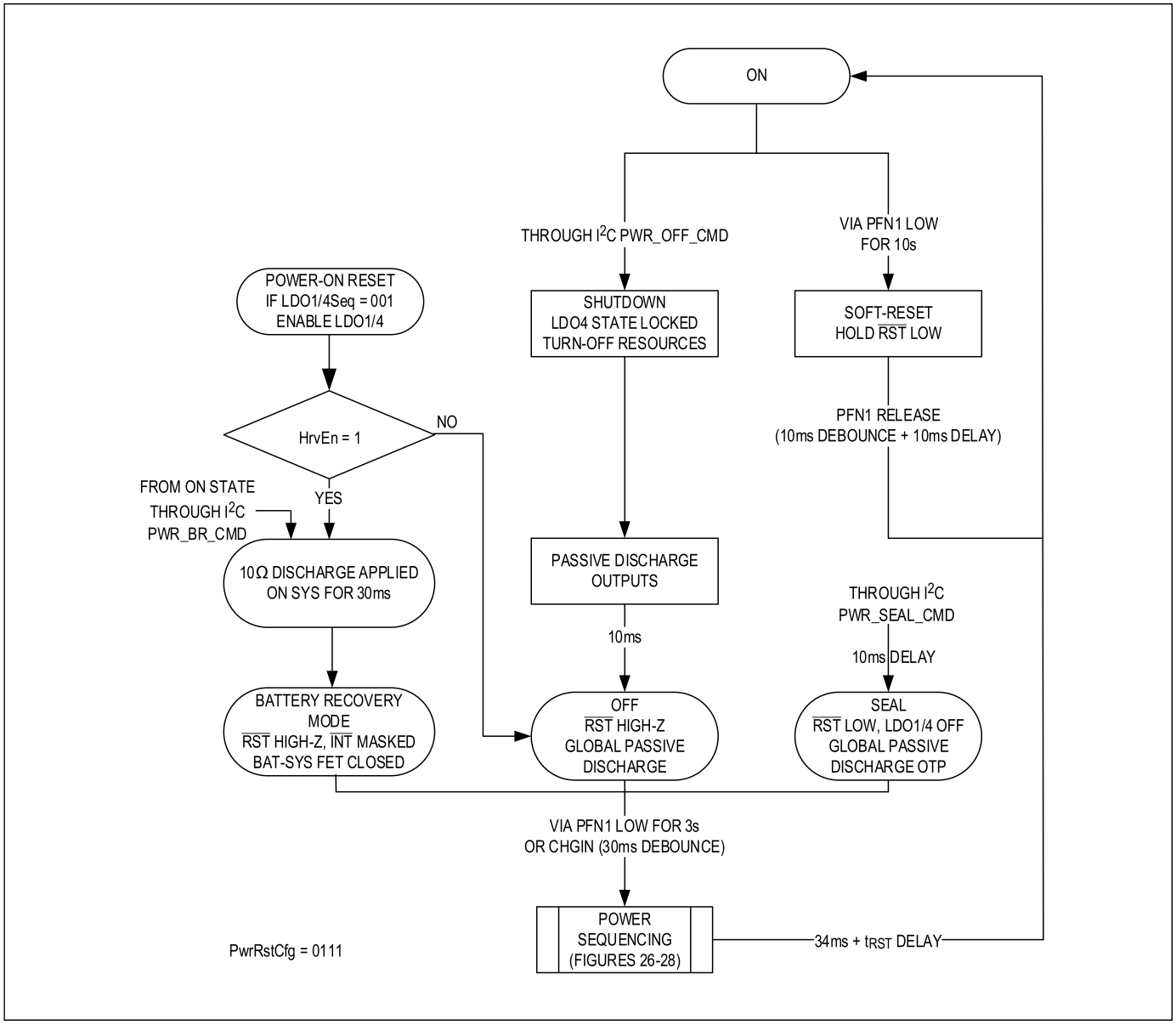


図 17. PwrRstCfg 0111

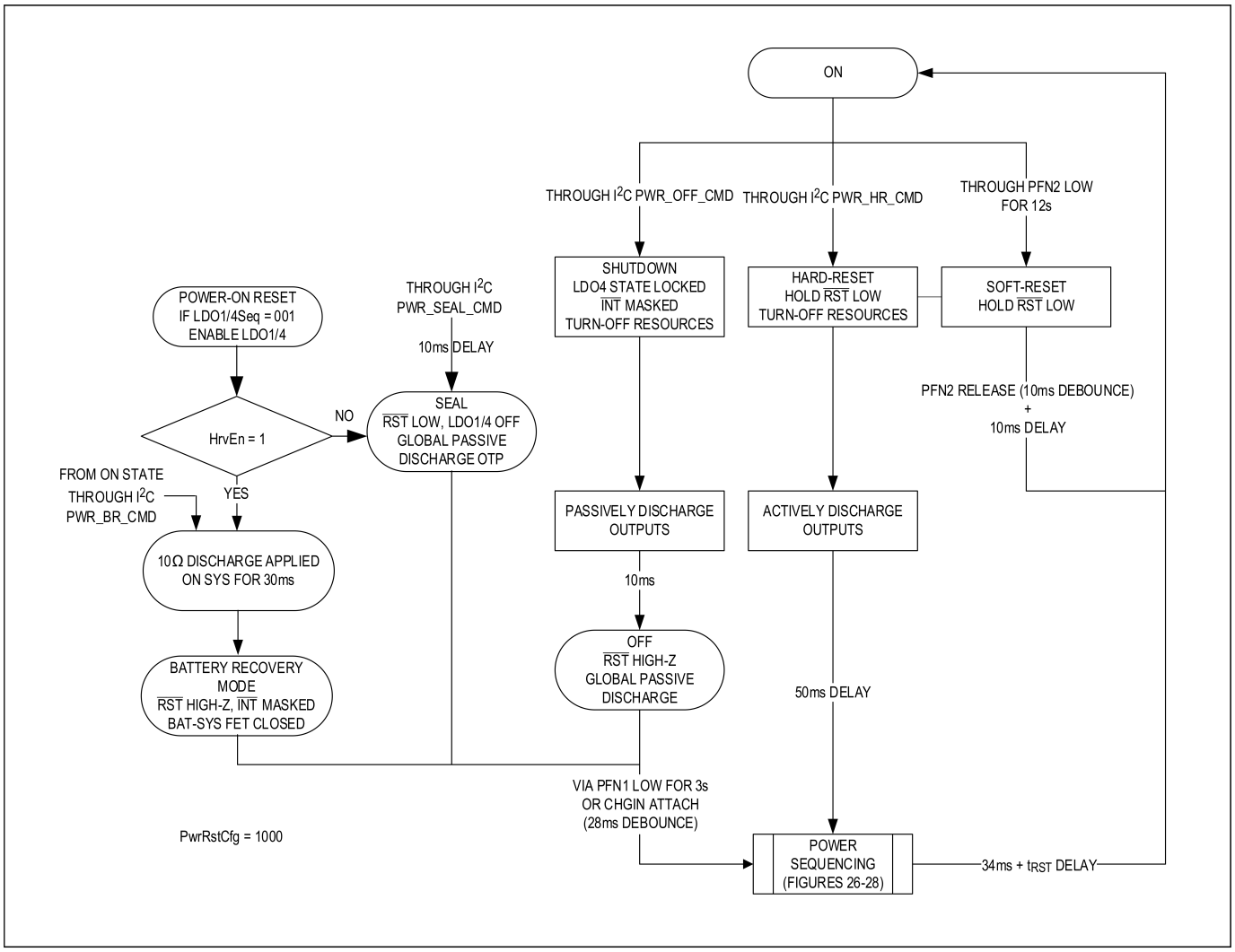


図 18. PwrRstCfg 1000

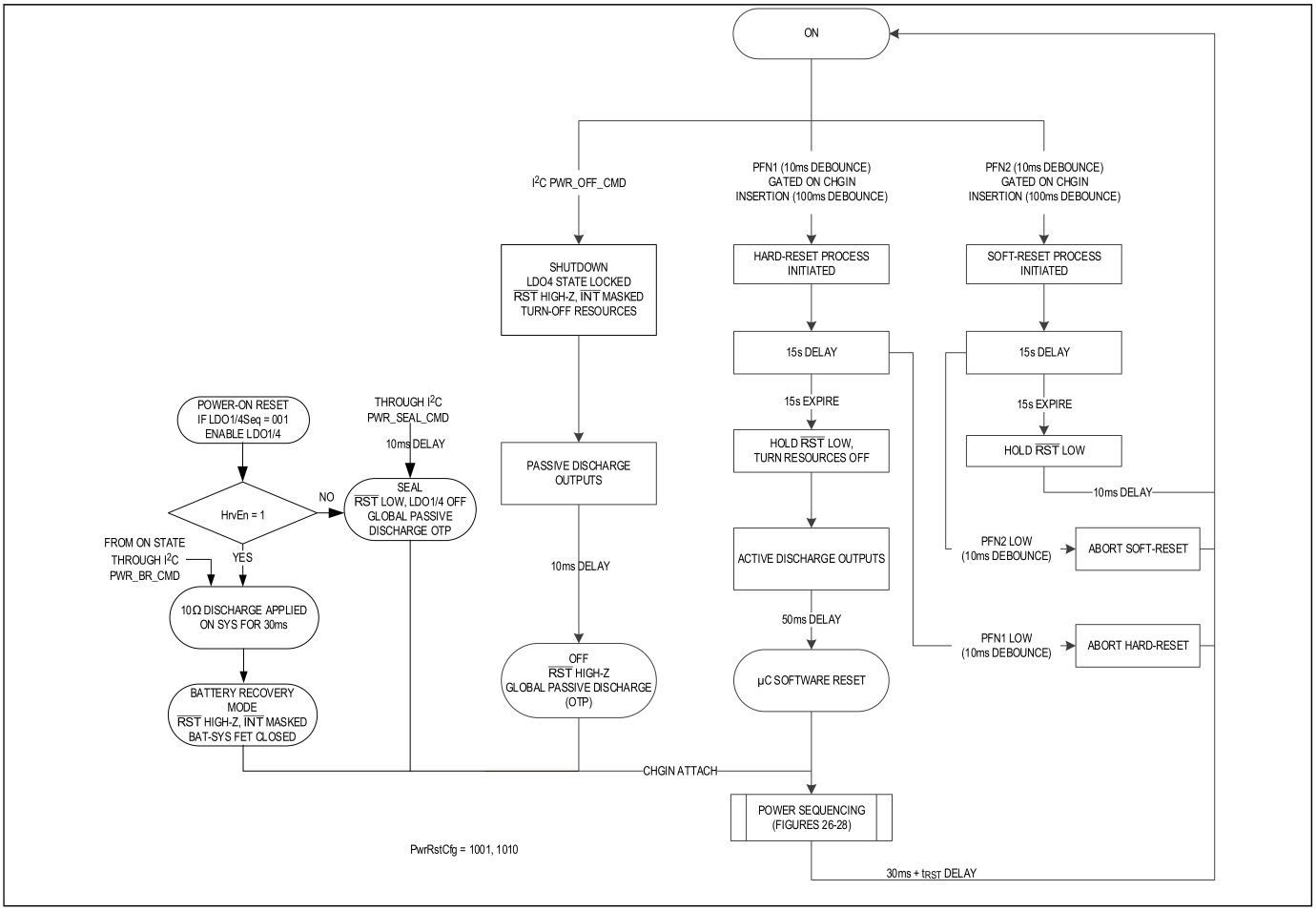


図 19. PwrRstCfg 1001、1010

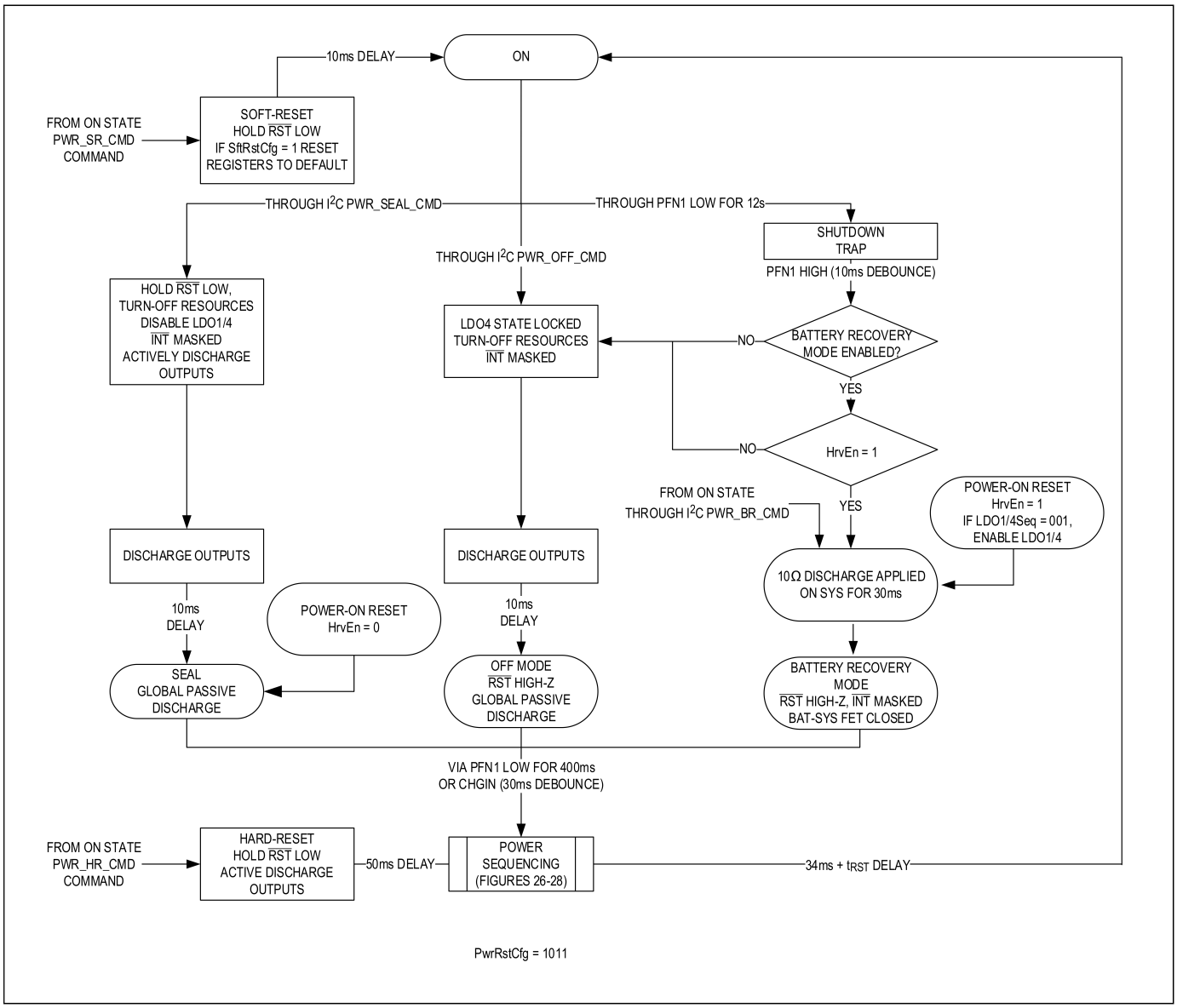


図 20. PwrRstCfg 1011

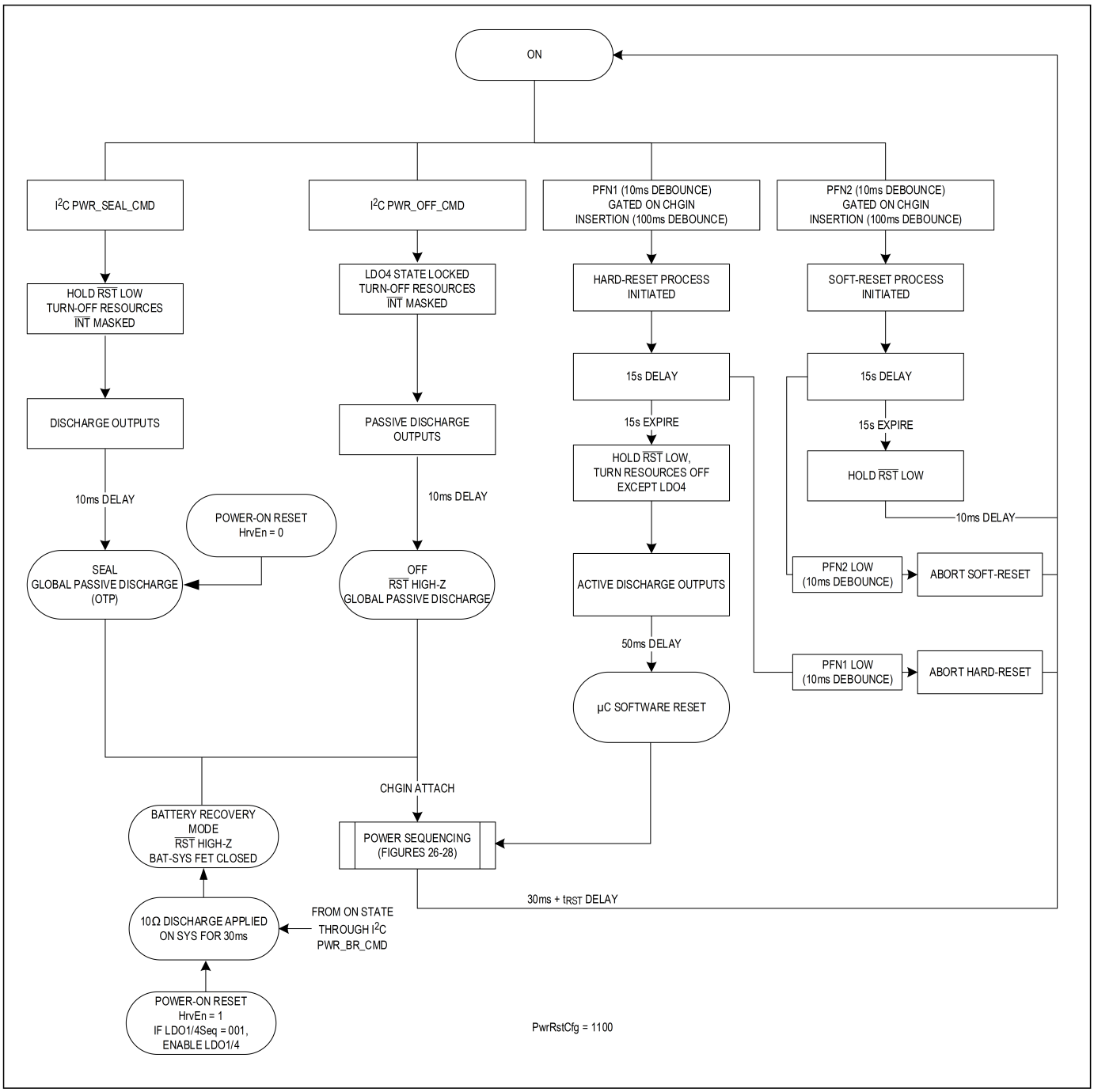


図 21. PwrRstCfg 1100

表 5. PwrRstCfg の設定

PwrRstCfg[3:0]	図	モード名	動作
0000	Figure 13	On/Off	10ms のデバウンス付きのオン／オフ・モード。PFN1 はアクティブ・ハイのオン／オフ制御入力です。PFN2 はアクティブ・ローのリセット入力です。
0001	Figure 13	On/Off	10ms のデバウンス付きのオン／オフ・モード。PFN1 はアクティブ・ローのオン／オフ制御入力です。PFN2 はアクティブ・ローのリセット入力です。
0010	Figure 14	AON	常時オン・モード。PFN1 の立上がりエッジ後 200ms の遅延でハード・リセットを生成します。PFN2 の立上がりエッジで 200ms 後にソフト・リセットを生成します。デバイスは、PwrCmd レジスタへの書込みによってのみオフ状態に入ります。
0011	Figure 14	AON	常時オン・モード。PFN1 の立下がりエッジ後 200ms の遅延でハード・リセットを生成します。PFN2 の立下がりエッジ後 200ms の遅延でソフト・リセットを生成します。デバイスは、PwrCmd レジスタへの書込みによってのみオフ状態に入ります。
0100	Figure 15	CR High	常時オン・モード。CHGIN の接続時に PFN1 をハイに保持しておくことにより、200ms 後にハード・リセットを生成します。CHGIN の接続時に PFN2 をハイに保持しておくことにより、200ms 後にソフト・リセットをトリガします。デバイスは、PwrCmd レジスタへの書込みによってのみオフ状態に入ります。
0101	Figure 15	CR Low	常時オン・モード。CHGIN の接続時に PFN1 をローに保持しておくことにより、200ms 後にハード・リセットを生成します。CHGIN の接続時に PFN2 をローに保持しておくことにより、200ms 後にソフト・リセットをトリガします。デバイスは、PwrCmd レジスタへの書込みによってのみオフ状態に入ります。
0110	Figure 16	$\overline{\text{KIN}}$	キー押下によるオン／オフ。PFN1 はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。PFN2 はオープンドレインの$\overline{\text{KOUT}}$出力で、$\overline{\text{KIN}}$入力をバッファします。デバイスは短い（400ms）$\overline{\text{KIN}}$の押下もしくは CHGIN の接続によってオン・モードに入ります。デバイスは長い（12 秒超）$\overline{\text{KIN}}$の押下もしくは PwrCmd レジスタによってオフ・モードに入ります。
0111	Figure 17	CSR1	キー押下によるオン／リセット。PFN1 はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。PFN2 はオープンドレインの$\overline{\text{KOUT}}$出力で、$\overline{\text{KIN}}$入力をバッファします。デバイスは長い（3 秒超）$\overline{\text{KIN}}$の押下もしくは CHGIN の接続によってオン・モードに入ります。長い（12 秒超）$\overline{\text{KIN}}$の押下によってソフト・リセットを生成します。デバイスは、PwrCmd レジスタへの書込みによってのみオフ状態に入ります。
1000	Figure 18	CSR2	キー押下によるオン／リセット。PFN1 はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。デバイスは長い（3 秒超）$\overline{\text{KIN}}$の押下もしくは CHGIN の接続によってオン・モードに入ります。長い（12 秒超）PFN2 の押下によってソフト・リセットを生成します。デバイスは、PwrCmd レジスタへの書込みによってのみオフ状態に入ります。
1001	Figure 19	Custom CR Hig	常時オン・モード。デバイスは CHGIN の接続によってのみオン状態に入ります。CHGIN の接続時に PFN1 をハイに保持しておくことにより、15 秒後にハード・リセットを生成します。この遅延時間中に PFN1 がローになると（10ms デバウンス）、ハード・リセットは中止されます。CHGIN の接続時に PFN2 をハイに保持しておくことにより、15 秒後にソフト・リセットを生成します。この遅延時間中に PFN2 がローになると（10ms デバウンス）、ハード・リセットは中止されます。
1010	Figure 19	Custom CR Low	常時オン・モード。デバイスは CHGIN の接続によってのみオン状態に入ります。CHGIN の接続時に PFN1 をローに保持しておくことにより、15 秒後にハード・リセットを生成します。この遅延時間中に PFN1 がハイになると（10ms デバウンス）、ハード・リセットは中止されます。CHGIN の接続時に PFN2 をローに保持しておくことにより、15 秒後にソフト・リセットを生成します。この遅延時間中に PFN2 がハイになると（10ms デバウンス）、ハード・リセットは中止されます。

1011	Figure 20	$\overline{\text{KIN}}$ with Off/Seal	オフ／シールを伴うキー押下によるオン／オフ。PFN1 はアクティブ・ローの$\overline{\text{KIN}}$ボタンです。PFN2 はオープンドレインの$\overline{\text{KOUT}}$出力で、$\overline{\text{KIN}}$入力をバッファします。デバイスは短い（400ms）$\overline{\text{KIN}}$の押下もしくは CHGIN の接続によってオン・モードに入ります。デバイスは長い（12 秒**超**）押下もしくは PwrCmd レジスタによってオフ・モードに入ります。
1100	Figure 21	Custom CR High with Off/Seal	オフ／シールを伴う常時オン。デバイスは CHGIN の接続によってのみオン状態に入ります。CHGIN の接続時に PFN1 をハイに保持しておくことにより、15 秒後にハード・リセットを生成します。この遅延時間中に PFN1 がローになると（10ms デバウンス）、ハード・リセットは中止されます。CHGIN の接続時に PFN2 をハイに保持しておくことにより、15 後にソフト・リセットを生成します。この遅延時間中に PFN2 がローになると（10ms デバウンス）、ハード・リセットは中止されます。
1101–1111	—	RFU	—

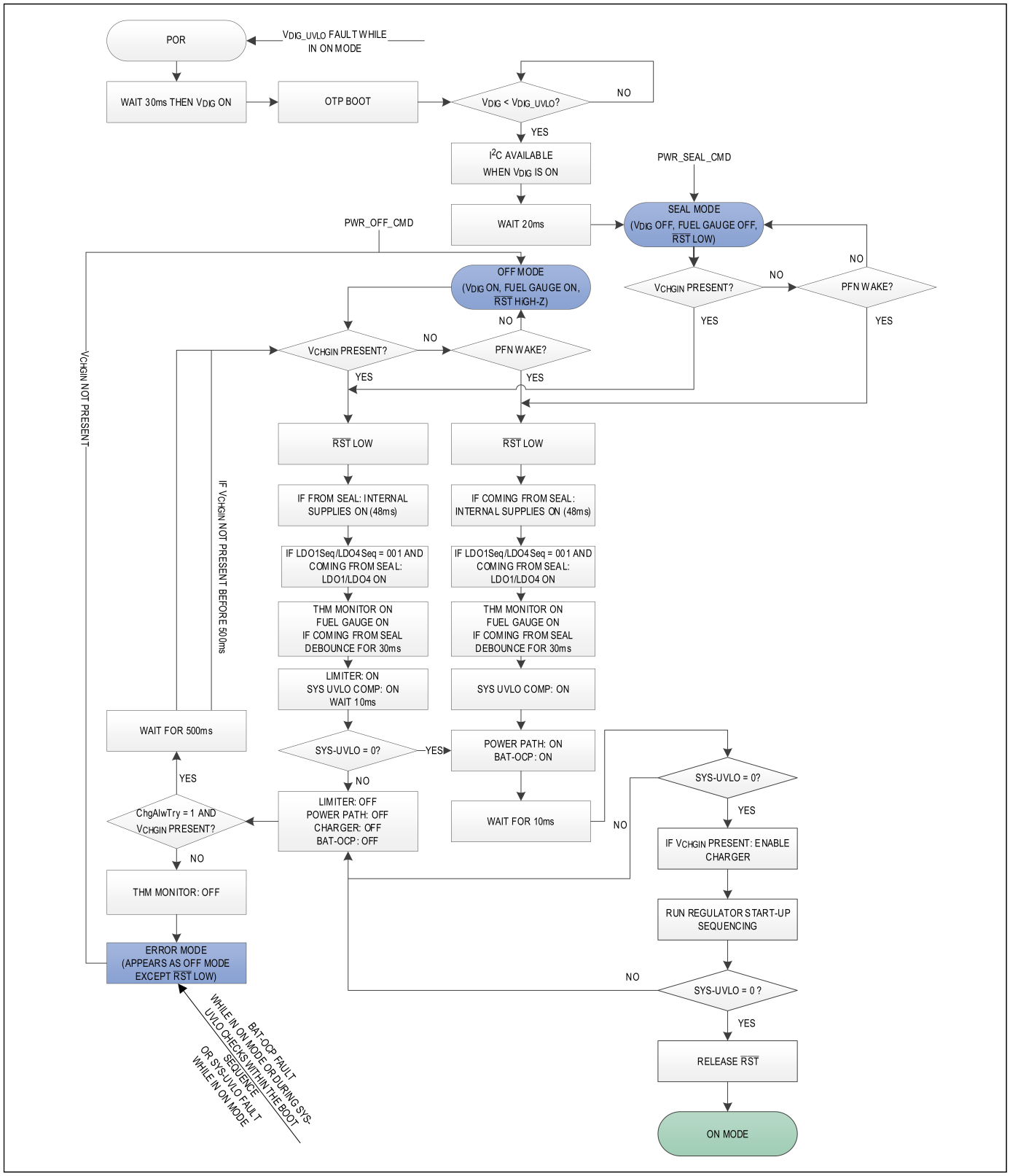


図 22. 起動シーケンス–ハーベスタ・モード無効

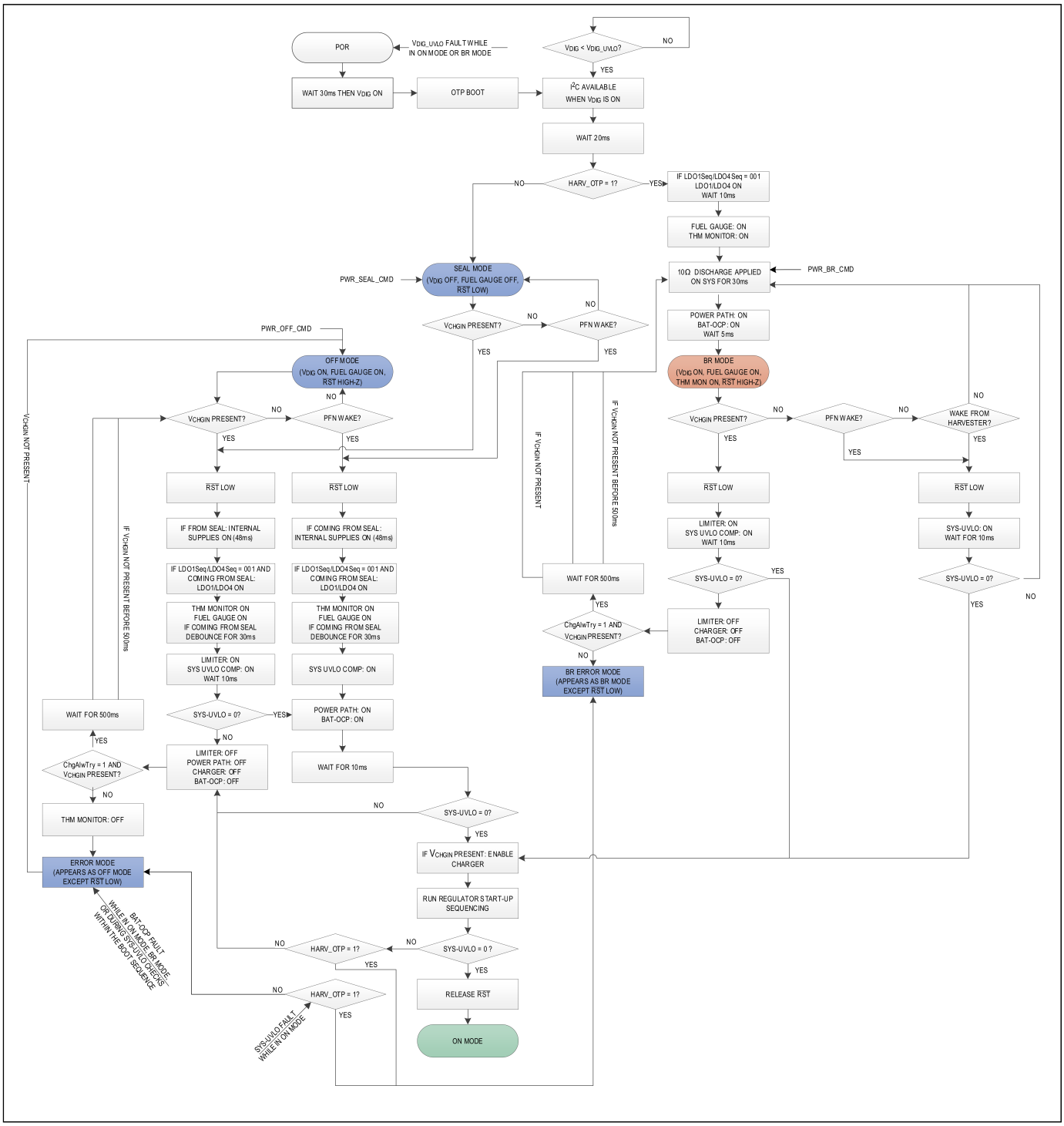


図 23. 起動シーケンス–ハーベスタ・モード有効

PMIC 電力モード

以下のセクションでは MAX20356 の基本的な動作モードを説明します。

シール・モード

シール・モードは MAX20356 で最も自己消費電流が少ないモードです。このモードでは、ボタンのモニタと V_{CHGIN} の接続検出の回路を除き全リソースがオフになります。

オフ・モード

MAX20356 からリアルタイム・クロック（RTC）に電力の供給が必要な場合があります。オフ・モードは、残量ゲージと RTC_LDO に電力が供給されている状態で最も自己消費電流が少ないモードです。このモードでは、V_{DIG} 電源、ボタンと V_{CHGIN} をモニタする回路、残量ゲージがオンになります。オフ・モードに入る前に RTC_LDO がオンになっていれば（MiscFunc[1] = 0、レジスタ・マップのセクションの PMIC レジスタを参照）、オフ・モードでも RTC_LDO がオンになります。

オン・モード（HrvEn = 0 のバージョン）

O オン・モードは最も一般的な動作モードです。オン・モードでは、全てのレギュレータは動作状態もしくは動作可能で、残量ゲージはオンになり、全機能にアクセス可能です。

バッテリ回復（BR）モード（HrvEn = 1 のバージョン）

HrvEn = 1 である MAX20356 のバージョンでは、HrvBatCfg レジスタの HrvFreeMPC 設定に従い（レジスタ・マップのセクションの PMIC レジスタを参照）、MPC7 と MPC6 はそれぞれ（ハーベスタからの）ウェークアップ入力および（ハーベスタへの）ディスエーブル出力（V_{CCINT} へのハイサイド・オープンドレイン）として再構成されます。

ハーベスタ・モードが有効で（HrvEn = 1）、HrvFreeMPC =0 であるとき、MAX20356 の MPC6 端子と MPC7 端子はハーベスタ機能に固定されます。ハーベスタ・モードが有効で（HrvEn = 1）、HrvFreeMPC =1 であるとき、MPC6 端子と MPC7 端子の使用は自由になりハーベスタ機能には固定されません。

デバイスで SysPDEn がイネーブルされていれば、SYS ノードが 10Ω の抵抗を介して 30ms の間放電された後にバッテリ回復モードに入ります。バッテリ回復モードでは、この部品はオフ・モードと同一の動作条件になります。ただし、オフ・モードの動作に加え、SYS と BAT の間のスイッチが閉じられてバッテリ切れの状態から回復できるよう充電経路を形成し、バッテリのサーミスタのモニタによって動作条件の安全性を確認します。バッテリの電圧が MAX20361 ハーベスタで設定されたスレッショルドに達すると、MAX20361 はウェークアップ信号を送出し、下記に示すようにオン・モードにします（HrvEn = 1 のバージョン）。THM のモニタリングで範囲外の条件が検出され、充電が安全でないと判断されると、ハーベスタにディスエーブル信号が送られて充電を中止します。詳細については、MAX20361 のデータシートを参照してください。

オン・モード（HrvEn = 1 のバージョン）

HrvEn = 1 のオン・モードは上記の HrvEn = 0 のオン・モードとよく類似していますが、ハーベスタ機能がイネーブルされる点が異なります。このモードでは、BAT-SYS 間の関係に理想ダイオードが適用できます。デフォルトの動作では、ハーベスタが SYS に直接電力を供給しますが、それ以上出力を維持できなくなると、その時点からバッテリが電力供給を補完します。このモードには、MAX20361 ハーベスタとの相互作用のセクションに記載されているその他のハーベスタとの相互作用の機能も含まれます。この動作は HrvBatSys、HrvThmEn、HrvThmDis の各ビットフィールドで変更可能です（HrvBatSys、HrvThmEn、HrvThmDis のビットを参照）。

工場モード

MAX20356 には 2 つの独立した工場モードがあり、I^2C コマンドもしくは有効な CHGIN 電力が存在するときのプッシュボタンのシーケンスでイネーブルできます。工場モードは MiscFunc[2] OTP ビットでオン・モードまたはオフ・モードに設定できます。MiscFunc[2] = 0 のとき、工場モードはアクティブです。MiscFunc[2] = 1 によって、この機能は動作を停止します。工場モードの機能がオンのとき、FactModeSel[1:0] OTP によって工場モード 1 と工場モード 2 を選択できます。工場モードに入っている間は、I^2C のバースト書込みは使用しないでください。

工場モード 1

工場モード 1 に入るには、OTP ビットを FactModeSel[1:0] = 00 に設定します。チャージャの入力電圧（V_{CHGIN}）は、チャージャの入力検出スレッショルド（V_{CHGIN_DET}）より高く、CHGIN の過電圧スレッショルドより低いことが必要です（$V_{CHGIN_DET} < V_{CHGIN} < V_{CHGIN_OV}$ もしくは UsbOVP[0] = 0 かつ UsbOk[0] = 1）。工場モード 1 が有効化されている状態では、以下の状態になります。

1. 電力経路（CHGOUT-SYS）が理想ダイオードとしてイネーブルされます。電力経路がアクティブなときにはチャージャがディスエーブルされます。

2. CHGIN-SYS の経路がイネーブルされ、入力電流リミッタがオンになって最大電流制限が 1500mA に設定されます。
3. ($V_{CHGIN} \neq V_{SYS}$)。
4. 残量ゲージは機能状態を保ちます。
5. ウォッチドッグ・タイマーはディスエーブルされます。
6. バッテリの過電流保護イベントはシステム・ステータスに通知されますが、アサートされません。
7. システム・フォールトはマスクされます。
8. SYSUVLO はマスクされます。

工場モード 2

工場モード 2 は OTP ビットが FactModeSel[1:0] = 11 のときに設定されます。チャージャの入力電圧（CHGIN）は、チャージャの入力検出スレッショルド（V_{CHGIN_DET}）より高く、CHGIN の過電圧スレッショルドより低いことが必要です（$V_{CHGIN_DET} < V_{CHGIN} < V_{CHGIN_OV}$ もしくは UsbOVP[0] = 0 かつ UsbOk[0] = 1）。工場モード 2 がイネーブルされている状態では、以下の状態になります。

1. 電力経路（CHGOUT-SYS）はディスエーブルされます。
2. CHGIN-SYS の経路がイネーブルされます。入力電流リミッタと過電圧保護がディスエーブルされます（$V_{CHGIN} = V_{SYS}$）。
3. $V_{CAP} = V_{CHGIN}$。
4. チャージャと JEITA のモニタリングはディスエーブルされます。
5. 残量ゲージはオフになります。
6. ウォッチドッグ・タイマーはディスエーブルされます。
7. バッテリの過電流保護イベントはシステム・ステータスに通知されますが、アサートされません。
8. システム・フォールトはマスクされます。
9. SYSUVLO はマスクされます。

PFN_プッシュボタンによる工場モードの開始／終了

適切な工場モード（工場モード 1 もしくは 2）が OTP ビットで選択されていれば、MAX20356 は PFN_プッシュボタンのシーケンスを使用して工場モードに入ることもできます。キー押下による工場モードが PwrRstCfg[3:0]に追加されており、OTP ビットによってイネーブルとディスエーブルが可能です。プッシュボタンのシーケンスは以下の PwrRstCfg[3:0]設定で有効です。

PwrRstCfg[3:0] = 0100：PFN1 による。

PwrRstCfg[3:0] = 0101：PFN1 による。

PwrRstCfg[3:0] = 0110：PFN1 による。

PwrRstCfg[3:0] = 0111：PFN1 による。

PwrRstCfg[3:0] = 1000：PFN2 による。

PwrRstCfg[3:0] = 1011：PFN1 による。

PFN_ボタンが 5 回押下されると MAX20356 は工場モードに入ります。t_{HIGH} と t_{LOW} のデバウンス時間は 10ms（代表値）です。ボタンが速く押下されて t_{LOW} > 10ms の間ローにとどまらなかった場合、t_{HIGH} > 10ms になるより早くボタンがリリースされた場合には、ボタンの押下として認識されません。各 t_{LOW} と t_{HIGH} のデバウンス時間が満たされれば、PFN_ボタンを 5 回押下することで 8 秒後に工場モードに入ります。

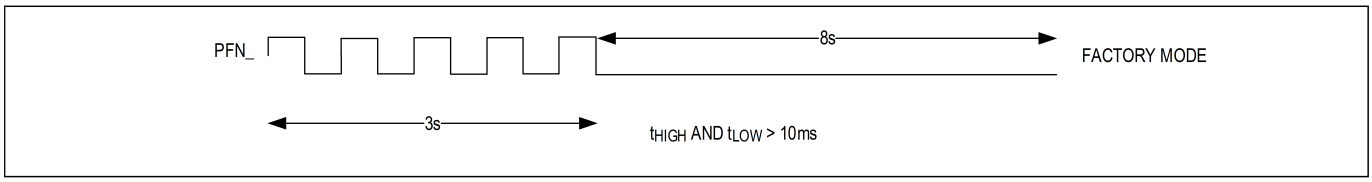


図 24. PFN_による工場モード起動

MAX20356 は I²C コマンド、PFN_プッシュボタン、CHGIN 信号の除去によって工場モードを終了します。工場モードを終了すると、全スイッチング・レギュレータおよび常時オンと RTC のレギュレータを含めてデバイスが再起動されます。

I²C による工場モードの開始／終了

PwrRstCfg がどの設定の場合でも工場モード 1 と 2 を使用可能です。I²C によって工場モードの起動や終了をするには、PwrCmd[0:7] = 0x52 に設定します。（レジスタ・マップのセクションを参照してください。）

新たなリセット／キー押下機能

特定の電源リセット・シーケンスに対しては、ハード・リセットとソフト・リセット用に別のボタン・シーケンスを使用できます。このプッシュボタンのシーケンスは、偶発的にリセットが発生しないよう、より確実に保護することを意図しています。この機能は、RstModeSel[0] OTP ビットで有効化と無効化ができます。RstModeSel[0] = 0 の場合にはリセット機能が有効化され、RstModeSel[0] = 1 では無効化されます。

連続押下リセットは以下の PwrRstCfg[3:0]設定で有効です。

PwrRstCfg[3:0] = 0110：PFN1 による。

PwrRstCfg[3:0] = 0111：PFN1 による。

PwrRstCfg[3:0] = 1000：PFN2 による。

PwrRstCfg[3:0] = 1011：PFN1 による。

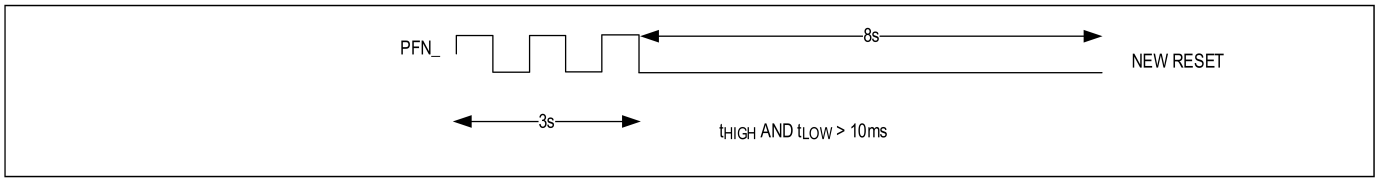


図 25. PFN_によるリセット

PFN_ボタンが 3 回押下されると、MAX20356 は連続押下リセットに入ります。t_{HIGH} と t_{LOW} のデバウンス時間は 10ms（代表値）です。ボタンが速く押下されて t_{LOW} > 10ms の間ローにとどまらなかった場合、t_{HIGH} > 10ms になるより早くボタンがリリースされた場合には、ボタンの押下として認識されません。各 t_{LOW} と t_{HIGH} のデバウンス時間が満たされれば、PFN_ボタンを 3 回押下すると、SftRstCfg[0] = 0 であればソフト・リセットを、SftRstCfg[0] = 1 であればハード・リセットを実施します。

割込み

MAX20356 の$\overline{INT}$出力は、マスクされていない割込みのいずれかが、対応する状態変更によってトリガされたときにローにドライブされます。$\overline{INT}$出力は、マスクされておらずトリガされた割込みレジスタのビットが読み取られるまでローを保ちます。割込みビットは読出し時にクリアされます。割込みレジスタは Int0 から Int5 で構成され、割込みマスク・レジスタは IntMask0 から IntMask5 で構成されます。

電源シーケンス

パワーオン時のスイッチング・レギュレータ、ロード・スイッチ、LDO のシーケンスは設定変更可能です。詳細については各機能のシーケンス・ビットを参照してください。各レギュレータとスイッチは、パワーオン・プロセスの中の 3 つの点のいずれかでオンにすることができます。即ち、パワーオン・イベント後の $t_{\overline{RST}}$時間の 0%時、$\overline{RST}$信号がリリースされる時点、その 2 つの間の 2 点です。その 2 点は、$t_{\overline{RST}}$遅延時間の 0%時点と$\overline{RST}$の立上がりエッジの間で、パワーオン・リセット（POR）プロセスの起動遅延（$t_{\overline{RST}}$）の期間に比例して固定されています。$t_{\overline{RST}}$遅延は 80ms～420ms の範囲の値を持ち、BootDly ビットに格納されています（BootDly ビットを参照）。タイミングの関係は、図 26、図 27、図 28 に視覚的に表現されています。

別の方法としては、レギュレータやスイッチをデフォルトではオフのままにしておき、$\overline{RST}$がリリースされた後に I^2C コマンドの操作によってオンにすることもできます。LDO1 と RTC_LDO は常時オンに設定できます。

パワーオン・シーケンスでは SYS 電圧をモニタします。シーケンス・プロセスの間に、CHGIN に有効な電圧が存在しかつ ChgAlwTry = 1 となっている状態で V_{SYS} が V_{SYS_UVLO} を下回ると、プロセスは SYS がイネーブルされた時点から繰り返して、電圧が安定するまでにより多くの時間の余裕ができるようにします。CHGIN に有効な電圧がなければ、オフ状態に戻りバッテリの消耗を防ぎます。$t_{BAT_OCP_RD}$ より長い間 I_{BAT_OCP} を超える電流が BAT に流れた場合にも、電源がオフになります。

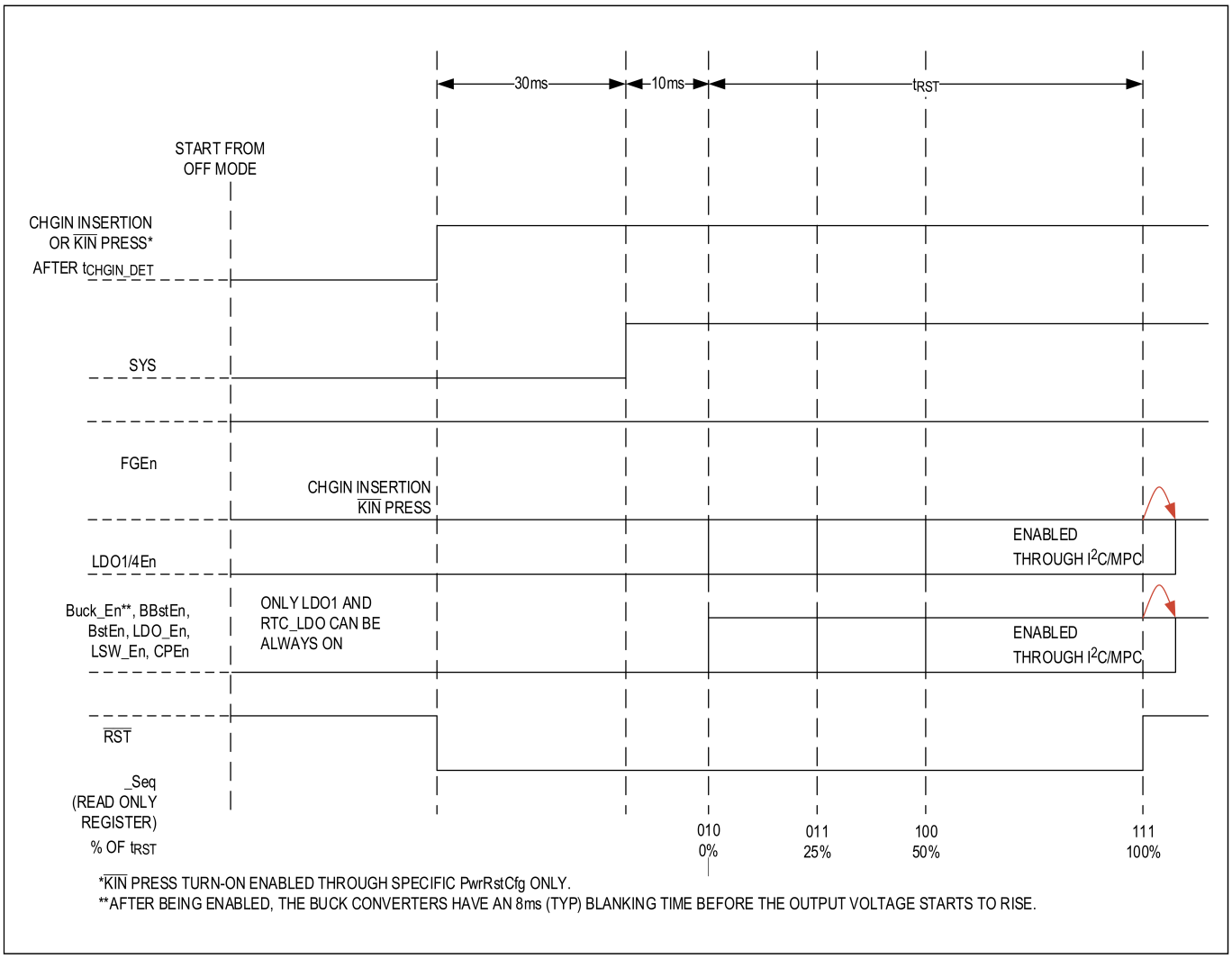


図 26. 電源シーケンス–HrvEn = 0、オフ・モードから

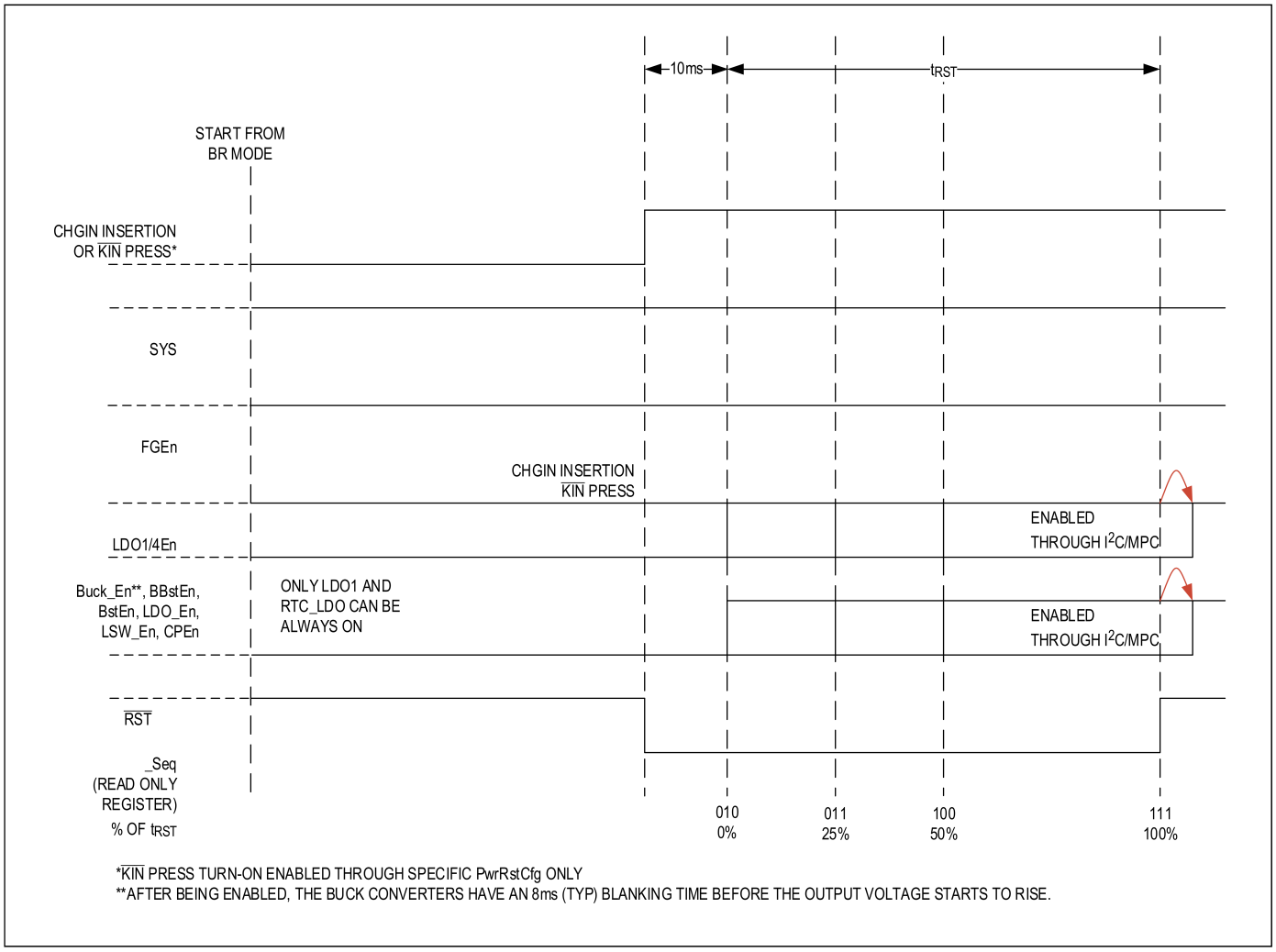


図 27. 電源シーケンス–HrvEn = 1、BR モードから

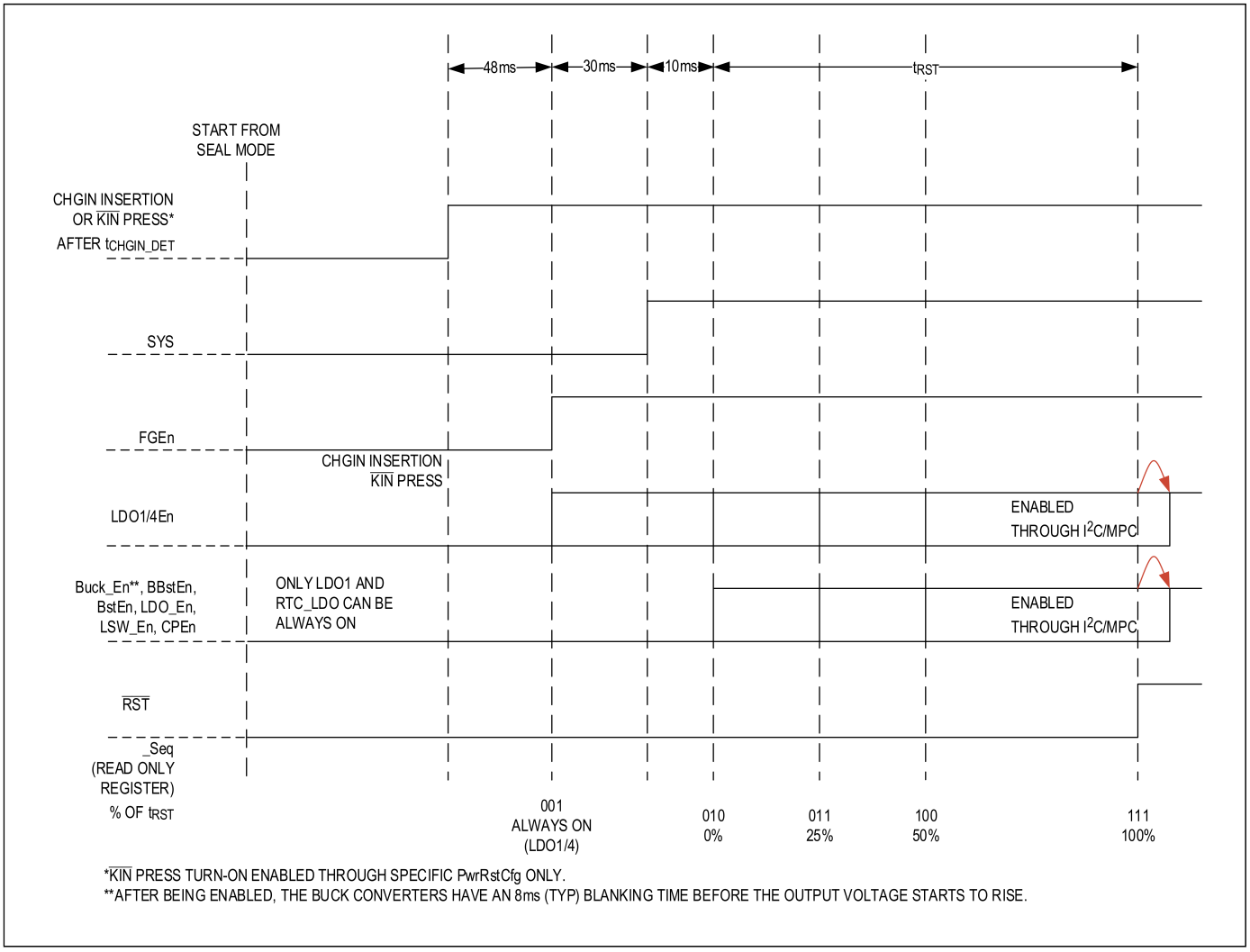


図 28. 電源シーケンス、シール・モードから

システムのロード・スイッチ

CHGIN の電圧源を使用できない場合は、内蔵の 50mΩ（代表値）の MOSFET が BAT と SYS の間を接続します。CHGIN に外部電源が検出されると、このスイッチが開き、SYS は入力電源から入力電流リミッタを経由して給電されます。SYS-CHGOUT 間のスイッチも、システムの負荷が入力電流制限を超過したときに、V_{SYS} が V_{CHGOUT} よりも低下するのを防ぎます。電流制限（I_{LIM}）のために V_{SYS} が V_{CHGOUT} よりも低下すると、SYS-CHGOUT 間のスイッチがオンになり、負荷がバッテリによって維持されます。システム負荷が連続的に入力電流制限を超過している場合には、バッテリは充電されません。この動作は、公称値は入力電流制限より低くても、入力電流制限を超えるような高い電流ピークのある負荷を扱う上で有用です。このようなピークの期間はバッテリのエネルギーが使用され、それ以外の時間にバッテリが充電されます。

スマート電力セレクタ

スマート電力セレクタは、外部の CHGIN 入力から CHGOUT ノードと SYS ノードに電力をシームレスに配分します。外部アダプタとバッテリの両方が接続されている場合、スマート電力セレクタは以下のように機能します。

- システム負荷要求が入力電流制限より低いときには、入力の残留電力でバッテリが充電されます。
- システム負荷要求が入力電流制限を超過するときには、バッテリは補助的な電流を負荷に供給します。
- バッテリが接続されており入力電流制限がないときには、システムの電源はバッテリから供給されます。

入力リミッタ

入力リミッタは外部のアダプタからシステム負荷とバッテリ・チャージャに電力を分配します。システム負荷とチャージャに電力を渡すという基本機能に加えて、入力リミッタは利用可能な電力を最適に使用するための機能をいくつか備えています。

無効 CHGIN 電圧保護

CHGIN が過電圧スレッショルド V_{CHGIN_OV} を超えている場合には、過電圧ロックアウト（OVLO）に入ります。OVLO により MAX20356 および下流の回路が最高+28V に至る高電圧のストレスから保護されます。OVLO 状態の間、内部回路への電力供給は続き、割込みがホストに送出されます。−5.5V までの負の電圧に対する保護ではCHGINが切断され、デバイスの電力はBATのみで供給されます。チャージャがオフになり、システムのロード・スイッチは閉じて、バッテリから SYS に電源供給できるようになります。CHGIN も、V_{BAT} より低い場合、または V_{CHGIN_DET} スレッショルドより低い場合には無効となります。入力電圧が無効な状態では、SYS-BAT 間のロード・スイッチが閉じてバッテリから SYS に電力が供給できるようになります。

CHGIN の入力電流制限

入力の過負荷を防ぐために、CHGINの入力電流は制限されます。入力電流制限 I_{LIM}は、I^2C 制御により ILimCntl パラメータ（ILimCntl ビットを参照）で設定されます。突入電流が大きいシステムに対処するため、リミッタにはブランキング時間 t_{ILIM_BLANK} があり（I^2C によって ILimBlank パラメータで設定可能（ILimBlank ビットを参照））、この間は入力電流制限が I_{LIM_MAX} に増加します。I_{LIM_MAX} が ILimCntl より低く設定されていれば、厳しい方の I_{LIM_MAX} の値が ILimCntl にも強制的に適用されます。

温度制限

ダイ温度が T_{CHG_LIM} を超過した場合には、MAX20356 は CHGIN からの入力電流を抑制することによって温度の上昇を制限しようと試みます。その中でも、システム負荷はチャージャへの電流より優先されるため、まずチャージャ電流を低減することにより入力電流を制限します。ジャンクション温度が引き続き上昇して最大動作制限値（T_{CHG_SHDN}）に達すると、CHGIN からの入力電流を止め、バッテリからシステム負荷全体に電力が供給されます。

バッテリ・チャージャ

バッテリ・チャージャの状態遷移図

バッテリ・チャージャの状態遷移図を図 29 に示しています。ChgStat ビット（ChgStat ビットを参照）を読むことにより、チャージャの状態を知ることができます。MAX20356 のバッテリ・チャージャはフル機能のリチウムイオン・チャージャで、充電フェーズに応じた電圧スレッショルド（プリチャージ電圧 VPChg、ステップ充電電圧 ChgStepRise、充電終了電圧 ChgBatReg、トップオフ電流 IChgDone）が I^2C で設定可能です。MAX20356 は更に安全タイマー、サーミスタによる JEITA 充電プロファイル、ダイ温度センサーによる過熱保護の機能を備えています。バッテリの電圧がプリチャージ電圧 VPChg より低ければ、プリジャージ・ステージから充電を開始します。ステップ充電機能により充電サイクル初期の CC1 では、より高いレートでの充電が可能となります。バッテリの電圧がステップ充電スレッショルド ChgStepRise まで上昇すると、チャージャは CC2 に遷移し、充電レートが低くなります。バッテリの電圧が上昇し ChgBatReg に接近すると、CV モードになり、BAT 端子の電圧が ChgBatReg に安定化されて充電電流はバッテリの充電進行に伴って自然に減少します。プリチャージ、CC1、CC2 の充電電流オプションは、IPChg、CC1IFChg、CC2IFChg に保持されています。プリチャージから CC1、CC1 から CC2 への電圧スレッショルド、充電終了の電圧は VPChg、ChgStepRise、ChgBatReg に保持されています。トップオフ電流スレッショルドは IChgDone に保持されています。図 29 にバッテリ充電の状態遷移図を示します。

更にそれぞれ独立して設定可能な温度スレッショルドがあり、プリチャージ、CC1、CC2、バッテリ・レギュレーション電圧がどのような温度範囲で運用されるかを選択できます。JEITA に準拠した様々な温度運用指針を I^2C で設定可能です。バッテリの過充電を防止するため、プリチャージ、CC1、フル充電サイクルのタイムアウト機能も実装されています。チャージャ動作の詳細を図 29 に示します。

チャージャのビットの中には、UsbOkselect オプションに従って CHGIN の立上がり／立下がりエッジでデフォルト値にリセットされるものがあります（UsbOkselect の値については表 6 を参照）。CHGIN エッジでリセットされるビットは、レジスタ・マップでアスタリスク（*）で明示されています。

チャージャ・オフ状態

図 29 に示されるように、CHGIN が存在しないか CHGIN_DET スレッショルドより低いとき、MAX20356 のチャージャはチャージャ・オフ状態（ChgStat = 0b0000）になります。CHGIN が接続されると、チャージャはチャージャ・オフ状態からチャージャ・アイドル状態（ChgStat = 0b0001）に遷移します。

チャージャ・アイドル状態

図 29 に示すように、以下のようなイベントによってチャージャがチャージャ・アイドル状態に入ります。

- CHGIN の接続イベント。MAX20356 が CHGIN 接続イベントを検出し ChgEN が 1 のとき、チャージャはチャージャ・オフ状態からチャージャ・アイドル状態に遷移します。
- CHGIN > CHGIN_DET かつ ChgEn がローからハイに移行。

チャージャ・ブート状態

以下の条件のいずれかが満たされたとき、チャージャはチャージャ・アイドル状態を抜けてブート・シーケンスを開始します。

- ChgFresh = 1。
- ChgFresh = 0、$V_{BAT} < V_{BAT_RECHG}$（再充電スレッショルド）。
  チャージャがチャージャ・ブート状態になると、チャージャのタイマーは全てリセットされます。

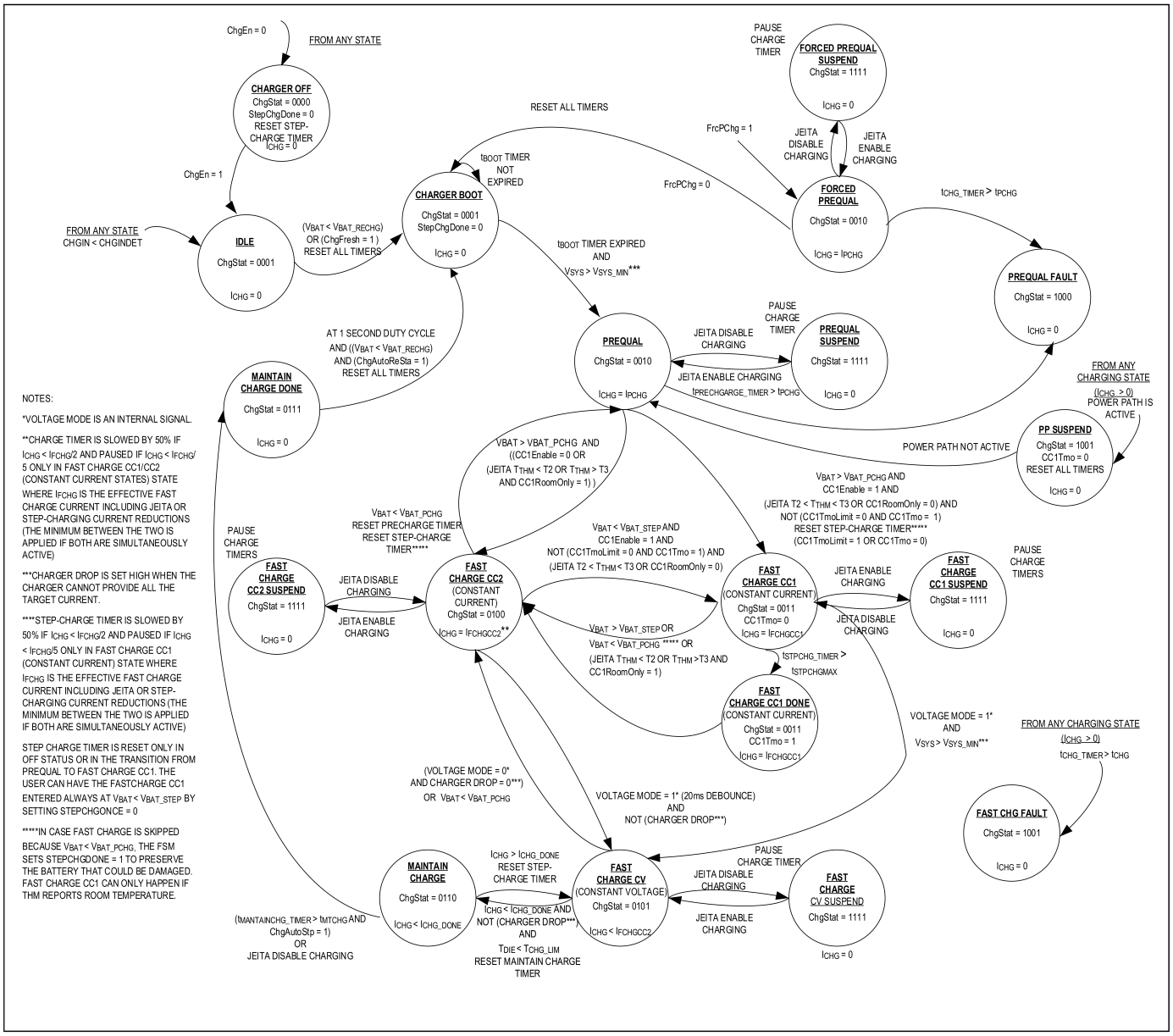


図 29. バッテリ・チャージャの状態遷移図

予備充電状態

図 29 に示すように、チャージャのブート・シーケンスが完了し、SYS 端子の電圧が最小システム電圧 SysMinVlt 以上にレギュレーションされると、チャージャはプリチャージ状態（ChgStat = 0b0010）に入ります。バッテリの電圧が VPChg より低いか FrcPChg = 1 であれば、チャージャは予備充電状態のままです。予備充電状態でのバッテリの充電電流は IPChg です。

以下のイベントによってチャージャは予備充電状態から抜けます。

- バッテリの電圧が VPChg を超過。ステップ充電がイネーブルされており（CC1Enable = 1）、CC1 が室温でのみ動作する設定でないか（CC1RoomOnly = 0）CC1 が室温でのみ動作する設定であり（CC1RoomOnly = 1）かつサーミスタのモニタで室温が通知されていると、チャージャは高速充電定電流モード 1（CC1）状態に入ります。デフォルトではステップ充電がイネーブルされており（CC1Enable = 1）、CC1 は温度に関わらず動作するように（CC1RoomOnly = 0）設定されています。
- バッテリの電圧が VPChg を超過。ステップ充電がディスエーブルされている場合（CC1Enable = 0）、もしくは CC1Enable = 1 で CC1 が室温でのみ動作する設定であって（CC1RoomOnly = 1）バッテリの温度が低温または高温のゾーンである場合、チャージャは高速充電定常電流モード 2（CC2）の状態に入ります。
- 予備充電（プリチャージ）タイムアウトチャージャのプリチャージ・タイマー（PChgTmr）よりも長くこの状態に留まっていると、チャージャはチャージャ・フォールトプリチャージ・タイマーPChgTmr 終了状態（ChgStat = 0b1000）に入り、充電動作を停止します。
- チャージャの安全タイムアウト。チャージャの安全タイマー（ChgTmr[1:0]）がプリチャージ状態で終了すると、チャージャはチャージャ・フォールト安全タイマーChgTmr[1:0]終了状態（ChgStat = 0b1001）に入り、充電動作を停止します。
- JEITA による充電ディスエーブル。チャージャが温度のために充電を停止します。詳細な説明については JEITA のモニタリングによるチャージャ制御を参照してください。
- 強制プリチャージ。FrcPChg = 1 を設定することによって強制的に、プリチャージ電流 IPChg で動作する強制プリチャージ状態にすることができます。強制プリチャージを無効（FrcPChg = 0）にするとチャージャ・ブート・シーケンスに遷移します。

高速充電電流設定

高速充電電流 IFCHG は I^2C によって CC1IFChg（レジスタ 0x17）と CC2IFChg（レジスタ 0x18）で設定されます。プリチャージ電流（I_{PCHG}）と充電完了電流（$I_{CHGDONE}$）は I^2C によってそれぞれ IPChg ビットと IChgDone ビット（レジスタ 0x1B）で CC2IFChg に対するパーセンテージで設定されます。

高速充電定電流 CC1 状態

バッテリの電圧がプリチャージ・スレッショルド VPChg より高くなると、充電サイクル初期の高速充電定電流モード 1（CC1）状態で、より高い充電レート CC1IFChg が使用できるようになります。レジスタ・ビットの設定 CC1Enable = 0 でステップ充電機能をディスエーブルすることができて、この場合はプリチャージ状態から直接 CC2 状態に遷移します。JEITA 準拠のサーミスタ温度モニタ制御では、CC1RoomOnly = 1 をセットすることによって、CC1 が室温でのみ動作するように設定できます。CC1 状態では、充電電流は CC1FChg 以内にレギュレーションされます。

以下のイベントによってチャージャは CC1 状態を終了します。

- バッテリの電圧が ChgStepRise を超過。チャージャは CC2 状態に移行します。
- バッテリの電圧が VPChg 未満に低下。チャージャは高速充電 CC1 終了と CC2 状態を経て最終的にはプリチャージ状態に戻ります。このプロセスの間、内部信号 StepChgDone = 1 がマークされます。バッテリ電圧が VPChg を超過して上昇すると、バッテリを保護するために CC1 状態をスキップします。
- CC1 タイムアウト。ステップ充電タイマーが有効で（CC1TmoLimit = 1）、チャージャが CC1FChgTmr による設定より長くこの状態に留まっていると、CC2 状態に入ります。
- チャージャの安全タイムアウト。チャージャの安全タイマー（ChgTmr[1:0]）が CC1 状態で終了すると、チャージャはチャージャ・フォールト安全タイマーChgTmr[1:0]終了状態（ChgStat = 0b1001）に入り、充電動作を停止します。
- THM で計測された温度が室温ゾーンを外れており、CC1 の動作が室温でのみ許可されている。CC1RoomOnly = 1 であり、バッテリの温度が室温から低温または高温に遷移すると、チャージャは CC2 状態に入ります。
- JEITA による充電ディスエーブル。チャージャが温度のために充電を停止します。詳細な説明については JEITA のモニタリングによるチャージャ制御を参照してください。

バッテリ・チャージャは高速充電定電流モードで最も大きい電力を消費するため、ダイ温度の上昇につながります。ダイ温度が ChgThrmLim より 3ºC 低い温度に達すると、チャージャ電流を一定の割合で減少させてそれ以上の温度上昇を制限します。

高速充電定電流 CC2 状態

MAX20356 ではステップ充電機能はデフォルトでイネーブルされています。バッテリの電圧がステップ充電スレッショルド ChgStepRise を超えて上昇すると、チャージャは高速充電定電流モード 2（CC2）に入り、比較的低い充電レート CC2IFChg を使用してリチウム・メッキ現象を防止しバッテリの寿命を延ばします。ChgStepHys フィールドは、電流減少による大きな電圧降下による CC1 状態と CC2 状態の間の頻繁な切り替えを防止するために、ステップ充電機能のヒステリシスを設定します。CC2 状態では、充電電流は CC2IFChg 以内にレギュレーションされます。

以下のイベントによってチャージャは CC2 状態から抜けます。

- バッテリの電圧が ChgBatReg を超過。チャージャは高速充電定電圧（CV）状態に入ります。
- バッテリの電圧が ChgStepRise - ChgStepHys より低くなる。チャージャは CC1 状態に戻ります。
- バッテリの電圧が VPChg 未満に低下。チャージャは予備充電状態に戻ります。
- チャージャの安全タイムアウト。チャージャの安全タイマー（ChgTmr[1:0]）が CC2 状態で終了すると、チャージャはチャージャ・フォールト安全タイマーChgTmr[1:0]終了状態（ChgStat = 0b1001）に入り、充電動作を停止します。
- JEITA による充電ディスエーブル。チャージャが温度のために充電を停止します。詳細な説明については JEITA のモニタリングによるチャージャ制御を参照してください。

ステップ充電

リチウムイオン・バッテリは使用期間中に容量の低減が発生します。バッテリの使用期間中の劣化の主要原因はリチウム・メッキと言われ、バッテリのアノードに金属リチウムが形成されるものです。リチウム・メッキには多くの原因がありますが、最も一般的な原因の 1 つは、バッテリの充電率（SOC）が高い状態で、容量に対して高いレートで充電が行われることです。この効果への対応として、MAX20356 はステップ充電機能を備えています。この機能では、リチウム・メッキを避けてバッテリの寿命を延長するために、充電電流を減少させる電圧スレッショルドを選択できます。この機能は、ChgCfg0 と ChgCur0 のレジスタで設定できます。ChgStepRise フィールドでは、充電電流を減少させるポイントとなる立上がり方向の電圧 V_{BAT_STPCHG} を設定できます。CC1IFChg フィールドでは、バッテリ電圧が ChgStepRise で規定される V_{BAT_STPCHG} の値を超えたときにチャージャが設定すべき電流値を、フル高速充電電流 I_{FCHG_CC1} に対するパーセンテージで設定します。最後に、ChgStepHys フィールドではステップ充電に対する $V_{BAT_STPCHG_H}$ のヒステリシスを設定し、バッテリ電流が低下したときにバッテリのインピーダンスが高いために電圧が大きく下がることによる発振を防止します。

CC1FChgTmr で制御される安全タイムアウトがあり、ステップ充電機能が確実に限られた時間の間でのみ動作するようにできます。ステップ充電機能の安全タイムアウトが不要な場合には、CC1TmoLim を 0 に設定するとディスエーブルできます。ChgCfg0、ChgCur0、ChgStepRise、CC1IFChg、ChgStepHys、CC1FChgTmr の詳細については、レジスタ・マップのセクションの PMIC レジスタを参照してください。

ステップ充電機能全体が不要な場合には、CC1Enable を 0 に設定するとディスエーブルできます。

JEITA とステップ充電関連の高速充電電流削減の両方がアクティブである場合には、両方の最小値が選択され適用されます。

適応型バッテリ充電

システム電源が CHGIN から供給されている間は、チャージャは SYS から電力を得てバッテリを充電します。全負荷が入力電流制限を上回っていると、適応型チャージャ制御ループによって充電電流が減少し、V_{SYS} が V_{SYS_LIM} の値（I^2C 制御により SysMinVlt パラメータ（SysMinVlt ビットを参照）で設定可能）と $V_{SYS_BAT_REG}$ の値のいずれか大きい方の値を下回るほど低下してしまうのを避けます。V_{SYS_LIM}/$V_{SYS_BAT_REG}$ もしくは T_{CHG_LIM} の制限により充電電流が 50%未満になると（I_{FCHG_TEXT} スレッショルド）、タイマーのクロック速度が半分になります。V_{SYS_LIM}/$V_{SYS_BAT_REG}$ もしくは T_{CHG_LIM} の制限により充電電流が 20%未満になると（I_{FCHG_TSUS} スレッショルド）、タイマーのクロックが一時停止します。

JEITA のモニタリングによるチャージャ制御

リチウムイオン・バッテリを充電する際の安全性を強化するため、MAX20356 は JEITA 準拠の温度モニタリングを備えています。THM にバッテリ・パックのサーミスタを接続して抵抗分圧器を形成します。THM は内部で、I^2C で選択できる 10kΩ/100kΩ のプルアップ抵抗を介して V_{DIG} に接続されています。JEITA のモニタリングが有効な場合は THM の分圧器の出力を内部コンパレータで読み取り、得られる温度の計測値によってバッテリは冷温（cold）、低温（cool）、室温（room）、高温（warm）、超高温（hot）の 5 つの温度ゾーンのいずれかに分類されます。図 30～図 33 に示すように、冷温と超高温の領域にある場合またはサーミスタが検出されない場合には充電は常時禁止されますが、低温、室温、高温の充電動作は I^2C 制御の ThmEn パラメータ（ThmEn ビットを参照）を用いて設定できます。具体的には、I^2C によって ChgCool/Room/WarmBatReg[1:0]パラメータ（ChgCoolCC_IFChg、ChgRoomCC_IFChg、and ChgWarmCC_IFChg のビットを参照）を使用して、バッテリのレギュレーション電圧を $V_{BAT_REG_JTA}$ まで低減でき、また、I^2C によって ChgCool/Room/WarmCC_IFChg パラメータ（ChgCoolCC_IFChg、ChgRoomCC_IFChg、ChgWarmCC_IFChg のビットを参照）を使用して、高速充電電流を I_{FCHG_JTA} の値まで抑制できます。ThmEn（ThmEn ビットを参照）を使うことで低温と高温の領域での充電動作を禁止することもできます。

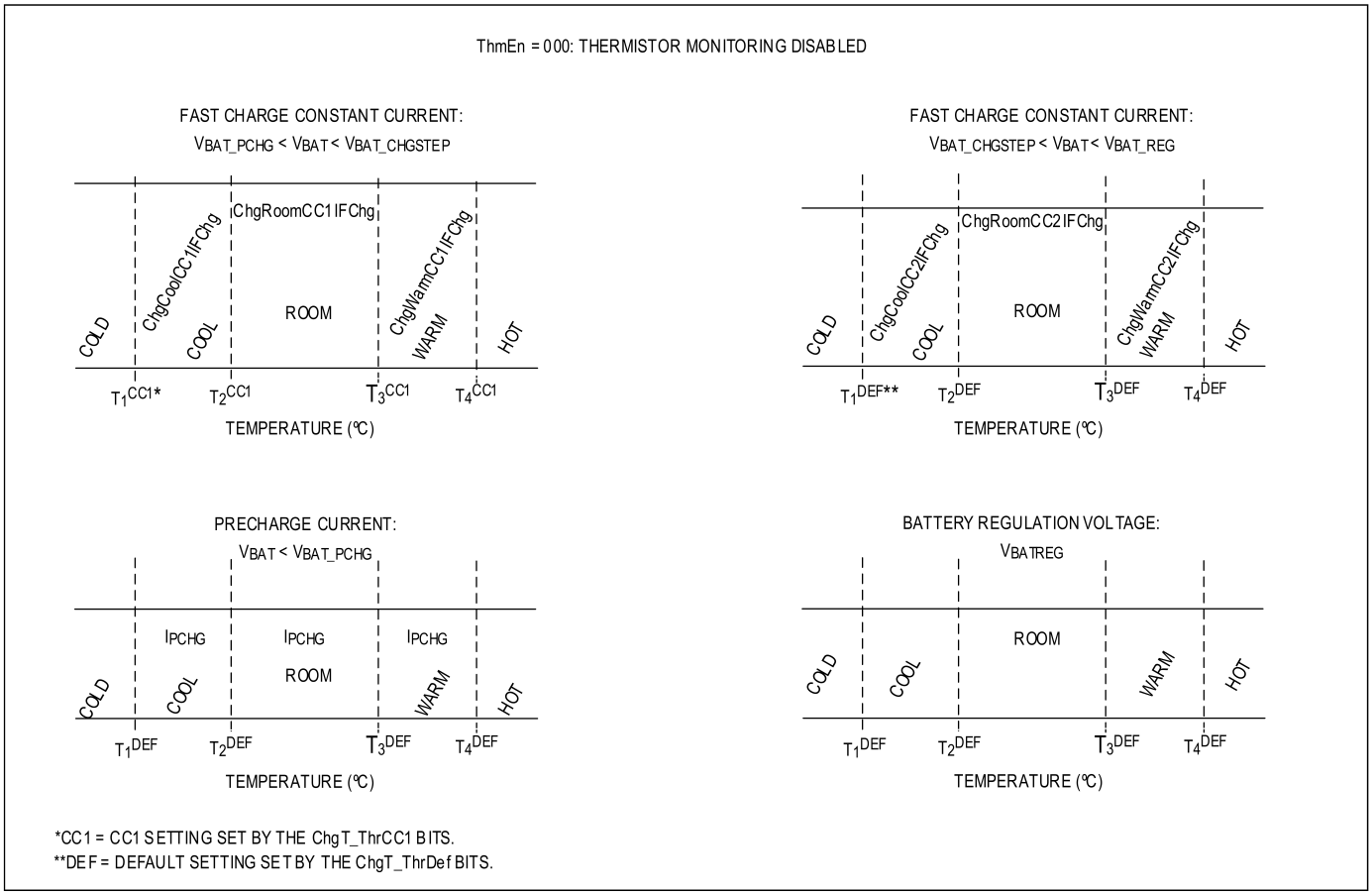


図 30. 温度モニタリングがディスエーブルの場合

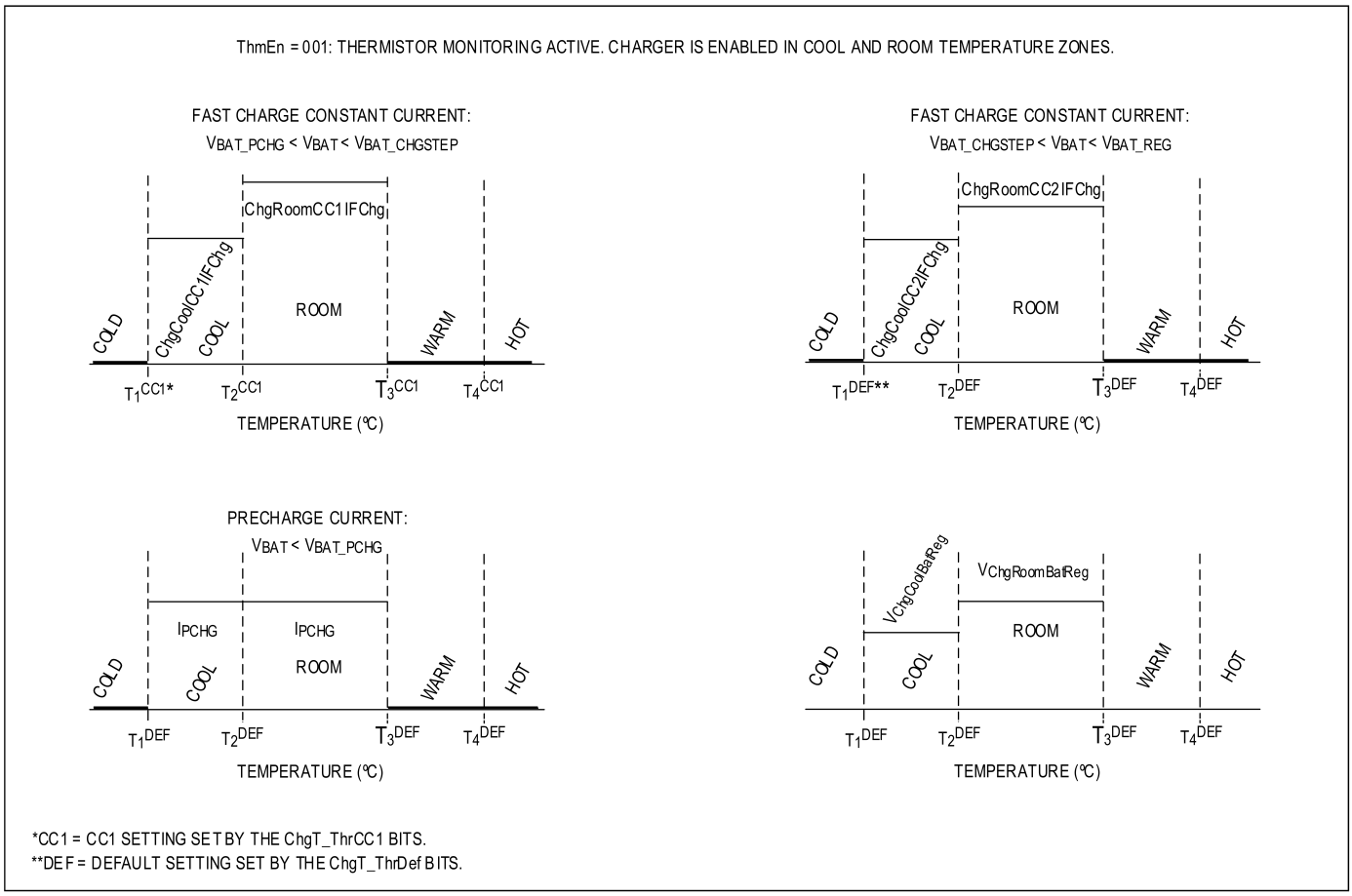


図 31. 低温と室温の領域で充電が可能な場合

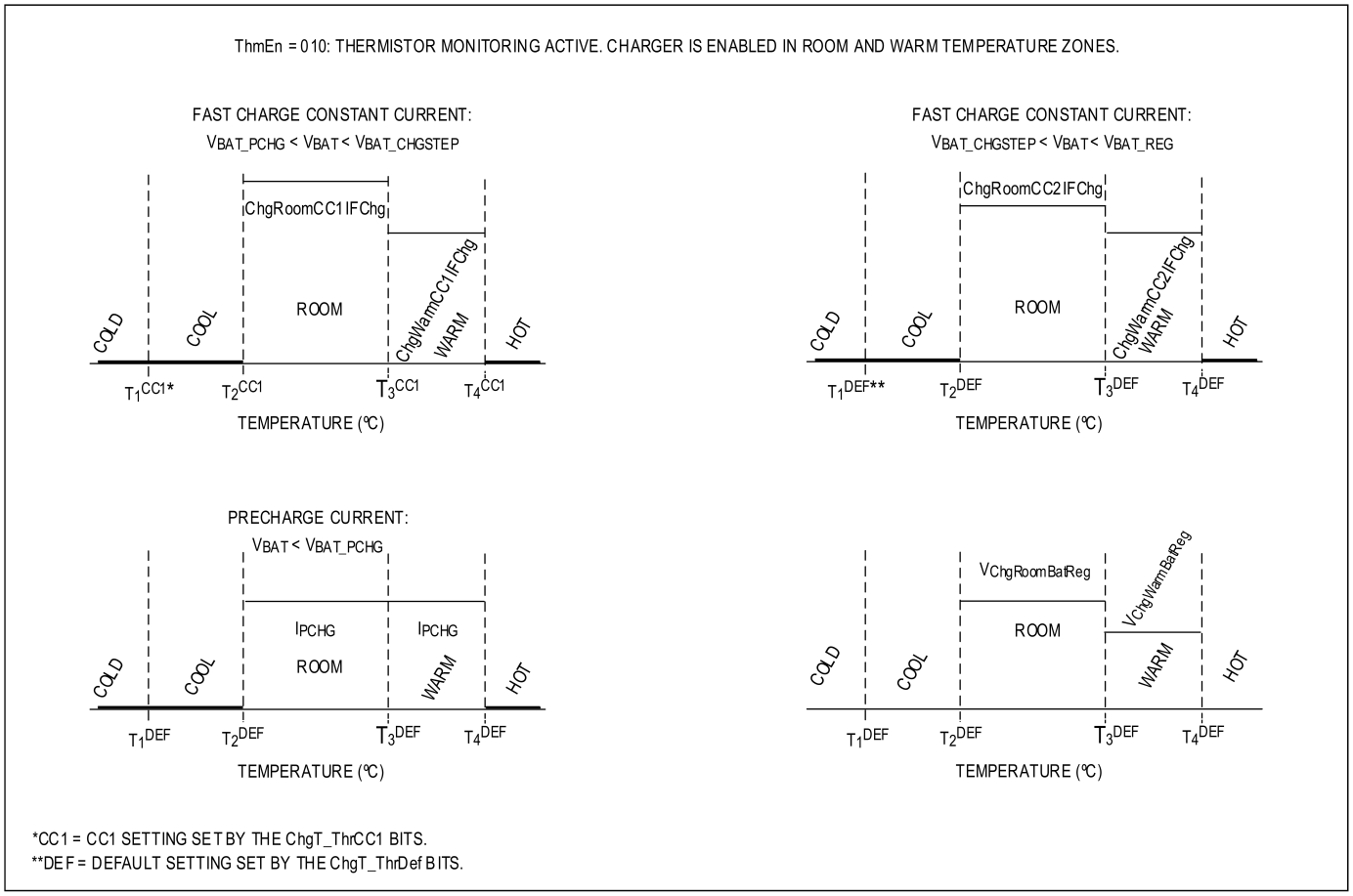


図 32. 室温と高温の領域で充電が可能な場合

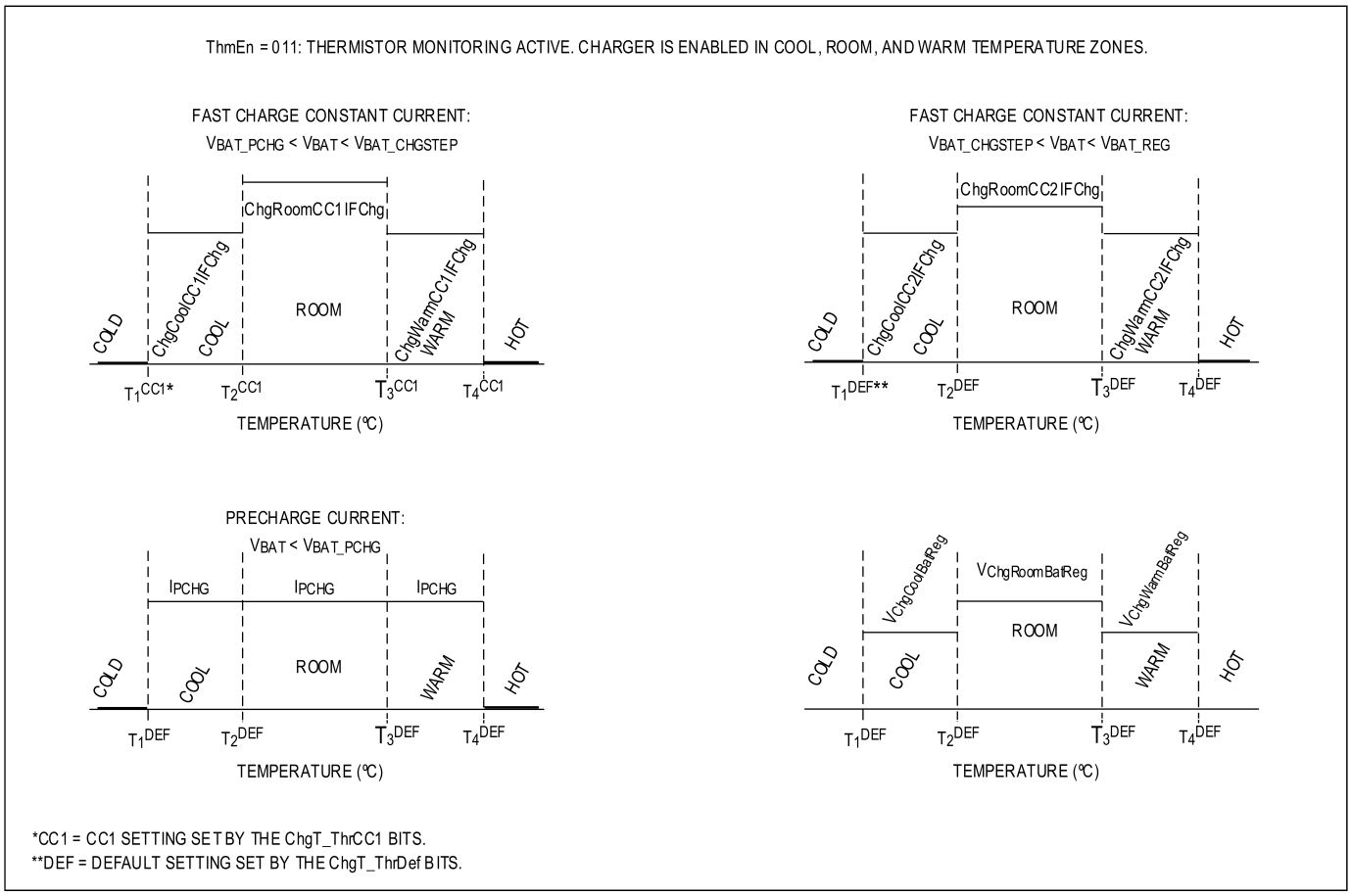


図 33. 低温、室温、高温の領域で充電が可能な場合

バッテリもしくはパック保護の存在確認

放電関連のフォールトによりパック保護がオープンになっているとき、パック保護により放電 FET がオフになり、放電経路に逆バイアス・ボディ・ダイオードを配置してそれ以上の放電を防止します。この状態においては、システム設計者は、バッテリが損傷されていると判断し、その後は完全な充電サイクルの実行を避けたいと考える場合があります。バッテリが回復するかもしれないと考えたとしても、パック保護のダイオードによる降下のため、プリチャージ電圧スレッショルドを超えているとチャージャが判断して高速充電電流が適用されるかもしれない、という点が懸念されます。

このシナリオにおいては、完全な充電サイクルを開始する前に、BAT ノードにパックが存在しているか（保護はオープン）、単にバッテリが除去されたかを把握することがシステム動作上有効です。MAX20356 は、システム設計者がこのようなチェックを行うために必要な回路を全て含んでいます。

このような条件を確認する簡単なアルゴリズムの一例が、以下に示すチェックをバッテリの充電サイクルを開始する前に必ず実行することです。

UsbOkInt 割込みを受けた後（UsbOkInt ビットを参照）、チャージャをイネーブルする前に、BattPullDown = 1 を書き込むことによって BAT のプルダウン抵抗をイネーブルし（BattPullDown ビットを参照）、BAT のコンデンサが放電するのに十分な時間待った後に、BatUvlob ステータスをチェックし（BatUvlob ビットを参照）、BAT のプルダウン抵抗をディスエーブルします。BatUvlob = 1 であれば（BatUvlob ビットを参照）、バッテリが存在し充電が再開できます。BatUvlob = 0 であれば（BatUvlob ビットを参照）、以下のいずれかの原因で BAT の電圧が UVLO を下回っています。

1) バッテリが存在しない。

または

2) パックの保護がオープンになっている。

ここで FrcPChg = 1 と ChgEn = 1 を同時に書き込むことにより（FrcPChg、ChgEn のビットを参照）チャージャを強制プリチャージ・モードで起動し、ChgVoltMode を確認します（ChgVoltMode ビットを参照）。ChgVoltMode = 1 であれば $V_{BAT} \geq V_{BAT_REG}$ でありバッテリは存在しません。バッテリが存在するなら、BAT の電圧は実際のバッテリ電圧よりもダイオードの電圧降下 1 つ分上までしか上がらないはずです。あるいは ChgVoltMode = 0 であれば、バッテリは存在するはずなので、少なくともパック保護をアンロックするのに十分な時間にわたって強制プリチャージ・モードを維持する必要があります。

監視マルチプレクサ

MAX20356 には、電圧監視マルチプレクサが内蔵されており、様々なリソースの電圧を 1 つの外部端子（IVMON）にマルチプレクスできます。IVMON は I²C によって MONCfg レジスタで制御できます。

残量ゲージがイネーブルされている場合（FG_OTP_ENA = 1）、サーミスタ（THM）のモニタリングはディスエーブルされます。FG_OTP_ENA ビットは I²C による操作はできず、OTP 設定によってのみ変更可能です。このビットはデフォルトで 1 に設定されています。

残量ゲージが OTP ビットで恒久的にディスエーブルされていれば（FG_OTP_ENA = 0）、THM のモニタリングが使用可能です。しかし、IVMON の比率（MONRatioCfg）として 1:1 は避けてください。

ウォッチドッグ・タイマー

MAX20356 には内蔵のプログラマブルなウォッチドッグ・タイマーがあり、WDCntl レジスタに基づいてチャージャのレジスタのリセット、ソフト・リセットまたはハード・リセットの発行が可能です。このウォッチドッグ・タイマーはオン・モードでのみ有効です。アクティブなとき、アプリケーション・プロセッサは、ウォッチドッグ・リセットが発生しないように、ウォッチドッグ・タイマーが終了する前に WDTmrClr レジスタ・フィールドを読むことが必要です。ウォッチドッグ・タイマーの間隔は WDTmrSel レジスタ・フィールドで選択できます。ウォッチドッグがオンになったとき、もしくはリセットが発生したとき、最初のパルス・リセットはスキップされ、初回のタイマーのカウントダウンでは WDTmrSel で選択された時間が倍になります。

残量ゲージ

MAX20356 にはハイサイド電流検出機能を持つ ModelGauge m5 EZ が内蔵されています。残量ゲージの外部での電流検出については MAX17260 のデータシートを、内部での電流検出については MAX17262 のデータシートを参照してください。ModelGauge m5 のアルゴリズムについての詳細や、ModelGauge m5 EZ のユーザ・ガイド／ソフトウェア実装ガイドなどについては、MAX17260 の製品ページの参考資料のタブを参照し、MAX17620 のデータシートのレジスタ・マップを確認してください。

MAX20361 ハーベスタとの相互作用

MAX20356 には MAX20361 ソーラー・エナジー・ハーベスタ・チップとシームレスな相互作用をするための機能が実装されています。レジスタ HrvBatCfg0 ではハーベスタと PMIC の相互作用の動作についていくつかの設定ができます。PMIC に設定されたフル充電電圧スレッショルドと再開スレッショルド（HrvModCfg ビットを参照）によって、HrvModCfg レジスタの設定（HrvModCfg、HrvThmEn、HrvThmDio のビットを参照）で記述された PMIC の動作の条件が設定されます。チャージャとハーベスタの相互作用はシームレスで、システムの介入は不要であるように設計されています（HrvFreeMPC ビットを参照）。

ハーベスタのサーミスタ・モニタリング

MAX20356 のハーベスタは残量ゲージのサーミスタを使用して冷温、低温、室温、高温、超高温の温度範囲を決定し、バッテリの充電を行います。レジスタ HrvBatCfg0（HrvBatCfg0 レジスタを参照）では様々な充電温度範囲での挙動を定義することができ、更に柔軟性が得られます。

DC-DC／LDO／ロード・スイッチのシステム・フォールト

DC/DC、LDO、またはロード・スイッチがブート・シーケンス中に自動的にオンになった DC/DC、LDO、またはロード・スイッチ（Buck_Seq、BBstSeq、LDO_Seq、LSW_Seq = 001、010、011、100）に関するフォールトが発生すると、システム・フォールト・ステータスがアサートされ、OTP 設定は DC/DC、LDO、またはロード・スイッチのいずれかを高優先リソースとして指定します（レジスタ設定 BCK_FltHP、BBFltHP、LDO_FltHP、LSW_FltHP = 1）。システム・フォールトはブート・シーケンスの FSM で SysUVLO と同様に取り扱われます。

レジスタ・マップ

PMIC レジスタ - ペリフェラル・アドレス：0x50/0x51

ADDRESS	NAME	MSB							LSB
USER-INTERRUPT									
0x00	RevID[7:0]	RevID[7:0]							
0x01	Status0[7:0]	ThmStat[2:0]			CC1Tmo	ChgStat[3:0]			
0x02	Status1[7:0]	SysBatLim	ChgSysLim	ILim	UsbOVP	UsbOk	ChgJEITASD	ChgJEITAReg	ThmSD
0x03	Status2[7:0]	DRPLDO3	SCLDO3	UVLOLDO3	ThmLDO3	UVLOLDO2	ThmLDO2	UVLOLDO1	ThmLDO1
0x04	Status3[7:0]	BBstFault	ThmLSW	LSW3Tmo	LSW2Tmo	LSW1Tmo	ThmBk3	ThmBk2	ThmBk1
0x05	Status4[7:0]	BatUvlob	StepChg	ChgVoltMode	ChgReStart	HrvBatCmp	–	–	–
0x07	Int0[7:0]	ThmStatInt	–	–	CC1TmoInt	–	–	–	ChgStatInt
0x08	Int1[7:0]	SysBatLimInt	ChgSysLimInt	ILimInt	UsbOVPInt	UsbOkInt	ChgJEITASDInt	ChgJEITARegInt	ThmSDInt
0x09	Int2[7:0]	DRPLDO3Int	SCLDO3Int	UVLOLDO3Int	ThmLDO3Int	UVLOLDO2Int	ThmLDO2Int	UVLOLDO1Int	ThmLDO1Int
0x0A	Int3[7:0]	BBstFaultInt	ThmLSWInt	LSW3TmoInt	LSW2TmoInt	LSW1TmoInt	ThmBk3Int	ThmBk2Int	ThmBk1Int
0x0B	Int4[7:0]	BatUvlobInt	StepChgInt	ChgVoltModeInt	ChgRestartInt	HrvBatCmpInt	–	–	–
0x0C	Int5[7:0]	WDTmr	–	–	–	–	–	–	I2cTmoInt
0x0D	IntMask0[7:0]	ThmStatIntM	–	–	CC1TmoIntM	–	–	–	ChgStatIntM
0x0E	IntMask1[7:0]	SysBatLimIntM	ChgSysLimIntM	ILimIntM	UsbOVPIntM	UsbOkIntM	ChgJEITASDIntM	ChgJEITARegIntM	ThmSDIntM
0x0F	IntMask2[7:0]	DRPLDO3IntM	SCLDO3IntM	UVLOLDO3IntM	ThmLDO3IntM	UVLOLDO2IntM	ThmLDO2IntM	UVLOLDO1IntM	ThmLDO1IntM
0x10	IntMask3[7:0]	BBstFaultIntM	ThmLSWIntM	LSW3TmoIntM	LSW2TmoIntM	LSW1TmoIntM	ThmBk3IntM	ThmBk2IntM	ThmBk1IntM
0x11	IntMask4[7:0]	BatUvlobIntM	StepChgIntM	ChgVoltModeM	ChgRestartM	HrvBatCmpM	–	–	–
0x12	IntMask5[7:0]	WDTmrM	–	–	–	–	–	–	I2cTmoIntM

ADDRESS	NAME	MSB							LSB
USER-LIMITER									
0x13	ILimCtrl1[7:0]	ILimBlank*[1:0]		ILimMax*[2:0]			ILimCntl*[2:0]		
0x14	ILimCtrl2[7:0]	–	–	SysDSCEn*	–	SysMinVlt*[3:0]			
USER-GMDROP									
0x16	DropCtrl[7:0]	SysUVLOThSel*[1:0]		–	–	–	–	–	–
USER-CHARGER									
0x17	ChgCur0[7:0]	–	CC1IFChg*[6:0]						
0x18	ChgCur1[7:0]	–	CC2IFChg*[6:0]						
0x19	ChgCntl0[7:0]	ChgEn*	ChgAutoStop*	ChgAutoReSta*	–	FrcRchgMonEn*	CC1RoomOnly*	CC1TmoLimit*	CC1Enable*
0x1A	ChgCntl1[7:0]	BatReChg*[1:0]		ChgBatReg*[5:0]					
0x1B	ChgCntl2[7:0]	–	VPChg*[2:0]			IPChg*[1:0]		IChgDone*[1:0]	
0x1C	ChgTmr[7:0]	MtChgTmr*[1:0]		PChgTmr*[1:0]		CC1FChgTmr*[1:0]		ChgTmr*[1:0]	
0x1D	ChgCfg0[7:0]	–	ChgStepHyst*[2:0]			ChgStepRise*[3:0]			
0x1E	ThmCfg0[7:0]	ChgCoolCC1IFChg*[2:0]			ChgCoolBatReg*[1:0]		ChgCoolCC2IFChg*[2:0]		
0x1F	ThmCfg1[7:0]	ChgRoomCC1IFChg*[2:0]			ChgRoomBatReg*[1:0]		ChgRoomCC2IFChg*[2:0]		
0x20	ThmCfg2[7:0]	ChgWarmCC1IFChg*[2:0]			ChgWarmBatReg*[1:0]		ChgWarmCC2IFChg*[2:0]		
0x21	ThmCfg3[7:0]	–	–	ChgT1ThrDef*[2:0]			ChgT1ThrCC1*[2:0]		
0x22	ThmCfg4[7:0]	–	–	ChgT2ThrDef*[2:0]			ChgT2ThrCC1*[2:0]		
0x23	ThmCfg5[7:0]	–	–	ChgT3ThrDef*[2:0]			ChgT3ThrCC1*[2:0]		
0x24	ThmCfg6[7:0]	–	–	ChgT4ThrDef*[2:0]			ChgT4ThrCC1*[2:0]		
0x25	ThmCfg7[7:0]	ChgThrmLim*[3:0]				ThmPUSel*	ThmEn*[2:0]		
0x26	ChgCtr1[7:0]	ChgFresh*	–	–	–	–	–	–	–
0x27	ChgCtr2[7:0]	–	BattPullDown*	FrcPChg*	–	–	–	–	–
0x28	HrvBatCfg0[7:0]	HrvModCfg*[1:0]		HrvThmEn*[1:0]		–	–	HrvThmDio*	HrvFreeMPC

ADDRESS	NAME	MSB							LSB
USER-MON									
0x29	MONCfg[7:0]	–	MONRatioCfg[1:0]		MONHiZ	MONCtr[3:0]			
USER-WD									
0x2A	WDCntl[7:0]	–	–	–	–	WDRstType[1:0]		WDTmrSel[1:0]	
USER-BUCK1									
0x30	Buck1Ena[7:0]	Buck1Seq[2:0]			–	–	–	Buck1En[1:0]	
0x31	Buck1Cfg0[7:0]	Buck1EnbINTGR	Buck1PGOODena	Buck1Fast	Buck1PsvDsc	Buck1ActDsc	Buck1LowEMI	Buck1FET	Buck1EnLxSns
0x32	Buck1Cfg1[7:0]	Buck1LowBW	Buck1FrcDCM	Buck1MPCFast	Buck1FPWM	Buck1EnbIADPT	–	–	–
0x33	Buck1Iset[7:0]	Buck1ISetLookUpb	–	–	–	Buck1ISet[3:0]			
0x34	Buck1VSet[7:0]	–	–	Buck1Vset[5:0]					
0x35	Buck1Ctr[7:0]	Buck1MPC7	Buck1MPC6	Buck1MPC5	Buck1MPC4	Buck1MPC3	Buck1MPC2	Buck1MPC1	Buck1MPC0
0x36	Buck1DvsCfg0[7:0]	Buck1DvsCur	–	Buck1DvsIpMax	Buck1DvsCfg[4:0]				
0x37	Buck1DvsCfg1[7:0]	–	–	Buck1DvsVlt0[5:0]					
0x38	Buck1DvsCfg2[7:0]	–	–	Buck1DvsVlt1[5:0]					
0x39	Buck1DvsCfg3[7:0]	–	–	Buck1DvsVlt2[5:0]					
0x3A	Buck1DvsCfg4[7:0]	–	–	Buck1DvsVlt3[5:0]					
0x3B	Buck1DvsSpi[7:0]	–	–	Buck1SpiVlt[5:0]					
USER-BUCK2									
0x3C	Buck2Ena[7:0]	Buck2Seq[2:0]			–	–	–	Buck2En[1:0]	

ADDRESS	NAME	MSB							LSB
0x3D	Buck2Cfg[7:0]	Buck2EnbINTGR	Buck2PGOODena	Buck2Fast	Buck2PsvDsc	Buck2ActDsc	Buck2LowEMI	Buck2FET	Buck2EnLxSns
0x3E	Buck2Cfg1[7:0]	Buck2LowBW	Buck2FrcDCM	Buck2MPCFast	Buck2FPWM	Buck2EnbIADPT	–	–	–
0x3F	Buck2Iset[7:0]	Buck2ISetLookUpb	–	–	–	Buck2ISet[3:0]			
0x40	Buck2VSet[7:0]	–	–	Buck2Vset[5:0]					
0x41	Buck2Ctr[7:0]	Buck2MPC7	Buck2MPC6	Buck2MPC5	Buck2MPC4	Buck2MPC3	Buck2MPC2	Buck2MPC1	Buck2MPC0
0x42	Buck2DvsCfg0[7:0]	Buck2DvsCur	–	Buck2DvsIpMax	Buck2DvsCfg[4:0]				
0x43	Buck2DvsCfg1[7:0]	–	–	Buck2DvsVlt0[5:0]					
0x44	Buck2DvsCfg2[7:0]	–	–	Buck2DvsVlt1[5:0]					
0x45	Buck2DvsCfg3[7:0]	–	–	Buck2DvsVlt2[5:0]					
0x46	Buck2DvsCfg4[7:0]	–	–	Buck2DvsVlt3[5:0]					
0x47	Buck2DvsSpi[7:0]	–	–	Buck2SpiVlt[5:0]					
USER-BUCK3									
0x48	Buck3Ena[7:0]	Buck3Seq[2:0]			–	–	–	Buck3En[1:0]	
0x49	Buck3Cfg[7:0]	Buck3EnbINTGR	Buck3PGOODena	Buck3Fast	Buck3PsvDsc	Buck3ActDsc	Buck3LowEMI	Buck3FET	Buck3EnLxSns
0x4A	Buck3Cfg1[7:0]	Buck3LowBW	Buck3FrcDCM	Buck3MPCFast	Buck3FPWM	Buck3EnbIADPT	–	–	–
0x4B	Buck3Iset[7:0]	Buck3ISetLookUpb	–	–	–	Buck3ISet[3:0]			
0x4C	Buck3VSet[7:0]	–	–	Buck3Vset[5:0]					

ADDRESS	NAME	MSB							LSB
0x4D	Buck3Ctr[7:0]	Buck3MPC7	Buck3MPC6	Buck3MPC5	Buck3MPC4	Buck3MPC3	Buck3MPC2	Buck3MPC1	Buck3MPC0
0x4E	Buck3DvsCfg0[7:0]	Buck3DvsCur	–	Buck3DvsIpMax	Buck3DvsCfg[4:0]				
0x4F	Buck3DvsCfg1[7:0]	–	–	Buck3DvsVlt0[5:0]					
0x50	Buck3DvsCfg2[7:0]	–	–	Buck3DvsVlt1[5:0]					
0x51	Buck3DvsCfg3[7:0]	–	–	Buck3DvsVlt2[5:0]					
0x52	Buck3DvsCfg4[7:0]	–	–	Buck3DvsVlt3[5:0]					
0x53	Buck3DvsSpi[7:0]	–	–	Buck3SpiVlt[5:0]					
USER-BUCKBOOST									
0x54	BBstEna[7:0]	BBstSeq[2:0]			–	–	–	BBstEn[1:0]	
0x55	BBstCfg[7:0]	BBstIPSetLookUpb	–	–	BBstLowEMI	BBstActDsc	BBstRampEna	BBstMode	BBstPsvDisc
0x56	BBstVSet[7:0]	–	–	BBstVSet[5:0]					
0x57	BBstISet[7:0]	BBstIPSet2[3:0]				BBstIPSet1[3:0]			
0x58	BBstCfg1[7:0]	–	BBstIpPadPEnb	BBstFast	BBZCCmpEnB	BBstFFET	BBstMPC1FCT	BBFHighSh[1:0]	
0x59	BBstCtr0[7:0]	BBstMPC7	BBstMPC6	BBstMPC5	BBstMPC4	BBstMPC3	BBstMPC2	BBstMPC1	BBstMPC0
USER-LDO1									
0x5A	LDO1Ena[7:0]	LDO1Seq[2:0]			–	–	–	LDO1En[1:0]	
0x5B	LDO1Cfg[7:0]	–	–	–	–	LDO1IntSup	LDO1ActDsc	LDO1Mode	LDO1PsvDsc
0x5C	LDO1VSet[7:0]	–	–	–	LDO1VSet[4:0]				
0x5D	LDO1Ctr[7:0]	LDO1MPC7	LDO1MPC6	LDO1MPC5	LDO1MPC4	LDO1MPC3	LDO1MPC2	LDO1MPC1	LDO1MPC0
USER-LDO2									

ADDRESS	NAME	MSB							LSB
0x5E	LDO2Ena[7:0]	LDO2Seq[2:0]			–	–	–	LDO2En[1:0]	
0x5F	LDO2Cfg[7:0]	–	–	–	LDO2_MPC0CNF	LDO2_MPC0CNT	LDO2ActDsc	LDO2Mode	LDO2PsvDsc
0x60	LDO2VSet[7:0]	–	–	–	LDO2VSet[4:0]				
0x61	LDO2Ctr[7:0]	LDO2MPC7	LDO2MPC6	LDO2MPC5	LDO2MPC4	LDO2MPC3	LDO2MPC2	LDO2MPC1	LDO2MPC0
USER-LDO3									
0x62	LDO3Ena[7:0]	LDO3Seq[2:0]			–	–	–	LDO3En[1:0]	
0x63	LDO3Cfg[7:0]	–	LDO3_MPC_CNF	LDO3_NOCLP	LDO3_HICOUT	LDO3_FRC_HIC	LDO3ActDsc	LDO3_PMOD	LDO3PsvDsc
0x64	LDO3VSet[7:0]	–	LDO3VSet[6:0]						
0x65	LDO3Ctr[7:0]	LDO3MPC7	LDO3MPC6	LDO3MPC5	LDO3MPC4	LDO3MPC3	LDO3MPC2	LDO3MPC1	LDO3MPC0
USER-LDO4									
0x66	LDO4Ena[7:0]	LDO4Seq[2:0]			–	–	–	LDO4En[1:0]	
0x67	LDO4Cfg[7:0]	–	–	–	–	LDO4VInc[1:0]		LDO4VSet	LDO4PsvDsc
0x68	LDO4Ctr[7:0]	LDO4MPC7	LDO4MPC6	LDO4MPC5	LDO4MPC4	LDO4MPC3	LDO4MPC2	LDO4MPC1	LDO4MPC0
USER-LSW1									
0x69	LSW1Ena[7:0]	LSW1Seq[2:0]			–	–	–	LSW1En[1:0]	
0x6A	LSW1Cfg[7:0]	–	–	–	–	–	LSW1ActDsc	LSW1LowIq	LSW1PsvDsc
0x6B	LSW1Ctr[7:0]	LSW1MPC7	LSW1MPC6	LSW1MPC5	LSW1MPC4	LSW1MPC3	LSW1MPC2	LSW1MPC1	LSW1MPC0
USER-LSW2									
0x6C	LSW2Ena[7:0]	LSW2Seq[2:0]			–	–	–	LSW2En[1:0]	
0x6D	LSW2Cfg[7:0]	–	–	–	–	–	LSW2ActDsc	LSW2LowIq	LSW2PsvDsc

ADDRESS	NAME	MSB							LSB
0x6E	LSW2Ctr[7:0]	LSW2MPC7	LSW2MPC6	LSW2MPC5	LSW2MPC4	LSW2MPC3	LSW2MPC2	LSW2MPC1	LSW2MPC0
USER-LSW3									
0x6F	LSW3Ena[7:0]	LSW3Seq[2:0]			–	–	–	LSW3En[1:0]	
0x70	LSW3Cfg[7:0]	–	–	–	–	–	LSW3ActDsc	LSW3LowIq	LSW3PsvDsc
0x71	LSW3Ctr[7:0]	LSW3MPC7	LSW3MPC6	LSW3MPC5	LSW3MPC4	LSW3MPC3	LSW3MPC2	LSW3MPC1	LSW3MPC0
USER-MPC_CONTROL									
0x72	MPC0Cfg[7:0]	MPC0Pin	–	–	MPC0Out	MPC0OD	MPC0HiZB	MPC0Res	MPC0Pup
0x73	MPC1Cfg[7:0]	MPC1Pin	–	–	MPC1Out	MPC1OD	MPC1HiZB	MPC1Res	MPC1Pup
0x74	MPC2Cfg[7:0]	MPC2Pin	–	–	MPC2Out	MPC2OD	MPC2HiZB	MPC2Res	MPC2Pup
0x75	MPC3Cfg[7:0]	MPC3Pin	–	–	MPC3Out	MPC3OD	MPC3HiZB	MPC3Res	MPC3Pup
0x76	MPC4Cfg[7:0]	MPC4Pin	–	–	MPC4Out	MPC4OD	MPC4HiZB	MPC4Res	MPC4Pup
0x77	MPC5Cfg[7:0]	MPC5Pin	–	–	MPC5Out	MPC5OD	MPC5HiZB	MPC5Res	MPC5Pup
0x78	MPC6Cfg[7:0]	MPC6Pin	–	–	MPC6Out	MPC6OD	MPC6HiZB	MPC6Res	MPC6Pup
0x79	MPC7Cfg[7:0]	MPC7Pin	–	–	MPC7Out	MPC7OD	MPC7HiZB	MPC7Res	MPC7Pup
0x7A	MPCItrSts[7:0]	–	–	–	–	USBOkMPCSts	BK3PgMPCSts	BK2PgMPCSts	BK1PgMPCSts
0x7B	BK1ItrCfg[7:0]	BK1PgMPCInt	BK1MPC6Sel	BK1MPC5Sel	BK1MPC4Sel	BK1MPC3Sel	BK1MPC2Sel	BK1MPC1Sel	BK1MPC0Sel
0x7C	BK2ItrCfg[7:0]	BK2PgMPCInt	BK2MPC6Sel	BK2MPC5Sel	BK2MPC4Sel	BK2MPC3Sel	BK2MPC2Sel	BK2MPC1Sel	BK2MPC0Sel
0x7D	BK3ItrCfg[7:0]	BK3PgMPCInt	BK3MPC6Sel	BK3MPC5Sel	BK3MPC4Sel	BK3MPC3Sel	BK3MPC2Sel	BK3MPC1Sel	BK3MPC0Sel

ADDRESS	NAME	MSB							LSB
0x7E	USBOkItrCfg[7:0]	USBOkMPCInt	USBOkMPC6Sel	USBOkMPC5Sel	USBOkMPC4Sel	USBOkMPC3Sel	USBOkMPC2Sel	USBOkMPC1Sel	USBOkMPC0Sel
USER-BOOT									
0x80	PFN[7:0]	–	–	–	–	–	–	PFN2Pin	PFN1Pin
0x81	BootCfg[7:0]	PwrRstCfg[3:0]				SftRstCfg	BootDly[1:0]		ChgAlwTry
USER-COMMAND									
0x82	PwrCfg[7:0]	–	INTBootMsk	–	–	–	–	–	StayOn
0x83	PwrCmd[7:0]	PwrCmd[7:0]							
0x84	MiscFunctions[7:0]	–	–	–	–	MiscFunc[3:0]			
0x86	LockMsk1[7:0]	LD4Lck	LD3Lck	LD2Lck	LD1Lck	BBLck	BK3Lck	BK2Lck	BK1Lck
0x87	LockMsk2[7:0]	LD4SeqLck	LD3SeqLck	LD2SeqLck	LD1SeqLck	BBSeqLck	BK3SeqLck	BK2SeqLck	BK1SeqLck
0x89	LockMsk3[7:0]	LSW3SeqLck	LSW2SeqLck	LSW1SeqLck	–	WDLck	GMDrpLck	LimLck	ChgLck
0x8A	LockUnlock1[7:0]	PASSWD1[7:0]							
0x8B	LockUnlock2[7:0]	PASSWD2[7:0]							
0x8C	LockUnlock3[7:0]	PASSWD3[7:0]							
USER-OTP									
0x8D	I2C_OTPADD[7:0]	OTPDIG__ADD[7:0]							
0x8E	I2C_OTPDAT[7:0]	OTPDIG__DAT[7:0]							

レジスタの詳細

RevID（0x0）

BIT	7	6	5	4	3	2	1	0
Field	RevID[7:0]							
Reset	0x00							
Access Type	Read Only							

ビット・フィールド	ビット	説明
RevID	7:0	RevID[7:0]ビットはMAX20356のハードウェア・リビジョンの情報を示します。

Status0（0x1）

BIT	7	6	5	4	3	2	1	0
Field	ThmStat[2:0]			CC1Tmo	ChgStat[3:0]			
Reset	0b000			0b0	0x0			
Access Type	Read Only			Read Only	Read Only			

ビット・フィールド	ビット	説明	デコード
ThmStat	7:5	サーミスタ・モニタリングの状態。	000: Cold zone (V_{THM_COLD} < V_{THM} < V_{THM_DIS}). 001: Cool zone (V_{THM_COOL} < V_{THM} < V_{THM_COLD}). 010: Room zone (V_{THM_WARM} < V_{THM} < V_{THM_COOL}). 011: Warm zone (V_{THM_HOT} < V_{THM} < V_{THM_WARM}). 100: Hot zone (V_{THM} < V_{THM_HOT}) 101: No thermistor detected (V_{THM} > V_{THM_DIS}). 110: Thermistor monitoring disabled because CHGIN input voltage is present and ThmEn[1:0] = 00 or because CHGIN input voltage is not present and ThmEn[1:0] = HrvThmEn[1:0] = 00. 111: Thermistor monitoring disabled because CHGIN input voltage is not present, ThmEn[1:0] is not equal to 00 and HrvThmEn[1:0] = 00.
CC1Tmo	4	CC1タイムアウトの状態（CC1FChgTmrによる）。	0: CC1 timeout not expired. 1: CC1 timeout expired.
ChgStat	3:0	チャージャの状態。	1001: Charger fault: safety timer ChgTmr expired. 1010: RFU. 1011: RFU. 1100: RFU. 1101: RFU. 1110: CC tracking in progress. 1111: Charging suspended due to temperature (see the Battery Charger State Diagram).

Status1（0x2）

BIT	7	6	5	4	3	2	1	0
Field	SysBatLim	ChgSysLim	ILim	UsbOVP	UsbOk	ChgJEITASD	ChgJEITAReg	ThmSD
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
SysBatLim	7	SYS電圧によるチャージャのレギュレーション状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01かつチャージャがイネーブルされているときのみ有効です。	0: Charge current is not being actively reduced to regulate V_{SYS}. 1: Charge current actively being reduced to regulate V_{SYS} collapse.
ChgSysLim	6	CHGIN電圧による入力リミッタのレギュレーション状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01のときのみ有効です。	0: Input limiter current is not being actively reduced to regulate V_{CHGIN}. 1: Input limiter current is actively being reduced to regulate V_{CHGIN} collapse.
ILim	5	CHGINの入力電流制限の状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01のときのみ有効です。	0: CHGIN input current below limit. 1: CHGIN input current limit active.
UsbOVP	4	CHGINの過電圧保護（OVP）状態。	0: CHGIN overvoltage not detected. 1: CHGIN overvoltage detected.
UsbOk	3	CHGINの入力電圧の状態。	0: CHGIN input voltage not present or outside of valid range. 1: CHGIN input voltage present and valid.
ChgJEITASD	2	バッテリ・チャージャのJEITAによるシャットダウンの状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01かつチャージャがイネーブルされているときのみ有効です。	0: Charger operating normally or disabled. 1: Charger disabled due to JEITA.
ChgJEITAReg	1	バッテリ・チャージャのJEITAによる電流または電圧低減の状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01かつチャージャがイネーブルされているときのみ有効です。	0: Charger operating normally or disabled. 1: Charger current or voltage being actively reduced due to JEITA.
ThmSD	0	入力リミッタとチャージャのサーマル・シャットダウンの状態。 CHGIN入力電圧が存在するときのみ有効です。	0: Input limiter and charger operating normally. 1: Input limiter and charger in thermal shutdown.

Status2（0x3）

BIT	7	6	5	4	3	2	1	0
Field	DRPLDO3	SCLDO3	UVLOLDO3	ThmLDO3	UVLOLDO2	ThmLDO2	UVLOLDO1	ThmLDO1
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
DRPLDO3	7	LDO3のドロップアウトの状態。	0: LDO3 operating normally. 1: LDO3 DRP active.
SCLDO3	6	LDO3の短絡の状態。	0: LDO3 operating normally. 1: LDO3 UVLO active.
UVLOLDO3	5	LDO3のUVLOの状態。	0: LDO3 operating normally. 1: LDO3 UVLO active.
ThmLDO3	4	LDO3のサーマル・シャットダウンの状態。	0: LDO3 operating normally. 1: LDO3 in thermal shutdown.
UVLOLDO2	3	LDO2のUVLOの状態。	0: LDO2 operating normally. 1: LDO2 UVLO active.
ThmLDO2	2	LDO2のサーマル・シャットダウンの状態。	0: LDO2 operating normally. 1: LDO2 in thermal shutdown.
UVLOLDO1	1	LDO1のUVLOの状態。	0: LDO1 operating normally. 1: LDO1 UVLO active.
ThmLDO1	0	LDO1のサーマル・シャットダウンの状態。	0: LDO1 operating normally. 1: LDO1 in thermal shutdown

Status3（0x4）

BIT	7	6	5	4	3	2	1	0
Field	BBstFault	ThmLSW	LSW3Tmo	LSW2Tmo	LSW1Tmo	ThmBk3	ThmBk2	ThmBk1
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
BBstFault	7	Buck-Boostのフォールトの状態。	0: Buck-boost operating normally. 1: Buck-boost under fault condition.
ThmLSW	6	LSW1、LSW2、LSW3のサーマル・シャットダウンの状態。	0: All the above blocks are operating normally. 1: One of the above blocks is in thermal shutdown.
LSW3Tmo	5	LSW3がタイムアウト期間中に起動に失敗。	
LSW2Tmo	4	LSW2がタイムアウト期間中に起動に失敗。	
LSW1Tmo	3	LSW1がタイムアウト期間中に起動に失敗。	
ThmBk3	2	Buck3のサーマル・シャットダウンの状態。	0: Buck3 operating normally. 1: Buck3 in thermal shutdown.
ThmBk2	1	Buck2のサーマル・シャットダウンの状態。	0: Buck2 operating normally. 1: Buck2 in thermal shutdown.
ThmBk1	0	Buck1のサーマル・シャットダウンの状態。	0: Buck1 operating normally. 1: Buck1 in thermal shutdown.

Status4（0x5）

BIT	7	6	5	4	3	2	1	0
Field	BatUvlob	StepChg	ChgVoltMode	ChgReStart	HrvBatCmp	–	–	–

Reset	0b0	0b0	0b0	0b0	0b0	–	–	–
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	–	–	–

ビット・フィールド	ビット	説明	デコード
BatUvlob	7	チャージャのBatGoodコンパレータの状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01のときのみ有効です。	0: $V_{BAT} < V_{BAT_UVLO}$. 1: $V_{BAT} > V_{BAT_UVLO}$ or CHGIN input voltage not present.
StepChg	6	チャージャのステップ充電の電流削減。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01かつチャージャがイネーブルされているときのみ有効です。	0: Charger step-charge current reduction not active. 1: Charger step-charge current reduction active.
ChgVoltMode	5	チャージャのBAT電圧のレギュレーションの状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01、チャージャがイネーブルかつSysBatLim = 0のときのみ有効です。	0: $V_{BAT} < V_{BAT_REG}$. 1: $V_{BAT} \geq V_{BAT_REG}$.
ChgReStart	4	チャージャのBATリスタート・コンパレータの状態。 CHGIN入力電圧が存在し、[UsbOVP,UsbOk] = 01、チャージャがイネーブルかつSysBatLim = 0のときのみ有効です。	0: $V_{BAT} < V_{BAT_RECHG}$. 1: $V_{BAT} \geq V_{BAT_RECHG}$.
HrvBatCmp	3	ハーベスタのBATコンパレータの状態。 HrvEn = 1でありハーベスタとの相互作用がイネーブルされているときのみ有効です。	0: $V_{BAT} < V_{BAT_REG}$. 1: $V_{BAT} > V_{BAT_REG}$.

Int0（0x7）

BIT	7	6	5	4	3	2	1	0
Field	ThmStatInt	–	–	CC1TmoInt	–	–	–	ChgStatInt
Reset	0b0	–	–	0b0	–	–	–	0b0
Access Type	Write, Read	–	–	Write, Read	–	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
ThmStatInt	7	ThmStat[2:0]の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
CC1TmoInt	4	CC1タイムアウトの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ChgStatInt	0	ChgStat[3:0]の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.

Int1（0x8）

BIT	7	6	5	4	3	2	1	0

Field	SysBatLimInt	ChgSysLimInt	ILimInt	UsbOVPInt	UsbOkInt	ChgJEITASDInt	ChgJEITARegInt	ThmSDInt
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
SysBatLimInt	7	SysBatLimの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered
ChgSysLimIn	6	ChgSysLimの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered
ILimInt	5	ILimの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
UsbOVPInt	4	UsbOVPの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
UsbOkInt	3	UsbOkの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ChgJEITASDInt	2	ChgJEITASDの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ChgJEITARegInt	1	ChgJEITARegの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmSDInt	0	ThmSDの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.

Int2（0x9）

BIT	7	6	5	4	3	2	1	0
Field	DRPLDO3Int	SCLDO3Int	UVLOLDO3Int	ThmLDO3Int	UVLOLDO2Int	ThmLDO2Int	UVLOLDO1Int	ThmLDO1Int
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
DRPLDO3Int	7	DRPLDO3の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
SCLDO3Int	6	SCLDO3の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
UVLOLDO3Int	5	UVLOLDO3の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmLDO3Int	4	ThmLDO3の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
UVLOLDO2Int	3	UVLOLDO2の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmLDO2Int	2	ThmLDO2の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
UVLOLDO1Int	1	UVLOLDO1の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmLDO1Int	0	ThmLDO1の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.

Int3（0xA）

BIT	7	6	5	4	3	2	1	0
Field	BBstFaultInt	ThmLSWInt	LSW3TmoInt	LSW2TmoInt	LSW1TmoInt	ThmBk3Int	ThmBk2Int	ThmBk1Int
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BBstFaultInt	7	BBstFaultの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmLSWInt	6	ThmLSWの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
LSW3TmoInt	5	LSW3Tmoの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
LSW2TmoInt	4	LSW2Tmoの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
LSW1TmoInt	3	LSW1Tmoの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmBk3Int	2	ThmBk3の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmBk2Int	1	ThmBk2の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ThmBk1Int	0	ThmBk1の変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.

Int4（0xB）

BIT	7	6	5	4	3	2	1	0
Field	BatUvlobInt	StepChgInt	ChgVoltModeInt	ChgRestartInt	HrvBatCmpInt	–	–	–
Reset	0b0	0b0	0b0	0b0	0b0	–	–	–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	–	–	–

ビット・フィールド	ビット	説明	デコード
BatUvlobInt	7	BatUvlobの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
StepChgInt	6	StepChgの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ChgVoltModeInt	5	ChgVoltModeの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
ChgRestartInt	4	リスタート変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.
HrvBatCmpInt	3	HrvBatCmpの変化による割込みの発生。	0x0: Not triggered since last read. 0x1: Triggered.

Int5（0xC）

BIT	7	6	5	4	3	2	1	0
Field	WDTmr	–	–	–	–	–	–	I2cTmoInt
Reset	0b0	–	–	–	–	–	–	0b0
Access Type	Write, Read	–	–	–	–	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
WDTmr	7	読み出されると、ウォッチドッグは内部タイマー終了時にデバイスをリセットしません。	0x0: Bit read: does not reset at the end of the timer. 0x1: Bit not read since last timer end.
I2cTmoInt	0	スタート・コンディションとストップ・コンディションの間にバスが100msインアクティブであったために、I^2Cウォッチドッグ・タイマーが終了したことを示します。	0x0: Not triggered since last read. 0x1: Triggered.

IntMask0（0xD）

BIT	7	6	5	4	3	2	1	0
Field	ThmStatIntM	–	–	CC1TmoIntM	–	–	–	ChgStatIntM
Reset	0b0	–	–	0b0	–	–	–	0b0
Access Type	Write, Read	–	–	Write, Read	–	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
ThmStatIntM	7	ThmStatIntMは、Int0レジスタ（0x07）のThmStatInt割込みをマスクします。	0: Masked. 1: Not masked.
CC1TmoIntM	4	CC1TmoIntMは、Int0レジスタ（0x07）のCC1TmoInt割込みをマスクします。	0: Masked. 1: Not masked.
ChgStatIntM	0	ChgStatIntMは、Int0レジスタ（0x07）のChgStatInt割込みをマスクします。	0: Masked. 1: Not masked.

IntMask1（0xE）

BIT	7	6	5	4	3	2	1	0
Field	SysBatLimIntM	ChgSysLimIntM	ILimIntM	UsbOVPIntM	UsbOkIntM	ChgJEITASDIntM	ChgJEITARegIntM	ThmSDIntM
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
SysBatLimIntM	7	SysBatLimIntMは、Int1レジスタ（0x08）のSysBatLimInt割込みをマスクします。	0: Masked. 1: Not masked.
ChgSysLimIntM	6	ChgSysLimIntMは、Int1レジスタ（0x08）のChgSysLimInt割込みをマスクします。	0: Masked. 1: Not masked.
ILimIntM	5	ILimIntMは、Int1レジスタ（0x08）のILimInt割込みをマスクします。	0: Masked. 1: Not masked.
UsbOVPIntM	4	UsbOVPIntMは、Int1レジスタ（0x08）のUsbOVPInt割込みをマスクします。	0: Masked. 1: Not masked.
UsbOkIntM	3	UsbOkIntMは、Int1レジスタ（0x08）のUsbOkInt割込みをマスクします。	0: Masked. 1: Not masked.
ChgJEITASDIntM	2	ChgJEITASDIntMは、Int1レジスタ（0x08）のChgJEITASDInt割込みをマスクします。	0: Masked. 1: Not masked.
ChgJEITARegIntM	1	ChgJEITARegIntMは、Int1レジスタ（0x08）のChgJEITARegInt割込みをマスクします。	0: Masked. 1: Not masked.
ThmSDIntM	0	ThmSDIntMは、Int1レジスタ（0x08）のThmSDInt割込みをマスクします。	0: Masked. 1: Not masked.

IntMask2（0xF）

BIT	7	6	5	4	3	2	1	0
Field	DRPLDO3IntM	SCLDO3IntM	UVLOLDO3IntM	ThmLDO3IntM	UVLOLDO2IntM	ThmLDO2IntM	UVLOLDO1IntM	ThmLDO1IntM
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
DRPLDO3IntM	7	DRPLDO3IntMは、Int2レジスタ（0x09）のDRPLDO3Int割込みをマスクします。	0: Masked. 1: Not masked.
SCLDO3IntM	6	SCLDO3IntMは、Int2レジスタ（0x09）のSCLDO3Int割込みをマスクします。	0: Masked. 1: Not masked.
UVLOLDO3IntM	5	UVLOLDO3IntMは、Int2レジスタ（0x09）のUVLOLDO3Int割込みをマスクします。	0: Masked. 1: Not masked.
ThmLDO3IntM	4	ThmLDO3IntMは、Int2レジスタ（0x09）のThmLDO3Int割込みをマスクします。	0: Masked. 1: Not masked.
UVLOLDO2IntM	3	UVLOLDO2IntMは、Int2レジスタ（0x09）のUVLOLDO2Int割込みをマスクします。	0: Masked. 1: Not masked.

ビット・フィールド	ビット	説明	デコード
ThmLDO2IntM	2	ThmLDO2IntMは、Int2レジスタ（0x09）のThmLDO2Int割込みをマスクします。	0: Masked. 1: Not masked
UVLOLDO1IntM	1	UVLOLDO1IntMは、Int2レジスタ（0x09）のUVLOLDO1Int割込みをマスクします。	0: Masked. 1: Not masked.
ThmLDO1IntM	0	ThmLDO1IntMは、Int2レジスタ（0x09）のThmLDO1Int割込みをマスクします。	0: Masked. 1: Not masked.

IntMask3（0x10）

BIT	7	6	5	4	3	2	1	0
Field	BBstFaultIntM	ThmLSWIntM	LSW3TmoIntM	LSW2TmoIntM	LSW1TmoIntM	ThmBk3IntM	ThmBk2IntM	ThmBk1IntM
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BBstFaultIntM	7	BBstFaultIntMは、Int3レジスタ（0xA）のBBstFaultInt割込みをマスクします。	0: Masked. 1: Not masked.
ThmLSWIntM	6	ThmLSWIntMは、Int3レジスタ（0xA）のThmLSWInt割込みをマスクします。	0: Masked. 1: Not masked.
LSW3TmoIntM	5	LSW3TmoIntMは、Int3レジスタ（0xA）のLSW3TmoInt割込みをマスクします。	0: Masked. 1: Not masked.
LSW2TmoIntM	4	LSW2TmoIntMは、Int3レジスタ（0xA）のLSW2TmoInt割込みをマスクします。	0: Masked. 1: Not masked.
LSW1TmoIntM	3	LSW1TmoIntMは、Int3レジスタ（0xA）のLSW1TmoInt割込みをマスクします。	0: Masked. 1: Not masked.
ThmBk3IntM	2	ThmBk3IntMは、Int3レジスタ（0xA）のThmBk3Int割込みをマスクします。	0: Masked. 1: Not masked.
ThmBk2IntM	1	ThmBk2IntMは、Int3レジスタ（0xA）のThmBk2Int割込みをマスクします。	0: Masked. 1: Not masked.
ThmBk1IntM	0	ThmBk1IntMは、Int3レジスタ（0xA）のThmBk1Int割込みをマスクします。	0: Masked. 1: Not masked.

IntMask4（0x11）

BIT	7	6	5	4	3	2	1	0
Field	BatUvlobIntM	StepChgIntM	ChgVoltModeM	ChgRestartM	HrvBatCmpM	–	–	–

Reset	0b0	0b0	0b0	0b0	0b0	–	–	–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	–	–	–

ビット・フィールド	ビット	説明	デコード
BatUvlobIntM	7	BatUvlobIntMは、Int4レジスタ（0xB）のBatUvlobInt割込みをマスクします。	0: Masked. 1: Not masked.
StepChgIntM	6	StepChgIntMは、Int4レジスタ（0xB）のStepChgInt割込みをマスクします。	0: Masked. 1: Not masked.
ChgVoltModeM	5	ChgVoltModeMは、Int4レジスタ（0xB）のChgVoltModeInt割込みをマスクします。	0: Masked. 1: Not masked.
ChgRestartM	4	ChgRestartMは、Int4レジスタ（0xB）のChgRestartInt割込みをマスクします。	0: Masked. 1: Not masked.
HrvBatCmpM	3	HrvBatCmpMは、Int4レジスタ（0xB）のHrvBatCmpInt割込みをマスクします。	0: Masked. 1: Not masked.

IntMask5（0x12）

BIT	7	6	5	4	3	2	1	0
Field	WDTmrM	–	–	–	–	–	–	I2cTmoIntM
Reset	0b0	–	–	–	–	–	–	0b0
Access Type	Write, Read	–	–	–	–	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
WDTmrM	7	WDTmrMは、Int5レジスタのWDTmr割込みをマスクします。	0: Masked. 1: Not masked.
I2cTmoIntM	0	I2cTmoIntMは、Int5レジスタのl2cTmoInt割込みをマスクします。	0: Masked. 1: Not masked.

ILimCtrl1（0x13）

BIT	7	6	5	4	3	2	1	0
Field	ILimBlank*[1:0]		ILimMax*[2:0]			ILimCntl*[2:0]		
Reset	0b00		0b000			0b000		
Access Type	Write, Read		Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
ILimBlank*	7:6	CHGINの入力電流リミッタのブランキング時間（電流がI_{LIM_MAX}に制限される期間）。	00: No debounce (allow a few clock cycles for resampling). 01: 0.5ms. 10: 1.0ms. 11: 10.0ms
ILimMax*	5:3	CHGINのブランキング時間（電流がI_{LIM_MAX}に制限される期間）中の入力電流リミッタ。	000: 90mA. 001: 150mA. 010: 200mA. 011: 300mA. 100: 400mA. 101: 450mA. 110: 1000mA. 111: 1500mA.
ILimCntl*	2:0	CHGINのプログラム可能な入力電流制限値。 ILimCntl > ILimMaxの場合、CHGIN電流はILimMaxに制限されます。	000: 90mA. 001: 150mA. 010: 200mA. 011: 300mA. 100: 400mA. 101: 450mA. 110: 1000mA. 111: 1500mA.

ILimCtrl2（0x14）

BIT	7	6	5	4	3	2	1	0
Field	–	–	SysDSCEn*	–	SysMinVlt*[3:0]			
Reset	–	–	0b0	–	0x0			
Access Type	–	–	Write, Read	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
SysDSCEn*	5	バッテリ回復モードでのSYSの放電が有効。	0: No SYS discharge. 1: Enable SYS discharge prior to entering battery recovery mode.
SysMinVlt*	3:0	システム（SYS）の最小レギュレーション電圧。	0000: 3.3V. 0001: 3.4V. 0010: 3.5V. 0011: 3.6V. 0100: 3.7V. 0101: 3.8V. 0110: 3.9V. 0111: 4.0V. 1000: 4.1V. 1001: 4.2V. 1010: 4.3V. 1011: 4.4V. 1100: 4.5V. 1101: 4.6V. 1110: 4.7V. 1111: 4.8V.

DropCtrl（0x16）

BIT	7	6	5	4	3	2	1	0

Field	SysUVLOThSel*[1:0]	–	–	–	–	–	–
Reset	0b00	–	–	–	–	–	–
Access Type	Write, Read	–	–	–	–	–	–

ビット・フィールド	ビット	説明	デコード
SysUVLOThSel*	7:6	SYSのUVLOスレッショルド。	00: 2.7V. 01: 2.9V. 10: 3.0V. 11: 3.2V.

ChgCur0（0x17）

BIT	7	6	5	4	3	2	1	0
Field	–	CC1IFChg*[6:0]						
Reset	–	0b0000000						
Access Type	–	Write, Read						

ビット・フィールド	ビット	説明	デコード
CC1IFChg*	6:0	高速充電定常電流ゾーン1の電流設定。4mA～500mAの範囲でデコード欄に示すステップで設定できます。 注：10mA未満の設定では精度が落ちることがあります。	0x0: 4. 0x1: 6. 0x2: 8. 0x3: 10. 0x4: 12. 0x5: 14. 0x6: 16. 0x7: 18. 0x8: 20. 0x9: 22. 0xA: 24. 0xB: 26. 0xC: 28. 0xD: 30. 0xE: 32. 0xF: 34. 0x10: 36. 0x11: 38. 0x12: 40. 0x13: 42. 0x14: 44. 0x15: 46. 0x16: 48. 0x17: 50. 0x18: 52. 0x19: 54. 0x1A: 56. 0x1B: 58. 0x1C: 60. 0x1D: 62. 0x1E: 64. 0x1F: 66. 0x20: 68. 0x21: 70. 0x22: 72. 0x23: 74. 0x24: 76.

ビット・フィールド	ビット	説明	デコード
			0x25: 78. 0x26: 80. 0x27: 82. 0x28: 84. 0x29: 86. 0x2A: 88. 0x2B: 90. 0x2C: 92. 0x2D: 94. 0x2E: 96. 0x2F: 98. 0x30: 100. 0x31: 102. 0x32: 104. 0x33: 106. 0x34: 108. 0x35: 110. 0x36: 112. 0x37: 114. 0x38: 116. 0x39: 118. 0x3A: 120. 0x3B: 122. 0x3C: 124. 0x3D: 126. 0x3E: 128. 0x3F: 130. 0x40: 140. 0x41: 150. 0x42: 160. 0x43: 170. 0x44: 180. 0x45: 190. 0x46: 200. 0x47: 210. 0x48: 220. 0x49: 230. 0x4A: 240. 0x4B: 250. 0x4C: 260. 0x4D: 270. 0x4E: 280. 0x4F: 290. 0x50: 300. 0x51: 310. 0x52: 320. 0x53: 330. 0x54: 340. 0x55: 350. 0x56: 360. 0x57: 370. 0x58: 380. 0x59: 390. 0x5A: 400. 0x5B: 410. 0x5C: 420. 0x5D: 430. 0x5E: 440. 0x5F: 450. 0x60: 460. 0x61: 470. 0x62: 480. 0x63: 490. 0x64: 500. Others: 500.

ChgCur1（0x18）

BIT	7	6	5	4	3	2	1	0
Field	–	CC2IFChg*[6:0]						
Reset	–	0b0000000						
Access Type	–	Write, Read						

ビット・フィールド	ビット	説明	デコード
CC2IFChg*	6:0	高速充電定常電流ゾーン2の電流設定。4mA～500mAの範囲でデコード欄に示すステップで設定できます。注：10mA未満の設定では精度が落ちることがあります。	0x0: 4. 0x1: 6. 0x2: 8. 0x3: 10. 0x4: 12. 0x5: 14. 0x6: 16. 0x7: 18. 0x8: 20. 0x9: 22. 0xA: 24. 0xB: 26. 0xC: 28. 0xD: 30. 0xE: 32. 0xF: 34. 0x10: 36. 0x11: 38. 0x12: 40. 0x13: 42. 0x14: 44. 0x15: 46. 0x16: 48. 0x17: 50. 0x18: 52. 0x19: 54. 0x1A: 56. 0x1B: 58. 0x1C: 60. 0x1D: 62. 0x1E: 64. 0x1F: 66. 0x20: 68. 0x21: 70. 0x22: 72. 0x23: 74. 0x24: 76. 0x25: 78. 0x26: 80. 0x27: 82. 0x28: 84. 0x29: 86. 0x2A: 88. 0x2B: 90. 0x2C: 92. 0x2D: 94. 0x2E: 96. 0x2F: 98. 0x30: 100. 0x31: 102. 0x32: 104. 0x33: 106. 0x34: 108. 0x35: 110. 0x36: 112. 0x37: 114.

ビット・フィールド	ビット	説明	デコード
			0x38: 116. 0x39: 118. 0x3A: 120. 0x3B: 122. 0x3C: 124. 0x3D: 126. 0x3E: 128. 0x3F: 130. 0x40: 140. 0x41: 150. 0x42: 160. 0x43: 170. 0x44: 180. 0x45: 190. 0x46: 200. 0x47: 210. 0x48: 220. 0x49: 230. 0x4A: 240. 0x4B: 250. 0x4C: 260. 0x4D: 270. 0x4E: 280. 0x4F: 290. 0x50: 300. 0x51: 310. 0x52: 320. 0x53: 330. 0x54: 340. 0x55: 350. 0x56: 360. 0x57: 370. 0x58: 380. 0x59: 390. 0x5A: 400. 0x5B: 410. 0x5C: 420. 0x5D: 430. 0x5E: 440. 0x5F: 450. 0x60: 460. 0x61: 470. 0x62: 480. 0x63: 490. 0x64: 500. Others: 500.

ChgCntl0（0x19）

BIT	7	6	5	4	3	2	1	0
Field	ChgEn*	ChgAutoStop*	ChgAutoReSta*	–	FrcRchgMonEn*	CC1RoomOnly*	CC1TmoLimit*	CC1Enable*
Reset	0b0	0b0	0b0	–	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
ChgEn*	7	チャージャのオン／オフ制御。 入力リミッタとSYSノードには作用しません。	0: Charger disabled. 1: Charger enabled.

ビット・フィールド	ビット	説明	デコード
ChgAutoStop*	6	チャージャの自動停止制御。 充電維持状態から充電維持完了への遷移を制御します。バッテリ・チャージャの状態遷移図を参照してください。	0: Autostop disabled. 1: Autostop enabled.
ChgAutoReSta*	5	チャージャの自動リスタート制御。 バッテリ・チャージャの状態遷移図を参照してください。	0: Charger remains in maintain-charge done even when V_{BAT} is less than recharge threshold. 1: Charger automatically restarts when V_{BAT} drops below recharge threshold.
FrcRchgMonEn*	3	バッテリ再充電スレッショルド・コンパレータのイネーブル制御。このコントロール・ビットを使用すると、ChgEn = 0のときにバッテリ再充電モニタを継続動作させることができます。ChgEn = 1のときは、このビットはドント・ケアで、バッテリの再充電モニタはイネーブルされます。	0: Recharge Battery monitor disabled. 1: Recharge Battery monitor enabled.
CC1RoomOnly*	2	ステップ充電の動作を設定します。1に設定すると、CC1高速充電は室温ゾーンでのみ動作します。	0: Run CC1 in any THM temperature range based on ThmEn and ThmCfgX regs. 1: Run CC1 at THM room temperature only.
CC1TmoLimit*	1	ステップ充電の動作を設定します。CC1高速充電フェーズはタイマーの制限なく動作します。	0: Run CC1 phase with no timer. Limitation due to CC1FChgTmr. 1: Run CC1 phase with timer. Limitation set by CC1FChgTmr.
CC1Enable*	0	CC1充電フェーズのイネーブル制御。CC1充電フェーズに入ることによりステップ充電できるようにします。0に設定されると、チャージャはCC2高速充電状態でのみ動作し、ステップ充電はディスエーブルされます。	0: CC1 phase disabled (not entered or skipped). 1: CC1 phase enabled.

ChgCntl1（0x1A）

BIT	7	6	5	4	3	2	1	0
Field	BatReChg*[1:0]		ChgBatReg*[5:0]					
Reset	0b00		0b000000					
Access Type	Write, Read		Write, Read					

ビット・フィールド	ビット	説明	デコード
BatReChg*	7:6	チャージャの再充電スレッショルドをChgBatReg[5:0]との関係で規定します。	00: ChgBatReg[5:0] − 50mV. 01: ChgBatReg[5:0] − 100mV. 10: ChgBatReg[5:0] − 150mV. 11: ChgBatReg[5:0] − 220mV.
ChgBatReg*	5:0	チャージャのバッテリ・レギュレーション電圧。	0x0: 4.15V. 0x1: 4.16V. 0x2: 4.17V. 0x3: 4.18V. 0x4: 4.19V. 0x5: 4.20V. 0x6: 4.21V. 0x7: 4.22V. 0x8: 4.23V. 0x9: 4.24V. 0xA: 4.25V. 0xB: 4.26V.

ビット・フィールド	ビット	説明	デコード
			0xC: 4.27V. 0xD: 4.28V. 0xE: 4.29V. 0xF: 4.30V. 0x10: 4.31V. 0x11: 4.32V. 0x12: 4.33V. 0x13: 4.34V. 0x14: 4.35V. 0x15: 4.36V. 0x16: 4.37V. 0x17: 4.38V. 0x18: 4.39V. 0x19: 4.40V. 0x1A: 4.41V. 0x1B: 4.42V. 0x1C: 4.43V. 0x1D: 4.44V. 0x1E: 4.45V. 0x1F: 4.46V. 0x20: 4.47V. 0x21: 4.48V. 0x22: 4.49V. 0x23: 4.50V. 0x24: 4.51V. 0x25: 4.52V. 0x26: 4.53V. 0x27: 4.54V. 0x28: 4.55V. 0x29: 4.56V. 0x2A: 4.57V. 0x2B: 4.58V. 0x2C: 4.59V. 0x2D: 4.60V. 0x2E: 4.61V. 0x2F: 4.62V. 0x30: 4.63V. 0x31: 4.64V. 0x32: 4.65V. 0x33: 4.66V. 0x34: 4.67V. 0x35: 4.68V. 0x36: 4.69V. 0x37: 4.70V. 0x38: 4.70V. 0x39: 4.70V. 0x3A: 4.70V. 0x3B: 4.70V. 0x3C: 4.70V. 0x3D: 4.70V. 0x3E: 4.70V. 0x3F: 4.70V.

ChgCntl2（0x1B）

BIT	7	6	5	4	3	2	1	0
Field	–	VPChg*[2:0]			IPChg*[1:0]		IChgDone*[1:0]	
Reset	–	0b000			0b00		0b00	
Access Type	–	Write, Read			Write, Read		Write, Read	

ビット・フィールド	ビット	説明	デコード
VPChg*	6:4	チャージャのプリチャージ電圧の立上がりスレッショルド。	000: 2.70V. 001: 2.80V. 010: 2.90V. 011: 3.00V. 100: 3.10V. 101: 3.20V. 110: 3.30V. 111: 3.40V.
IPChg*	3:2	チャージャのプリチャージ電流。	00: 0.05 × I_{FCHG}. 01: 0.10 × I_{FCHG}. 10: 0.20 × I_{FCHG}. 11: 0.30 × I_{FCHG}.
IChgDone*	1:0	チャージャの充電完了電流スレッショルド。	00: 0.025 × I_{FCHG}. 01: 0.05 × I_{FCHG}. 10: 0.10 × I_{FCHG}. 11: 0.20 × I_{FCHG}.

ChgTmr（0x1C）

BIT	7	6	5	4	3	2	1	0
Field	MtChgTmr*[1:0]		PChgTmr*[1:0]		CC1FChgTmr*[1:0]		ChgTmr*[1:0]	
Reset	0b00		0b00		0b00		0b00	
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	

ビット・フィールド	ビット	説明	デコード
MtChgTmr*	7:6	チャージャの充電維持タイマー。	00: 0min. 01: 15min. 10: 30min. 11: 60min.
PChgTmr*	5:4	チャージャのプリチャージ・タイマー。	00: 30min. 01: 60min. 10: 120min. 11: 240min.
CC1FChgTmr*	3:2	チャージャの高速充電CC1状態タイマー。	00: 30min. 01: 60min. 10: 120min. 11: 240min.
ChgTmr*	1:0	チャージャの安全タイマー。予備充電CC1、CC2、CV高速充電のフェーズで動作します。	00: 75min. 01: 150min. 10: 300min. 11: 600min.

ChgCfg0（0x1D）

BIT	7	6	5	4	3	2	1	0
Field	–	ChgStepHyst*[2:0]			ChgStepRise*[3:0]			
Reset	–	0b000			0x0			
Access Type	–	Write, Read			Write, Read			

ビット・フィールド	ビット	説明	デコード
ChgStepHyst*	6:4	チャージャのステップ充電電圧スレッショルドのヒステリシス。	000: 100mV. 001: 200mV. 010: 300mV. 011: 400mV. 100: 500mV. 101: 600mV. 110: Reserved (600mV). 111: Reserved (600mV).
ChgStepRise*	3:0	チャージャのステップ充電電圧の立上がりヒステリシス。	0000: 3.80V. 0001: 3.85V. 0010: 3.90V. 0011: 3.95V. 0100: 4.00V. 0101: 4.05V. 0110: 4.10V. 0111: 4.15V. 1000: 4.20V. 1001: 4.25V. 1010: 4.30V. 1011: 4.35V. 1100: 4.40V. 1101: 4.45V. 1110: 4.50V. 1111: 4.55V.

ThmCfg0（0x1E）

BIT	7	6	5	4	3	2	1	0
Field	ChgCoolCC1IFChg*[2:0]			ChgCoolBatReg*[1:0]		ChgCoolCC2IFChg*[2:0]		
Reset	0b111			0b11		0b111		
Access Type	Write, Read			Write, Read		Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgCoolCC1IFChg*	7:5	チャージャの低温ゾーンにおける高速充電の電流削減。 サーミスタ・モニタリングに基づき低温ゾーンに入ったときの修正高速充電電流を設定します。	000: 0.2 × I_{FCHG}. 001: 0.3 × I_{FCHG}. 010: 0.4 × I_{FCHG}. 011: 0.5 × I_{FCHG}. 100: 0.6 × I_{FCHG}. 101: 0.7 × I_{FCHG}. 110: 0.8 × I_{FCHG}. 111: 1.0 × I_{FCHG}.
ChgCoolBatReg*	4:3	チャージャの低温ゾーンにおけるバッテリ・レギュレーション電圧低減。 サーミスタ・モニタリングに基づき低温ゾーンに入ったときの修正バッテリ・レギュレーション電圧を設定します。	00: ChgBatReg[5:0] − 150mV. 01: ChgBatReg[5:0] − 100mV. 10: ChgBatReg[5:0] − 50mV. 11: ChgBatReg[5:0].
ChgCoolCC2IFChg*	2:0	チャージャの低温ゾーンにおける高速充電の電流削減。 サーミスタ・モニタリングに基づき低温ゾーンに入ったときの修正高速充電電流を設定します。	000: 0.2 × I_{FCHG}. 001: 0.3 × I_{FCHG}. 010: 0.4 × I_{FCHG}. 011: 0.5 × I_{FCHG}. 100: 0.6 × I_{FCHG}. 101: 0.7 × I_{FCHG}. 110: 0.8 × I_{FCHG}. 111: 1.0 × I_{FCHG}.

ThmCfg1（0x1F）

BIT	7	6	5	4	3	2	1	0
Field	ChgRoomCC1IFChg*[2:0]			ChgRoomBatReg*[1:0]		ChgRoomCC2IFChg*[2:0]		
Reset	0b111			0b11		0b111		
Access Type	Write, Read			Write, Read		Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgRoomCC1IFChg*	7:5	チャージャの室温ゾーンにおける高速充電の電流削減。 サーミスタ・モニタリングに基づき室温ゾーンに入ったときの修正高速充電電流を設定します。	000: 0.2 × I_{FCHG}. 001: 0.3 × I_{FCHG}. 010: 0.4 × I_{FCHG}. 011: 0.5 × I_{FCHG}. 100: 0.6 × I_{FCHG}. 101: 0.7 × I_{FCHG}. 110: 0.8 × I_{FCHG}. 111: 1.0 × I_{FCHG}.
ChgRoomBatReg*	4:3	チャージャの室温ゾーンにおけるバッテリ・レギュレーション電圧低減。 サーミスタ・モニタリングに基づき室温ゾーンに入ったときの修正バッテリ・レギュレーション電圧を設定します。	00: ChgBatReg[5:0] − 150mV. 01: ChgBatReg[5:0] − 100mV. 10: ChgBatReg[5:0] − 50mV. 11: ChgBatReg[5:0].
ChgRoomCC2IFChg*	2:0	チャージャの室温ゾーンにおける高速充電の電流削減。 サーミスタ・モニタリングに基づき室温ゾーンに入ったときの修正高速充電電流を設定します。	000: 0.2 × I_{FCHG}. 001: 0.3 × I_{FCHG}. 010: 0.4 × I_{FCHG}. 011: 0.5 × I_{FCHG}. 100: 0.6 × I_{FCHG}. 101: 0.7 × I_{FCHG}. 110: 0.8 × I_{FCHG}. 111: 1.0 × I_{FCHG}.

ThmCfg2（0x20）

BIT	7	6	5	4	3	2	1	0
Field	ChgWarmCC1IFChg*[2:0]			ChgWarmBatReg*[1:0]		ChgWarmCC2IFChg*[2:0]		
Reset	0b111			0b11		0b111		
Access Type	Write, Read			Write, Read		Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgWarmCC1IFChg*	7:5	チャージャの高温ゾーンにおける高速充電の電流低減。 サーミスタ・モニタリングに基づき高温ゾーンに入ったときの修正高速充電電流を設定します。	000: 0.2 × I_{FCHG}. 001: 0.3 × I_{FCHG}. 010: 0.4 × I_{FCHG}. 011: 0.5 × I_{FCHG}. 100: 0.6 × I_{FCHG}. 101: 0.7 × I_{FCHG}. 110: 0.8 × I_{FCHG}. 111: 1.0 × I_{FCHG}.
ChgWarmBatReg*	4:3	チャージャの高温ゾーンにおけるバッテリ・レギュレーション電圧低減。 サーミスタ監視に基づき高温ゾーンに入ったときの修正バッテリ・レギュレーション電圧を設定します。	00: ChgBatReg[5:0] − 150mV. 01: ChgBatReg[5:0] − 100mV. 10: ChgBatReg[5:0] − 50mV. 11: ChgBatReg[5:0].

ビット・フィールド	ビット	説明	デコード
ChgWarmCC2IFChg*	2:0	チャージャの高温ゾーンにおける高速充電の電流低減。 サーミスタ・モニタリングに基づき高温ゾーンに入ったときの修正高速充電電流を設定します。	000: 0.2 × I_{FCHG}. 001: 0.3 × I_{FCHG}. 010: 0.4 × I_{FCHG}. 011: 0.5 × I_{FCHG}. 100: 0.6 × I_{FCHG}. 101: 0.7 × I_{FCHG}. 110: 0.8 × I_{FCHG}. 111: 1.0 × I_{FCHG}.

ThmCfg3（0x21）

BIT	7	6	5	4	3	2	1	0
Field	–	–	ChgT1ThrDef*[2:0]			ChgT1ThrCC1*[2:0]		
Reset	–	–	0b111			0b111		
Access Type	–	–	Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgT1ThrDef*	5:3	JEITAのT1のデフォルト設定。	000: −20°C. 001: −15°C. 010: −10°C. 011: −5°C. 100: 0°C. 101: +5°C. 110: +10°C. 111: +15°C.
ChgT1ThrCC1*	2:0	JEITAのT1のCC1設定。	000: −20°C. 001: −15°C. 010: −10°C. 011: −5°C. 100: 0°C. 101: +5°C. 110: +10°C. 111: +15°C.

ThmCfg4（0x22）

BIT	7	6	5	4	3	2	1	0
Field	–	–	ChgT2ThrDef*[2:0]			ChgT2ThrCC1*[2:0]		
Reset	–	–	0b111			0b111		
Access Type	–	–	Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgT2ThrDef*	5:3	JEITAのT2のデフォルト設定。	000: −10°C. 001: −5°C.

ビット・フィールド	ビット	説明	デコード
			010: 0°C. 011: +5°C. 100: +10°C. 101: +15C. 110: +20°C. 111: +25°C.
ChgT2ThrCC1*	2:0	JEITAのT2のCC1設定。	000: −10°C. 001: −5°C. 010: 0°C. 011: +5°C. 100: +10°C. 101: +15°C. 110: +20°C. 111: +25°C.

ThmCfg5（0x23）

BIT	7	6	5	4	3	2	1	0
Field	–	–	ChgT3ThrDef*[2:0]			ChgT3ThrCC1*[2:0]		
Reset	–	–	0b111			0b111		
Access Type	–	–	Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgT3ThrDef*	5:3	JEITAのT3のデフォルト設定。	000: +20°C. 001: +25°C. 010: +30°C. 011: +35°C. 100: +40°C. 101: +45°C. 110: +50°C. 111: +55°C.
ChgT3ThrCC1*	2:0	JEITAのT3のCC1設定。	000: +20°C. 001: +25°C. 010: +30°C. 011: +35°C. 100: +40°C. 101: +45°C. 110: +50°C. 111: +55°C.

ThmCfg6（0x24）

BIT	7	6	5	4	3	2	1	0
Field	–	–	ChgT4ThrDef*[2:0]			ChgT4ThrCC1*[2:0]		
Reset	–	–	0b111			0b111		
Access Type	–	–	Write, Read			Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgT4ThrDef*	5:3	JEITAのT4のデフォルト設定。	000: +35°C. 001: +40°C. 010: +45°C. 011: +50°C. 100: +55°C. 101: +60°C. 110: +65°C. 111: +70°C.
ChgT4ThrCC1*	2:0	JEITAのT4のCC1設定。	000: +35°C. 001: +40°C. 010: +45°C. 011: +50°C. 100: +55°C. 101: +60°C. 110: +65°C. 111: +70°C.

ThmCfg7（0x25）

BIT	7	6	5	4	3	2	1	0
Field	ChgThrmLim*[3:0]				ThmPUSel*	ThmEn*[2:0]		
Reset	0x0				0b0	0b000		
Access Type	Write, Read				Write, Read	Write, Read		

ビット・フィールド	ビット	説明	デコード
ChgThrmLim*	7:4	熱保護スレッショルドの設定。	
ThmPUSel*	3	THMの内部プルアップの選択。	0: 10kΩ THM pull-up. 1: 100kΩ THM pullup.
ThmEn*	2:0	チャージャのサーミスタ・モニタリング関連の制御。 CHGIN入力電圧が存在するときのみ有効です。	000: Thermistor monitoring disabled. 001: Thermistor monitoring enabled when CHGIN is present. Because of JEITA, battery is charged only in the cool and room temperature zones. 010: Thermistor monitoring enabled when CHGIN is present. Because of JEITA, battery is charged only in the room and warm temperature zones. 011: Thermistor monitoring enabled when CHGIN is present. Because of JEITA, battery is charged only in the cool, room, and warm temperature zones. 100: Thermistor monitoring enabled, but charger not affected by JEITA. 101: Thermistor monitoring permanently enabled. Because of JEITA, battery is charged by the harvester only in the cool and room temperature zones. 110: Thermistor monitoring permanently enabled. Because of JEITA, battery is charged by the harvester only in the room and warm temperature zones. 111: Thermistor monitoring permanently enabled. Because of JEITA, battery is charged by the harvester only in the cool, room, and warm temperature zones.

ChgCtr1（0x26）

BIT	7	6	5	4	3	2	1	0

Field	ChgFresh*	–	–	–	–	–	–	–
Reset	0b0	–	–	–	–	–	–	–
Access Type	Write, Read	–	–	–	–	–	–	–

ビット・フィールド	ビット	説明	デコード
ChgFresh*	7	VBATが再充電電圧スレッショルドを下回ることによる充電の制御。	0: When CHGIN is inserted, if BAT voltage is greater than V_{BAT_RECHG} recharge threshold, the device stays in idle state. 1: When CHGIN is inserted, the device goes to charger boot state.

ChgCtr2（0x27）

BIT	7	6	5	4	3	2	1	0
Field	–	BattPullDown*	FrcPChg*	–	–	–	–	–
Reset	–	0b0	0b0	–	–	–	–	–
Access Type	–	Write, Read	Write, Read	–	–	–	–	–

ビット・フィールド	ビット	説明	デコード
BattPullDown*	6	BATのプルダウン抵抗のイネーブル。バッテリの存在を確認するためには、このプルダウンを接続してバッテリが存在しない場合にはノードの容量が放電するようにし、その後Batuvlobを確認します。Batuvlobが0であれば、バッテリが存在しないか、パックの保護がオープンな状態です。このときには、FrcPchgによって強制プリチャージをイネーブルし、バッテリ・ノードの電圧をChgVoltModeでチェックすることができます。ChgVoltMode = 1であれば、バッテリは存在せず、コンデンサは急速に充電されます。ChgVoltMode = 1の場合は、バッテリが存在するがパック保護がオープンである可能性が強く見込まれます。SysBatLimステータスが1であれば、リミッタの作用によりチャージャがBATノードに強制的に電流を流すことがないため、このビットは信頼できません。	0: Pull-down resistor disabled. 1: Pull-down resistor enabled.
FrcPChg*	5	チャージャの強制プリチャージ・モード。ChgEn = 1の場合のみ有効です。BatPullDownのレジスタの説明に記載のパック保護検出で使用します。	0: Charger operating normally. 1: Charger current is forced to precharge value.

HrvBatCfg0（0x28）

BIT	7	6	5	4	3	2	1	0

Field	HrvModCfg*[1:0]	HrvThmEn*[1:0]	–	–	HrvThmDio*	HrvFreeMPC
Reset	0b00	0b00	–	–	0b0	0b0
Access Type	Write, Read	Write, Read	–	–	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
HrvModCfg*	7:6	ハーベスタのBAT-SYS FET制御。 CHGIN入力電圧が存在せず、HrvEn = 1でハーベスタとの相互作用がイネーブルされているときに有効です。HrvEn = 0でありCHGIN入力電圧が存在していなければ、BAT-SYS FETは完全オン（直接経路）になります。CHGIN入力電圧が存在すれば、BAT-SYS FETはチャージャによって制御されます。	00: Direct-path (BAT-SYS FET fully on) forced active. 01: Direct-path active if V_{BAT} < ChgBatReg[5:0] and ideal BAT-to-SYS diode active if V_{BAT} > ChgBatReg[5:0]. Once ideal diode has been activated, a hysteresis equal to BatReChg[1:0] is applied on ChgBatReg[5:0] threshold. 10: Ideal BAT-to-SYS diode (BAT-SYS FET controlled to allow current flowing from BAT to SYS with a low drop and to not allow current flowing from SYS to BAT) forced active. 11: Reserved.
HrvThmEn*	5:4	チャージャのサーミスタ・モニタリング関連の制御。 CHGIN入力電圧が存在せず、HrvEn = 1でハーベスタとの相互作用がイネーブルされているときに有効です。HrvThmEn[1:0]が00でなければ、残量ゲージの定期計測タイミングの作用によりサーミスタ（V_{THM}）が定期的にモニタされます。	00: Periodic thermistor monitoring disabled. 01: Periodic thermistor monitoring enabled and harvester charging enabled in the cool and room temperature zones. 10: Periodic thermistor monitoring enabled and harvester charging enabled in the room and warm temperature zones. 11: Periodic thermistor monitoring enabled and harvester charging enabled in the cool, room, and warm temperature zones.
HrvThmDio*	1	ハーベスタ充電ディスエーブル条件制御。 CHGIN入力電圧が存在せず、HrvEn = 1でハーベスタとの相互作用がイネーブルされており、HrvThmEn[1:0]が00でなく、ハーベスタからの充電が妨げられる温度ゾーンにあるときに有効です。HrvEn = 1でありCHGIN入力電圧が存在していれば、ハーバスタはMPC6の出力により常時ディスエーブルとなります。	0: Harvester is disabled through the MPC6 output and the BAT-SYS FET is controlled through HrvModCfg[1:0]. 1: Harvester is not disabled through the MPC6 output and ideal BAT-to-SYS diode is forced active regardless of HrvModCfg[1:0].
HrvFreeMPC	0	ハーベスタ・モードOTPが有効であるときには、MPC6端子とMPC7端子はハーベスタ機能に固定されています。 ハーベスタ機能専用から外れるようMPC6とMPC7の設定を変更するには、これを変更するように要求してください。	

MONCfg（0x29）

BIT	7	6	5	4	3	2	1	0
Field	–	MONRatioCfg[1:0]		MONHiZ	MONCtr[3:0]			
Reset	–	0b00		0b1	0x0			
Access Type	–	Write, Read		Write, Read	Write, Read			

ビット・フィールド	ビット	説明	デコード
MONRatioCfg	6:5	IVMONマルチプレクサの抵抗分圧比セレクタ。	00: 1:1. 01: 2:1. 10: 3:1. 11: 4:1.
MONHiZ	4	IVMONマルチプレクサのディスエーブル状態。 IVMONCntl = 0000のときに有効です。	0: IVMON is pulled low by a 59kΩ (typ) resistor. 1: IVMON is high-impedance.
MONCtr	3:0	IVMONマルチプレクサの入力チャンネル・セレクタ。	0000: IVMON multiplexer disabled; high-impedance. 0001: Charger current (buffered version of V_{ISET}). 0010: BAT. 0011: SYS. 0100: BK1OUT. 0101: BK2OUT. 0110: BK3OUT. 0111: L1OUT. 1000: L2OUT. 1001: L3OUT. 1010: BBOUT. 1011: THM. 1100: GND. 1101: RTC_LDO. 1110: GND. 1111: Reserved.

WDCntl（0x2A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	WDRstType[1:0]		WDTmrSel[1:0]	
Reset	–	–	–	–	0b00		0b00	
Access Type	–	–	–	–	Write, Read		Write, Read	

ビット・フィールド	ビット	説明	デコード
WDRstType	3:2	ウォッチドッグ・リセット種別。	00: Watchdog is off. 01: Charger and limiter registers reset. 11: Soft reset. 11: Hard reset.
WDTmrSel	1:0	ウォッチドッグ・タイマーの間隔を選択します。WDTmrSelを変更する前にはWDRstType = 0を設定します。リセットもしくはアクティブ化後の最初のウォッチドッグ・タイマーの終了イベントは無視されるので、最初の期間は実効的に倍の時間になります。	00: 4s. 01: 8s. 10: 16s. 11: 32s.

Buck1Ena（0x30）

BIT	7	6	5	4	3	2	1	0
Field	Buck1Seq[2:0]			–	–	–	Buck1En[1:0]	
Reset	0b000			–	–	–	0b00	

Access Type	Write, Read	–	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck1Seq	7:5	Buck1のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by Buck1En[1:0] after 100% of boot/POR process delay control.
Buck1En	1:0	Buck1のイネーブル設定。（Buck1Seq = 111のときのみ有効）	00: Disabled: BK1OUT not actively discharged unless hard-reset/shutdown/off mode. 01: Enabled. 10: Controlled by MPC_ (see the Buck1MPC_ bits). 11: Reserved.

Buck1Cfg0（0x31）

BIT	7	6	5	4	3	2	1	0
Field	Buck1EnbINTGR	Buck1PGOODena	Buck1Fast	Buck1PsvDsc	Buck1ActDsc	Buck1LowEMI	Buck1FET	Buck1EnLxSns
Reset	0b0	0b1	0b0	0b1	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck1EnbINTGR	7	Buck1の積分器帰還ディスエーブル。	0: Integrator enabled. 1: Integrator disabled—proportional control only.
Buck1PGOODena	6	Buck1のPGOODコンパレータ制御。	0: PGOOD comparator disabled during voltage transition after startup. 1: PGOOD comparator enabled during voltage transition after startup.
Buck1Fast	5	Buck1のプリトリガ・モード設定。	0: Normal, low quiescent current operation. 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
Buck1PsvDsc	4	Buck1のパッシブ放電制御。	0: Buck1 passively discharged only in hard reset. 1: Buck1 passively discharged in hard reset or enable low.
Buck1ActDsc	3	Buck1のアクティブ放電制御。	0: Buck1 actively discharged only in hard reset. 1: Buck1 actively discharged in hard reset or enable low.
Buck1LowEMI	2	Buck1の低EMIモード。	0: Normal operation. 1: Slow rise/fall edges on BK1LX by 3x.
Buck1FET	1	Buck1の強制FETスケーリング。 FETの大きさを二分の一に縮小します。Buck1ISetが100mA未満であるときの効率を最適化するために使用します（例えば低周波数におけるノイズを低減するため）。	0: FET scaling disabled. 1: FET scaling enabled.

ビット・フィールド	ビット	説明	デコード
Buck1EnLxSns	0	Buck1のLX検出制御。 FETのフリーホイーリングをオンにする条件を選択します。 Buck1Vset ≤ 1.6Vの場合は0に保持します。	0: Enter freewheeling mode after inductor current zero-crossing 1: Enter freewheeling mode on V_{LX} high detection after inductor current zero-crossing

Buck1Cfg1（0x32）

BIT	7	6	5	4	3	2	1	0
Field	Buck1LowBW	Buck1FrcDCM	Buck1MPCFast	Buck1FPWM	Buck1EnbIADPT	–	–	–
Reset	0b0	0b0	0b0	0b0	0b0	–	–	–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	–	–	–

ビット・フィールド	ビット	説明	デコード
Buck1LowBW	7	Buck1の狭帯域幅モード。このモードでは、DCMからCCMに遷移するときのジッタを最小化するために必要な容量が減少します。このビットがイネーブルされると、出力容量の条件が半分になります。	0: High bandwidth mode. 1: Low bandwidth mode.
Buck1FrcDCM	6	Buck1の強制不連続導通モード（DCM）。軽負荷時の効率が改善されますが、高負荷における負荷レギュレーション誤差は増加します。最大負荷の想定値が50mAより低い場合にのみ使用します。	0: Normal operation. 1: Forced DCM operation.
Buck1MPCFast	5	Buck1高速モードのMPC2による制御。	0: Buck1 fast mode control by MPC2 disabled. 1: Buck1 fast mode control by MPC2 enabled.
Buck1FPWM	4	Buck1の強制PWMモード制御。	0: Normal operation. 1: Forced PWM mode enabled.
Buck1EnbIADPT	3	Buck1の適応型ピーク電流モード制御。	0: Adaptive peak current mode enabled. 1: Peak current fixed at value set in Buck1ISet.

Buck1Iset（0x33）

BIT	7	6	5	4	3	2	1	0
Field	Buck1ISetLookUpb	–	–	–	Buck1ISet[3:0]			
Reset	0b0	–	–	–	0x0			
Access Type	Write, Read	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
Buck1ISetLookUpb	7	Buck1ピーク電流のルックアップ・テーブル設定のディスエーブル。	0: Inductor current setting is set according to look-up table. 1: Inductor current setting is set by Buck1ISet.

ビット・フィールド	ビット	説明	デコード
Buck1ISet	3:0	Buck1のインダクタ・ピーク電流設定。 Buck1ISetLookUpDisがハイの場合のみ有効です。 効率を最適化するためには、150mA～200mAを使用してください。25mA刻みの線形スケールで、75mAより低い設定は最小t_{ON}のために制限される場合があります。	0000: 0mA. 0001: 25mA. 0010: 50mA. 0011: 75mA. 0100: 100mA. 0101: 125mA. 0110: 150mA. 0111: 175mA. 1000: 200mA. 1001: 225mA. 1010: 250mA. 1011: 275mA. 1100: 300mA. 1101: 325mA. 1110: 350mA. 1111: 375mA.

Buck1VSet（0x34）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1Vset[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck1Vset	5:0	Buck1の出力電圧設定。 刻み幅Bk1Stepで、0.50V～（63 × Buck1VStep）の線形スケールです。 例えば、Bk1Step = 10mVのとき、 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1Ctr（0x35）

BIT	7	6	5	4	3	2	1	0
Field	Buck1MPC7	Buck1MPC6	Buck1MPC5	Buck1MPC4	Buck1MPC3	Buck1MPC2	Buck1MPC1	Buck1MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck1MPC7	7	Buck1のMPC7イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC7. 1: Buck1 controlled by MPC7.

ビット・フィールド	ビット	説明	デコード
Buck1MPC6	6	Buck1のMPC6イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC6 1: Buck1 controlled by MPC6.
Buck1MPC5	5	Buck1のMPC5イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC5. 1: Buck1 controlled by MPC5.
Buck1MPC4	4	Buck1のMPC4イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC4. 1: Buck1 controlled by MPC4.
Buck1MPC3	3	Buck1のMPC3イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC3. 1: Buck1 controlled by MPC3.
Buck1MPC2	2	Buck1のMPC2イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります	0: Buck1 not controlled by MPC2. 1: Buck1 controlled by MPC2
Buck1MPC1	1	Buck1のMPC1イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC1. 1: Buck1 controlled by MPC1.
Buck1MPC0	0	Buck1のMPC0イネーブル制御。 Buck1Seq = 111かつBuck1En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck1の制御はMPCの論理ORによります。	0: Buck1 not controlled by MPC0. 1: Buck1 controlled by MPC0.

Buck1DvsCfg0（0x36）

BIT	7	6	5	4	3	2	1	0
Field	Buck1DvsCur	–	Buck1DvsIpMax	Buck1DvsCfg[4:0]				
Reset	0b0	–	0b1	0b00000				
Access Type	Write, Read	–	Write, Read	Write, Read				

ビット・フィールド	ビット	説明	デコード
Buck1DvsCur	7	Buck1のDVS谷電流選択。	0: 500mA valley current during DVS transition. 1: 1000mA valley current during DVS transition.

ビット・フィールド	ビット	説明	デコード
Buck1DvsIpMax	5	Buck1のDVS Isetピーク電流制御。	0: IP unchanged during DVS. 1: IP max during DVS.
Buck1DvsCfg	4:0		00000: DVS modes disabled. 00001: MPC0/MPC1. 00010: MPC0/MPC2. 00011: MPC0/MPC3. 00100: MPC0/MPC4. 00101: MPC0/MPC5. 00110: MPC0/MPC6. 00111: MPC0/MPC7. 01000: MPC1/MPC2. 01001: MPC1/MPC3. 01010: MPC1/MPC4. 01011: MPC1/MPC5. 01100: MPC1/MPC6. 01101: MPC1/MPC7. 01110: MPC2/MPC3. 01111: MPC2/MPC4. 10000: MPC2/MPC5. 10001: MPC2/MPC6. 10010: MPC2/MPC7. 10011: MPC3/MPC4. 10100: MPC3/MPC5. 10101: MPC3/MPC6. 10110: MPC3/MPC7. 10111: MPC4/MPC5. 11000: MPC4/MPC6. 11001: MPC4/MPC7. 11010: MPC5/MPC6. 11011: MPC5/MPC7. 11100: MPC6/MPC7. 11101: SPI mode. >11101: Reserved.

Buck1DvsCfg1（0x37）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DvsVlt0[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck1DvsVlt0	5:0	Buck1の出力電圧設定0（MPC = 00で使用） 刻み幅Bk1Stepで、0.50V～（63 × Bk1Step）の線形スケールです。 例えば、Bk1Step = 10mVのとき、 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsCfg2（0x38）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DvsVlt1[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck1DvsVlt1	5:0	Buck1の出力電圧設定1（MPC = 01で使用） 刻み幅Bk1Stepで、0.50V～（63 × Bk1Step）の線形スケールです。 例えば、Bk1Step = 10mVのとき、 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsCfg3（0x39）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DvsVlt2[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck1DvsVlt2	5:0	Buck1の出力電圧設定2（MPC = 10で使用） 刻み幅Bk1Stepで、0.50V～（63 × Bk1Step）の線形スケールです。 例えば、Bk1Step = 10mVのとき、 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsCfg4（0x3A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1DvsVlt3[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck1DvsVlt3	5:0	Buck1の出力電圧設定3（MPC = 11で使用） 刻み幅Bk1Stepで、0.50V～（63 × Bk1Step）の線形スケールです。 例えば、Bk1Step = 10mVのとき、 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck1DvsSpi（0x3B）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck1SpiVlt[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Read Only					

ビット・フィールド	ビット	説明
Buck1SpiVlt	5:0	Buck1のSPI DVSのリードバック。 刻み幅Bk1Stepで、0.50V～（63 × Bk1Step）の線形スケールです。 例えば、Bk1Step = 10mVのとき、 000000 = 0.50V 000001 = 0.51V … 111111 = 1.13V

Buck2Ena（0x3C）

BIT	7	6	5	4	3	2	1	0
Field	Buck2Seq[2:0]			–	–	–	Buck2En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
Buck2Seq	7:5	Buck2のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by Buck2En[1:0] after 100% of boot/POR process delay control.

ビット・フィールド	ビット	説明	デコード
Buck2En	1:0	Buck2のイネーブル設定。（Buck2Seq = 111のときのみ有効）	00: Disabled: BK2OUT not actively discharged unless hard reset/shutdown/off mode. 01: Enabled. 10: Controlled by MPC_ (see the Buck2MPC_ bits). 11: Reserved.

Buck2Cfg（0x3D）

BIT	7	6	5	4	3	2	1	0
Field	Buck2EnbINTGR	Buck2PGOODena	Buck2Fast	Buck2PsvDsc	Buck2ActDsc	Buck2LowEMI	Buck2FET	Buck2EnLxSns
Reset	0b0	0b1	0b0	0b1	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck2EnbINTGR	7	Buck2の積分器帰還ディスエーブル。	0: Integrator enabled. 1: Integrator disabled—proportional control only.
Buck2PGOODena	6	Buck2のPGOODコンパレータ制御。	0: PGOOD comparator disabled during voltage transition after start-up. 1: PGOOD comparator enabled during voltage transition after start-up.
Buck2Fast	5	Buck2のプリトリガ・モード設定。	0: Normal, low quiescent current operation. 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
Buck2PsvDsc	4	Buck2のパッシブ放電制御。	0: Buck2 passively discharged only in hard reset. 1: Buck2 passively discharged in hard reset or enable low.
Buck2ActDsc	3	Buck2のアクティブ放電制御。	0: Buck2 actively discharged only in hard reset. 1: Buck2 actively discharged in hard reset or enable low.
Buck2LowEMI	2	Buck2の低EMIモード。	0: Normal operation. 1: Slow rise/fall edges on BK2LX by 3x.
Buck2FET	1	Buck2のFETスケーリング制御。 FETの大きさを二分の一に縮小します。Buck1ISetが100mA未満であるときの効率を最適化するために使用します（例えば低周波数におけるノイズを低減するため）。	0: FET scaling disabled. 1: FET scaling enabled.
Buck2EnLxSns	0	Buck2のLX検出制御。 FETのフリーホイーリングをオンにする条件を選択します。 Buck2Vset ≤ 1.6Vの場合は0に保持します。	0: Enter freewheeling mode after inductor current zero-crossing 1: Enter freewheeling mode on V_{LX} high detection after inductor current zero-crossing

Buck2Cfg1（0x3E）

BIT	7	6	5	4	3	2	1	0
Field	Buck2LowBW	Buck2FrcDCM	Buck2MPCFast	Buck2FPWM	Buck2EnbIADPT	–	–	–
Reset	0b0	0b0	0b0	0b0	0b0	–	–	–

Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	–	–	–

ビット・フィールド	ビット	説明	デコード
Buck2LowBW	7	Buck2の低帯域幅モード。このモードでは、DCMからCCMに遷移するときのジッタを最小化するために必要な容量が減少します。このビットがイネーブルされると、出力容量の条件が半分になります。	0: High bandwidth mode. 1: Low bandwidth mode.
Buck2FrcDCM	6	Buck2の強制不連続導通モード（DCM）。軽負荷時の効率が改善されますが、高負荷における負荷レギュレーション誤差は増加します。最大負荷の想定値が50mAより低い場合にのみ使用します。	0: Normal operation. 1: Forced DCM operation.
Buck2MPCFast	5	Buck2高速モードのMPC3による制御。	0: Buck2 fast mode control by MPC3 disabled. 1: Buck2 fast mode control by MPC3 enabled.
Buck2FPWM	4	Buck2の強制PWMモード制御。	0: Normal operation. 1: Forced PWM mode enabled.
Buck2EnbIADPT	3	Buck2の適応型ピーク電流モード制御。	0: Adaptive peak current mode enabled. 1: Peak current fixed at value set in Buck2ISet.

Buck2Iset（0x3F）

BIT	7	6	5	4	3	2	1	0
Field	Buck2ISetLookUpb	–	–	–	Buck2ISet[3:0]			
Reset	0b0	–	–	–	0x0			
Access Type	Write, Read	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
Buck2ISetLookUpb	7	Buck2ピーク電流のルックアップ・テーブル設定のディスエーブル。	0: Inductor current setting is set according to look-up table. 1: Inductor current setting is set by Buck2ISet.
Buck2ISet	3:0	Buck2のインダクタ・ピーク電流設定。 Buck2ISetLookUpDisがハイの場合のみ有効です。 効率を最適化するためには、150mA～200mAを使用してください。25mA刻みの線形スケールで、75mAより低い設定は最小t_{ON}のために制限される場合があります。	0000: 0mA. 0001: 25mA. 0010: 50mA. 0011: 75mA. 0100: 100mA. 0101: 125mA. 0110: 150mA. 0111: 175mA. 1000: 200mA. 1001: 225mA. 1010: 250mA. 1011: 275mA. 1100: 300mA. 1101: 325mA. 1110: 350mA. 1111: 375mA.

Buck2VSet（0x40）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2Vset[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck2Vset	5:0	Buck2の出力電圧設定。 刻み幅Bk2Stepで、0.50V～（63 × Buck2VStep）の線形スケールです。 例えば、Bk2Step = 25mVのとき、 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2Ctr（0x41）

BIT	7	6	5	4	3	2	1	0
Field	Buck2MPC7	Buck2MPC6	Buck2MPC5	Buck2MPC4	Buck2MPC3	Buck2MPC2	Buck2MPC1	Buck2MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck2MPC7	7	Buck2のMPC7イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC7. 1: Buck2 controlled by MPC7.
Buck2MPC6	6	Buck2のMPC6イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC6. 1: Buck2 controlled by MPC6.
Buck2MPC5	5	Buck2のMPC5イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC5. 1: Buck2 controlled by MPC5.
Buck2MPC4	4	Buck2のMPC4イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC4. 1: Buck2 controlled by MPC4.

ビット・フィールド	ビット	説明	デコード
Buck2MPC3	3	Buck2のMPC3イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります	0: Buck2 not controlled by MPC3. 1: Buck2 controlled by MPC3.
Buck2MPC2	2	Buck2のMPC2イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC2. 1: Buck2 controlled by MPC2.
Buck2MPC1	1	Buck2のMPC1イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC1. 1: Buck2 controlled by MPC1.
Buck2MPC0	0	Buck2のMPC0イネーブル制御。 Buck2Seq = 111かつBuck2En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck2の制御はMPCの論理ORによります。	0: Buck2 not controlled by MPC0. 1: Buck2 controlled by MPC0

Buck2DvsCfg0（0x42）

BIT	7	6	5	4	3	2	1	0
Field	Buck2DvsCur	–	Buck2DvsIpMax	Buck2DvsCfg[4:0]				
Reset	0b0	–	0b1	0b00000				
Access Type	Write, Read	–	Write, Read	Write, Read				

ビット・フィールド	ビット	説明	デコード
Buck2DvsCur	7	Buck2のDVS谷電流選択。	0: 500mA valley current during DVS transition. 1: 1000mA valley current during DVS transition.
Buck2DvsIpMax	5	Buck2のDVS Isetピーク電流制御。	0: IP unchanged during DVS. 1: IP max during DVS.
Buck2DvsCfg	4:0		00000: DVS modes disabled. 00001: MPC0/MPC1. 00010: MPC0/MPC2. 00011: MPC0/MPC3. 00100: MPC0/MPC4. 00101: MPC0/MPC5. 00110: MPC0/MPC6. 00111: MPC0/MPC7. 01000: MPC1/MPC2. 01001: MPC1/MPC3. 01010: MPC1/MPC4. 01011: MPC1/MPC5. 01100: MPC1/MPC6. 01101: MPC1/MPC7. 01110: MPC2/MPC3. 01111: MPC2/MPC4. 10000: MPC2/MPC5. 10001: MPC2/MPC6. 10010: MPC2/MPC7. 10011: MPC3/MPC4. 10100: MPC3/MPC5.

ビット・フィールド	ビット	説明	デコード
			10101: MPC3/MPC6. 10110: MPC3/MPC7. 10111: MPC4/MPC5. 11000: MPC4/MPC6. 11001: MPC4/MPC7. 11010: MPC5/MPC6. 11011: MPC5/MPC7. 11100: MPC6/MPC7. 11101: SPI mode. > 11101: Reserved.

Buck2DvsCfg1（0x43）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt0[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck2DvsVlt0	5:0	Buck2の出力電圧設定0（MPC = 00で使用） 刻み幅Bk2Stepで、0.50V～（63 × Bk2Step）の線形スケールです。 例えば、Bk2Step = 25mVのとき、 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsCfg2（0x44）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt1[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck2DvsVlt1	5:0	Buck2の出力電圧設定1（MPC = 01で使用） 刻み幅Bk2Stepで、0.50V～（63 × Bk2Step）の線形スケールです。 例えば、Bk2Step = 25mVのとき、 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsCfg3（0x45）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt2[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck2DvsVlt2	5:0	Buck2の出力電圧設定2（MPC = 10で使用） 刻み幅Bk2Stepで、0.50V～（63 × Bk2Step）の線形スケールです。 例えば、Bk2Step = 25mVのとき、 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsCfg4（0x46）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2DvsVlt3[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck2DvsVlt3	5:0	Buck2の出力電圧設定3（MPC = 11で使用） 刻み幅Bk2Stepで、0.50V～（63 × Bk2Step）の線形スケールです。 例えば、Bk2Step = 25mVのとき、 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck2DvsSpi（0x47）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck2SpiVlt[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Read Only					

ビット・フィールド	ビット	説明
Buck2SpiVlt	5:0	Buck2のSPI DVSのリードバック。 刻み幅Bk2Stepで、0.50V～（63 × Bk2Step）の線形スケールです。 例えば、Bk2Step = 25mVのとき、 000000 = 0.50V 000001 = 0.525V … 111111 = 2.075V

Buck3Ena（0x48）

BIT	7	6	5	4	3	2	1	0
Field	Buck3Seq[2:0]			–	–	–	Buck3En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
Buck3Seq	7:5	Buck3のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by Buck3En[1:0] after 100% of boot/POR process delay control.
Buck3En	1:0	Buck3のイネーブル設定。（Buck3Seq = 111のときのみ有効）	00: Disabled: BK1OUT not actively discharged unless hard-reset/shutdown/off mode. 01: Enabled. 10: Controlled by MPC_ (see the Buck3MPC_ bits). 11: Reserved.

Buck3Cfg（0x49）

BIT	7	6	5	4	3	2	1	0
Field	Buck3EnbINTGR	Buck3PGOODena	Buck3Fast	Buck3PsvDsc	Buck3ActDsc	Buck3LowEMI	Buck3FET	Buck3EnLxSns
Reset	0b0	0b1	0b0	0b1	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck3EnbINTGR	7	Buck3の積分器帰還ディスエーブル。	0: Integrator enabled. 1: Integrator disabled—proportional control only.

ビット・フィールド	ビット	説明	デコード
Buck3PGOODena	6	Buck3のPGOODコンパレータ制御。	0: PGOOD comparator disabled during voltage transition after startup. 1: PGOOD comparator enabled during voltage transition after startup.
Buck3Fast	5	Buck3のプリトリガ・モード設定	0: Normal, low quiescent current operation. 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
Buck3PsvDsc	4	Buck3のパッシブ放電制御。	0: Buck3 passively discharged only in hard reset. 1: Buck3 passively discharged in hard reset or enable low
Buck3ActDsc	3	Buck3のアクティブ放電制御。	0: Buck3 actively discharged only in hard reset. 1: Buck3 actively discharged in hard reset or enable low.
Buck3LowEMI	2	Buck3の低EMIモード。	0: Normal operation. 1: Slow rise/fall edges on BK3LX by 3x.
Buck3FET	1	Buck3の強制FETスケーリング。 FETの大きさを1/2に縮小します。Buck1ISetが100mA未満であるときの効率を最適化するために使用します（例えば低周波数におけるノイズを低減するため）。	0: FET scaling disabled. 1: FET scaling enabled.
Buck3EnLxSns	0	Buck3のLX検出制御。 FETのフリーホイーリングをオンにする条件を選択します。 Buck3Vset ≤ 1.6Vの場合は0に保持します。	0: Enter freewheeling mode after inductor current zero-crossing. 1: Enter freewheeling mode on VLX high detection after inductor current zero-crossing.

Buck3Cfg1（0x4A）

BIT	7	6	5	4	3	2	1	0
Field	Buck3LowBW	Buck3FrcDCM	Buck3MPCFast	Buck3FPWM	Buck3EnbIADPT	–	–	–
Reset	0b0	0b0	0b0	0b0	0b0	–	–	–
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	–	–	–

ビット・フィールド	ビット	説明	デコード
Buck3LowBW	7	Buck3の低帯域幅モード。このモードでは、DCMからCCMに遷移するときのジッタを最小化するために必要な容量が減少します。このビットがイネーブルされると、出力容量の条件が半分になります。	0: High bandwidth mode. 1: Low bandwidth mode.
Buck3FrcDCM	6	Buck3の強制不連続導通モード（DCM）。軽負荷時の効率が改善されますが、高負荷における負荷レギュレーション誤差は増加します。最大負荷の想定値が50mAより低い場合にのみ使用します。	0: Normal operation. 1: Forced DCM operation.
Buck3MPCFast	5	Buck3高速モードのMPC4による制御。	0: Buck3 fast mode control by MPC4 disabled. 1: Buck3 fast mode control by MPC4 enabled.
Buck3FPWM	4	Buck3の強制PWMモード制御。	0: Normal operation. 1: Forced PWM mode enabled.
Buck3EnbIADPT	3	Buck3の適応型ピーク電流モード制御。	0: Adaptive peak current mode enabled. 1: Peak current fixed at value set in Buck3ISet.

Buck3Iset（0x4B）

BIT	7	6	5	4	3	2	1	0
Field	Buck3ISetLookUpb	–	–	–	Buck3ISet[3:0]			
Reset	0b0	–	–	–	0x0			
Access Type	Write, Read	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
Buck3ISetLookUpb	7	Buck3ピーク電流のルックアップ・テーブル設定のディスエーブル。	0: Inductor current setting is set according to look-up table. 1: Inductor current setting is set by Buck3ISet.
Buck3ISet	3:0	Buck3のインダクタ・ピーク電流設定。 Buck3ISetLookUpDisがハイの場合のみ有効です。効率を最適化するためには、150mA～200mAを使用してください。25mA刻みの線形スケールで、75mAより低い設定は最小t_{ON}のために制限される場合があります。	0000: 0mA. 0001: 25mA. 0010: 50mA. 0011: 75mA. 0100: 100mA. 0101: 125mA. 0110: 150mA. 0111: 175mA. 1000: 200mA. 1001: 225mA. 1010: 250mA. 1011: 275mA. 1100: 300mA. 1101: 325mA. 1110: 350mA. 1111: 375mA.

Buck3VSet（0x4C）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3Vset[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck3Vset	5:0	Buck3の出力電圧設定。 刻み幅Bk3Stepで、0.50V～（63 × Buck3VStep）の線形スケールです。 例えば、Bk3Step = 50mVのとき、 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3Ctr（0x4D）

BIT	7	6	5	4	3	2	1	0
Field	Buck3MPC7	Buck3MPC6	Buck3MPC5	Buck3MPC4	Buck3MPC3	Buck3MPC2	Buck3MPC1	Buck3MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
Buck3MPC7	7	Buck3のMPC7イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC7. 1: Buck3 controlled by MPC7.
Buck3MPC6	6	Buck3のMPC6イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC6 1: Buck3 controlled by MPC6.
Buck3MPC5	5	Buck3のMPC5イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC5. 1: Buck3 controlled by MPC5.
Buck3MPC4	4	Buck3のMPC4イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC4 1: Buck3 controlled by MPC4.
Buck3MPC3	3	Buck3のMPC3イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC3. 1: Buck3 controlled by MPC3.
Buck3MPC2	2	Buck3のMPC2イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC2. 1: Buck3 controlled by MPC2.
Buck3MPC1	1	Buck3のMPC1イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC1. 1: Buck3 controlled by MPC1.
Buck3MPC0	0	Buck3のMPC0イネーブル制御。 Buck3Seq = 111かつBuck3En = 10のときのみ有効です。複数のMPCが選択されている場合、Buck3の制御はMPCの論理ORによります。	0: Buck3 not controlled by MPC0. 1: Buck3 controlled by MPC0.

Buck3DvsCfg0（0x4E）

BIT	7	6	5	4	3	2	1	0
Field	Buck3DvsCur	–	Buck3DvsIpMax	Buck3DvsCfg[4:0]				
Reset	0b0	–	0b1	0b00000				
Access Type	Write, Read	–	Write, Read	Write, Read				

ビット・フィールド	ビット	説明	デコード
Buck3DvsCur	7	Buck3のDVS谷電流選択。	0: 500mA valley current during DVS transition. 1: 1000mA valley current during DVS transition.
Buck3DvsIpMax	5	Buck3のDVS Isetピーク電流制御。	0: IP unchanged during DVS. 1: IP max during DVS.
Buck3DvsCfg	4:0		00000: DVS modes disabled. 00001: MPC0/MPC1. 00010: MPC0/MPC2. 00011: MPC0/MPC3. 00100: MPC0/MPC4. 00101: MPC0/MPC5. 00110: MPC0/MPC6. 00111: MPC0/MPC7. 01000: MPC1/MPC2. 01001: MPC1/MPC3. 01010: MPC1/MPC4. 01011: MPC1/MPC5. 01100: MPC1/MPC6. 01101: MPC1/MPC7. 01110: MPC2/MPC3. 01111: MPC2/MPC4. 10000: MPC2/MPC5. 10001: MPC2/MPC6. 10010: MPC2/MPC7. 10011: MPC3/MPC4. 10100: MPC3/MPC5. 10101: MPC3/MPC6. 10110: MPC3/MPC7. 10111: MPC4/MPC5. 11000: MPC4/MPC6. 11001: MPC4/MPC7. 11010: MPC5/MPC6. 11011: MPC5/MPC7. 11100: MPC6/MPC7. 11101: SPI mode. >11101: Reserved.

Buck3DvsCfg1（0x4F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt0[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck3DvsVlt0	5:0	Buck3の出力電圧設定0（MPC = 00で使用） 刻み幅Bk3Stepで、0.50V～（63 × Bk3Step）の線形スケールです。 例えば、Bk3Step = 50mVのとき、 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsCfg2（0x50）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt1[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck3DvsVlt1	5:0	Buck3の出力電圧設定1（MPC = 01で使用） 刻み幅Bk3Stepで、0.50V～（63 × Bk3Step）の線形スケールです。 例えば、Bk3Step = 50mVのとき、 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsCfg3（0x51）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt2[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck3DvsVlt2	5:0	Buck3の出力電圧設定2（MPC = 10で使用） 刻み幅Bk3Stepで、0.50V～（63 × Bk3Step）の線形スケールです。 例えば、Bk3Step = 50mVのとき、 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsCfg4（0x52）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3DvsVlt3[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Write, Read					

ビット・フィールド	ビット	説明
Buck3DvsVlt3	5:0	Buck3の出力電圧設定3（MPC = 11で使用） 刻み幅Bk3Stepで、0.50V～（63 × Bk3Step）の線形スケールです。 例えば、Bk3Step = 50mVのとき、 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

Buck3DvsSpi（0x53）

BIT	7	6	5	4	3	2	1	0
Field	–	–	Buck3SpiVlt[5:0]					
Reset	–	–	0b000000					
Access Type	–	–	Read Only					

ビット・フィールド	ビット	説明
Buck3SpiVlt	5:0	Buck3のSPI DVSのリードバック。 刻み幅Bk3Stepで、0.50V～（63 × Bk3Step）の線形スケールです。 例えば、Bk3Step = 50mVのとき、 000000 = 0.50V 000001 = 0.55V … 111111 = 3.65V

BBstEna（0x54）

BIT	7	6	5	4	3	2	1	0
Field	BBstSeq[2:0]			–	–	–	BBstEn[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
BBstSeq	7:5	Buck-Boostのイネーブル制御。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by BBstEn[1:0] after 100% of boot/POR process delay control.
BBstEn	1:0	Buck-Boostのイネーブル制御。（BBstSeq = 111のときのみ有効）	00: Disabled: BBOUT not actively discharged unless hard-reset/shutdown/off mode. 01: Enabled. 10: Controlled by MPC_ (see the BBstMPC_ bits). 11: Reserved.

BBstCfg（0x55）

BIT	7	6	5	4	3	2	1	0
Field	BBstIPSetLookUpb	–	–	BBstLowEMI	BBstActDsc	BBstRampEna	BBstMode	BBstPsvDisc
Reset	0b0	–	–	0b0	0b0	0b1	0b0	0b1
Access Type	Write, Read	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BBstIPSetLookUpb	7	Buck-Boostピーク電流のルックアップ・テーブル設定のディスエーブル。	0: Inductor current setting is set according to look-up table. 1: Inductor current setting is set by BBstIPSet2 and BBstIPSet1.
BBstLowEMI	4	Buck-Boostの低EMIモード。	0: Normal operation. 1: Slow rise/fall edges on HVLX/LVLX by 3x.
BBstActDsc	3	Buck-Boostのアクティブ放電制御。	0: Buck-boost actively discharged only in hard reset. 1: Buck-boost actively discharged in hard reset or enable low.
BBstRampEna	2	Buck-Boostのランプ動作イネーブル。	0: Voltage setting transition is performed without intermediate steps. 1: Voltage setting transition to a higher value is performed with incremental steps every 20µs.
BBstMode	1	Buck-Boostの動作モード。	0: Buck-boost. 1: Buck only.
BBstPsvDisc	0	Buck-Boostのパッシブ放電制御。	0: Buck-boost passively discharged only in hard reset. 1: Buck-boost passively discharged in hard reset or enable low.

BBstVSet（0x56）

BIT	7	6	5	4	3	2	1	0
Field	–	–	BBstVSet[5:0]					
Reset	–	–	0b000000					

Access Type	–	–	Write, Read

ビット・フィールド	ビット	説明
BBstVSet	5:0	Buck-Boostの出力電圧設定。 刻み幅50mVの線形スケールで2.5V～5.5V。000010未満のコードはV_{BBOUT_UVLO}と干渉する可能性があり、不確実です。 000000 = 2.5V 000001 = 2.55V … 111100 = 5.5V > 111100 = 使用不可

BBstISet（0x57）

BIT	7	6	5	4	3	2	1	0
Field	BBstIPSet2[3:0]				BBstIPSet1[3:0]			
Reset	0x0				0x0			
Access Type	Write, Read				Write, Read			

ビット・フィールド	ビット	説明	デコード
BBstIPSet2	7:4	Buck-Boostの公称最大ピーク電流設定。 BBstISetLookUpDisがハイの場合のみ有効です。 ピーク電流設定の説明については昇降圧レギュレータのセクションを参照してください。刻み幅25mAの線形スケールで0mA～375mA。75mAより低い設定は最小t_{ON}のために制限される場合があります。 推奨設定は以下の通りです。 V_{BBOUT} ≤ 2.65V：250mA 2.7V < V_{BBOUT} ≤ 3.05V：225mA 3.1V < V_{BBOUT} ≤ 3.6V：200mA 3.65V < V_{BBOUT} ≤ 4.35V：175mA V_{BBOUT} > 4.4V：150mA	0000: BBstIPSet1 + 0mA. 0001: BBstIPSet1 + 25mA. 0010: BBstIPSet1 + 50mA. 0011: BBstIPSet1 + 75mA. 0100: BBstIPSet1 + 100mA. 0101: BBstIPSet1 + 125mA. 0110: BBstIPSet1 + 150mA. 0111: BBstIPSet1 + 175mA. 1000: BBstIPSet1 + 200mA. 1001: BBstIPSet1 + 225mA. 1010: BBstIPSet1 + 250mA. 1011: BBstIPSet1 + 275mA. 1100: BBstIPSet1 + 300mA. 1101: BBstIPSet1 + 325mA. 1110: BBstIPSet1 + 350mA. 1111: BBstIPSet1 + 375mA.
BBstIPSet1	3:0	Buck-Boostの公称ピーク電流設定。 BBstISetLookUpDisがハイの場合のみ有効です。 V_{IN}とGNDの間のインダクタを充電するときの公称ピーク電流です。 ピーク電流設定の説明については昇降圧レギュレータのセクションを参照してください。刻み幅25mAで0mA～375mAの線形スケールで、75mAより低い設定は最小t_{ON}のために制限される場合があります。 推奨設定は以下の通りです。 V_{BBOUT} ≤ 2.65V：50mA 2.7V < V_{BBOUT} ≤ 3.05V：75mA 3.1V < V_{BBOUT} ≤ 3.4V：100mA 3.45V < V_{BBOUT} ≤ 3.8V：125mA 3.85V < V_{BBOUT} ≤ 4.15V：150mA 4.2V < V_{BBOUT} ≤ 4.55V：175mA 4.6V < V_{BBOUT} ≤ 4.9V：200mA 4.95V < V_{BBOUT} ≤ 5.3V：225mA V_{BBOUT} > 5.35V：250mA	0000: 0mA. 0001: 25mA. 0010: 50mA. 0011: 75mA. 0100: 100mA. 0101: 125mA. 0110: 150mA. 0111: 175mA. 1000: 200mA. 1001: 225mA. 1010: 250mA. 1011: 275mA. 1100: 300mA. 1101: 325mA. 1110: 350mA. 1111: 375mA.

BBstCfg1（0x58）

BIT	7	6	5	4	3	2	1	0
Field	–	BBstIpPadPEnb	BBstFast	BBZCCmpEnB	BBstFFET	BBstMPC1FCT	BBFHighSh[1:0]	
Reset	–	0b0	0b0	0b1	0b0	0b0	0b00	
Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

ビット・フィールド	ビット	説明	デコード
BBstIpPadPEnb	6	適応型ピーク／谷電流調整イネーブル。	0: Enabled. 1: Disabled, peak current fixed and is set by BBstIPSet1, 2. Valley current is fixed to 0mA.
BBstFast	5	Buck-Boostのプリトリガ・モード設定。	0: Normal, low quiescent current operation. 1: Increased quiescent mode for fast load transient response. Quiescent current increased to 30µA.
BBZCCmpEnB	4	Buck-Boostのゼロ交差コンパレータのディスエーブル。	0: Enable. 1: Disable.
BBstFFET	3	Buck-Boostの強制FETスケーリング。 FETの大きさを1/2に縮小し、軽負荷時の効率を最適化します。	0: FET scaling disabled. 1: FET scaling enabled.
BBstMPC1FCT	2	Buck-Boost高速モードのMPC1によるイネーブル。MAX86170/MAX86171との連携動作を改善します。このモードを使用する場合には、MAX86170/MAX86171のINT2にMPC1を接続します。	0: Fast status controlled by BBstFast register. 1: Fast mode controlled by MPC1. MPC1 = 0: Fast disabled MPC1 = 1: Fast enabled, I_Q increased by 30µA.
BBFHighSh	1:0	Buck-Boostのf_{HIGH}スレッショルド。 スイッチング周波数のスレッショルドf_{HIGH}を選択します。$f_{SW} > f_{HIGH}$の場合、全ブロックがオンのままになります（I_Qが増加）。f_{HIGH}のクロスオーバーでは、V_{BBOUT}にわずかなグリッチが発生する可能性があります。	00: 25kHz/6.125kHz. 01: 35kHz/8.25kHz. 10: 50kHz/12.5kHz. 11: 100kHz/25kHz.

BBstCtr0（0x59）

BIT	7	6	5	4	3	2	1	0
Field	BBstMPC7	BBstMPC6	BBstMPC5	BBstMPC4	BBstMPC3	BBstMPC2	BBstMPC1	BBstMPC0
Reset	0b0	0b0	0b0	0b0	0b1	0b0	0b0	0b0

Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BBstMPC7	7	Buck-BoostのMPC7イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC7. 1: Buck-boost controlled by MPC7.
BBstMPC6	6	Buck-BoostのMPC6イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC6. 1: Buck-boost controlled by MPC6.
BBstMPC5	5	Buck-BoostのMPC5イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC5. 1: Buck-boost controlled by MPC5.
BBstMPC4	4	Buck-BoostのMPC4イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC4. 1: Buck-boost controlled by MPC4.
BBstMPC3	3	Buck-BoostのMPC3イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC3. 1: Buck-boost controlled by MPC3.
BBstMPC2	2	Buck-BoostのMPC2イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC2. 1: Buck-boost controlled by MPC2.
BBstMPC1	1	Buck-BoostのMPC1イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC1. 1: Buck-boost controlled by MPC1.
BBstMPC0	0	Buck-BoostのMPC0イネーブル制御。 BBstSeq = 111かつBBstEn = 10のときのみ有効です。複数のMPCが選択されている場合、昇降圧ブロックの制御はMPCの論理ORによります。	0: Buck-boost not controlled by MPC0. 1: Buck-boost controlled by MPC0.

LDO1Ena（0x5A）

BIT	7	6	5	4	3	2	1	0
Field	LDO1Seq[2:0]			–	–	–	LDO1En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LDO1Seq	7:5	LDO1のイネーブル設定。	000: Disabled. 001: Enabled always when BAT/SYS is present. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: 100 = Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LDO1En[1:0] after 100% of boot/POR process delay control.
LDO1En	1:0	LDO1のイネーブル設定。（LDO1Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LDO1Ctr register 0x5D). 11: Reserved.

LDO1Cfg（0x5B）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	LDO1IntSup	LDO1ActDsc	LDO1Mode	LDO1PsvDsc
Reset	–	–	–	–	0b0	0b0	0b0	0b1
Access Type	–	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO1IntSup	3	LDO1の内部スイッチオーバー電源常時オン制御。	0: L1IN must be provided externally. 1: L1IN is internally connected to V_{CCINT} with a typ 15kΩ resistor. Bypass L1IN with 1µF.
LDO1ActDsc	2	LDO1のアクティブ放電制御。	0: LDO1 output is actively discharged only in hard reset mode. 1: LDO1 output is actively discharged in hard reset mode and also when its enable goes low.
LDO1Mode	1	LDO1のモード制御。 FETがオンのとき、出力はレギュレーションされません。この設定は内部でラッチされており、LDOがディスエーブルされているときのみ変化します。	0: Normal LDO operating mode. 1: Load switch mode. FET is either fully on or off depending on state of LDO1En.
LDO1PsvDsc	0	LDO1のパッシブ放電制御。	0: LDO1 output is discharged only entering off and hard reset modes. 1: LDO1 output is discharged only entering off and hard-reset modes and when the enable is low.

LDO1VSet（0x5C）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	LDO1VSet[4:0]				
Reset	–	–	–	0b00000				
Access Type	–	–	–	Write, Read				

ビット・フィールド	ビット	説明
LDO1VSet	4:0	LDO1の出力電圧設定。 入力電源により制限されます。 刻み幅100mVの線形スケールで0.9V～4.0V。 00000 = 0.9V 00001 = 1.0V … 11110 = 3.9V 11111 = 4.0V

LDO1Ctr（0x5D）

BIT	7	6	5	4	3	2	1	0
Field	LDO1MPC7	LDO1MPC6	LDO1MPC5	LDO1MPC4	LDO1MPC3	LDO1MPC2	LDO1MPC1	LDO1MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO1MPC7	7	LDO1のMPC7イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC7. 1: LDO1 controlled by MPC7.
LDO1MPC6	6	LDO1のMPC6イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC6. 1: LDO1 controlled by MPC6.
LDO1MPC5	5	LDO1のMPC5イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC5. 1: LDO1 controlled by MPC5.
LDO1MPC4	4	LDO1のMPC4イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC4. 1: LDO1 controlled by MPC4.
LDO1MPC3	3	LDO1のMPC3イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC3. 1: LDO1 controlled by MPC3
LDO1MPC2	2	LDO1のMPC2イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC2. 1: LDO1 controlled by MPC2.

ビット・フィールド	ビット	説明	デコード
LDO1MPC1	1	LDO1のMPC1イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC1. 1: LDO1 controlled by MPC1.
LDO1MPC0	0	LDO1のMPC0イネーブル制御。 LDO1Seq = 111かつLDO1En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO1の制御はMPCの論理ORによります。	0: LDO1 not controlled by MPC0. 1: LDO1 controlled by MPC0.

LDO2Ena（0x5E）

BIT	7	6	5	4	3	2	1	0
Field	LDO2Seq[2:0]			–	–	–	LDO2En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LDO2Seq	7:5	LDO2のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LDO2En[1:0] after 100% of boot/POR process delay control.
LDO2En	1:0	LDO2のイネーブル設定。（LDO2Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LDO2Ctr register (0x61)). 11: Reserved.

LDO2Cfg（0x5F）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	LDO2_MPC0CNF	LDO2_MPC0CNT	LDO2ActDsc	LDO2Mode	LDO2PsvDsc
Reset	–	–	–	0b0	0b0	0b0	0b0	0b1
Access Type	–	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO2_MPC0CNF	4	MPC0設定ビット。	0: MPC0 controls LDO/SW mode of LDO2 (MPC0 = 0 LDO mode, MPC0 = 1 SW mode). 1: MPC0 controls enabling of LDO2 (MPC0 = 0 disabled, MPC0 = 1 enabled in SW mode).

ビット・フィールド	ビット	説明	デコード
LDO2_MPC0CNT	3	LDO2のMPC0制御ビット。	0: MPC0 has no effect on the LDO. 1: LDO2_MPC0CNF is valid and MPC0 function is enabled.
LDO2ActDsc	2	LDO2のアクティブ放電制御。	0: LDO2 output is actively discharged only in hard-reset mode. 1: LDO2 output is actively discharged in hard-reset mode and also when its enable goes low.
LDO2Mode	1	LDO2のモード制御。 FETがオンのとき、出力はレギュレーションされません。この設定は内部でラッチされており、LDOがディスエーブルされているときのみ変化します。	0: Normal LDO operating mode 1: Load switch mode. FET is either fully On or Off depending on state of LDO2En.
LDO2PsvDsc	0	LDO2のパッシブ放電制御。	0: LDO2 output is passively discharged only in hard-reset mode. 1: LDO2 output is passively discharged in hard-reset mode and also when its enable goes low.

LDO2VSet（0x60）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	LDO2VSet[4:0]				
Reset	–	–	–	0b00000				
Access Type	–	–	–	Write, Read				

ビット・フィールド	ビット	説明
LDO2VSet	4:0	LDO2の出力電圧設定。 入力電源により制限されます。 刻み幅100mVで0.9V～4Vの線形スケールです。 00000 = 0.9V 00001 = 1.0V … 11110 = 3.9V 11111 = 4.0V

LDO2Ctr（0x61）

BIT	7	6	5	4	3	2	1	0
Field	LDO2MPC7	LDO2MPC6	LDO2MPC5	LDO2MPC4	LDO2MPC3	LDO2MPC2	LDO2MPC1	LDO2MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO2MPC7	7	LDO2のMPC7イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC7. 1: LDO2 controlled by MPC7.
LDO2MPC6	6	LDO2のMPC6イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC6. 1: LDO2 controlled by MPC6.
LDO2MPC5	5	LDO2のMPC5イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC5. 1: LDO2 controlled by MPC5.
LDO2MPC4	4	LDO2のMPC4イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC4. 1: LDO2 controlled by MPC4.
LDO2MPC3	3	LDO2のMPC3イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC3. 1: LDO2 controlled by MPC3.
LDO2MPC2	2	LDO2のMPC2イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC2. 1: LDO2 controlled by MPC2.
LDO2MPC1	1	LDO2のMPC1イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC1. 1: LDO2 controlled by MPC1.
LDO2MPC0	0	LDO2のMPC0イネーブル制御。 LDO2Seq = 111かつLDO2En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO2の制御はMPCの論理ORによります。	0: LDO2 not controlled by MPC0. 1: LDO2 controlled by MPC0.

LDO3Ena（0x62）

BIT	7	6	5	4	3	2	1	0
Field	LDO3Seq[2:0]			–	–	–	LDO3En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LDO3Seq	7:5	LDO3のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LDO3En[1:0] after 100% of boot/POR process delay control.
LDO3En	1:0	LDO3のイネーブル設定。（LDO3Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LDO3Ctr register 0x65). 11: Reserved.

LDO3Cfg（0x63）

BIT	7	6	5	4	3	2	1	0
Field	–	LDO3_MPC_CNF	LDO3_NOCLP	LDO3_HICOUT	LDO3_FRC_HIC	LDO3ActDsc	LDO3_PMOD	LDO3PsvDsc
Reset	–	0b0	0b0	0b0	0b0	0b0	0b0	0b1
Access Type	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO3_MPC_CNF	6	MPC0設定ビット。	0: MPC5 does not controls LDO3. 1: MPC5 controls the enabling of FRC_HIQ (MPC5 = 0 disabled, MPC5 = 1 enabled).
LDO3_NOCLP	5	LDO3の短絡保護トリガのオン・クリッピング無効。	0: Short to GND sensitivity increased. 1: Short to GND robustness increased.
LDO3_HICOUT	4	COUTの選択。	0: Value to be set if C_{OUT} < 4uF. 1: Value to be set if C_{OUT} > 4uF.
LDO3_FRC_HIC	3	LDO3_FRC_HIQ	0: Low quiescent mode, slow response mode. 1: I_Q = ~3uA (typ) , fast response mode.
LDO3ActDsc	2	LDO3のアクティブ放電制御。	0: LDO3 output is actively discharged only in hard-reset mode. 1: LDO3 output is actively discharged in hard-reset mode and also when its enable goes low.
LDO3_PMOD	1	LDO3の比例レギュレーション・モード制御。	Reserved. Set this bit to 0.
LDO3PsvDsc	0	LDO3のパッシブ放電制御。	0: LDO3 output is passively discharged only in hard-reset mode. 1: LDO3 output is passively discharged in hard-reset mode and also when its enable goes low.

LDO3VSet（0x64）

BIT	7	6	5	4	3	2	1	0
Field	–	LDO3VSet[6:0]						
Reset	–	0b0000000						

Access Type	–	Write, Read

ビット・フィールド	ビット	説明
LDO3VSet	6:0	LDO3の出力電圧設定。 入力電源により制限されます。 刻み幅25mVで0.9V～4.075Vの線形スケールです。 0000000 = 0.9V 0000001 = 0.925V … 1111110= 4.05V 1111111= 4.075V

LDO3Ctr（0x65）

BIT	7	6	5	4	3	2	1	0
Field	LDO3MPC7	LDO3MPC6	LDO3MPC5	LDO3MPC4	LDO3MPC3	LDO3MPC2	LDO3MPC1	LDO3MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO3MPC7	7	LDO3のMPC7イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC7. 1: LDO3 controlled by MPC7.
LDO3MPC6	6	LDO3のMPC6イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC6. 1: LDO3 controlled by MPC6.
LDO3MPC5	5	LDO3のMPC5イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC5. 1: LDO3 controlled by MPC5.
LDO3MPC4	4	LDO3のMPC4イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC4. 1: LDO3 controlled by MPC4.
LDO3MPC3	3	LDO3のMPC3イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC3. 1: LDO3 controlled by MPC3.
LDO3MPC2	2	LDO3のMPC2イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC2. 1: LDO3 controlled by MPC2.

ビット・フィールド	ビット	説明	デコード
LDO3MPC1	1	LDO3のMPC1イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC1. 1: LDO3 controlled by MPC1.
LDO3MPC0	0	LDO3のMPC0イネーブル制御。 LDO3Seq = 111かつLDO3En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO3の制御はMPCの論理ORによります。	0: LDO3 not controlled by MPC0. 1: LDO3 controlled by MPC0.

LDO4Ena（0x66）

BIT	7	6	5	4	3	2	1	0
Field	LDO4Seq[2:0]			–	–	–	LDO4En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LDO4Seq	7:5	LDO4のイネーブル設定。	000: Disabled. 001: Enabled always when BAT/SYS is present. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LDO4En[1:0] after 100% of boot/POR process delay control.
LDO4En	1:0	LDO4のイネーブル設定。（LDO4Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LDO4Ctr register 0x68). 11: Reserved.

LDO4Cfg（0x67）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	LDO4VInc[1:0]		LDO4VSet	LDO4PsvDsc
Reset	–	–	–	–	0b00		0b0	0b1
Access Type	–	–	–	–	Write, Read		Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO4VInc	3:2	LDO4VIncは1ビットごとに25mVずつ電圧増分を設定します。 LDO4VInc = 00：0mVの電圧増分 LDO4VInc = 01：25mVの電圧増分 LDO4VInc = 10：50mVの電圧増分 LDO4VInc = 11：50mVの電圧増分	0x0: 0mV voltage increment. 0x1: 25mV voltage increment. 0x2: 50mV voltage increment. 0x3: 50mV voltage increment.
LDO4VSet	1	出力をLDO4VSet = 0では1.2V、LDO4VSet = 1では1.8Vに設定します。	0x0: 1.2V. 0x1: 1.8V.
LDO4PsvDsc	0	LDO4のパッシブ放電制御。	0: LDO4 output is passively discharged only in hard-reset mode. 1: LDO4 output is passively discharged in hard-reset mode and also when its enable goes low.

LDO4Ctr（0x68）

BIT	7	6	5	4	3	2	1	0
Field	LDO4MPC7	LDO4MPC6	LDO4MPC5	LDO4MPC4	LDO4MPC3	LDO4MPC2	LDO4MPC1	LDO4MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LDO4MPC7	7	LDO4のMPC7イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC7. 1: LDO4 controlled by MPC7.
LDO4MPC6	6	LDO4のMPC6イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC6. 1: LDO4 controlled by MPC6.
LDO4MPC5	5	LDO4のMPC5イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC5. 1: LDO4 controlled by MPC5.
LDO4MPC4	4	LDO4のMPC4イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC4. 1: LDO4 controlled by MPC4.
LDO4MPC3	3	LDO4のMPC3イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC3. 1: LDO4 controlled by MPC3.

ビット・フィールド	ビット	説明	デコード
LDO4MPC2	2	LDO4のMPC2イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC2. 1: LDO4 controlled by MPC2.
LDO4MPC1	1	LDO4のMPC1イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC1. 1: LDO4 controlled by MPC1.
LDO4MPC0	0	LDO4のMPC0イネーブル制御。 LDO4Seq = 111かつLDO4En = 10のときのみ有効です。複数のMPCが選択されている場合、LDO4の制御はMPCの論理ORによります。	0: LDO4 not controlled by MPC0. 1: LDO4 controlled by MPC0.

LSW1Ena（0x69）

BIT	7	6	5	4	3	2	1	0
Field	LSW1Seq[2:0]			–	–	–	LSW1En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LSW1Seq	7:5	LSW1のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LSW1En[1:0] after 100% of boot/POR process delay control.
LSW1En	1:0	LSW1のイネーブル設定。（LSW1Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LSW1MPC_ bits in register 0x6B). 11: Reserved.

LSW1Cfg（0x6A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	LSW1ActDsc	LSW1LowIq	LSW1PsvDsc
Reset	–	–	–	–	–	0b0	0b0	0b1
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW1ActDsc	2	LSW1のアクティブ放電制御。	0: LSW1 output is actively discharged only in hard-reset mode. 1: LSW1 output is actively discharged in hard-reset mode and also when its enable goes low.
LSW1LowIq	1	LSW1の低自己消費電流制御。 LSW1の電圧保護をディスエーブルすることにより低自己消費電流モードを実現します。	0: Voltage protection enabled. If V_{SYS} − $V_{LSW1OUT}$ exceeds V_{LSW_PROT}, the output is disabled to protect from overcurrent. 1: Voltage protection disabled and quiescent is reduced.
LSW1PsvDsc	0	LSW1のパッシブ放電制御。	0: LSW1 output is discharged only entering off and hard-reset modes. 1: LSW1 output is discharged only entering off and hard-reset modes and when the enable is low.

LSW1Ctr（0x6B）

BIT	7	6	5	4	3	2	1	0
Field	LSW1MPC7	LSW1MPC6	LSW1MPC5	LSW1MPC4	LSW1MPC3	LSW1MPC2	LSW1MPC1	LSW1MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW1MPC7	7	LSW1のMPC7イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC7. 1: LSW1 controlled by MPC7.
LSW1MPC6	6	LSW1のMPC6イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC6. 1: LSW1 controlled by MPC6.
LSW1MPC5	5	LSW1のMPC5イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC5. 1: LSW1 controlled by MPC5.
LSW1MPC4	4	LSW1のMPC4イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC4. 1: LSW1 controlled by MPC4.
LSW1MPC3	3	LSW1のMPC3イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC3. 1: LSW1 controlled by MPC3.
LSW1MPC2	2	LSW1のMPC2イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC2. 1: LSW1 controlled by MPC2.

ビット・フィールド	ビット	説明	デコード
LSW1MPC1	1	LSW1のMPC1イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC1. 1: LSW1 controlled by MPC1.
LSW1MPC0	0	LSW1のMPC0イネーブル制御。 LSW1Seq = 111かつLSW1En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW1の制御はMPCの論理ORによります。	0: LSW1 not controlled by MPC0. 1: LSW1 controlled by MPC0.

LSW2Ena（0x6C）

BIT	7	6	5	4	3	2	1	0
Field	LSW2Seq[2:0]			–	–	–	LSW2En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LSW2Seq	7:5	LSW2のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LSW2En[1:0] after 100% of boot/POR process delay control.
LSW2En	1:0	LSW2のイネーブル設定。（LSW2Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LSW2MPC_ bits in register 0x6E). 11: Reserved.

LSW2Cfg（0x6D）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	LSW2ActDsc	LSW2LowIq	LSW2PsvDsc
Reset	–	–	–	–	–	0b0	0b0	0b1
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW2ActDsc	2	LSW2のアクティブ放電制御。	0: LSW2 output is actively discharged only in hard-reset mode. 1: LSW2 output is actively discharged in hard-reset mode and also when its enable goes low.

ビット・フィールド	ビット	説明	デコード
LSW2LowIq	1	LSW2の低自己消費電流制御。 LSW2の電圧保護をディスエーブルすることにより低自己消費電流モードを実現します。	0: Voltage protection enabled. If V_{SYS} − $V_{LSW2OUT}$ exceeds V_{LSW_PROT}, the output is disabled to protect from overcurrent. 1: Voltage protection disabled and quiescent is reduced.
LSW2PsvDsc	0	LSW2のパッシブ放電制御。	0: LSW2 output is discharged only entering off and hard-reset modes. 1: LSW2 output is discharged only entering off and hard-reset modes and when the enable is low.

LSW2Ctr（0x6E）

BIT	7	6	5	4	3	2	1	0
Field	LSW2MPC7	LSW2MPC6	LSW2MPC5	LSW2MPC4	LSW2MPC3	LSW2MPC2	LSW2MPC1	LSW2MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW2MPC7	7	LSW2のMPC7イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC7. 1: LSW2 controlled by MPC7.
LSW2MPC6	6	LSW2のMPC6イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC6. 1: LSW2 controlled by MPC6.
LSW2MPC5	5	LSW2のMPC5イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC5. 1: LSW2 controlled by MPC5.
LSW2MPC4	4	LSW2のMPC4イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC4. 1: LSW2 controlled by MPC4.
LSW2MPC3	3	LSW2のMPC3イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC3. 1: LSW2 controlled by MPC3.
LSW2MPC2	2	LSW2のMPC2イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC2. 1: LSW2 controlled by MPC2.
LSW2MPC1	1	LSW2のMPC1イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC1. 1: LSW2 controlled by MPC1.

ビット・フィールド	ビット	説明	デコード
LSW2MPC0	0	LSW2のMPC0イネーブル制御。 LSW2Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW2の制御はMPCの論理ORによります。	0: LSW2 not controlled by MPC0. 1: LSW2 controlled by MPC0.

LSW3Ena（0x6F）

BIT	7	6	5	4	3	2	1	0
Field	LSW3Seq[2:0]			–	–	–	LSW3En[1:0]	
Reset	0b000			–	–	–	0b00	
Access Type	Write, Read			–	–	–	Write, Read	

ビット・フィールド	ビット	説明	デコード
LSW3Seq	7:5	LSW3のイネーブル設定。	000: Disabled. 001: Reserved. 010: Enabled at 0% of boot/POR process delay control. 011: Enabled at 25% of boot/POR process delay control. 100: Enabled at 50% of boot/POR process delay control. 101: Reserved. 110: Reserved. 111: Controlled by LSW3En[1:0] after 100% of boot/POR process delay control.
LSW3En	1:0	LSW3のイネーブル設定。（LSW3Seq = 111のときのみ有効）	00: Disabled. 01: Enabled. 10: Controlled by MPC_ (see the LSW3MPC_ bits in register 0x71.) 11: Reserved.

LSW3Cfg（0x70）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	LSW3ActDsc	LSW3LowIq	LSW3PsvDsc
Reset	–	–	–	–	–	0b0	0b0	0b1
Access Type	–	–	–	–	–	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW3ActDsc	2	LSW3のアクティブ放電制御。	0: LSW3 output is actively discharged only in hard-reset mode. 1: LSW3 output is actively discharged in hard-reset mode and also when its enable goes low.

ビット・フィールド	ビット	説明	デコード
LSW3LowIq	1	LSW3の低自己消費電流制御。 LSW3の電圧保護をディスエーブルすることにより低自己消費電流モードを実現します。	0: Voltage protection enabled. If V_{SYS} − $V_{LSW2OUT}$ exceeds V_{LSW_PROT}, the output is disabled to protect from overcurrent. 1: Voltage protection disabled and quiescent is reduced.
LSW3PsvDsc	0	LSW3のパッシブ放電制御。	0: LSW3 output is discharged only entering off and hard-reset modes. 1: LSW3 output is discharged only entering off and hard-reset modes and when the enable is low.

LSW3Ctr（0x71）

BIT	7	6	5	4	3	2	1	0
Field	LSW3MPC7	LSW3MPC6	LSW3MPC5	LSW3MPC4	LSW3MPC3	LSW3MPC2	LSW3MPC1	LSW3MPC0
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW3MPC7	7	LSW3のMPC7イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC7. 1: LSW3 controlled by MPC7.
LSW3MPC6	6	LSW3のMPC6イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC6. 1: LSW3 controlled by MPC6.
LSW3MPC5	5	LSW3のMPC5イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC5 1: LSW3 controlled by MPC5.
LSW3MPC4	4	LSW3のMPC4イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC4. 1: LSW3 controlled by MPC4.
LSW3MPC3	3	LSW3のMPC3イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC3. 1: LSW3 controlled by MPC3.
LSW3MPC2	2	LSW3のMPC2イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC2. 1: LSW3 controlled by MPC2.
LSW3MPC1	1	LSW3のMPC1イネーブル制御。 LSW3Seq = 111かつLSW2En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC1. 1: LSW3 controlled by MPC1.

ビット・フィールド	ビット	説明	デコード
LSW3MPC0	0	LSW3のMPC0イネーブル制御。 LSW3Seq = 111かつLSW3En = 10のときのみ有効です。複数のMPCが選択されている場合、LSW3の制御はMPCの論理ORによります。	0: LSW3 not controlled by MPC0. 1: LSW3 controlled by MPC0.

MPC0Cfg（0x72）

BIT	7	6	5	4	3	2	1	0
Field	MPC0Pin	–	–	MPC0Out	MPC0OD	MPC0HiZB	MPC0Res	MPC0Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC0Pin	7	MPC0の状態。	0: MPC0 low. 1: MPC0 high (if MPC0OD = 0) or high-impedance (if MPC0OD = 1).
MPC0Out	4	MPC0の出力値。 MPC0が出力として設定されている場合（MPC0HiZB = 1）のみ有効です。	0: MPC0 connected to GND. 1: MPC0 open-drain off (MPC0OD = 1) or connected to BK1OUT (MPC0OD = 0).
MPC0OD	3	MPC0の出力設定。 MPC0が出力として設定されている場合（MPC0HiZB = 1）のみ有効です。	0: MPC0 is push-pull connected to BK1OUT. 1: MPC0 is open drain.
MPC0HiZB	2	MPC0の方向。	0: MPC0 is high-impedance. Input buffer enabled. 1: MPC0 is not high-impedance. Output buffer enabled.
MPC0Res	1	MPC0の抵抗の存在。 MPC0が入力として設定されている場合（MPC0HiZB = 0）のみ有効です。	0: Resistor not connected to MPC0. 1: Resistor connected to MPC0.
MPC0Pup	0	MPC0の抵抗設定。 MPC0に抵抗が接続されている場合（MPC0Res = 1）のみ有効です。	0: Pull-down connected to MPC0. 1: Pull-up to V_{CCINT} connected MPC0.

MPC1Cfg（0x73）

BIT	7	6	5	4	3	2	1	0
Field	MPC1Pin	–	–	MPC1Out	MPC1OD	MPC1HiZB	MPC1Res	MPC1Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0

Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC1Pin	7	MPC1の状態。	0: MPC1 low. 1: MPC1 high (if MPC1OD = 0) or high-impedance (if MPC1OD = 1).
MPC1Out	4	MPC1の出力値。 MPC1が出力として設定されている場合（MPC1HiZB = 1）のみ有効です。	0: MPC1 connected to GND. 1: MPC1 open-drain off (MPC1OD = 1) or connected to BK1OUT (MPC1OD = 0).
MPC1OD	3	MPC1の出力設定。 MPC1が出力として設定されている場合（MPC1HiZB = 1）のみ有効です。	0: MPC1 is push-pull connected to BK1OUT. 1: MPC1 is open drain.
MPC1HiZB	2	MPC1の方向。	0: MPC1 is high-impedance. Input buffer enabled. 1: MPC1 is not high-impedance. Output buffer enabled.
MPC1Res	1	MPC1の抵抗の存在。 MPC1が入力として設定されている場合（MPC1HiZB = 0）のみ有効です。	0: Resistor not connected to MPC1. 1: Resistor connected to MPC1.
MPC1Pup	0	MPC1の抵抗設定。 MPC1に抵抗が接続されている場合（MPC1Res = 1）のみ有効です。	0: Pull-down connected to MPC1. 1: Pull-up to V_{CCINT} connected MPC1.

MPC2Cfg（0x74）

BIT	7	6	5	4	3	2	1	0
Field	MPC2Pin	–	–	MPC2Out	MPC2OD	MPC2HiZB	MPC2Res	MPC2Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC2Pin	7	MPC2の状態。	0: MPC2 low. 1: MPC2 high (if MPC2OD = 0) or high-impedance (if MPC2OD = 1).
MPC2Out	4	MPC2の出力値。 MPC2が出力として設定されている場合（MPC2HiZB = 1）のみ有効です。	0: MPC2 connected to GND. 1: MPC2 open-drain off (MPC2OD = 1) or connected to BK1OUT (MPC2OD = 0).
MPC2OD	3	MPC2の出力設定。 MPC2が出力として設定されている場合（MPC2HiZB = 1）のみ有効です。	0: MPC2 is push-pull connected to BK1OUT. 1: MPC2 is open drain.
MPC2HiZB	2	MPC2の方向。	0: MPC2 is high-impedance. Input buffer enabled. 1: MPC2 is not high-impedance. Output buffer enabled.
MPC2Res	1	MPC2の抵抗の存在。 MPC2が入力として設定されている場合（MPC2HiZB = 0）のみ有効です。	0: Resistor not connected to MPC2. 1: Resistor connected to MPC2.

ビット・フィールド	ビット	説明	デコード
MPC2Pup	0	MPC2の抵抗設定。 MPC2に抵抗が接続されている場合（MPC2Res = 1）のみ有効です。	0: Pull-down connected to MPC2. 1: Pull-up to V_{CCINT} connected MPC2.

MPC3Cfg（0x75）

BIT	7	6	5	4	3	2	1	0
Field	MPC3Pin	–	–	MPC3Out	MPC3OD	MPC3HiZB	MPC3Res	MPC3Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC3Pin	7	MPC3の状態。	0: MPC3 low. 1: MPC3 high (if MPC3OD = 0) or high-impedance (if MPC3OD = 1).
MPC3Out	4	MPC3の出力値。 MPC3が出力として設定されている場合（MPC3HiZB = 1）のみ有効です。	0: MPC3 connected to GND. 1: MPC3 open-drain off (MPC3OD = 1) or connected to BK1OUT (MPC3OD = 0).
MPC3OD	3	MPC3の出力設定。 MPC3が出力として設定されている場合（MPC3HiZB = 1）のみ有効です。	0: MPC3 is push-pull connected to BK1OUT. 1: MPC3 is open drain.
MPC3HiZB	2	MPC3の方向。	0: MPC3 is high-impedance. Input buffer enabled. 1: MPC3 is not high-impedance. Output buffer enabled.
MPC3Res	1	MPC3の抵抗の存在。 MPC3が入力として設定されている場合（MPC3HiZB = 0）のみ有効です。	0: Resistor not connected to MPC3. 1: Resistor connected to MPC3.
MPC3Pup	0	MPC3の抵抗設定。 MPC3に抵抗が接続されている場合（MPC3Res = 1）のみ有効です。	0: Pull-down connected to MPC3. 1: Pull-up to V_{CCINT} connected MPC3.

MPC4Cfg（0x76）

BIT	7	6	5	4	3	2	1	0
Field	MPC4Pin	–	–	MPC4Out	MPC4OD	MPC4HiZB	MPC4Res	MPC4Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC4Pin	7	MPC4の状態。	0: MPC4 low. 1: MPC4 high (if MPC4OD = 0) or high-impedance (if MPC4OD = 1).
MPC4Out	4	MPC4の出力値。 MPC4が出力として設定されている場合（MPC4HiZB = 1）のみ有効です。	0: MPC4 connected to GND. 1: MPC4 open-drain off (MPC4OD = 1) or connected to BK1OUT (MPC4OD = 0).
MPC4OD	3	MPC4の出力設定。 MPC4が出力として設定されている場合（MPC4HiZB = 1）のみ有効です。	0: MPC4 is push-pull connected to BK1OUT. 1: MPC4 is open drain.
MPC4HiZB	2	MPC4の方向。	0: MPC4 is high-impedance. Input buffer enabled. 1: MPC4 is not high-impedance. Output buffer enabled.
MPC4Res	1	MPC4の抵抗の存在。 MPC4が入力として設定されている場合（MPC4HiZB = 0）のみ有効です。	0: Resistor not connected to MPC4. 1: Resistor connected to MPC4.
MPC4Pup	0	MPC4の抵抗設定。 MPC4に抵抗が接続されている場合（MPC4Res = 1）のみ有効です。	0: Pull-down connected to MPC4. 1: Pull-up to VCCINT connected MPC4.

MPC5Cfg（0x77）

BIT	7	6	5	4	3	2	1	0
Field	MPC5Pin	–	–	MPC5Out	MPC5OD	MPC5HiZB	MPC5Res	MPC5Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC5Pin	7	MPC5の状態。	0: MPC5 low. 1: MPC5 high (if MPC5OD = 0) or high-impedance (if MPC5OD = 1).
MPC5Out	4	MPC5の出力値。 MPC5が出力として設定されている場合（MPC5HiZB = 1）のみ有効です。	0: MPC5 connected to GND. 1: MPC5 open-drain off (MPC5OD = 1) or connected to BK1OUT (MPC5OD = 0).
MPC5OD	3	MPC5の出力設定。 MPC5が出力として設定されている場合（MPC5HiZB = 1）のみ有効です。	0: MPC5 is push-pull connected to BK1OUT 1: MPC5 is open drain.
MPC5HiZB	2	MPC5の方向。	0: MPC5 is high-impedance. Input buffer enabled. 1: MPC5 is not high-impedance. Output buffer enabled.
MPC5Res	1	MPC5の抵抗の存在。 MPC5が入力として設定されている場合（MPC5HiZB = 0）のみ有効です。	0: Resistor not connected to MPC5. 1: Resistor connected to MPC5.
MPC5Pup	0	MPC5の抵抗設定。 MPC5に抵抗が接続されている場合（MPC5Res = 1）のみ有効です。	0: Pull-down connected to MPC5. 1: Pull-up to VCCINT connected MPC5.

MPC6Cfg（0x78）

BIT	7	6	5	4	3	2	1	0
Field	MPC6Pin	–	–	MPC6Out	MPC6OD	MPC6HiZB	MPC6Res	MPC6Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC6Pin	7	MPC6の状態。	0: MPC6 low. 1: MPC6 high (if MPC6OD = 0) or high-impedance (if MPC6OD = 1).
MPC6Out	4	MPC6の出力値。 MPC6が出力として設定されている場合（MPC6HiZB = 1）のみ有効です。	0: MPC6 connected to GND. 1: MPC6 open-drain off (MPC6OD = 1) or connected to BK1OUT (MPC6OD = 0).
MPC6OD	3	MPC6の出力設定。 MPC6が出力として設定されている場合（MPC6HiZB = 1）のみ有効です。	0: MPC6 is push-pull connected to BK1OUT. 1: MPC6 is open drain.
MPC6HiZB	2	MPC6の方向。	0: MPC6 is high-impedance. Input buffer enabled. 1: MPC6 is not high-impedance. Output buffer enabled.
MPC6Res	1	MPC6の抵抗の存在。 MPC6が入力として設定されている場合（MPC6HiZB = 0）のみ有効です。	0: Resistor not connected to MPC6. 1: Resistor connected to MPC6.
MPC6Pup	0	MPC6の抵抗設定。 MPC6に抵抗が接続されている場合（MPC6Res = 1）のみ有効です。	0: Pull-down connected to MPC6. 1: Pull-up to V_{CCINT} connected MPC6.

MPC7Cfg（0x79）

BIT	7	6	5	4	3	2	1	0
Field	MPC7Pin	–	–	MPC7Out	MPC7OD	MPC7HiZB	MPC7Res	MPC7Pup
Reset	0b0	–	–	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	–	–	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
MPC7Pin	7	MPC7の状態。	0: MPC7 low. 1: MPC7 high (if MPC7OD = 0) or high-impedance (if MPC7OD = 1).
MPC7Out	4	MPC7の出力値。 MPC7が出力として設定されている場合（MPC7HiZB = 1）のみ有効です。	0: MPC7 connected to GND. 1: MPC7 open-drain off (MPC7OD = 1) or connected to BK1OUT (MPC7OD = 0).

ビット・フィールド	ビット	説明	デコード
MPC7OD	3	MPC7の出力設定。 MPC7が出力として設定されている場合（MPC7HiZB = 1）のみ有効です。	0: MPC7 is push-pull connected to BK1OUT. 1: MPC7 is open drain.
MPC7HiZB	2	MPC7の方向。	0: MPC7 is high-impedance. Input buffer enabled. 1: MPC7 is not high-impedance. Output buffer enabled.
MPC7Res	1	MPC7の抵抗の存在。 MPC7が入力として設定されている場合（MPC7HiZB = 0）のみ有効です。	0: Resistor not connected to MPC7. 1: Resistor connected to MPC7.
MPC7Pup	0	MPC7の抵抗設定。 MPC7に抵抗が接続されている場合（MPC7Res = 1）のみ有効です。	0: Pull-down connected to MPC7. 1: Pull-up to V_{CCINT} connected MPC7.

MPCItrSts（0x7A）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	USBOkMPCSts	BK3PgMPCSts	BK2PgMPCSts	BK1PgMPCSts
Reset	–	–	–	–	0b0	0b0	0b0	0b0
Access Type	–	–	–	–	Read Only	Read Only	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
USBOkMPCSts	3	USBOk専用MPC割込みステータス・ビット。	0: USBOk MPC power-good interrupt not active. 1: USBOk MPC power-good interrupt active.
BK3PgMPCSts	2	Buck3専用MPC割込みステータス・ビット。	0: Buck3 MPC power-good interrupt not active. 1: Buck3 MPC power-good interrupt active.
BK2PgMPCSts	1	Buck2専用MPC割込みステータス・ビット。	0: Buck2 MPC power-good interrupt not active. 1: Buck2 MPC power-good interrupt active.
BK1PgMPCSts	0	Buck1専用MPC割込みステータス・ビット。	0: Buck1 MPC power-good interrupt not active. 1: Buck1 MPC power-good interrupt active.

BK1ItrCfg（0x7B）

BIT	7	6	5	4	3	2	1	0
Field	BK1PgMPCInt	BK1MPC6Sel	BK1MPC5Sel	BK1MPC4Sel	BK1MPC3Sel	BK1MPC2Sel	BK1MPC1Sel	BK1MPC0Sel
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BK1PgMPCInt	7	Buck1専用パワーグッド割込み。	0: No power-good status change. 1: Buck1 power-good status change caused interrupt.

ビット・フィールド	ビット	説明	デコード
BK1MPC6Sel	6	Buck1のPGOOD割込みのMPC6割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC6. 1: Buck1 PGOOD interrupt routed to MPC6
BK1MPC5Sel	5	Buck1のPGOOD割込みのMPC5割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC5. 1: Buck1 PGOOD interrupt routed to MPC5.
BK1MPC4Sel	4	Buck1のPGOOD割込みのMPC4割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC4. 1: Buck1 PGOOD interrupt routed to MPC4.
BK1MPC3Sel	3	Buck1のPGOOD割込みのMPC3割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC3. 1: Buck1 PGOOD interrupt routed to MPC3.
BK1MPC2Sel	2	Buck1のPGOOD割込みのMPC2割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC2. 1: Buck1 PGOOD interrupt routed to MPC2.
BK1MPC1Sel	1	Buck1のPGOOD割込みのMPC1割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC1. 1: Buck1 PGOOD interrupt routed to MPC1.
BK1MPC0Sel	0	Buck1のPGOOD割込みのMPC0割り当て制御。	0: Buck1 PGOOD interrupt not routed to MPC0. 1: Buck1 PGOOD interrupt routed to MPC0.

BK2ItrCfg（0x7C）

BIT	7	6	5	4	3	2	1	0
Field	BK2PgMPCInt	BK2MPC6Sel	BK2MPC5Sel	BK2MPC4Sel	BK2MPC3Sel	BK2MPC2Sel	BK2MPC1Sel	BK2MPC0Sel
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BK2PgMPCInt	7	Buck2専用パワーグッド割込み。	0: No power-good status change. 1: Buck2 power-good status change caused interrupt.
BK2MPC6Sel	6	Buck2のPGOOD割込みのMPC6割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC6. 1: Buck2 PGOOD interrupt routed to MPC6.
BK2MPC5Sel	5	Buck2のPGOOD割込みのMPC5割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC5. 1: Buck2 PGOOD interrupt routed to MPC5.
BK2MPC4Sel	4	Buck2のPGOOD割込みのMPC4割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC4. 1: Buck2 PGOOD interrupt routed to MPC4.
BK2MPC3Sel	3	Buck2のPGOOD割込みのMPC3割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC3. 1: Buck2 PGOOD interrupt routed to MPC3.
BK2MPC2Sel	2	Buck2のPGOOD割込みのMPC2割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC2. 1: Buck2 PGOOD interrupt routed to MPC2.
BK2MPC1Sel	1	Buck2のPGOOD割込みのMPC1割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC1. 1: Buck2 PGOOD interrupt routed to MPC1.

ビット・フィールド	ビット	説明	デコード
BK2MPC0Sel	0	Buck2のPGOOD割込みのMPC0割り当て制御。	0: Buck2 PGOOD interrupt not routed to MPC0. 1: Buck2 PGOOD interrupt routed to MPC0.

BK3ItrCfg（0x7D）

BIT	7	6	5	4	3	2	1	0
Field	BK3PgMPCInt	BK3MPC6Sel	BK3MPC5Sel	BK3MPC4Sel	BK3MPC3Sel	BK3MPC2Sel	BK3MPC1Sel	BK3MPC0Sel
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
BK3PgMPCInt	7	Buck3専用パワーグッド割込み。	0: No power-good status change. 1: Buck3 power-good status change caused interrupt.
BK3MPC6Sel	6	Buck3のPGOOD割込みのMPC6割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC6. 1: Buck3 PGOOD interrupt routed to MPC6.
BK3MPC5Sel	5	Buck3のPGOOD割込みのMPC5割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC5. 1: Buck3 PGOOD interrupt routed to MPC5.
BK3MPC4Sel	4	Buck3のPGOOD割込みのMPC4割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC4. 1: Buck3 PGOOD interrupt routed to MPC4.
BK3MPC3Sel	3	Buck3のPGOOD割込みのMPC3割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC3. 1: Buck3 PGOOD interrupt routed to MPC3.
BK3MPC2Sel	2	Buck3のPGOOD割込みのMPC2割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC2. 1: Buck3 PGOOD interrupt routed to MPC2.
BK3MPC1Sel	1	Buck3のPGOOD割込みのMPC1割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC1. 1: Buck3 PGOOD interrupt routed to MPC1.
BK3MPC0Sel	0	Buck3のPGOOD割込みのMPC0割り当て制御。	0: Buck3 PGOOD interrupt not routed to MPC0 1: Buck3 PGOOD interrupt routed to MPC0.

USBOkItrCfg（0x7E）

BIT	7	6	5	4	3	2	1	0
Field	USBOkMPCInt	USBOkMPC6Sel	USBOkMPC5Sel	USBOkMPC4Sel	USBOkMPC3Sel	USBOkMPC2Sel	USBOkMPC1Sel	USBOkMPC0Sel
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
USBOkMPCInt	7	USBOk専用パワーグッド割込み。	0: No USBOk status change. 1: USBOk status change caused interrupt.
USBOkMPC6Sel	6	USBOk専用割込みのMPC6割り当て制御。	0: USBOk interrupt not routed to MPC6. 1: USBOk interrupt routed to MPC6.
USBOkMPC5Sel	5	USBOk専用割込みのMPC5割り当て制御。	0: USBOk interrupt not routed to MPC5. 1: USBOk interrupt routed to MPC5.
USBOkMPC4Sel	4	USBOk専用割込みのMPC4割り当て制御。	0: USBOk interrupt not routed to MPC4 1: USBOk interrupt routed to MPC4.
USBOkMPC3Sel	3	USBOk専用割込みのMPC3割り当て制御。	0: USBOk interrupt not routed to MPC3. 1: USBOk interrupt routed to MPC3.
USBOkMPC2Sel	2	USBOk専用割込みのMPC2割り当て制御。	0: USBOk interrupt not routed to MPC2. 1: USBOk interrupt routed to MPC2.
USBOkMPC1Sel	1	USBOk専用割込みのMPC1割り当て制御。	0: USBOk interrupt not routed to MPC1. 1: USBOk interrupt routed to MPC1.
USBOkMPC0Sel	0	USBOk専用割込みのMPC0割り当て制御。	0: USBOk interrupt not routed to MPC0. 1: USBOk interrupt routed to MPC0.

PFN（0x80）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	–	–	PFN2Pin	PFN1Pin
Reset	–	–	–	–	–	–	0b0	0b0
Access Type	–	–	–	–	–	–	Read Only	Read Only

ビット・フィールド	ビット	説明	デコード
PFN2Pin	1	PFN2のステータス。	0: PFN2 not active. 1: PFN2 active.
PFN1Pin	0	PFN1のステータス。	0: PFN1 not active. 1: PFN1 active.

BootCfg（0x81）

BIT	7	6	5	4	3	2	1	0
Field	PwrRstCfg[3:0]				SftRstCfg	BootDly[1:0]		ChgAlwTry
Reset	0x0				0b0	0b00		0b0
Access Type	Read Only				Read Only	Read Only		Read Only

ビット・フィールド	ビット	説明	デコード
PwrRstCfg	7:4	電源リセットの設定。 デバイスの起動と終了、ハード・リセット、ソフト・リセットの動作を決定します。PwrRstCfgの値およびそれに関連する動作については、表5のPwrRstCfgの設定を参照してください。	
SftRstCfg	3	ソフト・リセット設定。 ソフト・リセット時にレジスタを保持するかリセットしてデフォルトに戻すかを示します。	0: Hold register contents. 1: Reset registers to default.
BootDly	2:1	ブート遅延。 シーケンス・ビット010、011、100に対してシーケンス・エンジンが各機能をオンにするブート時間です。	00: 80ms. 01: 120ms. 10: 220ms. 11: 420ms.
ChgAlwTry	0	SYS UVLO自動リトライ。 CHGINが存在する状態でのブート・プロセスで、SYS UVLOイベントが発生した際の動作を決定します。	0: Part latches off until CHGIN is removed. 1: Part retries to boot after $t_{CHG_RETRY_TMO}$ delay if CHGIN is still present.

PwrCfg（0x82）

BIT	7	6	5	4	3	2	1	0
Field	–	INTBootMsk	–	–	–	–	–	StayOn
Reset	–	0b0	–	–	–	–	–	0b0
Access Type	–	Write, Read	–	–	–	–	–	Write, Read

ビット・フィールド	ビット	説明	デコード
INTBootMsk	6	アプリケーション・プロセッサのロックを防ぐ目的で、シャットダウン中にINTbをマスクするために使用します。	0: INTb masked during shutdown. 1: INTb not masked during shutdown.
StayOn	0	プロセッサが正しく起動したことを確認するために使用します。 パワーオン後5秒以内にこのビットをセットする必要があり、セットされなければシャットダウンし、パワーオフ状態に戻ります。セットされた後は、効力を持ちません。	0: Shut down 5s after power-on. 1: Stay on.

PwrCmd（0x83）

BIT	7	6	5	4	3	2	1	0
Field	PwrCmd[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
PwrCmd	7:0	パワー・コマンド・レジスタ。 右記の値を書き込むと、リストにあるコマンドを発行します。 内部ロジックが書き込まれた値を確認した後、このレジスタは自動的にクリアされます。 記載以外のコマンドは無視されます。各PwrRstCfgの値に対して使用可能なPwrCmdについては、表5のPwrRstCfgの設定を参照してください。	0xB2: PWR_OFF_CMD: places the part in off mode. 0xC3: PWR_HR_CMD: issues a hard-reset (power cycle). 0xD4: PWR_SR_CMD: issues a soft-reset (reset pulse only). 0xE5: PWR_SEAL_CMD: places the part in seal mode. Available only for PwrRstCfg 1011 and 1100. 0xF6: PWR_BR_CMD: places the part in battery recovery mode. Available only if HrvEn = 1. 0x52: PWR_FACT_CMD: places the part in factory mode.

MiscFunctions（0x84）

BIT	7	6	5	4	3	2	1	0
Field	–	–	–	–	MiscFunc[3:0]			
Reset	–	–	–	–	0x0			
Access Type	–	–	–	–	Write, Read			

ビット・フィールド	ビット	説明	デコード
MiscFunc	3:0	多機能ビット。 このビットには、グローバルなアクティブ放電設定、RTC_LDO機能、工場モード、予備（RFU）の設定が含まれます。	MiscFunc[0] = 0: if active discharge is enabled, output of the block is actively discharged for 50ms while the block is disabled. MiscFunc[0] = 1: if active discharge is enabled, output of the block is actively discharged constantly while the block is disabled. MiscFunc[1] = 0: RTC LDO feature is on. MiscFunc[1] = 1: RTC LDO feature is off. MiscFunc[2] = 0: Factory mode is enabled. MiscFunc[2] = 1: Factory mode is disbaled. MiscFunc[3] = RFU.

LockMsk1（0x86）

BIT	7	6	5	4	3	2	1	0
Field	LD4Lck	LD3Lck	LD2Lck	LD1Lck	BBLck	BK3Lck	BK2Lck	BK1Lck
Reset	0b1	0b1	0b1	0b1	0b1	0b1	0b1	0b1
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LD4Lck	7	LDO4レジスタのロック・マスク。	0: LDO4 registers not masked from locking/unlocking. 1: LDO4 registers masked from locking/unlocking.
LD3Lck	6	LDO3レジスタのロック・マスク。	0: LDO3 registers not masked from locking/unlocking. 1: LDO3 registers masked from locking/unlocking.
LD2Lck	5	LDO2レジスタのロック・マスク。	0: LDO2 registers not masked from locking/unlocking. 1: LDO2 registers masked from locking/unlocking.
LD1Lck	4	LDO1レジスタのロック・マスク。	0: LDO1 registers not masked from locking/unlocking. 1: LDO1 registers masked from locking/unlocking.
BBLck	3	Buck-Boostレジスタのロック・マスク。	0x0: Boost registers not masked from locking/unlocking. 0x1: Boost registers masked from locking/unlocking.
BK3Lck	2	Buck3レジスタのロック・マスク。	0x0: Buck3 registers not masked from locking/unlocking. 0x1: Buck3 registers masked from locking/unlocking.
BK2Lck	1	Buck2レジスタのロック・マスク。	0x0: Buck2 registers not masked from locking/unlocking. 0x1: Buck2 registers masked from locking/unlocking.
BK1Lck	0	Buck1レジスタのロック・マスク。	0x0: Buck1 registers not masked from locking/unlocking. 0x1: Buck1 registers masked from locking/unlocking.

LockMsk2（0x87）

BIT	7	6	5	4	3	2	1	0
Field	LD4SeqLck	LD3SeqLck	LD2SeqLck	LD1SeqLck	BBSeqLck	BK3SeqLck	BK2SeqLck	BK1SeqLck
Reset	0b1	0b1	0b1	0b1	0b1	0b1	0b1	0b1
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LD4SeqLck	7	LDO4Seqレジスタのロック・マスク。	0x0: LDO4Seq registers unlocked (read/write). 0x1: LDO4Seq registers masked from locked (read only).
LD3SeqLck	6	LDO3Seqレジスタのロック・マスク。	0x0: LDO2Seq registers unlocked (read/write). 0x1: LDO2Seq registers masked from locked (read only).
LD2SeqLck	5	LDO2Seqレジスタのロック・マスク。	0x0: LDO2Seq registers unlocked (read/write). 0x1: LDO2Seq registers masked from locked (read only).
LD1SeqLck	4	LDO1Seqレジスタのロック・マスク。	0x0: LDO1Seq registers unlocked (read/write). 0x1: LDO1Seq registers masked from locked (read only).
BBSeqLck	3	BBseqレジスタのロック・マスク。	0x0: BBstSeqSeq registers unlocked (read/write). 0x1: BBstSeq registers masked from locked (read only).
BK3SeqLck	2	Buck3Seqレジスタのロック・マスク。	0x0: Buck3Seq registers unlocked (read/write). 0x1: Buck3Seq registers masked from locked (read only).
BK2SeqLck	1	Buck2Seqレジスタのロック・マスク。	0x0: Buck2Seq registers unlocked (read/write). 0x1: Buck2Seq registers masked from locked (read only).
BK1SeqLck	0	Buck1Seqレジスタのロック・マスク。	0x0: Buck1Seq registers unlocked (read/write). 0x1: Buck1Seq registers masked from locked (read only).

LockMsk3（0x89）

BIT	7	6	5	4	3	2	1	0
Field	LSW3SeqLck	LSW2SeqLck	LSW1SeqLck	–	WDLck	GMDrpLck	LimLck	ChgLck

Reset	0b1	0b1	0b1	–	0b1	0b1	0b1	0b1
Access Type	Write, Read	Write, Read	Write, Read	–	Write, Read	Write, Read	Write, Read	Write, Read

ビット・フィールド	ビット	説明	デコード
LSW3SeqLck	7	LSW3Seqレジスタのロック・マスク。	0x0: LSW3Seq registers unlocked (read/write). 0x1: LSW3Seq registers masked from locked (read only).
LSW2SeqLck	6	LSW2Seqレジスタのロック・マスク。	0x0: LSW2Seq registers unlocked (read/write). 0x1: LSW2Seq registers masked from locked (read only).
LSW1SeqLck	5	LSW1Seqレジスタのロック・マスク。	0x0: LSW1Seq registers unlocked (read/write). 0x1: LSW1Seq registers masked from locked (read only).
WDLck	3	ウォッチドッグ・レジスタのロック・マスク。	0x0: Charger registers not masked from locking/unlocking. 0x1: Charger registers masked from locking/unlocking.
GMDrpLck	2	チャージャ・レジスタのロック・マスク。	0x0: Charger registers not masked from locking/unlocking. 0x1: Charger registers masked from locking/unlocking.
LimLck	1	チャージャ・レジスタのロック・マスク。	0x0: Charger registers not masked from locking/unlocking. 0x1: Charger registers masked from locking/unlocking.
ChgLck	0	チャージャ・レジスタのロック・マスク。	0x0: Charger registers not masked from locking/unlocking. 0x1: Charger registers masked from locking/unlocking.

LockUnlock1（0x8A）

BIT	7	6	5	4	3	2	1	0
Field	PASSWD1[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
PASSWD1	7:0	ロック／アンロック・パスワード。 正しいパスワードを書き込むと、ロック・マスク・レジスタLockMsk1で設定されるマスクされていない機能をロックもしくはアンロックします。このレジスタを読み出すと、機能の現在のロック状態が返されます。ロックされている機能には1、ロックされていない機能には0が返されます。機能の配列はレジスタLockMsk1と同じ順です。	0x55: Unlock unmasked functions. 0xAA: Lock unmasked functions. All Other Codes: No effect.

LockUnlock2（0x8B）

BIT	7	6	5	4	3	2	1	0
Field	PASSWD2[7:0]							

Reset	0xFF
Access Type	Write, Read

ビット・フィールド	ビット	説明	デコード
PASSWD2	7:0	ロック／アンロック・パスワード。 正しいパスワードを書き込むと、ロック・マスク・レジスタLockMsk2で設定されるマスクされていない機能をロックもしくはアンロックします。このレジスタを読み出すと、機能の現在のロック状態が返されます。ロックされている機能には1、ロックされていない機能には0が返されます。機能の配列はレジスタLockMsk2と同じ順です。	0x55: Unlock unmasked functions. 0xAA: Lock unmasked functions. All Other Codes: No effect.

LockUnlock3（0x8C）

BIT	7	6	5	4	3	2	1	0
Field	PASSWD3[7:0]							
Reset	0xFF							
Access Type	Write, Read							

ビット・フィールド	ビット	説明	デコード
PASSWD3	7:0	ロック／アンロック・パスワード。 正しいパスワードを書き込むと、ロック・マスク・レジスタLockMsk3で設定されるマスクされていない機能をロックもしくはアンロックします。このレジスタを読み出すと、機能の現在のロック状態が返されます。ロックされている機能には1、ロックされていない機能には0が返されます。機能の配列はレジスタLockMsk3と同じ順です。	0x55: Unlock unmasked functions. 0xAA: Lock unmasked functions. All Other Codes: No effect.

I2C_OTP（0x8D）

BIT	7	6	5	4	3	2	1	0
Field	OTPDIG__ADD[7:0]							
Reset	0x00							
Access Type	Write, Read							

ビット・フィールド	ビット	説明
OTPDIG__ADD	7:0	OTPレジスタのリードバック用のOTPレジスタ・ファイルのアドレス。OTPレジスタには、ブート中にOTPメモリ・ブロックからのデータが書き込まれます。

I2C_OTP（0x8E）

BIT	7	6	5	4	3	2	1	0
Field	OTPDIG__DAT[7:0]							
Reset	0x00							
Access Type	Read Only							

ビット・フィールド	ビット	説明
OTPDIG__DAT	7:0	OTPデータ・リードバック。

アプリケーション情報

I²C インターフェース

MAX20356 はホスト・コントローラとのデータ通信用に I²C 互換インターフェースを備えています（SCL および SDA）。MAX20356 のインターフェースは最大で f_{SCL} の周波数をサポートしています。SCL と SDA はプルアップ抵抗で正電源に接続する必要があります。

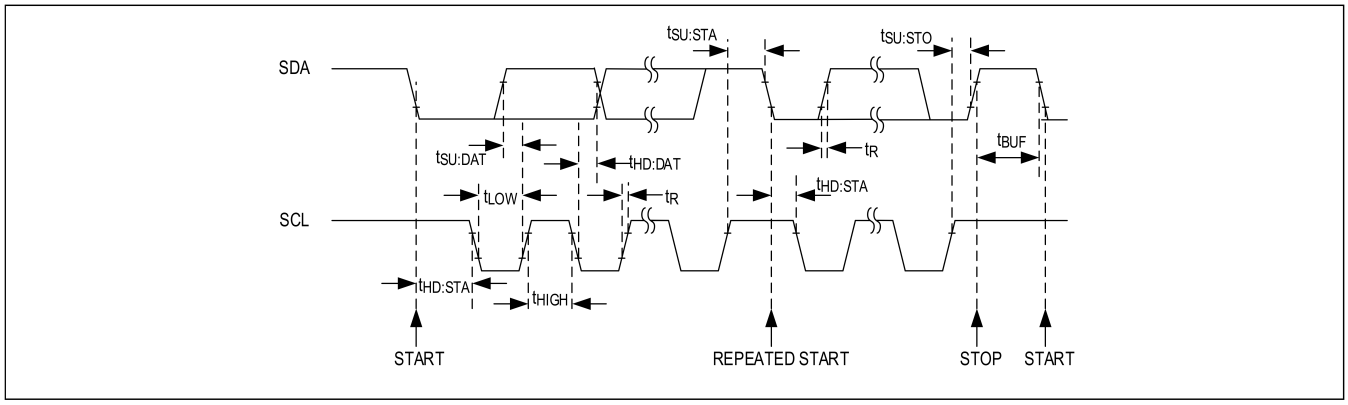


図 34. I²C インターフェースのタイミング

ペリフェラル・アドレス

MAX20356 のペリフェラル・アドレスは 0b1010000（0x50）に読出し／書込みビットを加えたものです。読出し／書込みビットをハイにすると MAX20356 が読出しモードになります（0x50）。読出し／書込みビットをローにすると MAX20356 が書込みモードになります（0x51）。残量ゲージについては、ペリフェラル・アドレスは 0x6C/0x6D です。

スタート・コンディション、ストップ・コンディション、反復スタート・コンディション

I²C を用いて MAX20356 に書き込むとき、コントローラはスタート・コンディション（S）に続けて MAX20356 の I²C アドレスを送信します。このアドレスに続けて、コントローラはプログラムしようとするレジスタのアドレスを送信します。コントラーは更にストップ・コンディション（P）を発行して通信を終了しバスの制御を終了するか、反復スタート・コンディション（Sr）を発行して新しい I²C ペリフェラルと通信します。

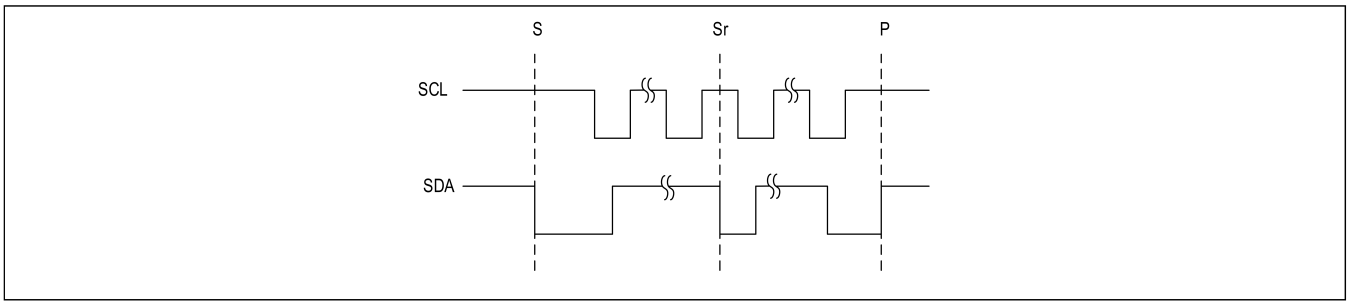


図 35. I²C のスタート・コンディション、ストップ・コンディション、反復スタート・コンディション

ビット転送

SCL のクロック・サイクルの立上がりエッジごとに 1 データ・ビットが転送されます。SDA 上のデータは、SCL のクロック・パルスのハイ期間にわたり安定した状態を保つ必要があります。SCL がハイで安定している間に SDA が変化すると、制御信号とみなされます（スタート・コンディション、ストップ・コンディション、反復スタート・コンディションのセクションを参照）。バスがアクティブでないとき、SDA と SCL は両方がハイを保ちます。

1 バイトの書込み

この動作では、コントローラは 1 つのアドレスと複数のデータ・バイトをペリフェラル・デバイスに送信します。以下の手続きは、バースト書込み動作を示すものです。

1. コントローラはスタート・コンディションを送信します。
2. コントローラは、7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
3. 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。

4. コントローラは 8 ビットのレジスタ・アドレスを送信します。
5. ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
6. コントローラが 8 ビットのデータを送信します。
7. ペリフェラルはデータ・ラインに ACK をアサートします。
8. コントローラがストップ・コンディションを生成します。

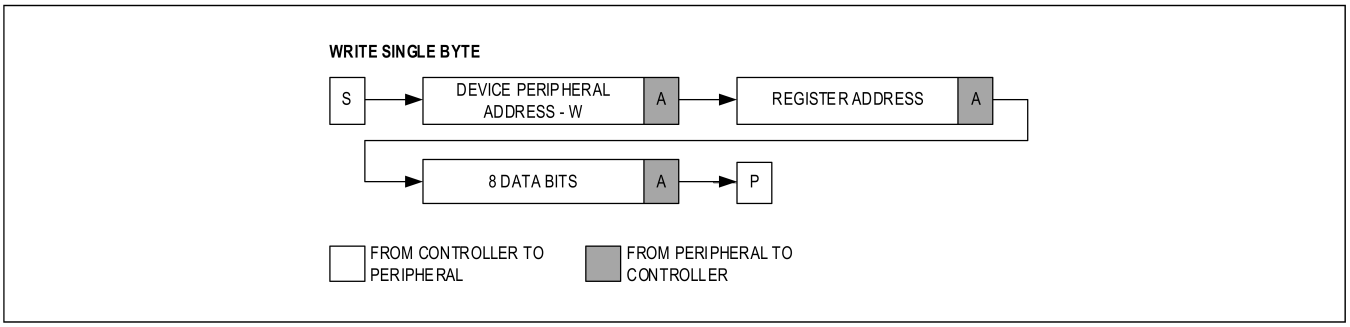


図 36. 1 バイト書込みシーケンス

バースト書込み

この動作では、コントローラは 1 つのアドレスと複数のデータ・バイトをペリフェラル・デバイスに送信します。ペリフェラル・デバイスは、各データ・バイトが送信されるごとに自動的にインクリメントしますが、アクセスされたレジスタが 0x00 の場合には、レジスタ・アドレスは変化しません。以下の手続きは、バースト書込み動作を示すものです。

1. コントローラはスタート・コンディションを送信します。
2. コントローラは、7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
3. 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
4. コントローラは 8 ビットのレジスタ・アドレスを送信します。
5. ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
6. コントローラが 8 ビットのデータを送信します。
7. ペリフェラルはデータ・ラインに ACK をアサートします。
8. ステップ 6 と 7 を N-1 回繰り返します。
9. コントローラがストップ・コンディションを生成します。

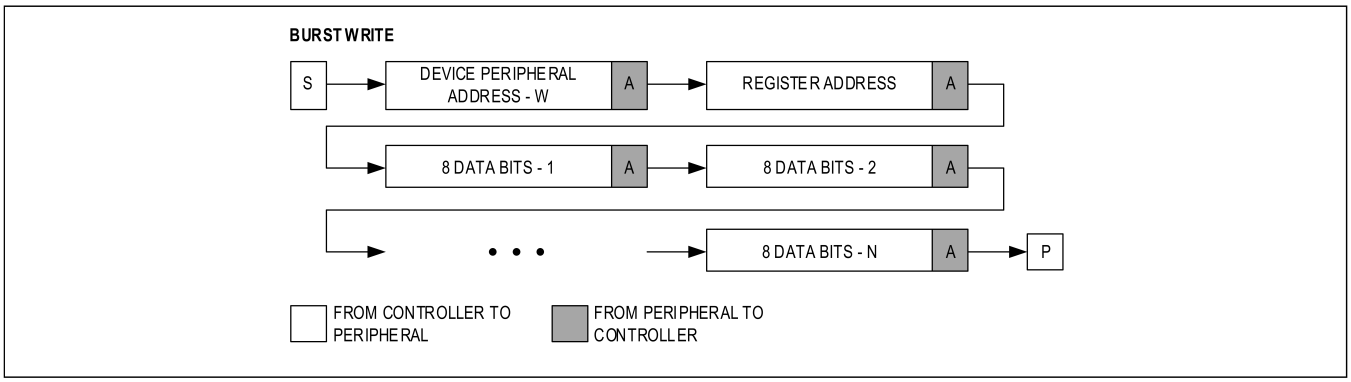


図 37. バースト書込みシーケンス

1 バイトの読出し

この動作では、コントローラは 1 つのアドレスと 2 つのデータ・バイトをペリフェラル・デバイスに送信し、ペリフェラル・デバイスから 1 つのデータ・バイトを受信します。以下の手続きは、1 バイト読出し動作を示すものです。

1. コントローラはスタート・コンディションを送信します。

2. コントローラは、7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
3. 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
4. コントローラは 8 ビットのレジスタ・アドレスを送信します。
5. ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
6. コントローラは反復スタート・コンディションを送信します。
7. コントローラは、7 ビットのペリフェラル・アドレスに続けて読出しビット（ハイ）を送信します。
8. 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
9. ペリフェラルが 8 ビットのデータを送信します。
10. コントローラはデータ・ラインに NACK をアサートします。
11. コントローラがストップ・コンディションを生成します。

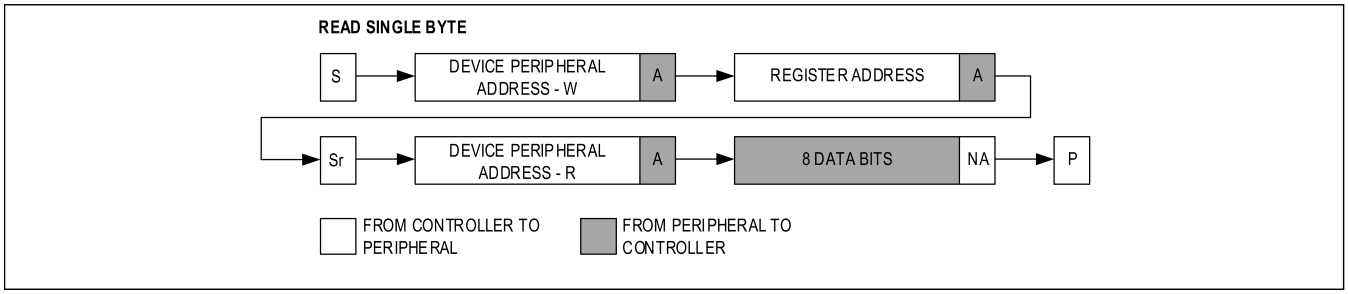


図 38. 1 バイト読出しシーケンス

バースト読出し

この動作では、コントローラは 1 つのアドレスと 2 つのデータ・バイトをペリフェラル・デバイスに送信し、ペリフェラル・デバイスから複数のデータ・バイトを受信します。以下の手続きは、バースト読出し動作を示すものです。

1. コントローラはスタート・コンディションを送信します。
2. コントローラは、7 ビットのペリフェラル・アドレスに続けて書込みビット（ロー）を送信します。
3. 指定アドレスのペリフェラルが、データ・ラインに ACK をアサートします。
4. コントローラは 8 ビットのレジスタ・アドレスを送信します。
5. ペリフェラルは、このアドレスが有効である場合のみデータ・ラインに ACK をアサートします（無効であれば NAK）。
6. コントローラは反復スタート・コンディションを送信します。
7. コントローラは、7 ビットのペリフェラル・アドレスに続けて読出しビット（ハイ）を送信します。
8. ペリフェラルはデータ・ラインに ACK をアサートします。
9. ペリフェラルが 8 ビットのデータを送信します。
10. コントローラはデータ・ラインに ACK をアサートします。
11. ステップ 9 と 10 を N-2 回繰り返します。
12. ペリフェラルが最後の 8 つのデータ・ビットを送信します。
13. コントローラはデータ・ラインに NACK をアサートします。
14. コントローラがストップ・コンディションを生成します。

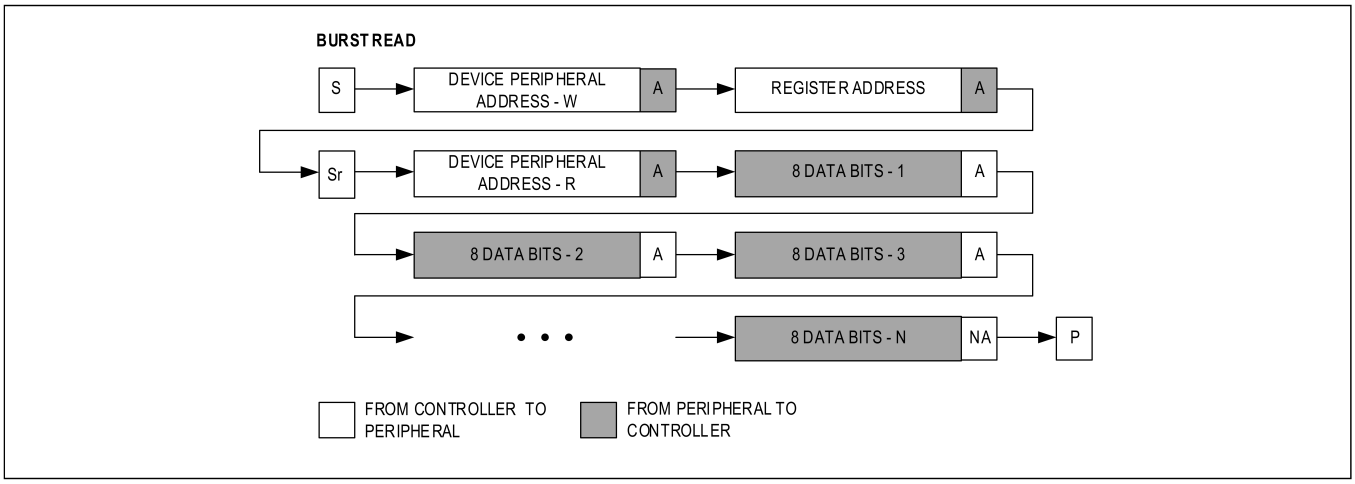


図 39. バースト読出しシーケンス

アクノレッジ・ビット

データ転送は、アクノレッジ・ビット（ACK）もしくはノット・アクノレッジ・ビット（NACK）でアクノレッジされます。コントローラと MAX2056 の両方が ACK ビットを生成します。ACK を生成するためには、9 番目のクロック・パルスの立上がりエッジより前に SDA をローに引き下げて、9 番目のクロック・パルスのハイ期間の間ローに保持します。NACK を生成するためには、9 番目のクロック・パルスの立上がりエッジより前に SDA をハイの状態とし、9 番目のクロック・パルスのハイ期間の間ハイのままにします。NACK ビットをモニタすることによりデータ転送が成功しなかったことを検出できます。

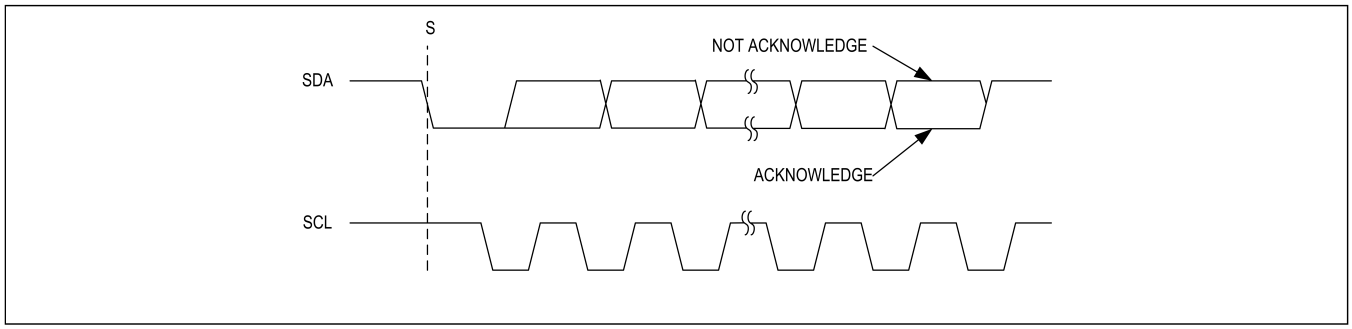


図 40. アクノレッジ・ビット

I²C のセキュリティ機能

機能ロック

全てのレギュレータの電圧とチャージャの充電終了時の動作をロックすることができます。ロックされたビットフィールドへの I²C 書込みは効力を持ちません。機能をロックするためには、レジスタ LockMsk1、LockMsk2、LockMsk3 中のロック・マスクを解除する必要があります（LockMsk1、LockMsk2、LockMsk3 のレジスタを参照）。ロック・マスクを解除するには、対応する機能のマスク・ビットを 0 にセットします。ロック・パスワード 0xAA をレジスタ LockUnlock1、LockUnlock2、LockUnlock3 に書き込むことにより、マスクされていない全機能がロックされます（LockUnlock1、LockUnlock2、LockUnlock3 のレジスタを参照）。機能のロックを解除するには、マスク／アンマスクの手続きを行い、アンロック・パスワード 0x55 をレジスタ LockUnlock1、LockUnlock2、LockUnlock3 に書き込みます。該当の機能が OTP PASSWD1、PASSWD2、PASSWD3 でロックされていれば、パスワードのロックを解除するためにレジスタ LockMsk1、LockMsk2、LockMsk3 に 0x00 を書き込み、レジスタ LockUnlock1、LockUnlock2、LockUnlock3 にアンロック・パスワード 0x55 を書き込みます。その後レジスタ LockUnlock1、LockUnlock2、LockUnlock3 を読み出すと 0x00 であり、全機能がロック解除されていることを示します。

デフォルト・ビット

表 6 は様々なバージョンに対するデフォルト設定を示しています。これらのデフォルト値は OTP でプログラム可能です。一部のビットは OTP で設定されていますが、起動後に I²C インターフェースで変更できるビットもあります。

表 6. デバイスのデフォルト設定

FIELD	EV KIT	EV KIT WITH HARVESTER	MAX20356A
ILimBlank	Disabled	Disabled	Disabled
ILimMax	1000mA	1000mA	1500mA
ILimCntl	450mA	450mA	450mA
PPDrp	25mV	25mV	25mV
SysOVD	200mV	200mV	200mV
SysDSCEn	1	1	1
SysMinVlt	3.60V	3.60V	3.60V
CC1IFChg	200mA	200mA	190mA
SysUVLOThSel	2.70V	2.70V	3.00V
SYSDrp	25mV	25mV	25mV
CC2IFChg	200mA	200mA	190mA
CC1RoomOnly	1	1	0
CC1TmoLimit	0	0	1
CC1Enable	0	0	0
ChgBatReg	4.20V	4.20V	4.20V
ChgEn	1	1	1
ChgAutoStop	1	1	1
ChgAutoReSta	1	1	1
VPChg	3.10V	3.10V	3.10V
IPChg	5% I_{FCHG}	5% I_{FCHG}	5% I_{FCHG}
IChgDone	20% I_{FCHG}	20% I_{FCHG}	10% I_{FCHG}
BatReChg	ChgBatReg - 100mV	ChgBatReg - 100mV	ChgBatReg - 150mV
PChgTmr	60min	60min	30min
CC1FChgTmr	120min	120min	120min
ChgTmr	300min	300min	300min
ChgStepHyst	400mV	400mV	200mV
ChgStepRise	3.80V	3.80V	3.80V
MtChgTmr	60min	60min	30min
ChgCoolCC1IFChg	20% I_{FCHG}	20% I_{FCHG}	20% I_{FCHG}
ChgCoolBatReg	ChgBatReg	ChgBatReg	ChgBatReg
ChgCoolCC2IFChg	20% I_{FCHG}	20% I_{FCHG}	20% I_{FCHG}
ChgRoomCC1IFChg	100% I_{FCHG}	100% I_{FCHG}	100% I_{FCHG}
ChgRoomBatReg	ChgBatReg	ChgBatReg	ChgBatReg
ChgRoomCC2IFChg	100% I_{FCHG}	100% I_{FCHG}	100% I_{FCHG}
ChgWarmCC1IFChg	20% I_{FCHG}	20% I_{FCHG}	20% I_{FCHG}
ChgWarmBatReg	ChgBatReg - 150mV	ChgBatReg - 150mV	ChgBatReg - 150mV
ChgWarmCC2IFChg	20% I_{FCHG}	20% I_{FCHG}	20% I_{FCHG}

FIELD	EV KIT	EV KIT WITH HARVESTER	MAX20356A
ChgT2ThrCC1	15°C	15°C	15°C
ChgT1ThrDef	0°C	0°C	0°C
ChgT1ThrCC1	0°C	0°C	0°C
ChgT3ThrCC1	45°C	45°C	45°C
ChgT2ThrDef	15°C	15°C	15°C
ChgT4ThrDef	60°C	60°C	60°C
ChgT4ThrCC1	60°C	60°C	60°C
ChgT3ThrDef	45°C	45°C	45°C
ChgThrmLim	115°C	115°C	115°C
ThmPUSel	10kΩ PU	10kΩ PU	10kΩ PU
ThmEn	001	001	001
HrvFreeMPC	0	0	0
ChgFresh	1	1	1
WdRstType	00	00	00
WDTmrSel	11	11	11
HrvModCfg	00	00	00
HrvThmEn	Cool/Room	Cool/Room	Cool/Room/Warm
HrvThmDio	0	0	0
Buck1FET	0	0	0
Buck1EnLxSns	ZeroCrossing	ZeroCrossing	ZeroCrossing
Buck1Seq	Buck1En After 100%	Buck1En After 100%	Buck1En After 100%
Buck1En	Disabled	Disabled	Disabled
Buck1VStep	10mV	10mV	25mV
Buck1VSet	1.10V	1.10V	1.800V
Buck1LowBW	0	0	0
Buck1FrcDCM	0	0	0
Buck2Seq	Buck2En After 100%	Buck2En After 100%	Buck2En After 100%
Buck2En	Disabled	Disabled	Disabled
Buck2VStep	25mV	25mV	25mV
Buck2VSet	1.800V	1.800V	1.800V
Buck2LowBW	0	0	0
Buck2FrcDCM	0	0	0
Buck2FET	0	0	0
Buck2EnLxSns	VLX Detection	VLX Detection	ZeroCrossing
Buck3Seq	Buck3En After 100%	Buck3En After 100%	Buck3En After 100%
Buck3En	Disabled	Disabled	Enabled
Buck3FrcDCM	0	0	0
Buck3FET	0	0	0
Buck3EnLxSns	VLX Detection	VLX Detection	0
BBstEn	Disabled	Disabled	Disabled
Buck3VStep	50mV	50mV	50mV

FIELD	EV KIT	EV KIT WITH HARVESTER	MAX20356A
Buck3VSet	3.200V	3.200V	3.300V
Buck3LowBW	0	0	0
BBstVSet	5.000V	5.000V	5.000V
BBstMode	BuckBoost	BuckBoost	BuckBoost
BBstSeq	BBstEn After 100%	BBstEn After 100%	BBstEn After 100%
LDO1En	Disabled	Disabled	Disabled
BBstFast	Low I_Q	Low I_Q	Low I_Q
BBstFFET	0	0	0
BBFHighSh	100kHz/25kHz	100kHz/25kHz	100kHz/25kHz
LDO1VSet	0.90V	0.90V	1.80V
LDO1IntSup	External	External	External
LDO1Mode	LDO	LDO	LDO
LDO1Seq	LDO1En After 100%	LDO1En After 100%	LDO1En After 100%
LDO2Seq	LDO2En After 100%	LDO2En After 100%	LDO2En After 100%
LDO2En	Disabled	Disabled	Enabled
LDO3En	Disabled	Disabled	Disabled
LDO2VSet	3.00V	3.00V	3.30V
LDO2Mode	LDO	LDO	LDO
LDO3_MPC_CNF	0	0	0
LDO3_HICOUT	0	0	0
LDO3_FRC_HIC	0	0	0
LDO3Seq	LDO3En After 100%	LDO3En After 100%	LDO3En After 100%
LDO4En	Disabled	Disabled	Disabled
LDO3VSet	1.800V	1.800V	1.800V
MiscFunc[1]	1	1	0
LDO4VInc	0mV	0mV	0mV
LDO4VSet	1.80V	1.80V	1.80V
LDO4Seq	LDO4En After 100%	LDO4En After 100%	LDO4En After 100%
LSW2En	Disabled	Disabled	Disabled
LSW1LowIq	Protected	Protected	Protected
LSW1Seq	LSW1En After 100%	LSW1En After 100%	LSW1En After 100%
LSW1En	Disabled	Disabled	Disabled
LSW3Seq	LSW3En After 100%	LSW3En After 100%	LSW3En After 100%
LSW3En	Disabled	Disabled	Disabled
LSW2LowIq	Protected	Protected	Protected
SftRstCfg	Reset Regs	Reset Regs	Reset Regs
LSW2Seq	LSW2En After 100%	LSW2En After 100%	LSW2En After 100%
BootDly	120ms	120ms	80ms
PwrRstCfg	1011	1011	1011
ChgAlwTry	Retry	Retry	Retry
LSW3LowIq	Protected	Protected	Low I_Q

FIELD	EV KIT	EV KIT WITH HARVESTER	MAX20356A
MiscFunc[2]	1	1	1
StayOn	1	1	1
PASSWD1	0x00	0x00	0x55
PASSWD2	0x00	0x00	0x55
PASSWD3	0x00	0x00	0x55
IBatOc	1600mA	1600mA	1000mA
USbOkselect	CHGIN Rise	CHGIN Rise	CHGIN Rise
Buck1IqMD	400nA	400nA	400nA
Buck1Sind	2.2µH	2.2µH	2.2µH
Buck2IqMD	400nA	400nA	1.1µA
Buck2Sind	2.2µH	2.2µH	2.2µH
Buck3IqMD	400nA	400nA	400nA
Buck3Sind	2.2µH	2.2µH	2.2µH
PFN1PU	Pull-Up	Pull-Up	Pull-Up
PFN2PU	Pull-Up	Pull-Up	Pull-Up
PFN1RES	Connect Resistor	Connect Resistor	Connect Resistor
PFN2RES	No Resistor	No Resistor	No Resistor
FG_OTP_ENA	1	1	1
HrvEn	0	1	0
GlbPsvEna	1	1	1
I2cTmoEn	1	1	0
FactModeSel	11	11	11
RstModeSel	1	1	1
LDO2FltHP	0	0	0
LDO1FltHP	0	0	0
LSW3FltHP	0	0	0
LSW2FltHP	0	0	0
LSW1FltHP	0	0	0
BBFltHP	0	0	0
BCK3FltHP	0	0	0
BCK2FltHP	0	0	0
BCK1FltHP	0	0	0
LDO3FltHP	0	0	0
FGExtSense	Yes	Yes	Yes

レジスタのデフォルト

表 7 はレジスタのデフォルト値を示しています。

表 7. I^2C 直接レジスタのデフォルト

PERIPHERAL ADDRESS	REGISTER ADDRESS	REGISTER NAME	EV KIT	EV KIT WITH HARVESTER	MAX20356A
0x50	0x00	RevID	0x02	0x02	0x02

PERIPHERAL ADDRESS	REGISTER ADDRESS	REGISTER NAME	EV KIT	EV KIT WITH HARVESTER	MAX20356A
0x50	0x01	Status0	0x00	0x00	0x00
0x50	0x02	Status1	0x00	0x00	0x00
0x50	0x03	Status2	0x00	0x00	0x00
0x50	0x04	Status3	0x00	0x00	0x00
0x50	0x05	Status4	0x00	0x00	0x00
0x50	0x07	Int0	0x00	0x00	0x00
0x50	0x08	Int1	0x00	0x00	0x00
0x50	0x09	Int2	0x00	0x00	0x00
0x50	0x0A	Int3	0x00	0x00	0x00
0x50	0x0B	Int4	0x00	0x00	0x00
0x50	0x0C	Int5	0x00	0x00	0x00
0x50	0x0D	IntMask0	0x00	0x00	0x00
0x50	0x0E	IntMask1	0x00	0x00	0x00
0x50	0x0F	IntMask2	0x00	0x00	0x00
0x50	0x10	IntMask3	0x00	0x00	0x00
0x50	0x11	IntMask4	0x00	0x00	0x00
0x50	0x12	IntMask5	0x00	0x00	0x00
0x50	0x13	ILimCtrl1	0x35	0x35	0x3D
0x50	0x14	ILimCtrl2	0x63	0x63	0x63
0x50	0x16	DropCtrl	0x00	0x00	0x80
0x50	0x17	ChgCur0	0x46	0x46	0x45
0x50	0x18	ChgCur1	0x46	0x46	0x45
0x50	0x19	ChgCntl0	0xE4	0xE4	0xE2
0x50	0x1A	ChgCntl1	0x45	0x45	0x85
0x50	0x1B	ChgCntl2	0x43	0x43	0x42
0x50	0x1C	ChgTmr	0xDA	0xDA	0x8A
0x50	0x1D	ChgCfg0	0x30	0x30	0x10
0x50	0x1E	ThmCfg0	0x18	0x18	0x18
0x50	0x1F	TmnCfg1	0xFF	0xFF	0xFF
0x50	0x20	ThmCfg2	0x00	0x00	0x00
0x50	0x21	ThmCfg3	0x24	0x24	0x24
0x50	0x22	ThmCfg4	0x2D	0x2D	0x2D
0x50	0x23	ThmCfg5	0x2D	0x2D	0x2D
0x50	0x24	ThmCfg6	0x2D	0x2D	0x2D
0x50	0x25	ThmCfg7	0xF1	0xF1	0xF1
0x50	0x26	ChgCtr1	0x80	0x80	0x80
0x50	0x27	ChgCtr2	0x01	0x01	0x01
0x50	0x28	HrvBatCfg0	0x10	0x10	0x30
0x50	0x29	MONCfg	0x10	0x10	0x10
0x50	0x2A	WDCntl	0x03	0x03	0x03
0x50	0x30	Buck1Eba	0xE0	0xE0	0xE0

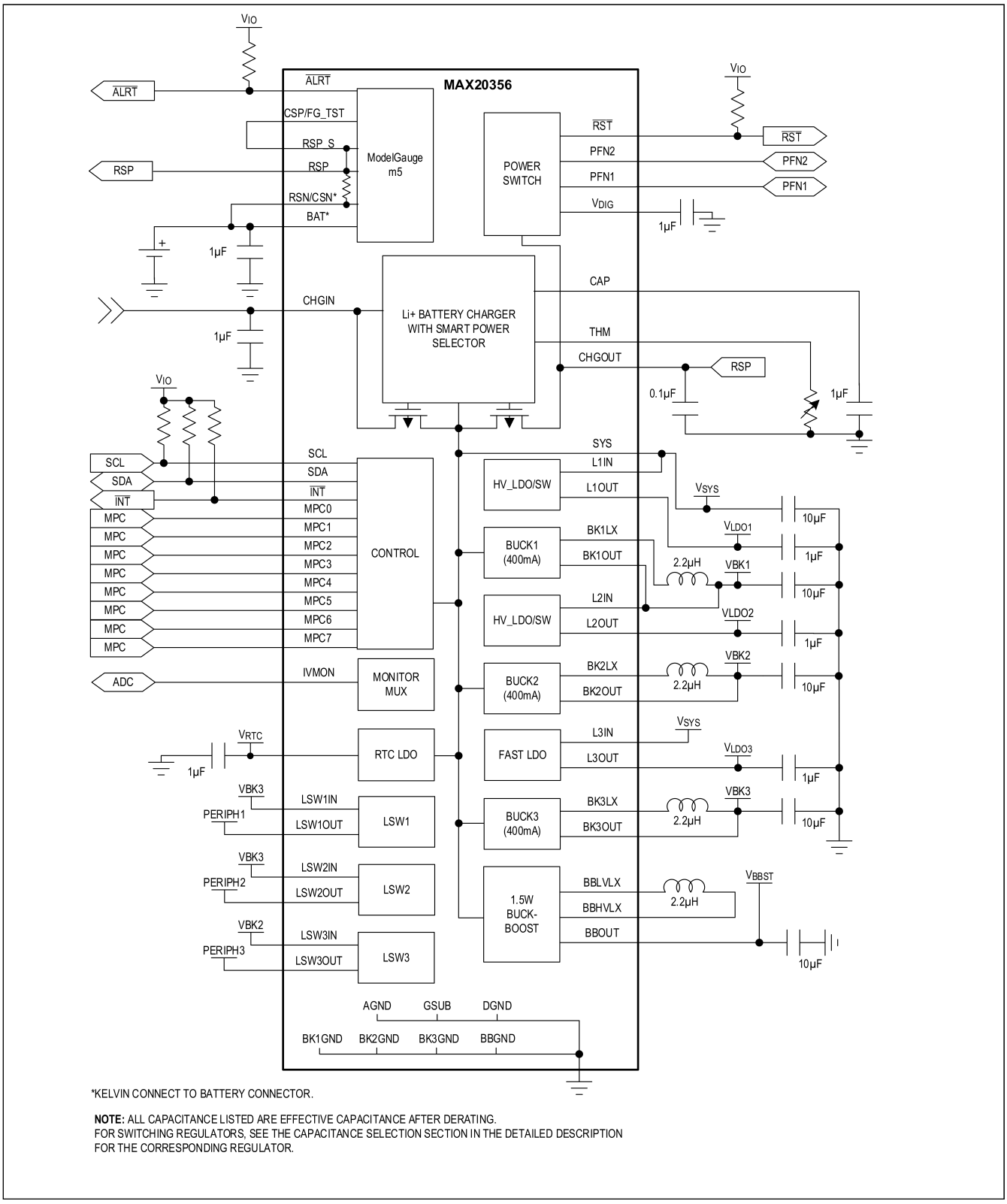
PERIPHERAL ADDRESS	REGISTER ADDRESS	REGISTER NAME	EV KIT	EV KIT WITH HARVESTER	MAX20356A
0x50	0x31	Buck1Cfg0	0x50	0x50	0x50
0x50	0x32	Buck1Cfg1	0x00	0x00	0x00
0x50	0x33	Buck1Iset	0x00	0x00	0x00
0x50	0x34	Buck1VSet	0x3C	0x3C	0x34
0x50	0x35	Buck1Ctr	0x00	0x00	0x00
0x50	0x36	Buck1DvsCfg0	0x20	0x20	0x20
0x50	0x37	Buck1DvsCfg1	0x00	0x00	0x00
0x50	0x38	Buck1DvsCfg2	0x00	0x00	0x00
0x50	0x39	Buck1DvsCfg3	0x00	0x00	0x00
0x50	0x3A	Buck1DvsCfg4	0x00	0x00	0x00
0x50	0x3B	Buck1DvsSpi	0x00	0x00	0x00
0x50	0x3C	Buck2Ena	0xE0	0xE0	0xE0
0x50	0x3D	Buck2Cfg	0x51	0x51	0x50
0x50	0x3E	Buck2Cfg1	0x00	0x00	0x00
0x50	0x3F	Buck2Iset	0x00	0x00	0x00
0x50	0x40	Buck2VSet	0x34	0x34	0x34
0x50	0x41	Buck2Ctr	0x00	0x00	0x00
0x50	0x42	Buck2DvsCfg0	0x20	0x20	0x20
0x50	0x43	Buck2DvsCfg1	0x00	0x00	0x00
0x50	0x44	Buck2DvsCfg2	0x00	0x00	0x00
0x50	0x45	Buck2DvsCfg3	0x00	0x00	0x00
0x50	0x46	Buck2DvsCfg4	0x00	0x00	0x00
0x50	0x47	Buck2DvsSpi	0x00	0x00	0x00
0x50	0x48	Buck3Ena	0xE0	0xE0	0xE1
0x50	0x49	Buck3Cfg	0x51	0x51	0x50
0x50	0x4A	Buck3Cfg1	0x00	0x00	0x00
0x50	0x4B	Buck3Iset	0x00	0x00	0x00
0x50	0x4C	Buck3VSet	0x36	0x36	0x38
0x50	0x4D	Buck3Ctr	0x00	0x00	0x00
0x50	0x4E	Buck3DvsCfg0	0x20	0x20	0x20
0x50	0x4F	Buck3DvsCfg1	0x00	0x00	0x00
0x50	0x50	Buck3DvsCfg2	0x00	0x00	0x00
0x50	0x51	Buck3DvsCfg3	0x00	0x00	0x00
0x50	0x52	Buck3DvsCfg4	0x00	0x00	0x00
0x50	0x53	Buck3DvsSpi	0x00	0x00	0x00
0x50	0x54	BBstEna	0xE0	0xE0	0xE0
0x50	0x55	BBstCfg	0x05	0x05	0x05
0x50	0x56	BBstVSet	0x32	0x32	0x32
0x50	0x57	BBstISet	0x00	0x00	0x00
0x50	0x58	BBstCfg1	0x13	0x13	0x13
0x50	0x59	BBstCtr0	0x08	0x08	0x08

PERIPHERAL ADDRESS	REGISTER ADDRESS	REGISTER NAME	EV KIT	EV KIT WITH HARVESTER	MAX20356A
0x50	0x5A	LDO1Ena	0xE0	0xE0	0xE0
0x50	0x5B	LDO1Cfg	0x01	0x01	0x01
0x50	0x5C	LDO1VSet	0x00	0x00	0x09
0x50	0x5D	LDO1Ctr	0x00	0x00	0x00
0x50	0x5E	LDO2Ena	0xE0	0xE0	0xE1
0x50	0x5F	LDO2Cfg	0x01	0x01	0x01
0x50	0x60	LDO2VSet	0x15	0x15	0x18
0x50	0x61	LDO2Ctr	0x00	0x00	0x00
0x50	0x62	LDO3Ena	0xE0	0xE0	0xE0
0x50	0x63	LDO3Cfg	0x01	0x01	0x01
0x50	0x64	LDO3VSet	0x24	0x24	0x24
0x50	0x65	LDO3Ctr	0x00	0x00	0x00
0x50	0x66	LDO4Ena	0xE0	0xE0	0xE0
0x50	0x67	LDO4Cfg	0x83	0x83	0x03
0x50	0x68	LDO4Ctr	0x00	0x00	0x00
0x50	0x69	LSW1Ena	0xE0	0xE0	0xE0
0x50	0x6A	LSW1Cfg	0x01	0x01	0x01
0x50	0x6B	LSW1Ctr	0x00	0x00	0x00
0x50	0x6C	LSW2Ena	0xE0	0xE0	0xE0
0x50	0x6D	LSW2Cfg	0x01	0x01	0x01
0x50	0x6E	LSW2Ctr	0x00	0x00	0x00
0x50	0x6F	LSW3Ena	0xE0	0xE0	0xE0
0x50	0x70	LSW3Cfg	0x01	0x01	0x03
0x50	0x71	LSW3Ctr	0x00	0x00	0x00
0x50	0x72	MPC0Cfg	0x00	0x00	0x00
0x50	0x73	MPC1Cfg	0x00	0x00	0x00
0x50	0x74	MPC2Cfg	0x00	0x00	0x00
0x50	0x75	MPC3Cfg	0x00	0x00	0x00
0x50	0x76	MPC4Cfg	0x00	0x00	0x00
0x50	0x77	MPC5Cfg	0x00	0x00	0x00
0x50	0x78	MPC6Cfg	0x00	0x00	0x00
0x50	0x79	MPC7Cfg	0x00	0x00	0x00
0x50	0x7A	MPCItrSts	0x00	0x00	0x04
0x50	0x7B	BK1ItrCfg	0x00	0x00	0x00
0x50	0x7C	BK2ItrCfg	0x00	0x00	0x00
0x50	0x7D	BK3ItrCfg	0x00	0x00	0x00
0x50	0x7E	USBOkItrCfg	0x00	0x00	0x00
0x50	0x80	PFN	0x01	0x01	0x01
0x50	0x81	BootCfg	0xBB	0xBB	0xB9
0x50	0x82	PwrCfg	0x01	0x01	0x01
0x50	0x83	PwrCmd	0x00	0x00	0x00

PERIPHERAL ADDRESS	REGISTER ADDRESS	REGISTER NAME	EV KIT	EV KIT WITH HARVESTER	MAX20356A
0x50	0x84	MiscFunctions	0x04	0x04	0x04
0x50	0x86	LockMsk1	0xFF	0xFF	0xFF
0x50	0x87	LockMsk2	0xFF	0xFF	0xFF
0x50	0x89	LockMsk3	0xEF	0xEF	0xEF
0x50	0x8A	LockUnlock1	0x00	0x00	0x55
0x50	0x8B	LockUnlock2	0x00	0x00	0x55
0x50	0x8C	LockUnlock3	0x00	0x00	0x55
0x50	0x8D	I2C_OTP_ADD	0x00	0x00	0x00
0x50	0x8E	I2C_OTP_DAT	—	—	—

標準アプリケーション回路

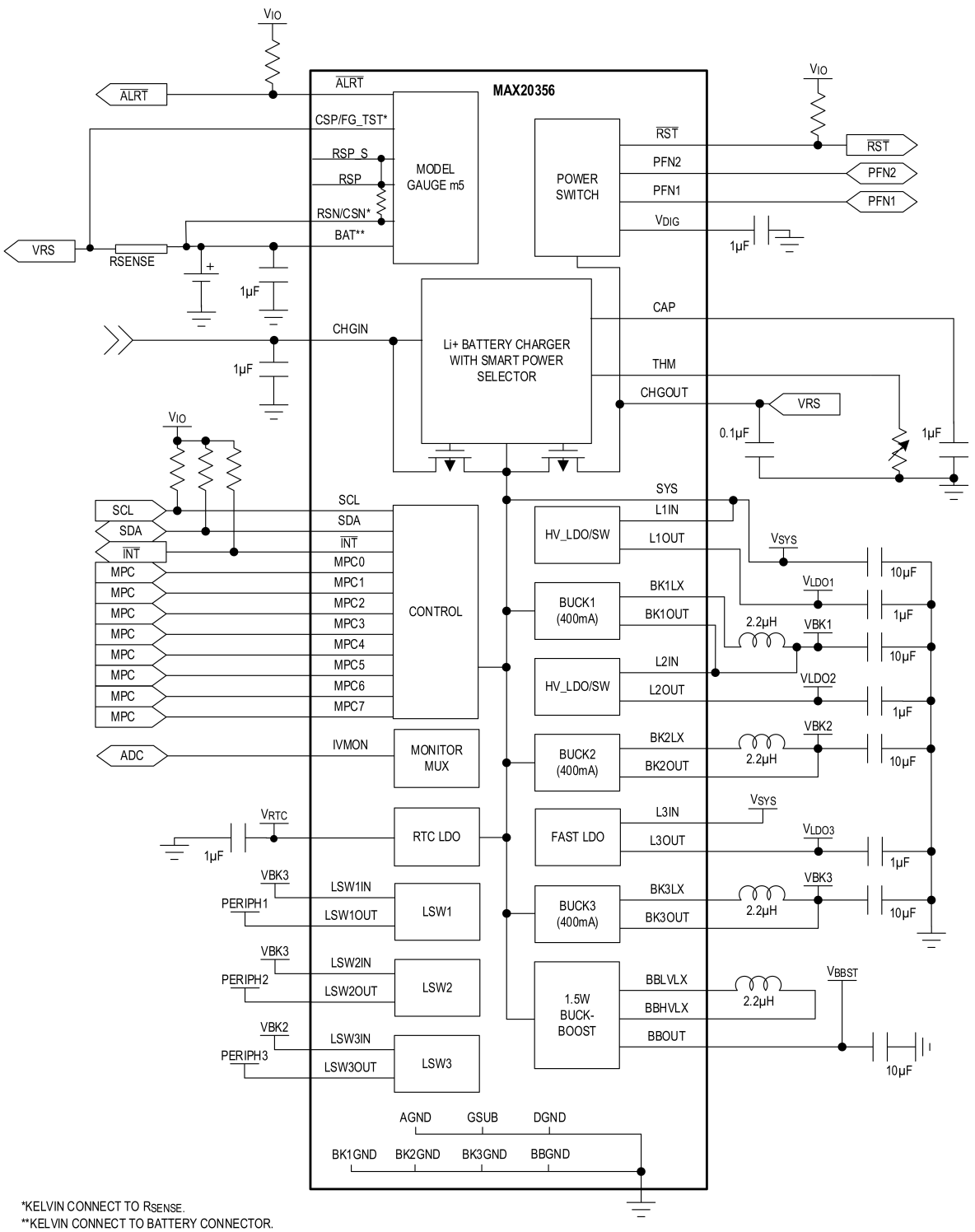
内蔵の検出抵抗を使用する場合



*KELVIN CONNECT TO BATTERY CONNECTOR.

NOTE: ALL CAPACITANCE LISTED ARE EFFECTIVE CAPACITANCE AFTER DERATING. FOR SWITCHING REGULATORS, SEE THE CAPACITANCE SELECTION SECTION IN THE DETAILED DESCRIPTION FOR THE CORRESPONDING REGULATOR.

外付けの検出抵抗を使用する場合



*KELVIN CONNECT TO RSENSE.
**KELVIN CONNECT TO BATTERY CONNECTOR.

NOTE: ALL CAPACITANCE LISTED ARE EFFECTIVE CAPACITANCE AFTER DERATING. FOR SWITCHING REGULATORS, SEE THE CAPACITANCE SELECTION SECTION IN THE DETAILED DESCRIPTION FOR THE CORRESPONDING REGULATOR.

オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX20356AEWY+	-40°C to +85°C	63-WLP
MAX20356AEWY+T	-40°C to +85°C	63-WLP

+は鉛（Pb）フリー／ROHS 準拠のパッケージであることを示します。
T =テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/23	初版発行	–

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。