

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) $+5V$ 駆動、12ビットDAS、8+4バスインタフェース付

概要

MAX199は $+5V$ 単一電源で動作し、最大 $\pm 4V$ のアナログ入力信号を変換するマルチレンジの12ビットデータ収集システム(DAS)です。このシステムは8個のアナログ入力チャンネルを備え、各チャンネルの入力範囲は別々にプログラムすることができます($\pm V_{REF}$ 、 $\pm V_{REF}/2$ 、 $0V \sim V_{REF}$ 、 $0V \sim V_{REF}/2$)。これにより、有効ダイナミックレンジが14ビットに拡張され、また $4mA \sim 20mA$ や $\pm 12V$ 及び $\pm 15V$ 駆動のセンサーを、 $+5V$ 単一電源駆動のシステムにインタフェースすることが可能になります。さらにコンバータは $\pm 16.5V$ のフォルト保護機能を備えているため、他のチャンネルで障害が発生しても選択されたチャンネルの変換結果には影響しません。その他の特長としては帯域幅5MHzのトラック/ホールド、100kpsのスループットレート、内部/外部クロック、内部/外部アキュイジション制御、8+4パラレルインタフェース、及び4.096Vの内部リファレンス又は外部リファレンス等が挙げられます。

ハードウェア \overline{SHDN} ピン及びプログラム可能な2つのパワーダウンモード(STBYDPD、FULLPD)により、変換と変換の間に低電流のシャットダウンモードとすることができます。STBYDPDモードでは、リファレンスパッファがアクティブ状態に維持されるため、スタートアップ時の遅延を無くすることができます。

MAX199は標準マイクロプロセッサ(μP)インタフェースを採用しています。スリーステートデータI/Oインタフェースは8ビットデータバスで動作するように設定されており、データアクセス及びバスリリースのタイミング仕様は一般的な μP とコンパチブルになっています。ロジック入出力は全てTTL/CMOSコンパチブルです。

MAX199は28ピンDIP、ワイドSOP、SSOP及びセラミックSBパッケージで供給されています。

入力範囲の異なる組み合わせ($\pm 10V$ 、 $\pm 5V$ 、 $0V \sim 10V$ 、 $0V \sim 5V$)が必要な場合は、MAX197のデータシートを参照してください。12ビットバスインタフェースについてはMAX196/MAX198のデータシートを参照してください。

アプリケーション

- 工業制御システム
- ロボット
- データ収集システム
- 自動試験機器
- 医療機器
- テレコミュニケーション

ブロック図はデータシートの最後にあります。

特長

- ◆ 分解能：12ビット、直線性：1/2LSB
- ◆ 電源： $+5V$ 単一
- ◆ 入力範囲はプログラム可能：
 $\pm V_{REF}$ 、 $\pm V_{REF}/2$ 、 $0V \sim V_{REF}$ 、 $0V \sim V_{REF}/2$
- ◆ リファレンス：内部4.096V又は外部
- ◆ 入力マルチプレクサのフォルト保護： $\pm 16.5V$
- ◆ アナログ入力チャンネル数：8
- ◆ 変換時間：6 μs 、サンプリングレート：100kps
- ◆ アキュイジション制御：内部又は外部
- ◆ 2つのパワーダウンモード
- ◆ クロック：内部又は外部

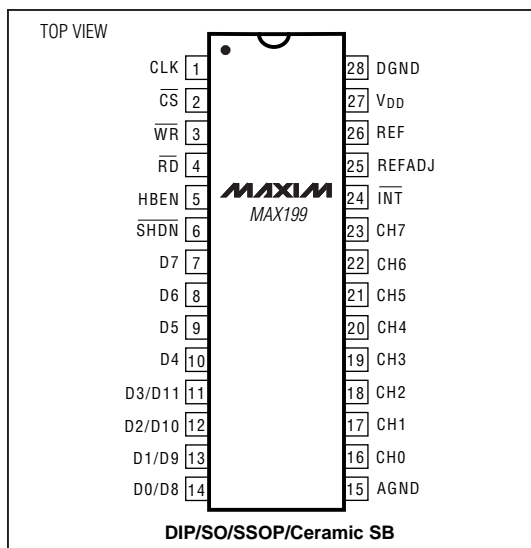
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX199ACNI	0°C to +70°C	28 Narrow Plastic DIP
MAX199BCNI	0°C to +70°C	28 Narrow Plastic DIP
MAX199ACWI	0°C to +70°C	28 Wide SO
MAX199BCWI	0°C to +70°C	28 Wide SO
MAX199ACAI	0°C to +70°C	28 SSOP
MAX199BCAI	0°C to +70°C	28 SSOP
MAX199BC/D	0°C to +70°C	Dice*

Ordering Information continued at end of data sheet.

*Dice are specified at $T_A = +25^\circ C$, DC parameters only.

ピン配置



マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND.....	-0.3V to +7V	Wide SO (derate 12.50mW/°C above +70°C).....	1000mW
AGND to DGND.....	-0.3V to +0.3V	SSOP (derate 9.52mW/°C above +70°C).....	762mW
REF to AGND.....	-0.3V to (V _{DD} + 0.3V)	Narrow Ceramic SB (derate 20.00mW/°C above +70°C).....	1600mW
REFADJ to AGND.....	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Ranges	
Digital Inputs to DGND.....	-0.3V to (V _{DD} + 0.3V)	MAX199_C_.....	0°C to +70°C
Digital Outputs to DGND.....	-0.3V to (V _{DD} + 0.3V)	MAX199_E_.....	-40°C to +85°C
CH0-CH7 to AGND.....	$\pm 16.5V$	MAX199_M_.....	-55°C to +125°C
Continuous Power Dissipation (T _A = +70°C)		Storage Temperature Range.....	-65°C to +150°C
Narrow Plastic DIP (derate 14.29mW/°C above +70°C)....	1143mW	Lead Temperature (soldering, 10sec).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 5V $\pm 5\%$; unipolar/bipolar range; external reference mode, V_{REF} = 4.096V; 4.7 μ F at REF pin; external clock, f_{CLK} = 2.0MHz with 50% duty cycle; T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY (Note 1)						
Resolution			12			Bits
Integral Nonlinearity	INL	MAX199A			$\pm 1/2$	LSB
		MAX199B			± 1	
Differential Nonlinearity	DNL				± 1	LSB
Offset Error	Unipolar	MAX199A			± 3	LSB
		MAX199B			± 5	
	Bipolar	MAX199A			± 5	
		MAX199B			± 10	
Channel-to-Channel Offset Error Matching	Unipolar			± 0.1	LSB	
	Bipolar			± 0.5		
Gain Error (Note 2)	Unipolar	MAX199A			± 7	LSB
		MAX199B			± 10	
	Bipolar	MAX199A			± 7	
		MAX199B			± 10	
Gain Temperature Coefficient (Note 2)	Unipolar			3	ppm/°C	
	Bipolar			5		
DYNAMIC SPECIFICATIONS (10kHz sine-wave input, $\pm 4.096Vp-p$, f _{SAMPLE} = 100ksp/s)						
Signal-to-Noise + Distortion Ratio	SINAD	MAX199A	70			dB
		MAX199B	69			
Total Harmonic Distortion	THD	Up to the 5th harmonic		-85	-78	dB
Spurious-Free Dynamic Range	SFDR		80			dB
Channel-to-Channel Crosstalk		50kHz, V _{IN} = $\pm 4V$ (Note 3)		-86		dB
Aperture Delay		External CLK mode/external acquisition control		15		ns
Aperture Jitter		External CLK mode/external acquisition control		<50		ps
		Internal CLK mode/internal acquisition control (Note 4)		10		ns

マルチレンジ(±4V、±2V、+4V、+2V) +5V駆動、12ビットDAS、8+4バスインタフェース付

MAX199

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 5V ±5%; unipolar/bipolar range; external reference mode, V_{REF} = 4.096V; 4.7μF at REF pin; external clock, f_{CLK} = 2.0MHz with 50% duty cycle; T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Track/Hold Acquisition Time		f _{CLK} = 2.0MHz			3	μs
Small-Signal Bandwidth	-3dB rolloff	±V _{REF} range		5		MHz
		±V _{REF} /2 range		2.5		
		0V to V _{REF} range		2.5		
		0V to V _{REF} /2 range		1.25		
Input Voltage Range		Unipolar (see Table 2)		0	V _{REF}	V
				0	V _{REF} /2	
		Bipolar (see Table 2)		-V _{REF}	V _{REF}	
				-V _{REF} /2	V _{REF} /2	
Input Current		Unipolar range		0.1	10	μA
		Bipolar	±V _{REF} range	-1200	10	
			±V _{REF} /2 range	-600	10	
Input Dynamic Resistance		Unipolar		40		MΩ
		Bipolar		10		kΩ
Input Capacitance		(Note 5)			40	pF
INTERNAL REFERENCE						
REF Output Voltage	V _{REF}	T _A = +25°C	4.076	4.096	4.116	V
REF Output Tempco (Contact Maxim Applications for guaranteed temperature drift specifications)	TC V _{REF}	MAX199_C		±15		ppm/°C
		MAX199_E		±30		
		MAX199_M		±40		
Output Short-Circuit Current					30	mA
Load Regulation		0mA to 0.5mA output current (Note 6)			7.5	mV
		0mA to 0.1mA output current (Note 6)		0.8		
Capacitive Bypass at REF			4.7			μF
REFADJ Output Voltage			2.465	2.500	2.535	V
REFADJ Adjustment Range		With recommended circuit (Figure 1)		±1.5		%
Buffer Voltage Gain				1.6384		V/V
REFERENCE INPUT (Buffer disabled, reference input applied to REF pin)						
Input Voltage Range			2.4		4.18	V
Input Current		V _{REF} = 4.18V	Normal, or STANDBY power-down mode		400	μA
			FULL power-down mode		1	
Input Resistance		Normal, or STANDBY power-down mode		10		kΩ
		FULL power-down mode		5		MΩ
REFADJ Threshold for Buffer Disable			V _{DD} - 50mV			V

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

MAX199

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 5V \pm 5\%$; unipolar/bipolar range; external reference mode, $V_{REF} = 4.096V$; $4.7\mu F$ at REF pin; external clock, $f_{CLK} = 2.0MHz$ with 50% duty cycle; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
POWER REQUIREMENTS							
Supply Voltage	V_{DD}		4.75		5.25	V	
Supply Current	I_{DD}	Normal mode, bipolar ranges			18	mA	
		Normal mode, unipolar ranges		6	10		
		Standby power-down (STBYPD)		700		850	μA
		Full power-down mode (FULLPD) (Note 7)		60		120	
Power-Supply Rejection Ratio (Note 8)	PSRR	External reference = 4.096V			$\pm 1/2$	LSB	
		Internal reference			$\pm 1/2$		
TIMING							
Internal Clock Frequency	f_{CLK}	$C_{CLK} = 100pF$	1.25	1.56	2.00	MHz	
External Clock Frequency Range	f_{CLK}		0.1		2.0	MHz	
Acquisition Time	t_{ACQI}	Internal acquisition	External CLK			3.0	μs
			Internal CLK			3.0	
	t_{ACQE}	External acquisition (Note 9)				3.0	
		After FULLPD or STBYPD				5	
Conversion Time	t_{CONV}	External CLK			6.0	μs	
		Internal CLK, $C_{CLK} = 100pF$		6.0	7.7		10.0
Throughput Rate		External CLK				100	ksp/s
		Internal CLK, $C_{CLK} = 100pF$				62	
Bandgap Reference Start-Up Time		Power-up (Note 10)			200	μs	
Reference Buffer Settling		To 0.1mV, REF bypass capacitor fully discharged	$C_{REF} = 4.7\mu F$			8	ms
			$C_{REF} = 33\mu F$			60	
DIGITAL INPUTS (D7–D0, CLK, RD, WR, CS, HBEN, SHDN) (Note 11)							
Input High Voltage	V_{INH}		2.4			V	
Input Low Voltage	V_{INL}				0.8	V	
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 10	μA	
Input Capacitance	C_{IN}	(Note 5)			15	pF	
DIGITAL OUTPUTS (D7–D4, D3/D11, D2/D10, D1/D9, D0/D8, \overline{INT})							
Output Low Voltage	V_{OL}	$V_{DD} = 4.75V$, $I_{SINK} = 1.6mA$			0.4	V	
Output High Voltage	V_{OH}	$V_{DD} = 4.75V$, $I_{SOURCE} = 1mA$	$V_{DD} - 1$			V	
Three-State Output Capacitance	C_{OUT}	(Note 5)			15	pF	

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

TIMING CHARACTERISTICS

($V_{DD} = 5V \pm 5\%$; unipolar/bipolar range; external reference mode, $V_{REF} = 4.096V$; $4.7\mu F$ at REF pin; external clock, $f_{CLK} = 2.0MHz$ with 50% duty cycle; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Pulse Width	t_{CS}		80			ns
\overline{WR} Pulse Width	t_{WR}		80			ns
\overline{CS} to \overline{WR} Setup Time	t_{CSWS}		0			ns
\overline{CS} to \overline{WR} Hold Time	t_{CSWH}		0			ns
\overline{CS} to \overline{RD} Setup Time	t_{CSRS}		0			ns
\overline{CS} to \overline{RD} Hold Time	t_{CSRH}		0			ns
CLK to \overline{WR} Setup Time	t_{CWS}				100	ns
CLK to \overline{WR} Hold Time	t_{CWH}				50	ns
Data Valid to \overline{WR} Setup	t_{DS}		60			ns
Data Valid to \overline{WR} Hold	t_{DH}		0			ns
\overline{RD} Low to Output Data Valid	t_{DO}	Figure 2, $C_L = 100pF$ (Note 12)			120	ns
HBEN High or HBEN Low to Output Valid	t_{DO1}	Figure 2, $C_L = 100pF$ (Note 12)			120	ns
\overline{RD} High to Output Disable	t_{TR}	(Note 13)			70	ns
\overline{RD} Low to \overline{INT} High Delay	t_{INT1}				120	ns

Note 1: Accuracy specifications tested at $V_{DD} = 5.0V$. Performance at power-supply tolerance limits guaranteed by Power-Supply Rejection test. Tested for the $\pm 4.096V$ input range.

Note 2: External reference: $V_{REF} = 4.096V$, offset error nulled, ideal last code transition = $FS - 3/2LSB$.

Note 3: Ground "on" channel; sine wave applied to all "off" channels.

Note 4: Maximum full-power input frequency for 1LSB error with 10ns jitter = 3kHz.

Note 5: Guaranteed by design. Not tested.

Note 6: Use static loads only.

Note 7: Tested using internal reference.

Note 8: PSRR measured at full-scale. $V_{DD} = 4.75V$ to $5.25V$.

Note 9: External acquisition timing: starts at rising edge of \overline{WR} with control bit ACQMOD = low; ends at rising edge of \overline{WR} with ACQMOD = high.

Note 10: Not subject to production testing. Provided for design guidance only.

Note 11: All input control signals specified with $t_R = t_F = 5ns$ from a voltage level of 0.8V to 2.4V.

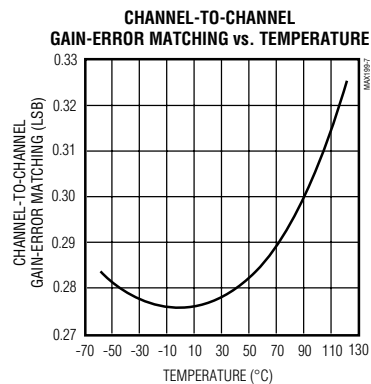
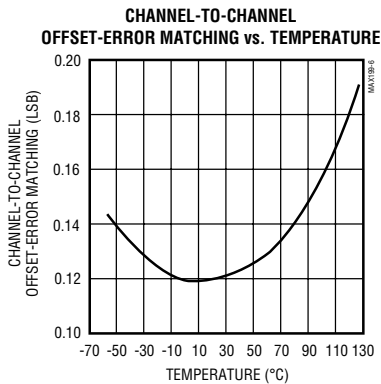
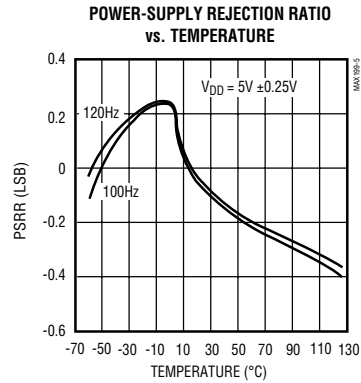
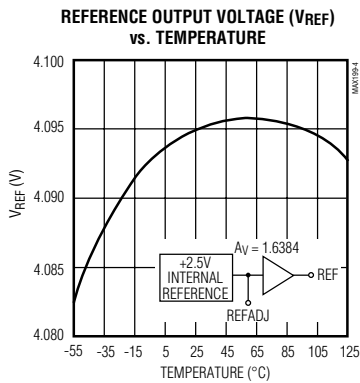
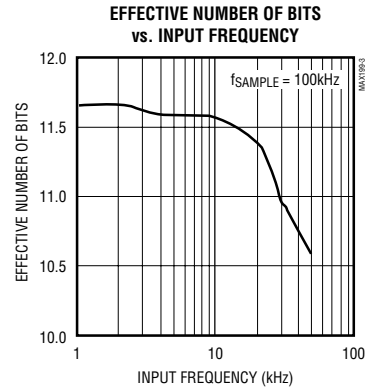
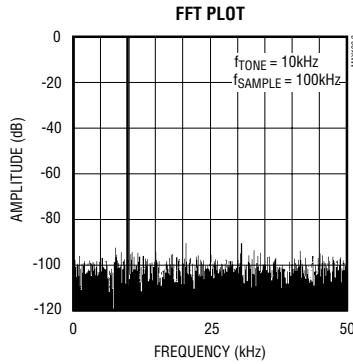
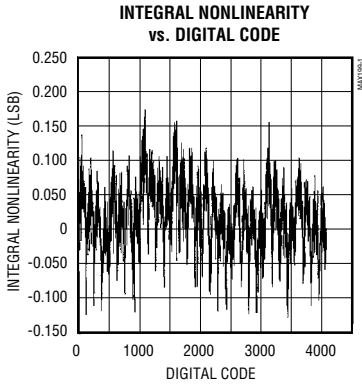
Note 12: t_{DO} and t_{DO1} are measured with the load circuits of Figure 2 and defined as the time required for an output to cross 0.8V or 2.4V.

Note 13: t_{TR} is defined as the time required for the data lines to change by 0.5V.

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

端子説明

端子	名称	機能
1	CLK	クロック入力。外部クロックモードでは、CLKをTTL/CMOSコンパチブルのクロックで駆動してください。内部クロックモードでは、このピンとグラウンドの間にコンデンサ(C_{CLK})を接続し、内部クロック周波数を設定してください($C_{CLK} = 100\text{pF}$ の時、 $f_{CLK} = 1.56\text{MHz typ}$)。
2	\overline{CS}	チップセレクト。アクティブロー。
3	\overline{WR}	内部アキュイジションモードで \overline{CS} がローの場合、 \overline{WR} の立上がりエッジで設定データがラッチされ、アキュイジションと変換サイクルが開始されます。外部アキュイジションモードで \overline{CS} がローの場合、 \overline{WR} の最初の立上がりエッジでアキュイジションが開始され、 \overline{WR} の2番目の立上がりエッジでアキュイジションが完了し、変換サイクルが開始されます。
4	\overline{RD}	\overline{CS} がローの時、 \overline{RD} の立下がりエッジがデータバスの読取り動作をイネーブルします。
5	HBEN	12ビット変換結果を多重化するために使用されます。ハイの場合、4つのMSBがデータバス上で多重化されます。ローの場合、8つのLSBがバス上に供給されます。
6	\overline{SHDN}	シャットダウン。ローに引下げられるとデバイスはフルパワーダウン(FULLPD)モードに入ります。
7-10	D7-D4	スリープ状態デジタルI/O
11	D3/D11	スリープ状態デジタルI/O。D3出力(HBEN = ロー)、D11出力(HBEN = ハイ)。
12	D2/D10	スリープ状態デジタルI/O。D2出力(HBEN = ロー)、D10出力(HBEN = ハイ)。
13	D1/D9	スリープ状態デジタルI/O。D1出力(HBEN = ロー)、D9出力(HBEN = ハイ)。
14	D0/D8	スリープ状態デジタルI/O。D0出力(HBEN = ロー)、D8出力(HBEN = ハイ)。D0 = LSB。
15	AGND	アナロググラウンド
16-23	CH0-CH7	アナログ入力チャネル
24	\overline{INT}	\overline{INT} は、変換が完了して出力データが準備できるとローになります。
25	REFADJ	バンドギャップ電圧リファレンス出力/外部調整ピン。0.01 μF のコンデンサでAGNDにバイパスしてください。REFピンで外部リファレンスを使用する場合は V_{DD} に接続してください。
26	REF	リファレンスバッファ出力/ADCリファレンス入力。内部リファレンスモードでは、リファレンスバッファは公称4.096Vの出力を提供します(REFADJで外部調整可能)。外部リファレンスモードでは、REFADJを V_{DD} に接続することで内部バッファをディセーブルしてください。
27	V_{DD}	+5V電源。0.1 μF のコンデンサでAGNDにバイパスしてください。
28	DGND	デジタルグラウンド

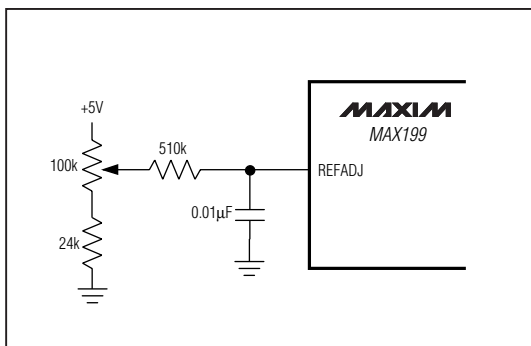


図1. リファレンス調整回路

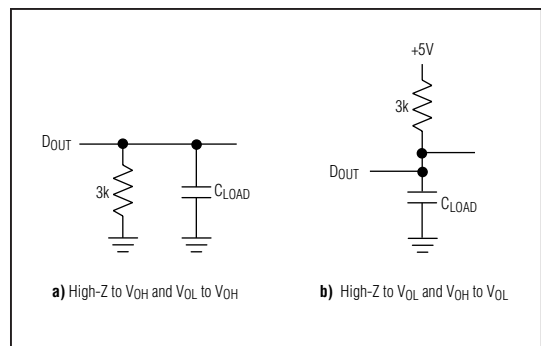


図2. イネーブル時間用の負荷回路

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

詳細

コンバータの動作

MAX199は、マルチレンジのフォルト保護ADCで、逐次比較法及び内蔵の入力トラック/ホールド(T/H)回路を用いることでアナログ信号を12ビットのデジタル出力に変換します。出力フォーマットはパラレルのためマイクロプロセッサ(μP)と容易にインタフェースできます。図3にMAX199の最もシンプルな構成を示します。

アナログ入力トラック/ホールド

内部アキュイジション制御モード(制御ビットD5を0に設定)では、T/Hは \overline{WR} の立上がりエッジでトラックモードに入り、内部設定されたアキュイジションインターバル(6クロックサイクル)が終了するとホールドモードに入ります。バイポーラモードでは、最大変換レートでの変換精度を保持するために、1.5 μs 以内でセトリングする低インピーダンスの入力ソースが必要です。

ユニポーラモードに設定されている場合は、入力を低インピーダンスソースで駆動する必要はありません。アキュイジションタイム(t_{AZ})はソース出力抵抗(R_S)、チャネル入力抵抗(R_{IN})及びT/H容量の関数です。

アキュイジションタイムは次式で計算されます。

$$0V \sim V_{REF} \text{ の場合 } \rightarrow t_{AZ} = 9 \times (R_S + R_{IN}) \times 16pF$$

$$0V \sim V_{REF/2} \text{ の場合 } \rightarrow t_{AZ} = 9 \times (R_S + R_{IN}) \times 32pF$$

ここで $R_{IN} = 7k$ 、 t_{AZ} は常に2 μs 以上($0V \sim V_{REF}$ 範囲の場合)又は3 μs 以上($0V \sim V_{REF/2}$ 範囲の場合)です。

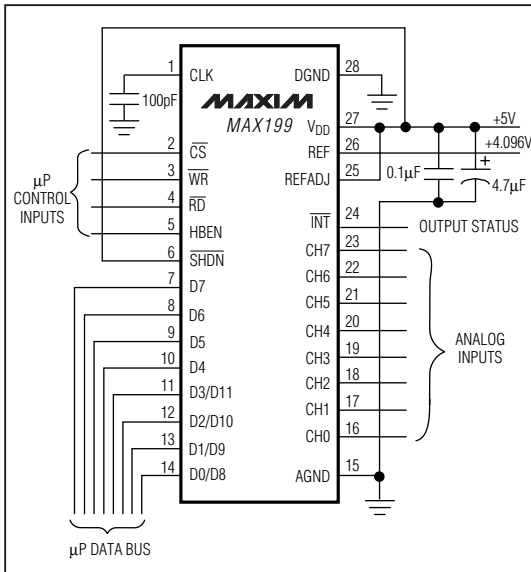


図3. 動作図

外部アキュイジション制御モード(D5 = 1)では、T/Hは \overline{WR} の最初の立上がりエッジでトラックモードに入り、D5 = 0で2番目の \overline{WR} の立上がりエッジを検出するとホールドモードに入ります。「外部アキュイジション」の項を参照してください。

入力帯域幅

ADCの入力トラック回路の小信号帯域幅は5MHzです。2MHzの外部クロック周波数で内部アキュイジションモードを用いることで100ksp/sのスループットレートが実現できます。アンダーサンプリング技法を用いることで、高速な過渡現象のデジタル化や、ADCのサンプリングレートを超える帯域幅の周期的信号の測定が可能です。必要な周波数帯域内にエイリアシングを発生させる高周波信号を除くためには、アンチエイリアシング・フィルタ(MAX274/MAX275連続時間フィルタ)をご使用ください。

入力範囲及び保護

図4に等価入力回路を示します。MAX199は制御バイトにおける適切な制御ビット(D3、D4)を設定することによって入力範囲を $\pm V_{REF}$ 、 $\pm V_{REF/2}$ 、 $0V \sim V_{REF}$ 又は $0V \sim V_{REF/2}$ にプログラムできます(表1及び表2を参照)。REFADJに外部リファレンスが印加された場合、REFでの電圧は $V_{REF} = 1.6384 \times V_{REFADJ}$ ($2.4V < V_{REF} < 4.18V$)によって与えられます。

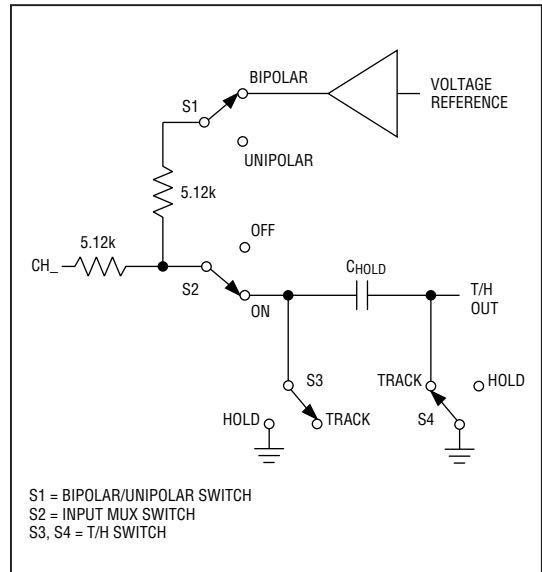


図4. 等価入力回路

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

入力チャネルは $\pm 16.5V$ まで過電圧保護されています。この保護はパワーダウンモードでも機能します。

$V_{DD} = 0V$ の場合でも入力抵抗ネットワークによる電流制限がデバイスを適切に保護します。

デジタルインタフェース

入力データ(制御バイト)と出力データはスリープ・パラレルインタフェース上で多重化されます。このパラレルI/Oは μP と容易にインタフェース可能です。 \overline{CS} 、 \overline{WR} 及び \overline{RD} は書き込み及び読み取り動作を制御します。 \overline{CS} は標準チップセレクト信号であり、 μP はこれによってMAX199をI/Oポートとしてアドレス指定することができます。 \overline{CS} がハイの場合、 \overline{WR} 及び \overline{RD} 入力がディセーブルされ、インタフェースは強制的にハイインピーダンス状態になります。

入力フォーマット

制御バイトは書き込みサイクル中にデバイスのD7～D0ピンにラッチされます。表1に制御バイトのフォーマットを示します。

出力データフォーマット

出力データフォーマットはユニポーラモードではバイナリ、バイポーラモードでは2の補数形式のバイナリです。出力データの読み取り中は、 \overline{CS} 及び \overline{RD} はローでなければなりません。HBENがローの時は下位8ビットが読取られます。HBENがハイの時は上位4 MSBが使用可能になり、出力データビットD4～D7はローに設定されるか(ユニポーラモード)、あるいはMSBの値に設定されず(バイポーラモード)(表5)。

表1. 制御バイトのフォーマット

D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
PD1	PD0	ACQMOD	RNG	BIP	A2	A1	A0

ビット	名称	機能
7, 6	PD1, PD0	この2つのビットは、クロック及びパワーダウンモードを選択します(表3)。
5	ACQMOD	0 = 内部制御アキュイジション(6クロックサイクル)、1 = 外部制御アキュイジション。
4	RNG	入力でのフルスケール電圧を選択(表2)。
3	BIP	ユニポーラ又はバイポーラの変換モードを選択(表2)。
2, 1, 0	A2, A1, A0	入力マルチプレクサでのオンチャネルを選択するアドレスビットです(表4)。

表2. 範囲及び極性の選択

BIP	RNG	入力範囲(V)
0	0	0 to $V_{REF}/2$
0	1	0 to V_{REF}
1	0	$\pm V_{REF}/2$
1	1	$\pm V_{REF}$

表3. クロック及びパワーダウンの選択

PD1	PD0	動作モード
0	0	通常動作/外部クロックモード
0	1	通常動作/内部クロックモード
1	0	スタンバイパワーダウン(STBYPD); クロックモードには影響しません。
1	1	フルパワーダウン(FULLPD); クロックモードには影響しません。

表4. チャネル選択

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	*							
0	0	1		*						
0	1	0			*					
0	1	1				*				
1	0	0					*			
1	0	1						*		
1	1	0							*	
1	1	1								*

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

表5. データバス出力

PIN	HBEN = LOW	HBEN = HIGH
D0	B0 (LSB)	B8
D1	B1	B9
D2	B2	B10
D3	B3	B11 (MSB)
D4	B4	B11 (BIP = 1) / 0 (BIP = 0)
D5	B5	B11 (BIP = 1) / 0 (BIP = 0)
D6	B6	B11 (BIP = 1) / 0 (BIP = 0)
D7	B7	B11 (BIP = 1) / 0 (BIP = 0)

変換開始方法

変換は書込み動作で開始されます。書込み動作によってマルチプレクサのチャンネルが選択され、MAX199の入力範囲がユニポーラ又はバイポーラに設定されます。書込みパルス(WR+CS)はアキュイジションインターバルを開始させることもできますし、アキュイジションと変換をまとめて開始させることもできます。サンプリングインターバルはアキュイジションインターバルの完了時に始まります。入力制御バイトのACQMODビットによって、信号の取込み方法は内部又は外部アキュイジションのいずれかを選択できるようになっています。クロック又はアキュイジションモードが内部の場合も外部の場合も、変換時間は12クロックサイクル続きます。変換サイクル中に新しい制御バイトを書込むと、進行中の変換が中止され、新しいアキュイジションインターバルが開始されます。

内部アキュイジション

ACQMODビットがクリアされた(ACQMOD=0)制御ビットを書込むことで内部アキュイジションを選択できます。この場合、書込みパルスによってアキュイジションインターバルが開始され、その継続時間は内部的に決められます。この6クロックサイクルのアキュイジションインターバル($f_{CLK}=2\text{MHz}$ の時 $3\mu\text{s}$)が終了すると変換が開始されます。図5を参照してください。

外部アキュイジション

サンプリングアパーチャを正確に制御したい場合、及び(又は)アキュイジションタイムと変換時間を別々に制御したい場合は、外部アキュイジションタイミングモードを使用してください。この場合、ユーザは2つの独立した書込みパルスによってアキュイジション及び変換開始を制御します。ACQMOD=1とした最初のパルスが長さ未定のアキュイジションインターバルを開始します。ACQMOD=0とした2番目の書込みパルスがアキュイジションを終了させ、WRの立上がりエッジで変換を開始します(図6)。しかし、2番目の制御バイトがACQMOD=1を含んでいる場合は、長さ未定のアキュイジションインターバルが再スタートします。

入力マルチプレクサのアドレスビットは、1番目と2番目の書込みパルスが同一の値でなければなりません。パワーダウンモードビット(PD0、PD1)の値は2番目の書込みパルスで新しくすることができます(「パワーダウンモード」を参照)。

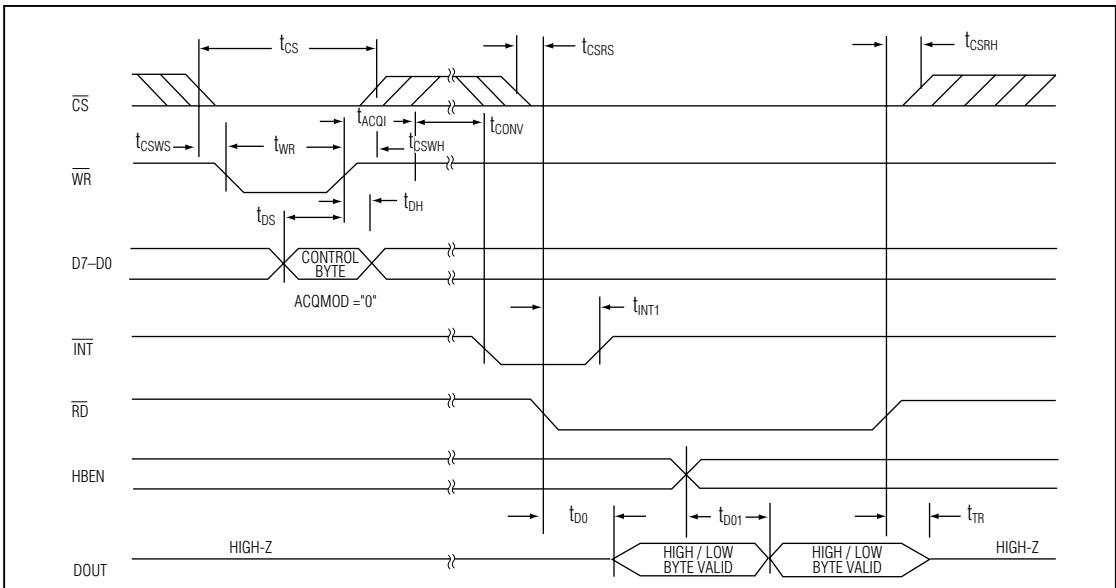


図5. 内部アキュイジションモードを用いた場合の変換タイミング

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

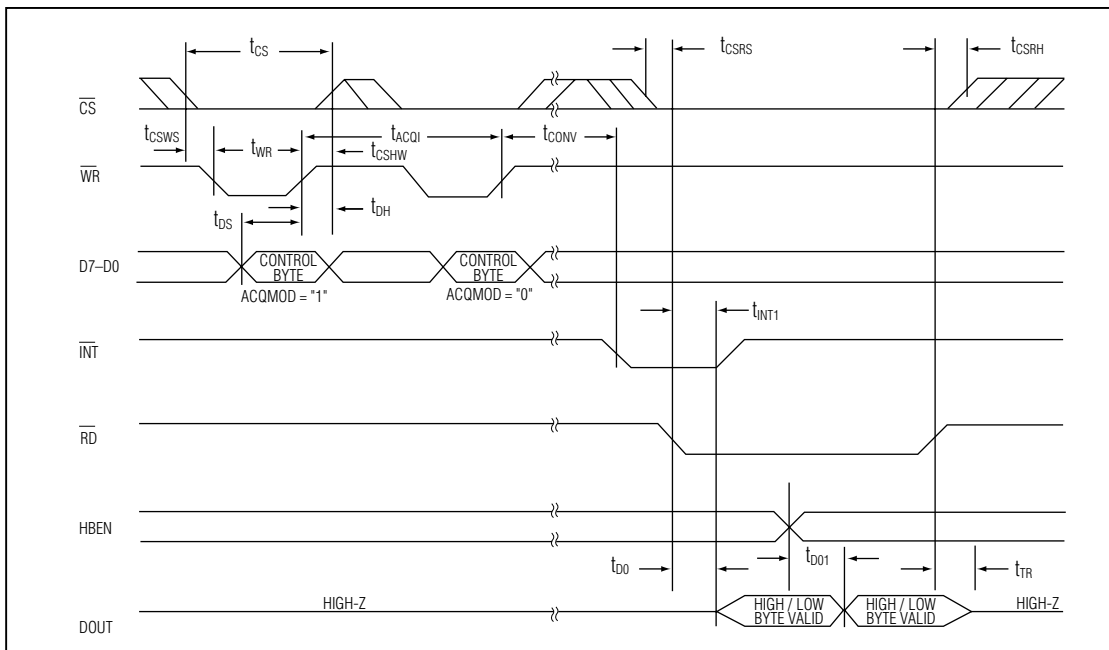


図6. 外部アキュイジションモードを用いた場合の変換タイミング

変換結果の読取り

変換が終わって有効な結果が得られたことを μP に知らせるためのフラグは、標準的な割込み信号 \overline{INT} によって行われます。変換が完了して出力データの準備ができると \overline{INT} はローになります(図5及び図6)。そして、最初の読取りサイクル又は新しい制御バイトの書込みが行われるとハイに戻ります。

クロックモード

MAX199は内部又は外部クロックで動作します。制御ビット(D6、D7)によって内部又は外部クロックを選択します。いったん希望のクロックモードが選択されると、これらのビットを変更してパワーダウンモードをプログラムしてもクロックモードへの影響はありません。いずれのモードの場合も内部及び外部アキュイジションが可能です。MAX199のパワーアップ時のデフォルトは外部クロックモードです。

内部クロックモード

内部クロックモードを選択することで、SAR変換クロックを駆動する役目から μP を解放できます。このモードを選択するには、制御バイトでD7 = 0、D6 = 1とします。

CLKピンとグランドの間に100pFのコンデンサを接続すると、クロックの公称周波数は1.56MHzになります。図7に内部クロックの周期と外部コンデンサの容量の間の直線的な関係を示します。

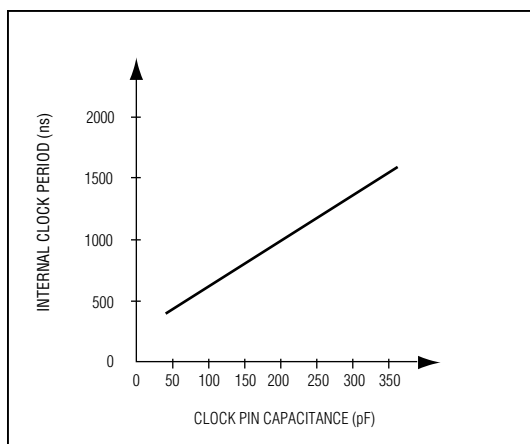


図7. 内部クロックの周期対クロックピンの容量

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

外部クロックモード

外部クロックモードを選択するには、制御バイトでD7=0、D6=0とします。図8に内部及び外部アキュイジションモードにおけるCLKと \overline{WR} のタイミング関係を示します(外部クロックの場合)。適正動作を行うためには

デューティサイクルが45%~55%で周波数が100kHz~2.0MHzの外部クロックが必要です。100kHz以下のクロック周波数で動作させると、ホールドコンデンサの両端の電圧を低下させることになり、その結果性能の低下が生じます。

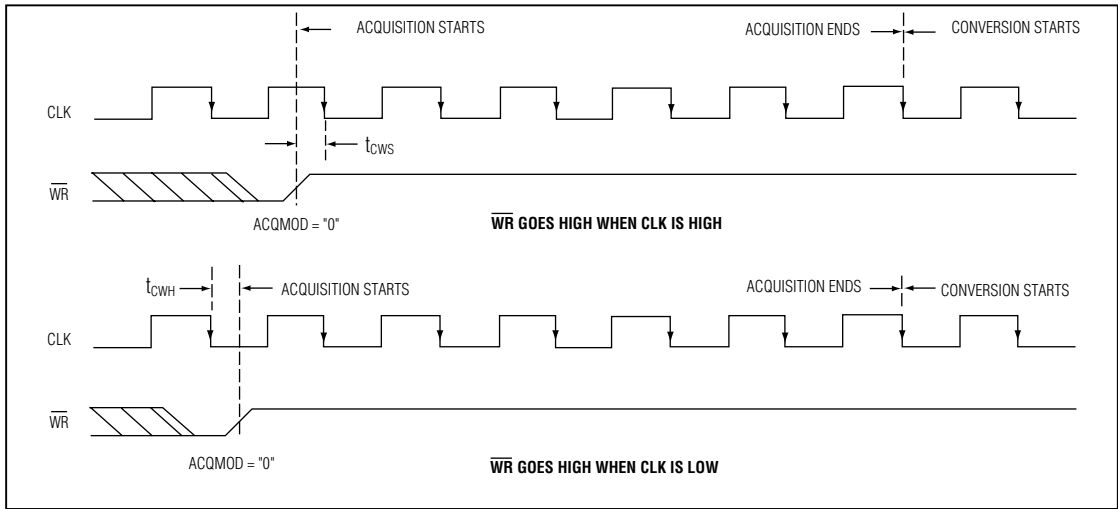


図8a. 外部クロック及び \overline{WR} のタイミング(内部アキュイジションモード)

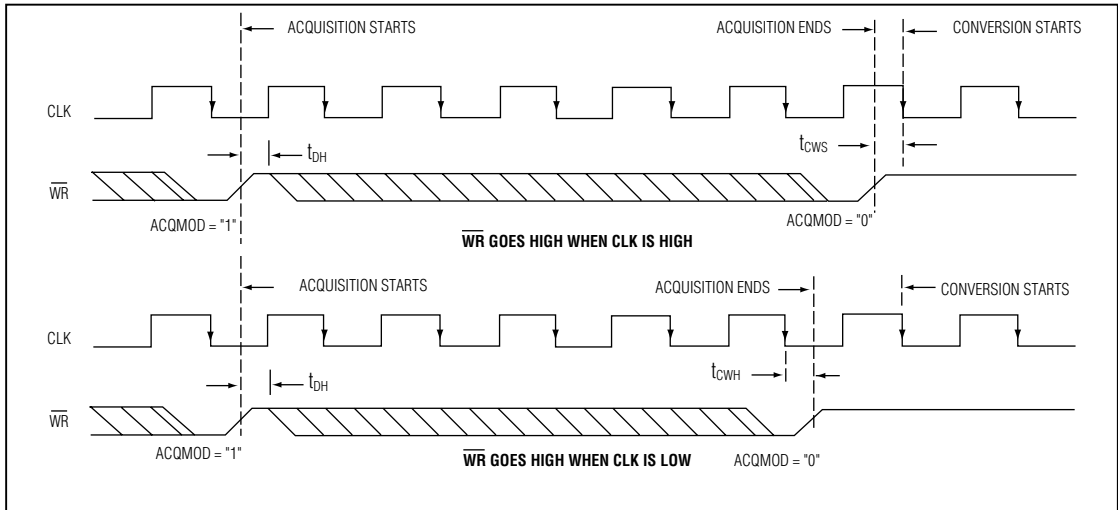


図8b. 外部クロック及び \overline{WR} のタイミング(外部アキュイジションモード)

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

アプリケーション情報

パワーオンリセット

パワーアップ時には、内部電源回路が \overline{INT} をハイに設定し、デバイスを通常動作/外部クロックモードに設定します。これは外部クロックモード設定の回路では、内部クロックが外部クロックドライバの負荷になることを防ぐために、この設定が選択されています。

内部又は外部リファレンス

MAX199は内部リファレンス又は外部リファレンスのどちらでも動作します。外部リファレンスはREFピン又はREFADJピンに接続することができます(図9)。

REF入力を直接使用する場合は、REFADJを V_{DD} に接続することで内部バッファをディセーブルしてください。REFADJ入力を使用することでリファレンスを外部でバッファする必要がなくなります。リファレンスをREFADJに印加する場合は、 $0.01\mu F$ のコンデンサでREFADJをAGNDにバイパスしてください。

2.5VのリファレンスでREFピンに4.096Vが供給されるように、REFADJの内部バッファの利得は1.6384にトリミングされています。

内部リファレンス

内部で2.50Vにトリミングされたリファレンスが、REFADJバッファで増幅されてREFで4.096Vを提供します。4.7 μF コンデンサでREFピンをAGNDにバイパスし、0.01 μF でREFADJピンをAGNDにバイパスしてください。図1に示すリファレンス調整回路を用いることで、内部リファレンス電圧は $\pm 1.5\%$ (± 65 LSB)の範囲で調整可能です。

外部リファレンス

REFとREFADJでの入力インピーダンスはDC電流に対して最低10k です。変換中は、REFでの外部リファレンスは400 μA のDC負荷電流を供給できなければならず、出力インピーダンスは10以下でなければなりません。リファレンスの入力インピーダンスがこれより高い場合あるいはノイズが大きい場合は、4.7 μF コンデンサを用いてREFピンの近くでAGNDにバイパスしてください。

REFピンでの外部リファレンス電圧が4.096Vより低い場合、またはREFADJピンでの外部リファレンス電圧が2.5Vより低い場合は、LSB値(FS/4096)に対するRMSノイズの比が増加し、性能が劣化します(有効ビット数の減少)。

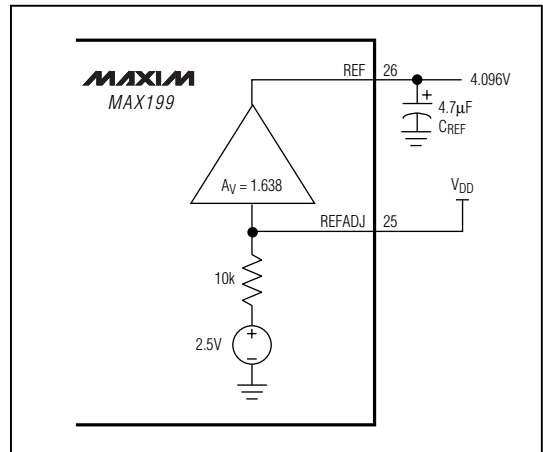


図9b. REFでの外部リファレンス

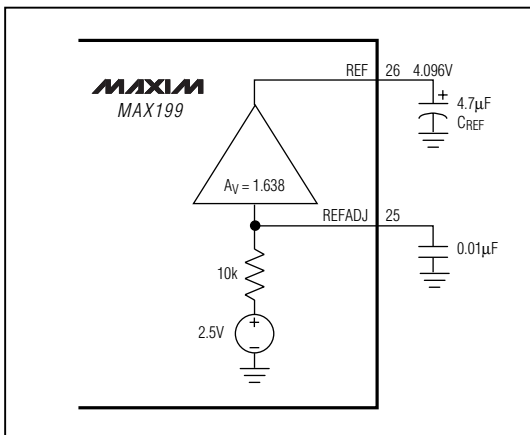


図9a. 内部リファレンス

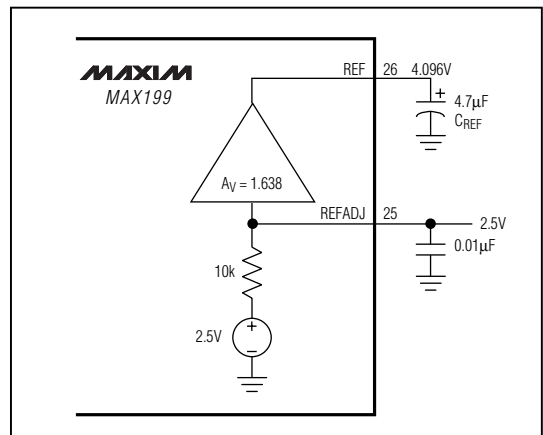


図9c. REFADJで外部リファレンスが内部リファレンスをオーバードライブ

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) +5V駆動、12ビットDAS、8+4バスインタフェース付

パワーダウンモード

電力を節約するために、変換と変換の間はコンバータを低電流シャットダウンモードにすることができます。ハードウェアシャットダウンの他にプログラム可能なパワーダウンモードが2つあります。入力制御バイトのPDO及びPD1をプログラミングすることでSTBYDPD又はFULLPDを選択してください。ソフトウェアパワーダウンの実行は変換が終了してから初めて有効となります。どのパワーダウンモードにおいてもインタフェースはアクティブ状態を維持し、変換結果の読取りが可能です。入力の過電圧保護機能は全てのパワーダウンモードでアクティブです。デバイスは書き込み中に起きるWFRの最初の立下がりエッジで通常動作に戻ります。

ハードウェア制御(FULLPD)のパワーダウンを行うためにはSHDNピンをローにしてください。ハードウェアシャットダウンは実行されるとただちに有効になり、変換は中止されます。

パワーダウンモードの選択

STBYDPDモードではバンドギャップリファレンス及びリファレンスバッファはアクティブを維持し、REFピンの $4.7\mu\text{F}$ コンデンサの電圧は維持されます。これはパワーダウン時間の長さにかかわらず、決して劣化することのない“直流”状態であり、このモードではスタートアップ遅延を恐れることなくどんなサンプリングレートでも使用することができます。

しかし、FULLPDモードではバンドギャップリファレンスのみがアクティブです。この場合は、REFとAGNDの間に $33\mu\text{F}$ のコンデンサを接続することで、変換と変換の間のリファレンス電圧を維持するとともに、バッファがイネーブル/ディセーブルされた時のトランジエントを低減してください。変換前にリファレンスが回復できるよう余分のアキュイジションタイムを追加せずに達成できる最低のスループットレートは1kspsです。これにより、パワーダウン終了後に直ちに変換を開始することができます。FULLPD中のREFコンデンサの放電が希望の精度を保てる範囲(LSBよりはるかに小さい)を超えた場合は、変換を開始する前にSTBYDPDパワーダウンサイクルを実行してください。リファレンスバッファは 80mV/ms のスループットでバイパスコンデンサを再充電すること、及びセトリング時間に $50\mu\text{s}$ 必要であることを考慮してください。推奨容量 $33\mu\text{F}$ のコンデンサを用いた場合、スループットレートが10kspsであれば消費電流は $470\mu\text{A}$ (typ)です。

オートシャットダウン

各変換でSTBYDPDを選択するとMAX199は各変換後に自動的にシャットダウンに入り、この場合、次の変換時のスタートアップ時間は必要ありません。

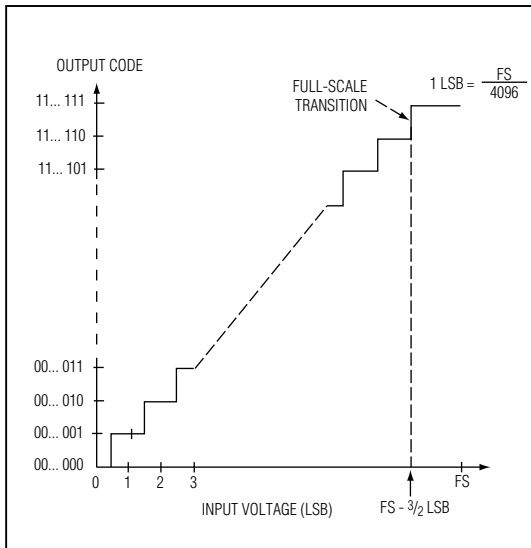


図10. ユニポーラ伝達関数

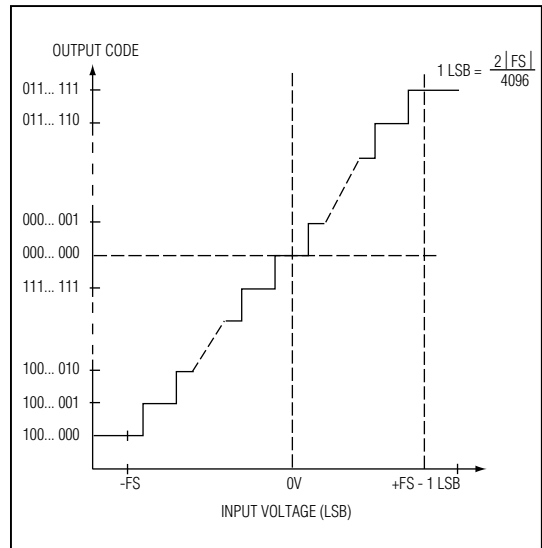


図11. バイポーラ伝達関数

マルチレンジ(±4V、±2V、+4V、+2V) +5V駆動、12ビットDAS、8+4バスインタフェース付

MAX199

伝達関数

MAX199の出力データコードは、ユニポーラモードの場合はバイナリで1LSB = (FS/4096)、バイポーラモードの場合は2の補数形式のバイナリで1LSB = [(2x|FS|)/4096]です。コード遷移はLSBの整数値とその次のLSBの整数値の間点で起こります。図10及び図11はそれぞれユニポーラ動作及びバイポーラ動作の場合の入出力(I/O)伝達関数を示します。

レイアウト、接地及びバイパス

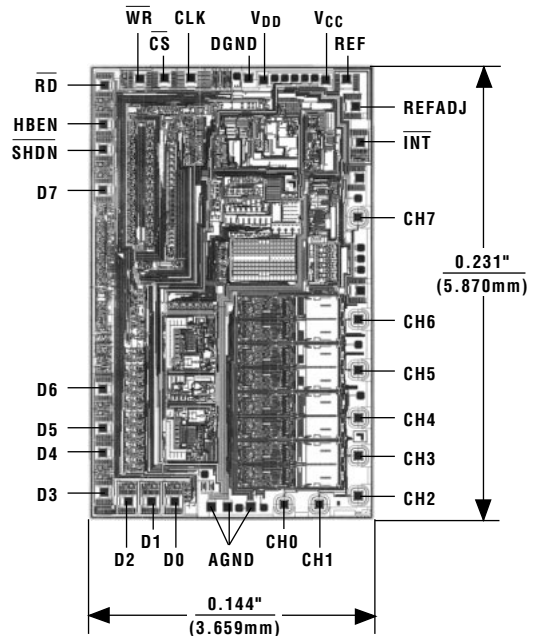
システムの性能を十分に発揮させるためには、プリント基板のレイアウトが重要です。最高の性能を得るためにはグランドプレーンをご使用ください。クロストーク及びノイズインジェクションを低減するためには、アナログ信号とデジタル信号を別々にしてください。デジタルグランドラインをデジタル信号ライン同士の間挟めることで干渉を最小限に抑えることができます。アナロググランド及びDGNDは、星型構成でAGNDに接続してください。ノイズを排除するためには、AGNDから電源グランドへのグランドリターンが低インピーダンスであることを確認し、また、できるだけ短くしてください。ロジックグランドは直接電源に接続してください。V_{DD}を0.1µF及び4.7µFのコンデンサでAGNDにバイパスし、高周波及び低周波の変動を最小限にしてください。電源のノイズが過度に大きい場合は、図12に示すようにして電源とV_{DD}の間に5Ωの抵抗を接続してください。

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX199AENI	-40°C to +85°C	28 Narrow Plastic DIP
MAX199BENI	-40°C to +85°C	28 Narrow Plastic DIP
MAX199AEWI	-40°C to +85°C	28 Wide SO
MAX199BEWI	-40°C to +85°C	28 Wide SO
MAX199AEAI	-40°C to +85°C	28 SSOP
MAX199BEAI	-40°C to +85°C	28 SSOP
MAX199AMYI	-55°C to +125°C	28 Narrow Ceramic SB**
MAX199BMYI	-55°C to +125°C	28 Narrow Ceramic SB**

** Contact factory for availability and processing to MIL-STD-883.

チップ構造図



TRANSISTOR COUNT: 2956
SUBSTRATE CONNECTED TO GND

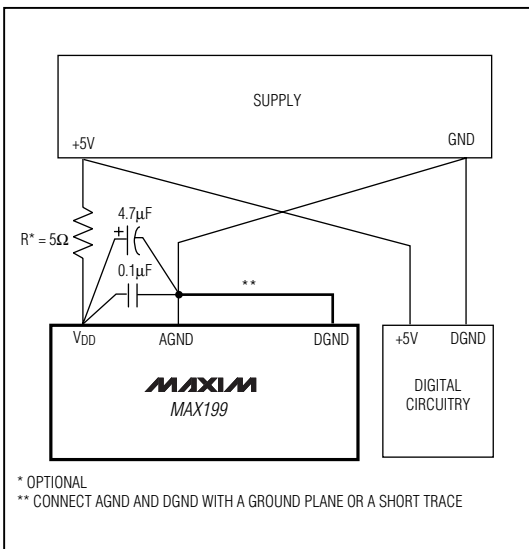
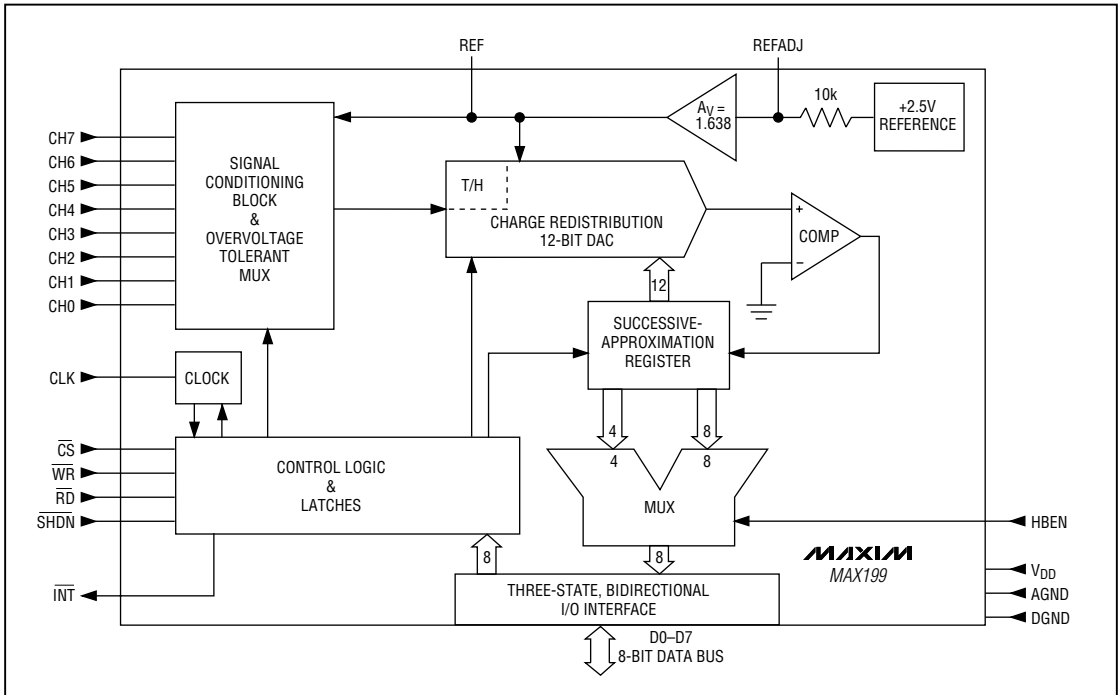


図12. 電源の接地

マルチレンジ($\pm 4V$ 、 $\pm 2V$ 、 $+4V$ 、 $+2V$) $+5V$ 駆動、12ビットDAS、8+4バスインタフェース付

MAX199

ブロック図



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 1995 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.