



MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1セル・チャージャ、残量ゲージ、プロテクタ

概要

MAX17335 は、 I_Q が $35\mu A$ のスタンドアロン型チャージャ、残量ゲージ、プロテクタ、バッテリー内部自己放電検出 IC で、1セル・リチウムイオン／ポリマ・バッテリーに適しています。電圧源が存在する場合、この IC は、AccuCharge™ チャージャ技術を用い、充電 N-FET を変調することで充電を安定化します。充電電圧、電流、FET 温度がこの IC によって安定化されます。不揮発性メモリ内の柔軟な設定が、スタンドアロンの充電をサポートします。この IC は以下のアプリケーションに対応します。

- 低電力充電
 - ユニバーサルな 5V USB から 1mA～500mA を直接供給
 - USB の識別／統制が不要
- 大電力並列パック (>1000mA)
 - 並列パックを個別に充電
 - 並列バッテリー間のクロス充電を防止
 - アラートをを用いて外部の DC-DC を統制
 - ドロップアウトおよび発熱を最小限に抑制
- 保護および充電制御 - パック側またはホスト側

この IC の理想ダイオード回路は、システムのトランジェントやアダプタの取り外しに対し、CHG FET の電圧降下を抑えながら即時に対応します。

この IC は、ModelGauge™ m5 EZ アルゴリズムを採用しており、クローン・カウンタの短期的な精度および直線性と、電圧ベース残量ゲージの長期安定性を組み合わせて、業界で最も高い精度を実現しています。この IC は、セルの経年劣化、温度、放電率を自動的に補償すると同時に、幅広い動作条件にわたり正確な充電状態 (SOC) をミリアンペア時 (mAh) 単位またはパーセンテージ (%) で提供します。

この IC は、バッテリーの電圧、電流、温度、状態をモニタし、過電圧／低電圧、過電流、短絡、過熱／低温、過充電などの状態に対する保護を行い、また、外部のハイサイド N-FET を用いて内部自己放電保護を行います。これにより、リチウムイオン／ポリマ・バッテリーが安全な状態で確実に動作でき、バッテリーの寿命を延ばすことができます。

アプリケーション

- USB PPS および直接充電
- スマート・バッテリーおよびハイブリッド・スーパーキャパシタ・バッテリー
- デュアル・スクリーン・スマートフォン、タブレット
- ヒアブル、ウェアラブル、スマートウォッチ
- 医療機器、健康、フィットネス・モニタ
- ハンドヘルド無線、コンピュータ、アクセサリ
- ホーム／ビルディング・オートメーション、センサー、カメラ
- 並列バッテリー AR/VR システム

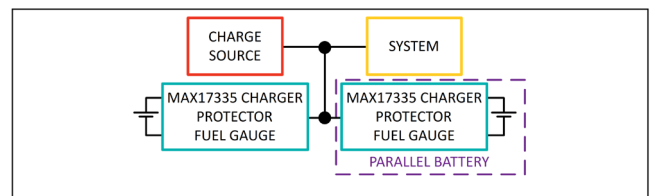
型番はデータシート末尾に記載されています。

ModelGauge、AccuCharge、Cycle+ は、Analog Devices Inc. の商標です。

利点および特長

- 不揮発性メモリによりプログラム可能なスタンドアロン・チャージャ
 - 1%刻み、256 段階の充電電流設定
 - 充電電圧は、0.25%刻み、2.42V～4.8V で設定可能
 - オプションの手動充電制御
 - FET による温度制限および熱安定化
 - 事前評価、スマートフル、ステップ充電の各オプション
 - JEITA - 9 つの温度領域
- バッテリー正常性 + プログラマブルな安全／保護
 - 過電圧／過充電電流
 - 温度領域依存
 - 過充電／放電／短絡電流
 - 過熱／低温
 - ゼロボルトまたは 1.8V 超の充電オプション
 - 低電圧 + SmartEmpty
- プッシュボタン・ウェイクアップ／工場出荷モード (0.5μA)
- ModelGauge m5 EZ アルゴリズム
 - 割合、容量、エンプティ／フルまでの時間、経年劣化
 - Cycle+™ 経年劣化予測 + 経年計画充電
- 動的電力 - 電力対応能力の推定
- SHA-256 認証によるクローン防止
- キャリブレーションなしでの高精度計測
 - 電流、電圧、電力、時間、サイクル数
 - ダイ温度と 2 つのサーミスタ
- 履歴のログ記録、ユーザ・データ
- 低自己消費電流
 - FET 有効時：35μA (アクティブ)、21μA (休止)
 - FET 無効時：8μA (出荷)、0.5μA (シャットダウン)
- 2 線式 (I²C) および 1-Wire®
- 1.9mm × 2.5mm、15 バンプ、0.5mm ピッチのウェハ・レベール・パッケージ (WLP)

プロテクタを備えたチャージャ、残量ゲージの簡略図



目次

概要.....	1
アプリケーション.....	1
利点および特長	1
プロテクタを備えたチャージャ、残量ゲージの簡略図	1
絶対最大定格	17
パッケージ情報	17
15 WLP	17
電気的特性	19
標準動作特性	24
ピン配置	26
WLP 3×5	26
端子説明	26
詳細説明	28
概要.....	28
充電制御.....	29
充電の計算.....	32
ステップ充電.....	32
ゼロボルト充電.....	34
充電終了.....	35
スマートフル.....	36
チャージャ再始動	36
並列バッテリー管理	37
理想ダイオード動作.....	38
プロテクタ	40
バッテリー内部自己放電検出 (ISD)	45
プロテクタ・スレッシュホールド.....	46
電圧スレッシュホールド.....	46
電流スレッシュホールド	47
過電流保護.....	47
高速過電流コンパレータ	48
低速過電流保護.....	48
過電流コンパレータのブロック図.....	49
温度スレッシュホールド.....	49
その他のスレッシュホールド.....	49
永続的故障.....	49
ピン制御または I ² C コマンドによる FET の無効化.....	50
残量ゲージ.....	50
ModelGauge m5 EZ アルゴリズム.....	50
ウェイクアップ/シャットダウン	53

目次（続き）

動作モード	53
パワー・モードの遷移状態図	55
プッシュボタン・ウェイクアップ	55
アプリケーション情報	56
部品の選択	56
センス抵抗	56
充電 FET および保護 FET	57
ESD およびオプシオン部品	57
レジスタの説明の規則	57
標準的なレジスタ・フォーマット	57
デバイス・リセット	58
不揮発性メモリのバックアップおよび初期値	58
レジスタの命名規則	58
充電レジスタ	58
充電ステータスおよび設定レジスタ	58
ChgStat レジスタ (0A3h)	58
nChgCfg0 レジスタ (1C2h)	59
nChgCfg1 レジスタ (1CBh)	60
nChgCfg2 レジスタ (1E4h)	60
充電設定レジスタ	61
Charging Voltage レジスタ (02Ah)	61
Charging Current レジスタ (028h)	61
nIChgTerm レジスタ (1C1h)	61
nVChgCfg1 レジスタ (1CCh) および nVChgCfg2 レジスタ (1CDh)	61
nIChgCfg1 レジスタ (1CEh) および nIChgCfg2 レジスタ (1CFh)	62
nStepCurr レジスタ (1C4h) および nStepVolt レジスタ (1C5h)	63
nFullCfg レジスタ (0x1B5h)	63
nAgeChgCfg レジスタ (0x1B9h)	64
保護レジスタ	65
電圧保護レジスタ	65
nUVPrTh レジスタ (1D0h)	65
nOVPrTh レジスタ (1DAh)	66
電流保護レジスタ	66
nODSCTh レジスタ (1DDh)	66
nODSCCfg レジスタ (1DEh)	67
nIPrTh1 レジスタ (1D3h) - 過電流保護スレッシュホールド	67
nIPrTh2 レジスタ (1D4h)	68
温度保護レジスタ	68
nTPrTh1 レジスタ (1D1h) および nTPrTh2 レジスタ (1D5h)	68

目次（続き）

nTPrtTh3 レジスタ (1D2h)	69
フォルト・タイマー・レジスタ	70
nDelayCfg レジスタ (1DCh)	70
バッテリー内部自己放電検出レジスタ	71
ステータス/設定保護レジスタ	72
nProtCfg レジスタ (1D7h)	72
nBattStatus レジスタ (1A8h)	73
ProtAlrt レジスタ (0AFh)	74
HProtCfg2 レジスタ (0F1h)	74
ProtStatus レジスタ (0D9h)	74
FProtStat レジスタ (0DAh)	75
nFaultLog レジスタ (1AEh)	75
その他の保護レジスタ	76
nProtMiscTh レジスタ (1D6h)	76
ModelGauge m5 アルゴリズム	76
ModelGauge m5 EZ アルゴリズムの出力レジスタ	76
RepCap レジスタ (005h)	76
RepSOC レジスタ (006h)	76
FullCapRep レジスタ (010h)	77
TTE レジスタ (011h)	77
TTF レジスタ (020h)	77
経年劣化レジスタ (007h)	77
Cycles レジスタ (017h) および nCycles (1A4h)	77
TimerH レジスタ (0BEh)	78
FullCap レジスタ (035h)	78
FullCapNom レジスタ (023h)	78
RCCell レジスタ (014h)	78
VRipple レジスタ (0B2h)	78
nVoltTemp レジスタ (1AAh)	78
ModelGauge m5 EZ の性能	79
OCV 予測とクーロン・カウントのミキシング	79
エンプティ補償	80
残量ゲージの学習機能	81
エンプティへの収束	82
残量ゲージ精度の決定	83
初期精度	83
Cycle+経年劣化予測	84
nAgeFcCfg レジスタ (1E2h)	84
AgeForecast レジスタ (0B9h)	85

目次（続き）

経年劣化予測の要件.....	85
経年劣化予測の有効化.....	85
バッテリーのライフログ記録.....	86
ライフログ記録データの例.....	87
有効なログ記録エントリの数の決定.....	88
履歴データの読出し.....	90
履歴データの読出し例.....	90
ModelGauge m5 EZ アルゴリズムの入力レジスタ.....	90
nXTable0 (180h) ~nXTable11 (18Bh) レジスタ.....	90
nOCVTable0 (190h) ~nOCVTable11 (19Bh) レジスタ.....	90
nQRTTable00 (1A0h) ~nQRTTable30 (1A3h) レジスタ.....	91
nVEmpty レジスタ (19Eh).....	91
nDesignCap レジスタ (1B3h).....	91
nRComp0 レジスタ (1A6h).....	92
nTempCo レジスタ (1A7h).....	92
ModelGauge m5 EZ アルゴリズムの設定レジスタ.....	92
nFilterCfg レジスタ (19Dh).....	92
nRelaxCfg レジスタ (1B6h).....	93
nTTFCfg レジスタ (1BAh) / CV_MixCap (0B6h) および CV_HalfTime (0B7h) レジスタ.....	94
nConvGCfg レジスタ (1B7h).....	94
nRippleCfg レジスタ (1B1h).....	95
nMiscCfg レジスタ (1B2h).....	95
ModelGauge m5 EZ アルゴリズムのその他のレジスタ.....	96
Timer レジスタ (03Eh).....	96
dQAcc レジスタ (045h).....	96
dPAcc レジスタ (046h).....	96
QResidual レジスタ (00Ch).....	96
VFSOC レジスタ (0FFh).....	96
VFOCV レジスタ (0FBh).....	96
QH レジスタ (4Dh).....	97
AvCap レジスタ (01Fh).....	97
AvSOC レジスタ (00Eh).....	97
MixSOC レジスタ (00Dh).....	97
MixCap レジスタ (02Bh).....	97
VFRemCap レジスタ (04Ah).....	97
SOCHold レジスタ (0D0h).....	97
FStat レジスタ (03Dh).....	98
nLearnCfg (19Fh) レジスタ.....	98
ModelGauge m5 EZ のレジスタ.....	99

目次（続き）

メモリ	100
ModelGauge m5 EZ のメモリ空間	100
不揮発性メモリ	101
不揮発性メモリのメモリ・マップ	101
100 レコードのライフログ記録	102
nNVCfg0 レジスタ (1D1h)	104
nNVCfg0 レジスタ (1D9h)	105
nNVCfg2 レジスタ (1DBh)	105
不揮発性メモリの有効化および解放とデフォルト値の関係	106
シャドウ RAM	112
シャドウ RAM と不揮発性メモリの関係	112
不揮発性メモリのコマンド	113
COPY NV BLOCK [E904h]	113
NV RECALL [E001h]	113
HISTORY RECALL [E2XXh]	113
不揮発性メモリ・ブロックのプログラミング	113
残りの更新回数の決定	114
メモリのロックおよび書込み保護	115
CommStat レジスタ (061h)	115
NV LOCK [6AXXh]	116
メモリ・ブロックのロック	116
ロック状態の読出し	116
アナログ測定	116
電圧測定	117
VCell レジスタ (01Ah)	117
VCellRep レジスタ (012h)	117
AvgVCell レジスタ (019h)	117
MaxMinVolt レジスタ (0008h)	117
Cell1 レジスタ (0D8h)	117
AvgCell1 レジスタ (0D4h)	118
Batt レジスタ (0D7h)	118
PCKP レジスタ (0DBh)	118
MinVolt レジスタ (0ADh)	118
電流測定	118
電流測定のタイミング	119
CurrRep レジスタ (022h)	119
AvgCurrent レジスタ (01Dh)	119
MaxMinCurr レジスタ (00Ah)	120
nCGain レジスタ (1C8h)	120

目次（続き）

CGTempCo (0B8h) / nCGTempCo (0x1C9) レジスタ	120
銅パターンによる電流検出	121
MinCurr レジスタ (0AEh)	121
Current レジスタ (01Ch)	121
温度測定	122
温度測定のタイミング	122
Temp レジスタ (01Bh)	122
AvgTA レジスタ (016h)	122
MaxMinTemp レジスタ (009h)	123
nThermCfg レジスタ (1CAh)	123
DieTemp (034h) レジスタ	123
AvgDieTemp (040h) レジスタ	124
FETTemp (015h) レジスタ	124
電力	124
Power レジスタ (0B1h)	124
AvgPower レジスタ (0B3h)	124
nADCCfg レジスタ (1C9h)	124
ステータス・レジスタおよび設定レジスタ	125
DevName レジスタ (021h)	125
nROMID0 (1BCh) / nROMID1 (1BDh) / nROMID2 (1BEh) / nROMID3 (1BFh) レジスタ	125
Status レジスタ (000h)	125
Status2 レジスタ (0B0h)	126
nI2CCfg レジスタ (1B4h)	126
nPackCfg レジスタ (1C7h)	127
I2CCmd レジスタ (12Bh)	128
nConfig レジスタ (1B0h)	128
nHibCfg レジスタ (1BBh)	130
nRSense レジスタ (19Ch)	131
nDesignVoltage レジスタ (1E3h)	131
AtRate 機能	131
AtRate レジスタ (004h)	132
AtQResidual レジスタ (0DCh)	132
AtTTE レジスタ (0DDh)	132
AtAvSOC レジスタ (0CEh)	132
AtAvCap レジスタ (0DFh)	132
アラート機能	132
nVAlrtTh レジスタ (18Ch)	133
nTAlrtTh レジスタ (18Dh)	133
nSAlrtTh レジスタ (18Fh)	133
nIAIrtTh レジスタ (0ACh)	134
動的バッテリー電力技術 (DBPT) レジスタ	134

目次（続き）

MaxPeakPower レジスタ (0A4h)	135
SusPeakPower レジスタ (0A5h)	135
nPackResistance (1E5h) および PackResistance (0A6h)	135
SysResistance (0A7h)	135
MinSysVoltage() (0A8h)	135
MPPCurrent (0A9h)	136
SPPCurrent (0AAh)	136
nRGain レジスタ (1B8h)	136
SHA-256 認証.....	137
認証手順.....	137
バッテリー検証の手順.....	137
代替認証手順.....	138
ホスト側の秘密鍵を用いないバッテリー認証.....	138
秘密鍵の管理.....	138
シングルステップ秘密鍵生成.....	139
シングルステップ秘密鍵生成の例.....	139
マルチステップ秘密鍵生成の手順.....	140
マルチステップ秘密鍵生成の例.....	141
2 段階認証方式.....	141
固有の中間秘密鍵の作成.....	142
2 段階認証の手順.....	143
残りの更新回数の決定.....	143
認証コマンド.....	144
Compute MAC Without ROM ID [3600h]	144
Compute MAC With ROM ID [3500h]	144
Compute Next Secret Without ROM ID [3000h].....	144
Clear Secret [5A00h].....	145
Lock Secret [6000h].....	145
Copy Temporary Secret From NVM [3800]	145
Compute Next Temporary Secret With ROM ID [3900].....	145
Compute Next Temporary Secret Without ROM ID [3A00]	145
Compute MAC From Temporary Secret Without ROM ID [3C00].....	145
Compute MAC From Temporary Secret With ROM ID [3D00].....	145
Compute Next Secret With ROM ID [3300h].....	145
デバイス・リセット.....	146
リセット・コマンド.....	146
Hardware Reset [アドレス 060h に対し 000Fh].....	146
Configuration Reset [アドレス 0ABh に対し 8000h].....	146
コマンドの概要.....	146

目次（続き）

通信	147
2 線式バス・システム	147
ハードウェア構成	147
2 線式バスのインターフェース回路	147
I/O 信号処理	148
ビット転送	148
バス・アイドル	148
スタート・コンディションとストップ・コンディション	148
アクノレッジ・ビット	148
データの順序	148
スレーブ・アドレス	148
読出し／書込みビット	148
バス・タイミング	149
2 線式バスのタイミング図	149
I ² C プロトコル	149
I ² C のデータ書込みプロトコル	149
I ² C のデータ読出しプロトコル	150
1-Wire バス・システム	151
ハードウェア構成	151
1-Wire バスのインターフェース回路	151
64 ビット・ネット・アドレス（ROM ID）	152
I/O 信号処理	152
リセットのタイム・スロット	152
1-Wire の初期化シーケンス	152
書込みのタイム・スロット	153
読出しのタイム・スロット	153
1-Wire での書込みおよび読出しのタイム・スロット	153
トランザクション・シーケンス	154
ネット・アドレスのコマンド	154
Read Net Address [33h]	154
Match Net Address [55h]	154
Skip Net Address [CCh]	154
Search Net Address [F0h]	154
1-Wire の機能	154
Read Data [69h, LL, HH]	154
Write Data [6Ch, LL, HH]	155
1-Wire 通信シーケンスの例	155
付録 A：履歴データ読出しの疑似コード例	156
付録 B：並列セル管理の例	157

目次（続き）	
標準アプリケーション回路.....	159
標準アプリケーション回路	159
ヒューズ付きの標準アプリケーション回路	160
プッシュボタンの回路図	161
システム側の実装の標準アプリケーション回路図.....	162
型番	162
改訂履歴	163

図一覧

図 1. リチウムイオン／リチウムポリマ・バッテリーの充電プロファイル	31
図 2. ステップ充電のステート・マシン	33
図 3. ゼロボルト充電回復	34
図 4. 充電終了を認識する FullCapRep	35
図 5. スマートフルの例	36
図 6. 補助および充電コンパレータ	38
図 7. 充電状態と放電状態	39
図 8. プロテクタ・ステート・マシンの簡略図	42
図 9. プログラマブルな電圧スレッシュホールド	44
図 10. プログラマブルな電流スレッシュホールド	44
図 11. 温度変化に伴う内部自己放電の例	45
図 12. 高速、中速、低速の過放電保護	48
図 13. 過電流コンパレータのブロック図	49
図 14. クーロン・カウンタと電圧ベース残量ゲージの融合	51
図 15. ModelGauge m5 EZ のブロック図	52
図 16. パワー・モードの遷移状態図	55
図 17. 9 つの温度領域	69
図 18. 電圧とクーロン・カウントのミキシング	79
図 19. ModelGauge m5 EZ の代表的精度の例	80
図 20. エンプティ計算時の処理変更点	81
図 21. FullCapNom の学習	82
図 22. エンプティへの収束	83
図 23. 経年劣化予測の利点	84
図 24. ライフログ記録データの例	87
図 25. 書き込みフラグ・レジスタと有効フラグ・レジスタのフォーマット	89
図 26. セルの緩和検出	94
図 27. ModelGauge m5 EZ のレジスタ	99
図 28. シャドウ RAM と不揮発性メモリの関係	112
図 29. ノイズのない電流	119
図 30. バッテリ検証の手順	137
図 31. ホスト側の秘密鍵を用いないバッテリー認証	138
図 32. シングルステップ秘密鍵生成の例	139
図 33. マルチステップ秘密鍵生成の例	141
図 34. 固有の中間秘密鍵の作成	142
図 35. 2 段階認証の手順	143
図 36. 2 線式バスのインターフェース回路	147
図 37. 2 線式バスのタイミング図	149
図 38. I ² C でのデータ書き込みの通信シーケンス例	150
図 39. I ² C でのデータ読出しの通信シーケンス例	150

図一覧（続き）

図 40. 1-Wire バスのインターフェース回路	151
図 41. 1-Wire の初期化シーケンス	152
図 42. 1-Wire での書き込みおよび読出しのタイム・スロット	153
図 43. 1-Wire 通信シーケンスの例	155

表一覧

表 1. ステップ充電および JEITA を用いた充電電流	29
表 2. ステップ充電および JEITA を用いた充電電圧	30
表 3. 並列管理の FET ロジック	38
表 4. 10mΩ およびデフォルトの nProtMiscTh.CurrDet= 7.5mA を用いた場合の AvgCurrDet スレッシュホールド	40
表 5. 機能別にまとめた保護レジスタの概要	43
表 6. 電圧スレッシュホールド	46
表 7. 電流スレッシュホールドの概要	47
表 8. その他のスレッシュホールド	49
表 9. 動作モード	53
表 10. MAX17335 の出荷モード	54
表 11. 推奨する nHibCfg の設定値と I _Q への影響	54
表 12. MAX17335 の標準的な部品	56
表 13. センス抵抗の選択	56
表 14. ModelGauge レジスタの標準的な分解能	57
表 15. ChgStat (0A3h) のフォーマット	58
表 16. nChgCfg0 レジスタ (1C2h) のフォーマット	59
表 17. VSysMin の設定	59
表 18. nChgCfg1 (1CBh) のフォーマット	60
表 19. 様々なセンス抵抗に対する HeatLim の範囲と分解能	60
表 20. nChgCfg2 レジスタ (0x1E4h) のフォーマット	60
表 21. 再開スレッシュホールドの設定	61
表 22. nVChgCfg1 レジスタ (1CCh) のフォーマット	62
表 23. nVChgCfg2 レジスタ (1CDh) のフォーマット	62
表 24. nIChgCfg1 レジスタ (1CEh) のフォーマット	62
表 25. nIChgCfg2 レジスタ (1CFh) のフォーマット	62
表 26. nStepCurr レジスタ (1C4h) のフォーマット	63
表 27. nStepVolt レジスタ (1C5h) のフォーマット	63
表 28. nFullCfg レジスタ (0x1B5h) のフォーマット	64
表 29. 充電再始動スレッシュホールドの設定	64
表 30. nAgeChgCfg レジスタ (0x1B9h) のフォーマット	64
表 31. ndCycles の設定	65
表 32. nUVPrtTh レジスタ (1D0h) のフォーマット	65
表 33. nOVPrTh レジスタ (1DAh) のフォーマット	66
表 34. nODSCTh レジスタ (1DDh) のフォーマット	66
表 35. OCTH、SCTH、ODTH のサンプル値	67
表 36. nODSCCfg レジスタ (1DEh) のフォーマット	67
表 37. nIPrtTh1 レジスタ (1D3h) のフォーマット	67
表 38. nIPrtTh2 レジスタ (1D4h) のフォーマット	68
表 39. nTPrtTh1 レジスタ (1D1h) のフォーマット	69

表一覧（続き）

表 40. nTPrtTh2 レジスタ (1D5h) のフォーマット	69
表 41. nTPrtTh3 レジスタ (1D2h) のフォーマット	69
表 42. nDelayCfg (1DCh) のフォーマット	70
表 43. UVPTimer の設定	70
表 44. TempTimer の設定	70
表 45. PermFailTimer の設定	70
表 46. OverCurrTimer の設定	70
表 47. OVPTimer の設定	71
表 48. FullTimer の設定	71
表 49. ChgWDT/ChgRm の設定	71
表 50. nProtCfg2 レジスタ (1DFh) のフォーマット	71
表 51. アラートおよびフォルト・モードの設定	71
表 52. LeakCurrRep レジスタ (0x16F) のフォーマット	72
表 53. nProtCfg レジスタ (1D7h) のフォーマット	72
表 54. nBattStatus レジスタ (1A8h) のフォーマット	73
表 55. ProtAlrt レジスタ (0AFh) のフォーマット	74
表 56. HProtCfg2 (0F1h) のフォーマット	74
表 57. ProtStatus レジスタ (0D9h) のフォーマット	74
表 58. FProtStat レジスタ (0DAh) のフォーマット	75
表 59. TempRegionID デコーダ	75
表 60. nFaultLog レジスタ (1AEh) フォーマット	76
表 61. nProtMiscTh レジスタ (1D6h) のフォーマット	76
表 62. nCycles レジスタ (1A4h) のフォーマット	77
表 63. nNVCfg2.CyclesCount の LSb を決定する nNVCfg2.FibScl の設定	77
表 64. nVoltTemp レジスタ (1AAh) のフォーマット (nNVCfg2.enVT = 1 の場合)	79
表 65. nAgeFcCfg レジスタ (1E2h) のフォーマット	84
表 66. 経年劣化予測のための最小および最大セル・サイズ	85
表 67. ライフログ記録レジスタの概要	86
表 68. 履歴ページのフラグの読出し	88
表 69. 履歴ページのフラグのデコード	89
表 70. 履歴データの読出し	90
表 71. nVEmpty (19Eh) レジスタのフォーマット	91
表 72. nDesignCap レジスタ (1B3h) のフォーマット	91
表 73. VScale の中心電圧およびステップ・サイズのオプション	91
表 74. QScale の StepSize オプション	92
表 75. FilterCfg (029h) / nFilterCfg (19Dh) レジスタのフォーマット	92
表 76. RelaxCfg (0A0h) / nRelaxCfg (1B6h) レジスタのフォーマット	93
表 77. nTTFCfg レジスタ (1BAh) のフォーマット	94
表 78. nConvGCfg レジスタ (1B7h) のフォーマット	95

表一覧（続き）

表 79. nRippleCfg レジスタ (1B1h) のフォーマット	95
表 80. MiscCfg (00Fh) / nMiscCfg (1B2h) レジスタのフォーマット	95
表 81. SOCHold (0D0h) のフォーマット	98
表 82. FStat レジスタ (03Dh) のフォーマット	98
表 83. LearnCfg (0A1h) / nLearnCfg (19Fh) レジスタのフォーマット	98
表 84. 最上位レベルのメモリ・マップ	100
表 85. 個別レジスタ	100
表 86. ModelGauge m5 EZ レジスタのメモリ・マップ	101
表 87. 不揮発性レジスタのメモリ・マップ (スレーブ・アドレス 0x16)	101
表 88. フィボナッチ構成の設定	102
表 89. 最終的に安定化した段階の更新間隔 (バッテリーのサイクル単位)	103
表 90. 最も推奨される設定の保存スケジュール例	103
表 91. nNVCfg0 レジスタ (1D8h) のフォーマット	104
表 92. nNVCfg1 レジスタ (1D9h) のフォーマット	105
表 93. nNVCfg2 レジスタ (1DBh) のフォーマット	106
表 94. 不揮発性メモリをユーザ・データに使用できるようにする方法	107
表 95. 不揮発性メモリの設定オプション	109
表 96. History Recall コマンドの機能	113
表 97. 設定メモリの更新の残り回数	114
表 98. CommStat レジスタ (061h) のフォーマット	115
表 99. LOCK コマンドのフォーマット	116
表 100. Lock レジスタ (07Fh) のフォーマット	116
表 101. MaxMinVolt (008h) / nMaxMinVolt (1ACh) レジスタのフォーマット	117
表 102. 電流測定 タイミング	119
表 103. MaxMinCurr (00Ah) / nMaxMinCurr (1ABh) レジスタのフォーマット	120
表 104. nCCGain レジスタ (1C8h) のフォーマット	120
表 105. 銅パターンによる検出	121
表 106. 電流測定値の範囲および分解能とセンス抵抗値の関係	121
表 107. 温度測定 タイミング	122
表 108. MaxMinTemp (009h) / nMaxMinTemp (1ADh) レジスタのフォーマット	123
表 109. 一般的なサーミスタ・タイプのレジスタ設定	123
表 110. nADCCfg (0x1C9) のフォーマット	124
表 111. DevName レジスタ (021h) のフォーマット	125
表 112. nROMID レジスタ (1BCh~1BFh) のフォーマット	125
表 113. Status レジスタ (000h) のフォーマット	125
表 114. Status2 レジスタ (0B0h) のフォーマット	126
表 115. nI2CCfg レジスタ (1B4h) のフォーマット	127
表 116. nPackCfg (1C7h) レジスタのフォーマット	127
表 117. I ² C のアドレス設定	127

表一覧（続き）

表 118. サーマスタの設定	128
表 119. I2CCmd (12Bh) レジスタのフォーマット	128
表 120. GoToSID のアドレス設定	128
表 121. nConfig レジスタ (1B0h) のフォーマット	129
表 122. Config レジスタ (00Bh) のフォーマット	129
表 123. Config2 レジスタ (0ABh) のフォーマット	129
表 124. nHibCfg レジスタ (1BBh) のフォーマット	130
表 125. nRSense レジスタ (19Ch) のフォーマット	131
表 126. 一般的なセンス抵抗に対する推奨 nRSense レジスタ値	131
表 127. nDesignVoltage レジスタ (1E3h) のフォーマット	131
表 128. VAlrtTh (001h) / nVAlrtTh (18Ch) レジスタのフォーマット	133
表 129. TAlrtTh (002h) / nTAlrtTh (18Dh) レジスタのフォーマット	133
表 130. SAlrtTh (003h) / nSAlrtTh (18Fh) レジスタのフォーマット	134
表 131. IAlrtTh (0ACh) / nIAlrtTh (18Eh) レジスタのフォーマット	134
表 132. nRGain (1B8h) のフォーマット	136
表 133. 秘密鍵更新の残り回数	144
表 134. 全機能コマンド	146
表 135. 2 線式スレーブ・アドレス	148
表 136. 1-Wire ネット・アドレスのフォーマット	152

絶対最大定格

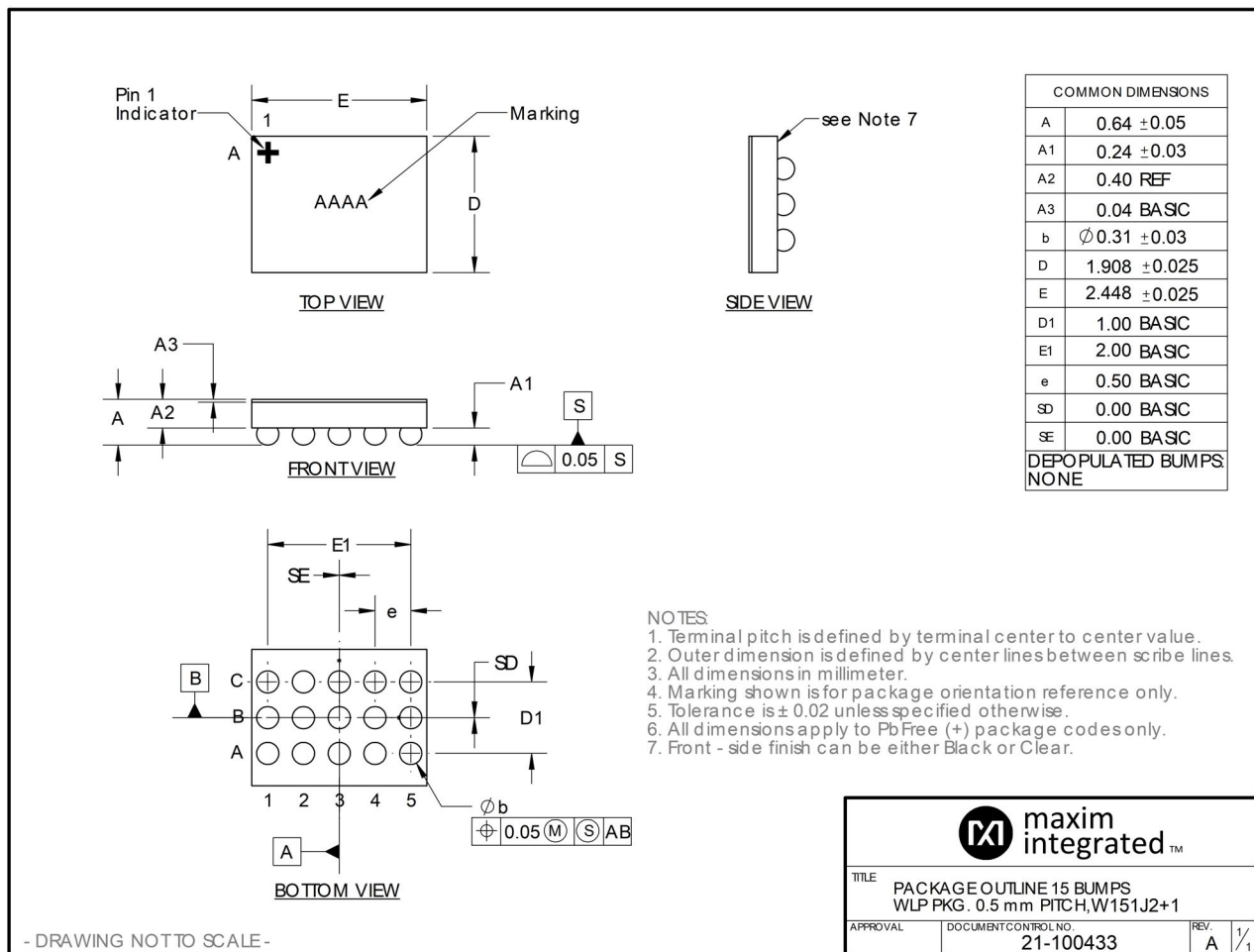
CP~BATT -0.3V~BATT + 6V
 CHG~BATT -0.3V~CP + 0.3V
 BATT の連続ソース電流（ゼロボルト充電時） 50mA
 SDA、ALRT、PFAIL の連続シンク電流 20mA
 PFAIL の連続ソース電流 20mA
 ZVC の連続シンク電流 50mA
 動作温度範囲 -40°C~+85°C
 保存温度範囲 -55°C~+125°C
 はんだ付け処理温度（リフロー） +260°C
 リード温度（はんだ処理 10 秒） +300°C

BATT~GND -0.3V~+6V
 ALRT~GND -0.3V~+17V
 TH、PFAIL~GND -0.3V~BATT + 0.3V
 ZVC/TH2~GND -0.3V~+6V
 REG~GND -0.3V~+2.2V
 CSN~BATT BATT - 0.3V~BATT + 0.3V
 CSP~BATT BATT - 0.3V~BATT + 0.3V
 DIS~GND -0.3V~CP + 0.3V
 PCKP~GND -0.3V~+28V
 SDA、SCL~GND -0.3V~+20V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報**15 WLP**

Package Code	W151J2+1
Outline Number	21-100433
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	62°C/W
Junction to Case (θ_{JC})	N/A



最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maximintegrated.com/thermal-tutorial を参照してください。

電気的特性

($V_{BATT} = 2.16V \sim 4.9V$ 、代表値は $3.6V$ での値 (Note 1)、 $T_A = -40^{\circ}C \sim +85^{\circ}C$ 、代表値は $T_A = +25^{\circ}C$ での値、機能図を参照してください。限界値は、 $T_A = +25^{\circ}C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Supply Voltage	V_{BATT}	(Note 1)	2.16		4.9	V
Undervoltage Shutdown Supply Current	I_{DD0}	Undervoltage shutdown		0.5	1.1	μA
DeepShip Supply Current	I_{DD1}	$T_A \leq +50^{\circ}C$, typical at $+25^{\circ}C$		0.5	1.1	μA
Ship Supply Current	I_{DD2}	$DpShpEn = 0$, $T_A \leq +50^{\circ}C$, typical at $+25^{\circ}C$, protection FETs off	1.4s updates	11	24	μA
			5.625s updates	8		
Hibernate Supply Current	I_{DD3}	$T_A \leq +50^{\circ}C$, typical at $+25^{\circ}C$, average current, CHG and DIS on, 1.4s updates		21	42	μA
Active Supply Current	I_{DD4}	$T_A \leq +50^{\circ}C$, typical at $+25^{\circ}C$, average current, not including thermistor measurement current		35	58	μA
Regulation Voltage	V_{REG}			1.8		V
CHARGE ACCURACY						
Charge Voltage Accuracy	V_{GERR}	nVChgCfg1/2 setting, $T_A = +25^{\circ}C$	-7.5		+7.5	mV
		nVChgCfg1/2 setting, $-40^{\circ}C \leq T_A \leq +85^{\circ}C$	-20		+20	
Charge Voltage Range	V_{FS}	nVChgCfg1/2 setting, 5mV resolution	3.56		4.835	V
Charge Current Accuracy	I_{GERR}	nIChgCfg1/2 vs. CSP-CSN, Charge Current set 10mV to 25.6mV	-1.1		+1.1	%
		nIChgCfg1/2 vs. CSP-CSN, Charge Current set 6mV to 10mV	-1.15		+1.15	
	I_{GERR}	nIChgCfg1/2 vs. CSP-CSN, Charge Current from 4mV to 6mV	-1.25		+1.25	% of Reading
	I_{GERR}	nIChgCfg1/2 vs. CSP-CSN, Charge Current from 2.5mV to 4mV	-1.4		+1.4	%
Charge Current Range	I_{FS}	nIChgCfg1/2 setting, 400mA to 2560mA, 10mA steps (with 10m Ω)	2.5		25.6	mV
Charge Heat Regulation Max Setting		nChgCfg1.HeatLim; $R_{SENSE} = 10m\Omega$; multiply $R_{SENSE}/10m\Omega$ for other sense resistors		3264		mW
ANALOG-TO-DIGITAL CONVERSION						
Voltage Measurement Error	V_{GERR}	$T_A = +25^{\circ}C$, $2.3V \leq V_{BATT} \leq 4.9V$	-7.5		+7.5	mV
		$-40^{\circ}C \leq T_A \leq +85^{\circ}C$, $2.3V \leq V_{BATT} \leq 4.9V$	-20		+20	
Voltage Measurement Resolution	V_{LSB}			78.125		μV
Current Measurement Offset Error	I_{OERR}	CSP = CSN = 4.4V, long-term average	-7.5	± 1.5	+7.5	μV
Current Measurement Gain Error	I_{GERR}	CSP between CSN-50mV and CSN+50mV	-1		+1	% of Reading

電気的特性（続き）

($V_{BATT} = 2.16V \sim 4.9V$ 、代表値は $3.6V$ での値 (Note 1)、 $T_A = -40^{\circ}C \sim +85^{\circ}C$ 、代表値は $T_A = +25^{\circ}C$ での値、機能図を参照してください。限界値は、 $T_A = +25^{\circ}C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Current Measurement Resolution	I _{LSB}			1.5625			μV	
Current Measurement Range	I _{FS}			±51.2			mV	
Internal Temperature Measurement Error	T _{IGERR}			±1			°C	
Internal Temperature Measurement Resolution	T _{I_{LSB}}	TH (Note 2)		0.00391			°C	
Auxiliary Ratiometric Measurement Error	T _{EGERR}			-0.5		+0.5	% of Reading	
PCKP Measurement Resolution	V _{P_{LSB}}			312.5			μV	
PCKP Measurement Range	V _{P_{FS}}			1.5		BATT + 5.12	V	
PCKP Versus BATT Measurement Error	VP2Berr	T _A = +25°C		-10		+10	mV	
PCKP								
PCKP Startup Voltage				3.1			V	
PCKP Startup Hysteresis				100	170	220	mV	
PCKP Current		BATT = PCKP	T _A < +85°C, typical at T _A = +25°C	1.2			2.5	μA
PCKP Pulldown Resistor	R _{PDPCKP}			24	40	60	kΩ	
CHARGE PUMP								
CP Output Voltage	V _{CP}	Battery only	I _{CHG} + I _{DIS} = 1μA	2 x V _{BATT} - 0.4	2 x V _{BATT} - 0.2	2 x V _{BATT}	V	
CHG DRIVER								
CHG Output High	V _{OHC}	I _{OH} = -1mA		V _{CP} - 0.4			V	
CHG Output Low	V _{OLC}	I _{OL} = 1mA		BATT + 0.4			V	
DIS DRIVER								
DIS Output High	V _{OHD}	I _{OH} = -100μA		V _{CP} - 0.4			V	
DIS Output Low	V _{OLD}	I _{OL} = 100μA		0.1			V	
ZERO-VOLT CHARGE								
Voltage Drop Between ZVC and BATT	V _{ZVCDROP}	30mA into ZVC	BATT = 0V	1.4			2	V
			BATT = 2.3V	0.15			0.5	

電気的特性（続き）

($V_{BATT} = 2.16V \sim 4.9V$ 、代表値は $3.6V$ での値 (Note 1)、 $T_A = -40^{\circ}C \sim +85^{\circ}C$ 、代表値は $T_A = +25^{\circ}C$ での値、機能図を参照してください。限界値は、 $T_A = +25^{\circ}C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT/OUTPUT						
Output Drive Low, ALRT, SDA, PFAIL	V _{OL}	I _{OL} = 4mA, V _{BATT} = 2.3V	0.01		0.4	V
Output Drive High, PFAIL	V _{OH}	I _{OH} = -1mA, V _{BATT} = 2.3V	V _{BATT} - 0.1			V
Input Logic High, SCL, SDA, PIO	V _{IH}		1.5			V
Input Logic Low, SCL, SDA, PIO	V _{IL}				0.5	V
PIO Wake Debounce	PIO_WD	Ship mode		100		ms
External Thermistance Resistance	R _{EXT10}	nPackCfg.R100 = 0		10		kΩ
	R _{EXT100}	nPackCfg.R100 = 1		100		
RESISTANCE AND LEAKAGE						
Leakage Current, CSN, CSP, ALRT, TH	I _{LEAK}	V _{ALRT} < 15V	-1		+1	μA
Input Pulldown Current	I _{PD}	SDA, SCL pin = 0.4V		0.2	0.5	μA
COMPARATORS						
Overcharge Current Threshold Offset Error	OC _{OE}	OC comparator	-0.8		+0.8	mV
Overdischarge Current Threshold Offset Error	OD _{OE}	OD comparator	-1.5		+1.5	mV
Short-Circuit Threshold Offset Error	SC _{OE}	SC comparator	-2.5		+2.5	mV
Overcurrent Threshold Gain Error	ODOCSC _{GE}	OC, OD, or SC comparator	-4.0		+4.0	% of Threshold
Overcurrent Comparator Delay	OC _{DLY}	OD or SC comparator, 20mV minimum input overdrive, delay configured to minimum		2	6	μs
Supplement Mode Comparator Threshold Falling PCKP Versus BATT	V _{SUP_TH_F}	BATT ≥ 3.4V, PCKP sweep down		30		mV
TIMING						
Time-Base Accuracy	t _{ERR}	T _A = +25°C	-1		+1	%
SHA Calculation Time	t _{SHA}	V _{BATT} > 3V		4.5	10	ms
TH Precharge Time	t _{PRE}	Time between turning on the TH bias and analog-to-digital conversions	8.48			ms
Task Period	t _{TP}			351.5		ms
NONVOLATILE MEMORY						
Nonvolatile Access Voltage	V _{NVM}	For block programming and recalling, applied on BATT	3.0			V
Programming Supply Current	I _{PROG}	Current from BATT at 2.9V for block programming	2	5.5	10	mA

電気的特性（続き）

($V_{BATT} = 2.16V \sim 4.9V$ 、代表値は 3.6V での値 (Note 1)、 $T_A = -40^{\circ}C \sim +85^{\circ}C$ 、代表値は $T_A = +25^{\circ}C$ での値、機能図を参照してください。限界値は、 $T_A = +25^{\circ}C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Block Programming Time	t_{BLOCK}			368	7360	ms
Page Programming Time	t_{UPDATE}	SHA secret update or learned parameters update		64	1280	ms
Nonvolatile Memory Recall Time	t_{RECALL}				5	ms
Write Capacity, Configuration Memory	n_{CONFIG}	(Notes 2, 3, 4)		7		writes
Write Capacity, SHA Secret	n_{SECRET}	(Notes 2, 3, 4)		5		writes
Write Capacity, Learned Parameters	$n_{LEARNED}$	(Notes 2, 3, 4)		99		writes
Data Retention	t_{NV}	(Note 2)	10			years
1-WIRE INTERFACE, REGULAR SPEED						
Time Slot	t_{SLOT_STD}		60		120	μs
Recovery Time	t_{REC_STD}		1			μs
Write-0 Low Time	t_{LOW0_STD}		60		120	μs
Write-1 Low Time	t_{LOW1_STD}		1		15	μs
Read-Data Valid	t_{RDV_STD}				15	μs
Reset-Time High	t_{RSTH_STD}		480			μs
Reset-Time Low	t_{RSTL_STD}		480		960	μs
Presence-Detect High	t_{PDH_STD}		15		60	μs
Presence-Detect Low	t_{PDL_STD}		60		240	μs
1-WIRE INTERFACE, OVERDRIVE SPEED						
Time Slot	t_{SLOT_OVD}		6		16	μs
Recovery Time	t_{REC_OVD}		1			μs
Write-0 Low Time	t_{LOW0_OVD}		6		16	μs
Write-1 Low Time	t_{LOW1_OVD}		1		2	μs
Read-Data Valid	t_{RDV_OVD}				2	μs
Reset-Time High	t_{RSTH_OVD}		48			μs
Reset-Time Low	t_{RSTL_OVD}		48		80	μs
Presence-Detect High	t_{PDH_OVD}		2		6	μs
Presence-Detect Low	t_{PDL_OVD}		8		24	μs
2-WIRE INTERFACE						
SCL Clock Frequency	f_{SCL}	(Note 5)	0		400	kHz
Bus Free Time Between a STOP and START Condition	t_{BUF}		1.3			μs
Hold Time (Repeated) START Condition	$t_{HD:STA}$	(Note 6)	0.6			μs

電気的特性（続き）

($V_{BATT} = 2.16V \sim 4.9V$ 、代表値は $3.6V$ での値 (Note 1)、 $T_A = -40^\circ C \sim +85^\circ C$ 、代表値は $T_A = +25^\circ C$ での値、機能図を参照してください。限界値は、 $T_A = +25^\circ C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Low Period of SCL Clock	t_{LOW}		1.3			μs
High Period of SCL Clock	t_{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	$t_{SU:STA}$		0.6			μs
Data Hold Time	$t_{HD:DAT}$	(Notes 7, 8)	0		0.9	μs
Data Setup Time	$t_{SU:DAT}$	(Note 7)	100			ns
Rise Time of Both SDA and SCL Signals	t_R		5		300	ns
Fall Time of Both SDA and SCL Signals	t_F		5		300	ns
Setup Time for STOP Condition	$t_{SU:STO}$		0.6			μs
Spike Pulse Width Suppressed by Input Filter	t_{SP}	(Note 9)			50	ns
Capacitive Load for Each Bus Line	C_B				400	pF
SCL, SDA Input Capacitance	C_{BIN}			6		pF

Note 1: 電圧はすべて GND 基準です。

Note 2: 仕様は設計により確認 (GBD) されていますが、製品テストは行っていません。

Note 3: ここに示した書き込み可能回数は、不揮発性メモリを既知の値に設定するために製造テスト時に初期書き込みが行われているため、一回分の書き込みが差し引かれています。

Note 4: ワンタイム・プログラマブル・メモリの性質により、書き込みの書換え回数の製造テストを行うことはできません。データシートに記載されている不揮発性メモリおよび SHA 秘密鍵更新手順に従ってください。

Note 5: シャットダウン・タイマー設定より長い期間にわたってバスがローになることによって IC がシャットダウン・モードに入ることがないように、十分に早いタイミングが必要です。

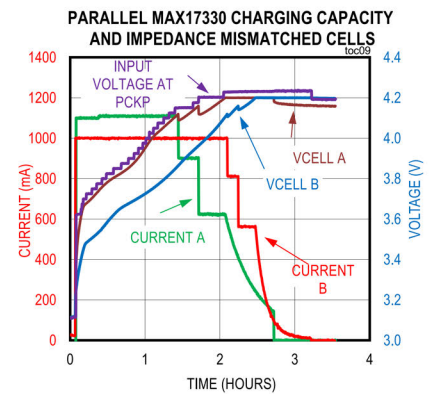
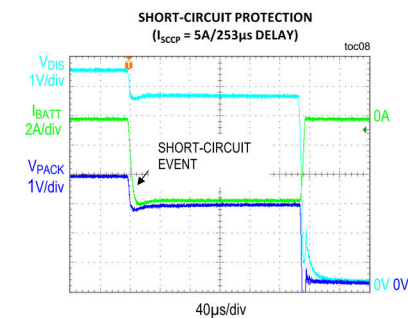
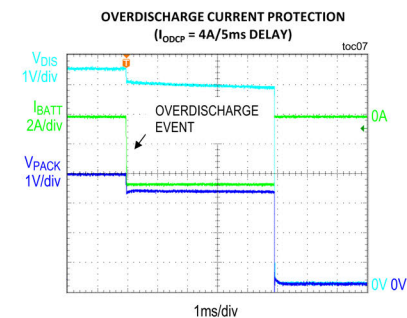
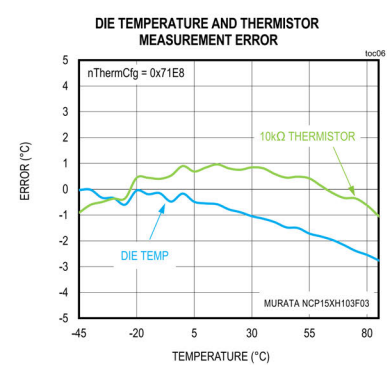
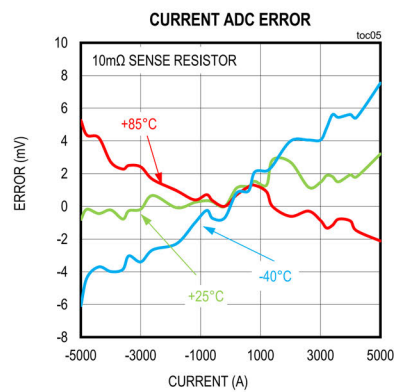
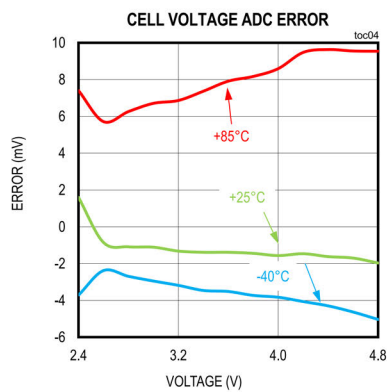
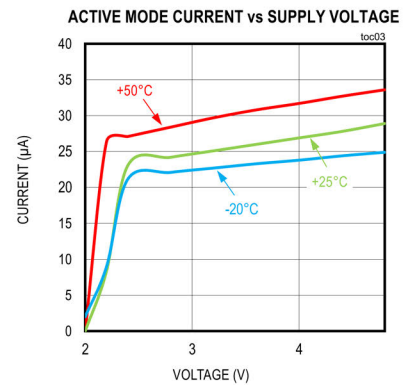
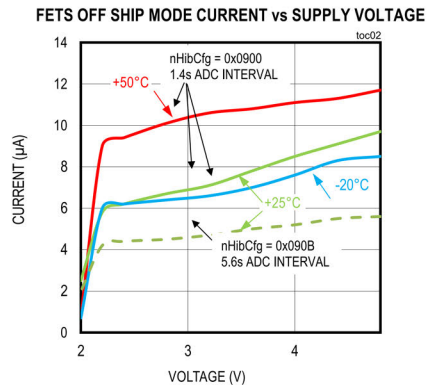
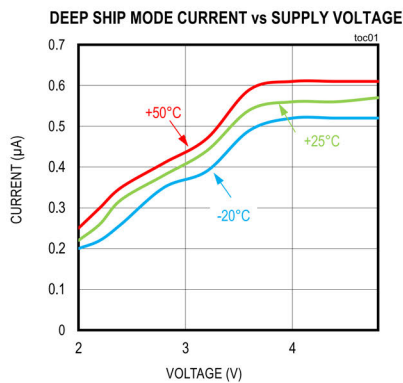
Note 6: f_{SCL} は最短のクロック・ロー時間と立上がり／立下がり時間の合計を満たすことが必要です。

Note 7: $t_{HD:DAT}$ が最大値となるのは、デバイスが SCL 信号のロー時間 (t_{LOW}) を延長しない場合だけに限る必要があります。

Note 8: このデバイスは、SCL 立下がりエッジの不定領域を埋めるために、SDA 信号に対して少なくとも 100ns (SCL 信号の最小 V_{IH} 基準) のホールド時間を確保する必要があります。

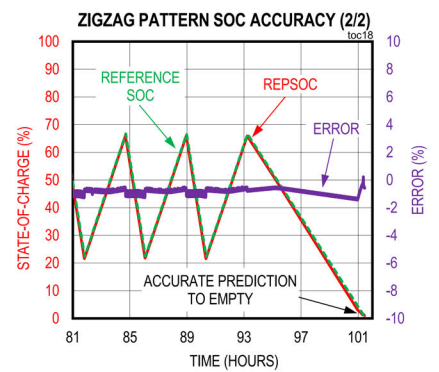
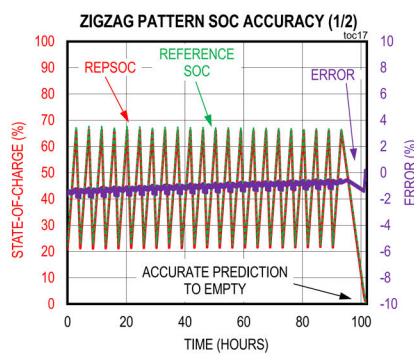
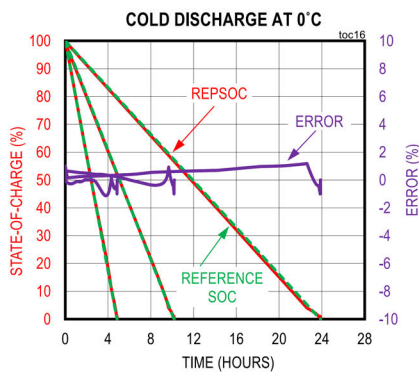
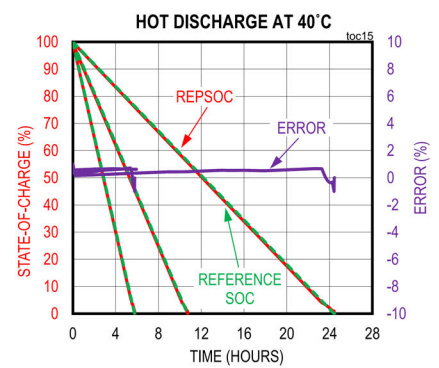
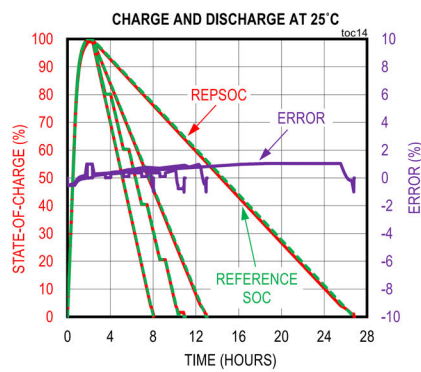
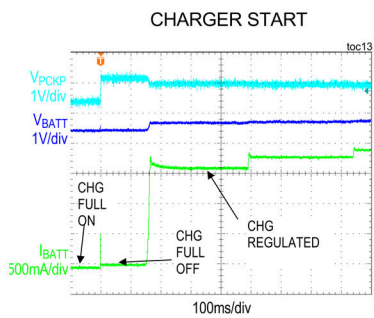
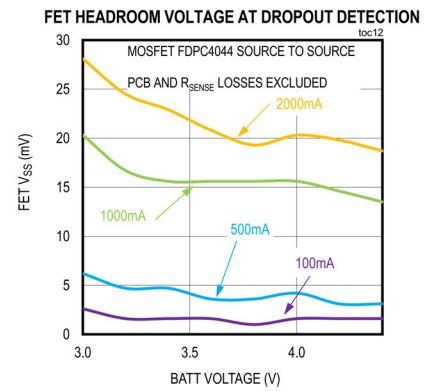
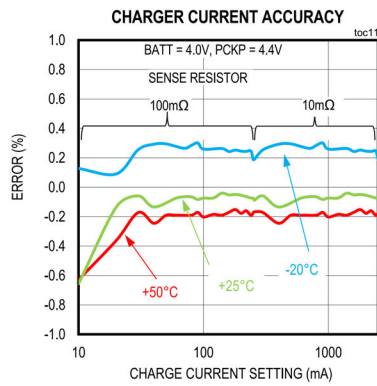
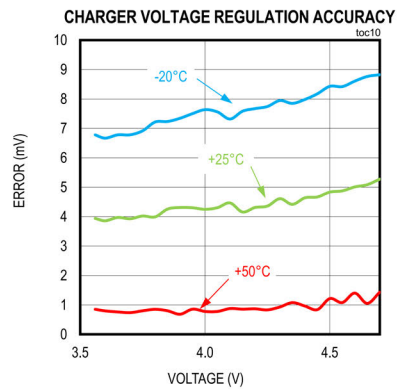
Note 9: $10m\Omega$ の R_{SENSE} での値。

標準動作特性

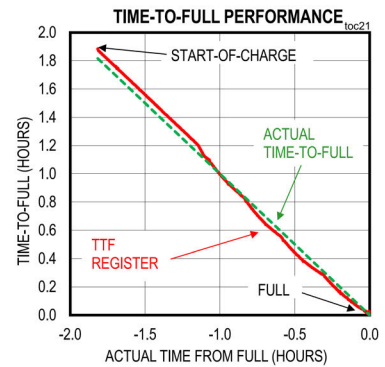
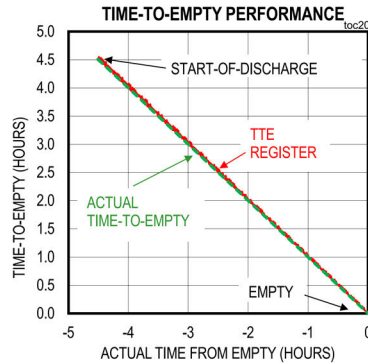
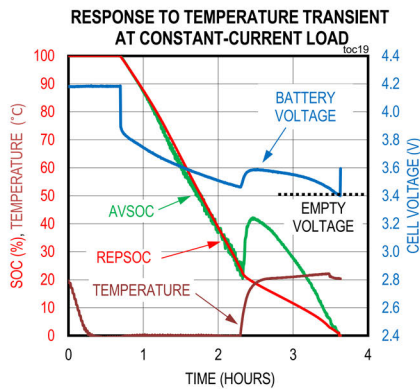
(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 。)

標準動作特性（続き）

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 。)

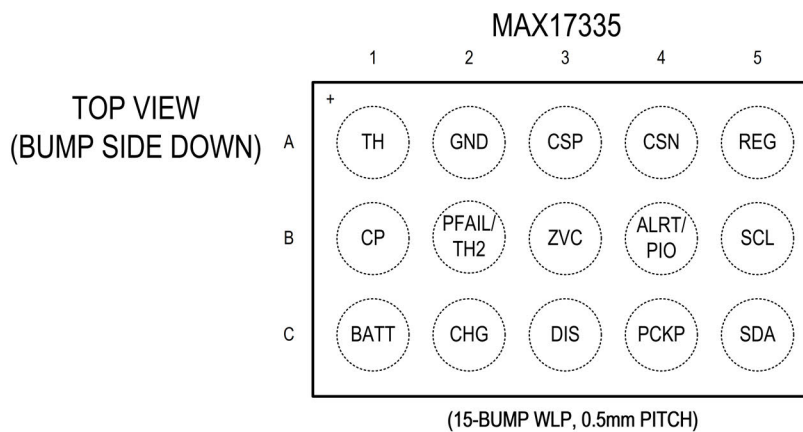


標準動作特性（続き）

(特に指定のない限り、 $T_A = +25^{\circ}\text{C}$ 。)

ピン配置

WLP 3×5



端子説明

ピン	名称	機能
A1	TH	バッテリー・サーミスタ接続。バッテリー温度を測定するには、TH と GND の間に 10kΩ または 100kΩ のサーミスタを外部接続します。使用しない場合は BATT に接続します。
B1	CP	チャージ・ポンプ出力。CP は、外部の充電保護および放電保護の N-FET を駆動する電圧を供給します。CP と BATT の間には 0.1μF のバイパス・コンデンサを接続します。
C1	BATT	バッテリー接続。MAX17335 は、BATT から電力を供給され、BATT でセル電圧を測定します。10Ω の抵抗を用いて BATT をバッテリーの正側端子に接続し、0.1μF のコンデンサを用いて GND にバイパスします。

端子説明（続き）

ピン	名称	機能
B2	PFAIL/TH2	永続的故障インジケータ／サーミスタ 2（オプション）。プライマリ FET の故障を検出した場合に有効となるセカンダリ・プロテクタを接続します。代替機能は、CHG-FET の温度検出で、サーミスタに接続します。使用しない場合は、無接続にするか、1kΩ の抵抗を用いて GND に接続します。
A3	CSP	電流検出抵抗の正側入力。センス抵抗の Pack+ 側にケルビン接続します。
A4	CSN	電流検出抵抗の負側入力。センス抵抗のセル側にケルビン接続します。
A5	REG	1.8V レギュレータ。REG は、IC に 1.8V を供給します。REG と GND の間は 0.47μF のコンデンサでバイパスします。
C5	SDA	I ² C 通信モード用シリアル・データ入出力。オープン・ドレイン出力ドライバ。バッテリー・パックの DATA 端子に接続します。SDA には、パックの切断を検出するための内部プルダウン（IPD）があります。
B5	SCL	I ² C 通信用のシリアル・クロック入力。入力専用です。I ² C 通信のために、バッテリー・パックのクロック端子に接続します。SCL には、パックの切断を検出するための内部プルダウン（IPD）があります。
B4	ALRT/PIO	アラート出力。ALRT はオープン・ドレインでアクティブ・ローです。アラートを通知するために外部にプルアップ抵抗を接続します。詳細については、 アラート機能 のセクションを参照してください。 プッシュボタン・ウェイクアップ 。IC には内部プルアップがあるため外部プルアップは用いずに、GND に通じるホスト・システムの電源ボタンに接続します。ボタンが押されると、IC はシャットダウン・モードからウェイクアップします。
C4	PCKP	パックの正側端子またはシステムの正側端子。PCKP ピンは、チャージャ検出、入力電圧測定、過電流フォルト除去検出のために用いられます。
C3	DIS	放電 FET 制御。DIS は、CP と GND の間の外部 N-FET を駆動することで、バッテリー放電の有効化／無効化を行います。
B3	ZVC	ゼロボルト充電入力ピン。ZVC 機能のためには、抵抗を介して PCKP に接続します。使用しない場合は、無接続のままにするか、GND に接続します。
C2	CHG	充電 FET 制御。CHG は、CP と BATT の間の外部 N-FET を制御することで、バッテリー充電をブロックまたは許可します。
A2	GND	IC の GND。

詳細説明

概要

MAX17335 は、1 セル・リチウムイオン／ポリマ・バッテリー用の、プロテクタおよび SHA-256 認証を備えた I_Q が $35\mu A$ のスタンドアロン型チャージャ、残量ゲージ IC で、アナログ・デバイセズの ModelGauge m5 EZ アルゴリズムが実装されており、設定に際しホストとの相互作用は不要です。それによって、MAX17335 は優れたチャージャ、プロテクタ、残量ゲージとなっています。MAX17335 は、温度とセル電圧に基づく電圧と電流の設定可変プロファイルを用いて、測定した温度およびバッテリー状態に基づくプログラマブルな電圧および電流でバッテリーを充電します。MAX17335 は、電圧、電流、温度、バッテリー状態をモニタし、確実にリチウムイオン／ポリマ・バッテリーを安全な状態で動作させ、バッテリー寿命を延ばせるようにします。バッテリー・パックの電圧は、BATT の接続で測定されます。電流は、CSP ピンと CSN ピンの間に配置された外部センス抵抗で測定します。電力および平均電力も報告されます。NTC サーミスタを外部に接続することで、IC は TH ピンをモニタしてバッテリー・パックの温度を測定できます。また、オプションで、PFail/TH2 ピンを用いて FET の温度を計算できます。TH ピン/TH2 ピンは、サーミスタ用に内部でブルアップされ、温度測定を行わない場合は内部で無効化されます。IC 内部のダイ温度も測定され、保護／充電 FET が IC の近くにあればダイ温度をこの FET 温度の代わりとして使用できます。あるいは、FET が IC から離れている場合は、ダイ温度を TH2 サーミスタと併用することで、FET 温度を計算できます。

MAX17335 は、電流、電圧、温度、および電力の各制限モードで充電制御を行います。これらの各制限は、不揮発性メモリ内に設定されており、バッテリーは、これらの制限範囲内の最大レートで充電されます。電圧および電流は、バッテリー電圧に応じて、9 ゾーンの JEITA 温度設定および 5 ゾーンのステップ充電に適合するよう、温度範囲全体で調整されます。その他の機能については、[充電制御](#)のセクションで説明します。

MAX17335 は、センス抵抗に基づいて充電電流をスケールリングするため、ウェアラブル・アプリケーションでの 10mAh 未満の電流量から、並列パックや大容量アプリケーションでの 10,000mAh を超える電流量まで、多くのタイプのバッテリーに適しています。

MAX17335 には、過放電電流（高速、中速、低速保護）、加熱、低電圧に対し、プログラマブルな放電保護機能が備わっています。また、この IC には、過電圧、加熱／低温、過充電電流（高速および低速）、充電完了、チャージャ通信タイムアウト、過充電容量フォルトに対する、プログラマブルな充電保護機能も備わっています。IC は、充電フォルトが継続する場合でも、理想ダイオードの放電特性を示します。この IC は、JEITA 温度領域およびステップ充電に従う、プログラマブルな充電電流／電圧の規定が可能です。MAX17335 には、セカンダリ・プロテクタをオーバーライドしたり、厳しいフォルト状態時にヒューズをブローしたりすることでバッテリーを永続的に無効化するための、追加の保護機能もあります。これは、IC が FET の故障を検出し他の方法では充電／放電をブロックできないような場合に、役に立ちます。その他の機能については、[プロテクタ](#)のセクションで説明します。

ModelGauge m5 EZ アルゴリズムは、クーロン・カウンタの短期的な精度および直線性、電圧ベース残量ゲージの長期的な安定性、そして温度補償機能を組み合わせることで、業界で最も高い残量ゲージ精度を実現します。更に、このアルゴリズムは、常時わずかな補正が継続的に行われるので、クーロン・カウンタ・アルゴリズムで通常行われるような突然の補正に影響されることがありません。MAX17335 は、経年劣化、温度、放電率を自動的に補償し、また、幅広い動作条件にわたり正確な充電状態（SOC）をミリアンペア時（mAh）単位またはパーセンテージ（%）で提供します。残量ゲージの誤差は、セルが空に近づくにつれて 0% に必ず収束します。動的な電力機能は、最小システム入力電圧に反することなくシステムに供給できる最大バッテリー出力電力を瞬時に実現します。この IC は、完全放電までの時間やフル充電までの時間を正確に予測します。またバッテリーの経時劣化を、容量の減少、バッテリー抵抗の増加、サイクル・オドメータの 3 つの方法で提示します。更に、経年劣化予測により、ユーザは、セルの予想される寿命を見積もることができます。

バッテリーのクローンを防ぐため、この IC には 160 ビットの秘密鍵による SHA-256 認証を内蔵しています。各 IC は、64 ビットの固有識別番号（ROM ID）も備えています。更に、最大 122 バイトのユーザ・メモリ（NVM）を利用してカスタム情報を格納することもできます。

この IC は、低電圧シャットダウン（ $0.5\mu A$ ）、ディープ出荷（ $0.5\mu A$ ）、出荷（ $8\mu A$ ）の 3 つの低消費電力モードに対応しています。IC は、コマンド、通信破綻（有効化されている場合）、あるいは低電圧シャットダウンによって、これらの低消費電力モードに入る可能性があります。また、通信、チャージャ検出、またはプッシュボタン・ウェイクアップ（有効化されインストールされている場合）によって、これらの低消費電力モードからウェイクアップできます。プッシュボタン・ウェイクアップでは、出荷中にはバッテリーをシステムから切り離しますが、ユーザがボタンを押すと直ちにウェイクアップし、チャージャに差し込む必要はありません。

ホストとの通信は、標準的な I²C インターフェースで行われます。SCL はホストから入力されます。また、SDA はオープン・ドレインの I/O ピンで外部ブルアップが必要です。ALRT ピンは、特定のアプリケーション条件が検出された場合にホスト・プロセッサへの外部割込みとして使用できる出力です。

充電制御

リチウムイオン／ポリマ・バッテリーはエネルギー密度が非常に高く、メモリ効果が最小限に抑えられていて自己放電量も小さいので、様々なポータブル電子デバイスに広く使われています。しかし、過熱や過充電によってバッテリーに損傷が生じないよう十分な注意が必要です。こうした損傷は、危険な結果や爆発を引き起こすおそれがあるためです。リチウムイオン／ポリマ・バッテリーは、安全な温度範囲、安全な電圧、および安全な電流レベルで動作することにより、その全寿命期間を通じて全般的な安全を確保することができます。

MAX17335 は、充電電圧および電流を、JEITA 充電プロファイル、ステップ充電、バッテリー温度、充電 FET の温度に基づいて動的に制御します。低バッテリー電圧（予備充電）時、低温および高温時、あるいは充電 FET が温度または消費電力制限状態時、充電電流は減少します。図 1 に、バッテリーの動作範囲全体での代表的な充電プロファイルを示します。MAX17335 には、以下に示すように、いくつかのレギュレーション・オプションおよび制御オプションがあります。

- **自律型チャージャ**（不揮発性メモリ構成）。
- **定電流レギュレーション**。185mA～2331mA で設定可能（10mΩ のセンス抵抗使用）および表 74 に示すようにステップ・サイズを設定可能（1% 精度）。より大きな、あるいはより小さな電流およびバッテリーに対し、センス抵抗を用いてスケラブル。表 13 を参照してください。
- **定電圧レギュレーション**。3.56V～4.835V の範囲を 5mV ステップ（または 2.42V～4.97V の範囲を 10mV ステップ）で設定可能（0.25% 精度）。
- **定電力レギュレーション**。MAX17335 は、パックおよびバッテリーの電圧と充電電流を測定し、FET とセンス抵抗での電力を計算します。IC は、設定可変のスレッシュホールド（センス抵抗に比例）を用いて熱を安定化します。
- **温度レギュレーション**。IC は、FET 温度を設定可変なスレッシュホールドに安定化します。
- **補助モード**は理想ダイオードを用いて短時間にサポートされます。
- **並列セル管理**。相互充電のブロックを含みます。
- **手動充電制御**。有効化されている場合、ホストは、自律型制御を手動でオーバーライドし、ChargingVoltage レジスタと ChargingCurrent レジスタに直接書き込みを行うことができます。
- **経年計画充電期間**。有効化されている場合、MAX17335 は、バッテリーの経年劣化に伴って、ChargingVoltage および ChargingCurrent を緩和できます。nAgeChgCfg を参照してください。
- **ゼロボルト充電／ブロック**およびバッテリー予備充電。

表 1 および表 2 に、ステップ充電と、目標充電電流と充電電圧を変化させる JEITA プロファイルを使用した場合の充電プロファイル例を示します。設定の詳細は、nIChgCfg1、nIChgCfg2、nVChgCfg1、nVChgCfg2、nStepCurr、nStepVolt、nTPrtTh1、nTPrtTh2、nDesignCap を参照してください。

表 1. ステップ充電および JEITA を用いた充電電流

TEMPERATURE	TOO COLD	COLD2	COLD1	COOL	ROOM	WARM	HOT1	HOT2	TOO HOT
	<-10°C	-10°C – 0°C	0°C – 10°C	10°C – 20°C	20°C – 40°C	40°C – 45°C	45°C – 50°C	50°C – 55°C	>55°C
Step 4	No Charging	0.438°C	0.484°C	0.531°C	0.609°C	0.547°C	0.500°C	0.453°C	No Charging
Step 3	No Charging	0.484°C	0.547°C	0.594°C	0.688°C	0.625°C	0.578°C	0.516°C	No Charging
Step 2	No Charging	0.547°C	0.609°C	0.656°C	0.766°C	0.703°C	0.641°C	0.578°C	No Charging
Step 1	No Charging	0.594°C	0.672°C	0.734°C	0.844°C	0.766°C	0.703°C	0.641°C	No Charging
Step 0	No Charging	0.719°C	0.797°C	0.875°C	1.000°C	0.922°C	0.844°C	0.766°C	No Charging

表 2. ステップ充電および JEITA を用いた充電電圧

TEMPERATURE	TOO COLD	COLD2	COLD1	COOL	ROOM	WARM	HOT1	HOT2	TOO HOT
	<-10°C	-10°C – 0°C	0°C – 10°C	10°C – 20°C	20°C – 40°C	40°C – 45°C	45°C – 50°C	50°C – 55°C	>55°C
Step 4	No Charging	4.115V	4.145V	4.175V	4.200V	4.175V	4.145V	4.125V	No Charging
Step 3	No Charging	4.090V	4.120V	4.150V	4.175V	4.150V	4.120V	4.090V	No Charging
Step 2	No Charging	4.065V	4.095V	4.125V	4.150V	4.125V	4.095V	4.095V	No Charging
Step 1	No Charging	4.040V	4.070V	4.100V	4.125V	4.100V	4.070V	4.040V	No Charging
Step 0	No Charging	4.015V	4.045V	4.075V	4.100V	4.075V	4.045V	4.015V	No Charging

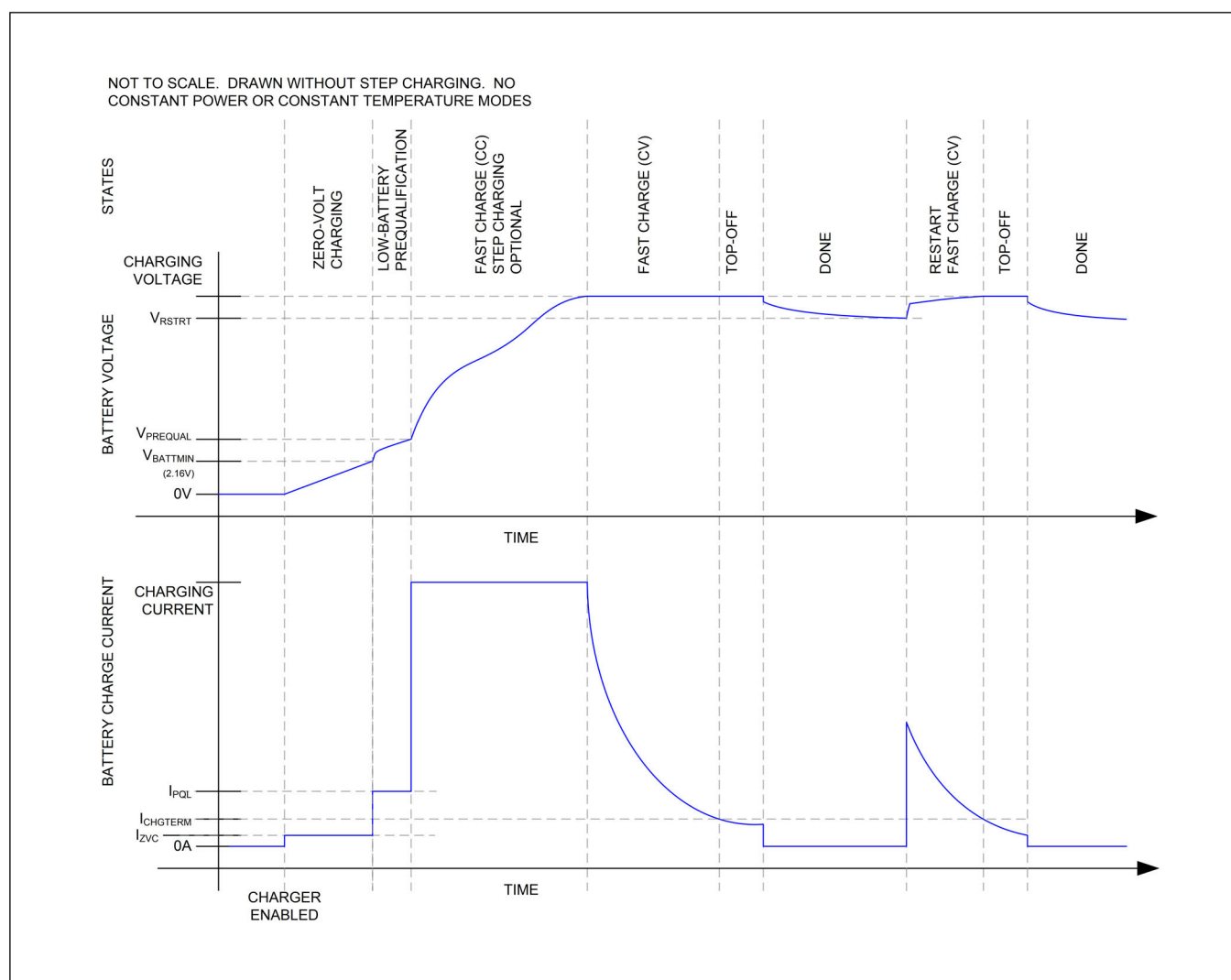


図 1. リチウムイオン／リチウムポリマ・バッテリーの充電プロファイル

V_{BATTMIN} : MAX17335 の最小動作電圧。ZVC を用いる場合、バッテリーは、IC がパワー・オンできるまで、外部抵抗および ZVC ピンを通じて充電されます。

V_{PREQUAL} : nProtCfg で有効化されます。バッテリーは、充電が安全かどうかをチェックするために制限されたレートで充電されます。予備充電の電圧と電流は、nChgCfg0 レジスタで設定されます。

充電電圧 : バッテリーはこの終了電圧まで充電されます。この電圧は、室温および他の温度に対し、nVChgCfg1 レジスタと nDesignCap レジスタで設定されます。

V_{RSTRT} : CHG FET がオフになると、セル電圧は時間と共に低下します。セル電圧が再起スタート・スレッシュホールド未満に低下すると、CHG FET がオンになり再度セル電圧を上昇させます。

I_{ZVC} : ゼロボルト充電電流。詳細については、[ゼロボルト充電](#)のセクションを参照してください。

I_{CHGTERM} : この電流に達すると、チャージャはトップオフ・モードになります。トップオフはプログラマブル・タイマーに基づいて終了します。nIChgTerm レジスタの IChgTerm を設定してください。

I_{PQL} : 予備充電電流。nChgCfg0 で設定します。

充電電流 : 高速充電電流。この電流は、室温および他の温度に対し、nIChgCfg1 レジスタと nDesignCap レジスタで設定されます。

Fast Charge CC 状態の場合、レギュレーション電流は nStepCurr で調整されます。

充電電流および電圧は、充電設定レジスタで設定されます。後述の[充電設定](#)のセクションを参照してください。電力制限、FET 温度制限、第 2 サーマスタ設定は nChgCfg1 レジスタで設定されます。

各レジスタの詳細は[充電設定](#)のセクションを参照してください。

充電の計算

MAX17335 は、バッテリーおよび温度の状態に応じて、安全な充電電圧および充電電流を計算します。ChargingVoltage レジスタおよび ChargingCurrent レジスタは、バッテリー・メーカーが要件を最もよく知っているという原則の下で、バッテリーに組み込まれている知識に従って設定を提供します。この安全電圧および電流を電力および温度の制限と共に用いて、バッテリーへの充電電流が制御されます。

バッテリーの温度は室温から大きく上下するため、ほとんどのセル・メーカーは、安全性を確保し寿命を延長するために、電流を減らし、ターミネーション電圧を下げて充電することを推奨しています。MAX17335 は、温度が TooCold/Cold2/Cold1/Cool/Room/Warm/Hot1/Hot2/TooHot のプログラマブルな温度スレッシュホールドを交差するときにその充電動作を変更するよう、設定できます (nTPrtTh1/2 を参照)。充電電流と電圧のどちらも、Cold2/Cold1/Cool/Room/Warm/Hot1/Hot2 で更新されます (nVChgCfg1/2 および nIChgCfg1/2 を参照)。図 9 および図 10 を参照してください。

更に、この IC は、図 2 に示すように、ステップ充電プロファイル (ステップ充電のセクションを参照) を適用することで、バッテリーの寿命を延長し、充電速度を向上する、ステップ充電動作が可能です。

ステップ充電

図 2 に示すように、ステップ充電のプロファイルでは、5 通りの充電電圧とそれに対応する 5 通りの充電電流を設定し、1 つのステート・マシンで各ステージを受け持つようこれを管理します。MAX17335 は、定電圧ステップ充電 (図 2 に示す CV ステップ充電) と定電流ステップ充電 (CC ステップ充電) をサポートします。

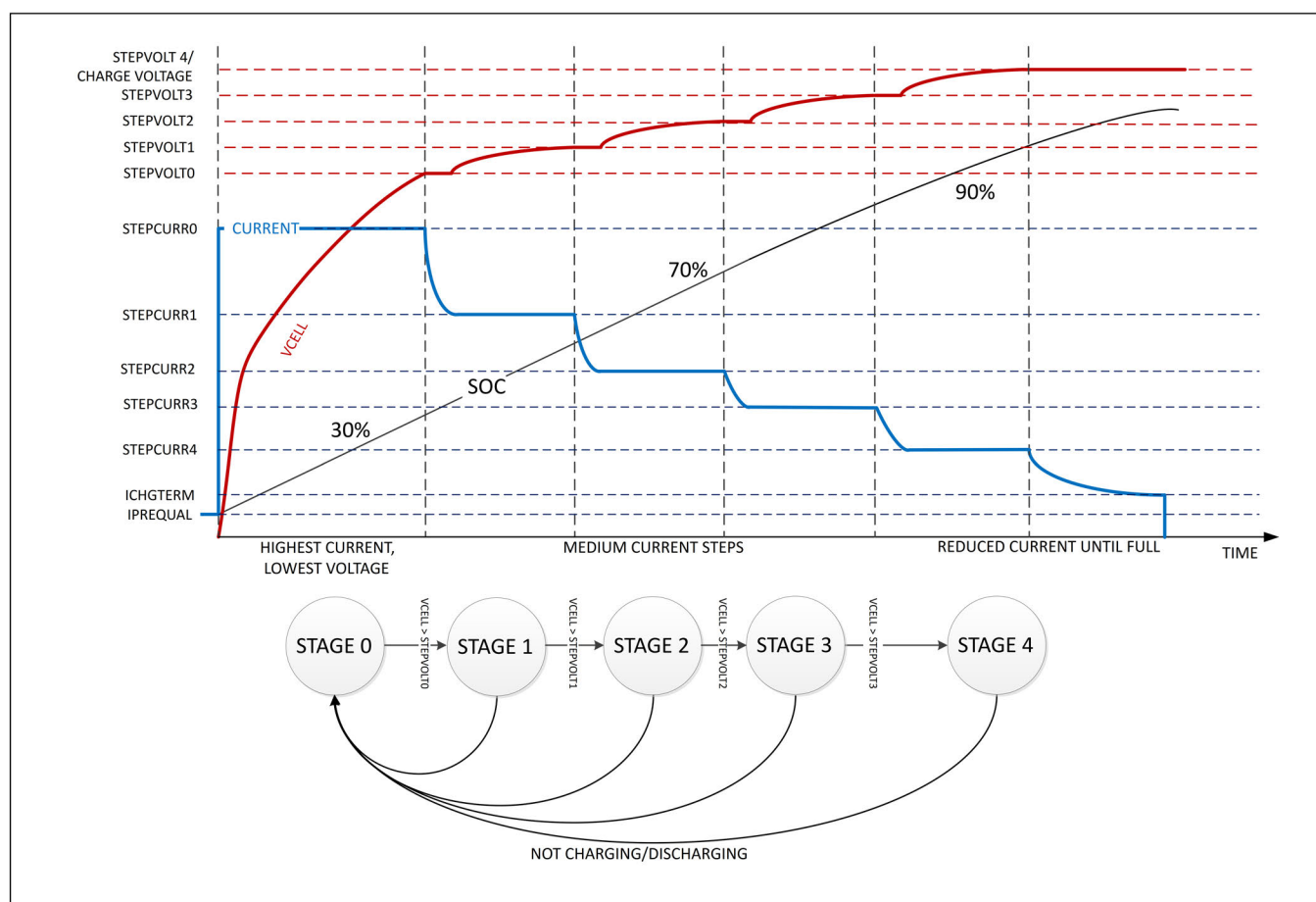


図 2. ステップ充電のステート・マシン

これは、充電動作を次の 5 通りの充電ステージに分割します。

1. **ステージ 0** : 最大電流、最低電圧。ChargingCurrent は、 $V_{Cell} > StepVolt0$ となるまでは、 $nIChgCf g1/2$ (温度ゾーンに依存) からの値です。 $V_{Cell} > StepVolt0$ となった後は、ChargingCurrent はステージ 1 によって定義されます。
2. **ステージ 1** : ステップ 1 の電流。ChargingCurrent は $nIChgCf g1$ の値から始まり、 $V_{Cell} > StepVolt1$ となるまでは StepCurr1 です。 $V_{Cell} > StepVolt1$ になると、ChargingCurrent はステージ 2 によって定義されます。
3. **ステージ 2** : ステップ 1 の電流。ChargingCurrent は StepCurr1 の値から始まり、 $V_{Cell} > StepVolt2$ となるまでは StepCurr2 です。 $V_{Cell} > StepVolt2$ になると、ChargingCurrent はステージ 3 によって定義されます。
4. **ステージ 3** : ステップ 1 の電流。ChargingCurrent は StepCurr2 の値から始まり、 $V_{Cell} > StepVolt3$ となるまでは StepCurr3 です。 $V_{Cell} > StepVolt3$ になると、ChargingCurrent はステージ 4 によって定義されます。
5. **ステージ 4** : 満杯になるまで少ない電流です。ChargingCurrent は StepCurr3 の値から始まり、満杯となるまでは StepCurr.StepCurr4 です。

図 2 に、定電圧ステップ充電 (CV ステップ充電) の例を示します。この場合、ChargingVoltage は一定に保持される一方、電流は、充電ステージの遷移時に次のステップ電流に向けて漸減します。CV ステップ充電は、 $nChgCf g0.CVStepDis$ を 0 に設定することで有効になります。CC ステップ充電は、 $nChgCf g0.CVStepDis$ を 1 に設定することで選択できます。これによって、充電ステージの遷移時に ChargingCurrent が直接のステップになります。

例えば、1280mA の ChargingCurrent で充電が開始され、セル電圧が 4.1V に達するまで続きます。この点に達すると、ChargingCurrent は 1080mA に減少し、セル電圧が 4.125V に達するまで続きます。この点に達すると、ChargingCurrent は 980mA に減少し、セル電圧が 4.15V に達するまで続きます。この点に達すると、ChargingCurrent は 880mA に減少し、セル電圧が 4.175V に達するまで続きます。次いで、ChargingCurrent は 680mA まで更に減少し、セル電圧を FullChargeVoltage で安定化させるために電流が自然に漸減し始めるまで、それを維持します。

ゼロボルト充電

低電圧保護時、MAX17335 は両方の FET をオフにし、低自己消費電流状態になります。低電圧状態で長時間経過した後は、バッテリー電圧が 2.16V の最低動作電圧未満に低下し、通信やプッシュボタンではウェイクアップできなくなる可能性があります。その場合、IC をウェイクアップするには、充電電圧を外部から MAX17335 のシステム側の正側ノード（PCKP または SYSP）に印加する必要があります。

ゼロボルト充電回復

ZVC 回路構成（ZVC を PCKP に接続）では、バッテリーがゼロボルトであっても、チャージャを PCKP に接続して充電できます。セカンダリ・プロテクタを用いる場合は、ゼロボルト充電回復を有効化する必要があります。セカンダリ・プロテクタを用いない場合は、ZVC を GND に接続できます。

ゼロボルト充電電流は、図 3 に示すように、 $I_{ZVC} = (V_{PCKP} - V_{ZVCDROP}) / R_{ZVC}$ で計算できます。R_{ZVC} は、ZVC 電流が ZVC ピンの定格制限値である 50mA 未満を維持できるように選択する必要があります。

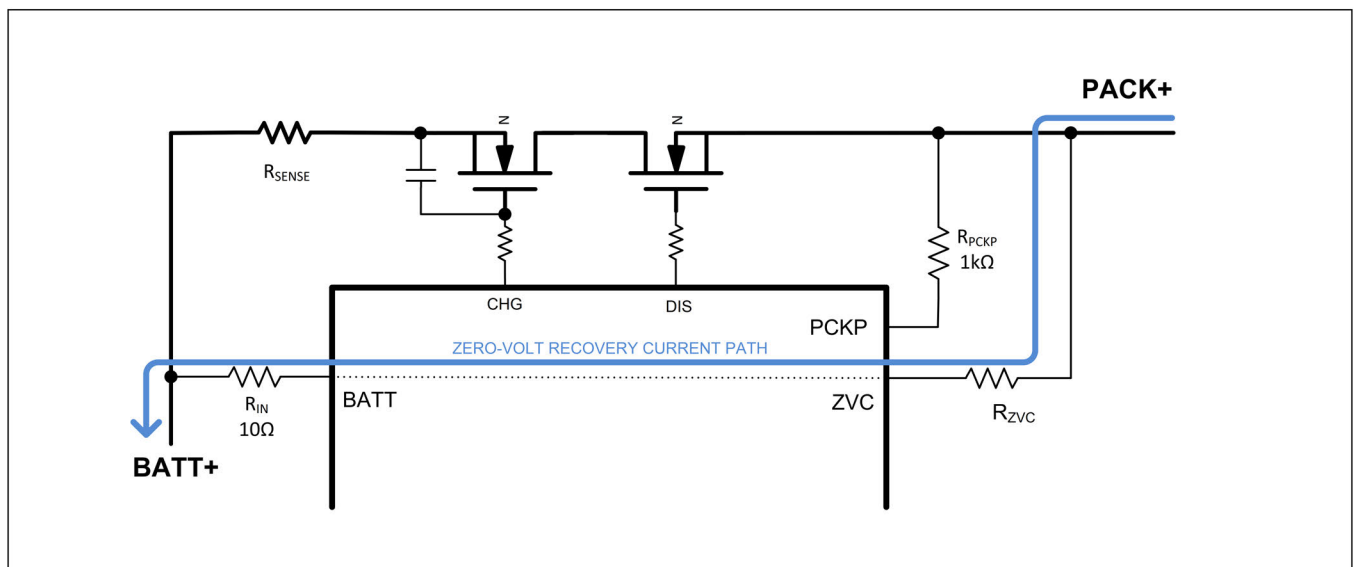


図 3. ゼロボルト充電回復

充電終了

VFOCV の値が nFullCfg.FullOCVThr レジスタの値を上回っている間に電流が IChgTerm レジスタの値未満に低下すると、IC はバッテリーの充電を停止します。充電終了条件が満たされ、nDelayCfg.FullTmr 遅延に達すると、CHG FET がオフになります。IC は、アプリケーションの負荷のスパイクや、充電ソースの早期の取り外しなどの、誤った充電終了イベントは、拒絶します。充電の終了が検出されると、デバイスは、RepCap レジスタの出力に基づき、新しい FullCapRep レジスタ値を認識します。以前の FullCapRep 値が高すぎると、RepCap に達するまで、MiscCfg.FUS の設定値で定義された充電終了付近の勾配で下方に調整されます。以前の FullCapRep 値が低すぎると、RepCap に一致するよう、上方に調整されます。これにより、充電状態の計算値が 100%を超える値を報告することのないようにできます。図 4 を参照してください。

充電終了が生じるのは以下の条件がすべて満たされた場合です。

- $VFOCV > FullOCVThr$
- 電流 $< IChgTerm$
- $AvgCurrent < IChgTerm$
- FullTimer の時間が経過

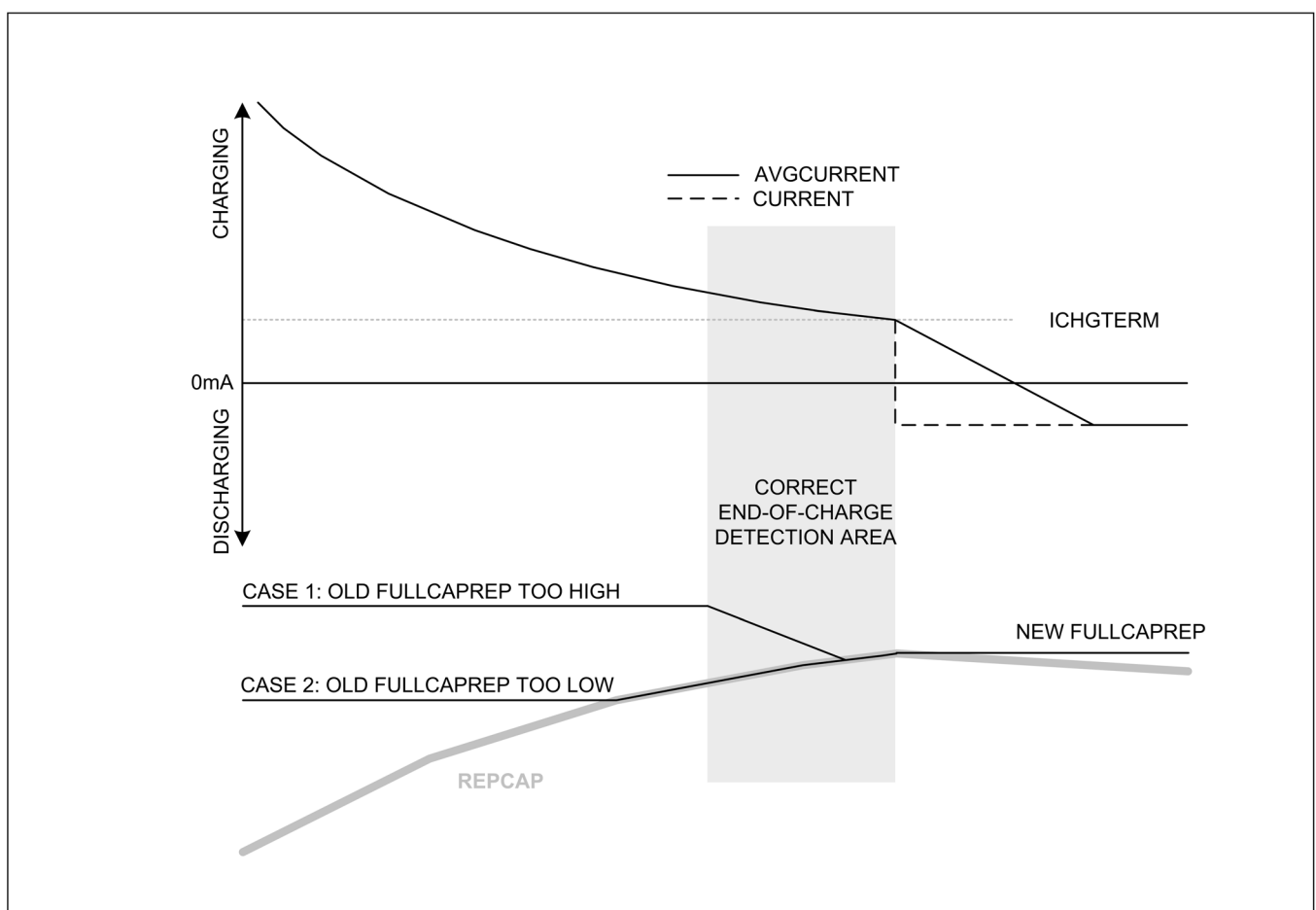


図 4. 充電終了を認識する FullCapRep

スマートフル

スマートフル充電終了は、セルのオープン・サーキット電圧（OCV）で決定されるバッテリーの真の状態に基づいて、充電終了を示します。代表的な充電終了検出は、温度とバッテリー状態によって大きく異なります。図 5 に示すように、セルの OCV に依存して充電終了を行うことは、高い信頼性を持っています。

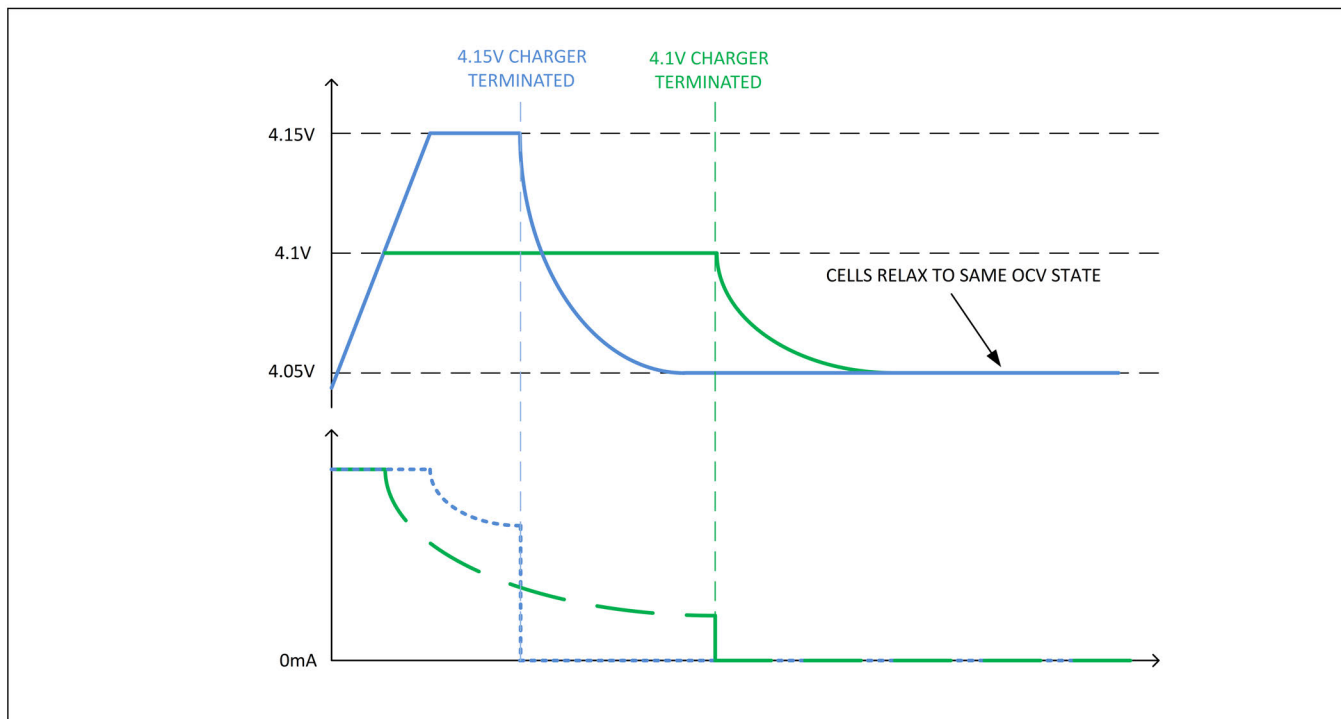


図 5. スマートフルの例

スマートフルでは以下が可能です。

- **より高速の充電との組み合わせによる寿命の延長。** スマートフルは、バッテリー寿命を延長するために充電電圧を低減する（例えば 4.1V での充電）代替方法です。スマートフルは、従来の充電電圧（4.15V など）を可能にする代替手法でもあります。スマートフルは、終了状態を低減チャージャ電圧手法と同じバッテリー状態になるよう制御します。
- **セル電圧を高くすることで通常状態への充電を高速化。** スマートフルでは、より高い充電電圧を使用できますが、セルの OCV がユーザ定義のスマートフル・スレッシュホールドを超えないようにしています。
- **通常の充電終了の向上。** 通常の 4.2V の充電時でも、より優れた充電終了制御が可能です。スマートフルは、従来の充電電流終了手法よりも正確です。これは特に以下に対して堅牢です。
 - アダプタ電流制限との相互作用
 - 満杯付近での再充電
 - 高温時および低温時での充電制御
 - 経年劣化バッテリー

MAX17335 は、スマートフル充電終了をサポートしており、VFOCV（推定オープン・サーキット電圧）がスマートフル・スレッシュホールドより大きく、電流が充電終了スレッシュホールド未満に低下し、nDelayCfg.FullTimer の時間が経過すると、CHG FET を開き、報告された SOC を 100% に設定します。詳細については、nFullCfg を参照してください。

チャージャ再始動

MAX17335 は、充電ソースが長時間にわたり接続されている場合、充電の再始動をサポートします。これにより、自己放電による電荷消失があった場合に、バッテリーをトップオフ充電できます。充電完了状態時、IC は、VFOCV が充電終了時に nChgCfg2.ReChgTh を VFOCV 未満に低下させた場合（nChgCfg2.SocRechgEn = 0 の場合）か、RepSOC が nChgCfg2.ReChgTh 未満に低下した場合（nChgCfg2.SocRechgEn = 1 の場合）に、バッテリーを充電し始めます。

並列バッテリー管理

MAX17335 は、複数バッテリーの並列充電または並列放電を自動管理し、1 つのバッテリーが別のバッテリーを充電（クロス充電）することのないようにします。これには以下の特長と利点があります。

- **セル電圧の収束**：個別制御より高速
 - 最も空に近いバッテリーを最初に充電する優先順位付け
 - 最も満杯に近いバッテリーを最初に放電する優先順位付け
 - セル電圧が収束すると並列に充電および放電
- **クロス充電の防止**：発熱とドロップアウトを最適化
 - ブレーク・ビフォア・メーク制御
 - 充電ソースの挿入：放電ブロッキングを適用してから充電を有効化。
 - 充電ソースの除去：充電ブロッキングを適用してから放電を有効化。

`nPackCfg.ParEn = 1` と設定すると、並列バッテリー管理機能を有効化できます。有効化された場合、タイムアウト方式によって充電／放電のブロッキングと有効化が自動的にシーケンス処理されます。自動充電ブロッキング機能により、ホストは、最初に充電すべきバッテリーを決定でき、選択したバッテリーのみを充電します。自動放電ブロッキングでは、上位状態のバッテリーが下位状態のバッテリーを充電しないようにします。

- 充電を可能にしたまま放電をブロックするには、`Config2.BlockDisEn = 1` と設定します。
- `Status.AllowChgB` は、1.4s ごとに内部設定されます。

並列アプリケーション：

- **低電力並列充電**（合計 500mA 未満）。このアプリケーションは、USB 充電コントローラ IC を不要にします。USB などの 5V ソースを直接（あるいは USB スイッチを介して）システムおよび両パックに接続します。多くの場合 USB 検出（BC1.2 など）は不要です。どの世代の USB も 500mA を供給するためです。ソース容量を判定せずに 500mA を超える電流で並列バッテリー（複数の MAX17335 IC）を充電することは推奨しません。充電電流が振動するのを防止するために、合計充電電流をソース容量未満に制限する必要があります。

例：2 つのバッテリーをそれぞれ 250mA 未満で充電する場合、CHG FET の発熱は、充電曲線の 99% にわたり 350mW 未満であり、充電の大部分で 200mW 未満です。充電中、リチウム・バッテリーは、充電曲線の 99% で 3.6V を超えます。

放熱量 = $250\text{mA} \times (5.0\text{V} - 3.6\text{V}) = 350\text{mW}$ 。

- **大電力並列充電**（合計 500mA 超）。USB チャージャなどの設定可変 DC/DC チャージャは、バッテリー電圧を約 50mV 上回る電圧を供給する必要があります。充電ソースは電圧源として動作しなくてはなりません。ドロップアウト付近で動作することで、MAX17335 は充電 MOSFET の発熱を低減しています。このアプリケーションでは、2500mA を超える充電電流が可能です。

ホストの責務（付録 B：並列セル管理の例を参照）：

- **充電ソースの存在を通知**。ホストのみがこの情報を保有しています。繰り返し `STATUS = 0xFFDF`（`AllowChgB = 0`）を書き込みます。1.4s のタイムアウトまでは、`AllowChgB` が繰り返しクリアされない場合、IC は自動的に充電をブロックします。このタイムアウト後は、すべての MAX17335 IC は、放電を許可し充電をブロックする状態に戻ります。
- **クロス充電を防止するよう設定**。セルの電圧が 400mV 以上異なる場合、より高電圧のパックの放電をブロックするよう設定します。なお、高電圧のパックは、充電ソースの存在が示されなくなると、放電を再開します。
 - **最も空に近いセルがシステム負荷に対応できるかどうかを判定**（例えば 3.3V の負荷）。最低電圧のセルがシステムの負荷に対応できるだけの充電状態になるまで、より高電圧のパックが放電サポートを禁止されている間、システム・クラッシュのおそれがあります。3.3V 未満の VCell に関連する制限時間の間、クロス充電は許可／許容する必要があります。
 - クロス充電のおそれがあると識別されたパックの**放電をブロック**。`Config2.BlockDis` を 1 に設定します。
- **DC-DC 電圧設定を管理**（500mA を超えるアプリケーション）。すべての MAX17335 IC のドロップアウト・アラートおよびヒート・アラートを用いて、DC-DC 電圧をステップ・アップするかステップ・ダウンするかを決定します。

表 3. 並列管理の FET ロジック

PAREN	BLOCKDIS	ALLOWCHGB	CHG FET	DIS FET
0	x	x	NORMAL	NORMAL
1	0	0	NORMAL	NORMAL
1	0	1 (timeout)	BLOCK READY	NORMAL
1	1	0	NORMAL	BLOCK READY
1	1	1 (timeout)	BLOCK READY	NORMAL

BLOCK READY 状態の場合、CHG FET または DIS FET をブロックする用意ができており、充電電流または放電電流が観察されるとオフになります。NORMAL の場合、CHG/DIS FET は、標準的な保護および充電制御で制御されます。

理想ダイオード動作

CHG FET がオフ状態（CHG フォルトが存在）またはレギュレーション・モード（充電中）になっているときに、放電電流がバッテリーから要求された場合、MAX17335 は、高速応答用に、コンパレータを用いて、CHG FET を 30mV 理想ダイオードとして動作させる自動制御を行います。

CHG FET は次のように動作します。

- 放電を検出すると直ちにオンになります
- 充電を検出すると直ちにオフになります

放電時、 $V_{PCKP} < V_{BATT} - 30\text{mV}$ （代表値）であることをコンパレータが検出すると、CHG FET は完全にエンハンス・モードになり、電圧降下を防止します。これによって、放電時の 600mV の電圧降下とそれに関連する発熱が防止されます。

充電時、電流検出コンパレータは、検出電圧が 1mV（代表値）を超えると充電を検出し、CHG FET をオフにします。その後、MAX17335 は、充電を開始あるいは再開するかどうかを決定します。充電フォルトは充電をブロックし続けます。フォルトがなければ、MAX17335 は安定化された充電を開始あるいは再開します。図 6 を参照してください。

理想ダイオードは、放電および充電のレギュレーション時に動作します。充電レギュレーションの間、システムは、短期間、かつ断続的に充電ソースを過負荷にすることがあるため、バッテリーは負荷パルスをサポートする必要があります。充電レギュレーションは、負荷パルスが終了するまで一時停止し、MAX17335 によって再開されます。

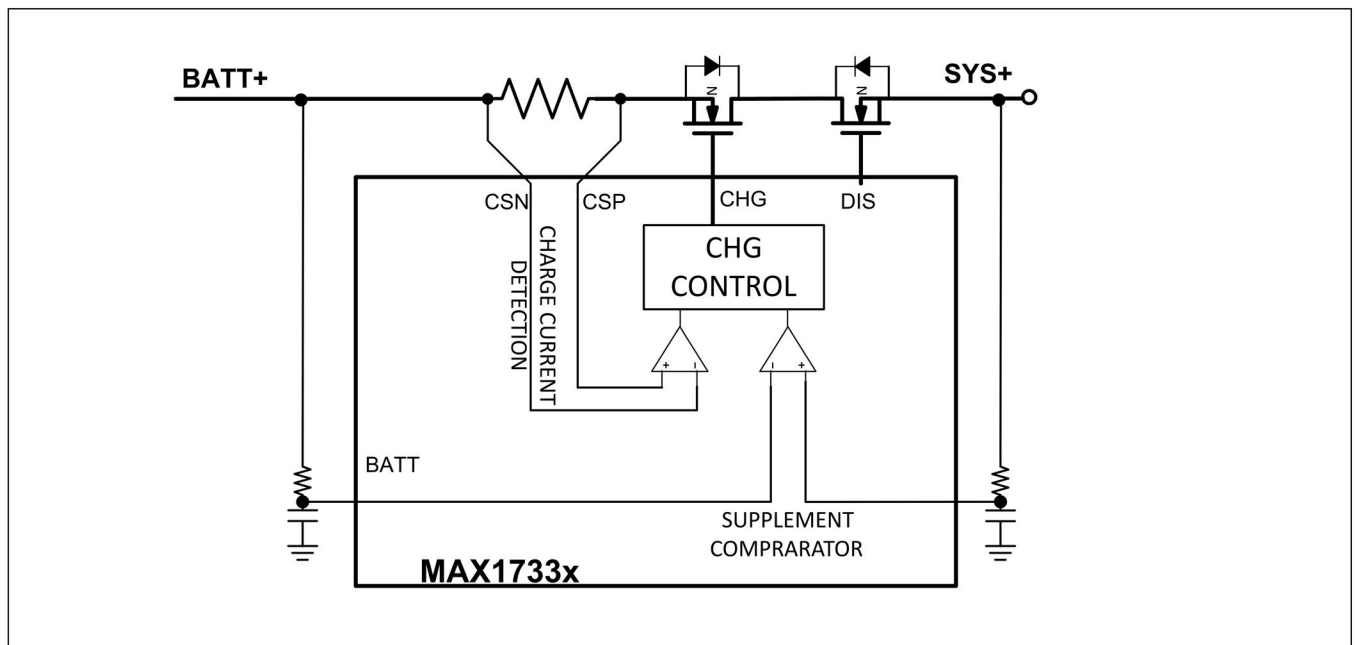


図 6. 補助および充電コンパレータ

この IC は、これらのコンパレータをその他の情報と組み合わせて用い、チャージャの有無を検出します。放電時、過電圧フォルトや過熱フォルトなどの充電フォルトは保存されます。CHG FET は、放電を可能にするために完全にオンになり、チャージャが検出されるとオフ状態に戻ります。図 7 を参照してください。

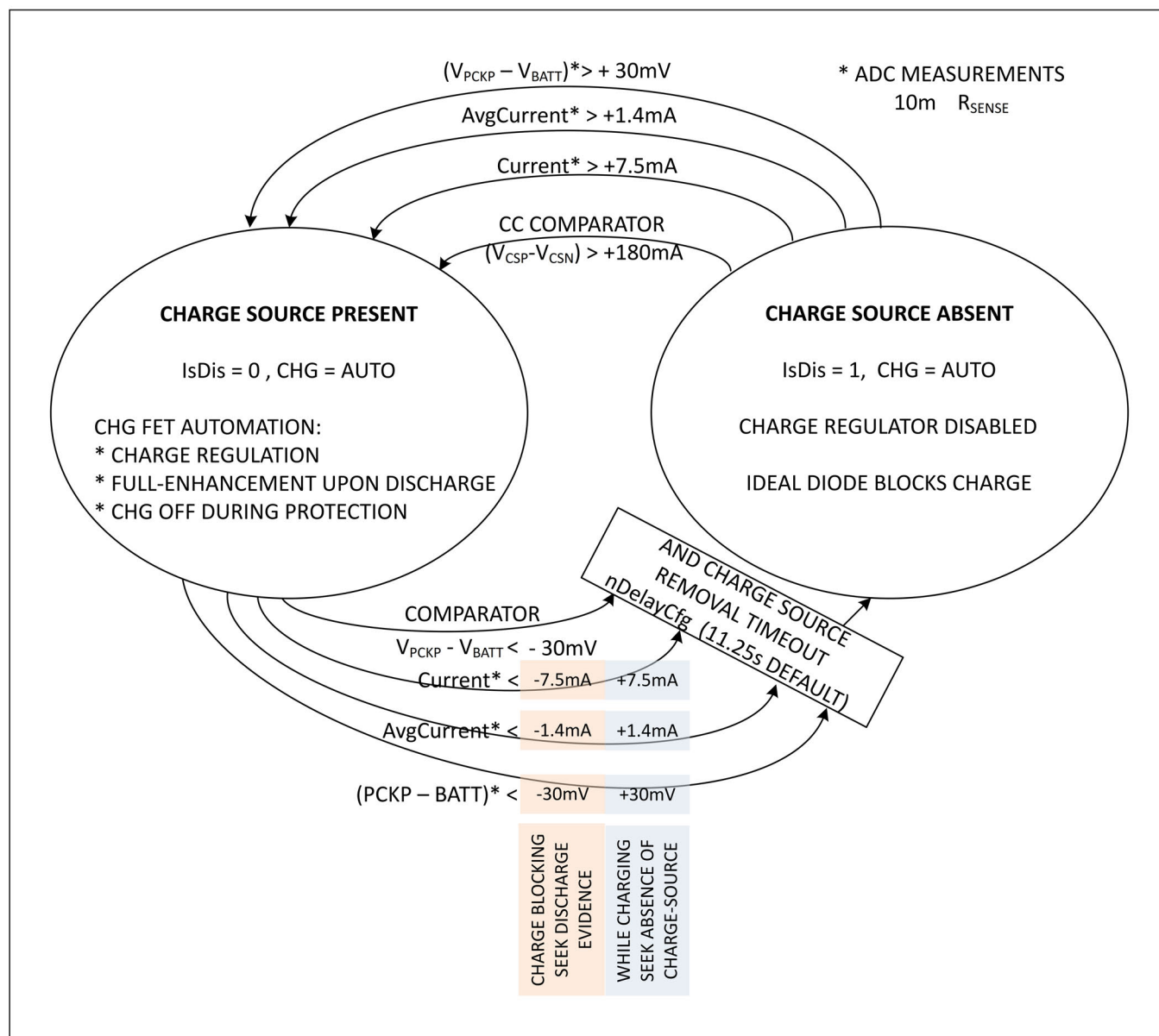


図 7. 充電状態と放電状態

Current、AvgCurrent、PCKP に対応する ADC 測定値は、チャージャ検出の精度を強化します。充電ソース除去タイムアウトは、充電ソース不存在の状態では 11.25s (nDelayCfg.ChgWDT で設定可能) の間待機してから、充電レギュレーションをオフにします。それにより、システム負荷が充電ソースの電流制限値を超過している場合に、何秒もの間バッテリーの補助を行った後でも、直ちに充電を再開できます。

nProtMiscTh.CurrDet は、 $\pm 1.4mA$ および $\pm 7.5mA$ (10m Ω 時) に対応して、以前の電流検出スレッシュホールドを設定します。アナログ・デバイスは、ADC のノイズに応じて最適化された設定値を用いることを推奨します。

表 4. 10mΩ およびデフォルトの nProtMiscTh.CurrDet= 7.5mA を用いた場合の AvgCurrDet スレッシュホールド

	AVGCURRENT FILTER CONFIGURATION (nFilterCfg.nCurr)							
	1 (0.7s)	2 (1.4s)	3 (2.8s)	4 (5.6s)	5 (11.25s)	6 (22.5s)	7 (45s)	8 (90s)
Active (0.351s)	4.22mA	2.34mA	2.34mA	1.41mA (default)	1.41mA	0.94mA	0.94mA	0.7mA
Hibernate (1.4s)	7.5mA	4.2mA	4.2mA	2.3mA	2.3mA	1.4mA	1.4mA	0.94mA
Hibernate (2.8s)	7.5mA	7.5mA	7.5mA	4.2mA	4.2mA	2.3mA	2.3mA	1.4mA

表 4 の高速の応答は、0.351s の ADC の更新レートに対応しています。より正確で緩やかな応答は、AvgCurrent のフィルタ遅延設定に対応しています。

プロテクタ

バッテリーが安全レベルを超えないよう保護する、簡便な保護手法が使用できます。これらの手法には、過放電電流、短絡電流、過充電電流、低電圧、過電圧があります。次のレベルの保護では、スマート保護手法が提供され、これには、低 OCV (SmartEmpty) での保護、長時間の過放電電流、充電および放電に対する過熱制限、低温充電制限、充電完了保護などがあります。MAX17335 は、これらの簡便な保護手法およびスマートな保護手法を、各フォルトに対するプログラマブルなスレッシュホールドおよびプログラマブルなタイマー遅延と共に、すべて備えています。

MAX17335 は、これらの保護手法の他、以下に示す保護機能も備えています。

放電保護機能

- 過電流：(nODSCCfgr および nODSCTh を参照)
 - 高速短絡 (70μs~985μs)：短絡コンパレータは 5.12mV~158.72mV の範囲でプログラマブルであり、遅延は 70μs~985μs の範囲でプログラマブルです。
 - 中速 (1ms~15ms)：過放電電流コンパレータは 2.55mV~79.36mV の範囲でプログラマブルであり、遅延は 1ms~15ms の範囲でプログラマブルです。
 - 低速 (351ms~35s)：低速過放電保護は、0mV~51.2mV の範囲を 0.2mV ステップでプログラマブルであり、遅延は 351ms~35s の範囲でプログラマブルです (nDelayCfgr および nIPrtTh1 を参照)。
- 過熱：
 - ホット (OTPD - Overtemperature Discharge (過熱放電))：過熱放電 (OTPD、nProtMiscTh を参照) は、充電過熱 (OTPC) とは別個に設定可能です。OTPD は、通常、OTPC より高温です。ホット状態での充電は放電よりも危険であるためです。OTPD は、1°C ステップで設定可能で、タイマーもプログラマブルです (nDelayCfgr を参照)。
 - ダイ・ホット：MAX17335 は、ダイ温度とサーミスタの温度を測定します。IC は一般的に外部 FET の近くに配置されるため、ダイ温度は、FET が加熱していることを示すことができます。この個別に設定可能なスレッシュホールド (nProtMiscTh を参照) は、充電と放電の両方をブロックします。
 - 永続的フェール・ホット：厳しい過熱が検出されると、フォルトは NVM に記録され、充電 FET と放電 FET を永続的に無効化し、3つの端子ヒューズをブローします (ヒューズが有効化されている場合)。
- 過冷放電：有効化されている場合、IC はセル温度が過剰に低温の場合、放電をブロックします。温度によりセルのインピーダンスが過大となりアプリケーションの負荷に対応できない場合は、この機能がセルの放電を防止します。
- 低電圧 (UVP)：低電圧は、UVP (低電圧保護)、UVShdn (低電圧シャットダウン)、UOCVP (低 OCV 保護 - SmartEmpty) の 3つのスレッシュホールドによって保護されます。UOCVP は、負荷およびセルのインピーダンス/抵抗の変動に対し耐性がある、ディープ放電状態保護が可能です。

充電保護機能：

- 過電圧保護 (OVP)：過電圧保護機能は、10mV の分解能で設定可能です (nOVPrTh を参照)。温度領域依存の OVP 保護機能も、低温/室温/ウォームおよびホットの温度領域に対し可能です (nVChgCfgr1/2 を参照)。OVP 検出は、プログラマブル・タイマーによりバウンス防止されます (nDelayCfgr を参照)。更に、より高い OVP 永続故障スレッシュホールドも設定可能で、これにより、過剰な OVP を NVM に記録し、永続的に充電をブロックできます。
- 充電温度保護：温度保護スレッシュホールドは、プログラマブル・タイマーによりバウンス防止されます (nDelayCfgr を参照)。
 - ホット (OTPC)：充電温度保護機能は、2.5°C の分解能 (nTPrtTh1 を参照) と 2.5°C のヒステリシスで設定可能です。
 - コールド (UTP)：充電はコールド時にブロックされ、その温度は 2.5°C の分解能 (nTPrtTh1 を参照) で設定可能でヒステリシスはありません。

● 過充電電流保護：

- **高速**：過充電電流は、プログラマブルなハードウェア・コンパレータ（0mV～39.375mV のスレッシュホールド）とバウンス防止タイマー（1ms～15ms のスレッシュホールド）で検出されます。
- **低速**：より小電流で低速の過充電電流保護機能は、中程度の大電流が長時間継続的に流れることのないようにします。10mΩ のセンス抵抗を用いた場合、これは 40mA ステップで 5.12A まで設定可能で、追加の遅延は 0.35s～22.5s の範囲で設定可能です。更に、[nNVCfg1.enJP](#) = 1 と設定すると、この過電流保護スレッシュホールドは、温度領域に応じて変調されます（[nIChgCf1/2](#) を参照）。
- **充電完了**：有効化されている場合、IC は充電終了が検出されると必ず充電をブロックします。これは、最終的に放電またはチャージャ除去が検出されるまで続きます。
- **チャージャ通信タイムアウト**：有効化されている場合、充電中にホストが 11 秒～3 分の間で設定可能なタイムアウトを超過して通信を停止した場合、IC は充電 FET をオフにします。特に JEITA スレッシュホールドまたはステップ充電を適用する目的で充電電流または充電電圧を規定するためにバッテリーを参照するシステムでは、この機能が、オペレーティング・システムのクラッシュやシャットダウンから保護する上で、役に立ちます。
- **過充電容量アラート**：いずれかの充電セッションで、予想されたフル設計容量より多くの電荷（クーロン）をバッテリーに供給する場合、充電は短期間中断され、保護アラートが示されます。このスレッシュホールドは、設計容量を超えるパーセンテージ（[nProtMisc.Th.QOvflwTh](#) を参照）で設定可能です。

その他のフォルト：

- **不揮発性メモリのチェックサム故障**：有効化されている場合（[nNVCfg1.enProtChkSm](#)）、プロテクタの NVM の起動チェックサムが [nProtCf2.CheckSum](#) に格納されている値に一致しないと、MAX17335 は、充電および放電をブロックします。

その他の保護機能：

- **ゼロボルト充電**：IC は、セル電圧が 2.16V まで低下した場合、充電を開始できます（ZVC 無効化の場合）。または、0.0V から充電を開始できます（ZVC 有効化の場合）。詳細については、[ゼロボルト充電](#)のセクションを参照してください。
- **過放電除去検出**：過放電電流フォルトに続き、IC が放電 FET をオフにした後、IC は、30μA を PCKP に供給することで、負荷の除去をテストします。負荷の除去は、PCKP が 1V を超えると検出されます。この下限スレッシュホールドは、ほとんどの IC の起動電圧より意図的に低い値となっています。それは、外部 IC によるアクティブな負荷を許容すると同時に、抵抗によるパッシブな負荷（短絡、故障部品など）を除去するためです。
- **チャージャ除去検出**：充電フォルトの後、IC は充電 FET をオフにしたら、問題のあるチャージャの除去を検出するために、PCKP を測定します。PCKP が [BATT-nIPrtTh2.ChgDetTh](#) 未満に低下するか、放電電流が検出されると、チャージャ除去が検出されます。
- **バッテリー内部自己放電検出**：この IC は、バッテリーの正常性や安全上の問題を示す、バッテリーの内部自己放電を測定します。設定可変のスレッシュホールドを超えるリークが検出された場合、IC はシステムにアラートを発するか、充電 FET および放電 FET をオフにします。詳細については、[バッテリー内部自己放電](#)のセクションを参照してください。
- **理想ダイオード制御**：充電フォルトの間、放電電流が検出されると充電 FET はオンになります。詳細については、[理想ダイオード](#)のセクションを参照してください。放電 FET は、放電フォルトの間、同じように動作して放電をブロックしますが、充電時はオンになります。この理想ダイオード動作は、保護フォルトの間のボディ・ダイオードに関連する、発熱および電圧降下を低減します。

保護フォルト報告：

- **保護フォルト・ステータス**：充電フォルト状態および放電フォルト状態はそれぞれ、[ProtStatus](#) レジスタにラッチされます。フォルトがクリアされると、対応するビットはクリアされます。
- **保護フォルト・アラート**：[ProtAlrt](#) レジスタは、それまでにデバイスが検出したフォルトの状態をラッチします。フォルトが検出されると、対応するビットはホストによってクリアされるまで、セットされたままになります。更に、いずれかの [ProtAlrt](#) ビットがセットされると、[Status.ProtAlrt](#) ビットがセットされます。
- **保護フォルト・ログ**：[nFaultLog](#) レジスタも、各履歴ログ期間にどの保護イベントが生じたかを示します。

充電レギュレーション・レジスタ：[ChargingVoltage](#) レジスタおよび [ChargingCurrent](#) レジスタは、ターゲット充電電圧および電流の計算値を制御し表示します。これには、一般的に特定のバッテリーに関連し MAX17335 によってバッテリーに格納できる、以下の情報が含まれます。

- **工場推奨の充電電流および電圧**：これは、複数のバッテリー・メーカー、交換可能バッテリー、アフターマーケット・バッテリー、あるいは従来のシステム・サポートをシステムが含んでいる場合に、便利です。
- **手動充電制御**：有効化されている場合、ホストは、自律型制御を手動でオーバーライドし、ChargingVoltage レジスタと ChargingCurrent レジスタに直接書き込みを行うことができます。
- **バッテリー温度および経年劣化に応じた充電動作の変更**：温度が室温から著しく上昇あるいは低下している場合、ほとんどのセル・メーカーは、安全性を確保し寿命を延長するために、電流を減らし、ターミネーション電圧を下げて充電することを推奨しています。MAX17335 は、TooCold/Cold2/Cold1/Cool/Room/Warm/Hot1/Hot2/TooHot のプログラマブルな温度領域に従い、その設定を変更します。
(nTPrtTh1/2 を参照)。充電電流と電圧のどちらも、Room より低い値を目標として Cold2/Cold1/Cold/Warm/Hot1/Hot2 で変更されます
(nVChgCfg1/2 および nlChgCfg1/2 を参照)。有効化されている場合、MAX17335 は、バッテリーの経年劣化に伴って、ChargingVoltage および ChargingCurrent を緩和できます。nAgeChgCfg を参照してください。
- **ステップ充電**：寿命と充電速度のバランスを取るための一般的な方法は、ステップ充電プロファイルを適用することです（ステップ充電のセクションを参照）。MAX17335 は、充電電流と電圧が設定可能な 5 通りのプログラマブル・ステップを備えています。

大まかに述べると、MAX17335 のプロテクタには、図 8 に示すような状態・マシンがあります。充電フォルト状態と放電フォルト状態はそれぞれ、ProtStatus レジスタでラッチされ、各フォルトはそれぞれ、図 8 に示す状態・マシンの個別のインスタンスに従います。充電フォルトが 1 つでも発生すると、充電 FET がオープンになり充電電流がブロックされます（充電フォルトは互いに OR 動作をします）。充電を再開するには、すべての充電フォルトをリリースする必要があります（充電フォルトのリリース条件は AND 動作です）。この動作は、放電をブロックする場合も同じです。

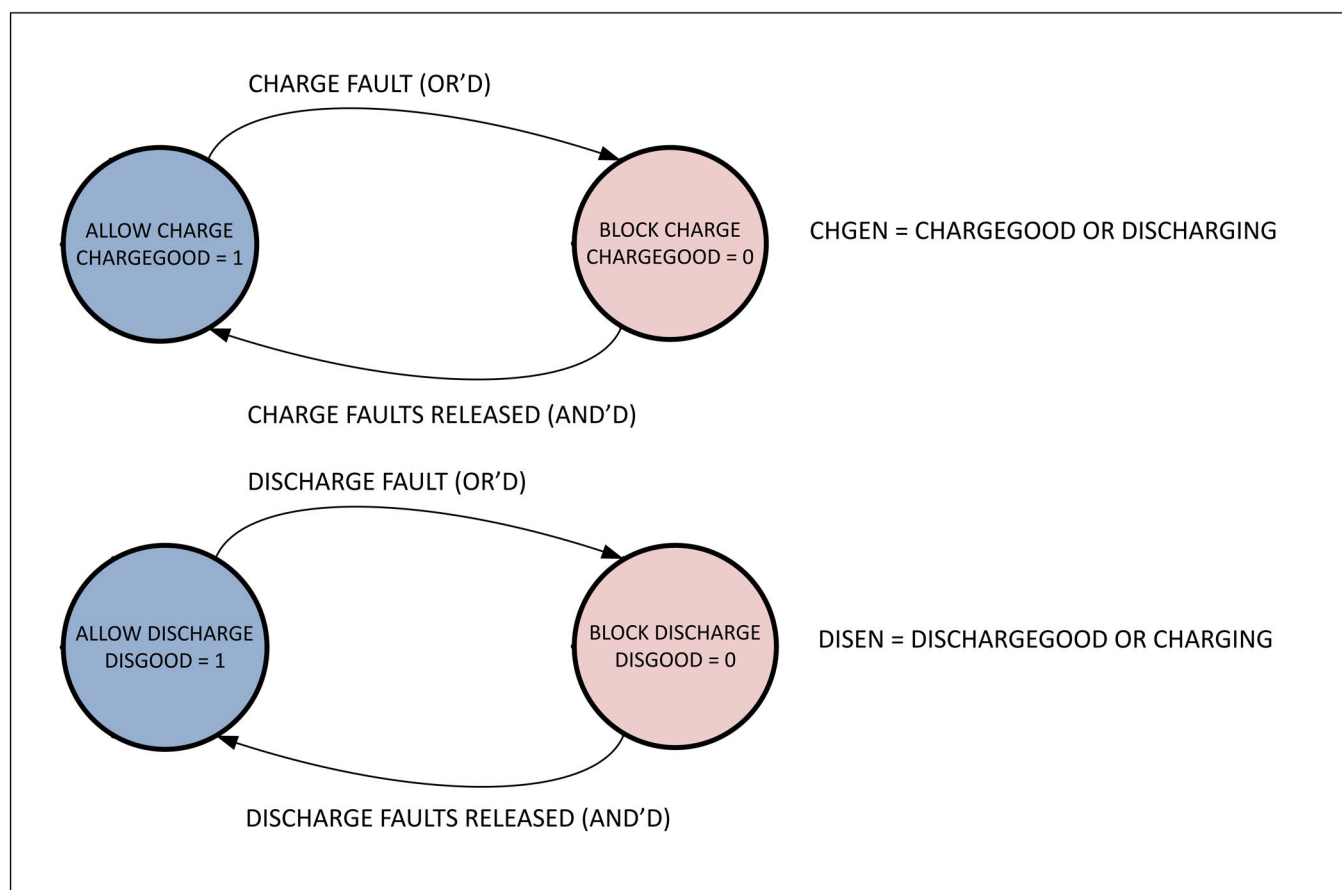


図 8. プロテクタ・状態・マシンの簡略図

この IC には、書き込み保護機能と永続的ロック機能があります。書き込み保護機能は、保護パラメータを意図せずに上書きしてしまうことを防止します。この保護は、レジスタの更新前にはクリアしなくてはならず、設定変更を行った後にセットする必要があります。永続的ロック機能は、意図的改ざんや悪意のある改ざんを防止するもので、開発が完了し、バッテリー・パックを製造用に出荷できる状態になった後に有効化する必要があります。詳細については、メモリのロックおよび書き込み保護のセクションを参照してください。

プロテクタ・レジスタの概要は、その保護機能別に表 5 にまとめられています。また、図 9 および図 10 に、様々な温度範囲にわたり図示されています。

表 5. 機能別にまとめた保護レジスタの概要

FUNCTION	REGISTER
VOLTAGE THRESHOLDS	
Permanent Fail Overvoltage Protection	nOVPrTh
Overvoltage Protection	nVChgCfg1/2, nOVPrTh
Overvoltage Protection Release	nOVPrTh
UnderOCV Protection	nUVPrtTh
Undervoltage Protection	nUVPrtTh
Undervoltage Shutdown	nUVPrtTh
Prequalification Voltage	nChgCfg0
CURRENT THRESHOLDS	
Fast Overcharge Protection	nODSCTh, nODSCCfg
Slow Overcharge Protection	nIPrtTh1
Slow Overdischarge Protection	nIPrtTh2
Fast Overdischarge Protection	nODSCTh, nODSCCfg
Short-Circuit Protection	nODSCTh, nODSCCfg
Charging Detected	nProtMiscTh
Discharging Detected	nProtMiscTh
Temperature Thresholds	nTPrtTh1, nTPrtTh2, nProtMiscTh
Fault Timers	nDelayCfg
CHARGING REGULATION	
Charging Voltage	nVChgCfg1, nVChgCfg2
Charging Current	nIChgCfg1, nIChgCfg2
Precharge Current	nChgCfg0
Step Charging	nStepCurr, nStepVolt
Protection Status/Configuration	nProtCfg, ProtStatus, nBattStatus

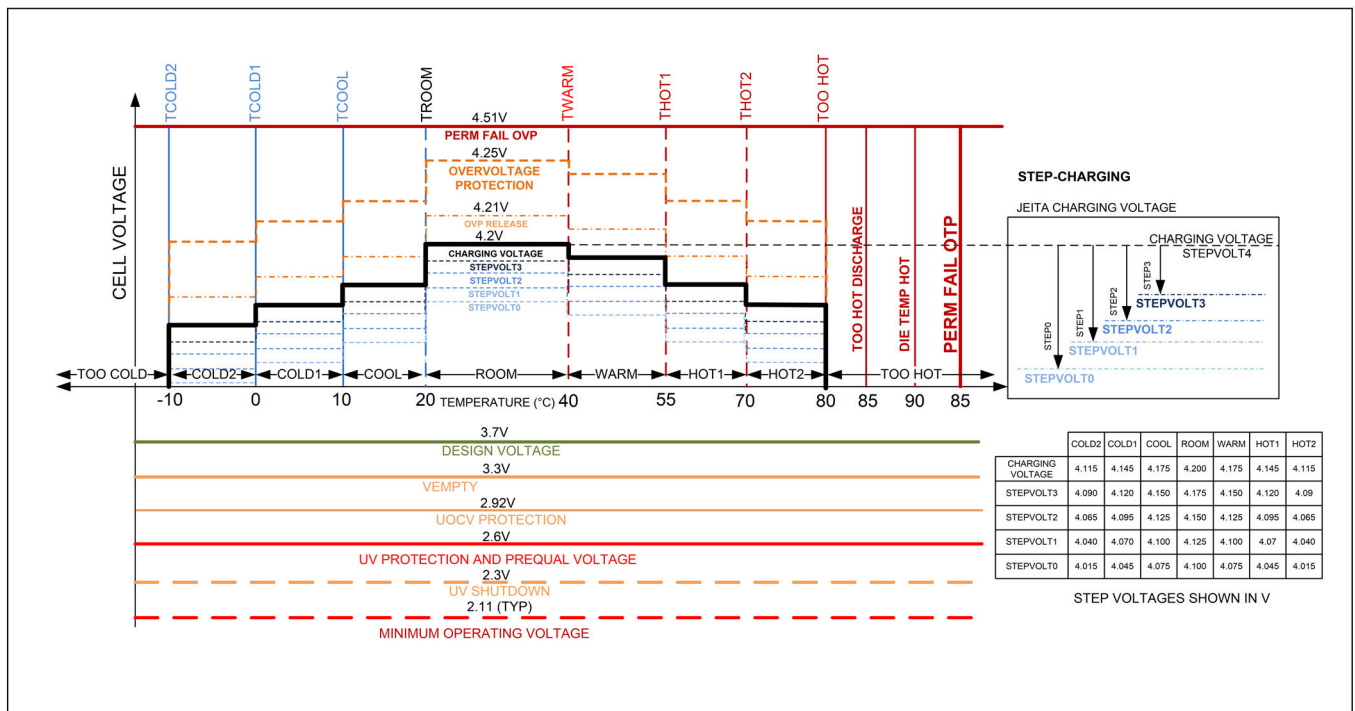


図 9. プログラマブルな電圧スレッシュホルド

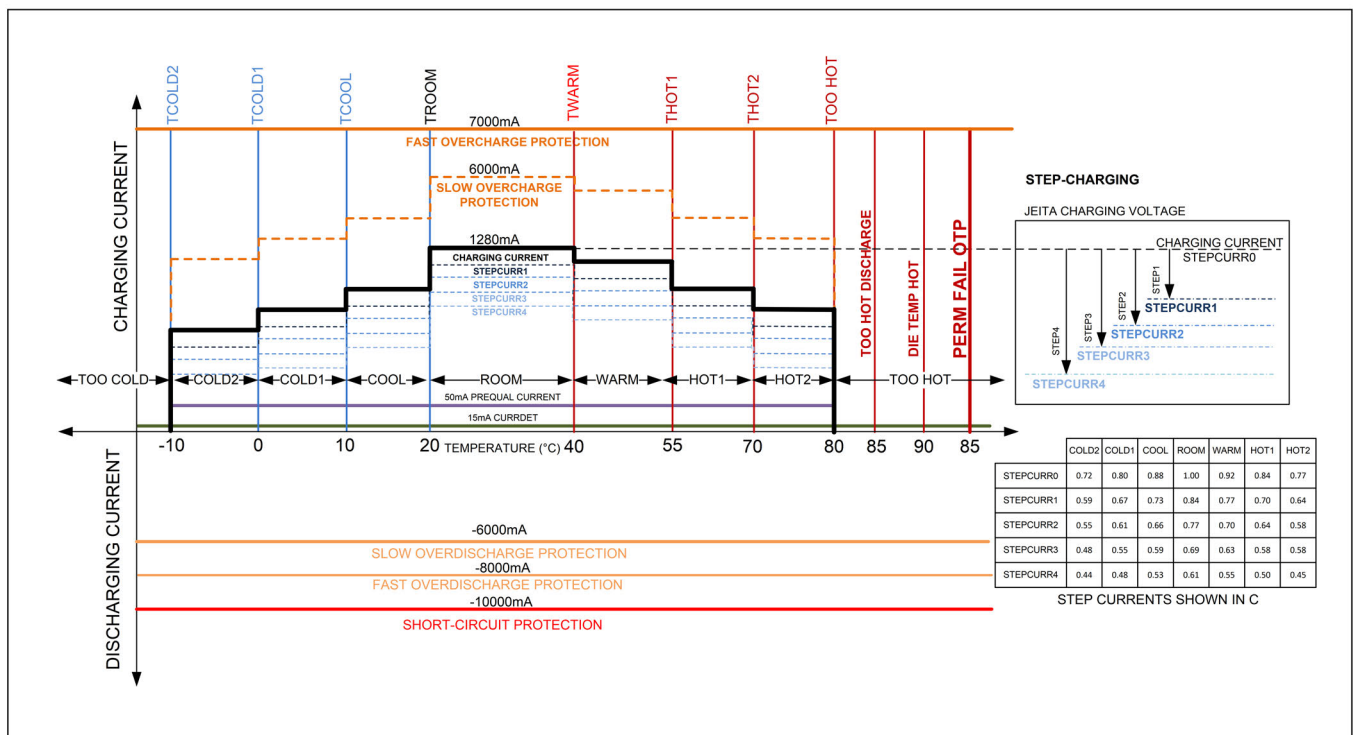


図 10. プログラマブルな電流スレッシュホルド

バッテリー内部自己放電検出 (ISD)

正常なリチウムイオン／ポリマ・バッテリーのクーロン効率は非常に高く、通常、99.9%を超えます（放電 mAh と充電 mAh の比で定義）。充電容量の一部は内部自己放電によって失われる場合があります。これには、バッテリーが長時間高温状態に置かれていたり、高充電状態に置かれていたりした場合に悪化する、自然の経年劣化が含まれます。しかし、損傷のあるバッテリーでは、更に容量が失われ（放電に使用できなくなり）、その一部は、永続的な容量減失を反映したものになります。リチウムイオン／ポリマ・バッテリーの異常な自己放電は、正常性または安全性の問題を示している可能性があります。

MAX17335 の内部自己放電 (ISD) 検出機能は、バッテリーのリークを測定し、以下に示す機能を提供します。

- **リーク測定** : LeakCurrRep レジスタは、数日間および複数の充電終了イベントにわたり測定されたミリアンペア・レベルのリークを出力します。
 - 正確なリーク検出
 - 3mA のスレッシュホールドで、低 ppm の偽陽性率
 - 通常使用時の検出
 - 放電深度または期間の制約なし
 - 4 回以上の（それぞれ 20 時間以上離れた）フル・イベントが必要
- **リーク・ログ** : リーク測定は、バッテリー寿命ログ・データに記録されます。これにより、返却されたバッテリーに対し、または展開されたパックの管理において、リークと時間の関係が明らかになります。
- **リーク・アラート** : 有効化されている場合、LDET アラート (ProtAlrt を参照) は、プログラマブルなアラート・スレッシュホールドを LeakCurrRep が超えた場合にアサートされます。
- **リーク・フォルト** : 有効化されている場合、プロテクタは、プログラマブルなフォルト・スレッシュホールドを LeakCurrRep が超えた場合にアサートされます。

内部自己放電検出の例

セル両端に 909Ω の抵抗を接続して様々な温度でバッテリーの内部自己放電をエミュレートした結果 MAX17335 で検出された電流リークを、図 11 に示します。

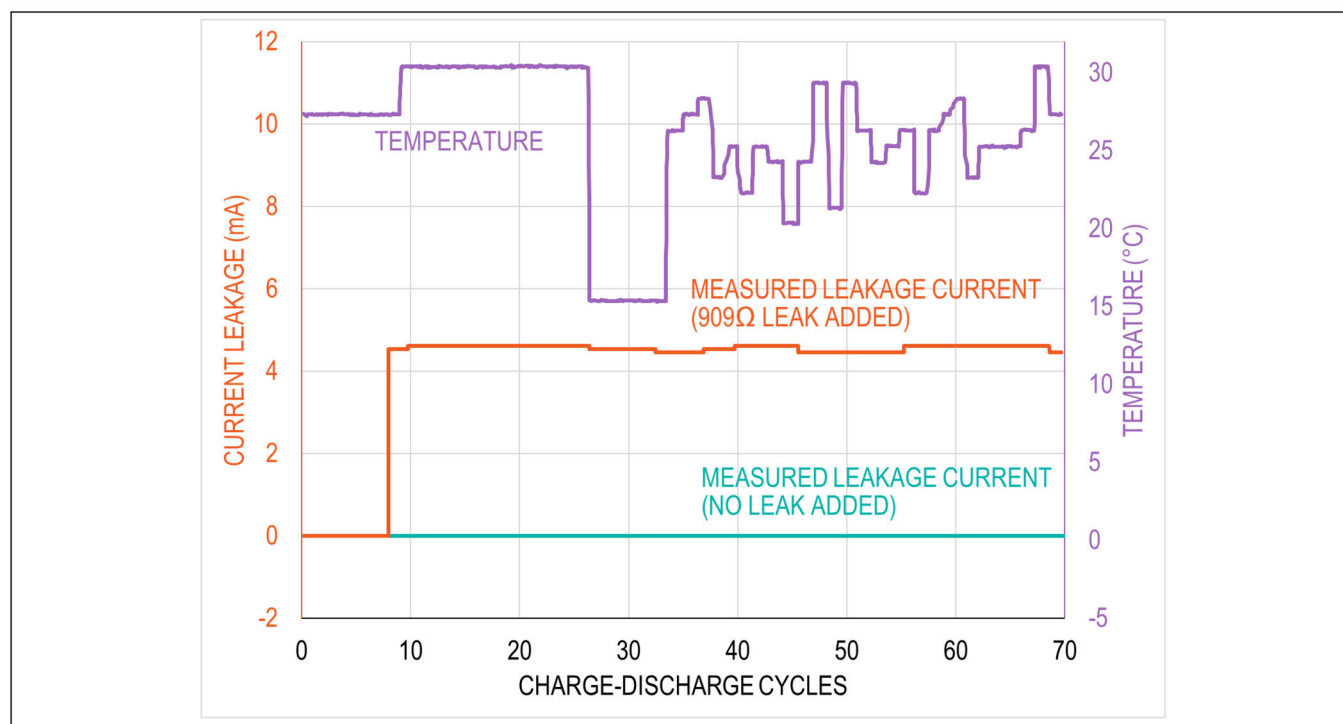


図 11. 温度変化に伴う内部自己放電の例

ISD の設定

ISD 機能の設定については、アナログ・デバイセズにお問い合わせください。設定の詳細については、[バッテリー内部自己放電検出レジスタ](#)のセクションを参照してください。

プロテクタ・スレッシュホールド

MAX17335 では、様々なプログラマブル・プロテクタ・スレッシュホールドが不揮発性メモリに格納されています。これらのスレッシュホールドは、電圧、電流、温度、タイマー遅延などです。

電圧スレッシュホールド

MAX17335 のすべての電圧スレッシュホールドを[図 9](#)に図示します。また、それらの様々なスレッシュホールドを生成するビットやレジスタの詳細を表形式で[表 6](#)に示します。各レジスタの説明には、レジスタ値の選択に関するガイドも付加されています。

表 6. 電圧スレッシュホールド

NAME	DESCRIPTION	CONFIGURATION REGISTERS	EXAMPLE
Permanent Fail Overvoltage	—	nOVPrTh.OVPPermFail	4.4V
Overvoltage (with 7xJEITA)	Programmable overvoltage at each JEITA band. Programmable 10mV resolution from 3.9V to 4.88V. Programmable delay.	ChargeVoltage[temp] + nOVPrTh.dOVP	{4.1V/ 4.20V/4.18/ 4.15V} +50mV
Overvoltage Release	Programmable release hysteresis	Overvoltage - nOVPrTh.dOVPR	{4.15V/ 4.25V/ 4.23V/ 4.2V} -10mV
ChargeVoltage-Room	ChargingVoltage() output	nVChgCfg1.Room	4.20V
ChargeVoltage-Hot2	ChargingVoltage() output	nVChgCfg2.Hot2	4.115
ChargeVoltage-Hot1	ChargingVoltage() output	nVChgCfg2.Hot1	4.145V
ChargeVoltage-Warm	ChargingVoltage() output	nVChgCfg2.Warm	4.175V
ChargeVoltage-Cool	ChargingVoltage() output	nVChgCfg1.Cool	4.175
ChargeVoltage-Cold1	ChargingVoltage() output	nVChgCfg1.Cold1	4.145V
ChargeVoltage-Cold2	ChargingVoltage() output	nVChgCfg1.Cold2	4.115
DesignVoltage	Just for information, no action	nDesignVolt	3.7V
EmptyVoltage	For fuel gauge only (not related to protection)	nVEmpty	3.0V
Undervoltage Release	Charger applied	—	—
Under OCV Protection (SmartEmpty)	Programmable under-OCV 40mV steps UVP to UVP + 1.28V.	nUVPrtTh.UOCVP	3.2V
Undervoltage Protection	Programmable undervoltage 20mV steps 2.2V to 3.4V. Gauging and communications work until undervoltage shutdown	nUVPrtTh.UVP	2.7V
Undervoltage Shutdown	Gauging and communications work until undervoltage shutdown	nUVPrtTh.UVShdn	2.5V
Undervoltage Lockout	—	—	2.11V typ, 2.16V max
Low-Voltage Charging	—	—	1.8V
Zero-Voltage Charging	—	—	0.0V

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

電流スレッシュホールド

MAX17335 のすべての電流スレッシュホールドを図 10 に図示します。また、各スレッシュホールドの詳細を表形式で表 7 に示します。各レジスタの説明には、レジスタ値の選択に関するガイドも付加されています。

表 7. 電流スレッシュホールドの概要

電流	動作	リリース	詳細
Overcharge Current (fast)	CHG off	Discharging or charger removal detection	スレッシュホールド用 5 ビット、1.25mV ステップで 38.75mV まで。 遅延用プログラマブル 4 ビット、0.9ms ステップで 1ms~15ms。
Overcharge Current (slow with 4xJEITA)	CHG off		0.4mV ステップで 51.2mV までプログラマブル。351ms~45s の範囲で遅延を設定可能。6 つの JEITA セグメントのうち 4 つに対する個別のスレッシュホールド。
Overdischarge Current (fast)	DIS off	Charging or load removal detection	5 ビット、2.5mV ステップで 77.5mV まで。 遅延用プログラマブル 4 ビット、0.9ms ステップで 1ms~15ms。
Overdischarge Current (slow)	DIS off		0.4mV ステップで 51.2mV までプログラマブル。351ms~45s の範囲で遅延を設定可能。
Short-Circuit Current	DIS off		5 ビット、5mV ステップで 155mV まで。 遅延用プログラマブル 4 ビット、70μs ステップで 985μs まで。
Charging Detected	Normal	–	Current > CurrDet または AvgCurrent > AvgCurrDet または PCKP > BATT + 0.15V で過放電保護をリリース。
Discharging Detected	Normal	–	Current < -CurrDet または AvgCurrent < -AvgCurrDet または PCKP < BATT + 0.15V（立下がりエッジ）で放電を表示。放電が検出されると、過充電電流フォルトはリリースされます。 OVP、OTP、UTP などの充電フォルトはセットされたままです。ただし、CHG FET はオンになり、0.6V の CHG FET ボディ・ダイオードに付随する発熱と電圧降下を防止します。詳細については理想ダイオード動作のセクションを参照してください。OVP フォルトは、電圧が低下し放電も検出されるまで、保存された（リリースされない）ままです。

過電流保護

MAX17335 は、過放電電流イベントに対し、図 12 に示すように、高速、中速、低速の 3 つの保護レベルがあります。また、MAX17335 には、過充電電流保護用に、高速および低速の保護レベルもあります。高速および中速の保護レベルは、コンパレータによって提供され、低速のレベルは ADC の読出し値に基づいて提供されます。

MAX17335 は、フォルトの原因がなくなるまで、保護を維持します。過充電保護フォルトは、パック電圧が BATT + 0.1V（エッジであってレベルではありません）未満に低下すると、リリースされますが、IC は、40kΩ のプルダウンを PCKP と GND の間に（何らかのチャージャ・フォルト時に）接続してチャージャ除去をテストします。過放電電流（高速または低速）保護フォルトまたは短絡電流保護フォルトは、PCKP が 1V を超えるとリリースされますが、IC は、30μA のソース電流テストを PCKP に適用します。

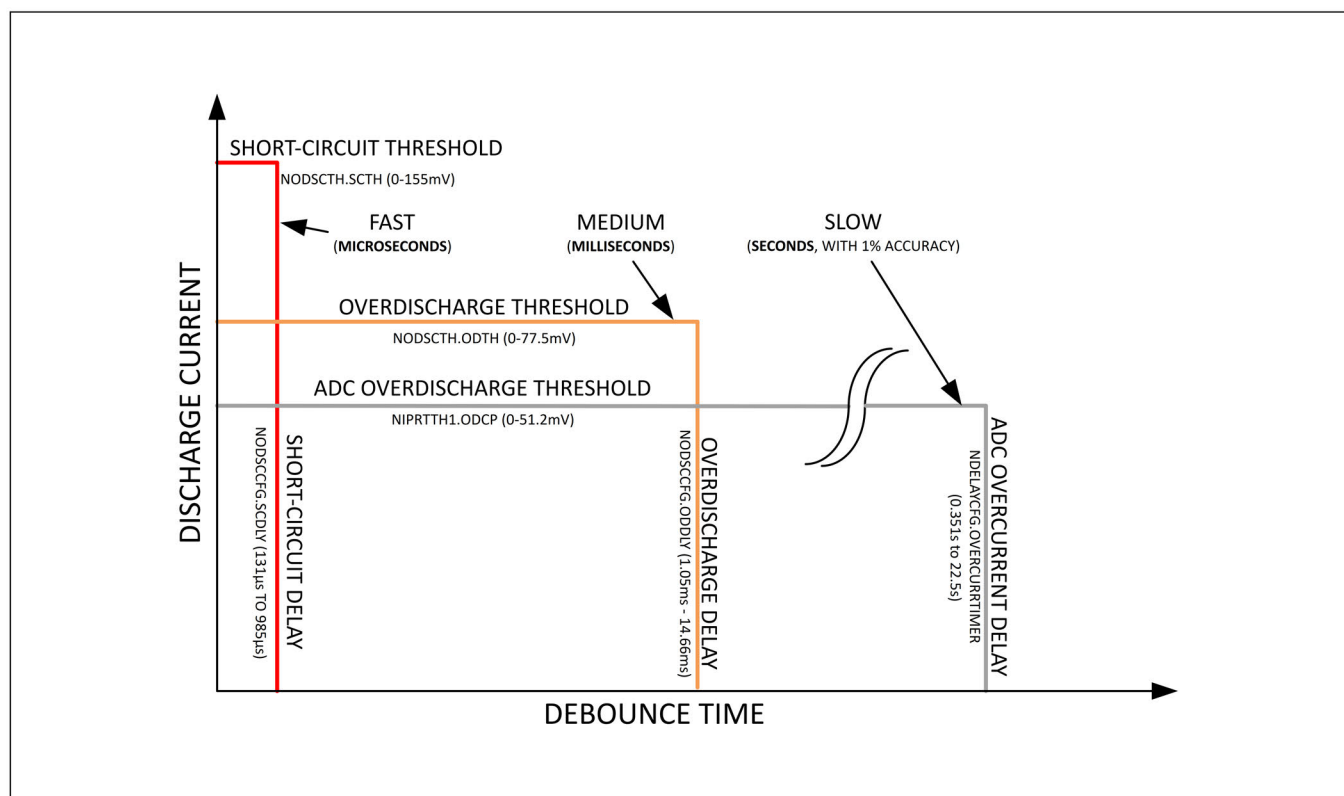


図 12. 高速、中速、低速の過放電保護

高速過電流コンパレータ

MAX17335 には、過放電 (OD)、短絡 (SC)、過充電 (OC) と呼ばれる、3 つのプログラマブルな高速過電流コンパレータがあり、過放電電流、短絡電流、過充電電流の保護を制御できます。これらのコンパレータには、プログラマブルなスレッシュホールド・レベルと、プログラマブルなバウンス防止遅延があります。図 13 を参照してください。

OD コンパレータのスレッシュホールドは、0mV～77.5mV の範囲の値を 2.5mV の分解能でプログラムできます (10mΩ のセンス抵抗を用いると 0A～7.75A の範囲を 0.25A の分解能)。OC コンパレータのスレッシュホールドは、0mV～38.75mV の範囲の値を 1.25mV の分解能でプログラムできます (10mΩ のセンス抵抗を用いると 0A～38.75A の範囲を 0.125A の分解能)。OD コンパレータおよび OC コンパレータの遅延は、1.05ms～14.6ms の範囲の値を 0.97ms の分解能でプログラムできます。SC コンパレータのスレッシュホールドは、0mV～155mV の範囲の値を 5mV の分解能でプログラムできます (10mΩ のセンス抵抗を用いると 0A～15.5A の範囲を 0.5A の分解能)。また、遅延は、70μs～985μs の範囲の値を 61μs の分解能でプログラムできます。

nODSCTh レジスタは、各コンパレータが動作するスレッシュホールド・レベルを設定します。nODSCCFG レジスタは、各コンパレータを有効化し、それらのバウンス防止遅延を設定します。また、nODSCCFG レジスタは、コンパレータが動作する理由となったインジケータ・フラグを保持します。nNVCfg1.enODSC ビットがセットされている場合、これらのレジスタ設定値は不揮発性メモリに保存されます。

低速過電流保護

MAX17335 は、低速の過放電電流保護 (ODCP) 用と過充電電流保護 (OCCP) 用にプログラマブルなスレッシュホールドを備えています。ODCP および OCCP は、図 10 に示すように、9 つの温度ゾーンにわたり、様々な保護レベルを提供するよう設定できます。

過電流コンパレータのブロック図

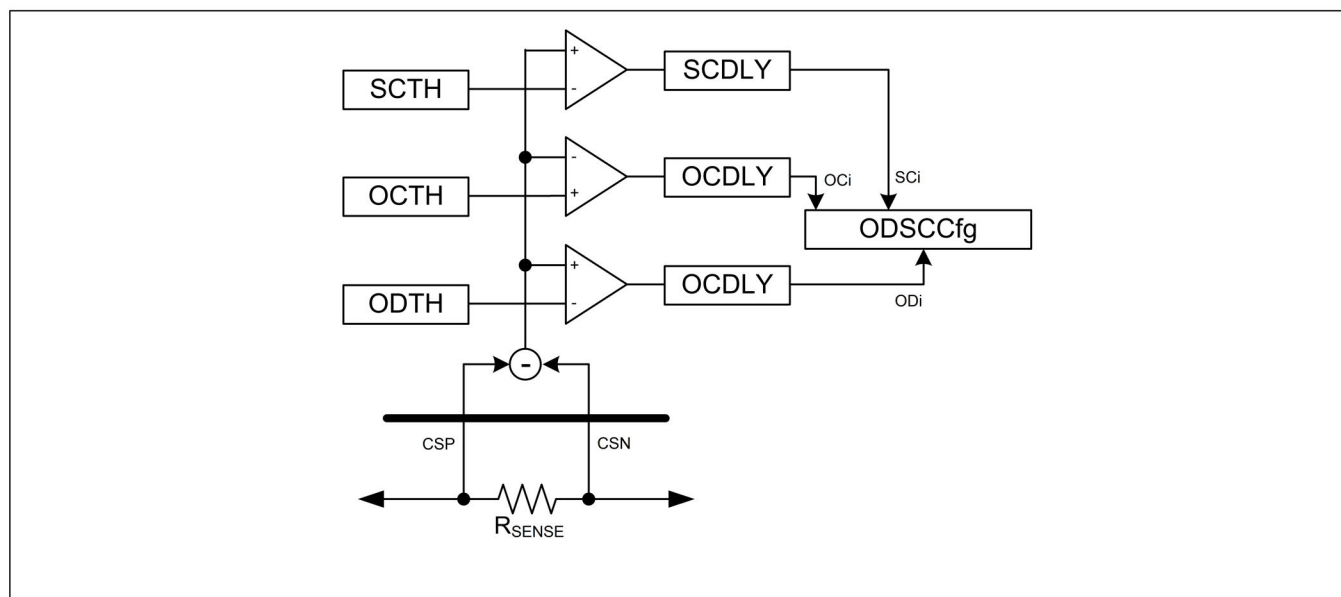


図 13. 過電流コンパレータのブロック図

温度スレッシュホルド

図 9 および図 10 に示す 9 つの温度ゾーンは、nTPrtTh1 レジスタと nTPrtTh2 レジスタで設定できます。

その他のスレッシュヨルド

MAX17335 は、表 8 に示すように、充電の中断／リリース、充電 FET および放電 FET の永続的故障の検出、推奨充電規定の提供のために追加されたスレッシュホールドにも対応します。

表 8. その他のスレッショルド

THRESHOLD	ACTION	CONDITIONS
Charge Suspend	CHG off	FullDet Fault—if enabled (nProtCfg.FullEn) and charge termination criteria (see ICHGTerm and charge termination). ChgWDT Fault—if enabled (nProtCfg.ChgWDTEn) and communications timeout.
Charge-Suspend Release	Normal	FullDet Release—Discharge or charger removal detected. ChgWDT Release—Communications or discharge or charger removal detected.
Charge FET Failure	Blow fuse	CHG off yet charge-current persists (programmable).
Discharge FET Failure	Blow fuse	DIS off yet discharge-current persists (programmable).
Charge Voltage/Current "Prescription"	N/A	Nine-zone JEITA (four charge currents and voltages).

永続的故障

この IC は、永続的故障の原因となる、いくつかのタイプのフォルトに対応しています。永続的故障が検出された場合、どちらの FET もオフになり、電源再投入の有無に関わらずオフのままとなります。永続的故障が検出されると、IC は、永続的故障のステータスを不揮発性メモリの `nBattStatus` に記録します。更に、PFAIL 出力がハイに駆動され、外部ヒューズを駆動するか、セカンダリ・プロテクタをラッチします。この動作は、FET 故障が検出された場合に役に立ちます。その他の方法では、充電および放電をブロックできないためです。

永続的故障フォルトが有効化され (**nProtCfg.PFEn** = 1)、その状態が永続的フェール・バウンス防止タイマー (**nDelayCfg.permFailTimer**) より長時間継続する場合は、常に次に示す永続的故障フォルトがサポートされます。永続的故障フォルトが検出された場合、**nBattStatus.PermFail** ビットが、特定のフォルト・ビット (これも **nBattStatus** にあります) に加えてセットされ、両 FET ドライバがオフ状態に置かれます。

- **CHG/DIS FET オープン／短絡故障**：この機能を有効化／無効化するには、`nProtCfg.FetPFEn` を設定します。
 - **DIS FET 短絡**：DIS がオフで放電が検出された場合、`nBattStatus.DFETFs` がセットされ、NVM に書き込まれます。
 - **CHG FET 短絡**：CHG がオフで充電が検出された場合、`nBattStatus.CFETFs` がセットされ、NVM に書き込まれます。
 - **FET オープン故障**：以下のどちらの検出方法でも、オープンの原因が CHG FET にあるのか DIS FET にあるのかを明確にすることはできません。
 - 放電フェールで検出：DIS がオン、PCKP がローで、放電電流が検出されない場合、`nBattStatus.FETFo` がセットされ、NVM に書き込まれます。
 - 充電フェールで検出：CHG がオン、DIS がオン、`PCKP > BATT + nOVPrTh.ChgDetTh` で、充電電流が検出されない場合、`nBattStatus.FETFo` がセットされ NVM に書き込まれます。
- **重大な過電圧故障**：VCell が `nOVPrTh.OVPPermFail` を超過した場合、`nBattStatus.OVPF` がセットされ NVM に書き込まれます。無効化するには、`OVPPermFail` を最大値である 5.12V (0xF8) に設定します。
- **重大な加熱故障**：Temp が `nTPPrTh3.TpermFailHot` を超過した場合、`nBattStatus.OTPF` がセットされ NVM に書き込まれます。無効化するには、`TpermFailHot` を最大値である 125degC (0xF) に設定します。
- **不揮発性メモリ・プロテクタ・チェックサム故障**：有効化されている場合 (`nNVCfg1.enProtChkSum`)、起動時にプロテクタ設定のチェックサムが計算され、`nChkSum` レジスタを比較されます。値が一致しない場合、`nBattStatus.ChkSumF` がセットされます。

ピン制御または I²C コマンドによる FET の無効化

この IC では、I²C 通信または ALRT ピンへのピン・コマンドによる FET オーバーライド制御が可能です。この機能は、多様なアプリケーションで役に立つ可能性があります。

- **生産時テスト**：バッテリーを切り離すことは、制御された外部電源を用いてテストを行う場合に有用です。
- **バッテリー選択**：複数バッテリーのシステムでは、FET を動作させることで、1 つのバッテリーを切り離し、別のバッテリーを接続することができます。

不揮発性メモリの設定で許容されている場合、ピン制御によって両 FET をオフにすることや、I²C コマンドによっていずれかの FET を個別にオフにすることができます。制御は以下のように行われます。

- **ALRT ピンのオーバーライド**：`nProtCfg.OvrEn = 1` と設定し、ALRT をローに駆動することで、両 FET をオフ状態にできます。ALRT ラインをリリースすることで、プロテクタのフォルト・ステート・マシンに従い、FET が回復します。
- **I²C コマンドのオーバーライド**：`nProtCfg.CmOvrEn = 1` と設定し、`CommStat.CHGOff` または `CommStat.DISOff` に書き込みを行うことで、充電 FET または放電 FET を個別に無効化できます。`CHGOff` および `DISOff` をクリアすることで、プロテクタのフォルト・ステート・マシンに従い、FET が回復します。

これらの機能は、不揮発性メモリによって無効化およびロックができるため、悪意のあるコードが FET をブロックするのを防止できます。FET を無効化することで安全上の問題が生じることはありませんが、システムサイドの悪意のあるソフトウェアによってシステムへの給電ができなくなった場合、このことが有害となる可能性があります。

残量ゲージ

ModelGauge m5 EZ アルゴリズム

クーロン・カウンタをベースとする従来型残量ゲージは、非常に優れた直線性と短期的性能を備えています。しかし、これらのゲージは、電流検出測定時のオフセット誤差の蓄積から生じるドリフトに影響されます。多くの場合これらのオフセット誤差は非常に小さいものですが、無くすることはできず、これによって報告される容量の誤差は時間と共に大きくなるので、定期的な補正が必要になります。補正は、通常、フル充電状態かエンプティ状態で行われます。その他いくつかのシステムでは、緩和したバッテリー電圧を使用して補正を行うこともあります。これらのシステムは、長時間電流が流れなかった後のバッテリー電圧に基づいて、真の充電状態 (SOC) を決定します。どちらにも同じ制約があります。つまり、実際のアプリケーションにおいて時間を経ても補正条件が確認できなかった場合、システム内の誤差は際限のないものとなります。一般的なクーロン・カウンタの性能は、主にこのような補正の精度で決定します。電圧測定に基づく SOC の予測は、セル・モデリングが完璧ではないので精度に限界がありますが、時間と共にオフセット誤差が蓄積されることはありません。

この IC は、電流が流れているときであっても OCV を予測する先進的な電圧残量ゲージ (VFG) を内蔵しており、リチウムイオン・バッテリーの非線形な内部変化をシミュレートして、より高い精度で SOC を決定します。このモデルは、時間がバッテリーに及ぼす影響を考慮して SOC を決定しますが、この時間による影響は、バッテリー内の化学反応とインピーダンスによって生じます。この SOC 予測では、時間と共にオフセット誤差が蓄積されることはありません。この IC は、温度条件と負荷条件の影響を自動的に補償するスマート・エンプティ補償アルゴリズムを実行して、正確な充電状態情報を提供します。エンプティ収束機能は、エンプティ状態へ向かう方向での誤差を除去します。この IC は、バッテリー容量を時間と共に自動的に学習して、長期的な性能を向上させます。バッテリーの経年劣化に関する情報は出力レジスタから読み出せます。

ModelGauge m5 EZ アルゴリズムでは、高精度なクーロン・カウンタと VFG を組み合わせます。図 14 を参照してください。相補的に組み合わせられた結果では、クーロン・カウンタと VFG の両方の弱点が除去され、両方の強みが得られます。ミキシング・アルゴリズムが VFG 容量とクーロン・カウンタの重み付けを行って組み合わせ、両方を最適な形で使用してバッテリーの状態を決定できるように、それぞれの結果を重み付けします。このようにして、VFG による容量の結果を継続的に使用してバッテリーの状態を少しずつ調整し、クーロン・カウンタのドリフトをキャンセルします。

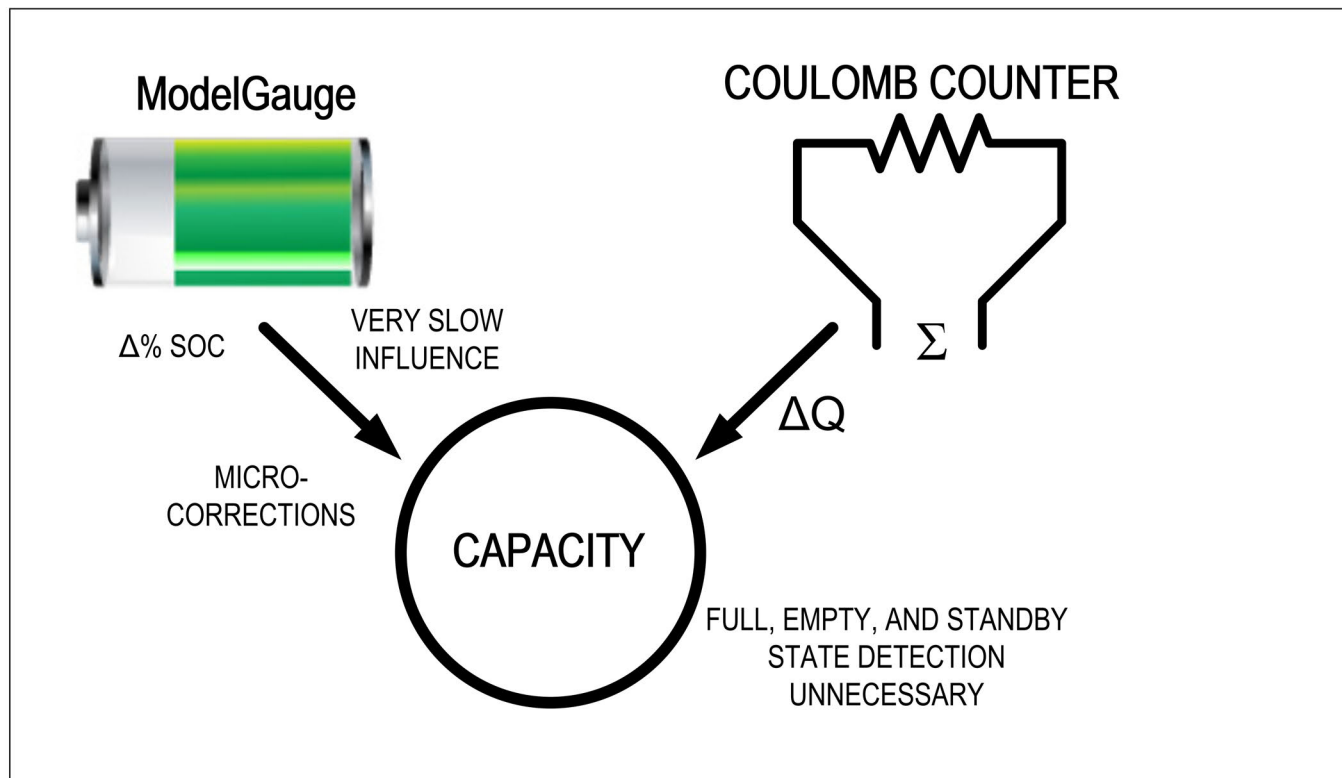


図 14. クーロン・カウンタと電圧ベース残量ゲージの融合

ModelGauge m5 EZ アルゴリズムはこのバッテリー状態情報を使い、更に温度、バッテリー電流、経年劣化、およびアプリケーション・パラメータを考慮して、システムが使用できるバッテリー残量を決定します。バッテリーがエンプティ状態付近のクリティカルな領域に近付くと、ModelGauge m5 EZ アルゴリズムは、あらゆる誤差を除去する特別な誤差補正メカニズムを起動します。

ModelGauge m5 EZ アルゴリズムは、独立した学習ルーチンを通じ、セルとアプリケーションに合わせて継続的に調整を行います。セルの経年劣化に合わせて容量変化がモニタされて更新され、電圧に対する残量ゲージの応答もアプリケーション内でのセル電圧挙動に基づいて調整されます。

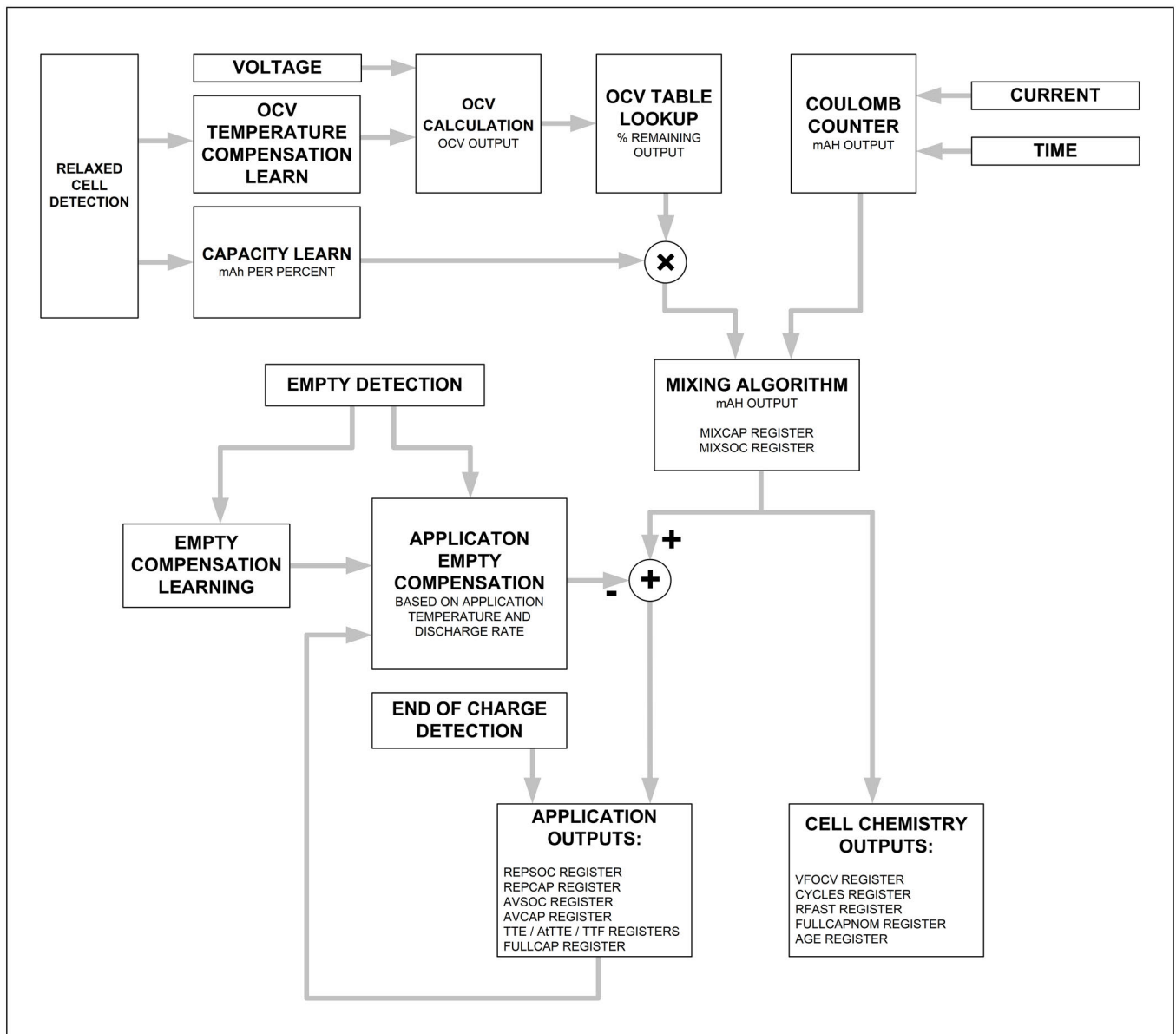


図 15. ModelGauge m5 EZ のブロック図

ウェイクアップ／シャットダウン

動作モード

MAX17335 は、表 9 に示すように、6 つのパワー・モード（3 つがアクティブ・モード、3 つがシャットダウン・モード）をサポートします。表では、各モードで使用できる機能、各モードの代表的な消費電流、各モードを開始および終了する方法について説明しています。

表 9. 動作モード

モード	記号	消費電流 (代表値) (μA)	説明
Active	IQ _A	35	フル機能。保護 FET、チャージ・ポンプ、ADC がオン。タスクは 351ms ごとに実行されます。
Hibernate (optional)	IQ _H	21	FET、チャージ・ポンプ、ADC がオン。タスクは 1.4s ごとに実行されます。有効化されている場合、デバイスは電流測定値に応じて自動的にこのモードの開始と終了を行います。休止モードに入るには、十分に長い時間、十分に小電流である必要があります。終了するのに必要なのは十分に大きな電流イベントが一回生じることだけです。スレッシュホールドの詳細については、 nHibCfg レジスタの定義を参照してください。
Protected and Awake	IQ _P	11	ADC はオン。FET およびチャージ・ポンプは、保護フォルトが原因で無効化されており、バッテリーはシステムから切り離されています。RAM は保存され、ゲージはバッテリーのモニタを続けます。ファームウェアはウェイクアップしたままであり、通信を行ったりバッテリーを有効化したりできる準備ができています。ファームウェアは 1.4s ごとに実行されます。
Ship*	IQ _S	11	「保護されウェイクアップしている」と同じ状態ですが、チャージャ接続、通信ウェイクアップ、またはプッシュボタン・ウェイクアップ（設定により有効化されているウェイクアップに依存）などのウェイクアップ・イベントをファームウェアが担っている点が異なります。ファームウェアは 1.4s ごとに実行されます。
		8	「保護されウェイクアップしている」と同じ状態ですが、チャージャ接続、通信ウェイクアップ、またはプッシュボタン・ウェイクアップ（設定により有効化されているウェイクアップに依存）などのウェイクアップ・イベントをファームウェアが担っている点が異なります。ファームウェアは 5.625s ごとに実行されます。
DeepShip1*	IQ _{DS}	0.5	FET、チャージ・ポンプ、ADC、ファームウェアはすべて、シャットダウン状態になります。動作しているアクティビティは、ウェイクアップ条件（チャージャ検出、通信、またはプッシュボタン、どれが有効化されているかに依存）をモニタするアナログ回路に関係するものだけになります。
DeepShip2*/ Undervoltage Shutdown	IQ _{UV}	0.5	FET、チャージ・ポンプ、ADC、ファームウェア、およびほとんどのウェイクアップ回路はパワーダウンされます。このモードでは、チャージャ検出ウェイクアップ回路のみが給電され、わずかな残存バッテリー容量を最適な状態で保存し、ディープ放電を防止します。

*I²C SHIP コマンド (Config.SHIP = 1 と設定) または I²C SCL/SDA ラインが破綻した場合（および COMMSH が有効かどうかに関係なく）、MAX17335 は、設定に従い、Ship (nProtCfg.DeepShpEn = 0 の場合) または DeepShip (nProtCfg.DeepShpEn = 1 の場合) または DeepShip2 (nProtCfg.DeepShp2En = 1 の場合) のいずれかになります。

表 10. MAX17335 の出荷モード

	ENTER	WAKEUP	FUNCTIONALITY	nProtCfg. DeepShipEn	nProtCfg. DeepShip2En
8μA Ship	Config.SHIP or SDA- collapse	I2C, Pushbutton, or Charge Source	5.6s Measurements/ Updates	0	0
0.5μA DeepShip			No updates	1	0
0.5μA DeepShip2		Charge Source		1	1
0.5μA UVShdn	VCell < UVShdn			X	X

MAX17335 は、設定に応じ、様々な方法でウェイクアップできます。プッシュボタン・ウェイクアップが有効な場合（nConfig.PBen = 1）、プッシュボタンまたはシステム設定によって ALRT/PIO ピンを継続的にローにプルダウンすると、デバイスがウェイクアップします。いずれかの通信ラインでハイからローへの遷移があると、デバイスがウェイクアップします。充電ソースに継続的に接続すると、デバイスがウェイクアップします。

MAX17335 は、システムを梱包して出荷する際に誤ってウェイクアップしないようになっています。どの原因でウェイクアップした場合でも、確実にウェイクアップが行われるよう、すべてのウェイクアップ・ソース（ボタン、通信、チャージャ検出）に対しバウンス防止が施されます。有効なウェイクアップが確認されなかった場合、デバイスは Ship または DeepShip に戻ります。

アクティブ、休止、出荷の各モードでの I_Q は、IC の設定によって影響されます。[[推奨する nHibCfg の設定値と I_Q への影響]]には、nConfig レジスタの推奨設定値と、それらの設定値が各モードの I_Q に与える影響が示されています。なお、休止モードの場合、加熱および過電圧に対する保護は、nHibCfg.HibScalar の値だけ遅延します。nHibCfg.HibScalar を 1.4 秒より大きな値にした状態で休止モードを有効化することは、推奨しません。

表 11. 推奨する nHibCfg の設定値と I_Q への影響

AVAILABLE LOW POWER CONFIGURATION	nHibCfg	FETS- OFF SHIP I _Q (μ A)	FETS-ON MODES	UPDATE RATE		NOTES
			ACTIVE/ HIBERNATE I _Q (μ A)	ACTIVE (s)	SHIP (s)	
1.4s Ship	0x0909	10	24/NA	0.351	1.4	—
1.4s Ship + Hibernate	0x8909	10	24/18	0.351	1.4	Overtemperature and overvoltage detection is delayed by 1.4s when in hibernate mode.
5.625s Ship	0x090B	7	24/NA	0.351	5.625	—

パワー・モードの遷移状態図

図 16 に、デバイスに可能なすべての動作モードとの間でデバイスがどのように遷移するかを図示します。

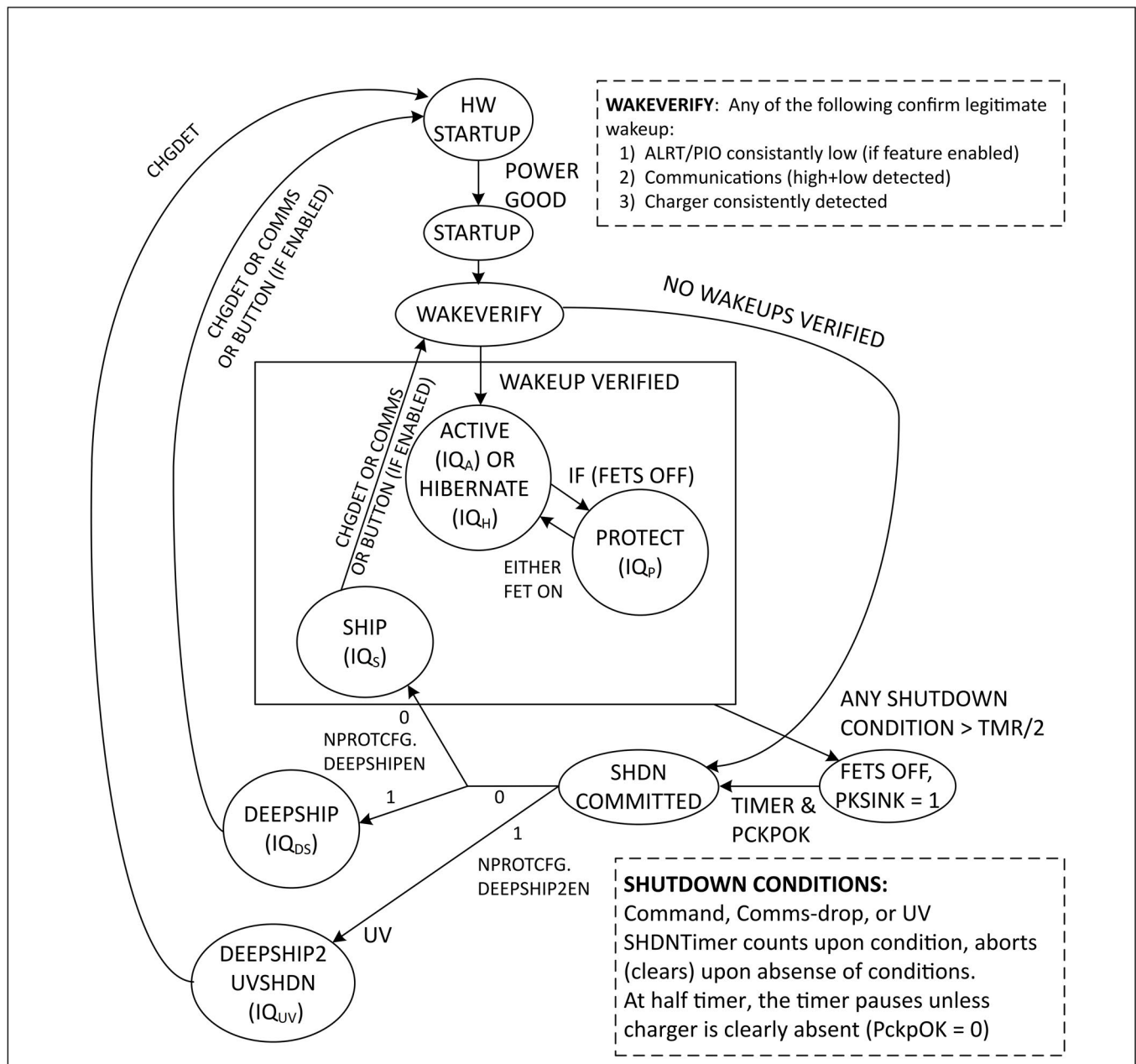


図 16. パワー・モードの遷移状態図

プッシュボタン・ウェイクアップ

ALRT/PIO ピンを使用すると、nConfig.PBen を設定してプッシュボタン・ウェイクアップ機能を有効化し、デバイスをウェイクアップできます。プッシュボタンの回路図に示すように、プッシュボタンをシステムに実装することでデバイスおよびシステムをウェイクアップできます。

アプリケーション情報

部品の選択

MAX17335 には、以下の固定部品があります。これらはすべての設計において同じままであることが必要です。記載されている電圧定格は最小の値です。これより高い定格を使用することはできますが、コンデンサのディレーティングを最小限に抑える必要があります。下付き文字は、部品を接続するピンの名前を示しています。標準アプリケーション回路図を参照してください。

表 12. MAX17335 の標準的な部品

COMPONENT	VALUE	MINIMUM RATING	NOTES
R _{BATT}	10Ω	—	Must match RC time with R _{PCKP} . Power rating should be sized with R _{ZVC} . If Zero-Volt charging is not used, use 1mA rating.
C _{BATT}	0.1μF	5V	Must match RC time with C _{PCKP} .
R _{PCKP}	1kΩ	—	Low Current. RC time matching is helpful for supplement mode detection.
C _{PCKP}	1nF	10V	This node can be exposed to higher voltage. A higher voltage capacitor can be used.
C _{CP}	0.1μF	10V	—
C _{REG2}	0.47μF	5V	—
R _{CHG}	5kΩ	—	—
C _{CHG}	22nF	—	—
R _{DIS}	1kΩ	—	Lower resistance can be used for faster DIS response. 0Ω is acceptable. Higher resistance increases FET Turn Off switching time.

センス抵抗

センス抵抗の選択は、MAX17335 の動作にとって極めて重要です。充電電流と保護電流の範囲および分解能は、容量の範囲および分解能と同様、センス抵抗によって決まります。表 13 に、センス抵抗に基づいたレギュレーション電流の範囲の目安を示します。電流範囲は、定電流レギュレーションのために選択する必要があります。ターミネーション電流は充電電流範囲未満とすることが可能です。管理された DC-DC アプリケーションでは、CHG/DIS FET で発生する熱が大幅に少ないため、センス抵抗を小さくし電流を大きくすることができます。DC 電圧入力が入力され、サーマル・バジェットが大きいアプリケーションでは、記載された範囲より大きな電流が可能です。最大の電流範囲については、nlChgCfg1/2 レジスタを参照してください。固定 DC アプリケーションでは、低セル電圧の場合、MAX17335 は、セル電圧が高くなり CC モードに入れるようになるまで、定電力モードで安定化を行うことができます。熱限界については、表 19 を参照してください。

表 13. センス抵抗の選択

CHARGE SOURCE	R _{SENSE} (mΩ)	CHARGE CURRENT RANGE (mA)
Managed DC-DC or Switching Charger	2	1850—17500
Managed DC-DC or Switching Charger	5	740—7000
Managed DC-DC or Switching Charger	10	185—3500
5V or USB	10	185—2331
5V or USB	20	92.5—1166
5V or USB	50	37—466
5V or USB	100	18.5—233
5V or USB	200	9.25—117
5V or USB	500	3.7—47

充電 FET および保護 FET

センス抵抗の選択後、システム設計にとって次に重要となる部品選択は、FET の選択です。MAX17335 は、FET ドライバの入力として、電圧ダブル・チャージ・ポンプを用います。この設計では、CHG FET の V_{GS} は常に V_{Cell} に等しくなります。FET の V_{TH} は、低電圧バッテリーから FET をオンにし安定化できるようにするために、低い値であることが必要です。 $V_{TH} < 2V$ を推奨します。

CHG FET の V_{DS} (もしくはデュアル FET の V_{SS}) は、アプリケーション要件に応じて設定する必要があります。バッテリーが取り外し可能なパック側アプリケーションでは、12V を推奨しますが、20V でも可能です。バッテリーが固定された構成、あるいは MAX17335 がシステム・ボードにインストールされている構成では、 V_{DS} (または V_{SS}) をこれより下げることが可能ですが、最大充電ソース電圧の条件を満たすことが必要です。

MAX17335 はオーミック／線形領域で FET を動作させるため、消費電力は重要な要素の 1 つです。消費電力の低い FET の場合、MAX17335 の HeatLim は、FET を安全動作範囲に維持するために充電電流を減少します。最大充電電流を実現するには、熱定格の良好な FET および PCB 設計が必要です。

$R_{DS(on)}$ およびパッケージ・サイズも、アプリケーション目的には考慮すべき事項となりますが、これらは、MAX17335 の動作によっては重要ではありません。

ESD およびオプション部品

サーミスタは、オプションですが、MAX17335 に関する推奨部品です。サーミスタが MAX17335 でどのように用いられているかについては、nPackCFG.THCfg レジスタのサブフィールドを参照してください。表 109 に、一般的な NTC サーミスタと、それに付随するベータ値および nThermCfg 値を示します。他のサーミスタは表 109 に記載の式に従って用いることができます。もしくはアナログ・デバイセズにお問い合わせください。

標準アプリケーション回路図では、ALRT ピン、SDA ピン、SCL ピンに、直列抵抗とツェナー・ダイオードが示されています。これらのピンが露出しているアプリケーションでは、一定の ESD 保護を追加することが必要です。より強力な保護を行うために、ツェナー・ダイオードに代えて TVS ダイオードを用いることもできます。150Ω の抵抗と 4.7V のツェナー・ダイオードを用いて、IC に損傷を与えることなく ±8kV の接触放電および ±16kV の空気放電に耐えられるかどうかをテストしました。これらの部品は、MAX17335 がシステム・ボードにインストールされている場合は、省略できます。

セカンダリ・プロテクタが MAX17335 とセルの間に接続されている、複数の保護 IC を用いるアプリケーションでは、 R_{ZVC} を配置する必要があります。セカンダリ・プロテクタがゼロボルト充電をブロックする場合には、 R_{ZVC} は正確な計算を必要とせず、セカンダリ・プロテクタが保護されているかシャットダウン状態になっている場合には、それをウェイクアップする電流を供給するだけです (このアプリケーションの場合は 100Ω を使用)。ゼロボルト充電では、 R_{ZVC} は、ゼロボルト充電のセクションで示した式を用いて計算されます。MAX17335 のみをプロテクタとして用い、ゼロボルト充電を行わないアプリケーションでは、 R_{ZVC} は接続しないでください。

レジスタの説明の規則

以下のセクションでは、レジスタ機能およびデバイス動作を説明するためにこのデータシートを通じて用いられている標準的な規則を明確にします。以下のいずれのデータ・フォーマットにも対応しないレジスタは、特別なレジスタとして説明します。

標準的なレジスタ・フォーマット

それぞれのレジスタの説明の中で特に指定のない限り、IC のすべてのレジスタは、レジスタの種類に応じて同じフォーマットに従います。以下で説明するレジスタの分解能と範囲については、表 14 を参照してください。なお、電流と容量の値は、電圧として示されており、アンペアまたはアンペア時を判定するにはセンス抵抗の値で除算する必要があります。ホスト・ソフトウェアで使用するためにセンス抵抗値を格納するには、nRSense (19Ch) レジスタの下位バイトを用いることを強く推奨します。

表 14. ModelGauge レジスタの標準的な分解能

REGISTER TYPE	LSB SIZE	MINIMUM VALUE	MAXIMUM VALUE	NOTES
Capacity	5.0μVh/ RSENSE	0μVh	327.675mVh/ RSENSE	Equivalent to 0.5mAh with a 10mΩ sense resistor.
Percentage	1/256%	0%	255.9961%	1% LSB when reading only the upper byte.
Voltage	78.125μV	0V	5.11992V	—

表 14. ModelGauge レジスタの標準的な分解能（続き）

REGISTER TYPE	LSB SIZE	MINIMUM VALUE	MAXIMUM VALUE	NOTES
Current	1.5625μV/ R _{SENSE}	-51.2mV/ R _{SENSE}	51.1984mV/ R _{SENSE}	Signed 2's complement format. Equivalent to 156.25μA with a 10mΩ sense resistor.
Temperature	1/256°C	-128°C	127.996°C	Signed 2's complement format. 1°C LSb when reading only the upper byte.
Resistance	1/4096Ω	0Ω	15.99976Ω	—
Time	5.625s	0s	102.3984hr	—
Power	8mW/R _{SENSE}	-262W/R _{SENSE}	262W/R _{SENSE}	Signed 2's complement format. Equivalent to 0.8mW with a 10mΩ sense resistor.
Special	—	—	—	Format details are included with the register description.

デバイス・リセット

デバイス・リセットとは、IC が不揮発性メモリの内容を RAM の場所に呼び出し、残量ゲージの動作を再開する原因となる、何らかの条件に関連するものです。デバイス・リセットは、IC の初期パワーアップ、一時的な電源喪失、あるいはソフトウェアのパワーオンリセット・コマンドを通じたリセットを指します。

不揮発性メモリのバックアップおよび初期値

すべての設定レジスタの場所には、不揮発性メモリのバックアップがあり、これは、nNVCfg0、nNVCfg1、nNVCfg2 の各レジスタの制御ビットで有効化できます。有効化されている場合、これらのレジスタは、デバイス・リセット後に、対応する不揮発性メモリのレジスタ値に初期化されます。不揮発性メモリのバックアップが無効化されている場合、レジスタは、代替初期値に復元されます。詳細については、[メモリ](#)のセクションを参照してください。

レジスタの命名規則

レジスタのアドレスは、このデータシートを通じて 000h～1FFh の 9 ビットの内部値で記述されます。これらのアドレスは、8 ビットの外部スレーブ・アドレスおよび 8 ビットのレジスタ・アドレスに変換する必要があります。先頭が「0」の場合は、プライマリのスレーブ・アドレス（デフォルトでは 0x6C）を用いてこのレジスタを読み出す必要があることを示しており、先頭が「1」の場合は、セカンダリのスレーブ・アドレス（デフォルトでは 0x16）を用いてこのレジスタを読み出す必要があることを示しています。詳細については、[メモリ](#)のセクションを参照してください。

例えば nPackCfg のように、小文字の「n」で始まるレジスタ名は、そのレジスタが不揮発性メモリの場所であることを示しています。小文字の「s」で始まるレジスタ名は、そのレジスタが SBS 適合レジスタ・ブロックの一部であることを示しています。

充電レジスタ

充電ステータスおよび設定レジスタ

ChgStat レジスタ (0A3h)

レジスタ・タイプ：特殊

表 15 に示す ChgStat レジスタは、チャージャの制御モードを示します。

表 15. ChgStat (0A3h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Dropout	x	x	x	x	TempID			PreQ	StepID			CP	CT	CC	CV

CV：定電圧モード。充電は ChargingVoltage レジスタによって制御されます。

CC：定電流モード。充電は ChargingCurrent レジスタによって制御されます。

CT：FET 温度制限。Pack+ の電圧が調整可能である場合、FET 温度を下げ充電速度を上げるには電圧を低下させます。

CP：熱制限。Pack+ の電圧が調整可能である場合、CP モードを終了し充電速度を上げるには電圧を低下させます。

StepID : ステップ充電領域を示します。StepID は、充電中に[4,3,2,1,0]の順に進行します。これは、このデータシートの他の場所で説明されている充電ステップ／ステージの説明とは逆です。充電ステップ = 4 - ChgStat.StepID となります。

PreQ : 予備充電モードを示します。予備充電中は PreQ = 1 となります。

TempID : 温度領域を示します。[0 : Room、1 : Warm、2 : Hot、3 : Hot2、-1 : Cool、-2 : Cold1、-3 : Cold2、-4 : TooCold]

Dropout : ドロップアウト飽和の防止。ドロップアウトが検出されると必ず、Status.CA にもアラートが生成されます。PACK+の電圧が調整可能である場合、充電速度を上げるには、アプリケーション・プロセッサは電圧を増加する必要があります。

USB から直接充電する場合、MAX17335 は、ChargingCurrent に示されている電流で充電しようとします。これが USB チャージャの電流制限を超過する場合、USB の出力電圧が低下し、MAX17335 は Dropout モードになります。USB 出力電圧は、バッテリーが CV モードに達するまで、セル電圧およびドロップアウト電圧の関数として増加します。バッテリー電流がターミネーション電流に徐々に近づくに伴い、USB 出力電圧はレギュレーション電圧に戻ります。

nChgCfg0 レジスタ (1C2h)

タイプ : 特殊

nChgCfg0 レジスタは表 16 に示すとおりで、予備充電の電圧と電流、および最小システム電圧を設定します。

表 16. nChgCfg0 レジスタ (1C2h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CVStepDis	BackupEn	0	PreQualVolt				VSysMin			PrechgCurr					

CVStepDis : 定電圧ステップを無効化。nStepCurr に定義されているように、充電電流は、ある定電流ステップから次の低電流ステップへ、ステップ状に変化します。CVStepDis = 0 となっている場合、ステップ充電のセクションに示すように、各定電流ステップ間に定電圧ステップがあります。CVStepDis = 1 と設定すると、各充電ステップ間の定電圧ステップが無効化されます。

BackupEn : バックアップバッテリー・アプリケーション・モード。BackupEn = 1 と設定すると、バックアップバッテリー・アプリケーション・モードが有効化されます。バックアップバッテリー・アプリケーション・モードでは、メインのバッテリー電圧（バックアップ MAX17335 の PCKP で測定）がバックアップバッテリー電圧（バックアップ MAX17335 の BATT で測定）より 0.6V 低い値に低下するまで、MAX17335 は放電を行わないようにします。

PreQualVolt : 予備充電電圧を設定します。予備充電電圧 = $UVP + \text{PreQualVolt} \times 50\text{mV}$ 、PreQualVolt の範囲は、 $UVP \sim UVP + 750\text{mV}$ です。

PreChgCurr : ChargingCurrent レジスタのプリチャージ電流を設定します。プリチャージ電流は次のように計算できます。

$\text{PreChargeCurrent} = \text{nIChgCfg1.RoomChargingCurrent} \times ((1 + \text{PreChgCurr})/256)$ 、 $\text{RoomChargingCurrent}/256 \sim \text{RoomChargingCurrent}/4$ の範囲の最も近い QScale に丸めます。

VSysMin : 充電ソースが過負荷になり、出力電圧を保持できない場合、最小システム電圧は、セル電圧が VSysMin に達するまで DIS FET をオフに保持して、PACK+の電圧を増加させます。システム最小電圧は、Vempty を基準とし、100mV ステップで $V_{\text{empty}} + 0.2\text{V} \sim V_{\text{empty}} - 0.4\text{V}$ の範囲で設定できます。VSysMin の推奨設定値は、3.4V 以下です。充電中に余分な熱が発生するためです。この機能を無効化するには 0 に設定します。

表 17. VSysMin の設定

SETTING	VSysMin VALUE
0	Disabled
1	$V_{\text{empty}} + 0.2\text{V}$
2	$V_{\text{empty}} + 0.1\text{V}$
3	V_{empty}
4	$V_{\text{empty}} - 0.1\text{V}$
5	$V_{\text{empty}} - 0.2\text{V}$
6	$V_{\text{empty}} - 0.3\text{V}$
7	$V_{\text{empty}} - 0.4\text{V}$

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

nChgCfg1 レジスタ（1CBh）

タイプ：特殊

nChgCfg1 レジスタは表 18 に示すとおりで、チャージャの熱パラメータおよび温度パラメータを設定します。

表 18. nChgCfg1（1CBh）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
HeatLim						FetLim					FetTheta				

HeatLim：予備充電のレギュレーション時に保護 FET での放熱を制限するには、HeatLim を設定します。HeatLim は、10mΩ の R_{SENSE}（発熱 = I × V）に従って、25.5mW ステップで 25.5mW～3264mW の範囲で設定します。実効的な消費電力制限値は(HeatLim) × 25.5mW です。その他のセンス抵抗については、表 19 を参照してください。

表 19. 様々なセンス抵抗に対する HeatLim の範囲と分解能

SENSE RESISTOR (mΩ)	MIN (mW)	MAX (mW)	STEP (mW)
5	51	6528	51
10	25.5	3264	25.5
20	12.75	1632	12.75
50	5.1	652.8	5.1
100	2.55	326.4	2.55
200	1.275	163.2	1.275

FetTheta：FetTheta は、充電時に DieTemp と Thermistor 2 を観測するだけで実際のジャンクション温度を計算するために用いられます。FET のジャンクション温度は、次式で計算できます。

$$FETTemp = TH2_Temp + (TH2_Temp - DieTemp) \times FetTheta$$

FetTheta の設定範囲は、0.125 ステップで 0～3.875 です。FetTheta はスカラであり、単位はありません。PFail ピンを用いる場合、または Thermistor 2 を用いない場合、DieTemp は FET 温度として使用されます。

FETLim：充電時の FET 温度を制限するには、FETLim を用います。範囲は、4℃ の lsb で 75℃～135℃ です。

nChgCfg2 レジスタ（1E4h）

レジスタ・タイプ：特殊

nChgCfg2 レジスタは、再充電動作やその他の予約済み機能を設定します。nChgCfg2 に対するデフォルトの工場設定値は 0x1800 です。表 20 にこのレジスタのフォーマットを示します。

表 20. nChgCfg2 レジスタ（0x1E4h）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
ResumeThr		0	1	1	0	0	0	Reserved (0000)			Reserved (00)		0	SocResumeEn	

SocResumeEn：SocResumeEn = 1 と設定すると、充電を再開するためのプログラマブルなスレッシュホールドとして RepSOC を用います。SocResumeEn = 0 と設定すると、充電を再開するためのプログラマブルなスレッシュホールドとして VFOCV を用います。

ResumeThr：充電再開スレッシュホールド。ResumeThr = 0 と設定すると、充電再開機能が無効化されます。ResumeThr がゼロ以外の値の場合、スレッシュホールドに達すると Full がリリースされます。

SocResumeEn が 0 で VFOCV が(VFOCVFull – ResumeThr × 0.020V)未満の場合、充電が再開されます。VFOCVFull は、充電終了時に記録された VFOCV の値です。表 21 に示すように、20mV、40mV、60mV のチャージャ再開スレッシュホールドが使用できます。

SocResumeEn が 1 の場合、表 21 に示すように、RepSOC が 98%、95%、92%を下回るとチャージャは充電を再開します。

表 21. 再開スレシヨルドの設定

	ResumeThr SETTING	0	1	2	3
SocResumeEn = 0	VFOCV as threshold	Disable resume charging	20mV	40mV	60mV
SocResumeEn = 1	RepSOC as threshold	Disable resume charging	98%	95%	92%

充電設定レジスタ

ChargingVoltage および ChargingCurrent は、ターゲット充電電圧および電流の計算値を表示します。これには、プログラム済みの充電電圧および電流、バッテリー温度に応じた充電の調整、ステップ充電が含まれます。

ChargingVoltage レジスタ (02Ah)

レジスタ・タイプ: 電圧

不揮発性メモリのバックアップ: なし

ChargingVoltage レジスタは、ターゲットの充電電圧を報告します。このレジスタは、温度領域および充電ステップに基づき、IC によって自動的に更新されます。ただし、Config.ManChg = 1 と設定することで充電電圧の手動制御を有効化できます。この場合、ホストは目的の充電電圧を ChargingVoltage レジスタに直接書き込むことができます。

ChargingCurrent レジスタ (028h)

レジスタ・タイプ: 電流

不揮発性メモリのバックアップ: なし

ChargingCurrent レジスタは、ターゲットの充電電流を報告します。このレジスタは、温度領域および充電ステップに基づき、IC によって自動的に更新されます。ただし、Config.ManChg = 1 と設定することで充電電流の手動制御を有効化できます。この場合、ホストは目的の充電電流を ChargingCurrent レジスタに直接書き込むことができます。

nIChgTerm レジスタ (1C1h)

レジスタ・タイプ: 電流

不揮発性メモリ復元: IChgTerm (01Eh) (nNVCfg0.enICT がセットされている場合)

代替初期値: nFullCapNom レジスタの値の 1/3 (C/9.6 に対応)

nIChgTerm レジスタにより、セルの充電サイクルが終了したことをデバイスが検出できます。nIChgTerm は、アプリケーションで用いる正確な充電ターミネーション電流にプログラムする必要があります。以下の条件がすべて満たされると、デバイスは充電終了を検出します。

- VFOCV > FullOCVThr
- 電流 < IChgTerm
- AvgCurrent < IChgTerm
- FullTimer の時間が経過

詳細については[充電終了](#)のセクションを参照してください。

nVChgCfg1 レジスタ (1CCh) および nVChgCfg2 レジスタ (1CDh)

[表 22](#) および [表 23](#) に示す nVChgCfg1 レジスタおよび nVChgCfg2 レジスタは、MAX17335 の JEITA 充電電圧設定を設定します。JEITA 充電電圧は、ChargingVoltage レジスタを計算するために用いられ、また、過電圧保護スレシヨルドを決定するために用いられます。これらの値は、nNVCfg1.enJP 設定の状態とは無関係に適用されます。

nDesignCap.VScale は、RoomChargeVoltage の中心電圧 (4.2V または 3.7V) およびステップ・サイズ (5mV または 10mV) を決定します。それ以外の充電電圧は、温度に基づいて RoomChargeVoltage を基準に設定されます。

温度依存性を無効化して温度範囲全体を通じフラットな充電電圧とするには、必要に応じて RoomChargeVoltage を設定し、その他の設定値を 0x0 にします。

表 22. nVChgCfg1 レジスタ (1CCh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WarmChargeVolt				RoomChargeVolt								CoolChargeVolt			

表 23. nVChgCfg2 レジスタ (1CDh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Hot2ChargeVolt				Hot1ChargeVolt				Cold1ChargeVolt				Cold2ChargeVolt			

RoomChargeVolt : 図 9 に示すように、室温領域およびステップ 4 (最高充電電圧) での公称室温充電電圧を設定します。
RoomChargeVoltage は符号付きの値です。nDesignCap.VScale は、中心電圧 (CV) とステップ・サイズを決定します。

nDesignCap.VScale = 0 --> CenterVoltage = 4.2V, StepSize = 5mV

nDesignCap.VScale = 1 --> CenterVoltage = 3.7V, StepSize = 10mV

各温度領域の充電電圧は、以下の式で計算されます。

$\text{RoomChgVolt} = \text{CV} + (\text{RoomChargeVolt} \times \text{StepSize})$

$\text{WarmChgVolt} = \text{CV} + ((\text{RoomChargeVolt} - \text{WarmChargeVolt}) \times \text{StepSize})$

$\text{Hot1ChgVolt} = \text{CV} + ((\text{RoomChargeVolt} - \text{WarmChargeVolt} - \text{Hot1ChargeVolt}) \times \text{StepSize})$

$\text{Hot2ChgVolt} = \text{CV} + ((\text{RoomChargeVolt} - \text{WarmChargeVolt} - \text{Hot1ChargeVolt} - \text{Hot2ChargeVolt}) \times \text{StepSize})$

$\text{CoolChgVolt} = \text{CV} + ((\text{RoomChargeVolt} - \text{CoolChargeVolt}) \times \text{StepSize})$

$\text{Cold1ChgVolt} = \text{CV} + ((\text{RoomChargeVolt} - \text{CoolChargeVolt} - \text{Cold1ChargeVolt}) \times \text{StepSize})$

$\text{Cold2ChgVolt} = \text{CV} + ((\text{RoomChargeVolt} - \text{CoolChargeVolt} - \text{Cold1ChargeVolt} - \text{Cold2ChargeVolt}) \times \text{StepSize})$

nIChgCfg1 レジスタ (1CEh) および nIChgCfg2 レジスタ (1CFh)

表 24 および表 25 に示す nIChgCfg1 レジスタおよび nIChgCfg2 レジスタは、図 10 に示す温度ゾーン全体にわたり、最大充電電流を設定します。各充電電流は、nDesignCap.QScale の値でスケールリングされます。

温度依存性を無効化して温度範囲全体を通じフラットな充電電流とするには、必要に応じて RoomChargeCurr を設定し、その他のスレッシュホールドを 0 にします。

表 24. nIChgCfg1 レジスタ (1CEh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WarmChargeCurr					RoomChargeCurr						CoolChargeCurr				

表 25. nIChgCfg2 レジスタ (1CFh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Hot2ChargeCurr				Hot1ChargeCurr				Cold1ChargeCurr				Cold2ChargeCurr			

nDesignCap.QScale は、nDesignCap のセクションに示すようにステップ・サイズを決定します。

各温度領域の充電電流および StepCurr0 (最大充電電流) は、以下の式で計算されます。

$\text{RoomChgCurr} = (\text{RoomChargeCurr} + 1) \times \text{StepSize}$

$\text{WarmChgCurr} = (\text{RoomChargeCurr} + 1 - \text{WarmChargeCurr}) \times \text{StepSize}$

$\text{Hot1ChgCurr} = (\text{RoomChargeCurr} + 1 - \text{WarmChargeCurr} - \text{Hot1ChargeCurr}) \times \text{StepSize}$

$\text{Hot2ChgCurr} = (\text{RoomChargeCurr} + 1 - \text{WarmChargeCurr} - \text{Hot1ChargeCurr} - \text{Hot2ChargeCurr}) \times \text{StepSize}$

$\text{CoolChgCurr} = (\text{RoomChargeCurr} + 1 - \text{CoolChargeCurr}) \times \text{StepSize}$

$\text{Cold1ChgCurr} = (\text{RoomChargeCurr} + 1 - \text{CoolChargeCurr} - \text{Cold1ChargeCurr}) \times \text{StepSize}$

$\text{Cold2ChgCurr} = (\text{RoomChargeCurr} + 1 - \text{CoolChargeCurr} - \text{Cold1ChargeCurr} - \text{Cold2ChargeCurr}) \times \text{StepSize}$

nStepCurr レジスタ（1C4h）および nStepVolt レジスタ（1C5h）

表 26 および表 27 に示す nStepCurr レジスタおよび nStepVolt レジスタは、図 2 に示すように、ステップ充電の規定を定義します。

ステップ充電を完全に無効化するには、nStepCurr = 0000h および nStepVolt = 0000h に設定します。更に、いずれのステップも、対応ニブルを 0 に設定することによって無効化できます。

充電はステップ 0 から始まります（StepCurr0 が最大充電電流、StepVolt0 が最低充電電圧です）。セル電圧がフル電圧に向けて進行するに伴い、ステージはステップ 4 へと進みます（ステップ 0->1->2->3->4）。各ステップの電流は、最大電流から最小電流に向けて変化し、充電電圧は最高充電電圧に向けて増加します。

表 26. nStepCurr レジスタ（1C4h）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
StepCurr4				StepCurr3				StepCurr2				StepCurr1			

StepCurr1 のステップ・サイズは、nDesignCap.QScale の値の 2 倍です。StepCurr2/3/4 のステップ・サイズは、nDesignCap.QScale の値です。

各ステップの充電電流は、以下の式で計算されます。

$$\text{ChargingCurrent}[\text{Step0}][\text{Room}] = (\text{RoomChargeCurr} + 1) \times \text{Qscale} \quad //(\text{Highest Current})$$

$$\text{ChargingCurrent}[\text{Step1}][\text{Room}] = (\text{RoomChargeCurr} + 1 - \text{StepCurr1} \times 2) \times \text{Qscale}$$

$$\text{ChargingCurrent}[\text{Step2}][\text{Room}] = (\text{RoomChargeCurr} + 1 - \text{StepCurr1} \times 2 - \text{StepCurr2}) \times \text{Qscale}$$

$$\text{ChargingCurrent}[\text{Step3}][\text{Room}] = (\text{RoomChargeCurr} + 1 - \text{StepCurr1} \times 2 - \text{StepCurr2} - \text{StepCurr3}) \times \text{Qscale}$$

$$\text{ChargingCurrent}[\text{Step4}][\text{Room}] = (\text{RoomChargeCurr} + 1 - \text{StepCurr1} \times 2 - \text{StepCurr2} - \text{StepCurr3} - \text{StepCurr4}) \times \text{Qscale}$$

表 27. nStepVolt レジスタ（1C5h）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
StepVolt0				StepVolt1				StepVolt2				StepVolt3			

各電圧ステップのステップ・サイズおよび CenterVoltage（CV）は、nDesignCap.VScale の値で定義されます。各ステップの充電電圧は、以下の式で計算されます。

$$\text{ChargingVoltage}[\text{Step0}][\text{Room}] = \text{CV} + ((\text{RoomChargeVolt} - \text{StepVolt3} - \text{StepVolt2} - \text{StepVolt1} - \text{StepVolt0}) \times \text{Vscale})$$

$$\text{ChargingVoltage}[\text{Step1}][\text{Room}] = \text{CV} + ((\text{RoomChargeVolt} - \text{StepVolt3} - \text{StepVolt2} - \text{StepVolt1}) \times \text{Vscale})$$

$$\text{ChargingVoltage}[\text{Step2}][\text{Room}] = \text{CV} + ((\text{RoomChargeVolt} - \text{StepVolt3} - \text{StepVolt2}) \times \text{Vscale})$$

$$\text{ChargingVoltage}[\text{Step3}][\text{Room}] = \text{CV} + ((\text{RoomChargeVolt} - \text{StepVolt3}) \times \text{Vscale})$$

$$\text{ChargingVoltage}[\text{Step4}][\text{Room}] = \text{CV} + (\text{RoomChargeVolt} \times \text{Vscale}) \quad //(\text{Highest Voltage})$$

nFullCfg レジスタ（0x1B5h）

出荷時のデフォルト値：4785h

表 28 に示す nFullCfg レジスタは、充電の終了（充電終了および RepSOC = 100%）およびチャージャ再始動の検出をゲート制御するフル OCV スレッシュホールドを設定します。

充電の終了およびフルの検出が生じるのは、以下の条件がすべて満たされた場合です。

- VFOCV > FullOCVThr
- 電流 < IChgTerm
- AvgCurrent < IChgTerm
- FullTimer の時間が経過

詳細については、nIChgTerm レジスタの説明、および充電終了の検出のセクションを参照してください。充電再始動スレッシュホールドは、新たな充電が再始動する前の放電時にセル電圧が下回るべきスレッシュホールドを設定します。更に、充電終了時にオープン・サーキット電圧が nChgCfg2.RechgTh を VFOCV 未満に低下させた場合（選択され有効化されている場合）、または RepSOC が nChgCfg.RechgTh 設定値未満に低下した場合（選択され有効化されている場合）、チャージャは放電が検出される前に自動再始動します。

特性をカスタマイズしたほとんどのアプリケーションに推奨される nFullCfg.FullOCV レジスタ設定値は、充電電圧を 50mV 下回る値です（nFullCfg = 0x4275）。特性評価を行わない EZ 性能に対しては、ChargingVoltage より 150mV 下回る値に設定して（nFullCfg = 0x4785）、実質的に機能を無効化することを推奨します。

表 28. nFullCfg レジスタ (0x1B5h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RestartThreshold		Reserved	0	FullOCV									1	0	1

RestartThreshold : ProtStatus.Full ビットをクリアするには、放電の間に、VCell が 5.625 秒以上、充電再始動スレッシュホールド未満に低下しなくてはなりません。これによって、充電ソースが再接続された場合に充電を再始動できます。充電再始動スレッシュホールドは、現在の温度での最終充電電圧ステップを基準とします。

注：無効化されている場合 (00b 設定)、ProtStatus.Full ビットは、nChgCfg2.ResumeThr に達するまでクリアされません。

$$\text{Charge Restart Threshold} = \text{FinalStepChargingVoltage} - (\text{RestartThreshold} \times 25\text{mV})$$

表 29. 充電再始動スレッシュホールドの設定

RESTART THRESHOLD	SETTING
00b	Disabled
01b	25mV
10b	50mV
11b	75mV

FullOCV : FullOCV スレッシュホールドは、現在の温度範囲におけるステップ 4 の ChargingVoltage を基準とします。FullOCV は、分解能が 0.625mV、範囲が 320mV の正の数です。これは、ChargingVoltage を基準とする負のオフセットに変換されます。FullOCV スレッシュホールドは、次のように計算されます。

$$\text{FullOCVThreshold} = \text{nVChgCfg1/2.ChargingVoltage[Temperature]} - ((\text{FullOCV} + 1) \times 0.625\text{mV})$$

nAgeChgCfg レジスタ (0x1B9h)

出荷時のデフォルト値：0000h

表 30 に示す nAgeChgCfg レジスタは、経年劣化に基づく、充電電圧および充電電流のディレーティングを設定します。

表 30. nAgeChgCfg レジスタ (0x1B9h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
End		ndCurrAge				ndVAge				ndCycles				Begin	

Begin : 経年劣化によるディレーティングを開始するまでの遅延。Begin は、ChargingVoltage および ChargingCurrent のディレーティングを開始するまでに ndCycles に含まれる遅延の量を定義します。

例：Begin = 2、ndCycles = 50 の場合、ChargingVoltage および ChargingCurrent は $2 \times 50 = 100$ サイクル後にディレーティングを開始します。したがって、ChargingVoltage および ChargingCurrent は次のようになります。

$$\text{ChargingVoltage} = \text{ChargingVoltage} - \text{ndVAge} \times \text{int}[\max((\text{Cycles}/\text{ndCycles}) - \text{Begin}, 0)]$$

$$\text{ChargingCurrent} = \text{ChargingCurrent} - (\text{ndCurrAge} \times \text{QScale})/2 \times \text{int}[\max((\text{Cycles}/\text{ndCycles}) - \text{Begin}, 0)]$$

End : End は、ChargingVoltage および ChargingCurrent の最終的な値に達するまでのディレーティング・ステップを定義します。

$$\text{FinalStage} = \text{int}((\text{End} + 4) \times 4) \gg \text{int}(\log_2(\text{ndVAge}/5))$$

$$\text{Cycles FinalStage} = \text{FinalStage} \times \text{ndCycles}$$

$$\text{ChargingVoltage FinalStage} = \text{FinalStage} \times \text{ndVAge}$$

$$\text{ChargingCurrent FinalStage} = \text{FinalStage} \times \text{ndCurrAge} \times \text{QScale}/2$$

$$\text{Final ChargingV} = \text{ChargingV}(\text{Temp}, \text{Step}) - \text{FinalStage} \times \text{ndVAge} \quad \text{Final ChargingC} = \text{ChargingC}(\text{Temp}, \text{Step}) - \text{FinalStage} \times \text{ndCurrAge} \times \text{QScale}/2$$

ndVAge : 電圧のディレーティング・レートを定義します。範囲は 5mV~75m、ステップは 5mV です。0 は経年劣化によるディレーティング機能を無効化します (ndCurrAge がゼロでない場合でも)。

ndCurrAge : 電流のディレーティング・レートを定義します。(0–15 × QScale) ステップは 1 × QScale です (QScale はデフォルトで 3 になるよう設定されています。これは電流のステップ・サイズが $20 \times (10/R_{Sense})$ であることを意味します) (表 74 を参照)。また、これは、nDesignCap レジスタの D3: VScale、D2-D0: QScale で読み出すこともできます。

ndCycles : 電圧および電流のディレーティング・サイクル・ステップ。nNVCfg2.FibScl 設定に応じて、ndCycles には異なるオプションがあります。

表 31. ndCycles の設定

nNVCfg2.FibScl	ndCycles SETTING
0	[6.25,12.5,18.75,...100]
1	[12.5,25,37.5,...200]
2	[25,50,...400]
3	[50,100,...800]

最終的な式 :

最終的に、電圧および電流のディレーティングは、次の 2 つの式に基づきます。

$$\text{ChargingCurrent} = \text{ChargingCurrent} - (\text{ndCurrAge} \times \text{QScale}) / 2 \times \text{int}[\max((\text{Cycles} / \text{ndCycles}) - \text{Begin}, 0)]$$

$$\text{ChargingVoltage} = \text{ChargingVoltage} - \text{ndVAge} \times \text{int}[\max((\text{Cycles} / \text{ndCycles}) - \text{Begin}, 0)]$$

したがって、電圧および電流の最終的なディレーティング曲線はステップ関数です。

End の計算例 :

ndCycles = 50, ndVAge = 35mV, End = 2, dnCurrAge = 1 QScale.

$$\text{int}(\log_2 (\text{ndVAge} / 5)) = \text{int}(\log_2 (35 / 5)) = 2$$

$$\text{FinalStage} = \text{int}((\text{End} + 4) \times 4) \gg 2 = 6$$

ChargingVoltage および ChargingCurrent は、ndCycles ごとに、それぞれ ndVAge および ndCurrAge の値だけディレーティングします。合計で FinalStage (この例の場合は 6) ステップです。

そのため、 $6 \times 5 = 300$ サイクル後、ChargingVoltage および ChargingCurrent はディレーティングを停止し、以下のようになります。

$$\text{Final ChargingV} = \text{ChargingV}(\text{Temp}, \text{Step}) - \text{FinalStage} \times \text{ndVAge} \quad \text{Final ChargingC} = \text{ChargingC}(\text{Temp}, \text{Step}) - \text{FinalStage} \times \text{ndCurrAge} \times \text{QScale} / 2$$

保護レジスタ

電圧保護レジスタ

nUVPrtTh レジスタ (1D0h)

レジスタ・タイプ : 特殊

表 32 に示す nUVPrtTh レジスタは、低電圧保護、ディープ放電状態保護、低電圧シャットダウン・スレッシュホールドを設定します。

表 32. nUVPrtTh レジスタ (1D0h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
UVP						DisUVP	UOCVP					UVShdn			

UVP : 低電圧保護スレッシュホールド。VCell < UVP になると、MAX17335 は放電 FET をオープンにします。UVP は、2.2V~3.46V の範囲の値を 20mV ステップで設定できます。UVP は符号なしの値です。

DisUVP : UVP を無効化。DisUVP = 1 と設定すると、低電圧保護スレッシュホールドのみを無効化します。UOCVP および UVShdn は引き続き通常どおり機能します。DisUVP 機能を用いることで、アプリケーションは、IC の最低電圧である 2.16V まで低下しても動作し続けることができます。

UOCVP：オープン・サーキット低電圧保護スレッシュホールド (SmartEmpty と呼ばれます)。VFOCV < UOCVP になると、MAX17335 は放電 FET をオープンにします。UOCVP は UVP を基準とし、UVP ~ UVP + 1.28V の範囲の値を 40mV ステップで設定できます。無効化するには UOCVP = 0 に設定します。

UVShdn：低電圧シャットダウン・スレッシュホールド。VCell < UVShdn になると、MAX17335 はシャットダウンします。UVShdn は UVP を基準とし、UVP - 0.32V ~ UVP + 0.28V の範囲の値を 40mV ステップで設定できます。なお、これは符号付きの値であり、UVShdn < UVP となるよう、2 の補数形式の負値として設定する必要があります。

nOVPrTh レジスタ (1DAh)

出荷時のデフォルト値：B354h

表 33 に示す nOVPrTh レジスタは、永続的過電圧保護スレッシュホールド、充電検出スレッシュホールド、過電圧保護スレッシュホールド、過電圧保護リリース・スレッシュホールドを設定します。dOVP および dOVPR は、nVChgCfg レジスタで設定される ChargeVoltage を基準とし、分解能は 10mV です。

表 33. nOVPrTh レジスタ (1DAh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
OVPPermFail					dOVP					dOVPR					

dOVP：ChargeVoltage と過電圧保護との差。dOVP は、ChargeVoltage を基準として JEITA 過電圧保護を設定します (nVChgCfg1/2 を参照)。nNVCfg1.enJP が無効化されている場合、OVP 電圧は、すべての温度ゾーンで RoomChargeV から計算されます。これは、分解能が 5mV、範囲が 155mV の正の数です。過電圧保護は、次式で計算されます。

$$\text{OVP} = \text{ChargeVoltage} + \text{dOVP} \times 5\text{mV}$$

dOVPR：過電圧保護と過電圧リリース・スレッシュホールドの差。dOVPR は、過電圧保護設定を基準として過電圧保護リリースを設定します。これは分解能が 5mV の正の数で、OVP を基準とする負のオフセットに変換されます。過電圧保護リリースは次式で計算されます。

$$\text{OVPR} = \text{OVP} - \text{dOVPR} \times 5\text{mV}$$

OVPPermFail：永続的故障 OVP (永続的過電圧保護) スレッシュホールド。永続的故障過電圧保護が発生するのは、いずれかのセル電圧レジスタの読出し値がこの値を超えた場合です。OVPPermFail の範囲は、OVP_thresholdRoom + 40mV ~ OVP_thresholdRoom + 195mV であり、lsb は 5mV です。

電流保護レジスタ

nODSCTh レジスタ (1DDh)

出荷時のデフォルト値：0EAFh

nODSCTh レジスタは、各過電流アラートに対する電流スレッシュホールドを設定します。このレジスタのフォーマットを表 34 に示します。

表 34. nODSCTh レジスタ (1DDh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
OCTH						SCTH					ODTH				

SCTH：短絡スレッシュホールドの設定。0mV ~ -158.72mV の範囲、-5.12mV のステップ・サイズで、短絡スレッシュホールドを設定します。SCTH ビットは、0x1F = 0mV および 0x00 = -158.72mV となるように格納されます。短絡スレッシュホールドは、-158.72mV + (SCTH × 5.12mV) で計算されます。

ODTH：過放電スレッシュホールドの設定。0mV ~ -38.75mV の範囲、-1.25mV のステップ・サイズで、過放電スレッシュホールドを設定します。ODTH ビットは、0x1F = 0mV および 0x00 = -38.75mV となるように格納されます。過放電スレッシュホールドは、-38.75mV + (ODTH × 1.25mV) で計算されます。

OCTH：過充電スレッシュホールドの設定。0mV ~ 39.375mV の範囲、0.625mV のステップ・サイズで、過充電スレッシュホールドを設定します。OCTH ビットは、0x3F = 0mV および 0x00 = 39.375mV となるように格納されます。過充電スレッシュホールドは、39.375mV - (OCTH × 0.625mV) で計算されます。通常、ChargingCurrent は、OCTH 未満に設定する必要があります。ただし、ChargingCurrent の設定が OCTH スレッシュホールドより高い場合 (推奨設定ではありません)、IC は、電流を OCTH スレッシュホールド付近で安定化させるか、低速 OCCP 保護がフォルトをトリガするまで ChargingCurrent 設定値に向けて電流を増加させる可能性があります。

表 35 に、OCTH、SCTH、ODTH について計算したスレッショルドのサンプル値を、ミリボルト単位として示します。センス抵抗が 10mΩ と仮定した、等価な電流スレッショルドも示します。

表 35. OCTH、SCTH、ODTH のサンプル値

	OCTH		SCTH		ODTH	
0x00	39.375mV	3.9375A	-158.72mV	-15.872A	-38.75mV	-3.875A
0x01	38.75mV	3.875A	-153.6mV	-15.36A	-37.5mV	-3.75A
0x02	38.125mV	3.8125A	-148.8mV	-14.848A	-36.25mV	-3.625A
0x04	36.875mV	3.6875A	-138.24mV	-13.824A	-33.75mV	-3.375A
0x08	34.735mV	3.4735A	-117.76mV	-11.776A	-28.75mV	-2.875A
0x10	29.375mV	2.9375A	-76.8mV	-7.68A	-18.75mV	-1.875A
0x14	26.875mV	2.6875A	-56.32mV	-5.632A	-13.75mV	-1.375A
0x18	24.375mV	2.4375A	-35.84mV	-3.584A	-8.75mV	-0.875A
0x1E	20.625mV	2.0625A	-5.12mV	-0.512A	-1.25mV	0.125A
0x1F	20mV	2A	0mV	0.00A	0.0mV	0.00A
0x2F	10mV	1A	—	—	—	—
0x3F	0mV	0A	—	—	—	—

nODSCCf レジスタ (1DEh)

出荷時のデフォルト値：0x4355

nODSCCf レジスタは、短絡、過放電電流、過充電電流の各コンパレータの遅延動作を設定します。レジスタのフォーマットを、表 36 に示します。

表 36. nODSCCf レジスタ (1DEh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	1	X	X	SCDLY				X	1	X	1	OCDLY			

X：ドント・ケア。

SCDLY：短絡遅延。0x0～0xF の範囲に設定すると、短絡検出バウンス防止遅延が 70μs～985μs (70μs + 61μs × SCDLY) の範囲で設定されます。短絡回路のアラートが放電 FET に影響を及ぼすまでには、更に最大 31μs の遅延があります。

OCDLY：過放電および過充電電流遅延。0x1～0xF の範囲に設定すると、過放電／過充電検出バウンス防止遅延が 70μs～14.66ms (70μs + 977μs × OCDLY) の範囲で設定されます。

nIPrtTh1 レジスタ (1D3h) - 過電流保護スレッショルド

レジスタ・タイプ：特殊

表 37 に示す nIPrtTh1 レジスタは、過充電電流保護スレッショルドと仮想抵抗設定値を設定します。上位 10 ビットが過充電電流保護スレッショルドを、下位 5 ビットが仮想抵抗を設定します。保護スレッショルド制限は、電流レジスタの全動作範囲にわたり 50μV の分解能で設定可能です。

表 37. nIPrtTh1 レジスタ (1D3h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
OverChargeCurrent Threshold															00000

OverChargeCurrent：室温での過充電電流保護スレッショルド。過充電電流保護が発生するのは、電流レジスタの読出し値がこの値を超えた場合です。このフィールドは、符号のない 50μV の分解能です (10mΩ のセンス抵抗を使用する場合は 5mA の分解能)。nNVCfg1.enJP = 0 の場合、OverChargeCurrent は全温度領域にわたりフラットです。nNVCfg1.enJP = 1 の場合、OverChargeCurrent は、以下に示すように、nIChgCfg1 および nIChgCfg2 の充電電流設定に基づき、温度領域ごとに更新されます。

$$\text{Cold2OverChargeCurrent} = \text{OverChargeCurrent} \times (\text{Cold2ChgCurr}/\text{RoomChargeCurr})$$

$$\text{Cold1OverChargeCurrent} = \text{OverChargeCurrent} \times (\text{Cold1ChgCurr}/\text{RoomChargeCurr})$$

$$\text{CoolOverChargeCurrent} = \text{OverChargeCurrent} \times (\text{CoolChgCurr}/\text{RoomChargeCurr})$$

$$\text{RoomOverChargeCurrent} = \text{OverChargeCurrent}$$

$$\text{WarmOverChargeCurrent} = \text{OverChargeCurrent} \times (\text{WarmChgCurr}/\text{RoomChargeCurr})$$

$$\text{Hot1OverChargeCurrent} = \text{OverChargeCurrent} \times (\text{Hot1ChgCurr}/\text{RoomChargeCurr})$$

$$\text{Hot2OverChargeCurrent} = \text{OverChargeCurrent} \times (\text{Hot2ChgCurr}/\text{RoomChargeCurr})$$

$$\text{Cold2OverChargeCurrent} = \text{OverChargeCurrent} \times (\text{Cold2ChgCurr}/\text{RoomChargeCurr})$$

過充電電流のフォルト遅延は、nDelayCfg.OverCurrTimer で設定されます。

nIPrtTh2 レジスタ (1D4h)

レジスタ・タイプ：特殊

表 38 に示す nIPrtTh2 レジスタは、過放電電流保護スレッシュホールド、充電検出スレッシュホールド、低電圧充電ブロッキング・スレッシュホールドを設定します。上位 10 ビットは、過放電電流保護スレッシュホールドを設定します。充電検出スレッシュホールドおよび低電圧充電ブロッキングは、下位ビットで設定されます。保護スレッシュホールド制限は、電流レジスタの全動作範囲にわたり 50μV の分解能で設定可能です。

表 38. nIPrtTh2 レジスタ (1D4h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
OverDischargeCurrent Threshold										ChgDetTh		UVChg			

OverDischargeCurrent：全温度領域にわたる過放電電流保護スレッシュホールド。過放電電流保護が発生するのは、電流レジスタの読出し値がこの値を超えた場合です。このフィールドは、符号のない正の値で、分解能は 50μV です (10mΩ のセンス抵抗を使用する場合は 5mA の分解能)。-3000mA の過放電スレッシュホールドを設定するには、OverDischargeCurrent スレッシュホールドを 3000mA に設定します。

UVChg：低電圧充電ブロッキング機能。この機能を有効化すると、バッテリー電圧が UVChg スレッシュホールド未満に低下した場合に、バッテリーの充電を防止します。UVChg スレッシュホールドは、2.2V~2.8V の範囲の値を 100mV ステップで設定できます。VCell < UVChg の場合は、ProtStatus.UVChg (D5) が遅延なく 1 に設定されます。VCell > UVChg の場合は、ProtStatus.UVChg (D5) がクリアされます。

UVChg = 000b に設定するとこの機能が無効化されます。

ChgDetTh：充電検出スレッシュホールド。この IC は、PCKP > (BATT + ChgDetTh) の場合に、チャージャが接続されていると判定します。ChgDetTh の範囲は 10mV~80mV で、lsb は 10mV です。

温度保護レジスタ

この IC には 7 種のスレッシュホールドがあり、充電保護、過放電温度保護、過熱永続的故障保護に対応しています。これらのスレッシュホールドの標準的なレジスタ・フォーマットは、分解能が 2.5°C で符号のない数値です。IC には、温度フォルトをリリースするために 2.5°C のヒステリシスがあります。

nTPrtTh1 レジスタ (1D1h) および nTPrtTh2 レジスタ (1D5h)

レジスタ・タイプ：特殊

表 39 に示す nTPrtTh1 レジスタおよび表 40 に示す nTPrtTh2 レジスタは、図 17 に示すように、9 つの温度領域 (Tcold2、Tcold1、Tcool、Troom、Twarm、Thot1、Thot2、Ttoohot) に対するスレッシュホールドを設定して、JEITA を制御すると共に充電 (Too-Hot または Too-Cold) 保護を行います。nProtMiscTh.TooHotDischarge は、放電 (Too-Hot のみ) 保護を行います。スレッシュホールドの制限値は、2.5°C の分解能で設定可能であり、2.5°C のヒステリシスがあります。また、以下に示すように、すべて、Troom および隣接温度領域を基準としています。

注：Tcold2 は、1~15 の範囲の値で設定する必要があります。TooCold フォルトは、ヒステリシスなしでクリアされます。

注：TtooHot は、1~7 の範囲の値で設定する必要があります。

注：温度が室温領域から離れるのに伴い、IC は、スレッシュホールド制限値で次の温度領域に遷移します。温度がより高温の領域から室温領域へと変化するのに伴い、IC は、スレッシュホールド制限値 - 2.5°C のヒステリシスで次の温度領域に遷移します。温度がより低温の領域から室温領域へと変化するのに伴い、IC は、スレッシュホールド制限値 + 2.5°C のヒステリシスで次の温度領域に遷移します。室温に向かって遷移する場合のスレッシュホールドとヒステリシスのオーバーラップを避けるため、温度領域は少なくとも 5°C 離して設定する必要があります。

表 39. nTPrtTh1 レジスタ (1D1h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Tcold2				Tcold1				Tcool				Troom			

表 40. nTPrtTh2 レジスタ (1D5h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Ttoohot				Thot2				Thot1				Twarm		

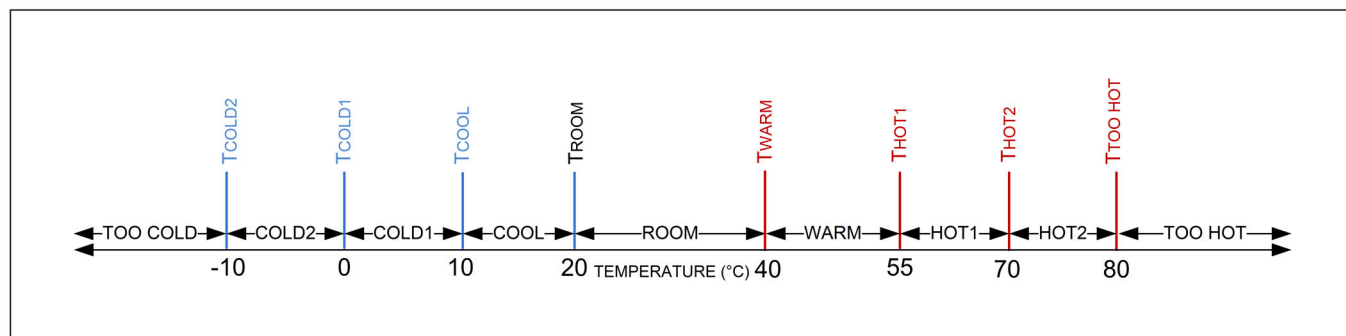


図 17. 9 つの温度領域

各スレッシュホールドは以下のように計算されます。

TroomThr : 室温のスレッシュホールドの計算は次のように行います。 $TroomThr = Troom \times 2.5^{\circ}C$

TcoolThr : Cool の温度スレッシュホールドの計算は次のように行います。 $TcoolThr = TroomThr - (Tcool + 1) \times 2.5^{\circ}C$

Tcold1Thr : Cold1 の温度スレッシュホールドの計算は次のように行います。 $Tcold1Thr = TcoolThr - (Tcold1 + 1) \times 2.5^{\circ}C$

Tcold2Thr : Cold2 の温度スレッシュホールドの計算は次のように行います。 $Tcold2Thr = Tcold1Thr - (Tcold2 + 1) \times 2.5^{\circ}C$

TwarmThr : Warm の温度スレッシュホールドの計算は次のように行います。 $TwarmThr = TroomThr + (Twarm + 1) \times 2.5^{\circ}C$

Thot1Thr : Hot1 の温度スレッシュホールドの計算は次のように行います。 $Thot1Thr = TwarmThr + (Thot1 + 1) \times 2.5^{\circ}C$

Thot2Thr : Hot2 の温度スレッシュホールドの計算は次のように行います。 $Thot2Thr = Thot1Thr + (Thot2 + 1) \times 2.5^{\circ}C$

TtoohotThr : TooHot の温度スレッシュホールドの計算は次のように行います。 $TtoohotThr = Thot2Thr + (Ttoohot + 1) \times 2.5^{\circ}C$

nTPrtTh3 レジスタ (1D2h)

レジスタ・タイプ : 特殊

表 41 に示す nTPrtTh3 レジスタは、温度永続的故障スレッシュホールドを設定します。TpermFailHot は、 $50^{\circ}C \sim 125^{\circ}C$ の範囲の値を $5^{\circ}C$ の分解能で設定できます。

表 41. nTPrtTh3 レジスタ (1D2h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
TpermFailHot				UserMemory											

TpermFailHot : この機能が有効化されている場合、温度が TpermFailHot スレッシュホールドを超えると MAX17335 は永続的故障モードに入り、充電 FET および放電 FET を永続的に無効化すると共に、セカンダリ・プロテクタ (インストールされている場合) を作動させるか、ヒューズ (インストールされている場合) をブローします。

$TpermFailHot \text{ threshold} = 50^{\circ}C + TpermFailHot \times 5^{\circ}C$

フォルト・タイマー・レジスタ

nDelayCfg レジスタ (1DCh)

出荷時のデフォルト値：0x9B3D

様々な保護フォルトのバウンス防止タイマーを設定するには、nDelayCfg をセットします。フォルト状態は、このタイマーの終了時まで条件が持続した場合のみ終了します。遅延時間が開始するのはすべて、値が保護スレッショルドを超過したことを ADC が初めて測定したときですが、この遅延は、フォルトが外部で検出された時間と ADC が最初にそのフォルトを測定した時間との間の遅延に最大 351ms が追加される可能性があります。

充電フォルトでは、タイマーの終了時に遅延が追加されてから、電流が完全に 0mA に低下します。CHG FET のゲートとソースの間には充電の安定化に必要なコンデンサがあり、これによっても、充電フォルト時に充電電流を完全に停止する能力が低速化します。電流は、保護タイマー設定の終了時に直ちに減少し、コンデンサの電圧が 0V に低下すると完全に 0mA まで減少します。

表 42. nDelayCfg (1DCh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CHGWDT		FullTimer			OVPTimer		OverCurrTimer			PermFailTimer		TempTimer		UVPTimer	

UVPTimer：Undervoltage 保護タイマーを設定するには UVPTimer を設定します。

シャットダウン・タイマー：Ship、DeepShip、DeepShip2/UVShutdown になるタイミングを制御するシャットダウン・タイマーを設定するには、UVPTimer を設定します。IC が低消費電力モードに入り始める場合、IC がアクティブ・モードに復帰する前に完全に低消費電力モードに入るようシャットダウン・タイマーの時間を設定することが重要です。

表 43. UVPTimer の設定

UVPTimer SETTING	0	1	2	3
UVPTimer Configuration	0ms to 351ms	351ms to 0.7s	0.7s to 1.4s	1.4s to 2.8s
Shutdown Timer Configuration	2.8125s to 5.625s	5.625s to 11.25s	11.25s to 22.5s	22.5s to 45s

TempTimer：TempTimer を設定すると、Too-Cold 充電 (TooColdC)、Too-Hot 充電 (TooHotC)、Die-Hot (DieHot)、Too-Hot 放電 (TooHotD) のフォルトに対するフォルト・タイミングを設定できます。

表 44. TempTimer の設定

TempTimer SETTING	0	1	2	3
Configuration	0ms to 351ms	1.4s to 2.8s	2.8s to 5.625s	5.625s to 11.25s

PermFailTimer：永続的故障検出のフォルトのタイミングを設定するには、PermFailTimer を設定します。一般的に、ある程度重大な状態が継続しない限り永続的故障とはならないようにするために、比較的大きな設定値にすることを推奨します。

表 45. PermFailTimer の設定

PermFailTimer SETTING	0 (NOT RECOMMENDED)	1	2	3
Configuration	0ms to 351ms	351ms to 0.7s	0.7s to 1.4s	1.4s to 2.8s

OverCurrTimer：過電流保護を低速化するには、OverCurrTimer を設定します (その他の高速ハードウェア保護スレッショルドについては nODSCCf および nODSCTh に説明があります)。OverCurrTimer は、低速の過充電電流検出 (OCCP) と過放電電流検出 (ODCP) のフォルト・タイミングを設定します。

表 46. OverCurrTimer の設定

OverCurrTimer SETTING	0	1	2	3	4	5	6	7
Configuration	0ms to 351ms	0.351s to 0.7s	0.7s to 1.4s	1.4s to 2.8s	2.8s to 5.6s	5.6s to 11.25s	11.25s to 22.5s	22.5s to 45s

OVPTimer：過電圧保護のフォルト・タイミングを設定するには、OVPTimer を設定します。

表 47. OVPTimer の設定

OVPTimer SETTING	0	1	2	3
Configuration	0ms to 351ms	351ms to 0.7s	0.7s to 1.4s	1.4s to 2.8s

FullTimer：フル検出のタイミングを設定するには、FullTimer をセットします。タイムアウト後に充電終了条件が検出されると、CHG FET がオフになります（この機能が有効化されている場合）。

予備充電タイマー：予備充電のタイミングを設定するには、FullTimer をセットします。予備充電タイマーと FullTimer は、nDelayCfg レジスタの同じビットを共用します。

表 48. FullTimer の設定

FullTimer SETTING	0	1	2	3	4	5	6	7
FullTimer Configuration	33s to 44s	67s to 90s	2.25min to 3min	4.5min to 6min	9min to 12min	18min to 24min	36min to 48min	72min to 96min
Prequal Timer Configuration	16.875s to 22.5s	33s to 44s	67s to 90s	2.25min to 3min	4.5min to 6min	9min to 12min	18min to 24min	36min to 48min

CHGWDT：チャージャの通信ウォッチドッグ・タイマーを設定するには、CHGWDT を設定します。これが有効化されている場合、MAX17335 は、ホストがこのタイムアウトより長時間、通信を停止した場合および SDA/SCL ラインがハイでアリドリングしている場合に、常に充電保護を行います。

ChgRm：チャージャ除去バウンス防止（1/4 ChgWDT のバウンス防止設定）

表 49. ChgWDT/ChgRm の設定

CHGWDT/ChgRm SETTINGS	0	1	2	3
CHGWDT Timer	11.2s to 22.5s	22.5s to 45s	45s to 90s	90s to 3min
ChgRm Timer	2.8s to 5.6s	5.6s to 11.2s	11.2s to 22.4s	22.4s to 44.8s

バッテリー内部自己放電検出レジスタ

出荷時のデフォルト nProtCfg2 値：1006h

クーロン効率（CE）法を用いて ISD 機能を有効化するには、表 50 に示すように、LeakFaultCfg、LeakCurrTh、CEEn を設定します。表 51 に示すように、LeakFaultCfg でアラートおよびフォルトのモードを選択し、LeakCurrTh でスレッシュホールドを設定します。ISD アラートが有効化されている場合、スレッシュホールドを超えるリーク電流が検出されると、ProtAlrt.LDET ビットおよび Status.PA ビット（nConfig.ProtAlrtEn = 1 の場合）で示されます。アラートに対して ALRT ピンが有効化されている場合（nConfig.Aen = 1 および nConfig.ProtAlrtEn = 1）、このピンは ISD アラートを示します。

アラートを修復するには、まず ProtAlrt レジスタをクリアし、次に Status.PA をクリアします。イベントは、nBattStatus.LDET でも示され、永続的なライフログに記録されます。

報告されたリーク電流測定値は、以下に示す 2 種類のレジスタで読み出せます。

- LeakCurrRep = 15 ビットの符号なし左詰め値で LSB は $1.5625\mu\text{V}/16$ （ $10\text{m}\Omega$ センス抵抗の場合は $0.15625\text{mA}/16$ ）。
- nBattStatus.LeakCurr = 8 ビットの符号なし値で LSB は $3.125\mu\text{V}$ （ $10\text{m}\Omega$ センス抵抗の場合は 0.3125mA ）。

ISD 機能の設定については、アナログ・デバイセズにお問い合わせください。

表 50. nProtCfg2 レジスタ（1DFh）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
LeakFaultCfg			CEEn	LeakCurrTh				Checksum							

表 51. アラートおよびフォルト・モードの設定

LEAKFAULTCFG SETTING	DESCRIPTION	LEAKCURRTH RESOLUTION	ALERT RANGE	FAULT RANGE
		Note: Leakage current above LeakCurrTh triggers an alert/fault. Currents refer to the $10\text{m}\Omega$ RSENSE.		
000	Disabled			
001	Alert Only	0.3125mA	0.3125mA to 5mA	

表 51. アラートおよびフォルト・モードの設定（続き）

010	Fault = Alert + 2.5mA			2.8125mA to 7.5mA
011	Fault = Alert + 5mA			5.3125mA to 10mA
100	Fault Only (+2.5mA offset)	0.625mA		3.125mA to 12.5mA
101	Alert Only			
110	Fault = Alert + 2.5mA		0.625mA to 10mA	3.125mA to 12.5mA
111	Fault = Alert + 10mA			10.625mA to 20mA

X：ドント・ケア

CEEn：クーロン効率（CE）法を有効化。自己放電検出を有効化するには 1 に設定します。**LeakFaultCfg**：リーク・フォルト設定。表 51 に示すようにアラートおよびフォルトの動作を設定するには、LeakFaultCfg を設定します。**LeakCurrTh**：リーク電流スレッシュホールドは、リーク電流アラートおよびフォルトを発生するための、符号なしの 4 ビットのスレッシュホールドです。LSB の分解能は、表 51 に示す LeakCurrCfg 設定に基づき、0.625mA または 1.25mA です。アラートおよびフォルトがどちらも有効化されている場合、表 51 の説明の欄に示されているように、フォルトのスレッシュホールドがアラートのスレッシュホールドより 5mA、10mA、または 20mA だけ大きい値になります。**Checksum**：プロテクタの NVM のチェックサム。Checksum は、nNVCfg1.enProtChksm = 1 の場合に起動時に NVM を検証するための、保護レジスタのチェックサム値です。**LeakCurrRep レジスタ (0x16F)**

nChecksum.CEEEn で有効化されている場合、表 52 に示すように、LeakCurrRep レジスタには、報告されたリーク電流が格納されます。

表 52. LeakCurrRep レジスタ (0x16F) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Reported LeakCurrent														

Reported LeakCurrent：Reported Leak Current は、符号なしの 15 ビットのリーク電流です。このレジスタは、報告されたリーク電流を、 $1.5625\mu\text{V}/16$ (10mΩ センス抵抗の場合は $0.15625\text{mA}/16$) の LSB で格納します。範囲は 0mA～319.99mA です。**ステータス／設定保護レジスタ****nProtCfg レジスタ (1D7h)**

保護設定レジスタは様々な保護機能のイネーブル・ビットで構成されています。

表 53. nProtCfg レジスタ (1D7h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
ChgWDTEn	0	FullEn	SCTest		CmOvrEn	ChgTestEn	PrequalEn
D7	D6	D5	D4	D3	D2	D1	D0
Reserved	PFEEn	DeepShpEn	OvrEn	0	FetPFEEn	BlockDisCEn	DeepShp2En

BlockDisCEn：Too Cold (nTPrtTh1) 時に放電 FET をブロックします。**PFEEn**：PermFail イネーブル。FET を永続的にオフにする永続的故障の検出を有効化するには、PFEEn = 1 と設定します。すべての種類の永続的故障は、PFEEn = 1 の場合にのみ機能し、PFEEn = 0 の場合はすべて無効化されます。PFAIL ピンを動作させるには、PFEEn を有効化しなくてはなりません。詳細については、永続的故障のセクションを参照してください。Thermistor 2 が有効化されている場合は、PermFail を有効化することはできません。詳細については、nPackCfg を参照してください。**FetPFEEn**：FET の PermFail イネーブル。充電 FET および放電 FET のオープンまたは短絡の検出を有効化するには 1 に設定します。この検出により、永続的故障がレジスタに書き込まれ、FET が永続的にオフになり、PFAIL ピンがハイに駆動されます。FET の PermFail イネーブルを動作させるには、PFEEn も設定する必要があります。

OvrdEn : オーバーライド・イネーブル。アラート・ピンを保護 FET を無効化するための入力にできるようにするには、OvrdEn = 1 と設定します。

CmOvrdEn : コマンド・オーバーライド・イネーブル。このビットを 1 に設定すると、I²C 通信によって CommStat の ChgOff ビットおよび DisOff ビットを保護 FET をオフにするよう設定できます。

OvrdEn および CmOvrdEn の詳細については、[ピン制御または I²C コマンドによる FET の無効化](#)のセクションを参照してください。

DeepShpEn : シャットダウン操作 (I²C シャットダウン・コマンドまたは通信の停止) をシャットダウンに関連付けるには DeepShpEn = 1 と設定します。このモードではすべてのレジスタの電源がオフになります。プロテクタを無効化し (CHGEn = 0、DISEn = 0、ポンプ・オフ)、その消費率で動作したまま全計算を継続するには DeepShpEn = 0 と設定します。

DeepShp2En : シャットダウン操作 (I²C シャットダウン・コマンドまたは通信の停止) をシャットダウンに関連付けるには DeepShp2En = 1 と設定します。このモードではすべてのレジスタの電源がオフになります。DeepShip1 (または他のモード) を使用するには、DeepShp2En = 0 と設定します。充電ソースを接続して DeepShip2 をウェイクアップしてください。

SCTest : PCKP での過負荷/短絡の有無をテストするには、SCTest = 10 と設定して BATT から PCKP に 30 μ A の電流を供給します。SCTest は、DIS がオフの特殊な状況でのみ用いられます。特に、過放電電流フォルトが発生した場合です。そのため、短絡解消検出を適切に行うには、PCKP の抵抗が 10k Ω 以下であることが必要です。無効化するには SCTest = 00b と設定します。

BlockChgEn : 並列充電アプリケーションのために、充電 FE を I²C からブロックできるようにします。Protstatus.D7 は、Config.D0 に応じて 1 または 0 に設定されます。

PrequalEn : 予備充電フォルト・イネーブル。セル電圧が予備充電電圧の設定値を超えるまで、バッテリーを予備充電電流で充電します。PrequalEn = 1 の場合、nDelayCfg.PrequalTimer の時間が経過するか、充電フォルトがトリガされる前に、Vcell が予備充電電圧レベルを超えている必要があります。PrequalEn = 0 の場合、VCell が予備充電電圧レベルを超えるまで、予備充電電流が継続します。予備充電電流および電圧は nChgCfg0 で設定されます。

FullEn : フル充電保護イネーブル。フル充電保護機能が有効化されている場合、バッテリーがフル充電になる (RepSOC が 100% に達する) と、充電 FET がオープンになります。

ChgWDTEn : チャージャ・ウォッチドッグ・イネーブル。チャージャ・ウォッチドッグ機能が有効化されている場合、nDelayCfg.ChgWdg で設定される Charger WatchDog 遅延より長い時間、ホストが通信を停止するか SDA/SCL ラインがハイでアイドリング状態になっている場合、プロテクタは充電を不許可にします。

nBattStatus レジスタ (1A8h)

バッテリー・ステータスの不揮発性レジスタ

バッテリー・ステータス・レジスタには永続的なバッテリー・ステータス情報が格納されます。nProtCfg.PFEn = 1 の場合、永続的な故障が発生すると、バッテリーの安全確保のため、FET が永続的にオフになります。

表 54. nBattStatus レジスタ (1A8h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
PermFail	OVPF	OTPF	CFETFs	DFETFs	FETFo	BattHlth	ChksumF
D7	D6	D5	D4	D3	D2	D1	D0
Reserved							

PermFail : 永続的故障。何らかの永続的故障が検出されるとこのビットがセットされます。

CFETFs : 充電 FET 短絡故障検出。MAX17335 は、充電 FET が短絡されオープンにできないことを検出すると、CFETFs ビットおよび PermFail ビットをセットします。この機能は、nProtCfg.FetPFEn で有効化できます。

DFETFs : 放電 FET 短絡故障検出。MAX17335 は、放電 FET が短絡されオープンにできないことを検出すると、DFETFs ビットおよび PermFail ビットをセットします。この機能は、nProtCfg.FetPFEn で有効化できます。

FETFo : FET オープン故障。MAX17335 は、いずれかの FET でオープン FET 故障を検出すると、FETFo をセットします。この機能は、nProtCfg.FetPFEn で有効化できます。

ChksumF : チェックサム故障。NVM 設定レジスタのチェックサム故障に関連する ChksumF 保護。チェックサム故障の場合、デバイスは PermFail ビットをセットしますが、NVM へそれを書き込むことはせず、更なる NVM 書き込みを防止します。これにより、PermFail ビットはホストによってクリアできるため、INI ファイルを再ロードできます。

ProtAlrt レジスタ (0AFh)

保護アラート・レジスタには、デバイスによってログ記録された保護イベントの履歴が格納されています。フォーマットは表 55 に示すとおりです。ProtAlrt のいずれかのビットが 1 の場合、Config.PAEn=1 であれば Status.PA ビットも 1 になります。ビットがセットされると、ホストによってクリアされるまでセットされたままになります。Config.ProtAlrtEn=1 の場合、アラート・ピンはローに駆動されます。

表 55. ProtAlrt レジスタ (0AFh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
ChgWDT/LDet	TooHotC	Full	TooColdC	OVP	OCCP	Qovflw	Reserved
D7	D6	D5	D4	D3	D2	D1	D0
Reserved	TempRegionChange	DieHot	TooHotD	UVP	ODCP	Reserved	Reserved

TempRegionChange : 温度領域の変更。JEITA 温度領域が変更されるとこのアラートが生成され、充電または保護パラメータに影響する可能性のある JEITA 充電電圧を低下させるよう、ホストに対しアラートが発せられます。

HProtCfg2 レジスタ (0F1h)

レジスタ・タイプ : 特殊

不揮発性メモリのバックアップ : なし

放電 FET および充電 FET のステータスは、表 56 に示すように、HProtCfg2 レジスタでモニタできます。

表 56. HProtCfg2 (0F1h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	X	X	X	DISs	CHGs

DIS : 放電 FET のステータス。DISs = 1 は、放電 FET がオンになっており、放電電流を流すことが可能であることを示します。DISs = 0 は、放電 FET がオフになっており、放電電流をブロックすることを示します。

CHGs : 充電 FET のステータス。CHGs = 1 は、充電 FET がオンになっており、充電電流を流すことが可能であることを示しています。CHGs = 0 は、充電 FET がオフになっており、充電電流をブロックすることを示します。

X : 予約済み。

ProtStatus レジスタ (0D9h)

保護ステータス・レジスタには、保護ステート・マシンのフォルト状態が格納されます。

表 57. ProtStatus レジスタ (0D9h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
ChgWDT	TooHotC	Full	TooColdC	OVP	OCCP	Qovflw	PreqF/LDet
D7	D6	D5	D4	D3	D2	D1	D0
BlockChg	PermFail	DieHot/UVChg	TooHotD	UVP	ODCP	BlockDis/TooColdD	Shdn

BlockChg : 通信がタイムアウトした状態または Status.AllowChgB=0 コマンドの再発がない状態からの充電をブロックします。

BlockDis : 直接の I²C コマンド (Config2.BlockDis) による放電をブロックします。BlockDis は、BlockChg が始まると自動リリースされます。

TooColdD : TooColdC と同じスレッショルド。この機能を有効化するには、nProtCfg レジスタの BlockDisCEn を設定します。

Shdn : 充電/放電 FET、チャージ・ポンプ、PkSink に対し更なるアクションを行うために、シャットダウン・イベント・ステータスをプロテクタ・モジュールに通知するフラグ。

PermFail : 永続的故障検出。永続的故障の詳細については、nBatteryStatus を参照してください。

放電フォルト :

ODCP—過放電電流保護

UVP—低電圧保護

TooHotD—放電時の過熱

DieHot—ダイ温度の過熱

充電フォルト：

- TooHotC—充電時の過熱
- OVP—過電圧
- OCCP—過充電電流保護
- Qovrflw—Q オーバーフロー
- TooColdC—低温
- Full—フル検出（フォルトではありませんが、フルが検出されると CHG FET がオープンになります）
- ChgWDT—充電ウォッチドッグ・タイマー
- DieHot—ダイ温度の過熱
- PreqF—予備充電タイムアウトを検出
- LDet—リーク・フォルトを検出
- UVChg—低電圧充電ブロック

FProtStat レジスタ（0DAh）

表 58. FProtStat レジスタ（0DAh）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X										IsDis	X		TempRegionID		

X：ドント・ケア

- IsDis：バッテリーが放電状態になっています。充電信号を検出するとクリアされます。
- TempRegionID：TempRegionID は、保護および充電の設定を行えるよう、表 59 に示すように、残量ゲージがどの温度領域にあるかを示します。

表 59. TempRegionID デコーダ

TEMP REGION ID VALUE	TEMP REGION
4	TooCold
5	Cold2
6	Cold1
7	Cool
0	Room
1	Warm
2	Hot1
3	Hot2/TooHot

nFaultLog レジスタ（1AEh）

このレジスタには、構成設定に応じた 2 つの機能があります。nNVCfg2.enFL = 1 の場合、nFaultLog レジスタには、ログとログの間にデバイスが随時ログ記録した保護イベントの履歴が格納されます。フォーマットは表 60 に示すとおりです。

あるいは、nNVCfg0.enAF = 1 であれば、レジスタは、経年劣化予測データ用に転用されます。どちらのオプションも有効化されていない場合、レジスタは汎用のユーザ・メモリとして使用できます。

このレジスタは、ライフログ機能の一部として、不揮発性メモリに定期的に保存されます。

表 60. nFaultLog レジスタ (1AEh) フォーマット

D15	D14	D13	D12	D11	D10	D9	D8
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
D7	D6	D5	D4	D3	D2	D1	D0
TooHotC	TooColdC	OVP	OCCP	DieHot	Imbalance	UVP	ODCP

その他の保護レジスタ

nProtMiscTh レジスタ (1D6h)

レジスタ・タイプ：特殊

nProtMiscTh レジスタを [表 61](#) に示します。このレジスタは、その他の各種保護およびアラートのスレッシュホールドを設定します。

表 61. nProtMiscTh レジスタ (1D6h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
QovflwTh				TooHotDischarge				CurrDet				DieTempTh			

DieTempTh：50°C を基準としてダイ温度過熱保護スレッシュホールドを設定します。LSB は 2.5°C です。DieTempTh は、50°C とダイ温度保護スレッシュホールドの差を定義します。範囲は 50°C～87.5°C です。

CurrDet：CurrDet は、 $25\mu\text{V}/R_{\text{SENSE}} \sim 400\mu\text{V}/R_{\text{SENSE}}$ の範囲の値を $25\mu\text{V}/R_{\text{SENSE}}$ ステップで設定可能です (10mΩ センス抵抗の場合は、2.5mA～40mA の範囲を 2.5mA ステップに相当) これは、デバイスの視点から放電イベントと充電イベントを検出するためのスレッシュホールドです。電流値が CurrDet を上回っている場合は充電、電流値が -CurrDet を下回っている場合は放電です。デフォルトでは CurrDet の設定は 2 で、これは $\pm 7.5\text{mA}$ (10mΩ センス抵抗の場合) に相当します。アナログ・デバイセズは、ADC のノイズに応じて最適化されたこの設定値を用いることを推奨します。

TooHotDischarge：放電に関連する過熱保護スレッシュホールドを設定します。TooHotDischarge の LSB は 2.5°C で、Over-Temp-Charge (nTPrtTh1.T4) と Over-Temp-Discharge の差を定義します。範囲は、nTPrtTh1.T4 (TooHot) ～nTPrtTh1.T4 (TooHot) + 30°C です。

QovflwTh：QovflwTh は、Qoverflow アラート・スレッシュホールドの係数を設定します。Qoverflow アラート・スレッシュホールド = designCap × 係数。MAX17335 は、充電開始時の Q と現在の Q の差をモニタします。Q の差が Qoverflow アラート・スレッシュホールドを超えた場合、これはチャージャが予想されるバッテリー容量を超えて充電したことを示しており、ProtStatus.Qovrlw フォルトが発生し充電はすぐに中断されます。ProtAlrt.QOverflow ビットは、ホストがこのビットをクリアするまでセットされたままになります。係数は、係数 = $1.0625 + (\text{QovflwTh} \times 0.0625)$ の式で計算されます。

ModelGauge m5 アルゴリズム

ModelGauge m5 EZ アルゴリズムの出力レジスタ

以下のレジスタは、ModelGauge m5 EZ アルゴリズムからの出力です。これらのレジスタの値は、IC のリセット後 480ms が経過してから有効になります。

RepCap レジスタ (005h)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

RepCap すなわち報告された容量値は、AvCap レジスタの値をフィルタ処理したもので、温度や負荷電流の急激な変化など、アプリケーションでの変化に起因する報告値の大きな不連続を防止します。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

RepSOC レジスタ (006h)

レジスタ・タイプ：パーセンテージ

不揮発性メモリのバックアップ：なし

RepSOC は AvSOC レジスタの値をフィルタ処理したもので、負荷電流の急激な変化などのアプリケーションの変化に起因する報告値の大きな不連続を防止します。RepSOC は、RepCap と FullCapRep に対応しています。RepSOC は、アプリケーションが使用する充電パーセンテージ出力の最終状態を示すことを意図したものです。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

FullCapRep レジスタ (010h)

レジスタ・タイプ：容量

不揮発性メモリのバックアップおよび復元：nFullCapRep (1A9h) または nFullCapNom (1A5h)

このレジスタは RepCap と共に変化するフル容量を報告し、一般にユーザへの報告に使われます。新しいフル容量値は、アプリケーションでの毎回の充電サイクルの終了時に計算されます。

TTE レジスタ (011h)

レジスタ・タイプ：時間

不揮発性メモリのバックアップ：なし

TTE レジスタは、現在の温度と負荷の条件下におけるアプリケーションの完全放電までの推定時間を示します。TTE の値は、AvCap レジスタの値を AvgCurrent レジスタの値で除算することで求めます。対応する AvgCurrent のフィルタ処理により、TTE エンプティには遅延が生じますが、より安定した結果となります。

TTF レジスタ (020h)

レジスタ・タイプ：時間

不揮発性メモリのバックアップ：なし

TTF レジスタは、現在の条件下におけるアプリケーションのフル充電までの推定時間を示します。TTF の値は、以前の充電サイクルの経験に基づいて、充電サイクルの定電流と定電圧の成分を学習することによって求めます。フル充電までの時間を、現在の充電電流と充電終了時の電流を比較することによって見積もります。TTF レジスタの動作は、アプリケーションでの充電プロファイルがすべて一貫していることを前提としています。性能の例については、標準動作特性を参照してください。

経年劣化レジスタ (007h)

レジスタ・タイプ：パーセンテージ

不揮発性メモリのバックアップ：なし

経年劣化レジスタには、アプリケーションの現在のセル容量を、その目的とする容量と比較した場合の計算パーセンテージ値が格納されます。この結果を使用することで、ホストは同タイプの新品と比較した場合のそのバッテリー・パックの劣化状態を知ることができます。レジスタ出力を求める式は、次のとおりです。

経年劣化レジスタ = 100% × (FullCapNom レジスタ / DesignCap レジスタ)

Cycles レジスタ (017h) および nCycles (1A4h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップおよび復元：nCycles (1A4h)

Cycles レジスタには、発生したセルの充電／放電サイクルの合計回数が格納されます。結果は、フル・サイクルのパーセンテージとして保存されます。例えば、Cycles レジスタ内のフル充電／放電サイクルの結果は 100% ごとにインクリメントされます。Cycles レジスタのフル・レンジは 0～16383 で、LSb は 25% です。Cycles は、定期的に nCycles に保存され、長期の不揮発性サイクル数を提供します。

表 62. nCycles レジスタ (1A4h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CycleCount (Cycles register << (3-nNVCfg2.FibScl))													nFib		

表 63 に示すように、nCycles.CycleCount の LSB は、nNVCfg2.fibScl に依存します。Cycles レジスタの LSB は 25% です。

表 63. nNVCfg2.CyclesCount の LSB を決定する nNVCfg2.FibScl の設定

NNVCFG2.FIBSCL	NCYCLES.CYCLECOUNT LSB
00b	25%

表 63. nNVCfg2.CyclesCount の LSb を決定する nNVCfg2.FibScl の設定（続き）

01b	50%
10b	100%
11b	200%

新しいパックの場合は、nFib = 0 と設定します。nFib はリセット・カウンタで、フィボナッチ式で保存するリセット加速を制御します（[100 レコードのライフログ記録](#)のセクションを参照）。不揮発性メモリへの保存を伴うリセットごとに 1 ずつインクリメントします。最大値は 7 でオーバーフローはありません。

TimerH レジスタ (0BEh)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップおよび復元：nTimerH (1AFh) (nNVCfg2.enT がセットされている場合)

代替初期値：0x0000

このレジスタは、IC がセルの使用時間を追跡できるようにします。LSb は 3.2 時間で、レジスタのフルスケール範囲は最大 23.94 年です。有効化されている場合、このレジスタは、学習機能の一部として、不揮発性メモリに定期的にバックアップされます。

FullCap レジスタ (035h)

レジスタ・タイプ：容量

不揮発性メモリ復元：nFullCapNom (1A5h) から抽出

このレジスタには、エンプティ補償など、ModelGauge m5 EZ アルゴリズムからのすべての入力に基づくセルのフル容量計算値が格納されます。アプリケーションの条件が変化すると、それに合わせて新しいフル容量値が継続的に計算されます。

FullCapNom レジスタ (023h)

レジスタ・タイプ：容量

不揮発性メモリのバックアップおよび復元：nFullCapNom (1A5h)

このレジスタにはセルのフル容量計算値が格納されますが、温度補償とエンプティ補償は含まれていません。セル緩和イベントが検出されると、その都度新しい計算上のフル容量値が算出されます。このレジスタは、ModelGauge m5 EZ アルゴリズムのその他の出力を計算するために使われます。

RCell レジスタ (014h)

レジスタ・タイプ：抵抗

不揮発性メモリのバックアップ：なし

初期値：0x0290

RCell レジスタは、セルの内部抵抗の計算値を示します。RCell は、負荷電流が流れている状態で、長期にわたってオープン・サーキット電圧 (VFOCV) と測定電圧値 (VCell) を比較することによって決定します。

VRipple レジスタ (0B2h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

初期値：0x0000

VRipple レジスタには、AvgVCell レジスタと比較した、VCell レジスタの平均実効値の読出し値の緩やかな変動が格納されます。デフォルトのフィルタ処理時間は 22.5 秒です。[nRippleCfg](#) レジスタの説明を参照してください。VRipple の LSb 重み付けは (1.25/128)mV です。

nVoltTemp レジスタ (1AAh)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：AvgVCell レジスタおよび AvgTA レジスタ (nNVCfg2.enVT = 1 の場合)

このレジスタには、構成設定に応じた2つの機能があります。nNVCfg2.enVT=1 の場合、このレジスタは、表 64 に示すように、AvgVCell レジスタおよび AvgTA レジスタの不揮発性メモリにバックアップされます。

表 64. nVoltTemp レジスタ (1AAh) のフォーマット (nNVCfg2.enVT = 1 の場合)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AvgVCell Upper 9 Bits									AvgTA Upper 7 Bits						

あるいは、nNVCfg0.enAF = 1 であれば、このレジスタは、経年劣化予測アルゴリズムと併用される累積経年スロープ値を格納します。有効化されているオプションに関係なく、このレジスタは、学習機能の一部として、不揮発性メモリに定期的に保存されます。どちらのオプションも有効化されていない場合、レジスタは汎用のユーザ・メモリとして使用できます。

ModelGauge m5 EZ の性能

ModelGauge m5 EZ の性能は、IC のプラグアンドプレイ動作を可能にします。この IC は、最適性能を実現するための特性評価プロセスを通じ、アプリケーションのバッテリーに合わせてカスタム・チューンすることも可能ですが、ほとんどのアプリケーションでは、特別な特性評価を行わなくても妥当な性能を発揮できます。

EZ の性能は、ほとんどのセル・タイプに対し妥当な性能を発揮しますが、リン酸鉄リチウム (LiFePO₄) やパナソニックの NCR/NCA シリーズのセルなど、一部の化学組成では最高性能を発揮するためにカスタマイズした特性評価が必要です。EZ の性能は、EV キットの GUI 設定ウィザードを通じて、エンプティ電圧が 3V~3.4V の範囲のアプリケーションに対しモデルを提供します。カスタマイズした特性評価の手順については、アナログ・デバイセスにお問い合わせください。

OCV 予測とクーロン・カウントのミキシング

ModelGauge m5 EZ アルゴリズムの中核をなすのは、OCV 状態予測とクーロン・カウンタを組み合わせたミキシング・アルゴリズムです。IC パワーオン・リセットした後のクーロン・カウンタの精度は未知の状態です。OCV 状態の予測はクーロン・カウンタ出力より大きく重み付けされます。セルがアプリケーション内のサイクルを進んで行くにつれてクーロン・カウンタの精度は向上し、クーロン・カウンタの結果が支配的になるように、ミキシング・アルゴリズムが重み付けを変更します。この時点から先は、IC はサーボ・ミキシングに切り替わり、OCV 予測からの誤差の方向に基づいて、クーロン・カウンタに対し固定量で継続的に誤差を補正 (増減) します。これにより、クーロン・カウンタと OCV 予測の間の差を迅速に補正することが可能になります (図 18 参照)。

このミキシング・アルゴリズムから得られる出力は、電流測定オフセット誤差による蓄積ドリフトの影響を受けず、スタンドアロンの OCV 予測アルゴリズムより安定しています。図 19 を参照してください。初期精度はセルの緩和状態に依存します。最大の初期精度は、セルが完全に緩和した状態で得られます。

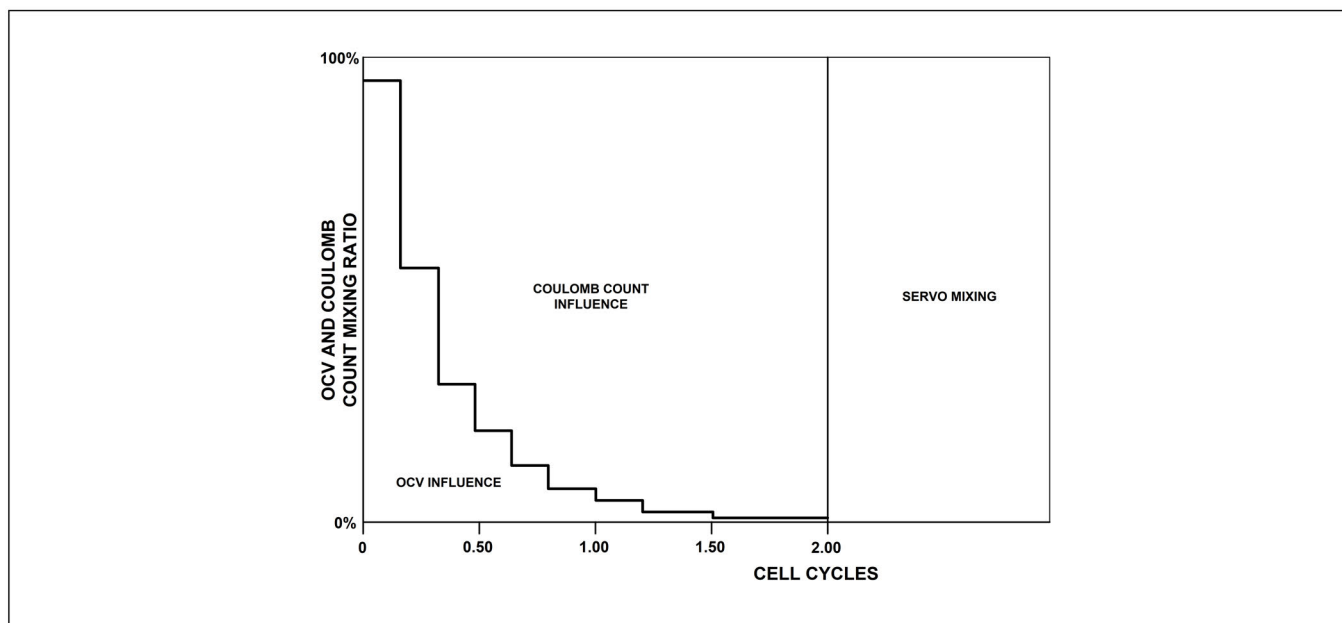


図 18. 電圧とクーロン・カウントのミキシング

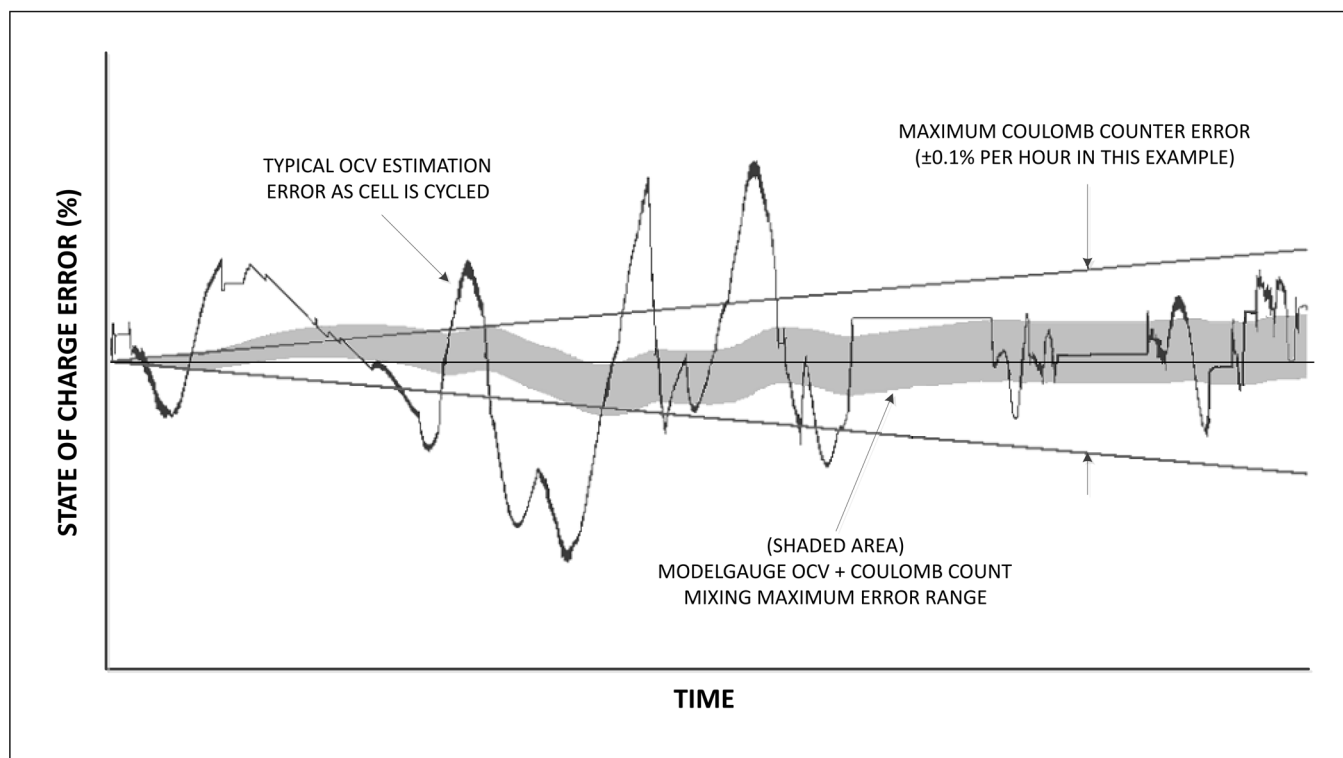


図 19. ModelGauge m5 EZ の代表的精度の例

エンプティ補償

アプリケーションの温度と放電率が変化すると、アプリケーションが使用できる充電量も変化します。ModelGauge m5 EZ アルゴリズムはセルの残容量とアプリケーションの残容量を区別して、両方の結果をユーザに報告します。

MixCap 出力レジスタはセルの充電状態を追跡します。これは理想的な条件下でセルから取り出せる理論的な充電量を mAh で表した値で、放電電流は極めて小さく、セル電圧には無関係です。この結果は、セル・インピーダンスやアプリケーションの最小動作電圧といったアプリケーション条件には影響されません。ModelGauge m5 EZ は、mAh で表されるアプリケーションの予想エンプティ・ポイントを継続的に追跡します。これは、最小電圧要件やセルの内部損失のために、アプリケーションがセルから取り出せない充電量です。IC は、アプリケーションが使用できない充電量を **MixCap** レジスタから減じて、その結果を **AvCap** レジスタでレポートします。

使用可能な残容量は放電率に大きく依存するので、**AvCap** レジスタは、アプリケーションの負荷電流の変化によって瞬時に大きく変化する可能性があります。放電時であっても、負荷電流が突然低下すると、結果は増加する可能性があります。この結果は正しいとはいえ、ホスト・ソフトウェアやエンド・ユーザにとっては直感的に分かりにくいかもしれません。**RepCap** 出力レジスタには **AvCap** の内容をフィルタ処理した値が格納され、これによって残容量の急激な変化がなくなります。**RepCap** は時間と共に **AvCap** に収束して、放電時はアプリケーションのエンプティ・ポイントを、充電時はアプリケーションのフル充電ポイントを正しく予測します。これらのレジスタ相互の関係を図 20 に示します。

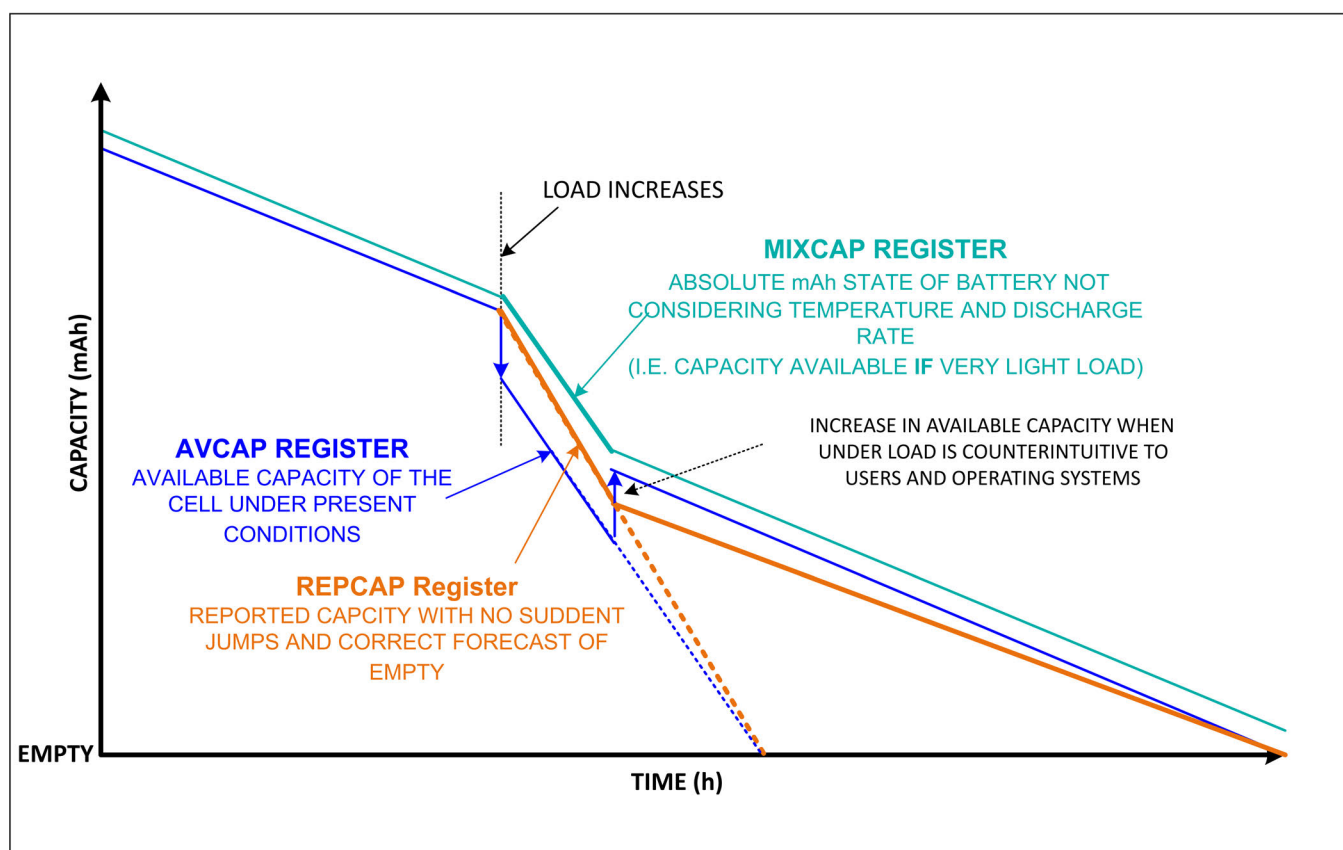


図 20. エンプティ計算時の処理変更点

残量ゲージの学習機能

この IC はセル特性評価情報とアプリケーション情報に対して定期的に内部調整を行い、セルの経年劣化に合わせて初期誤差を除去して精度を維持します。これらの調整は常に補正量をやや小さめに行われますが、これは、システムが不安定になるのを避けて、残量ゲージ出力に目立った不連続が生じないようにするためです。学習は、ホストからの入力なしで自動的行われます。バッテリーの充電状態の予測に加え、IC はバッテリーの緩和応答をモニタして、電圧残量ゲージの動作を調整します。このアルゴリズムは以下のレジスタを使用します。

- **アプリケーション容量 (FullCapRep レジスタ)** : これは、**充電終了**のセクションで説明されているように、フル充電時にアプリケーションが使用できる合計容量です。FullCapRep レジスタの説明を参照してください。
- **セル容量 (FullCapNom レジスタ)** : これは、電圧残量ゲージに対応した、フル充電時の合計セル容量です。これには、高負荷時や低温時にはアプリケーションが使用できない容量がある程度含まれています。IC は、セルの充電時と放電時のクーロン・カウント変化に伴うオープン・サーキット電圧測定値に基づいて変化率 (%) を定期的に比較し、パックが経年劣化してもパック容量 (mAh) を正確に予測できるようにします。図 21 を参照してください。
- **電圧残量ゲージの調整** : IC は、バッテリーの緩和応答をモニタして電圧残量ゲージの動作を調整します。この適応動作は、充電後のセル緩和イベント時に RComp0 レジスタを調整します。
- **エンプティ補償** : IC は、セルがエンプティ状態になったことを検出すると ($V_{Cell} < V_{Empty}$)、セルの経年劣化や、特性評価情報とその他の違いを考慮するために、その都度内部データを更新します。

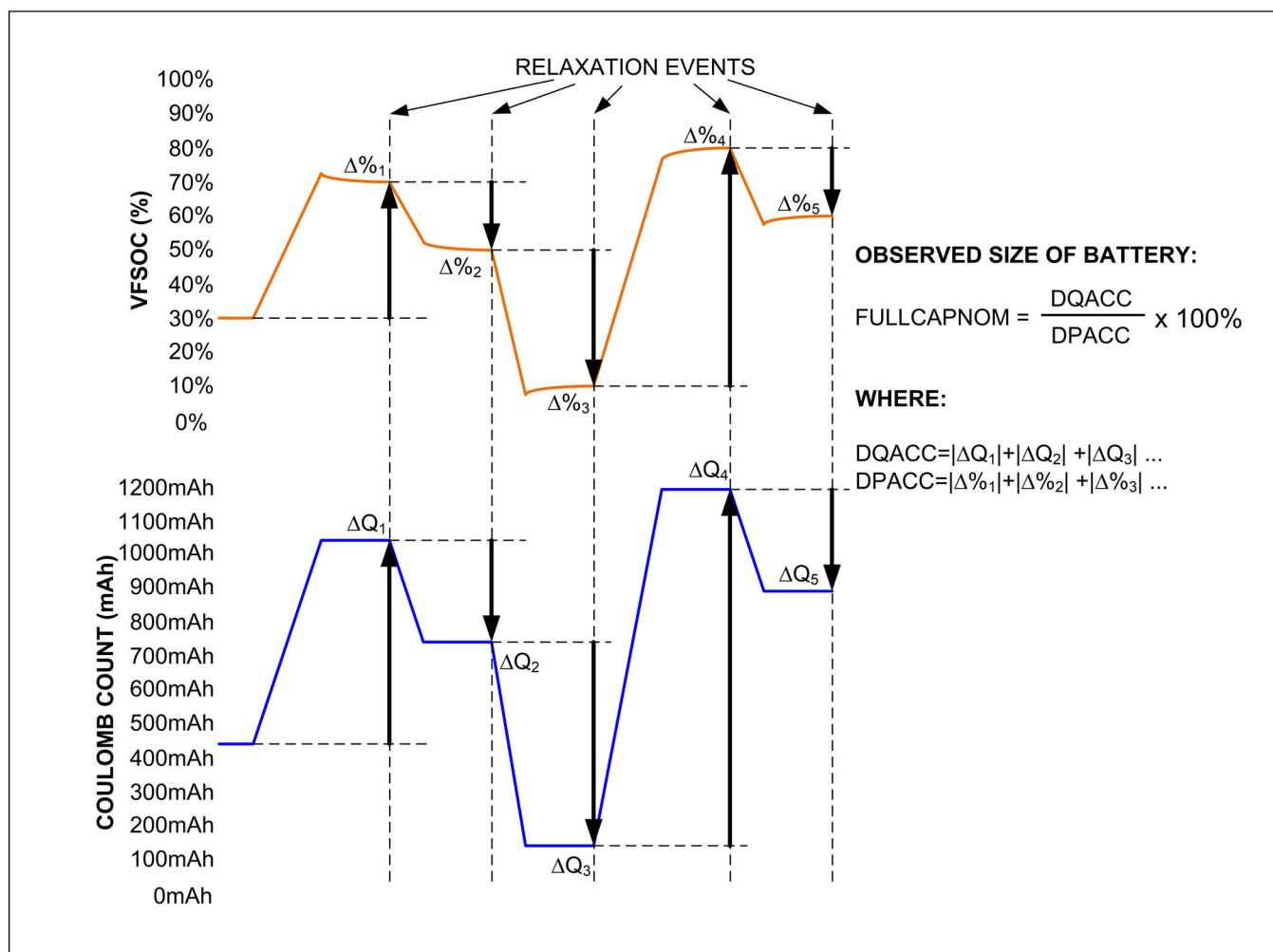


図 21. FullCapNom の学習

エンプティへの収束

MAX17335 は、セル電圧がエンプティ電圧に近付くと共に、残量ゲージ出力を 0% に収束させる機能を備えています。セル電圧が予想エンプティ電圧に近付くと (AvgVCell が VEmpty に近付くと)、IC は RepSOC の変化率をスムーズに調整して、セル電圧がエンプティに達すると同時に残量ゲージが 0% をレポートするようにします。これにより、残量ゲージ出力のわずかなオーバーシュートまたはアンダーシュートを防止します。図 22 を参照してください。

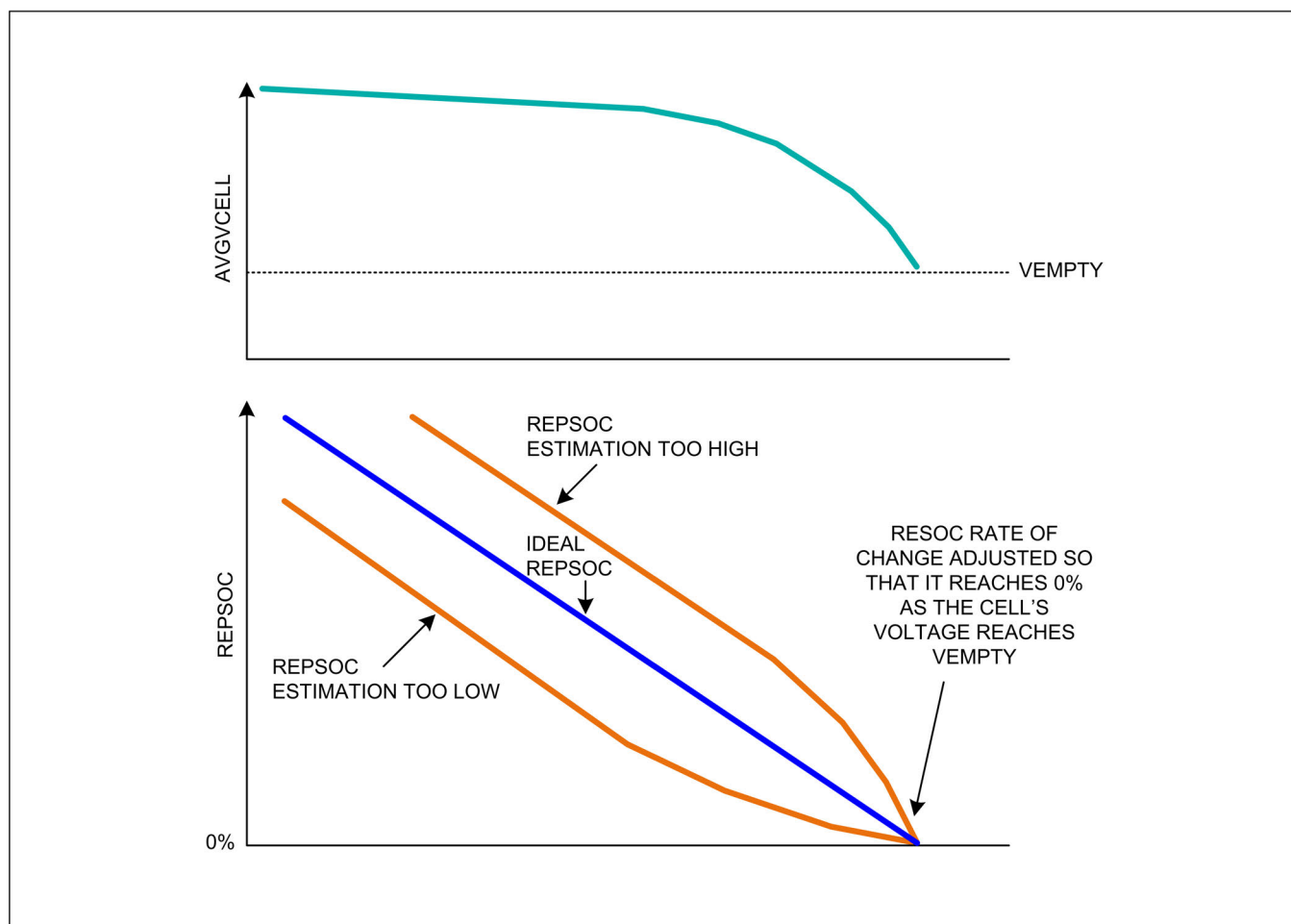


図 22. エンプティへの収束

残量ゲージ精度の決定

エンド・ユーザにもたらされる残量ゲージの真の精度を決定するには、バッテリーを動的な方法でテストする必要があります。単純なサイクルだけでエンド・ユーザ精度を理解することはできません。クーロン・カウンタなどの補正ベースの残量ゲージを検証するには、部分的な負荷セッションでバッテリーをテストします。例えば、代表的な例を挙げると、デバイスを 10 分間作動させてから 1 時間以上停止させるという方法を採用することができます。堅牢なテスト方法では、様々な負荷、温度、および時間でこの種のセッションが何度も繰り返されます。アプリケーション・ノート 4799 : Cell Characterization Procedure for a ModelGauge m3/ModelGauge m5 Fuel Gauge を参照してください。

初期精度

IC は、パワーアップ後または IC へのセル接続後の最初の電圧読み出し値を使用して、残量ゲージの開始出力を決定します。これは、この指示値の取得前にセルが完全に緩和していることが前提です。ただし、常に当てはまるとは限りません。負荷電流または充電電流が存在する場合は、セルの特性評価済み内部インピーダンス (R_{Fast} レジスタ) を使って初期読み出し値を補償し、セルの緩和電圧を予測します。直近でセルが充電または放電されている場合、IC が測定した電圧はセルの真の充電状態を示さない可能性があり、残量ゲージ出力に初期誤差が生じる結果となります。ほとんどの場合、この誤差はわずかであり、最初の 1 時間の通常動作の間に残量ゲージ・アルゴリズムによってすぐに除去されます。

Cycle+経年劣化予測

ModelGauge m5 EZ アルゴリズムの特別な機能の 1 つは、寿命を迎えるまでにセルが実行できるサイクル数を予測できることです。この機能により、アプリケーションは、時間経過に伴ってセルの充電プロファイルを調整し、セルのサイクル・ライフ要件を満たすことができます（図 23 参照）。このアルゴリズムは、時間経過に伴うセル容量の変化をモニタし、セルの容量が当初の 85% という事前定義されたスレッシュホールドまで低下するのに要するサイクル数を計算します。当初容量の 85% 未満の残存サイクルは、予測不可能であり、経年劣化予測の管理対象外です。

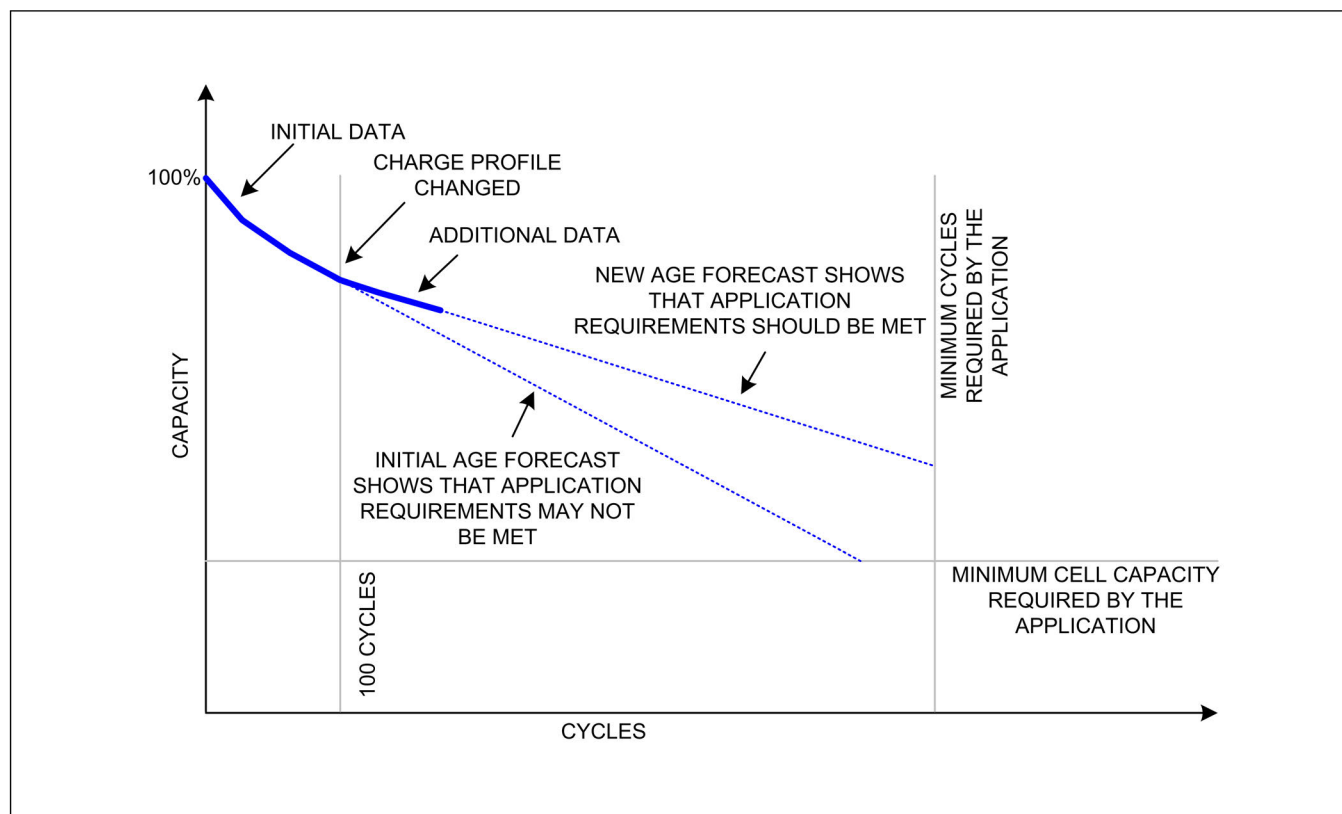


図 23. 経年劣化予測の利点

nAgeFcCfg レジスタ（1E2h）

レジスタ・タイプ：特殊

不揮発性メモリ復元：このレジスタに関連する復元場所はありません。

nAgeFcCfg レジスタは、経年劣化予測機能を設定するために用いられます。レジスタ・データは不揮発性であり、通常、パックの組み立て時にのみ設定されます。表 65 にこのレジスタのフォーマットを示します。

表 65. nAgeFcCfg レジスタ（1E2h）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DeadTargetRatio				CycleStart							0	0	0	1	1

DeadTargetRatio：セルが完全に経年劣化したとみなされる、初期セル容量に対する残存パーセンテージを設定します。DeadTargetRatio は、75%～86.72% の範囲の値を 0.7813% の LSB で調整できます。例えば、セルの容量が新品時の 85.1574% に低下するまでのサイクル数を予測するよう経年劣化予測が設定された場合、DeadTargetRatio を 1101b にプログラムする必要があります。

CycleStart：経年劣化予測の計算が始まるまでのセル・サイクル数を設定します。CycleStart の範囲は 0.00 サイクル～81.92 サイクルで、LSb は 0.64 サイクルです。予測推定値は、時間経過と共に正確になるため、ほとんどのアプリケーションでは 30 サイクルのデフォルト値を用います。

0：この場所には常に 0 を書き込みます。

1：この場所には常に 1 を書き込みます。

AgeForecast レジスタ (0B9h)

レジスタ・タイプ: 特殊
不揮発性メモリのバックアップ: なし

AgeForecast レジスタは、アプリケーションのセルの予想サイクル・ライフを示します。AgeForecast 値を Cycles (017h) レジスタの値と比較して、残存セル・サイクル数の推定値を決定する必要があります。これは、セルの年数経過に伴うサイクルごとの容量減失を累積することで行うことができます。結果は、サイクルの測定ごとに正確度が増して行きます。AgeForecast レジスタのフル・レンジは 0 サイクル ~ 10485 サイクルで、LSb は 0.16 サイクルです。このレジスタは、電源投入時の学習情報を基に再計算されます。

経年劣化予測の要件

経年劣化予測機能を正しく動作させるには、以下に示すいくつかの要件があります。

1. 経年劣化予測アルゴリズムが処理できるセル・サイズには最小値と最大値があります。表 66 に、アプリケーションで用いるセンス抵抗のサイズに応じた、経年劣化を正確に予測できるセル・サイズの許容範囲を示します。なお、この範囲は、与えられたセンス抵抗の電流および容量の測定範囲とは異なります。詳細については、電流測定

表 66. 経年劣化予測のための最小および最大セル・サイズ

SENSE RESISTOR (Ω)	MINIMUM CELL SIZE FOR FORECASTING (mAh)	MAXIMUM CELL SIZE FOR FORECASTING (mAh)
0.005	1600	5000
0.010	800	2500
0.020	400	1250

2. 経年劣化予測では、妥当な予測を行えるようになるまでに少なくとも 100 サイクルが必要です。それまでの経年劣化予測出力は無視してください。
3. 経年劣化予測を行うには、特性をカスタマイズしたバッテリー・モデルを IC が使用することが必要です。デフォルトのモデルを使用する場合、経年劣化予測は無効です。

経年劣化予測の有効化

経年劣化予測機能を有効化するには、以下の手順が必要です。

1. nNVCfg2.enVT を 0 に設定します。この機能は経年劣化予測と競合するため、無効化しなくてはなりません。
2. nFullCapFiltr (レジスタ 1AEh) を nFullCapNom の値に設定します。
3. nVoltTemp (レジスタ 1AAh) を 0x0001 に設定します。
4. 動作を開始するには、nNVCfg0.enAF を 1 に設定します。

バッテリーのライフログ記録

MAX17335 は、学習したバッテリー情報のログ記録ができ、セル・パックがその寿命を通じて経験した状態の履歴をホストに供給します。この IC は、ページ 1Ah の最大 100 スナップショットを不揮発性メモリに格納できます。ホストが 7 回可能な NVM への書き込みの 1 つを用いるたびに、使用可能な合計スナップショットは 1 ずつ減少します。ページ 1Ah からの個々のレジスタを表 67 にまとめます。ログ記録を行うには、これらの不揮発性メモリのバックアップを有効化し、LOCK1 をロック解除する必要があります。このデータシートの他のセクションにある各レジスタの詳細な説明を参照してください。ログ記録の割合は、「フィボナッチ式保存」の間隔に従い、予測されるバッテリー寿命に従ってログ保存を繰り返します。また、この割合は nNVCFG2.FibMax および nNVCFG2.FibScl で設定されます。詳細については、[100 レコードのライフログ記録](#)のセクションを参照してください。

表 67. ライフログ記録レジスタの概要

レジスタ・アドレス	レジスタ名	機能
1A0h	nQRTable00	アプリケーションの条件下でセル・パックがエンプティかどうかを判定するために用いられる、学習済みの特性評価情報。
1A1h	nQRTable10	
1A2h	nQRTable20	
1A3h	nQRTable30	
1A4h	nCycles	組み立て以降、セルが計測した等価フル・サイクルの合計数。
1A5h	nFullCapNom	アプリケーション条件に依存しない、セル容量の計算値。
1A6h	nRComp0	電圧残量ゲージに関連する学習済み特性評価情報。
1A7h	nTempCo	
1A8h	nBattStatus	永続的なバッテリー・ステータス情報が格納されます。
1A9h	nFullCapRep	現在のアプリケーション条件下でのセル容量の計算値。
1AAh	nVoltTemp	学習データ・バックアップ時に IC が計測した平均電圧と温度。経年劣化予測機能が有効化されている場合、このレジスタには別の情報が格納されます。
1ABh	nMaxMinCurr	このログ記録期間に IC が計測する最大および最小の電流、電圧、温度。
1ACh	nMaxMinVolt	
1ADh	nMaxMinTemp	
1AEh	nFaultLog/ nFullCapFitr	フォルト・ログ記録機能が有効化されている場合、このレジスタには、この寿命期間に生じたフォルトの履歴が格納されます。 経年劣化予測機能が有効化されている場合、このレジスタには高い強度でフィルタ処理された nFullCapNom が格納されます。
1AFh	nTimerH	セル・パックの組み立て以降の合計経過時間。シャットダウン・モードで費やされた時間は除きます。

ライフログ記録データの例

図 24 に、IC からの履歴データ読出し値の例を図示します。このデータを分析することで、セルの寿命期間にわたる性能情報が得られると共に、性能に影響する可能性のあるアプリケーションの異常も検知できます。

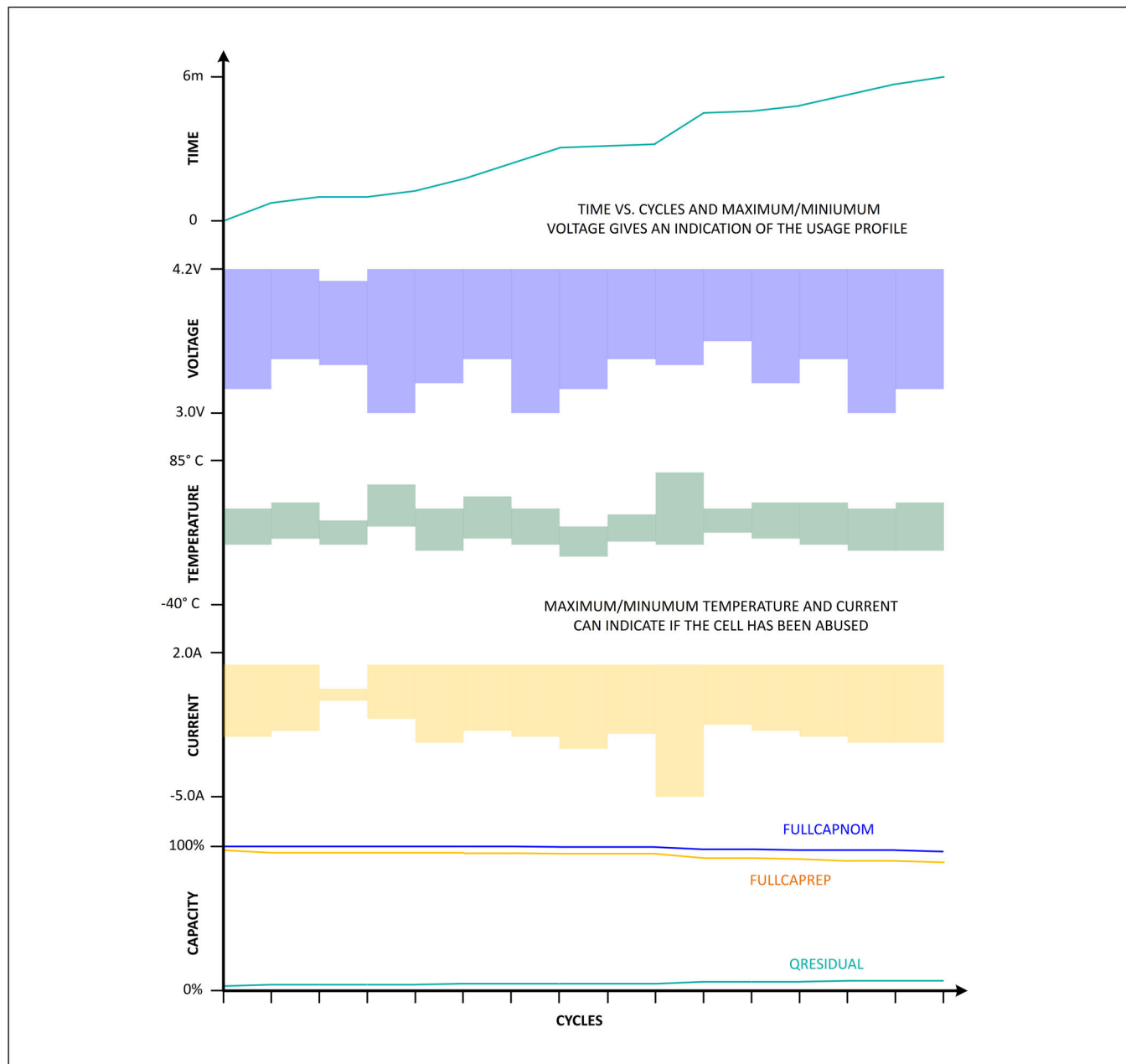


図 24. ライフログ記録データの例

有効なログ記録エントリの数の決定

データのログ記録の間、IC は、履歴ページ 1 から開始し、ページ 100 で全履歴メモリを使用し終えるまでログ記録を続けます。100 のページには、ユーザによる NVM への書き込みとバッテリーのライフログ記録の NVM への書き込みが含まれます。IC から履歴情報を読み出す前に、ホストは、どの履歴ページに書き込みが行われたのか、また、書き込みエラーがあり無視すべきものがあるならばそれはどれか、を判定する必要があります。履歴情報の各ページには、そのページに書き込みが行われたのかどうかを示す 2 つの関連する書き込みフラグと、書き込みが正常であったかどうかを示す 2 つの関連する有効フラグがあります。HISTORY RECALL コマンド[0xE2XX]を用いると、履歴フラグを IC メモリのページ 1Fh にロードでき、ここからホストがこれらのフラグの状態を読み出すことができます。表 68 に、どのコマンドおよびどのページ 1Fh のアドレスに必要な履歴ページのフラグ情報があるかを示します。例えば、履歴ページ 1~8 の書き込みフラグ情報を読み出すには、0xE29C コマンドを送信し、次にアドレス 1F2h を読み出します。ページ 1~8 の有効フラグ情報を読み出すには、0xE29C コマンドを送信して、次にアドレス 1FFh を読み出します。

表 68. 履歴ページのフラグの読み出し

ASSOCIATED HISTORY PAGES	COMMAND TO RECALL WRITE FLAGS	WRITE FLAG ADDRESS	COMMAND TO RECALL VALID FLAGS	VALID FLAG ADDRESS
1-8	0xE29C	1F2h	0xE29C	1FFh
9-16		1F3h	0xE29D	1F0h
17-24		1F4h		1F1h
25-32		1F5h		1F2h
33-40		1F6h		1F3h
41-48		1F7h		1F4h
49-56		1F8h		1F5h
57-64		1F9h		1F6h
65-72		1FAh		1F7h
73-80		1FBh		1F8h
81-88		1FCh		1F9h
89-96		1FDh		1FAh
97-100		1FEh		1FBh

書き込みフラグ情報と有効フラグ情報を IC から読み出した後は、これをデコードする必要があります。各レジスタには、所定の履歴ページに関する 2 つのフラグが保持されています。図 25 に、レジスタ・フォーマットを示します。所定の履歴ページのフラグは常に、互いに 8 ビットの間隔を置いています。例えば、履歴ページ 1 のフラグは常に D0 と D8 のビット位置にあり、履歴ページ 84 のフラグは D3 と D11 の位置にあります。なお、最後のフラグ・レジスタに格納されている情報は、3 ページ分のみであり、この場合、各バイトの上位 5 ビットは無視する必要があります。

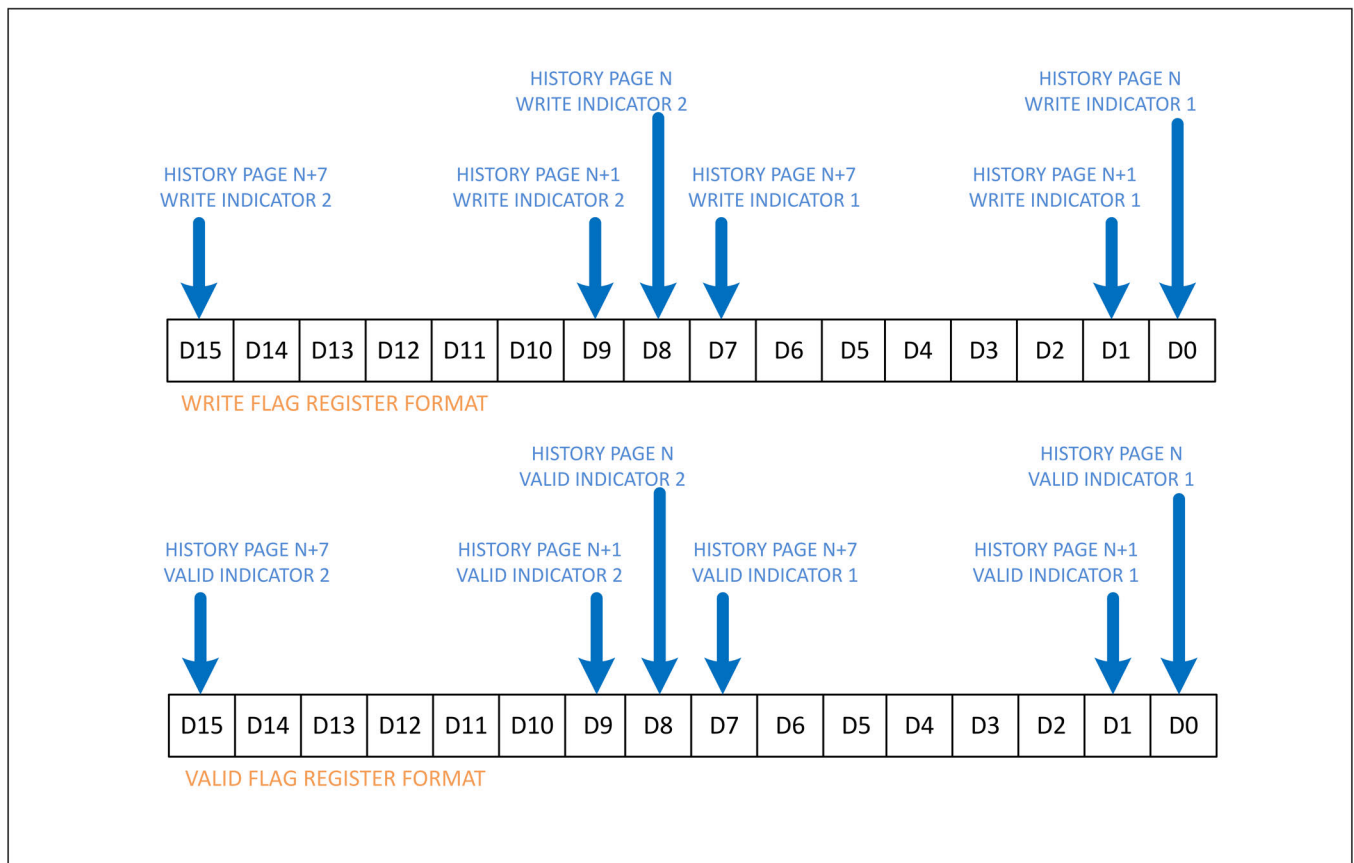


図 25. 書き込みフラグ・レジスタと有効フラグ・レジスタのフォーマット

所定の履歴ページに関する 4 つのフラグすべてが既知となった場合、ホストは、履歴ページに含まれているデータが有効かどうかを判定できます。いずれかの書き込みフラグがセットされている場合、データは IC によってそのページに書き込まれています。どちらの書き込みフラグもクリアされている場合、ページには書き込みが行われていません。アプリケーション条件が原因で書き込みが正常にできなかった可能性があります。次に、有効フラグをチェックし、どちらかの有効フラグがセットされている場合は、データに問題はないとみなされます。どちらの有効フラグもクリアされている場合は、データに問題があるとみなされ、ホストはそのデータを無視する必要があります。表 69 にフラグのデコード方法を示します。

表 69. 履歴ページのフラグのデコード

WRITE INDICATOR 1	WRITE INDICATOR 2	VALID INDICATOR 1	VALID INDICATOR 2	PAGE STATUS
0	0	X	X	Page empty.
1	X	0	0	Write failure. Page has invalid data.
		1	X	Write success. Page has valid data.
		X	1	
X	1	0	0	Write failure. Page has invalid data.
		1	X	Write success. Page has valid data.
		X	1	

履歴データの読出し

有効な履歴データの全ページが特定されると、それらは HISTORY RECALL コマンドを用いて IC から読み出すことができます。表 70 にコマンドと履歴ページの関係を示します。コマンドの送信後、 t_{RECALL} の時間だけ待機してから、IC のページ 1Fh から履歴データを読み出します。履歴データの各ページのフォーマットはページ 1Ah と同じです。例えば、nCycles はアドレス 1A4h にあり、nCycles の履歴は 1F4h にあります。nTimerH はアドレス 1AFh にあり、nTimerH の履歴はアドレス 1FFh にあります。

表 70. 履歴データの読出し

COMMAND	HISTORY PAGE RECALLED TO PAGE 1EH
0xE22E	Page 1
0xE22F	Page 2
...	...
0xE291	Page 100

履歴データの読出し例

ホストは、所定の IC からライフログ記録データを読み出す必要があります。ホストは、まず、書き込まれた履歴ページの数とエラーがあるかどうかを判定しなくてはなりません。履歴ページ 1 から開始するために、ホストは、0xE29C をコマンド・レジスタに送信し、 t_{RECALL} の時間だけ待機してから場所 1F2h を読み出します。読出しデータの D0 または D8 ビットがロジック 1 であれば、ホストは履歴ページ 1 に履歴データがあることが分かります。次にホストは、ページ 2 (ビット D1 および D9) からページ 7 (ビット D7 および D15) までをチェックします。ホストは、場所 1F3h を読み出すことでページ 8〜ページ 16 に進行し、個々のビット・テストを繰り返します。このプロセスは、表 68 に示すコマンドとアドレスごとに繰り返され、両方の書込みフラグの読出し値がロジック 0 となる履歴ページをホストが見つけるまで続きます。このページが最初の未書込みページです。それ以前のすべてのページにはデータがあり、その後のすべてのページにはデータは何もありません。

その後、ホストは、不適当なデータがあり無視すべき履歴ページがあるとすればそれがどれかを判定しなくてはなりません。上記プロセスは、書込みフラグに代わって有効フラグの場合にも検証する場所ごとに繰り返されます。両方の有効フラグの読出し値がロジック 0 であるような履歴ページは、書込み失敗があったために不適切とみなされ、無視する必要があります。ホストが、有効に書き込まれた履歴ページの全リストを入手した後は、プロセス用に、0xE22E〜0xE291 のコマンドを用いてページ 1Fh から履歴情報を読み出せます。

なお、この例は、手順を説明する都合上簡略化されたものです。より効率的な方法は、ホストが一度履歴コマンドを送信し、その後すべての関連レジスタを読み出すことです。例えば、ホストは一度 0xE29C コマンドを送信し、その後、ページ 1〜100 (1F2h〜1FEh) のすべての書込みフラグとページ 1〜8 (1FFh) のすべての有効フラグを格納している、1F0h〜1FFh の全メモリ空間を読み出します。これは、0xE2XX の履歴コマンドすべてに当てはまります。

履歴データ読出しの疑似コード例については、付録 A：履歴データ読出しの疑似コード例のセクションを参照してください。

ModelGauge m5 EZ アルゴリズムの入力レジスタ

以下に示すレジスタは、ModelGauge アルゴリズムの入力であり、アプリケーションのセルの特性評価情報と、重要なアプリケーション固有の仕様を格納しています。ここではそれらを簡単に説明します。セル特性評価に関する詳細については、アナログ・デバイセズにお問い合わせください。

nXTable0 (180h) ~nXTable11 (18Bh) レジスタ

レジスタ・タイプ：特殊

不揮発性メモリ復元：これらのレジスタに関連する復元場所はありません。

セルの特性評価情報は、容量と動作条件の関係を判定するために、ModelGauge アルゴリズムによって使用されます。このテーブルは、バッテリー特性評価データに由来するものです。これらは、不揮発性メモリの場所です。

nOCVTable0 (190h) ~nOCVTable11 (19Bh) レジスタ

レジスタ・タイプ：特殊

不揮発性メモリ復元：これらのレジスタに関連する復元場所はありません。

セルの特性評価情報は、容量と動作条件の関係を判定するために、ModelGauge アルゴリズムによって使用されます。

このテーブルは、バッテリー特性評価データに由来するものです。これらは、不揮発性メモリの場所です。

nQRTTable00 (1A0h) ~nQRTTable30 (1A3h) レジスタ

レジスタ・タイプ：特殊

不揮発性メモリのバックアップおよび復元：QRTTable20~QRTTable30 (032h、042h)

nQRTTable00 から nQRTTable30 までのレジスタの場所には、一定のアプリケーション条件下では使用できないセル容量関連の特性評価情報が格納されます。

nVEmpty レジスタ (19Eh)

レジスタ・タイプ：特殊

不揮発性メモリの復元：なし

nVEmpty レジスタは、動作時のエンプティ検出に関するスレッシュホールドを設定します。表 71 にこのレジスタのフォーマットを示します。

表 71. nVEmpty (19Eh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
VE									VR						

VE：エンプティ電圧。エンプティを検出するための電圧レベルを設定します。10mV の分解能とすると、範囲は 0V~5.11V になります。この値は、不揮発性メモリ・バックアップが無効化されている場合、リセット後は 3.3V に書き込まれます。

VR：回復電圧。エンプティ検出をクリアするための電圧レベルを設定します。セル電圧が上昇してこのポイントを超えると、エンプティ電圧検出が再度有効化されます。40mV の分解能とすると、範囲は 0V~5.08V になります。この値は、不揮発性メモリ・バックアップが無効化されている場合、リセット後は 3.88V に書き込まれます。

nDesignCap レジスタ (1B3h)

レジスタ・タイプ：容量

出荷時のデフォルト値：2A83h

不揮発性メモリ復元：DesignCap (018h)

nDesignCap レジスタは、セルの予想容量、VScale 値、QScale 値を保持します。DesignCap の値は、測定された現在のセル容量と比較することによってセルの経年劣化および正常性を決定するために使われます。VScale の値は、充電電圧を計算するための中心電圧とステップ・サイズを決定します。QScale の値は、中心電圧 (4.2V または 3.7V) とステップ・サイズ (5mV または 10mV) を決定します。

表 72. nDesignCap レジスタ (1B3h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DesignCap										Reserved		Vscale	Qscale		

Vscale：VScale は、表 73 に示すように、ChargingVoltage の計算に使用される CenterVoltage と StepSize を設定します。VScale の StepSize は、充電電圧にのみ適用され、その他の電圧スレッシュホールドは対象外です。様々な温度領域での充電電圧の計算の詳細については、nVChgCfg1 および nVChgCfg2 レジスタを参照してください。

表 73. VScale の中心電圧およびステップ・サイズのオプション

VSCALE SETTING	CENTER VOLTAGE (V)	STEP SIZE (mV)
0	4.2	5
1	3.7	10

Qscale：QScale は、表 74 に示すように、ChargingCurrent と DesignCap を計算するための StepSize を設定し、センサー抵抗によってスケールリングされます。QScale の StepSize は、ChargingCurrent および DesignCap にのみ適用され、その他の電流スレッシュホールドや容量は対象外です。様々な温度領域での充電電流の計算の詳細については、nIChgCfg1 および nIChgCfg2 レジスタを参照してください。

表 74. QScale の StepSize オプション

QSCALE SETTING	CURRENT STEP SIZE (mA)	CAPACITY STEP SIZE (mAH)
0	$2.5 \times (10/R_{SENSE})$	$1.25 \times (10/R_{SENSE})$
1	$5 \times (10/R_{SENSE})$	$2.5 \times (10/R_{SENSE})$
2	$10 \times (10/R_{SENSE})$	$5.0 \times (10/R_{SENSE})$
3	$20 \times (10/R_{SENSE})$	$10.0 \times (10/R_{SENSE})$
4	$25 \times (10/R_{SENSE})$	$12.5 \times (10/R_{SENSE})$
5	$40 \times (10/R_{SENSE})$	$20.0 \times (10/R_{SENSE})$
6	$50 \times (10/R_{SENSE})$	$25.0 \times (10/R_{SENSE})$
7	$100 \times (10/R_{SENSE})$	$50.0 \times (10/R_{SENSE})$

DesignCap : DesignCap は、StepSize を決定する QScale 設定に基づいて計算されます。

$\text{DesignCapacity} = \text{DesignCap} \times \text{QScale.CapacityStepSize}$

例えば、出荷時のデフォルト設定値である 2A83h の場合は、以下のようになります。

VScale = 0 --> CenterVoltage = 4.2V, StepSize = 5mV

QScale = 3 --> CurrentStepSize = 20mA, CapacityStepSize = 10mAH

DesignCap = 170

DesignCapacity = $170 \times 10\text{mAH} = 1700\text{mAH}$

nRComp0 レジスタ (1A6h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : RComp0 (038h)

nRComp0 レジスタは、負荷がかかった状態でのセルのオープン・サーキット電圧の計算に不可欠な特性評価情報を保持します。

nTempCo レジスタ (1A7h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : TempCo (039h)

nTempCo レジスタは、nRComp0 レジスタの値に対する温度補償情報を保持します。

ModelGauge m5 EZ アルゴリズムの設定レジスタ

以下に示すレジスタは、ModelGauge m5 EZ アルゴリズムの動作をアプリケーションに応じて調整できるようにします。これらのレジスタのデフォルト値を使用することを推奨します。

nFilterCfg レジスタ (19Dh)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : FilterCfg (029h) (nNVCfg0.enFCfg がセットされている場合)。

代替初期値 : 0x0EA4

nFilterCfg レジスタは、OCV とクーロン・カウントの結果のミキシング用に、すべての A/D 読出し値の平均化時間幅を設定します。これらの値は、アプリケーションにとって必要な場合を除き、変更しないことを推奨します。表 75 に、nFilterCfg レジスタのフォーマットを示します。

表 75. FilterCfg (029h) / nFilterCfg (19Dh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	TEMP			MIX				VOLT			CURR			

CURR : AvgCurrent レジスタの時定数を設定します。デフォルトの POR 値 0100b では時定数が 5.625 秒になります。この時間を設定する式は以下のとおりです。

$\text{AvgCurrent time constant} = 45\text{s} \times 2^{(\text{CURR}-7)}$

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

VOLT : AvgVCell レジスタの時定数を設定します。デフォルトの POR 値 010b では時定数が 45 秒になります。この時間を設定する式は以下のとおりです。

AvgVCell time constant = 45s x 2^(VOLT-2)

MIX : ミキシング・アルゴリズムの時定数を設定します。デフォルトの POR 値 1101b では時定数が 12.8 時間になります。この時間を設定する式は以下のとおりです。

Mixing Period = 45s x 2^(MIX-3)

TEMP : AvgTA レジスタの時定数を設定します。デフォルトの POR 値 0001b では時定数が 1.5 分になります。この時間を設定する式は以下のとおりです。

AvgTA time constant = 45s x 2^{TEMP}

0 : これらのビットには 0 を書き込みます。

nRelaxCfg レジスタ (1B6h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : RelaxCfg (0A0h) (nNVCfg0.enRCfg がセットされている場合)。

代替初期値 : 0x2039

nRelaxCfg レジスタは、セルが緩和状態にあるかどうかを IC が検出する方法を定義します。図 26 を参照してください。セルが緩和状態にあるとみなすには、セルに流れる電流が最小限に保たれ、時間に対するセルの電圧変化 (dV/dt) が非常に小さいか、まったくない状態になっていなければなりません。2 つの連続する dt の間に、AvgCurrent が LOAD スレッシュホールド未満のままで、VCell の変化が dV スレッシュホールド未満に留まる場合、そのセルは緩和状態にあるとみなされます。表 76 に nRelaxCfg レジスタのフォーマットを示します。

表 76. RelaxCfg (0A0h) / nRelaxCfg (1B6h) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
LOAD							dV				dt				

LOAD : AvgCurrent レジスタとの比較に使用するスレッシュホールドを設定します。無負荷とみなされるセルでは、AvgCurrent レジスタがこのスレッシュホールド未満に留まっている必要があります。負荷な符号なしの 7 ビット値で 1LSb は 50μV です。デフォルト値は 800μV です。

dV : VCell との比較に使用するスレッシュホールドを設定します。セルの電圧の変化が、dt で設定された 2 つの連続する期間にわたり dV 未満である場合、セルは緩和しているものとみなされます。dV の範囲は 0mV~40mV、1LSb は 1.25mV です。デフォルト値は 3.75mV です。

d : VCell の変化を dV と比較する際の時間幅を設定します。セルの電圧の変化が、dt で設定された 2 つの連続する期間にわたり dV 未満である場合、セルは緩和しているものとみなされます。デフォルト値は 1.5 分です。比較期間は次のように計算されます。

Relaxation period = 2^(dt-8) x 45s

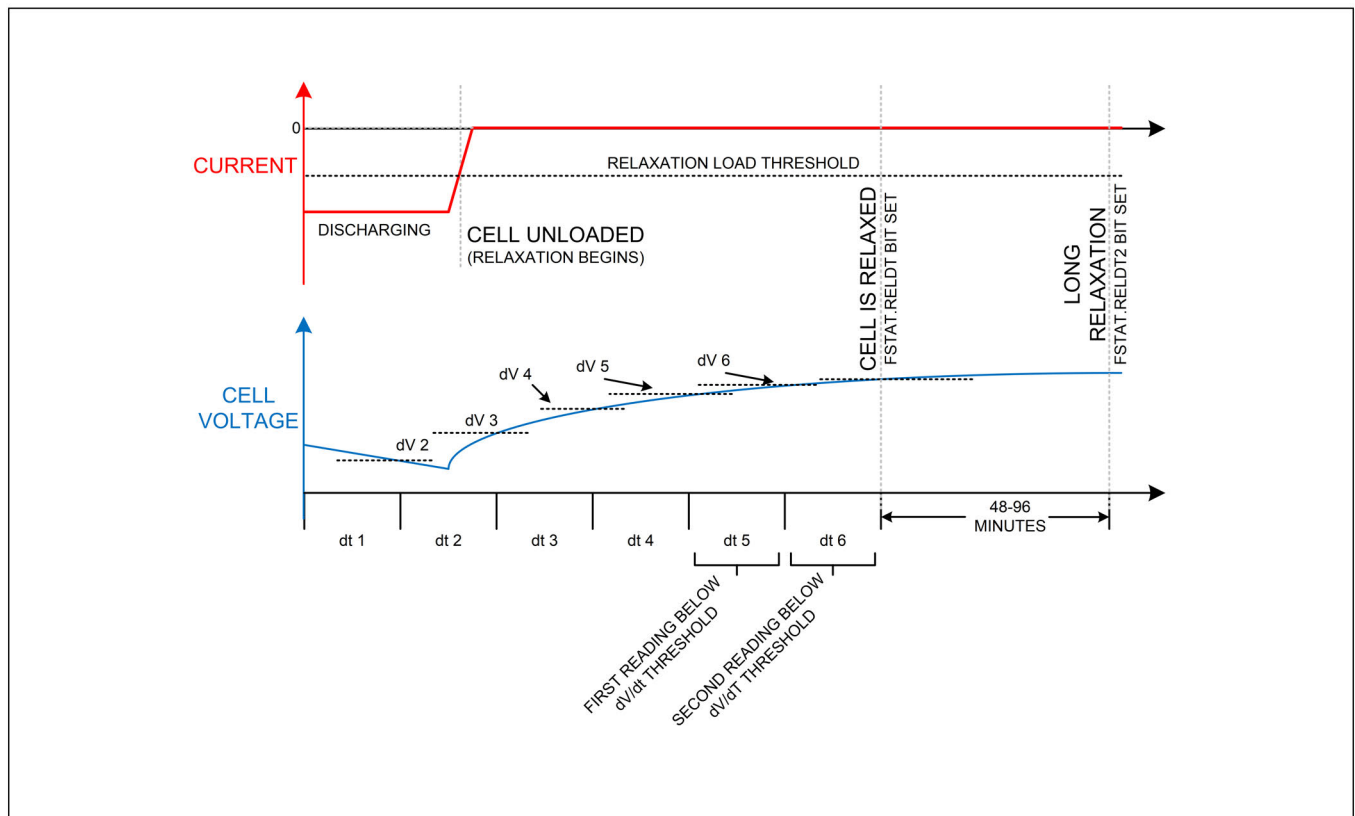


図 26. セルの緩和検出

nTTFCfg レジスタ (1BAh) / CV_MixCap (0B6h) および CV_HalfTime (0B7h) レジスタ

レジスタ・タイプ：特殊

不揮発性メモリ復元：このレジスタに関連する復元場所はありません。

代替初期値：CV_HalfTime = 0xA00 (30 分) および CV_MixCap = 75% × FullCapNom。

nTTFCfg レジスタは、フル充電までの時間 (TTF) の計算に関連するパラメータを設定します。デバイス・リセット後にこのレジスタの呼び出し先となる関連 RAM レジスタの場所はありません。アナログ・デバイセズによる特性評価の間に、TTF 性能が最適となるようこれらのパラメータが調整される可能性があります。表 77 にこのレジスタのフォーマットを示します。

表 77. nTTFCfg レジスタ (1BAh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
nCV_HalfTime								nCV_MixCapRatio							

nCV_HalfTime：HalfTime の値を 45 秒の LSb で設定します。これにより、フルスケール範囲は、0 秒～192 分になります。

nCV_MixCapRatio：MixCapRatio の値を 1/256 の LSb で設定します。これにより、フルスケール範囲は、0～0.9961 になります。

nConvCfCg レジスタ (1B7h)

レジスタ・タイプ：特殊

不揮発性メモリ復元：このレジスタに関連する復元場所はありません。

nConvCfCg レジスタはエンプティ収束機能の動作を設定します。nConvCfCg の推奨値は 0x2241 です。表 78 に nConvCfCg レジスタのフォーマットを示します。nConvCfCg = 0x0000 と設定すると、エンプティ収束機能は無効化されます。

表 78. nConvGCfg レジスタ (1B7h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RepLow				VoltLowOff				MinSlopeX				Repl_per_stage			

Repl_per_stage : 現在の学習ステージに応じ、以下の式を使って RepLow スレッシュホールドの設定を調整します。これにより、初期の学習段階における RepLow スレッシュホールドのレベルを上げることができます。Repl_per_stage の LSb は 1% で、これにより範囲は 0% ~ 7% となります。

$$\text{RepLow Threshold} = \text{RepLow Field Setting} + \text{RemainingStages} \times \text{Repl_per_stage}$$

MinSlopeX : RepSOC が RepLow 未満に低下する場合の勾配の量を設定します。MinSlopeX の LSb は 1/16 の比に相当し、これによりフル・レンジは 0 ~ 15/16 になります。

VoltLowOff : AvgVCell レジスタの値が VoltLow スレッシュホールド未満に低下すると、RepCap は、以下に示す式で定義される比率で、下方に曲がり始めます。VoltLowOff の LSb は 20mV で、これにより範囲は 0mV ~ 620mV となります。

$$\text{RepCap} = (\text{AvgVCell} - \text{nVEmpty}) / \text{VoltLowOff}$$

RepLow : RepCap のスレッシュホールドを設定します。このスレッシュホールド未満では RepCap が上に曲がり始めます。RepLow フィールドの LSb は 2% で、これによりフルスケール範囲は 0% ~ 30% となります。

nRippleCfg レジスタ (1B1h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : このレジスタに関連する復元場所はありません。

nRippleCfg レジスタは、リップル測定およびリップル補償の設定を行います。このレジスタの推奨値は 0x0204 です。表 79 にこのレジスタのフォーマットを示します。

表 79. nRippleCfg レジスタ (1B1h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
kDV													NR		

NR : リップル測定用のフィルタの大きさを設定するもので、次式で定義されます。範囲は 1.4 秒 ~ 180 秒です。

$$\text{Ripple Time Range} = 1.4 \text{ seconds} \times 2^{\text{NR}}$$

kDV : これに対応する補償容量を設定します。これは、リップルに比例します。

nMiscCfg レジスタ (1B2h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : MiscCfg (00Fh) (nNVCfg0.enMC がセットされている場合)。

代替初期値 : 0x3070

nMiscCfg 制御レジスタは、デバイスのその他様々な機能を有効化します。アプリケーションで特に必要がなければ、nMiscCfg レジスタのデフォルト値を変更する必要はありません。表 80 にこのレジスタのフォーマットを示します。

表 80. MiscCfg (00Fh) / nMiscCfg (1B2h) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FUS				0	0	MR				1	0	0	SACFG		

0 : このビットには 0 を書き込む必要があります。1 は書き込まないでください。

1 : このビットには 1 を書き込む必要があります。0 は書き込まないでください。

SACFG : SOC アラートの設定。SOC アラートは、以下に示すようにいずれかの SOC レジスタをモニタすることによって生成できます。SACFG はパワーアップ時にデフォルトで 00 に設定されます。

00 : SOC アラートは RepSOC レジスタに基づいて生成されます。

01 : SOC アラートは AvSOC レジスタに基づいて生成されます。

10 : SOC アラートは MixSOC レジスタに基づいて生成されます。

11 : SOC アラートは VFSOC レジスタに基づいて生成されます。

MR：ミキシング・レート。この値は、最終的なミキシング状態に達した後（2.08 全サイクル以降）のサーボ・ミキシング・レートの強度を設定します。単位は、 $MR0 = 6.25\mu V$ であり、標準的な $10m\Omega$ センス抵抗を用いた場合、範囲は $19.375mA$ までとなります。この値を $00000b$ に設定するとサーボ・ミキシングは無効化され、IC はいつまでも時定数ミキシングを続けます。デフォルト設定は $18.75\mu V$ または、標準的なセンス抵抗を用いた場合は $1.875mA$ です。

FUS：フル更新勾配。このフィールドは、充電サイクル終了近くでの FullCapRep の調整レートを設定することによって、RepSOC レジスタと FullCapRep レジスタの急激な変化を防止します。更新の勾配の調整範囲は、15 分あたり 2% ($0000b$) から最大で 15 分あたり 32% ($1111b$) までです。

ModelGauge m5 EZ アルゴリズムのその他のレジスタ

以下に示すレジスタには、デバッグや性能の分析に便利な、中間的な ModelGauge m5 データが格納されます。これらのレジスタの値は、IC のリセット後 480ms が経過してから初期化されます。

Timer レジスタ (03Eh)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

初期値：0x0000

このレジスタには、残量ゲージのタイミング情報が格納されます。ユーザがデバッグ目的で使用できます。Timer レジスタの LSB は $175.8ms$ で、これによりフルスケール・レンジは、0 時間～3.2 時間となります。

dQAcc レジスタ (045h)

レジスタ・タイプ：容量 (2mAh/LSB)

不揮発性メモリのバックアップ：nFullCapNom からの変換値

代替初期値：0x0017 (368mAh)

このレジスタは、緩和ポイント間でのバッテリー充電の変化を追跡します。ユーザがデバッグ目的で使用できます。

dPAcc レジスタ (046h)

レジスタ・タイプ：パーセンテージ (LSB あたり 1/16%)

不揮発性メモリのバックアップ：なし

初期値：0x0190 (25%)

このレジスタは、緩和ポイント間でのバッテリーの充電状態の変化を追跡します。ユーザがデバッグ目的で使用できます。

QResidual レジスタ (00Ch)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

QResidual レジスタは、現在のアプリケーション条件でセル内部に存在する（しかし取り出すことのできない）計算充電量を mAh 単位で示します。この値が MixCap の値から減じられ、現在の条件下でユーザが使用できる容量 (AvCap) が求められます。

VFSOC レジスタ (0FFh)

レジスタ・タイプ：パーセンテージ

不揮発性メモリのバックアップ：なし

VFSOC レジスタには、電圧残量ゲージに従って計算したバッテリーの現在の充電状態が保持されます。

VFOCV レジスタ (0FBh)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

VFOCV レジスタには、電圧残量ゲージに従って計算したセルのオープン・サーキット電圧が格納されます。この値は、他の内部計算に使われます。

QH レジスタ (4Dh)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

代替初期値：0x0000

QH レジスタは、デバイスが生成したクーロン・カウントの生データを表示します。このレジスタはミキシング・アルゴリズムへの入力として内部で使用されます。時間に伴う QH の変化をモニタリングすることで、デバイス動作のデバッグに役立てることができます。

AvCap レジスタ (01Fh)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

AvCap レジスタには、エンプティ補償など、ModelGauge m5 EZ アルゴリズムからのすべての入力に基づく、セル・パックの使用可能な容量の計算値が格納されます。レジスタの値はフィルタ処理前の計算値です。負荷電流や温度の急激な変動などの変化がアプリケーションに生じると、レポート値が突然大きく変化する可能性があります。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

AvSOC レジスタ (00Eh)

レジスタ・タイプ：パーセンテージ

不揮発性メモリのバックアップ：なし

AvSOC レジスタには、エンプティ補償など、ModelGauge m5 EZ アルゴリズムからのすべての入力に基づく使用可能なセル充電状態の計算値が格納されます。AvSOC のパーセンテージは、[AvCap](#)、[FullCapRep](#)、[QResidual](#) に対応しています。AvSOC レジスタの値はフィルタ処理前の計算値です。負荷電流や温度の急激な変動などの変化がアプリケーションに生じると、レポート値が突然大きく変化する可能性があります。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

MixSOC レジスタ (00Dh)

レジスタ・タイプ：パーセンテージ

不揮発性メモリのバックアップ：なし

MixSOC レジスタには、エンプティ補償調整が実行される前の、セルの現在の計算充電状態が保持されます。MixSOC は [MixCap](#) および [FullCapNom](#) に対応しています。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

MixCap レジスタ (02Bh)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

MixCap レジスタには、エンプティ補償調整が実行される前の、セルの計算残容量が保持されます。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

VFRemCap レジスタ (04Ah)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

VFRemCap レジスタには、エンプティ補償調整が実行される前に電圧残量ゲージによって決定されたセルの残容量が保持されます。詳細については、[残量ゲージ・エンプティ補償](#)のセクションを参照してください。

SOCHold レジスタ (0D0h)

レジスタ・タイプ：特殊

SOCHold レジスタは、エンプティ前のホールド機能の動作と、充電時の 99% ホールドのイネーブル・ビットを設定します。SOCHold のデフォルト値は 0x1002 です。[表 81](#) に SOCHold レジスタのフォーマットを示します。

表 81. SOCHold (0D0h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	99%HoldEn	EmptyVoltHold							EmptySocHold				

EmptyVoltHold : VEmpty に加えられる正の電圧オフセットです。エンプティ検出／学習は、 $V_{Cell} = V_{Empty} + \text{EmptyVoltHold}$ となる時点で発生します。EmptyVoltHold の LSb は 10mV で、これにより範囲は 0mV～1270mV となります。

EmptySocHold : RepSOC が一定に保たれるスレッシュホールドです。エンプティ検出／学習の後は、予想どおり RepSOC の更新が継続されます。EmptySocHold の LSb は 0.5% で、これにより範囲は 0%～15.5% となります。

99%HoldEn : 充電時の 99% ホールド機能のイネーブル・ビット。RepSOC は、有効化すると、フル充電状態と確認されるまで 99% の最大値を保持します。

FStat レジスタ (03Dh)

レジスタ・タイプ : 特殊

不揮発性メモリのバックアップ : なし

FStat レジスタは、ModelGauge アルゴリズムのステータスをモニタする読出し専用レジスタです。このレジスタ位置には書き込みをしないでください。表 82 に FStat レジスタのフォーマットを示します。

表 82. FStat レジスタ (03Dh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	RelDt	EDet	FQ	RelDt2	X	X	X	X	X	DNR

DNR : データ・ノット・レディ。このビットはセル挿入時に 1 に設定され、出力レジスタが更新されるまで設定されたままになります。その後は IC がこのビットをクリアして、残量ゲージの計算結果が最新の状態であることを示します。これには、IC がセル挿入イベント前に給電された状態であったかどうかに応じて、445ms～1.845s の時間を要します。

RelDt2 : 長時間緩和。このビットは、セルが 48 分～96 分あるいはそれ以上の時間緩和したことを ModelGauge m5 EZ アルゴリズムが検出すると、常に 1 に設定されます。このビットは、セルが緩和状態でなくなると常に 0 にクリアされます。図 31 を参照してください。

FQ : フル充電。このビットは、すべての充電終了条件が満たされると設定されます。詳細については、充電終了のセクションを参照してください。

EDet : エンプティの検出。このビットは、セル・エンプティ・ポイントに達したことを IC が検出した場合に 1 に設定されます。このビットは、セル電圧が上昇して回復スレッシュホールドを超えるとリセットされて 0 になります。詳細については、nVEmpty レジスタを参照してください。

RelDt : 緩和したセルの検出。このビットは、セルが完全に緩和状態であることを ModelGauge m5 EZ アルゴリズムが検出すると、常に 1 に設定されます。このビットは、負荷スレッシュホールドより大きい電流が検出されると常に 0 にクリアされます。図 31 を参照してください。

X : ドント・ケア。このビットは定義されておらず、ロジック 0 にもロジック 1 にもなる可能性があります。

nLearnCfg (19Fh) レジスタ

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : LearnCfg (0A1h) (nNVCfg0.enLCfg がセットされている場合)。

代替初期値 : 0x4686

nLearnCfg レジスタは、動作中の適応動作に関連するすべての機能を制御します。表 83 にこのレジスタのフォーマットを示します。

表 83. LearnCfg (0A1h) / nLearnCfg (19Fh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	0	0	1	1	0	1	LS			0	1	1	0

0 : このビットには 0 を書き込む必要があります。アナログ・デバイセズによるガイドがない限り、1 を書き込まないでください。

1 : このビットには 1 を書き込む必要があります。アナログ・デバイセズによるガイドがない限り、0 を書き込まないでください。

LS : 学習ステージ。学習ステージの値は、電圧残量ゲージがミキシング・アルゴリズムに与える影響を制御します。学習ステージはデフォルトで 0h に設定され、この場合は電圧残量ゲージが支配的になります。その後は 2 回のフル・セル・サイクルを経て学習ステージが 7h に進行し、クーロン・カウンタが支配的になります。ホスト・ソフトウェアは学習ステージに 7h を書き込むことで、いつでも最終ステージまで状態を進めることができます。1h から 6h までの値は、書き込んでも無視されます。

ModelGauge m5 EZ のレジスタ

正確な結果を得るために、ModelGauge m5 EZ はセルとアプリケーションに関する情報、および IC が測定したリアルタイムの情報を使用します。図 27 に、アルゴリズムの入力と出力をカテゴリ別に分類して示します。アナログ入力 (Analog input) レジスタには、IC が測定した電圧、温度、電流のリアルタイム値が格納されます。アプリケーション固有 (Application-specific) レジスタは、アプリケーションの動作を反映するためにユーザがプログラムします。セル特性評価情報 (Cell Characterization Information) レジスタには、アプリケーションの動作範囲全体を通じたセルの動作をモデル化する特性評価データが格納されます。アルゴリズム設定 (Algorithm Configuration) レジスタは、ホストが、そのアプリケーションに合わせて IC の性能を調整することを可能にします。学習情報 (Learned Information) レジスタは、セルに経年劣化が生じてもアプリケーションが残量ゲージの精度を維持できるようにします。各レジスタの説明のセクションでは、それぞれのレジスタの機能を詳細に説明しています。

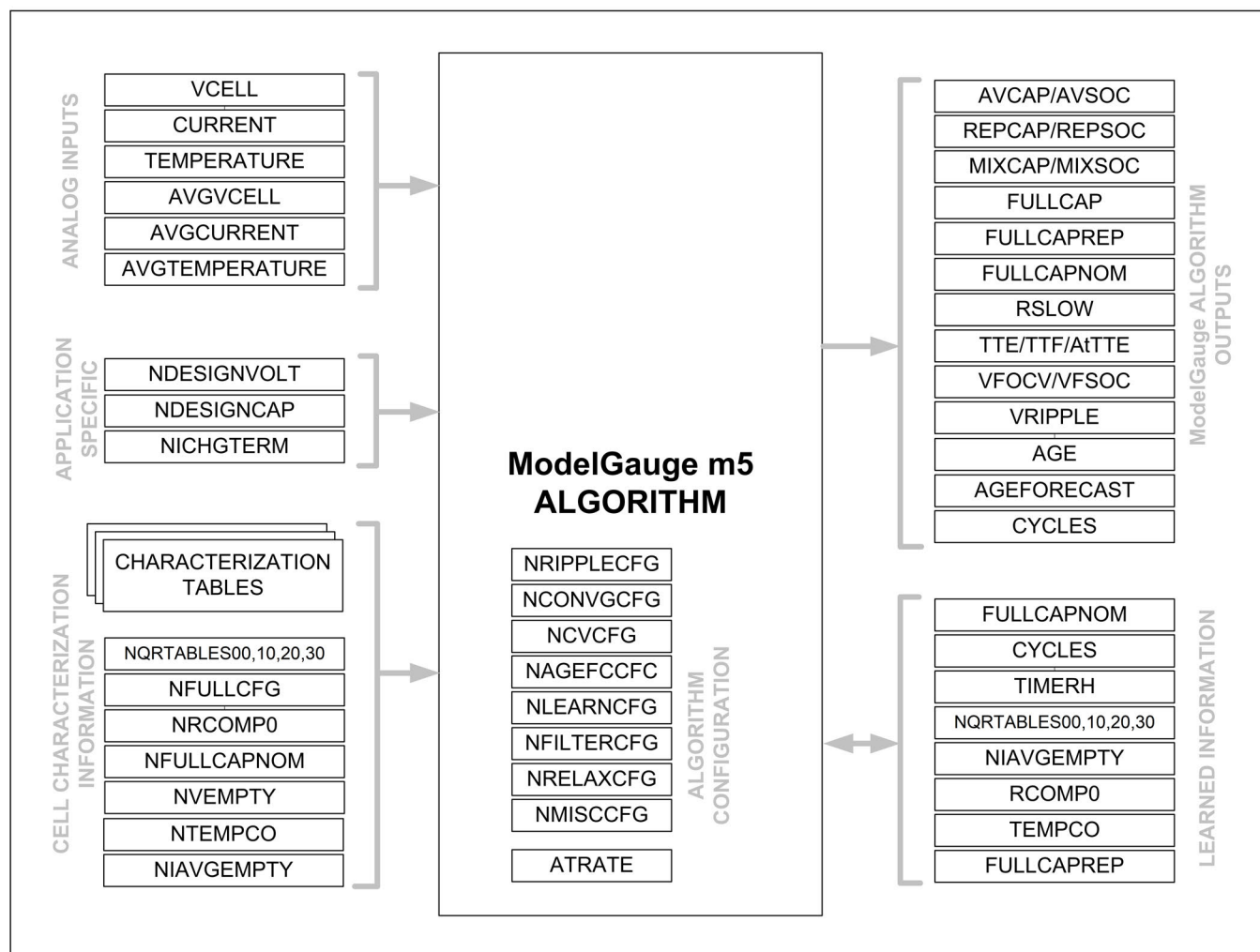


図 27. ModelGauge m5 EZ のレジスタ

メモリ

MAX17335 のメモリ空間は、32 ページに分けられ、それぞれ、16 ビット幅のレジスタ 16 個で構成されています。レジスタは、000h～1FFh の範囲の内部 9 ビットを用いてアドレス指定されます。外部からは、レジスタは 2 線式通信用の 8 ビット・アドレスでアクセスできます。レジスタは機能ブロック別に分類されています。各レジスタの機能の詳細については、機能の説明を参照してください。特定のメモリ・ブロックは、偶然の上書きを防止するために、恒久的にロックすることができます。詳細については、[メモリ・ブロックのロック](#)のセクションを参照してください。表 84 に、IC の全メモリ・マップを示します。なお、一部の個別ユーザ・レジスタは、RESERVED（予約済み）のメモリ・ページに置かれています。これらの場所には、通常どおりにアクセスできますが、ページの残りの部分は RESERVED とみなされます。RESERVED と記載されたメモリ位置には、書込みを行わないでください。RESERVED の位置から読み出されたデータは、定義されていません。

表 84. 最上位レベルのメモリ・マップ

REGISTER PAGE	LOCK	DESCRIPTION	2-WIRE SLAVE ADDRESS (8-BIT)	2-WIRE PROTOCOL	2-WIRE EXTERNAL ADDRESS RANGE
00h	—	MODELGAUGE m5 EZ DATA BLOCK	6Ch	I ² C	00h-4Fh
01h-04h	LOCK2				
05h-0Ah	—	RESERVED	—	—	—
0Bh	LOCK2	MODELGAUGE m5 EZ DATA BLOCK (continued)	6Ch	I ² C	B0h-BFh
0Ch	SHA	SHA MEMORY	6Ch	I ² C	C0h-CFh
0Dh	LOCK2	MODELGAUGE m5 EZ DATA BLOCK (continued)	6Ch	I ² C	D0h-DFh
0Eh-0Fh	—	RESERVED	—	—	—
10h-17h	—	SBS DATA BLOCK	16h	SBS	00h-7Fh
18h-19h	LOCK3	MODELGAUGE m5 EZ NONVOLATILE MEMORY BLOCK	16h	I ² C	80h-EFh
1Ah-1Bh	LOCK1	LIFE LOGGING and CONFIGURATION NONVOLATILE MEMORY BLOCK			
1Ch	LOCK4	CONFIGURATION NONVOLATILE MEMORY BLOCK			
1Dh	LOCK5	CHARGING AND PROTECTION NONVOLATILE MEMORY BLOCK			
1Eh	LOCK1	USER and SBS NONVOLATILE MEMORY BLOCK	16h	I ² C	F0h-FFh
1Fh	—	NONVOLATILE HISTORY			

表 85. 個別レジスタ

REGISTER ADDRESS	LOCK	DESCRIPTION	2-WIRE SLAVE ADDRESS	2-WIRE PROTOCOL	2-WIRE EXTERNAL ADDRESS RANGE
060h	—	Command REGISTER	6Ch	I ² C	60h
061h	—	CommStat REGISTER	6Ch	I ² C	61h
07Fh	—	Lock REGISTER	6Ch	I ² C	7Fh

ModelGauge m5 EZ のメモリ空間

ModelGauge m5 EZ 残量ゲージの機能に関するレジスタは、ページ 00h～04h に配置され、ページ 0Bh と 0Dh に続きます。特定のレジスタの動作の詳細については、[ModelGauge m5 EZ アルゴリズム](#)のセクションを参照してください。これらの場所（ページ 00h 以外）は、LOCK2 をセットすることで恒久的にロックできます。灰色で示したレジスタの場所は、予約済みの場所であり、ここに書き込むことはできません。表 86 を参照してください。

表 86. ModelGauge m5 EZ レジスタのメモリ・マップ

PAGE/ WORD	00XH	01XH	02XH	03XH	04XH	0AXH	0BXH	0DXH
0h	Status	FullCapRep	TTF	Reserved	AvgDieTemp	RelaxCfg	Status2	SOCHold
1h	VAIrtTh	TTE	DevName	Reserved	Reserved	LearnCfg	Power	Reserved
2h	TAIrtTh	VCellRep	CurrRep	QRTTable20	QRTTable30	Reserved	VRipple	Reserved
3h	SAIrtTh	FullSocThr	FullCapNom	Reserved	Reserved	ChgStat	AvgPower	Reserved
4h	AtRate	RCell	Reserved	DieTemp	Reserved	MaxPeakPower	Reserved	AvgCell1
5h	RepCap	FETTemp	Reserved	FullCap	dQAcc	SusPeakPower	TTFCfg	Reserved
6h	RepSOC	AvgTA	Reserved	IAvgEmpty	dPAcc	PackResistance	CVMixCap	Reserved
7h	Age	Cycles	Reserved	Reserved	Reserved	SysResistance	CVHalfTime	Batt
8h	MaxMinVolt	DesignCap	Charging Current	Reserved	Reserved	MinSysVoltage	CGTempCo	Cell1
9h	MaxMinTemp	AvgVCell	FilterCfg	FStat2	ProtTmrStat	MPPCurrent	AgeForecast	ProtStatus
Ah	MaxMinCurr	VCell	Charging Voltage	Reserved	VFRemCap	SPPCurrent	Reserved	FProtStat
Bh	Config	Temp	MixCap	Reserved	Reserved	Config2	FOTPSTAT	PCKP
Ch	QResidual	Current	Reserved	Reserved	Reserved	IAIrtTh	Reserved	AtQResidual
Dh	MixSOC	AvgCurrent	Reserved	FStat	QH	MinVolt	Reserved	AtTTE
Eh	AvSOC	lChgTerm	Reserved	Timer	QL	MinCurr	TimerH	AtAvSOC
Fh	MiscCfg	AvCap	Reserved	Reserved	Reserved	ProtAIrt	Reserved	AtAvCap

不揮発性メモリ

不揮発性メモリのメモリ・マップ

一部の ModelGauge m5 およびデバイスの設定値は、不揮発性メモリに格納されており、IC の電源が失われた場合でもデータの消失を防止できます。MAX17335 は、ModelGauge m5 アルゴリズムの実際の動作に基づき、時間経過と共にページ 1Ah の値を内部更新します。ホスト・システムは、動作の間このメモリ空間にアクセスする必要はありません。他のアクセス可能なレジスタ場所からの不揮発性メモリ・データは、内部で自動的に不揮発性メモリ・ブロックにミラーリングされます。なお、不揮発性メモリへの書き込み回数には制限があります。ユーザがアクセス可能な設定メモリへの書き込みは 7 回に制限されています。残量ゲージ・アルゴリズムの学習に伴うページ 1Ah の内部更新および外部からの更新は、100 回の書き込みに制限されています。これらの書き込み制限を超えることのないようにしてください。表 87 に不揮発性メモリのレジスタ・マップを示します。

表 87. 不揮発性レジスタのメモリ・マップ (スレーブ・アドレス 0x16)

PAGE/ WORD	18XH	19XH	1AXH ¹	1BXH	1CXH	1DXH	1EXH
0h	nXTable0	nOCVTable0	nQRTTable00	nConfig	nChgCtrl1	nUVPrtTh	UserMemory_1E0
1h	nXTable1	nOCVTable1	nQRTTable10	nRippleCfg	nIChgTerm	nTPrtTh1	nScOcvLim
2h	nXTable2	nOCVTable2	nQRTTable20	nMiscCfg	nChgCfg0	nTPrtTh3	nAgeFcCfg
3h	nXTable3	nOCVTable3	nQRTTable30	nDesignCap	nChgCtrl0	nIPrtTh1	nDesignVoltage
4h	nXTable4	nOCVTable4	nCycles	nI2CCfg	nStepCurr	nIPrtTh2	nChgCfg2
5h	nXTable5	nOCVTable5	nFullCapNom	nFullCfg	nStepVolt	nTPrtTh2	nPackResistance
6h	nXTable6	nOCVTable6	nRComp0	nRelaxCfg	UserMemory_1C6	nProtMiscTh	nManfctrDate
7h	nXTable7	nOCVTable7	nTempCo	nConvfgCfg	nPackCfg	nProtCfg	nFirstUsed
8h	nXTable8	nOCVTable8	nBattStatus	nRGain	nCGain	nNVCfg0	nSerialNumber0
9h	nXTable9	nOCVTable9	nFullCapRep	nAgeChgCfg	nADCCfg	nNVCfg1	nSerialNumber1

表 87. 不揮発性レジスタのメモリ・マップ（スレーブ・アドレス 0x16）（続き）

PAGE/ WORD	18XH	19XH	1AXH ¹	1BXH	1CXH	1DXH	1EXH
Ah	nXTable10	nOCVTable10	nVoltTemp	nTTFCfg	nThermCfg	nOVPrTh	nSerialNumber2
Bh	nXTable11	nOCVTable11	nMaxMinCurr	nHibCfg	nChgCfg1	nNVCfg2	nDeviceName0
Ch	nVAlrtTh	nRsense	nMaxMinVolt	nROMID0 ²	nVChgCfg1	nDelayCfg	nDeviceName1
Dh	nTAlrtTh	nFilterCfg	nMaxMinTemp	nROMID1 ²	nVChgCfg2	nODSCTh	nManfctrName0
Eh	nIAlrtTh	nVEmpty	nFaultLog/ nFullCapFtr	nROMID2 ²	nIChgCfg1	nODSCCfg	nManfctrName1
Fh	nSAlrtTh	nLearnCfg	nTimerH	nROMID3 ²	nIChgCfg2	nProtCfg2	nManfctrName2

Note 1: 1A0h～1AFh の場所は、IC が学習をするたびに、IC によって自動的に更新されます。

Note 2: ROM ID は、各 IC に固有のものであり、ユーザが変更することはできません。

100 レコードのライフログ記録

0x1A0～0x1AF のアドレスは、100 回分の OTP エントリのユーザ書込み（アナログ・デバイセズの工場にて最初のユーザ書込みを使用します）および学習したバッテリー特性やその他のライフログ記録（LOCK1 のロックが解除されている場合）に対応します。保存間隔は、フィボナッチ・アルゴリズムを用いて自動的に管理されます。これには次のような利点があります。

1. 寿命全体にわたる分析／デバッグ・データ：経年劣化したバッテリーや回収バッテリーの分析を支援します。
 - a. バッテリー特性に対する学習／適応。FullCap（nFullCapRep、nFullCapNom）、エンプティ補償（nQRTTable00-30）、抵抗（nRComp0 および nTempCo）
 - b. 永続的故障情報（nBattStatus）
 - c. バッテリー充電／放電の分数サイクル・カウンタ（nCycles）
 - d. 23 年タイマー（nTimerH）
 - e. ログ期間の最大／最小電圧／電流／温度（nMaxMinCurr、nMaxMinVolt、nMaxMinTemp）
 - f. 電圧／温度（ログ記録時）（nVoltTemp）
2. インテリジェントに管理された保存間隔：
 - a. 新品時の頻度。バッテリーが新品である場合、更新は、より高い頻度で行われます。これは、バッテリーに関する初期の学習情報（フル容量など）は、全体的な性能に対する重要度が高いためです。
 - b. 経年劣化と共に低頻度。バッテリーの使用が進むにつれ、更新頻度は緩やかになります。これは、学習情報の変化の速度も緩やかになるためです。
 - c. 電源喪失後の更新頻度は増加。これにより、電源喪失に付随する情報の消失を制限します。電源喪失ごとに、学習した情報が復元され、次回保存のレートが加速されます（表 90 参照）。このリセット加速は 7 回に制限されています。リセット・カウンタも記録されます（nCycles レジスタも参照）。ほとんどのバッテリー・アプリケーションは、電源が中断することなく 1 年以上継続できます。
 - d. 最長間隔の制限。特定のサイクル寿命を超えると、更新間隔は一定のままとなります。

この動作の設定は、以下に示すように、nNVCfg2 の FibMax パラメータと FibScl パラメータを用いて予測バッテリー寿命に応じて行ってください。

表 88. フィボナッチ構成の設定

		FIBONACCI SCALAR—FIBSCL			
Setting		00	01	10	11
1st and 2nd Interval		0.25	0.5	1	2
Battery Cycles Record Limit	FibMax = 0	193	386	772	1544
	FibMax = 1	310.5	621	1242	2484
	FibMax = 2	496.5	993	1986	3972
	FibMax = 3	795.5	1591	3182	6364
	FibMax = 4	1273.25	2546.5	5093	10186

表 88. フィボナッチ構成の設定（続き）

	FibMax = 5	2038.75	4077.5	8155	16310
	FibMax = 6	3262	6524	13048	26096
	FibMax = 7	5220	10440	20880	41760

表 88 の太字の設定は、更新間隔、最低更新レート、寿命の優先度に応じた、一般的に推奨される選択肢です。

表 89 には、各設定に付随する最長更新間隔を示します。

表 89. 最終的に安定化した段階の更新間隔（バッテリーのサイクル単位）

		FIBONACCI SCALAR—NNVCFG2.FIBSCL			
Setting		00	01	10	11
1st and 2nd Interval		0.25	0.5	1	2
Slowest Update Interval	FibMax = 0	2	4	8	16
	FibMax = 1	3.25	6.5	13	26
	FibMax = 2	5.25	10.5	21	42
	FibMax = 3	8.5	17	34	68
	FibMax = 4	13.75	27.5	55	110
	FibMax = 5	22.25	44.5	89	178
	FibMax = 6	36	72	144	288
	FibMax = 7	58.25	116.5	233	466

表 90 に、最も推奨される設定の保存スケジュールの例を示します。

表 90. 最も推奨される設定の保存スケジュール例

EXAMPLE	CYCLE LIFE	FIB MAX	FIB SCL	SLOWEST UPDATE	1ST	2ND	3RD	4TH	5TH	6TH	7TH	8TH	9TH	10TH	11TH
1	310.5	1	0	3.25	0.25	0.25	0.5	0.75	1.25	2	3.25	3.25	3.25	—	—
2	386	0	1	4	0.5	0.5	1	1.5	2.5	4	4	4	—	—	—
3	496.5	2	0	5.25	0.25	0.25	0.5	0.75	1.25	2	3.25	5.25	5.25	5.25	—
4	621	1	1	6.5	0.5	0.5	1	1.5	2.5	4	6.5	6.5	6.5	—	—
5	772	0	2	8	1	1	2	3	5	8	8	8	—	—	—
6	795.5	3	0	8.5	0.25	0.25	0.5	0.75	1.25	2	3.25	5.25	8.5	8.5	—
7	993	2	1	10.5	0.5	0.5	1	1.5	2.5	4	6.5	10.5	10.5	10.5	—
8	1242	1	2	13	1	1	2	3	5	8	13	13	13	—	—
9	1273.25	4	0	13.75	0.25	0.25	0.5	0.75	1.25	2	3.25	5.25	8.5	13.75	13.75

表 90 の例 9 の設定について、後に続く全起動の例を示します。

1st startup [0.25, 0.25, 0.5, 0.75, 1.25, 2, 3.25, 5.25, 8.5, 13.75, ...]

2nd startup [0.25, 0.5, 0.75, 1.25, 2, 3.25, 5.25, 8.5, 13.75, ...]

3rd startup [0.5, 0.75, 1.25, 2, 3.25, 5.25, 8.5, 13.75, ...]

4th startup [0.75, 1.25, 2, 3.25, 5.25, 8.5, 13.75, ...]

5th startup [1.25, 2, 3.25, 5.25, 8.5, 13.75, ...]

6th startup [2, 3.25, 5.25, 8.5, 13.75, ...]

7th startup [3.25, 5.25, 8.5, 13.75, ...]

8th startup [5.25, 8.5, 13.75, ...]

nNVCfg0 レジスタ (1D8h)

レジスタ・タイプ：特殊

不揮発性メモリ復元：このレジスタに関連する復元場所はありません。

nNVCfg0 レジスタは、デバイスおよび残量ゲージ・レジスタの RAM 位置の不揮発性メモリのバックアップを管理します。nNVCfg0 レジスタの各ビットがセットされている場合、IC のリセット後、所定のレジスタ位置を、対応する不揮発性メモリ位置から復元できます。所定レジスタの不揮発性メモリ復元が有効化されていない場合は、その位置はリセット後、デフォルト値に初期化されます。詳細については、個々のレジスタの説明を参照してください。nNVCfg0 レジスタの工場設定デフォルト値は 0x0702 です。表 91 に nNVCfg0 レジスタのフォーマットを示します。

表 91. nNVCfg0 レジスタ (1D8h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
enOCV	enX	0	0	enCfg	enFCfg	enRCfg	enLCfg
D7	D6	D5	D4	D3	D2	D1	D0
enICT	enDP	enVE	0	enMC	enAF	0	0

enAF：経年劣化予測を有効化。このビットをセットすると、経年劣化予測機能が有効になります。このビットがクリアされている場合、nAgeFcCfg は汎用のデータ・ストレージ用に使用できます。セットされている場合、nVoltTemp は経年劣化予測データに転用されます。enAF が 1 に設定されている場合、正しく動作させるには、nNVCfg2.enVT が 0 でなくてはなりません。

enMC：MiscCfg の復元を有効化。このビットをセットすると、リセット後、MiscCfg レジスタを nMiscCfg レジスタによって復元できます。このビットがクリアされている場合、MiscCfg は代替初期値で復元され、nMiscCfg は汎用データ・ストレージ用に使用できます。

enVE：VEmpty の復元を有効化。このビットをセットすると、リセット後、VEmpty レジスタを nVEmpty レジスタによって復元できます。このビットがクリアされている場合、VEmpty は代替初期値で復元され、nVEmpty は汎用データ・ストレージ用に使用できます。

enDP：動的電力を有効化。このビットをセットすると、動的電力の計算が有効化されます。このビットが 0 に設定されている場合、動的電力の計算は無効化され、MaxPeakPower/SusPeakPower/MPPCurrent/SPPCurrent の各レジスタは、汎用メモリとして使用できます。enDP をセットする場合、enVE もセットする必要がある、また、nVEmpty 値を有効にする必要があります。

enICT：IChgTerm の復元を有効化。このビットをセットすると、リセット後、IChgTerm レジスタを nIChgTerm レジスタによって復元できます。このビットがクリアされている場合、IChgTerm は nFullCapNom レジスタの 1/3 の値に復元され、nIChgTerm は汎用データ・ストレージ用に使用できます。

enFCfg：FilterCfg の復元を有効化。このビットをセットすると、リセット後、FilterCfg レジスタを nFilterCfg レジスタによって復元できます。このビットがクリアされている場合、FilterCfg は代替初期値で復元され、nFilterCfg は汎用データ・ストレージ用に使用できます。

enCfg：Config および Config2 の復元を有効化。このビットをセットすると、リセット後、Config レジスタおよび Config2 レジスタを nConfig レジスタによって復元できます。このビットがクリアされている場合、Config および Config2 は代替初期値で復元され、nConfig は汎用データ・ストレージ用に使用できます。

enX：XTable の復元を有効化。このビットをセットすると、nXTable レジスタ位置をセル特性評価データ用に使用できます。このビットがクリアされている場合、IC はデフォルトのセル・モデルを使用し、すべての nXTable レジスタ位置は、汎用ユーザ・メモリとして使用できます。

enOCV：OCVTable の復元を有効化。このビットをセットすると、nOCVTable レジスタ位置をセル特性評価データ用に使用できます。このビットがクリアされている場合、IC はデフォルトのセル・モデルを使用し、すべての nOCVTable レジスタ位置は、汎用ユーザ・メモリとして使用できます。

enLCfg：LearnCfg の復元を有効化。このビットをセットすると、リセット後、LearnCfg レジスタを nLearnCfg レジスタによって復元できます。このビットがクリアされている場合、LearnCfg は代替初期値で復元され、nLearnCfg は汎用データ・ストレージ用に使用できます。

enRCfg：RelaxCfg の復元を有効化。このビットをセットすると、リセット後、RelaxCfg レジスタを nRelaxCfg レジスタによって復元できます。このビットがクリアされている場合、RelaxCfg は代替初期値で復元され、nRelaxCfg は汎用データ・ストレージ用に使用できます。

nNVCfg1 レジスタ (1D9h)

レジスタ・タイプ: 特殊

不揮発性メモリ復元: このレジスタに関連する復元場所はありません。

nNVCfg1 レジスタは、デバイスおよび残量ゲージ・レジスタの RAM 位置の不揮発性メモリの復元を管理します。nNVCfg1 レジスタの各ビットがセットされている場合、IC のリセット後、所定のレジスタ位置を、対応する不揮発性メモリ位置から復元できます。所定レジスタの不揮発性メモリ・バックアップが有効化されていない場合は、その位置はリセット後、デフォルト値に初期化されます。詳細については、個々のレジスタの説明を参照してください。表 92 に nNVCfg1 レジスタのフォーマットを示します。

表 92. nNVCfg1 レジスタ (1D9h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
0	enMtl	0	0	enODSC	enJP	enSC	enProt
D7	D6	D5	D4	D3	D2	D1	D0
x	enProtChkism	enTP	enTTF	enAT	0	1	0

enProt: プロテクタを有効化。このビットをセットすると、プロテクタおよび充電機能用の FET ドライバが有効化されます。このビットがクリアされている場合、プロテクタおよび充電機能用の FET ドライバは動作せず、プロテクタおよび充電機能は無効化されます。

enJP: JEITA による保護を有効化 (温度領域依存)。このビットを 1 に設定すると、JEITA 保護を有効化できます。このビットをクリアすると、JEITA 保護が無効化され、室温用の OCCP スレッシュホールドが全温度範囲にわたり適用されます。温度範囲全体にわたる OVP スレッシュホールドは、nVChgCfg1/2 の設定によってのみ決まります。

enSC: 特殊化学組成モデルを有効化。特殊化学組成モデルを使用する場合は、このビットを 1 に設定します。このビットは、nScOcvLim の使用を可能にします。

enAT: アラートのスレッシュホールドを有効化。このビットをセットすると、リセット後、IAIrtTh、VAIrtTh、TAIrtTh、SAIrtTh の各レジスタを nIAIrtTh、nVAIrtTh、nTAIrtTh、nSAIrtTh の各レジスタで復元できます。このビットがクリアされている場合、これらのレジスタは代替初期値で復元され、不揮発性メモリ位置は汎用データ・ストレージ用に使用できます。

enTTF: フル充電までの時間の設定を有効化。1 に設定すると、フル充電までの時間特性を調整するために nTTFCfg を有効化 (CVMixCap および CVHalftime を設定) できます。1 以外に設定されている場合、CVMixCap および CVHalftime は代替初期値で復元され、nTTFCfg は汎用データ・ストレージ用に使用できます。

enODSC: OD および SC の過電流コンパレータを有効化。このビットをセットすると、リセット後、ODSCTh レジスタおよび ODSCCf レジスタを nODSCTh レジスタおよび nODSCCf レジスタによって復元できます。このビットがクリアされている場合、ODSCTh および ODSCCf は代替初期値で復元され (コンパレータは無効化)、nODSCTh および nODSCCf は汎用データ・ストレージ用に使用できます。

enMtl: CGTempCo の復元を有効化。このビットをセットすると、リセット後、CGTempCo レジスタを nADCCfg/nCGTempCo レジスタによって復元できます。このビットがクリアされている場合 CGTempCo は代替初期値で復元され、Config.FastADCen および enMtl の両方が共にクリアされていれば、nADCCfg は汎用データ・ストレージ用に使用できます。Config.FastADCen と enMtl を同時にセットしないでください。

enTP: 1 に設定すると、TaskPeriod レジスタを nTaskPeriod MTP と関連付けます。1 以外に設定した場合、TaskPeriod は POR 値で復元され、レジスタのアドレスは、nTaskPeriod ではなく nRippleCfg を設定します。

enProtChkism: プロテクタのチェックサム機能を有効化。このビットをセットすると、プロテクタのチェックサム機能が有効になります。このビットがクリアされている場合、チェックサム保護が無効化されます。

0: この位置は 0 のままとする必要があります。この位置には 1 を書き込まないでください。

nNVCfg2 レジスタ (1DBh)

レジスタ・タイプ: 特殊

不揮発性メモリ復元: このレジスタに関連する復元場所はありません。

nNVCfg2 レジスタは、デバイスおよび残量ゲージ・レジスタの RAM 位置の不揮発性メモリのバックアップと復元を管理します。nNVCfg2 レジスタの各ビットがセットされている場合、IC のリセット後、所定のレジスタ位置を、対応する不揮発性メモリ位置から復元したり不揮発性メモリ位置にバックアップしたりできます。所定レジスタの不揮発性メモリ・バックアップが有効化されていない場合は、その位置はリセット後、デフォルト値に初期化されます。詳細については、個々のレジスタの説明を参照してください。表 93 に nNVCfg2 レジスタのフォーマットを示します。

表 93. nNVCfg2 レジスタ (1DBh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
enT	0	enMMT	enMMV	enMMC	enVT	enFC	0	enMet	0	enFL	FibMax			FibScl	

FibMax/FibScl : FibMax と FibScl の「フィボナッチ保存」間隔を設定すると、予想されるバッテリー寿命に対応してログ保存を繰り返すことができます。詳細については、[100 レコードのライフログ記録](#)のセクションを参照してください。

enMet : 金属電流検出を有効化。このビットを 1 に設定すると、電流読出し値の温度補償が有効化され、銅パターンによる電流検出を可能にできます。また、この設定により、IC のリセット後に PackCfg.TdEn ビットが 1 に設定されるため、内部温度測定が確実に行われます。[nNVCfg1.enMtl](#) を参照してください。このビットにより、nCGTempCo/nADCCfg レジスタの動作が有効化され、電流検出の温度係数を調整できます。

enFL : フォルト・ログを有効化。それぞれのライフログ記録イベントでは、そのライフ・セグメントの間に発生した保護フォルトが、nFaultLog レジスタ (0x1AE) に記録されます。

enFC : FullCap および FullCapRep のバックアップおよび復元を有効化。このビットをセットすると、リセット後、FullCap レジスタおよび FullCapRep レジスタは nFullCapRep によって復元され、FullCapRep レジスタは nFullCapRep にバックアップされます。このビットがクリアされている場合、FullCap レジスタおよび FullCapRep レジスタは、nFullCapNom レジスタから復元されます。その後、nFullCapRep は汎用ユーザ・メモリとして使用できます。

enVT : 電圧および温度のバックアップを有効化。このビットをセットすると、保存動作時に、AvgVCell および AvgTA のレジスタ情報を nVoltTemp レジスタに格納できます。対応する復元オプションはありません。このビットおよび nNVCfg0.enAF がクリアされている場合、nVoltTemp は汎用メモリとして使用できます。なお、enVT は、nNVCfg0.enAF (AgeForecasting) と同時にセットできません。

enMMC : MinMaxCurr のバックアップを有効化。このビットをセットすると、保存動作時に、MinMaxCurr のレジスタ情報を nMinMaxCurr レジスタに格納できます。対応する復元オプションはありません。このビットがクリアされている場合、nMinMaxCurr は汎用メモリとして使用できます。

enMMV : MinMaxVolt のバックアップを有効化。このビットをセットすると、保存動作時に、MinMaxVolt のレジスタ情報を nMinMaxVolt レジスタに格納できます。対応する復元オプションはありません。このビットがクリアされている場合、nMinMaxVolt は汎用メモリとして使用できます。

enMMT : MinMaxTemp のバックアップを有効化。このビットをセットすると、保存動作時に、MinMaxTemp のレジスタ情報を nMinMaxTemp レジスタに格納できます。対応する復元オプションはありません。このビットがクリアされている場合、nMinMaxTemp は汎用メモリとして使用できます。

enT : TimerH のバックアップおよび復元を有効化。このビットをセットすると、TimerH レジスタを nTimerH レジスタによってバックアップし復元できます。このビットがクリアされている場合、TimerH は代替初期値で復元され、nTimerH は汎用データ・ストレージ用に使われます。

不揮発性メモリの有効化および解放とデフォルト値の関係

nUser と名付けられた、汎用ユーザ・データ・ストレージ専用の不揮発性メモリが 7 ワード分あります。その他ほとんどの不揮発性メモリ位置は、その通常機能が無効化された場合には、汎用ストレージとして使用できます。[nNVCfg0](#)、[nNVCfg1](#)、[nNVCfg2](#) の各レジスタが、どの不揮発性メモリ機能を有効化するか無効化するかを制御します。[表 94](#) に、特定のレジスタをユーザ・データ・ストレージ用に解放する方法を示します。[表 95](#) には、様々な IC 機能を制御する nNVCfg ビットと、そのビットがセットまたはクリアされた場合の影響を示します。詳細については、[nNVCfg](#) レジスタの説明を参照してください。不揮発性レジスタの機能をアプリケーションで使用している場合は、そのレジスタを汎用メモリ空間には変換しないでください。

ユーザ・メモリに使用可能なビット数と、これらのバイトを解放した場合の機能のトレード・オフの概要を以下に示します。

- 最大 150 バイトを解放可能：これと引き換えに、カスタム OCV テーブルやプロテクタを無効化できないことを含む、オプションの機能/設定ができなくなります。
- 68 バイトの穏当な数を解放可能：EZ に中途まで戻ることやプロテクタを無効化せずに、使用可能。
- 56 バイトを解放可能：その他の各種設定の半分を用いることで使用可能。
- 30 バイトを容易に解放可能
- 26.5 バイトは常に解放：ただし、SBS モードが有効化されていない場合。
- 6.5 バイトは常に解放：レジスタ 0x1C6 (2 バイト)、レジスタ 0x1E0 (2 バイト)、レジスタ 0x1D2 の下位 12 ビット、レジスタ 0x19C の上位バイト (1 バイト)。

表 94. 不揮発性メモリをユーザ・データに使用できるようにする方法

	RELATED FEATURE	FREE BY:	BYTES	REGISTERS	ADDRESS	COMMENTS
MAJOR FEATURE CHOICES	SBS NVM	Disable SBS features nNVCfg0.enSBS = 0	11 words 22 bytes	nDesignVoltage* nManfctrDate nFirstUsed nSerialNumber[0:2] nDeviceName[0:1] nManfctrName[0:2]	0x1E3*, 0x1E6-0x1EF	Generally freeable *nDesignVoltage is freeable if enSBS = 0 AND enDP = 0
	Time-to-Full Configurability	nNVCfg1.enTTF = 0	1 word 2 bytes	nTTFCfg	0x1BA	Free if default nTTFCfg is acceptable.
	Dynamic Power	nNVCfg0.enDP = 0	2 word 4 bytes	nDesignVoltage*, nRGain	0x1E3*, 0x1B8	Free if feature is not used. *nDesignVoltage is freeable if enSBS = 0 AND enDP = 0
	Age Forecasting	nNVCfg0.enAF = 0	1 word 2 bytes	nAgeFcCfg nVoltTemp* nFaultLog/ nFullCapFiltr	0x1E2, 0x1AA, 0x1AE	Free if feature is not used. *nVoltTemp is freeable if enAF = 0 AND enVT = 0 *nFaultLog/ nFullCapFiltr is freeable if enAF = 0 AND enFL = 0
	LiFePO ₄	nNVCfg1.enSC	1 word 2 bytes	nScOcvLim	0x1E1	Free if feature is not used.
MODELLING/ CHARACTERIZATION CONFIGURATION OPTIONS	Relaxation Configuration	nNVCfg0.enRCfg = 0	3 words 6 bytes	nRelaxCfg	0x1B6	Normally freeable. Defaults work for most applications.
	Misc Configuration	nNVCfg0.enMC = 0		nMiscCfg	0x1B2	
	Filter Configuration	nNVCfg0.enFCfg = 0		nFilterCfg	0x19D	
	nLearnCfg	nNVCfg0.enLCfg = 0	1 word 2 bytes	nLearnCfg	0x19F	Freeable depending on modelling/ characterization.
	Misc Configuration (Pushbutton, Comm-Shutdown, AtRate-enable)	nNVCfg0.enCfg = 0	1 word 2 bytes	nConfig	0x1B0	Needed only for: Pushbutton feature, temp-alerts, 1% alerts, AtRate, comm-shutdown.
	Charge Termination	nNVCfg0.enICT = 0	1 word 2 bytes	nIChgTerm	0x1C1	Free if feature is not used and IChgTerm restores to the default value.

表 94. 不揮発性メモリをユーザ・データに使用できるようにする方法 (続き)

	FullCapRep Restore	nNVCfg0.enFC = 0	1 word 2 bytes	nFullCapRep	0x1A9	Free if feature is not used. FullCapRep is restored from nFullCapNom
	SOC Table	Use m5 EZ model by setting nNVCfg.enOCV = 0	12 words 24 bytes	nXTable[0:11]	0x180-0x18B	With custom models/characterization, this is not freeable.
	OCV Table	nNVCfg.enX = 0	12 words 24 bytes	nOCVTable[0:11]	0x190-0x19B	
OTHER	Alert Startup Configuration	nNVCfg1.enAT = 0	4 words 8 bytes	nVAIrtTh nTAIrtTh nIAIrtTh nSAIrtTh	0x18C-0x18F	Free if feature is not used.
	Voltage Temperature Logging	nNVCfg2.enVT = 0	1 word 2 bytes	nVoltTemp*	0x1AA	*nVoltTemp is freeable if enAF = 0 AND enVT = 0
	Fault Logging	nNVCfg2.enFL = 0	1 word 2 bytes	nFaultLog/ nFullCapFiltr*	0x1AE	*nFaultLog/ nFullCapFiltr is freeable if enAF = 0 AND enFL = 0
	TimerH Logging	nNVCfg2.enT = 0	1 word 2 bytes	nTimerH	0x1AF	Free if feature is not used.
	Save MaxMinCurr	nNVCfg2.eMMC = 0	1 word 2 bytes	nMaxMinCurr	0x1AB	Free if feature is not used.
	Save MaxMinVolt	nNVCfg2.eMMV = 0	1 word 2 bytes	nMaxMinVolt	0x1AC	Free if feature is not used.
	Save MaxMinTemp	nNVCfg2.eMMT = 0	1 word 2 bytes	nMaxMinTemp	0x1AD	Free if feature is not used.
	Protector NVM Checksum	nNVCfg1.enProtChkSm = 0	1 bytes	nProtCfg2	0x1DF	The lower byte is freeable.
	Protector and Charger	nNVCfg1.enProt = 0 nNVCfg1.enJP = 0	18 words 36 bytes	nStepCurr, nStepVolt, nVChgCfg1, nVChgCfg2, nIChgCfg1, nIChgCfg2, nUVPrTh, nTPrtTh1 nTPrtTh3, nIPrtTh1 nIPrtTh2, nTPrtTh2 nProtMisTh nProtCfg, nOVPrTh, nDelayCfg nODSCTh, nODSCCfg	0x1C4-0x1C5, 0x1CC-0x1CF, 0x1D0-0x1D7, 0x1DA, 0x1DC-0x1DE	Most applications of MAX17335 use the protector and charger. However, if the protector and charger are entirely disabled, these 32 bytes become free NVM. FET drivers for charging and protection do not execute in this configuration.

表 95. 不揮発性メモリの設定オプション

ADDRESS	REGISTER NAME	FACTORY DEFAULT	CONTROL BIT(S)	FUNCTION WHEN CONTROL BIT(S) IS SET	FUNCTION WHEN CONTROL BIT(S) CLEARED
180h - 18Bh	nXTable0 through nXTable12	All 0x0000	nNVCfg0.enX	180h-18Bh Hold Custom Cell Model Information	Becomes Free ¹ , IC Uses Default EZ Cell Model
18Ch	nVAlrtTh	0x0000	nNVCfg1.enAT	VAlrtTh, TAlrtTh, IAlrtTh, SAlrtTh initialize from nVAlrtTh, nTAlrtTh, nIAlrtTh, nSAlrtTh	Becomes Free ¹ , VAlrtTh, TAlrtTh, IAlrtTh, SAlrtTh → Disabled Threshold Values
18Dh	nTAlrtTh	0x0000			
18Eh	nIAlrtTh	0x0000			
18Fh	nSAlrtTh	0x0000			
190h - 19Bh	nOCVTable0 through nOCVTable12	All 0x0000	nNVCfg0.enOCV	190h-19Bh Hold Custom Cell Model Information	Becomes Free ¹ , IC Uses Default EZ Cell Model
19Ch	nRsense	0x000A	N/A	Upper Byte is Always Free. Lower Byte is the Sense Resistor Value—Helps Host Translate Currents and Capacities	
19Dh	nFilterCfg	0x0000	nNVCfg0.enFCfg	nFilterCfg → FilterCfg	Becomes Free ¹ , FilterCfg = 0x0EA4
19Eh	nVEmpty	0xA561	N/A	nVEmpty must be set to the empty voltage and recovery voltage of the battery.	
19Fh	nLearnCfg	0x0000	nNVCfg0.enLCfg	nLearnCfg → LearnCfg	Becomes Free ¹ , LearnCfg = 0x4696
1A0h	nQRTTable00	0x1080	N/A	Always QRTTable Information nQRTTable20 → QRTTable20 nQRTTable30 → QRTTable30	
1A1h	nQRTTable10	0x2043			
1A2h	nQRTTable20	0x078C			
1A3h	nQRTTable30	0x0880			
1A4h	nCycles	0x0000		Always nCycles → Cycles	
1A5h	nFullCapNom	0x0D48		Always nFullCapNom → FullCapNom	
1A6h	nRComp0	0x08CC		Always nRComp0 → RComp0	
1A7h	nTempCo	0x223E		Always nTempCo → TempCo	
1A8h	nBattStatus	0x0000	N/A	Logs/Saves Permanent Failure Status	
1A9h	nFullCapRep	0x0D48	nNVCfg2.enFC	nFullCapRep → FullCapRep	Becomes Free ¹ , nFullCapNom → FullCapRep
1AAh	nVoltTemp	0x0000	nNVCfg2.enVT (nNVCfg0.enAF = 0)	AvgVCell → nVoltTemp and AvgTA → nVoltTemp at each backup event	Becomes Free ¹ , Voltage, Temperature Logging Disabled
			nNVCfg0.enAF (nNVCfg2.enVT = 0)	nVoltTemp stores Age Forecasting Information	Becomes Free ¹ , Age Forecasting Disabled
1ABh	nMaxMinCurr	0x0000	nNVCfg2.enMMC	MaxMinCurr → nMaxMinCurr at each backup event	Becomes Free ¹
1ACh	nMaxMinVolt	0x0000	nNVCfg2.enMMV	MaxMinVolt → nMaxMinVolt at each backup event	Becomes Free ¹
1ADh	nMaxMinTemp	0x0000	nNVCfg2.enMMT	MaxMinTemp → nMaxMinTemp at each backup event	Becomes Free ¹

表 95. 不揮発性メモリの設定オプション（続き）

ADDRESS	REGISTER NAME	FACTORY DEFAULT	CONTROL BIT(S)	FUNCTION WHEN CONTROL BIT(S) IS SET	FUNCTION WHEN CONTROL BIT(S) CLEARED
1AEh	nFaultLog/ nFullCapFiltr	0x0000	nNVCfg2.enFL	nFaultLog stores the history of all protection events tha happened in this save segment	Becomes Free ¹ , Fault logging and Age Forecasting are Disabled
			nNVCfg2.enAF	nFullCapFiltr contains a highly filtered nFullCapNom.	
1AFh	nTimerH	0x0000	nNVCfg2.enT	TimerH→ nTimerH at each backup event	Becomes Free ¹ ,
1B0h	nConfig	0x0000	nNVCfg0.enCfg	nConfig→ Config nConfig→ Config2	Becomes Free ¹ , Config = 0x2214, Config2 = 0x2058
1B1h	nRippleCfg	0x0204	N/A	Always nRippleCfg→ RippleCfg	
1B2h	nMiscCfg	0x0000	nNVCfg0.enMC	nMiscCfg→ MiscCfg	Becomes Free ¹ , MiscCfg = 0x3070
1B3h	nDesignCap	0x2A83	N/A	Always nDesignCap→ DesignCap, VScale, QScale	
1B4h	nI2CCfg	0x0010	N/A	Always nI2CCfg	
1B5h	nFullCfg	0x0785	N/A	Always nFullCfg	
1B6h	nRelaxCfg	0x0000	nNVCfg0.enRCfg	nRelaxCfg→ RelaxCfg	Becomes Free ¹ , RelaxCfg = 0x2039,
1B7h	nConvGCfg	0x2241	N/A	Always Converge-to-Empty	
1B8h	nRGain	0x0000	nNVCfg0.enDP	Used for Dynamic Power	Becomes Free ¹ , Dynamic Power Disabled
1B9h	nAgeChgCfg	0x0000	N/A	Always nAgeChgCfg	
1BAh	nTTFCfg	0x0000	nNVCfg1.enTTF	nTTFCfg Configures Time-to-Full Calculation	Becomes Free ¹ , Time-to-Full Default Configuration
1BBh	nHibCfg	0x0909	N/A	Always nHibCfg	
1BCh	nROMID0	Varies	N/A	Always the Unique 64-bit ID	
1BDh	nROMID1	Varies			
1BEh	nROMID2	Varies			
1BFh	nROMID3	Varies			
1C0h	nChgCtrl1	0x4209	N/A	Do Not Modify without Special Guidance from Analog Devices	
1C1h	nIChgTerm	0x0280	nNVCfg0.enICT	nIChgTerm→ IChgTerm	Becomes Free ¹ , IChgTerm = FullCapRep/3
1C2h	nChgCfg0	0x141F	N/A	Always nChgCfg0	
1C3h	nChgCtrl0	0xE272	N/A	Do Not Modify without Special Guidance from Analog Devices	
1C4h	nStepCurr	0x00A7	nNVCfg1.enProt	Always nStepCurr/nStepVolt. Set to 0x0000 to disable Step Charging	Becomes Free ¹
1C5h	nStepVolt	0xAA00			
1C6h	UserMemory_1C6	0x0000	N/A	Always Free	
1C7h	nPackCfg	0x2000	N/A	Always nPackCfg	

表 95. 不揮発性メモリの設定オプション（続き）

ADDRESS	REGISTER NAME	FACTORY DEFAULT	CONTROL BIT(S)	FUNCTION WHEN CONTROL BIT(S) IS SET	FUNCTION WHEN CONTROL BIT(S) CLEARED	
1C8h	nCGain	0x4000	N/A	Trim for Calibrating Current-Sense Gain		
1C9h	nCGTempCo/ nADCCfg	0x5188	nNVCfg1.enMtl (nNVCfg2.enMet = 1) (nNVCfg1.enADCCfg = 0)	Metal Current Sense TempCo Configurable Custom ADCCfg doesn't apply	Becomes Free ¹ , Metal Current Sense TempCo Enabled, CGTempCo = 0x20C8	
			nNVCfg1.enCrv (nNVCfg2.enMet = 0)(nNVCfg1.enADCCfg = 1)	Custom ADCCfg	Becomes Free ¹ , ADC configuration defaulted	
1CAh	nThermCfg	0x71BE	N/A	Configuration for Translating Thermistor to °C		
1CBh	nChgCfg1	0x3E3F	N/A	Always nChgCfg1		
1CCh	nVChgCfg1	0x5005	nNVCfg1.enProt	Configuration for Charging Voltage		
1CDh	nVChgCfg2	0x6666				
1CEh	nIChgCfg1	0x2FE8	nNVCfg1.enProt	Configuration for Charging Current		
1CFh	nIChgCfg2	0x5555				
1D0h	nUVPrtTh	0x3D4C	nNVCfg1.enProt	Configures Protection Thresholds	Becomes Free ¹ Protector Disabled (Lower 12 bits of nTPrtTh3 are always free)	
1D1h	nTPrtTh1	0x2038				
1D2h	nTPrtTh3	0x7000				
1D3h	nIPrtTh1	0x5107				
1D4h	nIPrtTh2	0xA028				
1D5h	nTPrtTh2	0x3005				
1D6h	nProtMiscTh	0x7A28				
1D7h	nProtCfg	0x3000	N/A	Always Required Nonvolatile Memory Control Registers		
1D8h	nNVCfg0	0x0000				
1D9h	nNVCfg1	0x0182	nNVCfg1.enProt	Configures Protection Thresholds	Becomes Free ¹ Protector Disabled	
1DAh	nOVPrtTh	0xFA81		Always Required Nonvolatile Memory Control Registers		
1DBh	nNVCfg2	0xFE0A		N/A	Always Required Nonvolatile Memory Control Registers	
1DCh	nDelayCfg	0x9B3D		nNVCfg1.enProt	Configures Protection Thresholds	Becomes Free ¹ Protector Disabled
1DDh	nODSCTh	0x0EAF				
1DEh	nODSCCfg	0x4355				
1DFh	nProtCfg2	0x0048	nNVCfg1. {enProtChkSm and enProt}	Holds CheckSum Value of 1B0h-1BBh, 1C0h-1CFh 1D0h-1DEh for Validating NVM at Startup	Upper Byte is always for ISD Settings, Lower Byte Becomes Free ¹	
1E0h	UserMemory_1E0	0x0000	N/A	Always Free		
1E1h	nScOcvLim	0x0000	nNVCfg1.enSC	Used for LiFePO ₄ Gauging	Becomes Free ¹ LiFePO ₄ Disabled	
1E2h	nAgeFcCfg	0x0000	nNVCfg0.enAF	Configures Age Forecast	Becomes Free ¹	
1E3h	nDesignVoltage	0x0000	nNVCfg0.enSBS or nNVCfg0.enDP	nDesignVoltage→ sDesignVolt/ MinSysVoltage	Becomes Free ¹	
1E4h	nChgCfg2	0x1800	N/A	Always nChgCfg2		

表 95. 不揮発性メモリの設定オプション（続き）

ADDRESS	REGISTER NAME	FACTORY DEFAULT	CONTROL BIT(S)	FUNCTION WHEN CONTROL BIT(S) IS SET	FUNCTION WHEN CONTROL BIT(S) CLEARED	
1E5h	nPackResistance/ Reserved	0x0000	nNVCfg0.enDP	Configures nPackResistance→ sPackResistance	Reserved	
1E6h	nManfctrDate	0x0000	nNVCfg0.enSBS	nManfctrDate→ sManfctrDate	Becomes Free ¹	
1E7h	nFirstUsed	0x0000		nFirstUsed→ sFirstUsed	Becomes Free ¹	
1E8h	nSerialNumber0	0x0000		nSerialNumber[2:0]→ sSerialNumber	Becomes Free ¹	
1E9h	nSerialNumber1	0x0000				
1EAh	nSerialNumber2	0x0000		nDeviceName[1:0]→ sDeviceName	Becomes Free ¹	
1EBh	nDeviceName0	0x0000				
1ECh	nDeviceName1	0x0000		nManfctrName[2:0]→ sManfctrName		
1EDh	nManfctrName0	0x0000				
1EEh	nManfctrName1	0x0000				
1EFh	nManfctrName2	0x0000				

Note 1：「Free」は、アドレスが未使用であり、汎用ユーザ不揮発性メモリとして使用できることを意味します。

シャドウ RAM

不揮発性メモリは、通信インターフェースによって直接書き込んだり読み出したりすることはありません。その代わりに、データは、同じアドレスにあるシャドウ RAM に書き込まれたり、そこから読み出されたりします。コピー・コマンドおよびリコール・コマンドを用いて、不揮発性メモリとシャドウ RAM との間でデータの転送を行います。図 28 でこの関係を説明します。不揮発性メモリのリコールは、IC の起動時およびソフトウェア POR 時に自動的行われます。

シャドウ RAM と不揮発性メモリの関係

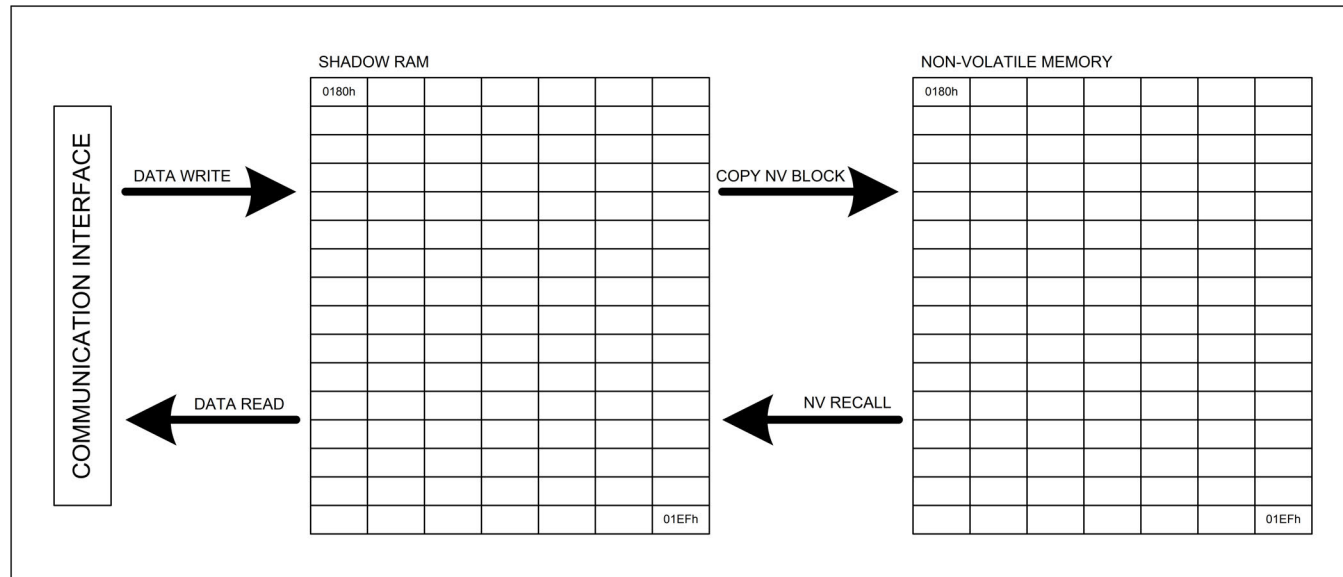


図 28. シャドウ RAM と不揮発性メモリの関係

不揮発性メモリのコマンド

以下に説明するコマンドを用いると、不揮発性メモリからデータをコピーしたりリコールしたりできます。すべてのコマンドは、メモリ・アドレス 060h の Command レジスタに書き込まれ、目的の動作を実行します。CommStat レジスタを用いると要求のステータスを追跡できます。

COPY NV BLOCK [E904h]

このコマンドは、シャドウ RAM から不揮発性メモリのアドレス 180h~1EFh にブロック全体をコピーします。ただし、1BCh~1BFh の固有 ID 位置を除きます。このコマンドの発行後、ホストは動作を完了するまでに t_{BLOCK} の時間待機する必要があります。設定メモリは、最大で 7 回コピーできます。なお、動作を正常に完了するために、電源電圧は VNVM より高くなくてはなりません。

NV RECALL [E001h]

このコマンドは、不揮発性メモリからシャドウ RAM アドレス 180h~1EFh にブロック全体をリコールします。これは、完了までに t_{RECALL} の時間を要する低消費電力動作です。なお、動作を正常に完了するために、電源電圧は VNVM より高くなくてはなりません。

HISTORY RECALL [E2XXh]

このコマンドは、履歴データをメモリのページ 1Fh にコピーします。このコマンドの発行後、ホストは動作を完了するまでに t_{RECALL} の時間待機してから、ページ 1Fh を読み出す必要があります。表 96 に、リコールできる履歴情報を示します。この情報のデコード方法の詳細については、[SHA-256](#)、[バッテリーのライフログ記録](#)、[残りの更新回数の決定](#)の各セクションを参照してください。

表 96. History Recall コマンドの機能

コマンド	機能
0xE29D	SHA-256 秘密鍵更新または秘密鍵クリアの残り回数を判定するためにインジケータ・フラグをリコール
0xE29B	設定メモリ書き込みの残り回数を判定するためにインジケータ・フラグをリコール
0xE29C	バッテリーのライフログ記録の残り更新回数を判定するためにインジケータ・フラグをリコール
0xE29C, 0xE29D	バッテリーのライフログ記録の更新エラーを判定するためにインジケータ・フラグをリコール
0xE22E to 0xE291	バッテリーのライフログ記録情報をリコール

不揮発性メモリ・ブロックのプログラミング

ホストは、Copy NV Block コマンドを用いて、すべての不揮発性メモリ位置を同時にプログラムする必要があります。まず、ホストは、必要なすべての不揮発性メモリのシャドウ RAM 位置に必要な値を書き込み、Copy NV Block コマンドを送信し、コピーが完了するまで t_{BLOCK} の時間待機します。その後、ホストは、パワーオン・リセット・シーケンスを送信して IC をリセットし、これにより新しい不揮発性メモリ設定が有効になります。コピー・コマンドが正しく実行されたかどうかを判定するためには、CommStat.NVError ビットを読み出す必要があります。なお、設定メモリは、nBLOCK 回の合計書き込み試行に制限されています。推奨する全体的なシーケンスは以下のとおりです。

1. CommStat レジスタ (0x061) に 0x0000 を 2 回連続で書き込んで書き込み保護のロックを解除します。
2. 必要なメモリ位置に新しい値を書き込んで検証します。
3. CommStat レジスタ (0x061) に 0x0000 を書き込んで CommStat.NVError ビットをクリアします。
4. Command レジスタ 0x060 に 0xE904 を書き込んでブロック・コピーを開始します。
5. コピーの完了まで t_{BLOCK} の時間待機します。
6. CommStat.NVBusy ビットをチェックします。CommStat.NVBusy = 1 の間、待機を続けます。
7. CommStat.NVError ビットをチェックします。セットされていれば、ステップ 2 に戻りこのプロセスを繰り返します。クリアされていれば、続行します。
8. Command レジスタ 0x060 に 0x000F を書き込んで IC を POR します。
9. 10ms 待機します。
10. すべての不揮発性メモリ位置が正しくリコールされていることを検証します。
11. CommStat レジスタ (0x061) に 0x0000 を 3 回連続で書き込んで書き込み保護のロックを解除し、NVError ビットをクリアします。
12. Config2 レジスタ 0x0AB に 0x8000 を書き込んでファームウェアをリセットします。
13. Config2 レジスタの POR_CMD ビット (ビット 15) がクリアされ POR シーケンスが完了したことが示されるまで待機します。
14. CommStat レジスタ (0x061) に 0x00F9 を 2 回連続で書き込んで書き込み保護をロックします。

値を NVM にコピーせずシャドウ RAM を更新するだけの場合、推奨シーケンスは以下のとおりです。

1. CommStat レジスタ (0x061) に 0x0000 を 2 回連続で書き込んで書き込み保護のロックを解除します。
2. 必要なメモリ位置に新しい値を書き込んで検証します。
3. Config2 レジスタ 0x0AB に 0x8000 を書き込んでファームウェアをリセットします。
4. Config2 レジスタの POR_CMD ビット (ビット 15) がクリアされ POR シーケンスが完了したことが示されるまで待機します。
5. CommStat レジスタ (0x061) に 0x00F9 を 2 回連続で書き込んで書き込み保護をロックします。

残りの更新回数の決定

設定メモリのユーザによる更新は 7 回のみです (最初の更新は製造テスト時に行われています)。残りの更新回数は、以下の手順で計算できます。

1. Command レジスタ (060h) に 0xE29B を書き込みます。
2. t_{RECALL} の時間待機します。
3. メモリ・アドレス 1FDh を読み出します。
4. 表 97 に示すように、アドレス 1FDh のデータをデコードします。信頼性確保のため、ブロック書き込みごとに冗長インジケータ・フラグが設定されます。上位バイトと下位バイトの論理和を取り、1 の数をカウントすることで、既に使用された更新回数を判定できます。最初の更新は、出荷前の製造テストで発生しています。

表 97. 設定メモリの更新の残り回数

ADDRESS 1FDH DATA	LOGICAL OR OF UPPER AND LOWER BYTES	NUMBER OF UPDATES USED	NUMBER OF UPDATES REMAINING
0000000x00000001b or 000000010000000xb	00000001b	1	7
000000xx0000001xb or 0000001x000000xxb	00000011b	2	6
00000xxx000001xxb or 000001xx00000xxxb	00000111b	3	5
0000xxxx00001xxxb or 00001xxx0000xxxxb	00001111b	4	4
000xxxxx0001xxxxb or 0001xxxx000xxxxxb	00011111b	5	3
00xxxxxx001xxxxxb or 001xxxxx00xxxxxb	00111111b	6	2
0xxxxxxx01xxxxxb or 01xxxxxx0xxxxxb	01111111b	7	1
xxxxxxx1xxxxxb or 1xxxxxxxxxxxxxb	11111111b	8	0

メモリのロックおよび書き込み保護

ModelGauge m5 EZ RAM レジスタおよびすべての不揮発性メモリ位置は、書き込み保護または恒久的なロックが可能であるため、アプリケーションでの意図せぬ書き込みやデータ消失を防止できます。書き込み保護またはメモリ・ブロックのロックは、その位置への今後の書き込みを防止するだけです。ロックされた位置の読出しは引き続き可能です。この IC では書き込み保護はデフォルトで有効化されており、いずれのレジスタも書き込みを行う前には、これを無効化しなくてはなりません ([CommStat レジスタ](#)の説明を参照)。なお、メモリ位置のロックは恒久的であるため、NV LOCK コマンドを送信する前に、必要なロックをすべて慎重に選択してください。

SHA 秘密鍵は別のセキュアな読出し不能メモリに格納されています。SHA 秘密鍵をロックするには別のコマンドがあり、その状態は Lock レジスタには示されていません。詳細については、[SHA-256 認証](#)のセクションを参照してください。ひとたびロック・ビットがセットされると、決してクリアできません。表 98 に、どのロック・ビットが IC のどのメモリ・ブロックに対応するかを示します。

CommStat レジスタ (061h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

CommStat レジスタは、Command レジスタに送信されたコマンドの進捗状態およびエラー状態を追跡します。また、書き込み保護制御およびレジスタの各ページのステータスも提供します。表 98 にこのレジスタのフォーマットを示します。

表 98. CommStat レジスタ (061h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	DISOff	CHGOff	WP5	WP4	WP3	WP2	WP1	NVError	NVBusy	WPGlobal

X：ドント・ケア。このビットは定義されておらず、ロジック 0 にもロジック 1 にもなる可能性があります。

書き込み保護：ホストが IC のいずれかのレジスタに意図せぬ書き込みを行わないよう、デフォルトで書き込み保護が有効化されています。ホストがレジスタに書き込みをする必要がある場合は常に、グローバル書き込み保護に加え、特定のレジスタ・ページの書き込み保護も無効化する必要があります。書き込み保護のロックを意図せず解除しないようにするため、CommStat レジスタには目的の値を 2 回続けて（他のレジスタにアクセスせず）書き込んで、どの書き込み保護ビットもセットまたはクリアする必要があります。すべてのビットは、同じ書き込みシーケンスでセットまたはクリアできます。例えば、2 回続けて CommStat に 0x0000 を書き込むと、WPGlobal および WP1-WP5 のすべてが同時にクリアされます。

WPGlobal：書き込み保護のグローバル・イネーブル。1 に設定すると、すべてのレジスタ・ページの書き込み保護ができます。0 にクリアすると、個々の書き込み保護ビット (WP1-WP5) を無効化できます。

WP1-WP5：書き込み保護イネーブル・ビット。いずれかのビットを 1 に設定すると以下の特定のページの書き込み保護ができます。いずれかのビットを 0 にクリアするとページが書き込み可能になります。これらのビットを更新するには、WPGlobal ビットが 0 でなくてはなりません。

WP1：書き込み保護レジスタ・ページ 1Ah、1Bh、1Eh

WP2：書き込み保護レジスタ・ページ 01h、02h、03h、04h、0Bh、0Dh

WP3：書き込み保護レジスタ・ページ 18h、19h

WP4：書き込み保護レジスタ・ページ 1Ch

WP5：書き込み保護レジスタ・ページ 1Dh

DISOff：このビットを 1 に設定すると、nProtCfg.CmOvrEn が有効化されている場合に、放電 FET を強制的にオフにします（その他の条件は無視）。このビットが 1 である限り、放電 FET はオフのままとなります。通常動作をさせるには 0 にクリアします。DISOff ビットに書き込む前に、書き込み保護を無効化する必要があります。

CHGOff：このビットを 1 に設定すると、nProtCfg.CmOvrEn が有効化されている場合に、充電 FET を強制的にオフにします（その他の条件は無視）。このビットが 1 である限り、充電 FET はオフのままとなります。通常動作をさせるには 0 にクリアします。CHGOff ビットに書き込む前に、書き込み保護を無効化する必要があります。

NVBusy：この読出し専用ビットは、不揮発性メモリがビジーかアイドル状態の場合にこれを追跡します。NVBusy は、リセット後に 0 にデフォルト設定され、不揮発性メモリがアイドル状態であることを示します。このビットがセットされるのは、不揮発性メモリ関連のコマンドがコマンド・レジスタに送信された後であり、動作終了後は自動的にクリアされます。

NVError：このビットは、以前の SHA-256 の結果、またはコマンド・レジスタに送信された不揮発性メモリ関連のコマンドの結果です。このビットがセットされるのは、コマンド実行時にエラーがあった場合、または、フル・リセット・コマンドが実行された場合です。ひとたびセットされると、次のエラーを検出するために、このビットをシステム・ソフトウェアでクリアする必要があります。NVError ビットがホストによってクリアされるより前に、書き込み保護が無効化されていなくてはなりません。

NV LOCK [6AXXh]

このコマンドは、メモリのブロックを恒久的にロックします。ロックをセットするには、コマンドの下位 5 ビットでどのロックをセットするかが決まる Command レジスタに、6AXXh を送信します。表 99 に、NV LOCK コマンドの詳細なフォーマットを示します。個々の LOCK ビットを 1 に設定することで対応するレジスタ・ブロックをロックします。LOCK ビットを 0 に設定すると、この時点では何も起こりません。例えば、Command レジスタに 6A02h を書き込むと LOCK2 が設定されます。6A1Fh を書き込むと 5 ブロックすべてが設定されます。6A00h を書き込んだ場合はどのロックも設定されません。

表 99. LOCK コマンドのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	0	1	0	1	0	0	0	0	LOCK 5	LOCK 4	LOCK 3	LOCK 2	LOCK 1

LOCK1 : レジスタ・ページ 1Ah、1Bh、1Eh をロック（ロックによりライフログ記録の履歴が無効化されます）

LOCK2 : レジスタ・ページ 01h、02h、03h、04h、0Bh、0Dh をロック

LOCK3 : レジスタ・ページ 18h、19h をロック

LOCK4 : レジスタ・ページ 1Ch をロック

LOCK5 : レジスタ・ページ 1Dh をロック

メモリ・ブロックのロック

ロック・コマンドを送信する前に、CommStat.NVError ビットをクリアする必要があります。コマンドの送信後は、CommStat.NVError ビットを読み出してロック・コマンドが正常に実行されたかどうかを判定する必要があります。なお、メモリ・ブロックのロックは、恒久的な動作です。推奨する全体的なシーケンスは以下のとおりです。

1. CommStat レジスタ（0x61）に 0x0000 を 2 回連続で書き込んで書き込み保護のロックを解除します。
2. CommStat レジスタ（0x61）に 0x0000 をもう一度書き込んで CommStat.NVError ビットをクリアします。
3. Command レジスタ 0x060 に 0x6AXX を書き込んで目的のブロックをロックします。
4. コピーの完了まで t_{UPDATE} の時間待機します。
5. CommStat.NVError ビットをチェックします。セットされている場合、処理を繰り返します。
6. CommStat レジスタ（0x61）に 0x00F9 を 2 回連続で書き込んで書き込み保護をロックします。

ロック状態の読み出し

アドレス 07Fh の Lock レジスタは、各ロックの状態をレポートします。Lock レジスタのフォーマットについては、表 100 を参照してください。LOCK ビットがセットされている場合、対応するメモリ・ブロックがロックされます。LOCK ビットがクリアされていれば、対応するメモリ・ブロックはロック解除されます。なお、SHA-256 の秘密鍵のロック状態はこのレジスタでは読み出せません。

表 100. Lock レジスタ（07Fh）のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	LOCK 5	LOCK 4	LOCK 3	LOCK 2	LOCK 1

X : ドント・ケア

1 : LOCK がセット

0 : LOCK がクリア

アナログ測定

MAX17335 は、セル・バック電圧、セル・バック電流、セル・バック温度、およびセルの電圧をモニタします。この情報は残量ゲージ・アルゴリズムに伝えられ、セル容量を予測しフォルト条件が発生した場合には FET の保護をトリガします。また、この情報はユーザにも提供されます。なお、IC がシャットダウン・モードになっている間は、ADC 関連のレジスタ情報は維持されません。以下に示すレジスタ情報は、IC がアクティブ動作モードに復帰した後の最初の測定サイクルまで、無効です。

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

電圧測定

MAX17335 は BATT ピンの電圧をモニタします。

VCell レジスタ (01Ah)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

更新サイクルごとに、セル電圧の測定値の読出し値が VCell レジスタに置かれます。VCell は、残量ゲージ・アルゴリズムの電圧入力として用いられ、フォルト条件が生じた場合には保護 FET をトリガします。

VCellRep レジスタ (012h)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

VCellRep は、[図 29](#) に示すように、バッテリー電圧の低ノイズの測定値をレポートします。

AvgVCell レジスタ (019h)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

AvgVCell レジスタは、VCell レジスタの読出し値の平均をレポートします。平均化の時間幅は 12 秒から 24 分までの範囲で設定可能です。時間フィルタの設定の詳細については、[FilterCfg](#) レジスタの説明を参照してください。パワーアップ後またはシャットダウン・モード終了後の最初の VCell レジスタの読出し値が、AvgVCell レジスタの開始点を設定します。なお、セル緩和イベントが検出された場合、平均化の時間幅は RelaxCfg.dt の設定によって定義される時間幅に変更されます。充電電流または放電電流が検出されると、レジスタはその通常の平均化時間幅に戻ります。

MaxMinVolt レジスタ (0008h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：nNVCfg2.enMMV が設定されている場合に nMaxMinVolt (1ACh) に保存されます（不揮発性メモリからは復元されません）。

初期値：0x00FF

MaxMinVolt レジスタには、デバイスのリセット以降の VCell レジスタ値の最大値と最小値が保持されます。これらの値は、電圧レジスタが更新されるたびに、その最大値および最小値と比較されます。新しい読出し値が最大値より大きい場合、最小値より小さい場合、対応する値が新しい読出し値で置き換えられます。起動時には、最大電圧の値は 00h（最小値）に設定され、最小電圧の値は FFh（最大値）に設定されます。そのため、最初の更新後に両方の値は電圧レジスタの読出し値に変更されます。ホスト・ソフトウェアは、このレジスタにパワーアップ時の値である 0x00FF を書き込むことによってレジスタをリセットできます。最大電圧と最小電圧は、それぞれ 20mV 分解能の 8 ビット値として保存されます。[表 101](#) にこのレジスタのフォーマットを示します。

表 101. MaxMinVolt (0008h) / nMaxMinVolt (1ACh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MaxVCELL								MinVCELL							

MaxVCELL：VCell レジスタの最大読出し値（20mV 分解能）。

MinVCELL：VCell レジスタの最小読出し値（20mV 分解能）。

MaxMinVolt は、バッテリー寿命全体での累積に基づくものではありません。定期的な不揮発性メモリへの保存が行われるたびに、MaxMinVolt は 0x00FF にリセットされ、バッテリー寿命の次のセグメント全体での最大／最小電圧を検出します。この動作は、各ログ・セグメントがそのセグメントのみにて検出された最大電圧と最小電圧を示す、有用なログ記録をバッテリー寿命全体を通じて行うのに役立ちます。

Cell1 レジスタ (0D8h)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

MAX17335 では、Cell1 レジスタは VCell レジスタから電圧（BATT ピンでの測定値）を複製します。このレジスタは、一連のセル電圧が供給されるマルチセル・チップと相互互換性を持たせるためにのみ用いられます。

AvgCell1 レジスタ (0D4h)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

AvgCell1 レジスタは、対応する Cell1 レジスタの読出し値の 8 サンプルのフィルタ処理平均値をレポートします。

Batt レジスタ (0D7h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

Batt レジスタには、マルチセル機能を備えた他のアナログ・デバイズのゲージと相互互換性があるよう、プロテクタ内で測定した VCell 電圧が、20.48V のスケール、0.3125mV の LSB で格納されます。これにより、シングルセル・チップおよびマルチセル・チップのどちらも相互作用できる汎用ドライバが可能になります。

PCKP レジスタ (0DBh)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

PCKP レジスタには、PACK+ と GND の間の電圧が、20.48V のスケール、0.3125mV の LSB で格納されます。

MinVolt レジスタ (0ADh)

レジスタ・タイプ：電圧

不揮発性メモリのバックアップ：なし

MinVolt レジスタには、45 秒間の時間内、またはホスト・ソフトウェアによるクリアまでの間の、最小 BATT レジスタ値が保持されます。BATT レジスタの更新ごとに、その値と比較されます。読出し値が最小値より小さい場合、対応する値が新しい読出し値で置き換えられます。パワーアップ時、MinVolt 値は 0xFFFF に設定されます。そのため、この値は最初の更新後に BATT レジスタの読出し値に変更されます。ホスト・ソフトウェアは、このレジスタにパワーアップ時の値である 0xFFFF を書き込むことによってその値を変更できます。LSB は 1.25mV です。

電流測定

MAX17335 は、CSN ピンと CSP ピンの間の電圧を $\pm 51.2\text{mV}$ の範囲で測定することで、セル・バックを通じて流れる電流をモニタできます。アクティブ・モードの間、更新は 351.5ms ごとに行われます。休止モードの場合は、更新間隔は nHibCfg レジスタによって設定されます。すべての IC は、電流測定の精度を確保するため、工場において校正されます。ただし、アプリケーションで必要な場合、Current レジスタの読出し値は、nCGain レジスタの設定を変更することで調整できます。

アプリケーションが、銅の金属ボード・パターンのような温度係数の大きなセンス抵抗を用いる場合は、IC が測定する温度に基づいて電流読出し値を調整できます。nNVCfg2.enMet ビットがセットされている場合、CGTempCo レジスタは 1°C あたりのパーセンテージ値を格納し、これが電流読出し値に適用されます。nNVCfg1.enMtl = 0 の場合、銅のデフォルトの温度係数が温度調整用に用いられます。enMt = 1 の場合は、CGTempCo レジスタの値が温度調整用に用いられます。

更に、IC は、IC が測定した最小電流値と最大電流値、および、ホストが定義した期間にわたる平均電流値を記録として維持します。Current レジスタおよび AvgCurrent レジスタは、IC のパワーアップ後最初の変換サイクル期間中は不確定です。

電流測定 タイミング

電流測定は nPackCfg の設定に関わらず常に有効化されています。表 102 に、IC が行う電流測定のタイミングを示します。この表のタイミングはすべて標準的なものです。

表 102. 電流測定のタイミング

APPLICATION	NPACKCFG SETTING	REGISTER	FIRST UPDATE AFTER RESET ¹ (ms)	UPDATE RATE IN ACTIVE MODE (ms)	UPDATE RATE IN HIBERNATE MODE ² (s)
Any	Any	Current	150	351	1.4
		AvgCurrent	150	351	1.4

Note 1: AvgCurrent レジスタは、平均値ではなく 1 つの読出し値を用いて初期化されます。

Note 2: 休止モードの更新タイミングは、nHibCfg.HibScalar の推奨設定である 4 タスク期間を仮定しています。

CurrRep レジスタ (022h)

レジスタ・タイプ：電流

不揮発性メモリのバックアップ：なし

CurrRep は、表 29 に示すように、電流の低ノイズ測定値をレポートします。

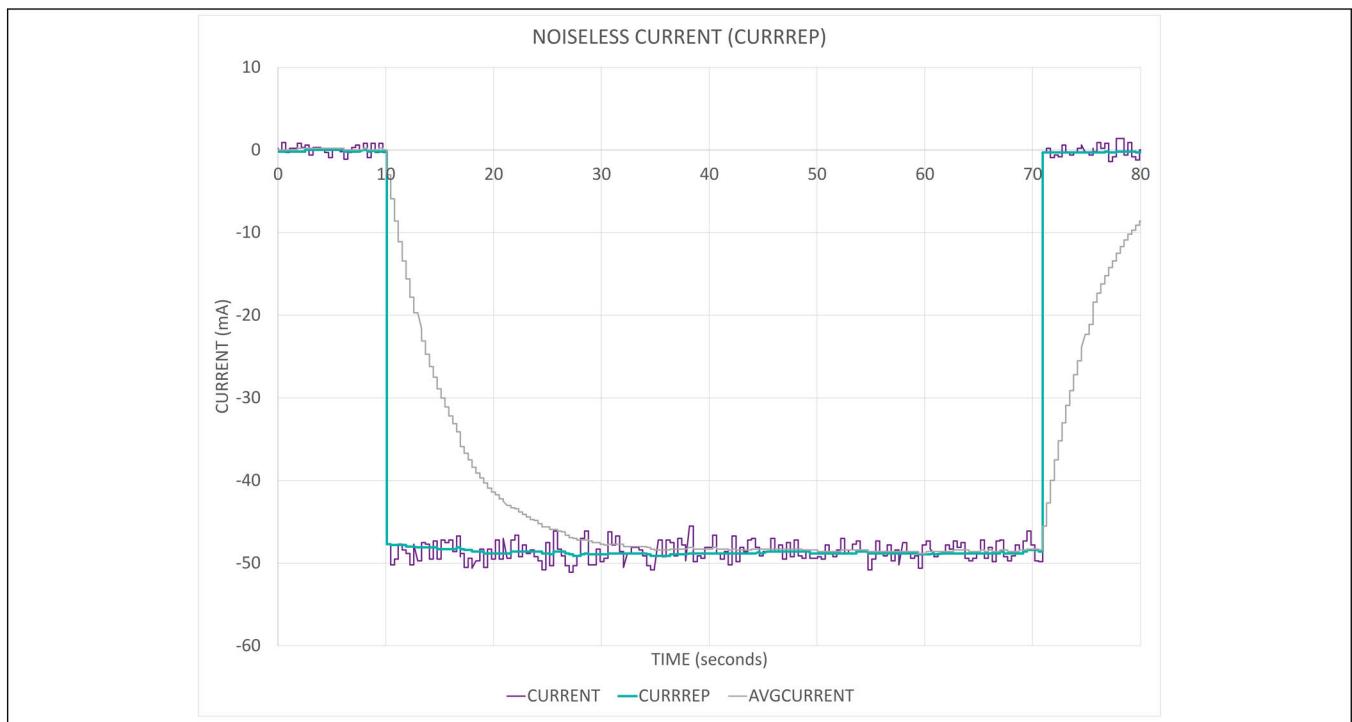


図 29. ノイズのない電流

AvgCurrent レジスタ (01Dh)

レジスタ・タイプ：電流

不揮発性メモリのバックアップ：なし

AvgCurrent レジスタは、Current レジスタの読出し値の平均をレポートします。時間幅は 0.7 秒から 6.4 時間までの範囲に設定できます。時間フィルタの設定の詳細については、FilterCfg レジスタの説明を参照してください。アクティブ・モードに戻ってから最初の Current レジスタ読出し値が、AvgCurrent フィルタの開始点を設定します。

MaxMinCurr レジスタ (00Ah)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：nNVCfg2.enMMC が設定されている場合に nMaxMinCurr (1ABh) に定期的に保存されますが、不揮発性メモリからは復元されません。

代替初期値：0x807F

MaxMinCurr レジスタは、最後の IC リセット以降もしくはホスト・ソフトウェアによるクリアまでの、Current レジスタの最大値と最小値を保持します。Current レジスタの更新ごとに、その値と比較されます。読出し値が最大値より大きい場合最小値より小さい場合、対応する値が新しい読出し値で置き換えられます。起動時には、最大電流の値は 80h (最小値) に設定され、最小電流の値は 7Fh (最大値) に設定されます。そのため、最初の更新後に両方の値は Current レジスタの読出し値に変更されます。ホスト・ソフトウェアは、このレジスタにパワーアップ時の値である 0x807F を書き込むことによってその値を変更できます。最大電圧と最小電圧はそれぞれ 0.4mV/R_{SENSE} の分解能で 8 ビットの 2 の補数の値として保存されます。表 103 にこのレジスタのフォーマットを示します。

表 103. MaxMinCurr (00Ah) / nMaxMinCurr (1ABh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MaxCurrent								MinCurrent							

MaxCurrent : Current レジスタの最大読出し値 (0.40mV/R_{SENSE} の分解能)

MinCurrent : Current レジスタの最小読出し値 (0.40mV/R_{SENSE} の分解能)

MaxMinCurr は、バッテリー寿命全体での累積に基づくものではありません。定期的な不揮発性メモリへの保存が行われるたびに、MaxMinCurr は 0x807F にリセットされ、バッテリー寿命の次のセグメント全体での最大および最小電流を検出します。この動作は、各ログ・セグメントがそのセグメントのみにおいて検出された最大電流と最小電流を示す、有用なログ記録をバッテリー寿命全体を通じて行うのに役立ちます。

nCGain レジスタ (1C8h)

レジスタ・タイプ：特殊

nCGain レジスタは、電流測定結果のゲインとオフセットを調整します。電流測定 A/D はデータシートの精度に合わせて工場でトリミングされており、ユーザが更に調整する必要はありません。nCGain レジスタの推奨デフォルト値は 0x4000 で、これは Current レジスタ読出し値の調整に適用されます。

特定のアプリケーション要求事項については、次のように CGain と COff の値を使って読出し値を調整することができます。

$$\text{Current register} = (\text{current A/D reading} \times (\text{CGain} / 256)) + \text{COff}$$

CGain および COff は、表 104 に示すようにフォーマットされた 1 つのレジスタにまとめられています。

表 104. nCGain レジスタ (1C8h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CGain										COff					

COff : COff の範囲は -32LSb ~ +31LSb です。ただし、COff をキャリブレーションすることは通常推奨しません。ほとんどのアプリケーションでは、**COff = 0** とすることを推奨します。

CGain : 推奨デフォルト値 CGain = 0x100 は、ゲイン 1 に相当します。CGain は次式により計算できます。CGain = ((測定電流値/レポート電流値) × 0x0100)。CGain は符号付きの値であり、負値となることもあります。

CGTempCo (0B8h) / nCGTempCo (0x1C9) レジスタ

レジスタ・タイプ：特殊

代替初期値：0x20C8

Config.FastADCen = 0 かつ nNVCfg1.enMet = 1 の場合、CGTempCo を用いると電流測定値を温度に合わせて調整できます。CGTempCo の範囲は 1°C あたり 0% ~ 3.1224% でステップ・サイズは 3.1224/0x10000%/°C です。nNVCfg1.enMtl ビットがクリアされている場合、CGTempCo は、0x20C8 または 0.4%/°C のデフォルト値となります。これは概ね銅パターンの温度係数です。nNVCfg1.enMtl ビットがセットされている場合、CGTempCo は、IC リセット後に nCGTempCo (1C9h) から復元され、カスタムのセンス抵抗温度係数を使用できます。なお、Config.FastADCen および nNVCfg1.enMet は、同時に有効化できません。

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

銅パターンによる電流検出

MAX17335 は、一般的なセンス抵抗ではなく、銅のボード・パターンを用いて電流を測定できます。これによる大きな違いはセンス抵抗の温度による変化を調整できる点です。銅パターンによる電流検出を有効化するには、nNVCfg1.enADCCfg = 0 および nNVCfg2.enMet = 1 となるように各設定ビットを設定します。この IC のデフォルトの温度調整は、0.4%/°C ですが、nNVCfg1.enMtl = 1 であれば、nCGTempCo/nADCCfg レジスタを用いて調整できます。なお、銅パターンの電流検出は、カスタム ADC 設定を同時には有効化できません。1 オンスの銅を用いる場合、長さとの幅の比率を 6:1 にすると、センス抵抗が 0.0035Ω となり、これはほとんどのアプリケーションに適しています。表 105 に、銅パターンによる検出の IC 設定をまとめます。

表 105. 銅パターンによる検出

パラメータ	設定	結果
nNVCfg1.enADCCfg	0	ADC 設定をデフォルト化。
nNVCfg1.enMet	1	センス抵抗の温度補償を有効化。
nNVCfg2.enMtl	0	センス抵抗の温度補償をデフォルト値の 0.4%/°C（標準的な銅）に設定。
nRense	0x012C	ホスト・ソフトウェアへのセンス抵抗インジケータを 3.5mΩ に設定。
RSENSE Size	6:1	1 オンスの銅を用い長さとの幅の比を 6:1 にすることで、3.5mΩ の抵抗を実現できます。

MinCurr レジスタ (0AEh)

レジスタ・タイプ：電流

不揮発性メモリのバックアップ：なし

MinCurr レジスタには、45 秒間の時間内、またはホスト・ソフトウェアによるクリアまでの間の、最小放電 Current レジスタ値が保持されます。Current レジスタの更新ごとに、その値と比較されます。読出し値が最小値より小さい場合、対応する値が新しい読出し値で置き換えられます。起動時、MinCurr 値は 0（最大放電電流）に設定されます。そのため、この値は放電時の最初の更新後に Current レジスタの読出し値に変更されます。ホスト・ソフトウェアは、このレジスタにパワーアップ時の値である 0 を書き込むことによってレジスタをリセットできます。LSB は 1.5625μV/RSENSE です。

Current レジスタ (01Ch)

レジスタ・タイプ：電流

不揮発性メモリのバックアップ：なし

この IC は、CSP ピンと CSN ピンの間の電圧を測定し、その結果が Current レジスタに 2 の補数値として格納されます。最小および最大レジスタ値から外れる電圧は、最小値および最大値としてレポートされます。レジスタ値をアンペアに変換するためには、センス抵抗値で除算する必要があります。センス抵抗の値は、電流読出し値の分解能とフルスケール・レンジを決定します。表 106 に、代表的なセンス抵抗の範囲および分解能の値を示します。

表 106. 電流測定値の範囲および分解能とセンス抵抗値の関係

BATTERY FULL CAPACITY (mAh)	SENSE RESISTOR (mΩ)	nRSENSE	CURRENT REGISTER RESOLUTION (μA)	CURRENT REGISTER RANGE (A)	CAPACITY RESOLUTION (mAh)	MAXIMUM CAPACITY (mAh)
> 4000	1	0001h	1562.5	±51.2	5	144360
> 2000	2	0002h	781.25	±25.6	2.5	71680
> 800	5	0005h	312.5	±10.24	1	28672
> 400	10	000Ah	156.25	±5.12	0.5	14336
> 200	20	0014h	78.125	±2.56	0.25	7168
> 80	50	0032h	31.25	±1.02	0.1	2867
> 40	100	0064h	15.625	±0.51	0.05	1433

温度測定

この IC は、それ自体の内部ダイ温度および外部 NTC サーミスタを測定するように設定できます。詳細については、[nPackCfg](#) レジスタを参照してください。

1.4 秒ごとに、IC は内部調整されたプルアップを用いて外部サーミスタをバイアスします。プルアップが有効化された後、IC は、 t_{PRE} のセトリング期間だけ待機してから TH ピンの測定を行います。測定結果は、それに比例した 0%~100% の値に変換されます。温度測定が完了すると、アクティブ・プルアップは無効化されます。この機能は、外部抵抗分圧器ネットワークがアクティブになっている時間を制限し、システムが使用する全エネルギー量を低減します。

この比例した結果は、TH ピンを測定するたびに、サーミスタの対数的な抵抗変換を用いて温度に変換されます。内部ダイ温度の測定値は工場内でキャリブレーションされており、[nThermCfg](#) レジスタの設定の影響を受けません。-40°C~+85°C の範囲でサーミスタの精度を達成するには、[nThermCfg](#) の適切な設定が必要です。

更に、IC は、測定した最低温度と最高温度、および、ホストが定義した期間にわたる平均温度を記録として維持します。

温度測定のタイミング

温度測定チャンネルは、[nPackCfg](#) レジスタを用いて個別に有効化されます。A/D 測定の順序とファームウェアのポストプロセスによって、有効な読出し値をユーザが入手できるタイミングが決まります。更に、ファームウェアのタスク・ループを通じてその都度必ずしもすべてのチャンネルが測定されるわけではありません。チャンネルを有効化するための選択オプションにより、多数のタイミング・オプションが可能となります。[表 107](#) に、いくつかの代表的なパック構成に対して IC が行う全温度測定のタイミングを示します。この表のタイミングはすべて標準的なものです。

表 107. 温度測定のタイミング

APPLICATION	nPackCfg SETTING	REGISTER	FIRST UPDATE AFTER RESET	UPDATE RATE IN ACTIVE MODE ¹	UPDATE RATE IN HIBERNATE MODE ²
Die Temperature Only	nPackCfg.A1En = 0	Temp, IntTemp, AvgIntTemp	550ms	351ms	1.4s
		AvgTA		351ms	
Die Temperature and Thermistor	nPackCfg.A1En = 1	IntTemp, Temp1, Temp, AvgIntTemp, AvgTemp1	550ms	1406ms	5.625s
		AvgTA		351ms	1.4s

Note 1: 必ずしもすべてのレジスタが同時に更新されるわけではありません。更新は、タスク期間ごとに 1 つのチャンネルずつ互い違いに行われます。更新は IntTemp、Temp の順です。

Note 2: 休止モードの更新タイミングは、[nHibCfg.HibScalar](#) の推奨設定である 4 タスク期間を仮定しています。

Temp レジスタ (01Bh)

レジスタ・タイプ: 温度

不揮発性メモリのバックアップ: なし

Temp レジスタは、残量ゲージ・アルゴリズムへの入力です。Temp レジスタは、[nPackCfg](#) の設定に従って、サーミスタまたはダイの温度を反映します。

AvgTA レジスタ (016h)

レジスタ・タイプ: 温度

不揮発性メモリのバックアップ: なし

AvgTA レジスタは、Temp レジスタの読出し値の平均をレポートします。平均化の時間幅は、[FilterCfg](#) レジスタによる設定に応じて 6 分から 12 時間までの範囲に設定できます。アクティブ・モードに戻ってから最初の Temp レジスタ読出し値が、平均化フィルタの開始点を設定します。

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

MaxMinTemp レジスタ (009h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：nNVCfg2.enMMT が設定されている場合に nMaxMinTemp (1ADh) に定期的に保存されますが、不揮発性メモリからは復元されません。

代替初期値：0x807F

MaxMinTemp レジスタは、最後の残量ゲージ・リセット以降もしくはホスト・ソフトウェアによるクリアまでの、Temp レジスタ (008h) の最大値と最小値を保持します。これらの値は、Temp レジスタが更新されるたびに、その最大値および最小値と比較されます。読出し値が最大値より大きいか最小値より小さい場合、対応する値が新しい読出し値で置き換えられます。起動時には、最大値は 80h (最小値) に設定され、最小値は 7Fh (最大値) に設定されます。そのため、最初の更新後に両方の値は Temp レジスタの読出し値に変更されます。ホスト・ソフトウェアは、このレジスタにパワーアップ時の値である 0x807F を書き込むことによってレジスタをリセットできます。最高温度と最低温度はそれぞれ 1°C の分解能で 8 ビットの 2 の補数の値として保存されます。表 108 にレジスタのフォーマットを示します。

表 108. MaxMinTemp (009h) /nMaxMinTemp (1ADh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MaxTemperature								MinTemperature							

MaxTemperature：Temp レジスタの最大読出し値 (1°C の分解能)

MinTemperature：Temp レジスタの最小読出し値 (1°C の分解能)

MaxMinTemp は、バッテリー寿命全体での累積に基づくものではありません。定期的な不揮発性メモリへの保存が行われるたびに、MaxMinTemp は 0x807F にリセットされ、バッテリー寿命の次のセグメント全体での最高温度および最低温度を検出します。この動作は、各ログ・セグメントがそのセグメントのみにて検出された最高温度と最低温度を示す、有用なログ記録をバッテリー寿命全体を通じて行うのに役立ちます。

nThermCfg レジスタ (1CAh)

出荷時のデフォルト値：71BEh

外部 NTC サーミスタは温度に關係する電圧を生成し、これは TH/TH2 ピンで測定されます。正確な温度変換のためにサーミスタを補償するには、nThermCfg レジスタを設定します。

表 109 に、一般的な NTC サーミスタと、それに付随するベータ値および nThermCfg 値を示します。この表に示すサーミスタは、-40°C ~ +85°C の範囲で ±1°C 以内の精度で変換を行います。その他のサーミスタについては、表 109 の式を使い ±2.5°C 以内の精度で変換できます。

表 109. 一般的なサーミスタ・タイプのレジスタ設定

THERMISTOR	R _{25c} (kΩ)	BETA at 25°C to 85°C	nThermCfg
Murata NCP15XH103F03RC	10	3435	71E8h
Semitec 103AT-2	10	3435	91C3h
TDK B57560G1103 7003	10	3610	5183h
Murata NCU15WF104F6SRC	100	4250	48EBh
NTC TH11-4H104F	100	4510	08D9h
TDK NTCG064EF104FTBX	100	4225	58EFh
Other 10K	10	nThermCfg = 7000h + (3245919/Beta ¹ - 512)	
Other 100K	100	nThermCfg = 3000h + (3245919/Beta ¹ - 512)	

Note 1: 25°C ~ 85°C のベータを使用。

DieTemp (034h) レジスタ

レジスタ・タイプ：温度

不揮発性メモリのバックアップ：なし

このレジスタは、°C 単位で ±128°C の範囲の温度を示します。つまり、上位バイトは 1°C 単位、LSB は 1/256°C 単位です。

AvgDieTemp (040h) レジスタ

レジスタ・タイプ：温度
不揮発性メモリのバックアップ：なし
AvgDieTemp レジスタは、DieTemp レジスタの 4 サンプルのフィルタ処理平均値をレポートします。

FETTemp (015h) レジスタ

レジスタ・タイプ：温度
不揮発性メモリのバックアップ：なし
このレジスタは、℃ 単位で±128℃ の範囲の FET 温度を示します。つまり、上位バイトは 1℃ 単位、LSB は 1/256℃ 単位です。FETTemp は、充電レギュレーションの間に用いられ、充電中の FET 温度の安定化と制限を行います。
2 つ目のサーミスタがインストールされておらず有効化されていない場合、FETTemp は単に DieTemp に等しくなります。また、DieTemp は FET 温度の推定値として使用されます。
2 つ目のサーミスタがインストールされている場合は、FETTemp は、TH2 で測定された温度で計算され、TH2 と DieTemp の間に観測される熱勾配に従って増加されます。この勾配は、FET 内の「見えざる温度」（これは直接測定可能な温度よりも常に高温となっています）を、次式に従って見積もる場合に役立ちます。

$$FETTemp = TH2_Temp + (TH2_Temp - DieTemp) \times FetTheta$$

FetTheta の範囲は、0～4.0 で 0.125 刻みです。
FET サーミスタを有効化し設定する方法の詳細については、[nChgCfg1](#) および [nPackCfg](#) も参照してください。

電力

Power レジスタ (0B1h)

現在の電流と電圧による瞬時電力の計算値。10mΩ のセンス抵抗を用いた場合、LSB は 0.8mW です。

AvgPower レジスタ (0B3h)

Power レジスタから得られるフィルタ処理された平均電力。10mΩ のセンス抵抗を用いた場合、LSB は 0.8mW です。Config2.POWR にあるビットをフィルタ処理します。

nADCCfg レジスタ (1C9h)

レジスタ・タイプ：特殊
不揮発性メモリ復元：このレジスタに関連する復元場所はありません。
Config.FastADCen = 1 かつ nNVCfg2.enMet = 0 と設定すると、nADCCfg を用いて ADC をより長いサンプルに対して設定でき、サンプル・ノイズを低減できますが、これと引き換えに自己消費電流が増加します。

表 110. nADCCfg (0x1C9) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
TermEn	ChgTermEn	0	1	0	0	nTerm			0	0	0	1	0	0	0

デフォルト値：0x5008
ADC の平均化回数の選択に対する標準的な設定では、4ms に固定されています。nADCCfg の設定では、4ms の ADC 変換より長くすることが可能で、その結果、ノイズの少ない ADC 読出し値が得られます。
nADCCfg のデフォルト値を用いると、VCell のノイズを 4 分の 1 (64ms)、PCKP/Temp のノイズを 3 分の 1 (32ms) に低減できます。
ChgTermEn：ADC の変更は充電中にのみ可能です。充電ソースが存在する間は、消費電流は影響を受けません。充電ソースがなくなると、ADC の動作は 4ms のサンプリングに復帰します。
TermEn：ADC の変更は常にオン状態です。これは消費電流に大きく影響するため、推奨されません。
nTerm：ADC の平均化回数の選択。
nMaxTerm/nTerm の (0、1、2、3、4、5、6、7) の設定は、それぞれ ADC のチャンネル変換の (4、8、16、32、64、128、256、512) ms に対応します。
256ms と 512ms の選択は、計時の問題を回避するために推奨されません。

ステータス・レジスタおよび設定レジスタ

以下に説明するレジスタは、省電力モード、不揮発性メモリのバックアップ、ALRT ピンの機能など、残量ゲージに関連しない IC 動作を制御します。

DevName レジスタ (021h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

DevName レジスタには、ファームウェアのリビジョン情報が保持されています。ホスト・ソフトウェアはこれを利用することで、通信する先の IC のタイプを容易に特定できます。表 111 に DevName レジスタのフォーマットを示します。

表 111. DevName レジスタ (021h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Revision															

この IC の DevName は 0x4150 です。

nROMID0 (1BCh) / nROMID1 (1BDh) / nROMID2 (1BEh) / nROMID3 (1BFh) レジスタ

レジスタ・タイプ：特殊

不揮発性メモリ復元：これらのレジスタに関連する復元場所はありません。

MAX17335 IC にはそれぞれ固有の 64 ビットの識別値があり、nROMID レジスタに格納されています。この固有 ID は、表 112 に示すように nROMID レジスタから再構築できます。

表 112. nROMID レジスタ (1BCh~1BFh) のフォーマット

NROMID3[15:0]	NROMID2[15:0]	NROMID1[15:0]	NROMID0[15:0]
ROM ID [63:48]	ROM ID [47:32]	ROM ID [31:16]	ROM ID [15:0]

Status レジスタ (000h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

初期値：0x0002

Status レジスタには、アラート・スレッシュホルドに関係するすべてのフラグが保持されます。表 113 に Status レジスタのフォーマットを示します。

表 113. Status レジスタ (000h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
PA	Smx	Tmx	Vmx	CA	Smn	Tmn	Vmn	dSOCi	Imx	AllowChgB	X	Bst	Imn	POR	X

POR：パワーオン・リセット。ソフトウェアまたはハードウェア POR イベントが発生したことをデバイスが検出すると、このビットが 1 に設定されます。このビットは、次の POR イベントを検出するためにシステム・ソフトウェアによってクリアする必要があります。POR はパワーアップ時には 1 に設定されます。

Imn：最小電流アラート・スレッシュホルドを超過。このビットは、Current レジスタの読出し値が最小 IAlrtTh 値未満になると、常に 1 に設定されます。Current が最小 IAlrtTh 値を上回るとこのビットは自動的にクリアされます。Imn はパワーアップ時には 0 に設定されます。

Bst：バッテリー・ステータス。ホスト側アプリケーションでこの IC を使用する場合に便利です。このビットは、システム内にバッテリーが存在する場合は 0 に設定され、存在しない場合は 1 に設定されます。Bst はパワーアップ時には 0 に設定されます。

Imx：最大電流アラート・スレッシュホルドを超過。このビットは、Current レジスタの読出し値が最大 IAlrtTh 値を超えると、常に 1 に設定されます。Current が最大 IAlrtTh 値を下回るとこのビットは自動的にクリアされます。Imx はパワーアップ時には 0 に設定されます。

dSOCi：充電状態 1%変化アラート。RepSOC レジスタの値が整数のパーセンテージ境界 (50%、51%など) を超えると、常に 1 に設定されます。ホスト・ソフトウェアによってクリアする必要があります。dSOCi はパワーアップ時には 0 に設定されます。

Vmn：最小電圧アラート・スレッシュホールドを超過。このビットは、VCell レジスタの読出し値が最小 VAlrtTh 値未満になると、常に 1 に設定されます。このビットは、場合により次のイベントを検出するためにシステム・ソフトウェアによってクリアしなければならないことがあります。Config.VS のビットの説明を参照してください。Vmn はパワーアップ時には 0 に設定されます。

Tmn：最小温度アラート・スレッシュホールドを超過。このビットは、Temperature レジスタの読出し値が最小 TAlrtTh 値未満になると、常に 1 に設定されます。このビットは、場合により次のイベントを検出するためにシステム・ソフトウェアによってクリアしなければならないことがあります。Config.TS のビットの説明を参照してください。Tmn はパワーアップ時には 0 に設定されます。

Smn：最小 SOC アラート・スレッシュホールドを超過。このビットは、SOC が最小 SAlrtTh 値未満になると、常に 1 に設定されます。このビットは、場合により次のイベントを検出するためにシステム・ソフトウェアによってクリアしなければならないことがあります。Config.SS および MiscCFG.SACFG のビットの説明を参照してください。Smn はパワーアップ時には 0 に設定されます。

Vmx：最大電圧アラート・スレッシュホールドを超過。このビットは、VCell レジスタの読出し値が最大 VAlrtTh 値を超えると、常に 1 に設定されます。このビットは、場合により次のイベントを検出するためにシステム・ソフトウェアによってクリアしなければならないことがあります。Config.VS のビットの説明を参照してください。Vmx はパワーアップ時には 0 に設定されます。

Tmx：最大温度アラート・スレッシュホールドを超過。このビットは、Temperature レジスタの読出し値が最大 TAlrtTh 値を超えると、常に 1 に設定されます。このビットは、場合により次のイベントを検出するためにシステム・ソフトウェアによってクリアしなければならないことがあります。Config.TS のビットの説明を参照してください。Tmx はパワーアップ時には 0 に設定されます。

Smx：最大 SOC アラート・スレッシュホールドを超過。このビットは、SOC が最大 SAlrtTh 値を超えると、常に 1 に設定されます。このビットは、場合により次のイベントを検出するためにシステム・ソフトウェアによってクリアしなければならないことがあります。Config.SS および MiscCFG.SACFG のビットの説明を参照してください。Smx はパワーアップ時には 0 に設定されます。

PA：保護アラート。保護イベントが発生すると、このビットが 1 にセットされます。各保護イベントの詳細については、ProtAlrt レジスタを参照してください。このビットは、次の保護イベントを検出するためにシステム・ソフトウェアによってクリアする必要があります。ただし、このビットをクリアする前に、まず ProtAlrt レジスタに 0x0000 を書き込む必要があります。ProtAlrt はパワーアップ時には 0 に設定されます。

CA：充電アラート。CP または CT、あるいはドロップアウト・イベントが発生すると、このビットが 1 にセットされます。各充電イベントの詳細については、Chgstat レジスタを参照してください。このビットは、次のイベントを検出するためにシステム・ソフトウェアによってクリアする必要があります。Chgstat は 351ms ごとに更新され、これをクリアするためのシステム・ソフトウェアとの相互作用は不要です。

AllowChgB：充電バーを許可。AllowChgB ビットは、複数バッテリーの充電または放電を並列に管理するために用いられ、nPackCfg.ParEn = 1 と設定することで有効化できます。Config2.BlockDis = 1 の場合に充電を許可し放電をブロックするには、このビットを 0 にクリアします。連続的な充電または連続的な放電ブロックを行うには、このビットを 1.4 秒ごとにクリアしなくてはなりません。

X：ドント・ケア。このビットは定義されておらず、ロジック 0 にもロジック 1 にもなる可能性があります。

Status2 レジスタ (0B0h)

レジスタ・タイプ：特殊

不揮発性メモリのバックアップ：なし

初期値：0x0000

Status2 レジスタには、休止モードのステータスが格納されます。表 114 に Status レジスタのフォーマットを示します。

表 114. Status2 レジスタ (0B0h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	X	X	X	Hib	x

Hib：休止ステータス。このビットは、デバイスが休止モードになっている場合は 1 に、デバイスがアクティブ・モードになっている場合は 0 に設定されます。Hib はパワーアップ時には 0 に設定されます。

X：ドント・ケア。このビットは定義されておらず、ロジック 0 にもロジック 1 にもなる可能性があります。

nI2CCfg レジスタ (1B4h)

レジスタ・タイプ：特殊

不揮発性メモリ復元：このレジスタに関連する復元場所はありません。

nI2CCfg レジスタは、I²C 用の設定および IC の SBS 動作モード用の設定を管理します。表 115 にこのレジスタのフォーマットを示します。

表 115. nl2CCfg レジスタ (1B4h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CapMd	X	X	X	X	X	X	X	X	X	SDA_OUT	DIS_SLT	WPen	MECfg		X

X : ドント・ケア。このビットは定義されておらず、ロジック 0 にもロジック 1 にもなる可能性があります。

WPen : 書込み保護イネーブル。書込み保護を有効化するには WPen = 0 (デフォルト) と設定します。

DIS_SLT : スレープのタイムアウトを無効化。DIS_SLT = 0 と設定すると、スレープのタイムアウトが有効化され、スレープは、SCL がローになって 30ms 後に通信を停止し、バスから外れます。DIS_SLT = 1 (デフォルト) と設定すると、スレープのタイムアウトが無効化されます。

SDA_OUT : PFail ピンへの SDA 出力を有効化。SDA_OUT = 1 と設定すると、PFAIL ピンが SDA に対しオープン・ドレインとなり、SDA ピンは入力専用になります。SDA_OUT が 0 の場合 (デフォルト)、SDA ピンは双方向です。

MECfg : SBS モードでの動作時、sMaxError レジスタの出力を設定します。

00 : 常に 0% の誤差をレポート

01 : 常に 1% の誤差をレポート

10 : 実際に発生した誤差をレポート

11 : 常に 3% の誤差をレポート

CapMd : SBS モードでの動作時、sBatteryMode.CapMd ビットのデフォルト設定を選択します。バック取り外しが発生し、これが通信ラインがフロート状態になることで検出されるたびに、CapMd は 0 にリセットされます。

nPackCfg レジスタ (1C7h)

レジスタ・タイプ : 特殊

nPackCfg レジスタは、A/D および残量ゲージへの電圧および温度入力を設定します。IC が正しく動作するためには、nPackCfg の設定がパックのハードウェアに一致していなくてはなりません。表 116 にこのレジスタのフォーマットを示します。nPackCfg の工場設定デフォルト値は 0x2000 です。

表 116. nPackCfg (1C7h) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	S_Hib	THCfg	THType		000			En1w	ParEn	I2CSid			0000		

I2CSid : プライマリ IC スレープ・アドレスおよびセカンダリ・スレープ・アドレスをこのビットフィールドで設定します。プライマリ・スレープ・アドレスは、レジスタ・アドレスの先頭の「0」で示され (例えば 022h)、これがすべてのレジスタに適用されます。セカンダリ・スレープ・アドレスは、レジスタ・アドレスの先頭の「1」で示され (例えば 1AAh)、これがすべてのレジスタに適用されます。

Note : Ship、DeepShip、DeepShip2/UVShutdown になる場合、IC が完全に低消費電力モードになってからアクティブ・モード (nDelayCfg.ShutdownTimer の設定に依存) に戻ることが重要です。それ以外の場合、スレープ・アドレスは、6Ch/16h のスレープ・アドレスに戻る可能性があります。この状態が発生すると、残量ゲージ・リセット・コマンドが 6Ch のスレープ・アドレスに送信されることで、IC が nPackCfg.I2CSid 設定に戻ります。

Note : 表 117 に示すアドレスは 8 ビットのスレープ・アドレスです。

En1w : 1-Wire インターフェースを有効化。

表 117. I²C のアドレス設定

I2CSID	PRIMARY ADDRESS (REGISTERS 0__h)	SECONDARY ADDRESS (REGISTERS 1__h)
0b00	6Ch	16h
0b01	ECh	96h
0b10	64h	1Eh
0b11	E4h	9Eh

ParEn : 並列充電機能を有効化。詳細については、[並列管理](#)のセクションを参照してください。

Note : nPackCfg.ParEn をクリアする場合、通常の充電を再開する前に ProtStatus.BlockChg ビットをクリアすることが必要となる場合があります。

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

THType : 10kΩ の NTC サーミスタを用いる場合、THType = 0 と設定します。100kΩ の NTC サーミスタを用いる場合、THType = 1 と設定します。詳細については、[nThermCfg](#) を参照してください。

THCfg : THCfg はサーミスタの動作を設定します。

表 118. サーミスタの設定

THCFG	動作
0b00	両サーミスタ・チャンネル共無効化。Temp および FETTemp は DieTemp で測定されます。
0b01	Thermistor 1 をバッテリー温度として使用し、Thermistor 2 は DieTemp と共に使用して FETTemp を計算します。
0b10	Thermistor 1 をバッテリー温度として使用し、FETTemp は DieTemp からコピーされます。
0b11	無効。設定しないでください。

S_Hib : 出荷モード時の休止動作。S_Hib = 1 と設定すると、出荷モード時に休止動作を使用します。Ship モード時に完全にシャットダウンするには、S_Hib = 0 と設定します (DeepShip または DeepShip2、nProtCfg を参照)。休止モードでは、残量ゲージ機能はアクティブであり、バッテリー状態は継続的に更新されます。

I2CCmd レジスタ (12Bh)

レジスタ・タイプ : 特殊

I2CCmd レジスタは、MAX17335 のプライマリおよびセカンダリのスレーブ・アドレスを変更します。スレーブ ID を変更するには、Alert ピンをロジック・ハイまたはロジック・ローに設定し、ターゲットの GoToSID ビットおよび IncSID ビットに書き込んで 1.4 秒待機します。表 119 にこのレジスタのフォーマットを示します。Alert ピンがロジック・ハイの場合、デバイスの I²C アドレスは表 120 の ALERT HIGH 列に記されたアドレスに変更されます。Alert ピンがロジック・ローの場合、デバイスの I²C アドレスは表 120 の ALERT LOW 列に記されたアドレスに変更されます。複数の MAX17335 デバイスが同じ I²C バスを共用している場合、1 つのデバイスの Alert ピンをロジック・ローに、その他をロジック・ハイに設定する必要があります。それによって、デバイスが異なる I²C スレーブ・アドレスに移動できるようになります。

表 119. I2CCmd (12Bh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0										GoToSID		0		IncSID	

GoToSID : プライマリ I²C スレーブ・アドレスおよびセカンダリ・スレーブ・アドレスをこのビットフィールドで設定します。プライマリ・スレーブ・アドレスは、レジスタ・アドレスの先頭の「0」で示され (例えば 022h)、これがすべてのレジスタに適用されます。セカンダリ・スレーブ・アドレスは、レジスタ・アドレスの先頭の「1」で示され (例えば 1AAh)、これがすべてのレジスタに適用されます。**注** : 表 120 に示すアドレスは 8 ビットのスレーブ・アドレスです。

表 120. GoToSID のアドレス設定

GO TO SID	ALERT HIGH	ALERT LOW
—	Primary/Secondary Address	Primary/Secondary Address
0b00	ECh/96h	6Ch/16h
0b01	64h/1Eh	ECh/96h
0b10	E4h/9Eh	64h/1Eh
0b11	6Ch/16h	E4h/9Eh

IncSID : スレーブ ID を GoToSID ビットフィールドに定義するようにインクリメントするには 1 に設定します。

nConfig レジスタ (1B0h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : Config (00Bh) および Config2 (0ABh) (nNVCfg0.enCfg がセットされている場合)

代替初期値 : Config の場合は 0x2204、Config2 の場合は 0x2058

nConfig レジスタには、すべてのシャットダウン・イネーブル、アラート・イネーブル、および温度イネーブル制御ビットが格納されます。ビット位置を書き込むと、1 タスク周期以内に該当する機能が有効化されます。表 121、表 122、表 123 にレジスタのフォーマットを示します。

表 121. nConfig レジスタ (1B0h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
PAen	SS	TS	VS	0	PBen	DisBlockRead	ParChgBBM
D7	D6	D5	D4	D3	D2	D1	D0
AtRateEn	COMMSH	FastADCen	OCVQEn	FTHRM	Aen	dSOCen	TAIrtEn

表 122. Config レジスタ (00Bh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
ManChg	SS	TS	VS	0	PBen_status	DisBlockRead	0
D7	D6	D5	D4	D3	D2	D1	D0
SHIP	COMMSH	FastADCen	0	FTHRM	Aen	CAen	PAen

表 123. Config2 レジスタ (0ABh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8
POR_CMD	0	AtRtEn	0	POWR			
D7	D6	D5	D4	D3	D2	D1	D0
dSOCen	TAIrtEn	0	OCVQEn	DRCfg		CPMode	BlockDis

0 : このビットには 0 を書き込む必要があります。1 は書き込まないでください。

1 : このビットには 1 を書き込む必要があります。0 は書き込まないでください。

BlockDis : 放電をブロック。BlockDis ビットは、複数バッテリーの放電を並列に管理するために用いられ、nPackCfg.ParEn = 1 と設定することで有効化できます。1 に設定し Status.AllowChgB をクリアすると、並列充電が有効化されている場合に放電電流をブロックできます。詳細については、[並列バッテリー管理](#)を参照してください。

PAen : 保護アラート・イネーブル。PAen = 1 と設定すると、保護フォルト・イベント時に ALRT ピンがローに駆動されます。更に、プロテクタ・フォルト (TooHotC、TooColdC、OVP、OCCP、DieHot、TooHotD、UVP、ODCP、LDet) を nBattStatus レジスタの下位バイトに保存するこの機能が有効化されます。各ライフログ記録の NVM への書き込み後、nBattStatus の下位バイトはクリアされます。

CAen : 充電アラート・イネーブル。CAen = 1 と設定すると、ドロップアウト・アラートまたは熱制限アラート時に ALRT ピンがローに駆動されます。この機能を有効にするには、Config.Aen を 1 に設定する必要があります。

PBen : PushButton イネーブル。PBen = 1 と設定すると、プッシュボタンによりウェイクアップを有効化できます。このアプリケーションでは、共用のシステム・ボタンが押されるまで、バッテリーが切り離された状態でガジェットを完全にはめ込むことができます。

PBen_status : PushButton のイネーブル状態。nConfig.PBen = 1 の場合に PBen_status = 1 と設定します。プッシュボタン・ウェイクアップ機能を有効化するには nConfig.PBen が 1 でなくてはなりません。

DisBlockRead : SBS ブロック読出しを無効化。DisBlockRead を 1 に設定すると、16h メモリ空間の通常の読出しアクセスが可能になります。DisBlockRead を 0 にクリアすると、nNVCfg0.SBSen によって SBS モードが有効化されている場合に SBS ブロック読出しが可能になります。DisBlockRead のデフォルト設定は 1 です。

ParChgBBM : 並列充電のブレーク・ビフォア・メーク終了オプション。

ホストが充電の許可を停止し、放電ブロック・コマンドが 1 のままである場合、0 は充電をブロックし、同時に放電の変更を許可します。

1 は、最初に充電をブロックし、その後 0.351ms の遅延を経て放電をリリースします。ブレーク・ビフォア・メークに対応し、相互充電を回避します。また、システムは、エンプティ状態のバッテリーがシステム負荷をサポートできない場合にクラッシュする可能性があります。

Aen : 残量ゲージ出力のアラートを有効化。Aen = 1 の場合は、温度、電圧、または SOC のいずれかがアラート・スレッショルド・レジスタの値を超えると、アラートがトリガされます。このビットは ALRT ピンの動作にのみ影響します。Status レジスタ (000h) の Smx、Smn、Tmx、Tmn、Vmx、Vmn、Imx、Imn ビットは無効化されません。

FTHRM : サーミスタ・バイアス・スイッチの強制設定。これにより、ホストはサーミスタ・スイッチのバイアスを制御したりバッテリー取り外しを迅速に検出したりできます。サーミスタ・バイアス・スイッチを常時有効化するには、FTHRM = 1 と設定します。標準的な 10kΩ サーミスタの場合は、これにより回路の電流ドレインに約 200μA が追加されます。

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

FastADCen : FastADC の有効化。FastADC 機能を有効化するには、レジック 1 に設定します。

COMMSH : 通信シャットダウン。レジック 1 に設定すると、SDA および SCL が共にローに保持されている場合にデバイスを強制的にシャットダウン・モードにできます。また、これにより、どの通信の立上がりエッジでもデバイスがウェイクアップするように設定されます。表 9 を参照してください。

SHIP : Ship または Deepship コマンド。このビットをレジック 1 に書き込むと、nDelayCfg.UVPTimer で設定される Shutdown Timer レジスタのタイムアウト後に、nProtCfg.DeepShpEn に基づいて Ship モードまたは DeepShip モードになります。パワーアップ時、および出荷モードまたはディープ出荷モードの終了時には、SHIP は 0 にリセットされます。

VS : 電圧 ALRT スティッキー。VS = 1 の場合、電圧アラートはソフトウェアによってのみクリアできます。VS = 0 の場合、電圧アラートはスレッシュホールド以下になると自動的にクリアされます。

TS : 温度 ALRT スティッキー。TS = 1 の場合、温度アラートはソフトウェアによってのみクリアできます。TS = 0 の場合、温度アラートはスレッシュホールド以下になると自動的にクリアされます。

SS : SOC ALRT スティッキー。SS = 1 の場合、SOC アラートはソフトウェアによってのみクリアできます。SS = 0 の場合、SOC アラートはスレッシュホールド以下になると自動的にクリアされます。

ManChg : 手動充電制御。ManChg = 1 の場合、ホストは、ChargingVoltage/ChargingCurrent レジスタに直接書き込みを行うことで、充電電圧／充電電流を制御し、IC は、ChargingVoltage/ChargingCurrent レジスタを自動的に更新しません。手動充電制御が有効化された場合、すべての保護パラメータは不変です。手動充電制御を終了すると（ManChg を 0 にクリア）、自動設定が再開します。

POR_CMD : ファームウェア再始動。このビットを 1 に設定すると、不揮発性メモリを RAM にリコールすることなく、IC のファームウェア動作を再開できます。これにより、不揮発性メモリの設定を変更せずに様々な IC 設定をテストできます。このビットはパワーアップ時には 0 に設定され、また、ファームウェアの再開後自動的にクリアされます。

TAIrten : 温度アラート・イネーブル。このビットを 1 に設定すると、温度に基づくアラートを有効化できます。温度アラートを無効化するには、このビットに 0 を書き込みます。このビットはパワーアップ時には 1 に設定されます。

dSOCen : SOC 変化アラート・イネーブル。このビットを 1 に設定すると、Status.dSOCi ビット機能を有効化できます。このビットに 0 を書き込むと、Status.dSOCi ビットが無効化されます。このビットはパワーアップ時には 0 に設定されます。

CPMode : 定電力モード。1 に設定すると定電力モードが有効になります。

DRCfg : 十分な安定時間の設定。00 の場合 0.8～1.6 時間、01 の場合 1.6～3.2 時間、10 の場合 3.2～6.4 時間、11 の場合 6.4～12.8 時間。

OCVQEn : OCV エンブティ補償イネーブル。OCVQEn=1 と設定すると、VFOCV 情報に基づき自動エンブティ補償が有効化されます。EZConfig 用にこの機能を有効化します。カスタム・モデルの場合は、特性評価のガイダンスに従ってください。

AtRateEn : AtRate イネーブル。このビットを 1 に設定すると、AtRate 機能を有効化できます。

POWR : AvgPower レジスタの時定数を設定します。デフォルトの POR 値 0000b では時定数が 0.7 秒になります。この時間を設定する式は以下のとおりです。

AvgPower time constant = 45s x 2^(POWR-6)

nHibCfg レジスタ (1BBh)

レジスタ・タイプ : 特殊
不揮発性メモリの復元 : なし

nHibCfg レジスタは休止モード機能を制御します。測定したシステム電流が HibThreshold の設定値未満に低下した状態が HibEnterTime 遅延時間を超えると、IC は休止モードになります。休止モードの間、IC は、HibScalar 設定で定義されるタスク時間を長くすることによって動作電流を減らします。電流読出し値が HibThreshold で設定される値を超え、その状態が HibExitTime 遅延時間を超えると、IC は自動的にアクティブ動作モードに戻ります。表 124 にこのレジスタのフォーマットを示します。

表 124. nHibCfg レジスタ (1BBh) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
EnHib	HibEnterTime			HibThreshold				0	0	0	HibExitTime		HibScalar		

0 : このビットには 0 を書き込む必要があります。1 は書き込まないでください。

HibScalar : 次式に基づいて休止モード中のタスク期間を設定します。

Hibernate Mode Task Period(s) = 702ms x 2^(HibScalar)

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

HibExitTime : IC が休止モードを終了してアクティブ動作モードに戻るまでに電流読出し値が **HibThreshold** 値を超えた状態に留まっていなければならない時間を設定します。

$$\text{Hibernate Mode Exit Time(s)} = (\text{HibExitTime} + 1) \times 702\text{ms} \times 2^{(\text{HibScalar})}$$

HibThreshold : 休止モードを開始または終了するスレッシュホールド・レベルを設定します。スレッシュホールドは、セルのフル容量に対する比として、次式で計算されます。

$$\text{Hibernate Mode Threshold(mA)} = (\text{FullCap(mAh)} / 0.8 \text{ hours}) / 2^{(\text{HibThreshold})}$$

HibEnterTime : IC が休止モードに入るまでに電流読出し値が **HibThreshold** 値未満に留まっていなければならない時間を、次式に従って設定します。デフォルトの **HibEnterTime** 値は 000b で、この場合は、すべての電流読出し値が **HibThreshold** 未満となっている状態が 5.625 秒間続くと、IC が休止モードになります。ただし、この休止モードまでの時間は、最短で 2.812 秒にできます。

$$2.812\text{s} \times 2^{(\text{HibEnterTime})} < \text{Hibernate Mode Entry Time} < 2.812\text{s} \times 2^{(\text{HibEnterTime} + 1)}$$

EnHib : 休止モードを有効化。1 に設定すると、必要条件が満たされた場合は IC が休止モードになります。0 に設定すると、IC は常にアクティブ動作モードを保ちます。

nRSense レジスタ (19Ch)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : このレジスタに関連する復元場所はありません。

nRSense レジスタは、アプリケーションが使用するセンス抵抗値を格納するための指定場所です。この値は、IC が使用するわけではありません。すべての電流情報および容量情報は、 μV および μVh の単位でレポートされるためです。ホスト・ソフトウェアは、表 125 に示すように、**nRSense** レジスタ値の下位バイトを用いて、電流情報および容量情報を **mA** および **mAh** 単位に変換できます。センス抵抗値は、**LSb** を $1\text{m}\Omega$ の重みとして $1\text{m}\Omega \sim 255\text{m}\Omega$ の範囲で格納することを推奨します。上位バイトはユーザ・メモリです。表 126 に、一般的なセンス抵抗値に基づく推奨レジスタ設定値を示します。

表 125. nRSense レジスタ (19Ch) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
UserMemory								RSense							

表 126. 一般的なセンス抵抗に対する推奨 nRSense レジスタ値

SENSE RESISTOR (Ω)	nRSense REGISTER
0.005	0x0005
0.010	0x000A
0.020	0x0014

nDesignVoltage レジスタ (1E3h)

レジスタ・タイプ : 特殊

不揮発性メモリ復元 : このレジスタに関連する復元場所はありません。

表 127. nDesignVoltage レジスタ (1E3h) のフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Vminsys								Vdesign							

Vminsys : (無符号バイト) = その設計での最低システム電圧仕様。MinSysVoltage 値を生成します。

Vdesign : (無符号バイト) = その設計での設計電圧仕様。

各バイトの **LSB** は 20mV (分解能) で、これによりフルスケール・レンジは $0\text{V} \sim 5.12\text{V}$ となります。これらの値は、**enDP** = 1 の場合に動的電力計算において用いられます。

AtRate 機能

AtRate 機能により、ホスト・ソフトウェアは、与えられた任意の負荷電流に対し理論的な残り時間または容量を知ることができます。セル・パックの現在の状態に応じてシステム負荷を制限することで、**AtRate** をパワー・マネージメントに用いることができます。**AtRate** レジスタが、仮定の放電電流であることを示す負の値にプログラムされている場合は常に、**AtQResidual**、**AtTTE**、**AtAvSOC**、**AtAvCap** の各レジスタが、それぞれ、理論的な残存容量、完全放電までの時間、充電状態、使用可能容量を示します。ホスト・ソフトウェアは、**AtRate** レジスタに書き込んだ後 2 回分のフル・タスク時間 (アクティブ・モード時は最低 703ms) 待機してから、結果のレジスタを読み出す必要があります。

AtRate レジスタ (004h)

レジスタ・タイプ：電流

不揮発性メモリのバックアップ：なし

ホスト・ソフトウェアは、AtRate のいずれかの出力レジスタを読み出す前に、AtRate レジスタに、理論的な負荷電流である負の 2 の補数の 16 ビット値を書き込む必要があります。

AtQResidual レジスタ (0DCh)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

AtQResidual レジスタは、AtRate レジスタに入力された理論的な負荷電流レベルにおいてセルが保持する残留電荷を示します。

AtTTE レジスタ (0DDh)

レジスタ・タイプ：時間

不揮発性メモリのバックアップ：なし

AtTTE レジスタは、AtRate レジスタに入力された理論的な電流負荷に対する完全放電までの時間を推定するために用いられます。AtTTE レジスタは、AtAvCap を AtRate レジスタの値で除算することで、アプリケーションの完全放電までの推定時間を示します。

AtAvSOC レジスタ (0CEh)

レジスタ・タイプ：パーセンテージ

不揮発性メモリのバックアップ：なし

AtAvSOC レジスタは、AtRate レジスタの理論的な電流負荷に基づくセルの理論的な充電状態の情報を保持します。このレジスタ値は、LSB あたり 0.0039% の分解能でパーセント単位で格納されます。充電状態の値に必要な分解能が 1% である場合は、ホストはこのレジスタの上位バイトを読み出すだけで済みます。

AtAvCap レジスタ (0DFh)

レジスタ・タイプ：容量

不揮発性メモリのバックアップ：なし

AtAvCap レジスタは、AtRate レジスタの理論的な負荷電流値に基づくセルの理論的な残存容量の推定値を保持します。この値は、 μVh 単位で保存され、残存容量を mAh 単位で判定するには、 $\text{m}\Omega$ を単位とするアプリケーションのセンス抵抗値でこの値を除算する必要があります。

アラート機能

電圧、電流、温度、充電状態が高くなっている状況や低くなっている状況を検知すると、アラート・スレッシュホールド・レジスタによって割込みが生成されます。割込みは、ALRT ピンのオープン・ドレイン出力ドライバで生成されます。ロジック・ハイ信号を生成するには外部プルアップ抵抗が必要です。アラートは、以下のいずれかの条件によってトリガされます。

- 過電圧／低電圧 - VAlrtTr レジスタのスレッシュホールド（上限、下限）を超過し、アラートが有効（Aen = 1）な場合。
- 過熱／低温 - TAlrtTr レジスタのスレッシュホールド（上限、下限）を超過し、アラートが有効（Aen = 1）な場合。
- 過電流／低電流 - IAlrtTr レジスタのスレッシュホールド（上限、下限）を超過し、アラートが有効（Aen = 1）な場合。
- 過 SOC／低 SOC - SAlrtTr レジスタのスレッシュホールド（上限、下限）を超過し、アラートが有効（Aen = 1）な場合。

誤った割込みを防止するため、スレッシュホールド・レジスタは Aen ビットをセットする前に初期化する必要があります。バッテリーの装着や取り外しによって生成されたアラートは、Status (000h) レジスタの対応するビットをクリアすることによってのみリセットできます。スレッシュホールド・レベルを超えたことによって生成されたアラートは、ホスト・ソフトウェアによってのみクリアされるか、スレッシュホールド・レベルの超過が解消された時点で自動的にクリアされるように設定できます。アラート機能設定の詳細については、Config レジスタの説明を参照してください。

nVAlrtTh レジスタ (18Ch)

レジスタ・タイプ：特殊

不揮発性メモリ復元：VAlrtTh (001h) (nNVCfg1.enAT がセットされている場合)。

代替初期値：0xFF00 (無効化)

表 128 に示す nVAlrtTh レジスタは、VCell レジスタの値が超過した場合に ALRT ピン割込みを生成する、上限値および下限値を設定します。上位 8 ビットが最大値を、下位 8 ビットが最小値を設定します。割込みスレッシュホールド制限値は、VCell レジスタの全動作範囲にわたり 20mV の分解能で選択できます。パワーアップ時、スレッシュホールドは、その最大設定値にデフォルト設定されます。ただし、nNVCfg1.enAT ビットを設定するのではなく不揮発性メモリから復元されるよう設定されている場合は除きます。

表 128. VAlrtTh (001h) / nVAlrtTh (18Ch) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
VMAX								VMIN							

VMAX：最大電圧読出し値。VCell レジスタの読出し値がこの値を超えた場合、アラートが生成されます。このフィールドの LSb 分解能は 20mV です。

VMIN：最小電圧読出し値。VCell レジスタの読出し値がこの値を下回った場合、アラートが生成されます。このフィールドの LSb 分解能は 20mV です。

nTAlrtTh レジスタ (18Dh)

レジスタ・タイプ：特殊

不揮発性メモリ復元：TAlrtTh (002h) (nNVCfg1.enAT がセットされている場合)。

代替初期値：0x7F80 (無効化)

表 129 に示す nTAlrtTh レジスタは、Temp レジスタの値が超過した場合に ALRT ピン割込みを生成する、上限値および下限値を設定します。上位 8 ビットが最大値を、下位 8 ビットが最小値を設定します。割込みスレッシュホールド制限値は、Temp レジスタの全動作範囲にわたり 1°C の分解能で、2 の補数フォーマットで保存されます。パワーアップ時、スレッシュホールドは、その最大設定値にデフォルト設定されます。ただし、nNVCfg1.enAT ビットを設定するのではなく不揮発性メモリから復元されるよう設定されている場合は除きます。

表 129. TAlrtTh (002h) / nTAlrtTh (18Dh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
TMAX								TMIN							

TMAX：最大温度読出し値。Temp レジスタの読出し値がこの値を超えた場合、アラートが生成されます。このフィールドは、符号付き 2 の補数フォーマットで LSb 分解能は 1°C です。

TMIN：最小温度読出し値。Temp レジスタの読出し値がこの値を下回った場合、アラートが生成されます。このフィールドは、符号付き 2 の補数フォーマットで LSb 分解能は 1°C です。

nSAlrtTh レジスタ (18Fh)

レジスタ・タイプ：特殊

不揮発性メモリ復元：SAlrtTh (003h) (nNVCfg1.enAT がセットされている場合)。

代替初期値：0xFF00 (無効化)

表 130 に示す nSAlrtTh レジスタは、選択した RepSOC、AvSOC、MixSOC、または VFSOC の各レジスタの値が超過した場合に ALRT ピン割込みを生成する、上限値および下限値を設定します。詳細については、MiscCFG.SACFG の設定を参照してください。

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

上位 8 ビットが最大値を、下位 8 ビットが最小値を設定します。割込みスレッシュホールド制限値は、選択した SOC レジスタの全動作範囲にわたり 1%の分解能で選択できます。パワーアップ時、スレッシュホールドは、その最大設定値にデフォルト設定されます。ただし、nNVCfg1.enAT ビットを設定するのではなく不揮発性メモリから復元されるよう設定されている場合は除きます。

表 130. SAlrtTh (003h) /nSAlrtTh (18Fh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SMAX								SMIN							

SMAX：最大充電状態読出し値。選択した SOC レジスタの読出し値がこの値を超えた場合、アラートが生成されます。このフィールドの LSB 分解能は 1%です。

SMIN：最小充電状態読出し値。選択した SOC レジスタの読出し値がこの値を下回った場合、アラートが生成されます。このフィールドの LSB 分解能は 1%です。

nIAlrtTh レジスタ (0ACh)

レジスタ・タイプ：特殊

不揮発性メモリ復元：IAlrtTh (1ACh) (nNVCfg1.enAT がセットされている場合)。

代替初期値：0x7F80 (無効化)

表 131 に示す nIAlrtTh レジスタは、Current レジスタの値が超過した場合に ALRT ピン割込みを生成する、上限値および下限値を設定します。上位 8 ビットが最大値を、下位 8 ビットが最小値を設定します。割込みスレッシュホールド制限値は、Current レジスタの全動作範囲にわたり 400μV の分解能で選択できます。パワーアップ時、スレッシュホールドは、その最大設定値にデフォルト設定されます。ただし、nNVCfg1.enAT ビットを設定するのではなく不揮発性メモリから復元されるよう設定されている場合は除きます。

表 131. IAlrtTh (0ACh) /nIAlrtTh (18Eh) レジスタのフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
CURRMAX								CURRMIN							

CURRMAX：最大電流スレッシュホールド。電流レジスタの読出し値がこの値を超えると、アラートが生成されます。このフィールドは、Current レジスタの上位バイトに一致するよう、符号付きの 2 の補数で LSB 分解能は 400μV です。

CURRMIN：最小電流スレッシュホールド。電流レジスタの読出し値がこの値を下回ると、アラートが生成されます。このフィールドは、Current レジスタの上位バイトに一致するよう、符号付きの 2 の補数で LSB 分解能は 400μV です。

動的バッテリー電力技術 (DBPT) レジスタ

高性能の CPU、GPU、モータ、無線などで構成される多くのモバイル・システムでは、重大なシステム低電圧レベル未満にバッテリー電圧を低下させることなく、高電力の短パルスをバッテリーが供給する必要があります。性能を犠牲にすることなくこれらのパルス負荷を最適な形で管理することは、適切なバッテリー容量情報がシステムに提供されなくては、非常に困難な課題となります。

実行環境を向上し、システムを最適性能で稼働できるようにするために、アナログ・デバイセズは、動的バッテリー電力技術 (DBPT) を開発しました。MAX17335 は、この DBPT 機能をサポートしており、これによってパルス負荷を管理するためにオンデマンドのバッテリー機能を用いることができます。バッテリー電圧が重大なシステム低電圧レベルを下回ることなくこれらの高パルスをサポートするために、MAX17335 は、バッテリーから安全に引き出せる瞬時ピークおよび持続電力レベルを指示します。システムはこの情報を用いて、バッテリー電力容量に応じた最大電流を設定できます。例えば、多くのアプリケーションでは、システムが正しく動作するには、最低でも 3.3V が必要です。MAX17335 を DBPT 用に設定することで、システムの負荷がバッテリー能力の範囲内に収まるよう制御あるいは制限ができ、バッテリーが非常に低電力の状態になるまで最低システム電圧 (MinSysVolt) を超えることのないようにできます。

MAX17335 への DBPT の実装は、インテルの Dynamic Battery Power Technology v2.0 規格に密接に準拠し、特定の機能および対応するレジスタに依拠します。このセクションでは、これらの機能について説明します。MAX17335 への実装には、インテルの仕様と同じレジスタがすべて含まれています。ただし、MAX17335 のレジスタ・セットはインテルの規格とは異なる LSB とアドレスを用いています。

DBPT には以下のレジスタを使用します。MAX17335 は、電流には標準的な電流レジスタ・フォーマット (0.15625μV/センス抵抗)、電力には 0.8mW、抵抗には 0.2441mΩ (正確には 1/4.096) を使用します。

MaxPeakPower レジスタ (0A4h)

仕様の説明：

残量ゲージは、バッテリー・パックの最大瞬時ピーク出力電力を cW 単位で計算して返します。これは、外部抵抗と必要最小システム電圧があれば最大で 10ms 使用できます。MaxPeakPower 値は負になるものとされており、351mS ごとに更新されます。MaxPeakPower は、リセット時またはパワーアップ時に最新の MaxPeakPower 値に初期化されます。

システム設計者は、実際の最大ピーク電力を、様々なシステム上の制約を考慮して制限する必要があります。例えば、セルの放電電流を 2C レートに制限したり、MOSFET などの電力経路内デバイスに対し安全動作領域仕様を確保したりする必要があります。

LSB は 0.8mW です。

実際の計算：

$$\text{MaxPeakPower} = \text{MPPCurrent} \times \text{AvgVCell}$$

SusPeakPower レジスタ (0A5h)

仕様の説明：

残量ゲージは、バッテリー・パックの持続ピーク出力電力を cW 単位で計算して返します。これは、外部抵抗と電圧レギュレータの必要最小電圧があれば、最大で 10 秒使用できます。SusPeakPower 値は負になるものとされており、351mS ごとに更新されます。SusPeakPower は、リセット時またはパワーアップ時に最新の SusPeakPower 値に初期化されます。

システム設計者は、実際の持続ピーク電力を、様々なシステム上の制約を考慮して制限する必要があります。例えば、セルの放電電流を 2C レートに制限したり、MOSFET などの電力経路内デバイスに対し安全動作領域仕様を確保したりする必要があります。

LSB は 0.8mW です。

実際の計算：

$$\text{SusPeakPower} = \text{SPPCurrent} \times \text{AvgVCell}$$

nPackResistance (1E5h) および PackResistance (0A6h)

仕様の説明：

PackResistance レジスタは、セルの相互接続、センス抵抗、FET、ヒューズ、コネクタ、およびセルとバッテリー・パックの出力間におけるその他のインピーダンスによる抵抗を考慮するために、セル以外のパック抵抗の合計値を設定します。セルの内部抵抗は含めないでください。PackResistance は、パワーアップ時に nPackResistance からデフォルト値に初期化されます。nPackResistance は、パックの製造時に不揮発性メモリに設定されます。nPackResistance レジスタに書き込みを行っても、通常動作中の値に変化は生じません。システム設計者は、通常動作中に PackResistance レジスタに書き込みをして、デフォルト設定値から変更することができます。この値は、通常、バッテリー・パック・メーカーが決定し、パック製造時に設定されます。

パック・メーカーは、製造時に不揮発性メモリの nPackResistance をプログラムして PackResistance を設定できます。LSB あたり 0.2441m Ω の LSB です。

SysResistance (0A7h)

仕様の説明：

SysResistance レジスタは、電源／グラウンド・メタルの抵抗、センス抵抗、FET、およびシステム・メイン・ボード上のその他の寄生抵抗による抵抗を考慮するために、残量ゲージ内に合計抵抗値を設定します。SysResistance はデフォルト値の 0m Ω に初期化されます。システム設計者は、対象となるシステムの値を使ってこのデフォルト値を上書きする必要があります。これにより、SysResistance の値が様々な異なる可能性のある複数のシステムに、1つのパックを使用することが可能になります。

LSB あたり 0.2441m Ω の LSB です。

MinSysVoltage() (0A8h)

仕様の説明：

MAX17335

AccuCharge と ModelGauge m5 EZ を組み合わせた、
1 セル・チャージャ、残量ゲージ、プロテクタ

MinSysVoltage レジスタは、残量ゲージへの必要最小システム入力電圧を mV 単位で設定します。システム・レギュレータは、その入力電圧がこのレベルになっても正常に動作します。**MinSysVoltage** は、パワーアップ時に **nDesignVoltage** レジスタの上位バイトからのデフォルト値に初期化されます。表 127 に **nDesignVoltage** のレジスタ・フォーマットを示します。

システム設計者は、通常動作中に直接 **MinSysVoltage** レジスタに書き込みをして、デフォルト設定値から変更することができます。これにより、**MinSysVoltage** の値が様々な異なる複数のシステムに、1 つのパックを使用することが可能になります。

エンプティ・ポイントより上または下で **MinSysVoltage** に書き込みをしても、エンプティ・ポイントは変わりません。ただし、**VCell** が **MinSysVoltage** 未満の場合、**MPPCurrent**、**SPPCurrent**、**MaxPeakPower**、および **SusPeakPower** の計算は 0x0000 をレポートします。

本来の性能を確実に引き出すには、システムがその要求に応じて **MinSysVoltage** を正常に更新する必要があります。

MPPCurrent (0A9h)

レジスタ・タイプ：電流

仕様の説明：

残量ゲージは、バッテリー・パックの最大瞬時ピーク電流を、標準電流レジスタ・フォーマットで計算して返します。これは、外部抵抗と電圧レギュレータの必要最小電圧があれば、最大で 10ms 使用できます。**MPPCurrent** 値は負になるものとされており、毎秒 1 回以上更新する必要があります。**MPPCurrent** は、リセット時またはパワーアップ時に最新の **MPPCurrent** 値に初期化されます。

実際の計算：

MPPCurrent = (AvgVCell - MinSysVoltage) / [(PackResistance + SysResistance) x Rgain1]

SPPCurrent (0AAh)

レジスタ・タイプ：電流

仕様の説明：

残量ゲージは、バッテリー・パックの持続ピーク電流を、標準電流レジスタ・フォーマットで計算して返します。これは、外部抵抗と必要最小システム電圧があれば、最大で 10 秒使用できます。**SPPCurrent** 値は負になるものとされており、毎秒 1 回以上更新する必要があります。**SPPCurrent** は、リセット時またはパワーアップ時に最新の **SPPCurrent** 値に初期化されます。

実際の計算：

SPPCurrent = (AvgVCell - MinSysVoltage) / (RCell x Rgain2)

nRGain レジスタ (1B8h)

レジスタ・タイプ：特殊

推奨初期値：0x8080

nRGain レジスタは、DBPT レジスタの計算の間に **RGain1**、**RGain2**、**SusToPeakRatio** の値を設定します。表 132 にレジスタのフォーマットを示します。

表 132. nRGain (1B8h) のフォーマット

D15	D14		D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Rg1									Rg2				SusToPeakRatio			

RGain1：最大ピーク電流および電力の計算に使用するゲイン抵抗。RGain1 = 80% + (0.15625% × Rg1)。Rgain1 の範囲は 80～120% です。

RGain2：持続ピーク電流および電力の計算に使用するゲイン抵抗。RGain2 = 60% + (5% × Rg2)。Rgain2 の範囲は 60～140% です。

SusToPeakRatio：SPPCurrent と MPPCurrent の最大比の計算に使用します。SPPCurrent の最大値 = MPPCurrent × (0.75 - SusToPeakRatio × 0.04)。

SHA-256 認証

MAX17335 は、FIPS 180-4 に適合する SHA-256 一方方向ハッシュ・アルゴリズムを 512 ビットのメッセージ・ブロックで用いて実行される認証に対応しています。このメッセージ・ブロックは 160 ビットの秘密鍵、160 ビットのチャレンジ、192 ビットの定数データで構成されています。オプションで、ハッシュ操作で用いられる 192 ビットの定数データのうちの 64 ビットを 64 ビットの ROM ID に置き換えることもできます。メッセージ・ブロックの構成の詳細については、アナログ・デバイセズにお問い合わせください。

ホストとこの IC はどちらも、相互に既知の秘密鍵に基づいて結果を計算します。ハッシュ操作の結果は、メッセージ認証コード (MAC) またはメッセージ・ダイジェストと呼ばれます。MAC は、比較のため IC からホストの MAC に返されます。なお、秘密鍵はバスには転送されず、そのため、バス・トラフィックを検索してもキャプチャできません。各認証試行は、160 ビットのランダムなチャレンジを 0C0h~0C9h の SHA メモリ・アドレス空間に書き込むことで、ホスト・システムが開始します。その後、ホストは、compute MAC コマンドまたは compute MAC with ROM ID コマンドを発行します。MAC は FIPS 180-4 に従って計算され、0C0h~0CFh のアドレス空間に格納され、チャレンジ値を上書きします。

また、MAX17335 は、一時的な秘密鍵を利用する 2 段階認証方式も可能です。

なお、認証試行の結果はホストの検証によって決定されます。IC の動作は、認証の成否には影響されません。

認証手順

図 30 に、接続されたバッテリーの認証をホスト・システムが検証する方法を示します。最初に、ホストはランダムな 160 ビットのチャレンジ値を生成し、そのチャレンジ値を 0C0h~0C9h の IC メモリ空間に書き込みます。次に、ホストは、Compute MAC with ROM ID (3500h) または Compute MAC without ROM ID (3600h) を Command レジスタ 060h に送信し、計算が完了するまで tSHA の時間待機します。最後に、ホストは 0C0h~0CFh のメモリ空間から MAC を読み出し、結果を検証します。この手順では、秘密鍵がホスト側とバッテリー内の両方で維持されることが必要です。ホストは、バッテリーが真性であることを検証するために、並行して同じ計算を行う必要があります。

バッテリー検証の手順

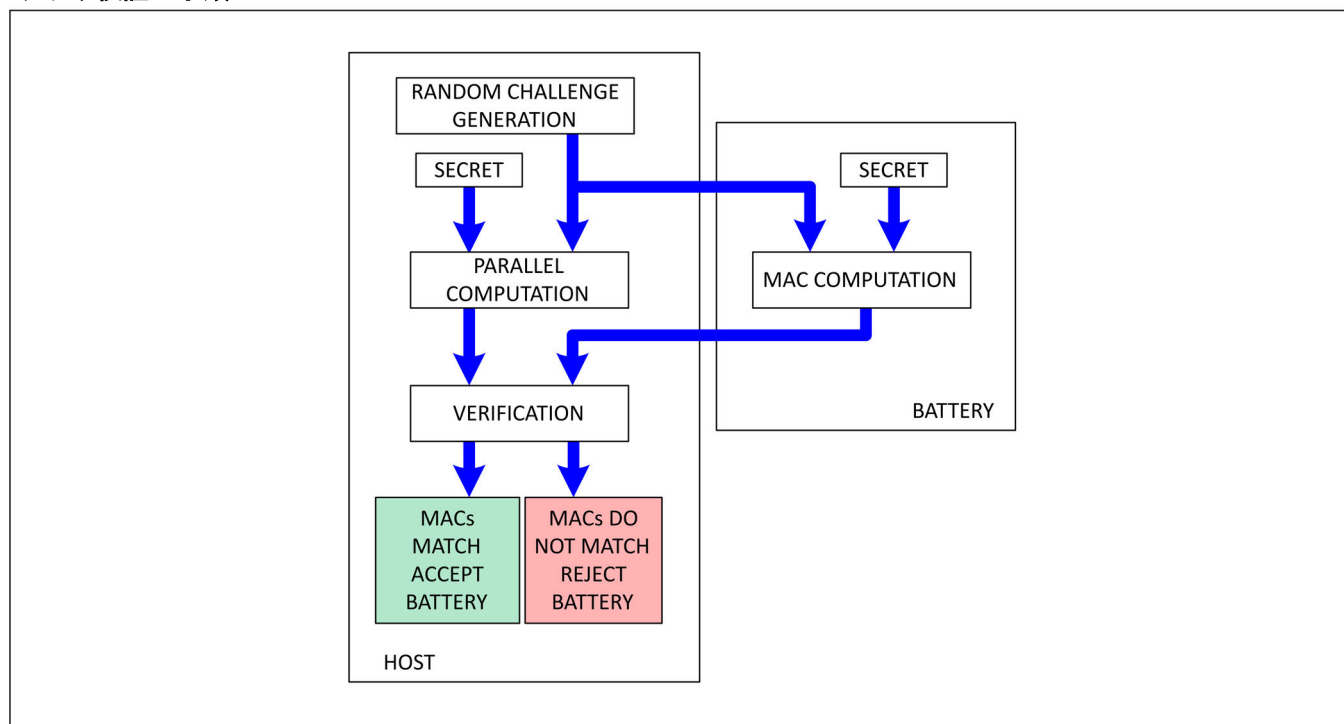


図 30. バッテリー検証の手順

代替認証手順

図 31 に、ホストが秘密鍵を知る必要のない、バッテリー認証の代替方法を示します。この方法では、各ホスト・デバイスは、認証バッテリーに格納された秘密鍵と一致する、チャレンジと MAC のペアを知っていますが、ホスト・デバイスごとに異なるペアを用います。これにより、ホスト側に特別なハードウェアが不要となり、秘密鍵をハードウェアへの侵入から保護できます。バッテリーは 1 つのホスト・デバイスに対してクローン化できますが、ホストと連携するクローン・バッテリーを作成することは、秘密鍵を知らずには不可能です。

この方法の認証プロセスは、複雑さが軽減しています。ホストは単に、チャレンジを 0C0h~0C9h の IC メモリ空間に書き込むだけです。次に、ホストは、Compute MAC without ROM ID (3600h) コマンドを Command レジスタ 060h に送信します。なお、Compute MAC with ROM ID コマンドは、この認証方法では無効です。次に、ホストは、計算が完了するまで t_{SHA} の時間待機し、メモリ空間 0C0h~0CFh から MAC を読み出して結果を検証します。

ホスト側の秘密鍵を用いないバッテリー認証

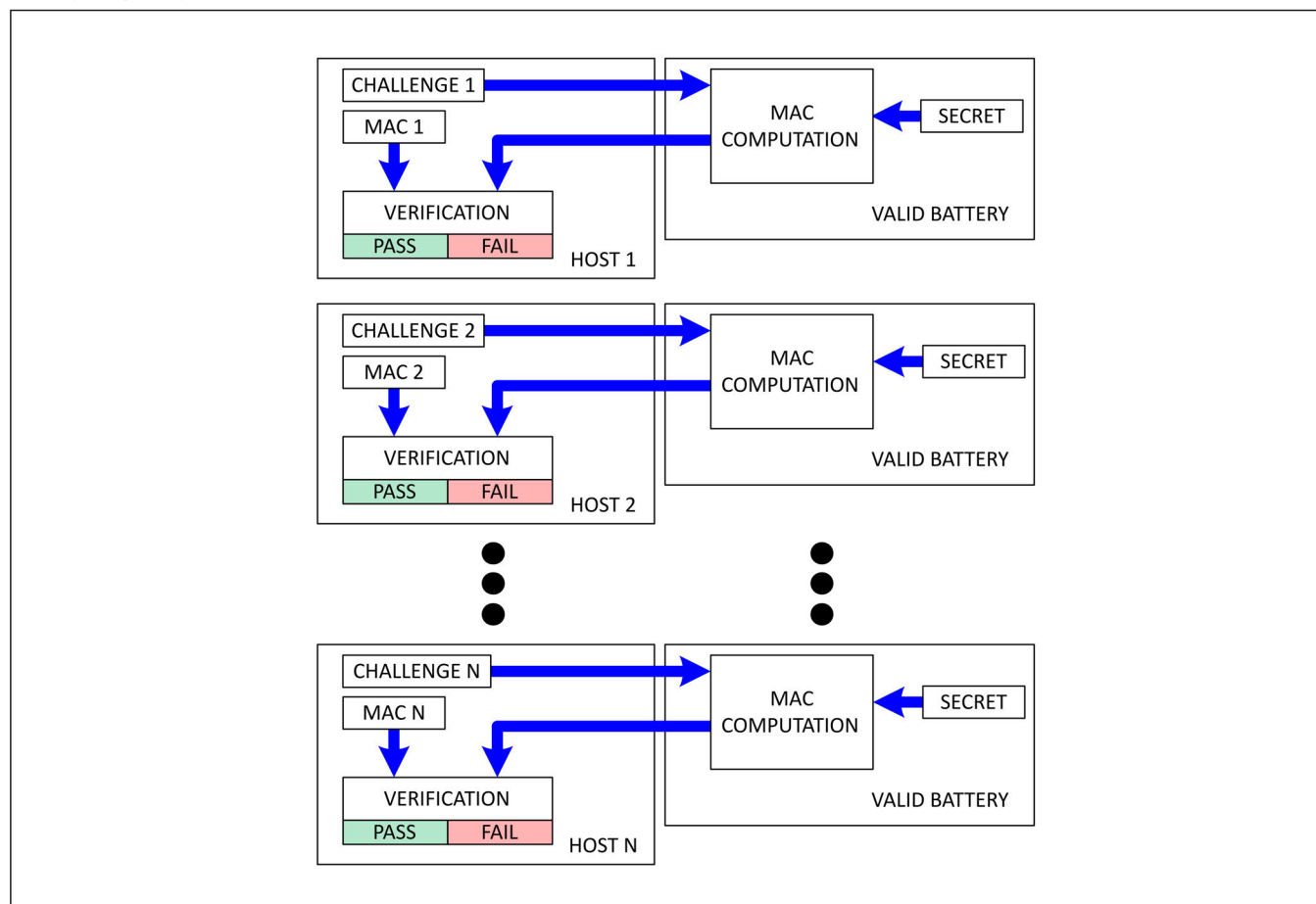


図 31. ホスト側の秘密鍵を用いないバッテリー認証

秘密鍵の管理

秘密鍵の値は、アプリケーションで認証を実行する前に、既知の値にプログラムする必要があります。秘密鍵を直接書き込むことはできません。むしろ、ユーザが以前の内部秘密鍵とチャレンジとして送信されたシード値を用いて SHA 計算を行って、新しい内部秘密鍵を生成しなくてはなりません。1 つのエントリも完全な秘密鍵値を知ることがないように、追加のチャレンジ・シードを送信して追加の計算を実行することで、このプロセスを複数回繰り返すことができます。

なお、秘密鍵のメモリは、消去操作を含め最大 n_{SECRET} 回しか変更できず、不揮発性メモリの更新は確保されるとは限りません。**電气的特性**の表の n_{SECRET} の書き込み制限を参照してください。秘密鍵更新操作が失敗しても、IC に保存されている秘密鍵の値が変化することはありませんが、制限されている更新の使用可能回数が 1 つ減少します。生成処理中にすべての秘密鍵メモリを使い切ってしまうことのないように注意してください。アナログ・デバイスでは、生成後は秘密鍵を恒久的にロックすることを強く推奨します。

シングルステップ秘密鍵生成の手順を用いることができるのは、チャレンジ・シード値の秘匿性を保つことができる製造環境にある場合、例えば、外部の個人あるいは組織がチャレンジ・シードを知る必要のある OEM 製造ステップまたは状況が存在しない環境の場合です。以下のシーケンスを用いて IC をプログラムします。秘密鍵を IC から読み出すことはできないため、格納される秘密鍵を計算するには並列計算を外部で行う必要があります。図 32 に、シングルステップ秘密鍵生成操作の例を示します。なお、新しいユニットでは、秘密鍵の値が既にすべて 0 にクリアされています。

- ## シングルステップ秘密鍵生成の例

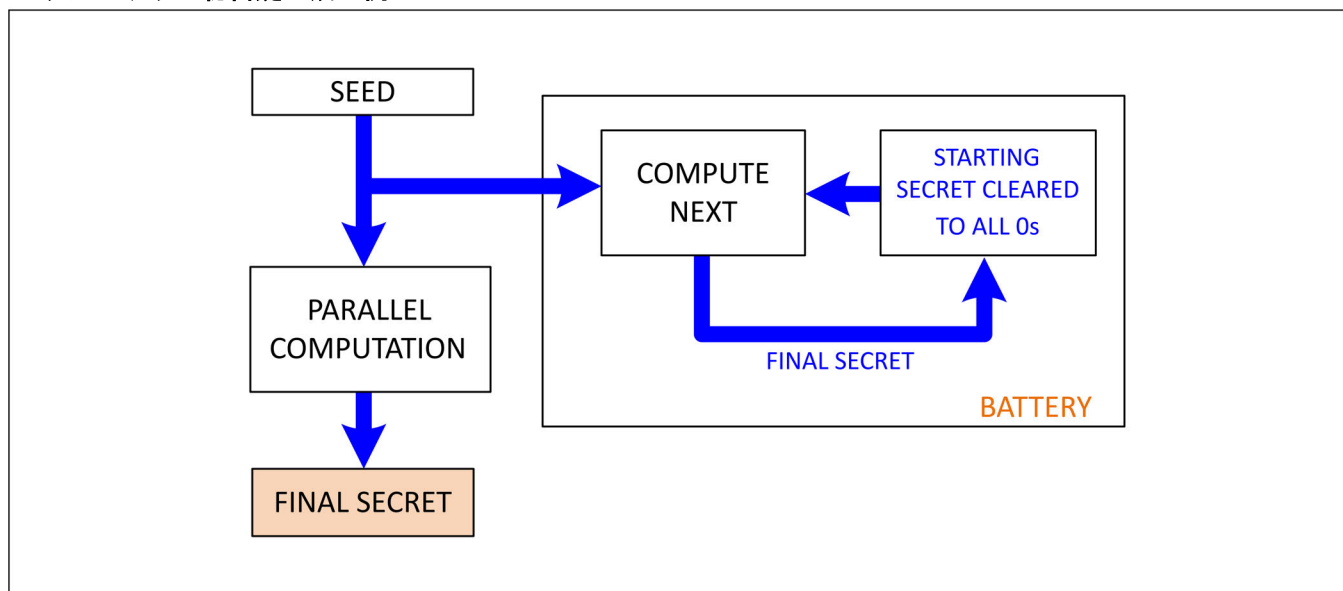


図 32. シングルステップ秘密鍵生成の例

マルチステップ秘密鍵生成の手順

マルチステップ秘密鍵生成の手順は、OEM 製造のように、外部の個人または組織がチャレンジ・シードを知る必要のある環境で用いる必要があります。マルチステップ手順の方が複雑ですが、OEM に情報を提供して秘密鍵の完全性を危険にさらす可能性を生じることなく、秘密鍵を IC 内に格納できます。図 33 に、3 つの OEM がそれぞれ Compute Next 操作にシード値を供給される例を示します。IC に格納される最終的な秘密鍵の値は、すべてのシード値を知り別個に計算を実行した、最上位レベルのマネージャのみが知ることができます。マルチステップ秘密鍵生成を行うには、以下の手順を用います。なお、秘密鍵を更新またはクリアできる回数は、合計で n_{SECRET} 回だけです。新しいユニットでは、秘密鍵の値が既にすべて 0 にクリアされています。

全 OEM :

1. CommStat.NVError ビットをクリアします。
2. チャレンジ・シード値を SHA メモリ空間 0C0h~0C9h に書き込みます。
3. Compute Next Secret with ROM ID 3300h または Compute Next Secret without ROM ID 3000h を Command レジスタ 060h に書き込みます。
4. 計算が完了し新しい秘密鍵が保存されるまで $t_{\text{SHA}} + t_{\text{UPDATE}}$ の時間待機します。
5. CommStat.NVError がセットされている場合はステップ 1 に戻り、それ以外の場合は続行します。
6. この時点でテスト・チャレンジに対し秘密鍵が正しく生成されていることを検証します。検証に失敗した場合はステップ 1 に戻ります。処理を繰り返せるだけの十分な不揮発性メモリの書き込み回数が残っていることを検証するには、[残りの更新回数の決定](#)のセクションを参照してください。

最終 OEM :

1. 最後の秘密鍵の更新については、これまでの手順に従います。
2. Command レジスタ 060h に Lock Secret 6000h を書き込みます。なお、この操作は逆にはできません。
3. 秘密鍵を恒久的にロックするために t_{UPDATE} の時間待機します。

最上位レベル :

1. OEM に供給するすべてのシード値を生成します。
2. SHA 計算を別個に実行し、全製造ステップ後の最終的な秘密鍵が何であるかを判定します。
3. 最終秘密鍵の値のセキュリティを確保します。

マルチステップ秘密鍵生成の例

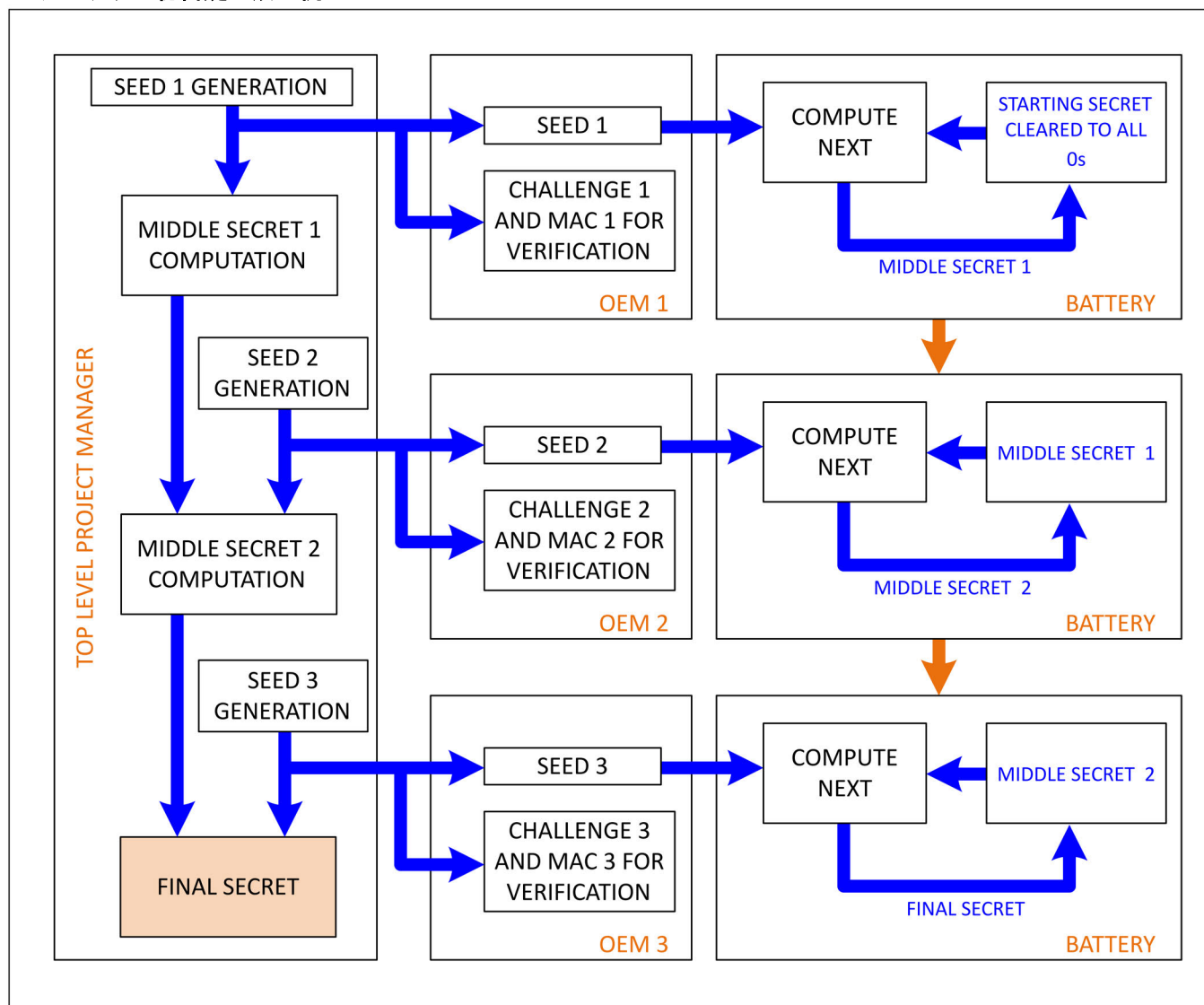


図 33. マルチステップ秘密鍵生成の例

2 段階認証方式

MAX17335 は、一時的な秘密鍵を利用してセキュリティのレイヤを追加する 2 段階認証方式が可能です。図 34 に、製造時にホストに格納できる、固有の中間秘密鍵を作成する方法を図示します。図 35 には、2 段階認証の全体的な手順の概要を示します。

2 段階認証方式を実装するには次の手順に従います。

1. Copy Temporary Secret from NVM コマンド 3800h を Command レジスタ 060h に書き込みます。
2. 固有のチャレンジ・シード値を SHA メモリ空間 0C0h~0C9h に書き込み、次の一時秘密鍵を計算するために使用します。
3. Compute Next Temporary Secret with ROM ID 3900h または Compute Next Temporary Secret without ROM ID 3A00h を Command レジスタ 060h に書き込みます。
4. 計算の完了まで t_{SHA} の時間待機します。
5. チャレンジ・シード値を SHA メモリ空間 0C0h~0C9h に書き込み、一時秘密鍵を用いて MAC を計算するために使用します。
6. Compute MAC From Temporary Secret with ROM ID 3D00h または Compute MAC From Temporary Secret without ROM ID 3C00h を Command レジスタ 060h に書き込みます。
7. 計算の完了まで t_{SHA} の時間待機します。
8. 0C0h~0CFh の SHA メモリ空間から MAC を読み出し、結果を検証します。

一時秘密鍵は SHA 計算に用いるのと同じ RAM 位置に格納されるので、何らかのコマンドを実行すると一時秘密鍵は上書きされます。機能上の影響は以下のとおりです。

- Compute MAC および Compute Next Secret コマンドは一時秘密鍵を上書きします。
- NVM から一時秘密鍵をコピーすると一時秘密鍵が（予想どおり）上書きされます。
- 一時秘密鍵から MAC を計算する場合も一時秘密鍵は上書きされます。一時秘密鍵を複数の MAC 計算に用いる場合は、各 MAC 計算の後に一時秘密鍵を再構築する必要があります。

固有の中間秘密鍵の作成

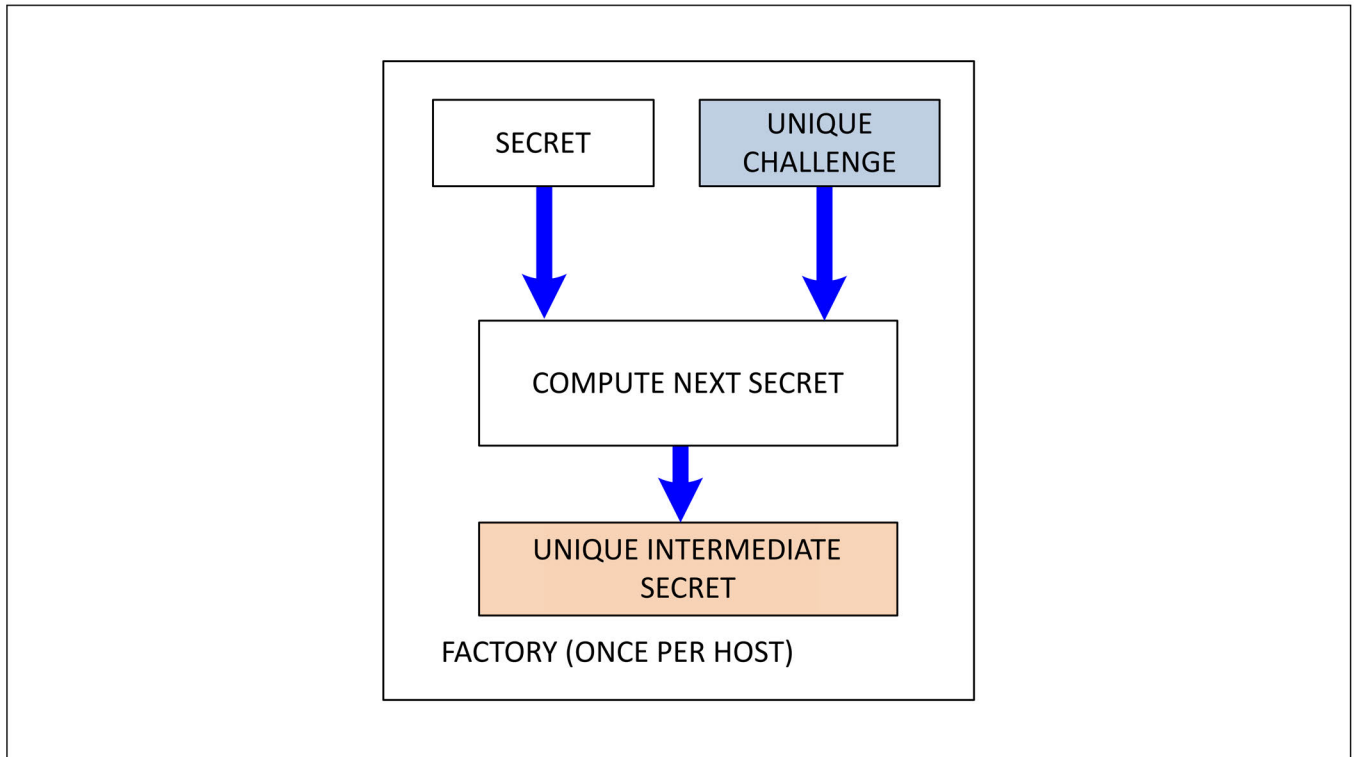


図 34. 固有の中間秘密鍵の作成

2 段階認証の手順

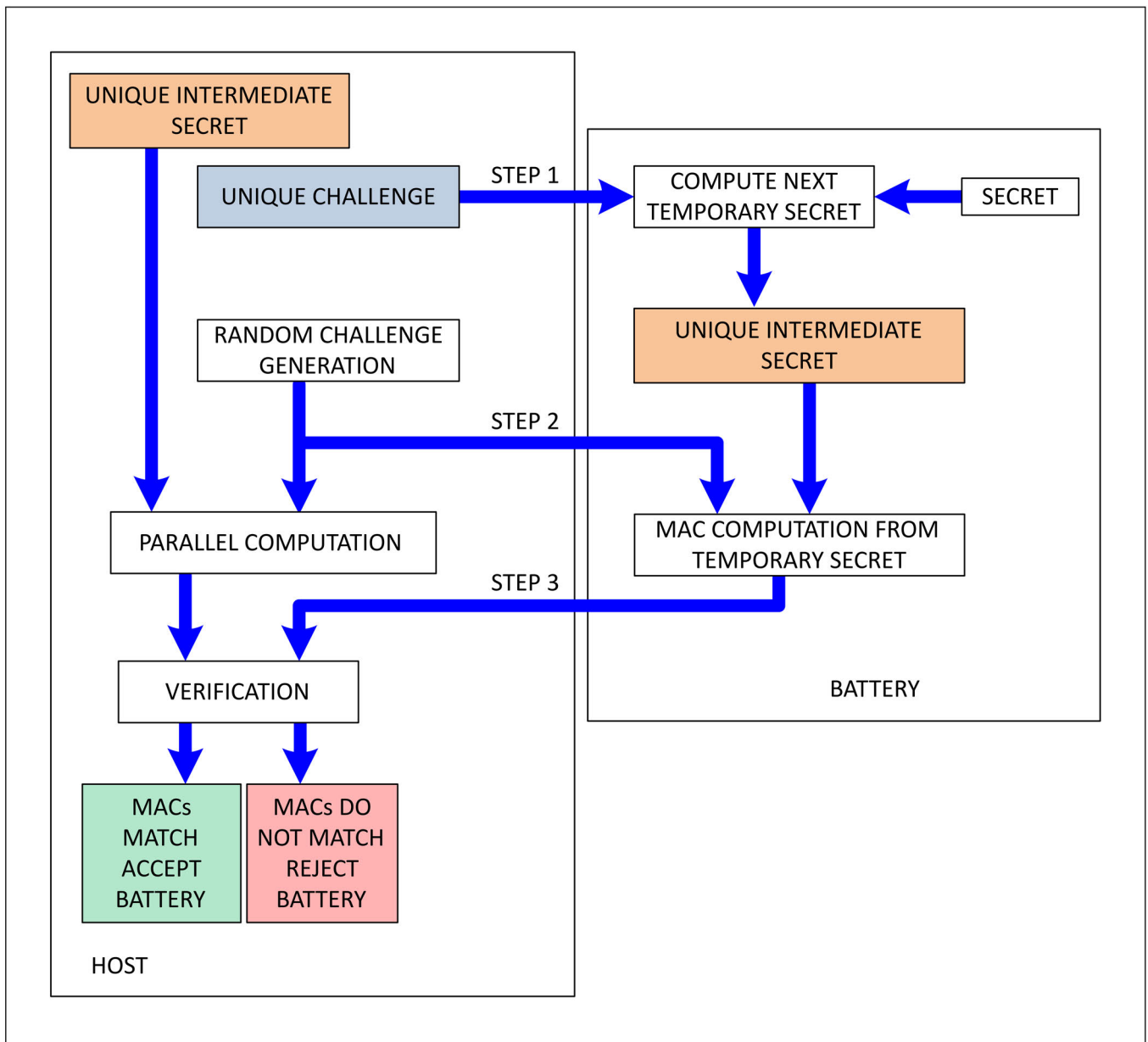


図 35. 2 段階認証の手順

残りの更新回数の決定

内部秘密鍵を更新またはクリアできる回数は、合計で n_{SECRET} 回だけです。残りの更新回数は、以下の手順で計算できます。

1. Command レジスタ (060h) に 0xE29D を書き込みます。
2. t_{RECALL} の時間待機します。
3. メモリ・アドレス 1FDh を読み出します。
4. 表 133 に示すように、アドレス 1FDh のデータをデコードします。信頼性確保のため、秘密鍵の更新ごとに冗長インジケータ・フラグが設定されます。

上位バイトと下位バイトの論理和を取り、1 の数をカウントすることで、既に使用された更新回数を判定できます。出荷前に秘密鍵メモリをクリアするために、最初の更新が製造テストで発生しています。

表 133. 秘密鍵更新の残り回数

ADDRESS 0E6H DATA	LOGICAL OR OF UPPER AND LOWER BYTES	NUMBER OF UPDATES USED	NUMBER OF UPDATES REMAINING
0000000x00000001b or 000000010000000xb	00000001b	1	5
000000xx0000001xb or 0000001x000000xxb	00000011b	2	4
00000xxx000001xxb or 000001xx00000xxx b	00000111b	3	3
0000xxxx00001xxxb or 00001xxx0000xxxxb	00001111b	4	2
000xxxxx0001xxxxb or 0001xxxx000xxxxxb	00011111b	5	1
00xxxxxx001xxxxxb or 001xxxxx00xxxxxb	00111111b	6	0

認証コマンド

すべての SHA 認証コマンドは、メモリ・アドレス 060h に書き込まれて必要な動作を行います。チャレンジの書き込みまたは MAC の読出しは、直接読出し動作および書き込み動作を通じてページ 0Ch の SHA メモリ空間にアクセスすることで処理されます。

Compute MAC Without ROM ID [3600h]

チャレンジ値は、Compute MAC コマンドを実行する前に SHA メモリ空間に書き込む必要があります。このコマンドは、SHA-256 の計算を開始しますが、メッセージ・ブロックに ROM ID を含みません。その代わり、メッセージ・ブロックの ROM ID 部分は、値がすべて 1 で置き換えられます。ROM ID を用いないため、このコマンドは、ROM ID とは独立に、マスタの秘密鍵と MAC の応答を利用できます。IC は、コマンドの最後のビットを受信してから t_{SHA} 後に MAC を計算します。MAC 計算の終了後、ホストは、MAC を SHA メモリ空間から読み出せます。

Compute MAC With ROM ID [3500h]

チャレンジ値は、Compute MAC コマンドを実行する前に SHA メモリ空間に書き込む必要があります。このコマンドは、compute MAC without ROM ID と同じ構造ですが、ROM ID がメッセージ・ブロックに含まれている点が異なります。固有の ROM ID が MAC 計算に含まれるため、MAC はユニットごとに固有のものとなります。MAC 計算の終了後、ホストは、MAC を SHA メモリ空間から読み出せます。

Compute Next Secret Without ROM ID [3000h]

このコマンドにより、SHA-256 の計算が開始され、その結果得られた MAC が次の秘密鍵あるいは新しい秘密鍵として用いられます。ハッシュ操作は、現在の 160 ビットの秘密鍵と新しい 160 ビットのチャレンジを用いて行われます。ロジック 1 が ROM ID の位置にロードされます。MAC の最後の 160 ビットは新しい秘密鍵値として用いられます。ホストは、このコマンドの発行後 SHA 計算が終了するまでに t_{SHA} の時間待機する必要があり、その後、新しい秘密鍵値が不揮発性メモリに格納されるまで t_{UPDATE} の時間待機する必要があります。この動作の間、SHA メモリ空間は更新されません。なお、古い秘密鍵値は、新しい秘密鍵値を計算するために、このコマンドを実行する前に既知となっていないわけではありません。

Clear Secret [5A00h]

このコマンドは、160 ビットの秘密鍵をすべて 0 に設定します。ホストは、IC が新しい秘密鍵値を不揮発性メモリに書き込むまで t_{UPDATE} の時間待機する必要があります。このコマンドにより、秘密鍵書き込みサイクルの 1 つが消費されます。

Lock Secret [6000h]

このコマンドは、秘密鍵の書き込み保護を行い、秘密鍵値に対する偶然の上書きや悪意のある上書きを防止します。不揮発性メモリに格納された秘密鍵値は、永続的なものとなります。ホストは、ロック動作が完了するまでに t_{UPDATE} の時間待機する必要があります。

SHA-256 のロック状態は Lock レジスタでは示されません。ロック状態は、以下の手順により不揮発性メモリの履歴を読み出すことで検証できます。

1. 0xE29B を Command レジスタ (060h) に送信します。
2. t_{RECALL} の時間待機します。
3. メモリ・アドレス 1FCh を読み出します。

アドレス 1FCh が 0x0000 の場合は秘密鍵はロックされていません。アドレス 1FCh が 0x0000 以外の場合は、秘密鍵は永続的にロックされています。

Copy Temporary Secret From NVM [3800]

このコマンドは、NVM から秘密鍵をコピーし、それを RAM に配置することで、その秘密鍵を他のコマンドが使用できるようにします。

Compute Next Temporary Secret With ROM ID [3900]

このコマンドは、Compute Next Secret With ROM ID と同様ですが、計算に用いる秘密鍵がそれ以前に実行した Copy Temporary Secret From NVM あるいは Compute Next Temporary Secret With/Without ROM ID で生成されたものであり、次の秘密鍵は RAM に配置されるため後続のコマンドがそれを使用できる点が異なります。

Compute Next Temporary Secret Without ROM ID [3A00]

このコマンドは、Compute Next Secret Without ROM ID と同様ですが、計算に用いる秘密鍵がそれ以前に実行した Copy Temporary Secret From NVM あるいは Compute Next Temporary Secret With/Without ROM ID で生成されたものであり、次の秘密鍵は RAM に配置されるため後続のコマンドがそれを使用できる点が異なります。

Compute MAC From Temporary Secret Without ROM ID [3C00]

このコマンドは、Compute MAC Without ROM ID と同様ですが、計算に用いる秘密鍵がそれ以前に実行した Copy Temporary Secret From NVM あるいは Compute Next Temporary Secret With/Without ROM ID で生成されたものである点が異なります。

Compute MAC From Temporary Secret With ROM ID [3D00]

このコマンドは、Compute MAC With ROM ID と同様ですが、計算に用いる秘密鍵がそれ以前に実行した Copy Temporary Secret From NVM あるいは Compute Next Temporary Secret With/Without ROM ID で生成されたものである点が異なります。

Compute Next Secret With ROM ID [3300h]

このコマンドにより、SHA-256 の計算が開始され、その結果得られた MAC が次の秘密鍵あるいは新しい秘密鍵として用いられます。ハッシュ操作は、現在の 160 ビットの秘密鍵、64 ビットの ROM ID、新しい 160 ビットのチャレンジを用いて行われます。出力された MAC の最後の 160 ビットは新しい秘密鍵値として用いられます。ホストは、このコマンドの発行後 SHA 計算が終了するまでに t_{SHA} の時間待機する必要があります。その後、新しい秘密鍵値が不揮発性メモリに格納されるまで t_{UPDATE} の時間待機する必要があります。この動作の間、SHA メモリ空間は更新されません。なお、古い秘密鍵値は、新しい秘密鍵値を計算するために、このコマンドを実行する前に既知となっていないわけではありません。

デバイス・リセット

この IC には、2 種類のリセット・レベルがあります。フル・リセットでは、IC をパワーアップ状態に復元します（電源を入れ直した場合と同じ）。また、残量ゲージ・リセットでは、IC ハードウェアをリセットせずに残量ゲージ動作のみをリセットします。これは、不揮発性メモリへの書き込みを行わずに様々な設定をテストする場合に便利です。IC をリセットする場合は以下の手順に従います。

フル・リセット

1. 060h の Command レジスタに 000Fh を書き込むことによって、IC ハードウェアをリセットします。
2. 10ms 待機します。
3. 0ABh の Config2 レジスタに 8000h を書き込むことによって IC の残量ゲージ動作をリセットします。このコマンドは、保護 FET の状態には干渉しません。
4. Config2 レジスタの POR_CMD ビット（ビット 15）がクリアされ POR シーケンスが完了したことが示されるまで待機します。

残量ゲージ・リセット

1. 0ABh の Config2 レジスタに 8000h を書き込むことによって IC の残量ゲージ動作をリセットします。このコマンドは、保護 FET の状態には干渉しません。
2. Config2 レジスタの POR_CMD ビット（ビット 15）がクリアされ POR シーケンスが完了したことが示されるまで待機します。

リセット・コマンド

2 つのコマンドがあり、IC 全体をリセットするため、または、ハードウェア（CHG、放電 FET、あるいは不揮発性シャドウ・メモリ）の動作を妨害することなく残量ゲージ、保護、充電設定の動作のみをリセットするために用いることができます。なお、Configuration Reset コマンドは、Command レジスタではなく Config2 に書き込まれます。

Hardware Reset [アドレス 060h に対し 000Fh]

Hardware Reset コマンドを Command レジスタに送信すると、すべての不揮発性メモリをシャドウ RAM にリコールし、IC のすべてのハードウェアベースの動作をリセットできます。IC の動作を完全にリセットするために、このコマンドの後には、必ず残量ゲージ・リセット・コマンドを伴うことが必要です。

Configuration Reset [アドレス 0ABh に対し 8000h]

Configuration Reset コマンドは、不揮発性メモリの値をシャドウ RAM に復元することなく、あるいは、FET 制御をリセットすることなく、IC の動作をリセットします。このコマンドにより、回数に制限のある不揮発性メモリ書込みの 1 回分を消費することなく、異なる設定をテストできます。このコマンドは、保護 FET の状態には干渉しません。

コマンドの概要

メモリ位置の読みまたは書き込み以外の動作は、該当のコマンドを Command レジスタまたは Config2 レジスタに書き込むことで実行されます。表 134 に、MAX17335 が認識するすべての機能コマンドの一覧を示します。機能コマンドは、Command レジスタ（060h）または Config2 レジスタ（0ABh）に書き込む必要があります。デバイスのコマンドの詳細については、本データシートの [認証](#)、[不揮発性メモリ](#)、[リセット](#)、[パワーアップ](#) の各セクションに説明があります。

表 134. 全機能コマンド

コマンド	タイプ	レジスタ	16 進	説明
Compute MAC Without ROM ID	SHA	060h	3600h	ROM ID の位置に論理 1 を配置したメッセージ・ブロックのハッシュ操作を計算します。
Compute MAC With ROM ID	SHA	060h	3500h	ROM ID を含むメッセージ・ブロックのハッシュ操作を計算します。
Compute Next Secret Without ROM ID	SHA	060h	3000h	ROM ID の位置に論理 1 を配置したメッセージ・ブロックのハッシュ操作を計算します。その後、その結果は新しい秘密鍵として格納されます。
Compute Next Secret With ROM ID	SHA	060h	3300h	ROM ID を含むメッセージ・ブロックのハッシュ操作を計算します。その後、その結果は新しい秘密鍵として格納されます。
Clear Secret	SHA	060h	5A00h	SHA-256 秘密鍵をすべて 0 の値にリセットします。
Lock Secret	SHA	060h	6000h	SHA-256 秘密鍵を恒久的にロックします。
Copy NV Block	Memory	060h	E904h	すべてのシャドウ RAM の位置を不揮発性メモリに同時にコピーします。
NV Recall	Memory	060h	E001h	すべての不揮発性メモリを RAM にリコールします。
History Recall	Memory	060h	E2XXh	不揮発性メモリの履歴を RAM ページ 1Eh にリコールします。
NV Lock	Memory	060h	6AXXh	メモリの一領域を恒久的にロックします。詳細については、 メモリのロック のセクションを参照してください。

表 134. 全機能コマンド（続き）

コマンド	タイプ	レジスタ	16 進	説明
Hardware Reset	Reset	060h	000Fh	不揮発性メモリを RAM にリコールし、IC ハードウェアをリセットします。残量ゲージの動作はリセットされません。
Fuel Gauge Reset	Reset	0ABh	8000h	不揮発性シャドウ RAM 設定に影響することなく、残量ゲージ動作を再開します。

通信

2 線式バス・システム

標準的な **PC** プロトコルまたは **SBS** スマート・バッテリー・プロトコルによって通信を行うために、2 線式バス・システムを用います。ホストが **IC** にアクセスするために用いるスレーブ・アドレスによって、用いるプロトコル、および読出したまたは書込みに使用できるメモリ位置が決まります。以下の説明はどちらのプロトコルにも当てはまります。特定のプロトコルの詳細については、**PC** および **SBS** バス・システムの説明を参照してください。

ハードウェア構成

2 線式バス・システムは、単一スレーブまたは複数スレーブのシステム、および単一マスタまたは複数マスタのシステムにおいて、スレーブ専用デバイスとしての動作をサポートします。最大 128 個のスレーブ・デバイスが、7 ビットのスレーブ・アドレスを用いてバスを共用できます。2 線式インターフェースは、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成されています。SDA と SCL を使用することで、IC とマスタ・デバイスの間の双方向通信を最大 400kHz の速度で行うことができます。この IC の SDA ピンは双方向で動作します。IC がデータを受信する場合、SDA は入力として動作します。IC がデータを返す場合は、SDA はオープン・ドレイン出力として動作し、ホスト・システムは抵抗性プルアップを提供します。図 36 を参照してください。この IC は常にスレーブ・デバイスとして動作し、マスタ・デバイスによる制御の下で、データの送受信を行います。マスタは、バスですべてのトランザクションを開始し、SCL 信号を生成すると共に、各トランザクションの開始と終了を担う START ビットと STOP ビットも生成します。

2 線式バスのインターフェース回路

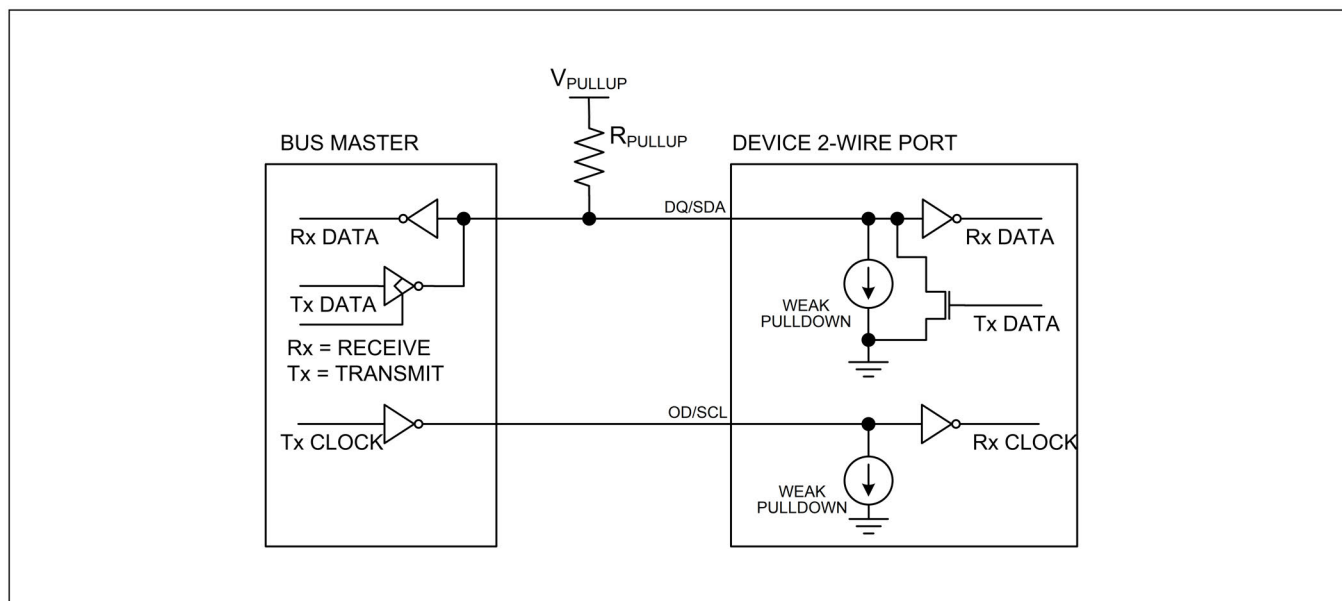


図 36.2 線式バスのインターフェース回路

I/O 信号処理

以下に示す信号を個々に用いて、バイト・レベルの 2 線式通信シーケンスを構築できます。

ビット転送

各 SCL クロック・サイクルの間に 1 つのデータ・ビットが転送されます。サイクルは、SCL のローからハイへの遷移とその後のハイからローへの遷移で定義されます。SDA のロジック・レベルは、SCL のクロック・パルスがハイの間、安定した状態でなければなりません。SCL がハイの間に SDA に変化が生じた場合は、START または STOP の制御信号と解釈されます。

バス・アイドル

バスは、マスタ・デバイスが制御していない場合にアイドル（ビジーでない）と定義されます。バスがアイドルの場合、SDA と SCL は共にハイのままです。ストップ・コンディションは、バスをアイドル状態に戻すのに適切な方法です。

スタート・コンディションとストップ・コンディション

マスタは、SCL がハイの間に SDA をハイからローに遷移させるスタート・コンディションで、トランザクションを開始します。マスタは、SCL がハイの間に SDA をローからハイに遷移させるストップ・コンディションで、送信を終了します。ストップさせてスタートさせるシーケンスの代わりに反復スタート・コンディションを用いると、1 つのトランザクションを終了した後バスをアイドル状態に戻すことなく別のトランザクションを開始できます。複数マスタのシステムでは、反復スタート・コンディションによって、マスタはバスの制御を保持できます。スタート・コンディションおよびストップ・コンディションは、SCL がハイの場合に SDA が遷移する唯一のバス活動です。

アクノレッジ・ビット

データ転送の各バイトは、アクノレッジ・ビット（ACK）またはノー・アクノレッジ・ビット（NACK）でアクノレッジされます。マスタと IC スレーブのどちらもアクノレッジ・ビットを生成します。アクノレッジを生成するには、受信デバイスはアクノレッジに対応したクロック・パルス（9 番目のパルス）の立上がりエッジの前に SDA をローにし、SCL がローに戻るまで、ローを維持する必要があります。ノー・アクノレッジを生成するには、レシーバはアクノレッジに対応したクロック・パルスの立上がりエッジの前に SDA をリリースし、SCL がローに戻るまで、SDA をハイのままにする必要があります。アクノレッジ・ビットをモニタリングすることで、失敗したデータ転送を検出できます。データ転送の失敗が生じるのは、受信デバイスがビジーの場合、またはシステム・フォルトが発生した場合です。データ転送が失敗した場合、バス・マスタは通信を再試行する必要があります。トランザクションがバイトの途中で中断した場合、マスタは、追加のクロック・パルスを送信して、スレーブ IC にバスを解放させてから通信を再開する必要があります。

データの順序

2 線式通信では、1 バイトのデータは、最上位ビット（MSb）ファーストの順で並ぶ 8 ビットで構成されます。各バイトの最下位ビット（LSb）の後にアクノレッジ・ビットが続きます。複数バイトの値で構成される IC レジスタは、最下位バイト（LSB）ファーストの順で並びます。

スレーブ・アドレス

バス・マスタは、スタート・コンディション、スレーブ・アドレス、読出し／書込み（R/W）ビットの順に送信することで、スレーブ・デバイスとの通信を開始します。バスがアイドル状態にある場合、IC はスタート・コンディションとその後続くそのスレーブ・アドレスを継続的にモニタします。IC がそのスレーブ・アドレスと一致するスレーブ・アドレスを受け取ると、R/W ビットに続くクロック周期の間にアクノレッジ・ビットで応答します。表 135 に示すスレーブ・アドレスに対応しています。注：表 135 に示すアドレスは、8 ビットのスレーブ・アドレスです。

表 135. 2 線式スレーブ・アドレス

SLAVE ADDRESS	PROTOCOL	ADDRESS BYTE RANGE	INTERNAL MEMORY RANGE ACCESSED
6Ch	I ² C	00h to FFh	000h to 0FFh
16h	SMBUS TM	00h to 7Fh	100h to 17Fh
	I ² C	80h to FFh	180h to 1FFh

読出し／書込みビット

スレーブ・アドレスに続く R/W ビットは、転送時の後続バイトのデータ方向を決定します。R/W = 0 の場合、書込みトランザクションが選択され、後続のバイトはマスタからスレーブに書き込まれます。R/W = 1 の場合、読出しトランザクションが選択され、後続のバイトはスレーブからマスタに書き込まれます。

バス・タイミング

この IC は最大 400kHz のバス・タイミングに対応しています。タイミングの詳細については、[電気的特性](#)の表を参照してください。どの速度で動作する場合でも特別の設定は不要です。[図 37](#) に標準的な 2 線式バス・タイミングの例を示します。

2 線式バスのタイミング図

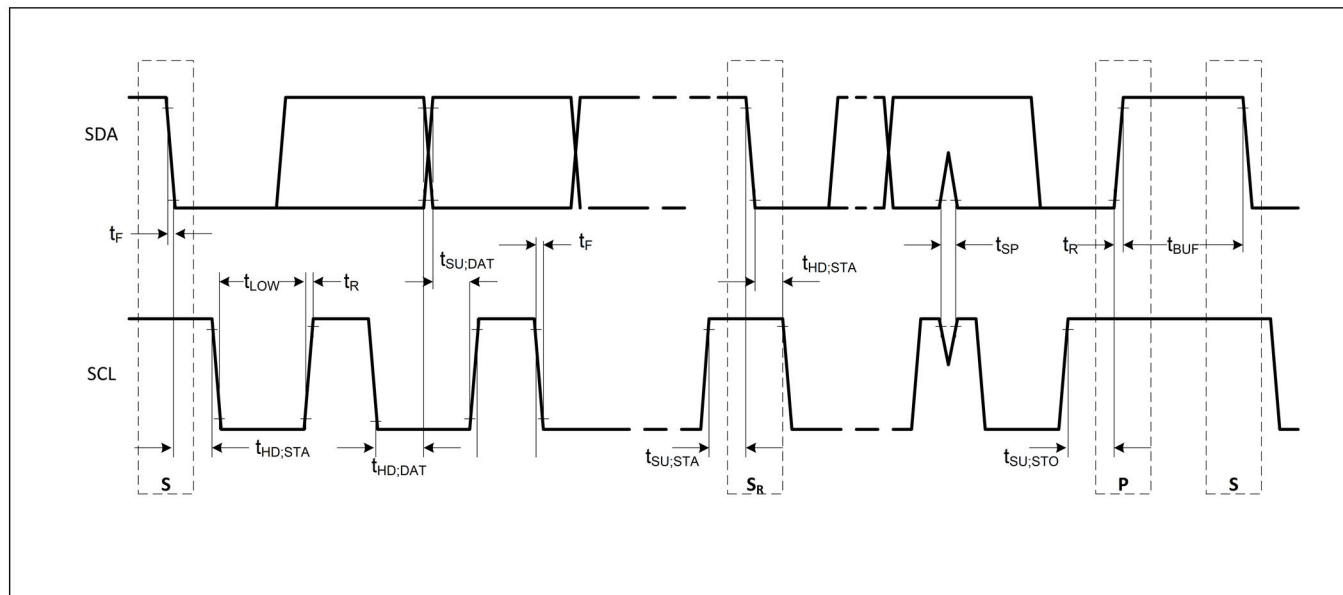


図 37. 2 線式バスのタイミング図

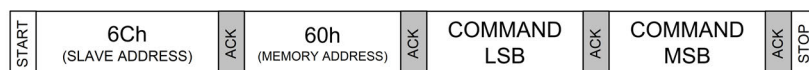
I²C プロトコル

以下の 2 線式通信プロトコルは、バス・マスタが 000h~1FFh のメモリ位置にアクセスする場合に用いる必要があります。000h~0FFh および 180h~1FFh のアドレスは、継続的に読み出せます。100h~17Fh のアドレスで読み出せるのは、一度に 1 ワードです。これらのプロトコルは、標準的な I²C 仕様に従って通信を行います。

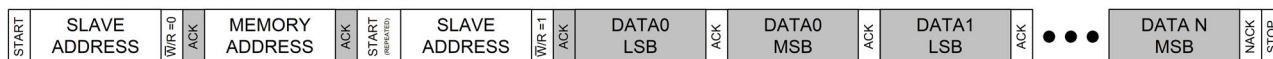
I²C のデータ書き込みプロトコル

メモリ・アドレスが 000h から 1FFh までの IC へのデータ転送には、データ書き込みプロトコルが使われます。000h~0FFh および 180h~1FFh のアドレスは、1 ブロックとして書き込めます。100h~17Fh のアドレスで書き込めるのは、一度に 1 ワードです。スレーブ・アドレスと IC からの ACK の直後に、バス・マスタがメモリ・アドレスを単一バイト値として送信します。メモリ・アドレス・バイトと IC からの ACK の直後に、保存するデータの LSB が書き込まれます。保存するデータの MSB が次に書き込まれ、IC からの ACK が続きます。各ワードの MSB の最下位ビット (LSb) を IC が受信した後、アドレスが自動的にインクリメントされるので、次のメモリ・アドレスのデータの LSB は、前のアドレスでデータの MSB にアクノレッジした直後に書き込むことができます。マスタは最後のアクノレッジ・ビットを受け取った後、ストップまたは反復スタートを送信することにより、書き込みトランザクションの終了を示します。バス・マスタがアドレス 0FFh または 1FFh を超えて自動インクリメントされる書き込みトランザクションを続けた場合、IC はデータを無視します。読出し専用アドレスに対する書き込みの場合もデータは無視されますが、予約済みアドレスの場合は無視されません。予約済みのアドレス位置には書き込みをしないでください。データ書き込みの通信シーケンスの例については、[図 38](#) を参照してください。

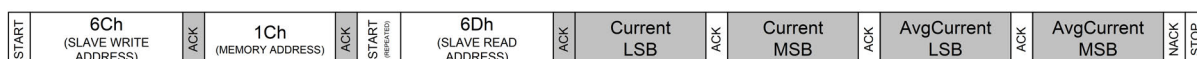
WRITE DATA COMMUNICATION PROTOCOL

EXAMPLE WORD WRITE TO I²C COMMAND REGISTER ADDRESS 060h図 38. I²C でのデータ書き込みの通信シーケンス例I²C のデータ読出しプロトコル

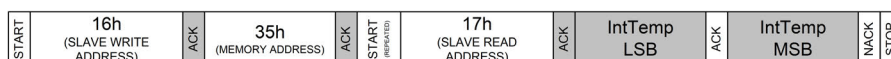
メモリ位置が 000h から 1FFh までの IC からのデータ転送には、データ読出しプロトコルが使われます。000h~0FFh および 180h~1FFh のアドレスは、1 ブロックとして読み出せます。100h~17Fh のアドレスは、個々のワードとして読み出す必要があります。バス・マスタは、スレーブ・アドレスの直後に、メモリ・アドレスを単一バイト値として送信します。メモリ・アドレスの直後に、バス・マスタは反復スタートを発行し、続けてスレーブ・アドレスを送信します。MAX17335 はアドレスに ACK を返し、データの送信を開始します。1 ワードのデータは 2 つの別々のバイトとして読み出され、マスタはこれに ACK を返す必要があります。LSB が最初に読み出され、マスタからの ACK がこれに続きます。次に MSB が読み出され、マスタからの ACK がこれに続きます。各ワードの MSB の最下位ビット (LSb) を IC が送信した後、アドレスが自動的にインクリメントされるので、次のメモリ・アドレスのデータの LSB は、前のアドレスでデータの MSB にアクノレッジした直後に読み出すことができます。マスタは、NACK に続けてストップを送信することによって、読出しトランザクションの終了を示します。バス・マスタがメモリ・アドレス 0FFh または 1FFh を超えて自動インクリメント読出しトランザクションを継続すると、IC は NACK またはストップを受信するまですべて 1 を送信します。予約済みのアドレス位置からのデータは定義されていません。データ読出しの通信シーケンスの例については、[図 39](#) を参照してください。

I²C READ DATA COMMUNICATION PROTOCOL

EXAMPLE READ DATA OF CURRENT AND AVGCURRENT REGISTERS ADDRESS 01Ch-01Dh



EXAMPLE READ DATA OF INTTEMP REGISTER ADDRESS 135h

図 39. I²C でのデータ読出しの通信シーケンス例

1-Wire バス・システム

MAX17335 の 1-Wire バージョンは、アナログ・デバイセズの 1-Wire インターフェースを通じてホストとの通信を行います。1-Wire バスは、1 つのバス・マスタと 1 つ以上のスレーブからなるシステムです。マルチドロップ・バスは複数のスレーブがある 1-Wire バスであるのに対し、シングルドロップ・バスのスレーブ・デバイスは 1 つのみです。すべての例において、この IC はスレーブ・デバイスとなります。通常、バス・マスタは、ホスト・システムのマイクロプロセッサです。ここでのバス・システムの説明は、64 ビット・ネット・アドレス、CRC 生成、ハードウェア構成、トランザクション・シーケンス、1-Wire 信号処理、の 5 つのテーマで構成されています。

ハードウェア構成

1-Wire バスでは 1 本のラインしかないため、バス上の各デバイスは、適切な時間にそれを駆動できなくてはなりません。これを容易なものにするため、1-Wire バスに取り付けられた各デバイスは、オープン・ドレインまたはスリーステートの出力ドライバでバスに接続されている必要があります。MAX17335 は、オープン・ドレイン出力ドライバを双方向インターフェース回路の一部として使用します（図 40 を参照）。バス・マスタで双方向ピンが使用できない場合は、個別の出力ピンと入力ピンを互いに接続することができます。通信速度は、OD/SCL ピンで制御されます。OD/SCL を PACK- に接続すると、通信を標準的な速度で行うことができます。OD/SCL を REG3 ピンに接続すると、通信をオーバードライブ速度で行うことができます。

1-Wire バスは、バスのホスト側にプルアップ抵抗を備える必要があります。ほとんどのアプリケーションでは、 $2\text{k}\Omega \sim 5\text{k}\Omega$ が推奨値です。1-Wire バスのアイドル状態はロジック・ハイです。何らかの理由でバス・トランザクションを中断する必要がある場合、そのトランザクションを後に適切に再開できるよう、バスはアイドル状態のままにしておく必要があります。なお、バスが t_{LOW0} より長時間ローのままになっている場合、バスのスレーブ・デバイスはそのローの時間をリセット・パルスと解釈し、実質的にトランザクションを終了します。

1-Wire バスのインターフェース回路

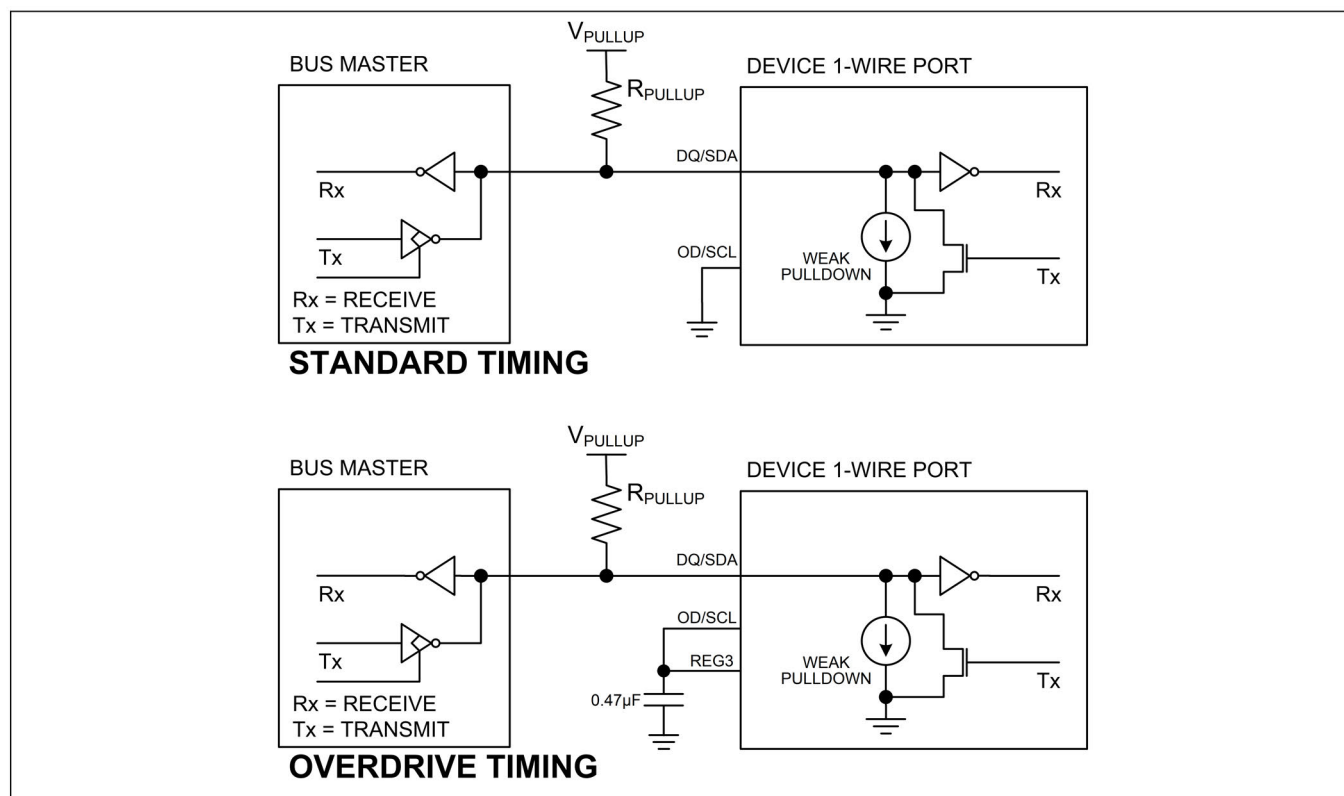


図 40. 1-Wire バスのインターフェース回路

64 ビット・ネット・アドレス (ROM ID)

1-Wire のネット・アドレスの長さは 64 ビットです。ネット・アドレスという用語は、他の 1-Wire の文書で用いられている ROM ID または ROM コードの用語と同義です。ネット・アドレスの値は、不揮発性メモリに保存されており、変更はできません。1-Wire の標準的なネット・アドレスでは、ネット・アドレスの最初の 8 ビットは 1-Wire のファミリ・コードです。この値は、同じタイプのすべての IC について同一です。次の 48 ビットは固有のシリアル番号です。最後の 8 ビットは、最初の 56 ビットの巡回冗長検査 (CRC) です。表 136 にネット・アドレスのデータ・フォーマットを詳細に示します。このデバイスに組み込まれている 64 ビットのネット・アドレスと 1-Wire I/O 回路によって、IC は、1-Wire が有効化されていれば、このデータシートで詳述する 1-Wire プロトコルを通じて通信を行うことができます。

表 136. 1-Wire ネット・アドレスのフォーマット

MSb: 8-Bit CRC	48-Bit Serial Number	LSb: 8-Bit Family Code (26h)
----------------	----------------------	------------------------------

I/O 信号処理

1-Wire バスでは、データの完全性を確保するため、厳格な信号処理プロトコルが必要です。MAX17335 で用いられるプロトコルには、初期化シーケンス (リセット・パルスとそれに続くプレゼンス・パルス)、0 の書込み、1 の書込み、データ読出しの 4 つがあります。バス・マスタは、プレゼンス・パルスを除くすべての信号を始動します。

リセットのタイム・スロット

MAX17335 との通信を開始するために必要な初期化シーケンスを図 41 に示します。バス・マスタは、 t_{RSTL} の間、リセット・パルスを送信 (Tx) します。次に、バス・マスタはラインを解放し、受信モード (Rx) に入ります。次いで、1-Wire バス・ラインは、プルアップ抵抗によりハイに引き上げられます。DQ ピンで立上がりエッジを検出した後、MAX17335 は t_{PDH} の間待機し、その後 t_{PDL} の間プレゼンス・パルスを送信します。リセット・パルスに続くプレゼンス・パルスは、MAX17335 がネット・アドレス・コマンドを受け入れる用意ができていたことを示すものです。

1-Wire の初期化シーケンス

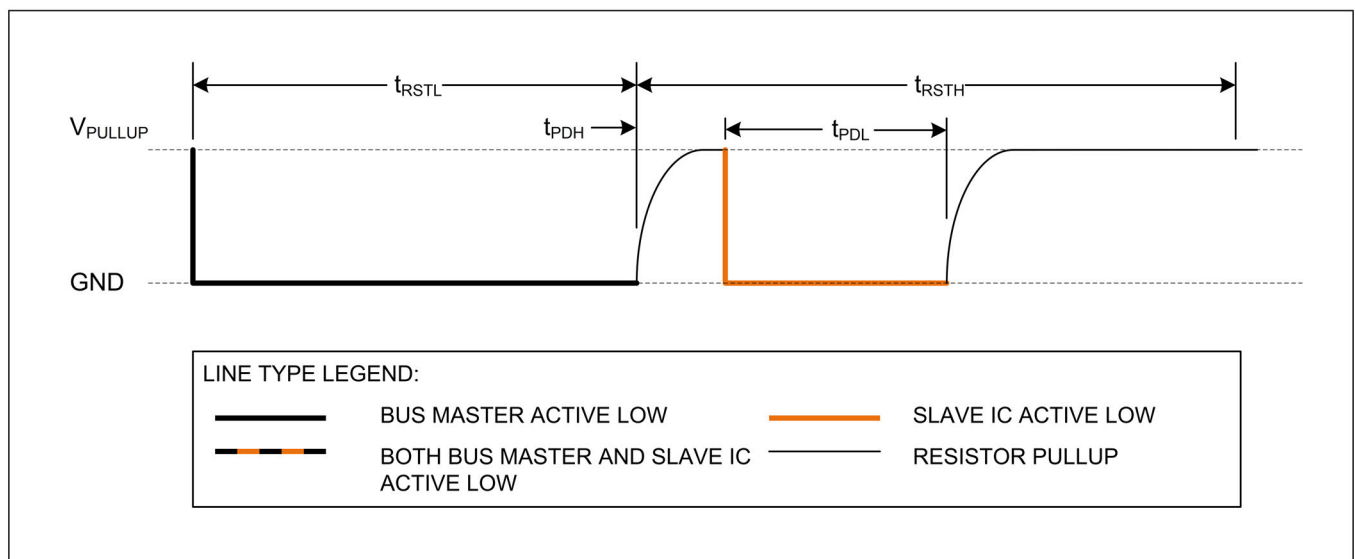


図 41. 1-Wire の初期化シーケンス

書き込みのタイム・スロット

書き込みのタイム・スロットは、バス・マスタが 1-Wire バスをロジック・ハイ（非アクティブ）レベルからロジック・ロー・レベルに引き下げたときに開始されます。書き込みタイム・スロットには、1 の書き込みと 0 の書き込みの 2 種類があります。すべての書き込みタイム・スロットは、 t_{SLOT} の継続時間およびサイクルの間の $1\mu\text{s}$ 以上の回復時間 t_{REC} を設ける必要があります。MAX17335 は、ラインがローになった後 $t_{\text{LOW1_MAX}}$ と $t_{\text{LOW0_MIN}}$ の間に 1-Wire バス・ラインのサンプリングを行います。サンプリング時にラインがハイであれば、1 の書き込みが発生します。サンプリング時にラインがローであれば、0 の書き込みが発生します。サンプリングの時間枠を図 42 に示します。バス・マスタが 1 の書き込みタイム・スロットを生成するには、バス・ラインが、ローに引き下げられた後解放され、書き込みのタイム・スロットの開始後 t_{RDV} 以内にラインがハイに引き上げられなくてはなりません。ホストが 0 の書き込みタイム・スロットを生成するには、バス・ラインがローに引き下げられ、書き込みタイム・スロットの間、ローに保持されなくてはなりません。

読出しのタイム・スロット

読出しタイム・スロットは、バス・マスタが 1-Wire バス・ラインをロジック・ハイ・レベルからロジック・ロー・レベルに引き下げたときに開始されます。バス・マスタは、少なくとも $1\mu\text{s}$ の間バス・ラインをローに保持し、その後、これを解放して MAX17335 が有効なデータを出力できるようにしなくてはなりません。その後、バス・マスタは、読出しタイム・スロットの開始から t_{RDV} 経過後にデータをサンプリングできます。読出しタイム・スロットが終了するまでに、MAX17335 はバス・ラインを解放して、外部プルアップ抵抗によってバス・ラインがハイにプルアップされるようにします。すべての読出しタイム・スロットは、 t_{SLOT} の継続時間およびサイクルの間の $1\mu\text{s}$ 以上の回復時間 t_{REC} を設ける必要があります。詳細については、図 42 および電気的特性の表のタイミング仕様を参照してください。

1-Wire での書き込みおよび読出しのタイム・スロット

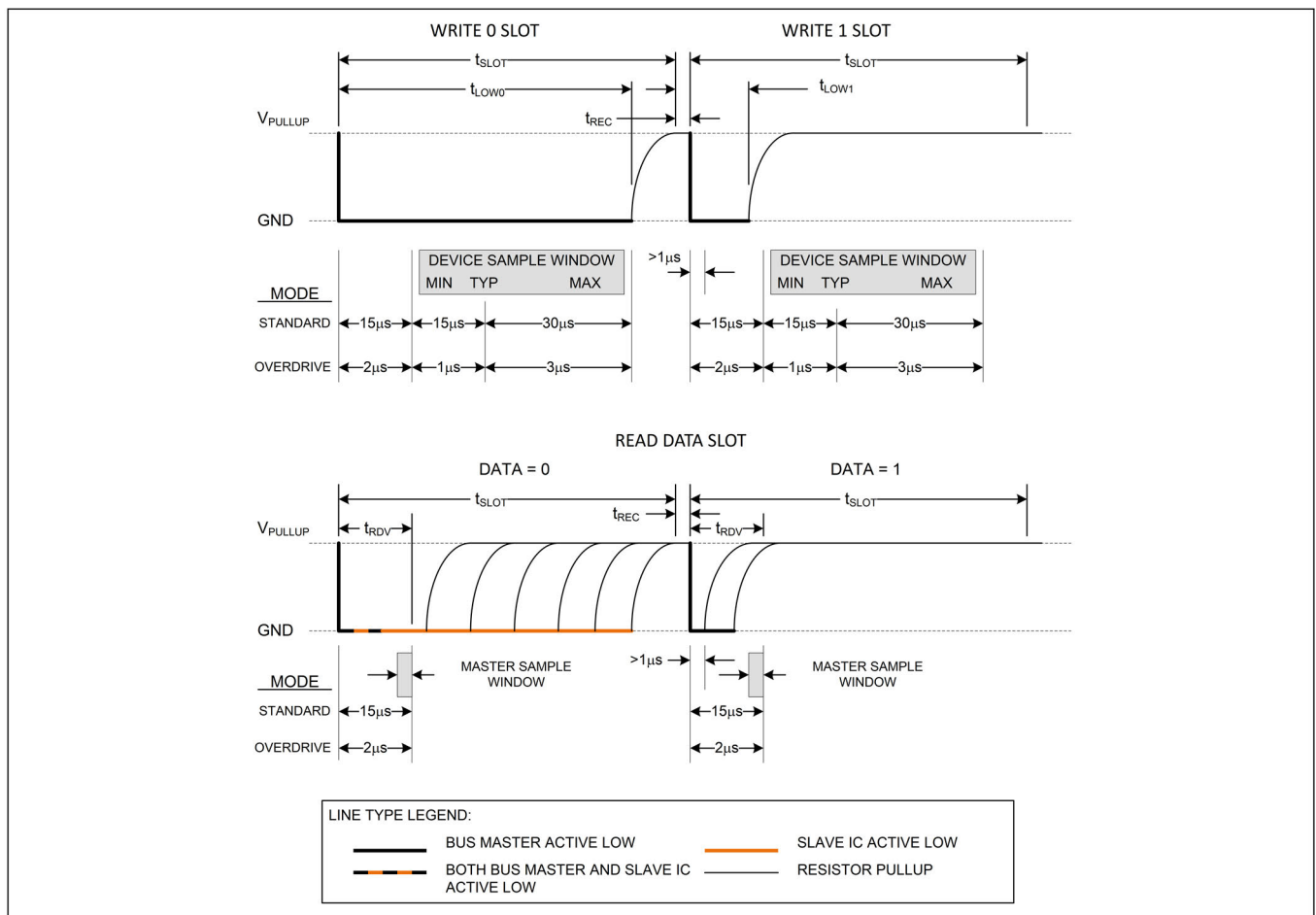


図 42. 1-Wire での書き込みおよび読出しのタイム・スロット

トランザクション・シーケンス

1-Wire ポートを通じて MAX17335 にアクセスするためのプロトコルは以下のとおりです。

- 初期化
- ネット・アドレス・コマンド
- 機能コマンド
- データ転送（すべてのコマンドにデータ転送があるわけではありません）

ネット・アドレスのコマンド

バス・マスタは、少なくとも 1 つのスレーブの存在を検出したら、以下の段落で説明するネット・アドレスのいずれかのコマンドを発することができます。ネット・アドレスの各コマンド（ROM コマンド）の名前の後には、そのコマンドの 8 ビットのオペコードを角括弧で囲んで示します。

Read Net Address [33h]

このコマンドにより、バス・マスタは、MAX17335 の 1-Wire ネット・アドレスを読み出せます。このコマンドを使用できるのは、バスのスレーブが 1 つである場合のみです。複数のスレーブがある場合は、すべてのスレーブが同時に送信しようとした場合にデータの衝突が生じます（オープン・ドレインによりワイヤード AND の結果が生成されます）。

Match Net Address [55h]

このコマンドにより、バス・マスタは、1-Wire バス上の 1 つの MAX17335 を特定してアドレス指定できます。アドレス指定された MAX17335 のみが後続の機能コマンドに応答します。それ以外のスレーブ・デバイスは、機能コマンドを無視し、リセット・パルスを受信するまで待機します。このコマンドは、バス上に 1 つまたは複数のスレーブ・デバイスがある場合に用いることができます。

Skip Net Address [CCh]

このコマンドにより、バスに MAX17335 が 1 つしかない場合には時間の節約ができます。バス・マスタがスレーブのアドレス指定をせずに機能コマンドを発することができるためです。バスに複数のスレーブ・デバイスがある場合は、後続の機能コマンドによってすべてのスレーブが同時にデータを送信し、これがデータ衝突の原因となる場合があります。

Search Net Address [F0h]

このコマンドによって、バス・マスタは、消去法を用いてバス上のすべてのスレーブ・デバイスの 1-Wire ネット・アドレスを特定することができます。検索プロセスは、ビットを読み出す、ビットの補数を読み出す、そのビットの目的の値を書き込む、という単純な 3 ステップ・ルーチンを繰り返すことで行われます。バス・マスタは、ネット・アドレスの各ビット位置でこの単純な 3 ステップ・ルーチンを実行します。全 64 ビットについて完了すると、バス・マスタは 1 つのデバイスのアドレスを知ったことになります。このプロセスを更に繰り返すことで、その他のデバイスも特定できます。ネット・アドレス検索の実際の例を含む包括的な解説については、Book of iButton® Standards の第 5 章を参照してください（www.analog.com/iButtonBook）。

iButton はアナログ・デバイセズの登録商標です。

1-Wire の機能

ネット・アドレス・コマンドの 1 つが正常に完了した後は、バス・マスタは以下の段落で説明する Read Data または Write Data のいずれかの機能コマンドを用いて、MAX17335 の機能にアクセスできます。Compute MAC 機能などの他の IC 動作は、COMMAND レジスタに書き込むことで実行できます。詳細については、[不揮発性メモリのコマンド](#)のセクションを参照してください。

Read Data [69h, LL, HH]

このコマンドは、メモリ・アドレス HHLL を開始アドレスとして MAX17335 からデータを読み出します。0000h~01FFh のメモリ・アドレスはいずれも有効な開始アドレスとなります。アドレス HHLL のデータの LSb は、そのアドレスの MSb が入力された直後から読み出せます。各バイトの MSb を受け取った後にアドレスは自動的にインクリメントされるので、アドレス HHLL + 1 のデータの LSb は、アドレス HHLL のデータの MSb の直後に読み出せます。バス・マスタがアドレス 01FFh を超えて読出しを続けても、データは定義されていません。メモリ・マップで「予約済み」と記されているアドレスには、定義されていないデータ値が含まれている可能性があります。Read Data コマンドは、バス・マスタが任意のビット境界でリセット・パルスを用いることで終了できます。不揮発性メモリのアドレスから読出しを行うと、シャドウ RAM のデータが返されます。不揮発性メモリからシャドウ RAM にデータを転送するには Recall Data コマンドが必要です。詳細については、[不揮発性メモリのコマンド](#)のセクションを参照してください。データ読出し通信シーケンスの例については、[表 43](#) を参照してください。

Write Data [6Ch, LL, HH]

このコマンドは、メモリ・アドレス HHLL を開始アドレスとして MAX17335 にデータを書き込みます。0000h~01FFh のメモリ・アドレスはいずれも有効な開始アドレスとなります。アドレス HHLL に格納されるデータの LSB は、そのアドレスの MSb が入力された直後から書き込めます。各バイトの MSb が書き込まれた後にアドレスは自動的にインクリメントされるので、アドレス HHLL + 1 に保存される LSB は、アドレス HHLL に保存される MSb の直後に書き込めます。バス・マスタがアドレス 01FFh を超えて書き込みを続けても、IC はそのデータを無視します。読み出し専用アドレスおよびロックされているメモリ・ブロックへの書き込みは無視されます。予約済みのアドレス位置には書き込みをしないでください。不完全なバイトは書き込まれません。ロック解除されている不揮発性メモリ・アドレスへ書き込みを行うとシャドウ RAM が変更されます。シャドウ RAM から不揮発性メモリにデータを転送するには、Copy NV Block コマンドが必要です。詳細については、[不揮発性メモリのコマンド](#)のセクションを参照してください。データ書き込みシーケンスの例については、[図 43](#)を参照してください。

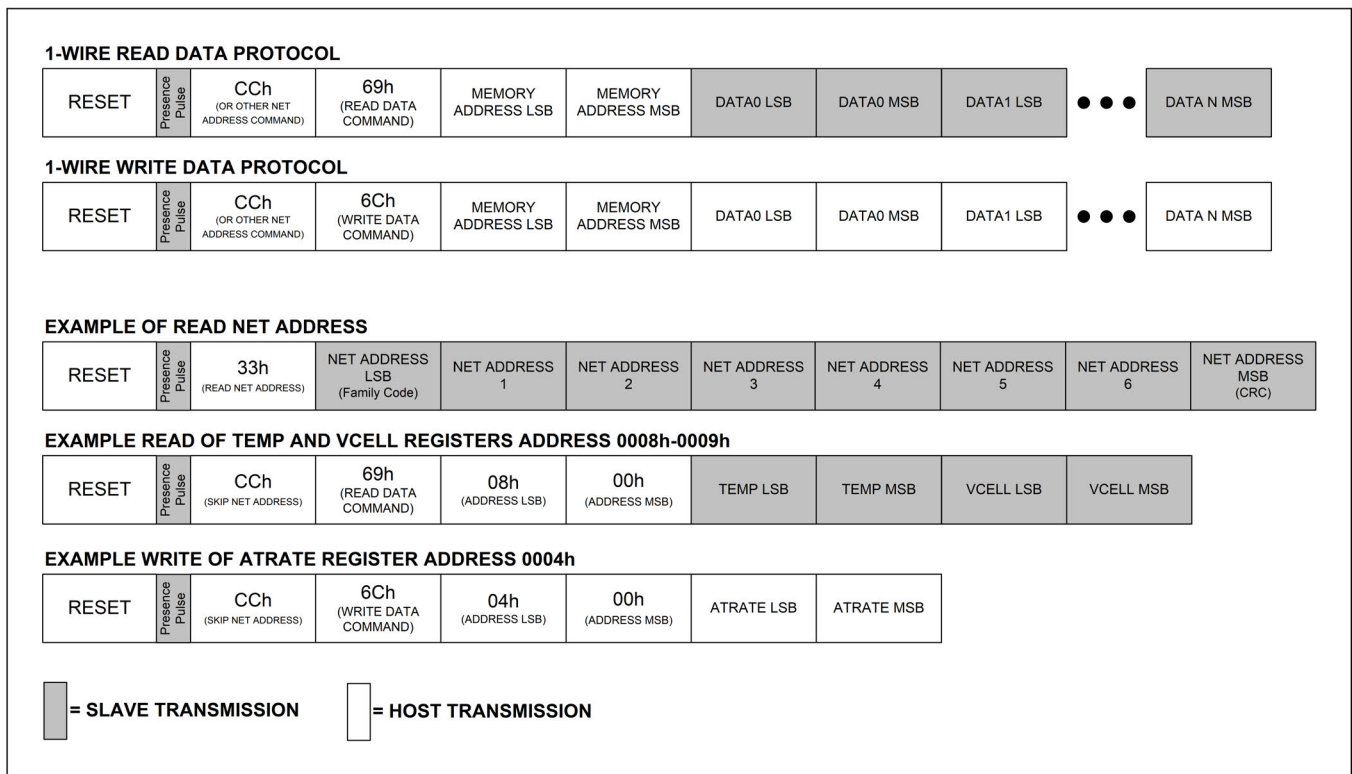
1-Wire 通信シーケンスの例

図 43. 1-Wire 通信シーケンスの例

付録 A : 履歴データ読出しの疑似コード例

以下に示す疑似コード例は、IC から履歴データを読み出すためのリファレンスとして用いることができます。このコードは、最初にすべてのフラグ情報を読み出してテストし、次にすべての有効な履歴データを読み出して 2 次元に配列します。その後、HistoryLength 変数が履歴アレイ・データの深度を表示します。

```
Int WriteFlags[26];
Int ValidFlags[26];
Boolean PageGood[100];
Int HistoryData[100][16];
Int HistoryLength;
Int word, position, flag1, flag2, flag3, flag4;
//Read all flag information from the IC
WriteCommand(0xE29C);
Wait(tRECALL);
WriteFlags[0] = ReadData(0x1F2);
WriteFlags[1] = ReadData(0x1F3);
WriteFlags[2] = ReadData(0x1F4);
WriteFlags[3] = ReadData(0x1F5);
WriteFlags[4] = ReadData(0x1F6);
WriteFlags[5] = ReadData(0x1F7);
WriteFlags[6] = ReadData(0x1F8);
WriteFlags[7] = ReadData(0x1F9);
WriteFlags[8] = ReadData(0x1FA);
WriteFlags[9] = ReadData(0x1FB);
WriteFlags[10] = ReadData(0x1FC);
WriteFlags[11] = ReadData(0x1FD);
WriteFlags[12] = ReadData(0x1FE);
ValidFlags[0] = ReadData(0x1FF);
WriteCommand(0xE29D);
Wait(tRECALL);
ValidFlags[1] = ReadData(0x1F0);
ValidFlags[2] = ReadData(0x1F1);
ValidFlags[3] = ReadData(0x1F2);
ValidFlags[4] = ReadData(0x1F3);
ValidFlags[5] = ReadData(0x1F4);
ValidFlags[6] = ReadData(0x1F5);
ValidFlags[7] = ReadData(0x1F6);
ValidFlags[8] = ReadData(0x1F7);
ValidFlags[9] = ReadData(0x1F8);
ValidFlags[10] = ReadData(0x1F9);
ValidFlags[11] = ReadData(0x1FA);
```

```

ValidFlags[12] = ReadData(0x1FB);
//Determine which history pages contain valid data
For loop = 0 to 99
{
    word = (int)( loop / 8 );
    position = loop % 8 ; //remainder
    flag1 = (WriteFlags[word] >> position) & 0x0001;
    flag2 = (WriteFlags[word] >> (position+8)) & 0x0001;
    flag3 = (ValidFlags[word] >> position) & 0x0001;
    flag4 = (ValidFlags[word] >> (position+8)) & 0x0001;
    if (flag1 || flag2) && (flag3 || flag4)
        PageGood[loop] = True;
    else
        PageGood[loop] = False;
}
//Read all the history data from the IC
HistoryLength = 0;
For loop = 0 to 99
{
    if(PageGood[loop]) == TRUE
    {
        SendCommand(0xE22E + loop);
        Wait(tRECALL);
        HistoryData[HistoryLength][0] = ReadData(0x1F0);
        ...
        HistoryData[HistoryLength][15] = ReadData(0x1FF);
        HistoryLength++;
    }
}

```

付録 B : 並列セル管理の例

以下に示す疑似コード例は、並列バッテリーを管理するためのリファレンスとして用いることができます。

HOST PSEUDOCODE (on 500ms timer):

```

def on_500ms_timer():
    if(all(AllBatts.FProtStat.IsDis==0)):
        VMax = max(AllBatts.VCell)
        VMin = min(AllBatts.VCell)
        stepDown=stepUp=CrossCharge=False
        if(VMin<VSys_Min): CrossCharge=True           #1
        for Batt in AllBatts:
            Batt.Status=0xFFDF (AllowChgB=0)         #2
            if(Batt.VCell>VMin+400mV and !CrossCharge): #3
                Batt.Config2.BlockDis=1

```

```

else:
    Batt.Config2.BlockDis=0                #4

if (Status.CA):
    if (Batt.ChgStat.[CP,CT]): stepDown=True    #5
    elif(Batt.ChgStat.Dropout): stepUp =True    #6
    Status=0xF7FF                            #7

if(stepDown): step DC-DC down                #8
elif(stepUp): step DC-DC up

```

注：

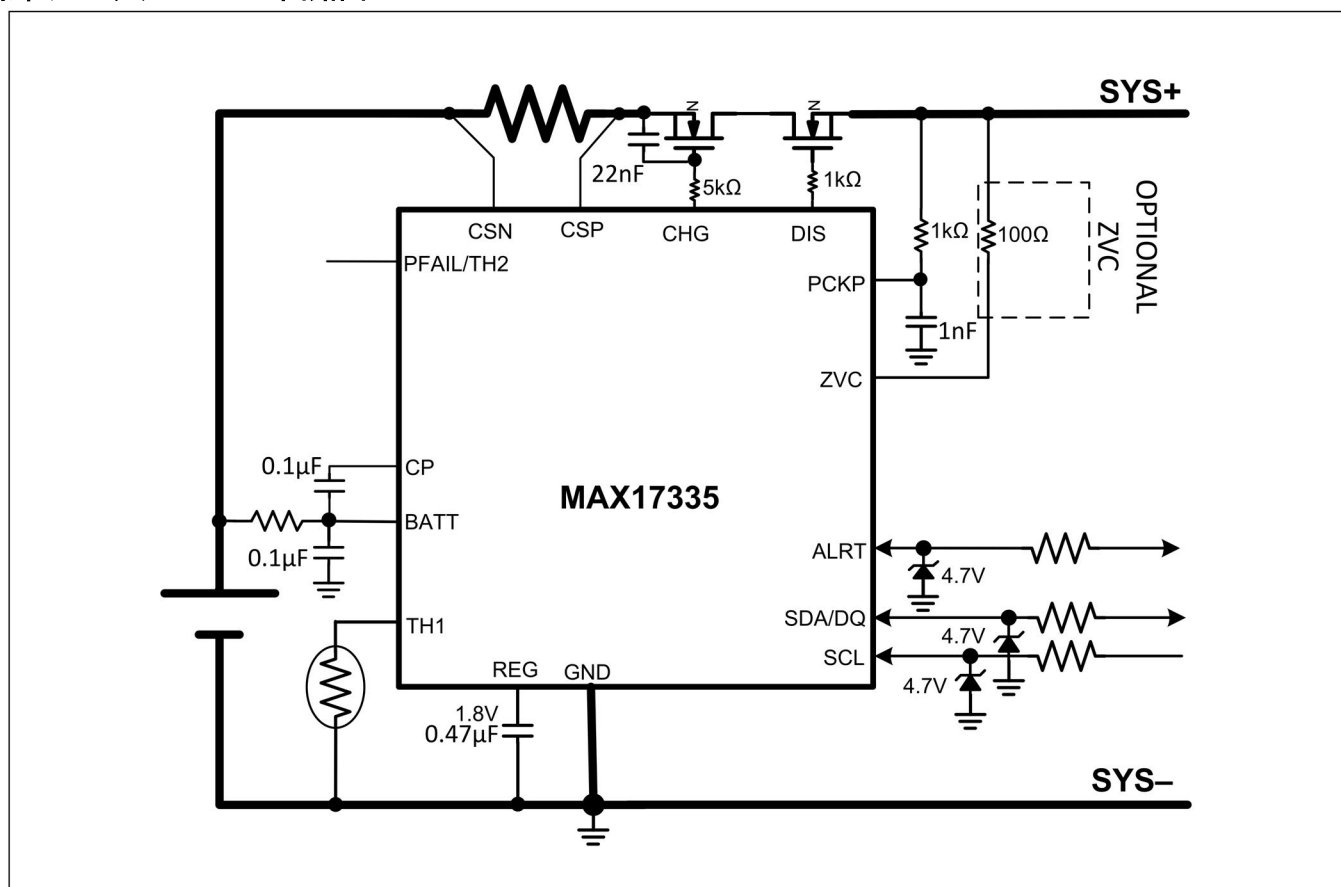
- 1) 最低電圧のバッテリーがシステム放電をサポートできるかどうかを評価します。セル電圧が低すぎる場合は、充電ソースを切り離すと、相互充電が可能な場合を除きクラッシュの原因となります。
- 2) 全バッテリーに対し（ブロック化されたバッテリーの場合でも）チャージャが存在することを示します。
- 3) ブロック放電を行うバッテリーを判定し、相互充電を防止します。
- 4) 低電圧バッテリーがフル充電バッテリーよりも大幅に低電圧である場合や低電圧バッテリーが **VSys_Min** 未満である場合に、放電を許可します。
- 5) FET の熱を考慮します：（DC-DC 電圧減少）
- 6) ドロップアウトを考慮します：（DC-DC 電圧増加）
- 7) 充電アラート・ビットをクリアします。
- 8) オプション：DC-DC の更新を適用します。

アプリケーション：

- 1) 低電力並列充電（合計 500mA 未満）。USB などの 5V ソースをシステムおよび両 MAX17335 IC に直接接続します。USB 検出（BC1.2 など）は不要です。どの USB アダプタも 500mA を供給するためです。各バッテリー充電電流が 250mA 未満に設定されている場合、充電 FET の発熱は、充電曲線の 99% で 350mW を下回ります。それは、充電曲線の大部分で **VBATT** が 3.6V を超えるためです。充電 FET の発熱量は、次式で計算できます。 $250\text{mA} \times (5.0\text{V} - 3.6\text{V}) = 350\text{mW}$ 。
- 2) 大電力並列充電（合計 500mA 超）。アプリケーションには、MAX17335 IC に電力を供給するプログラマブル DC-DC コンバータが必要です。

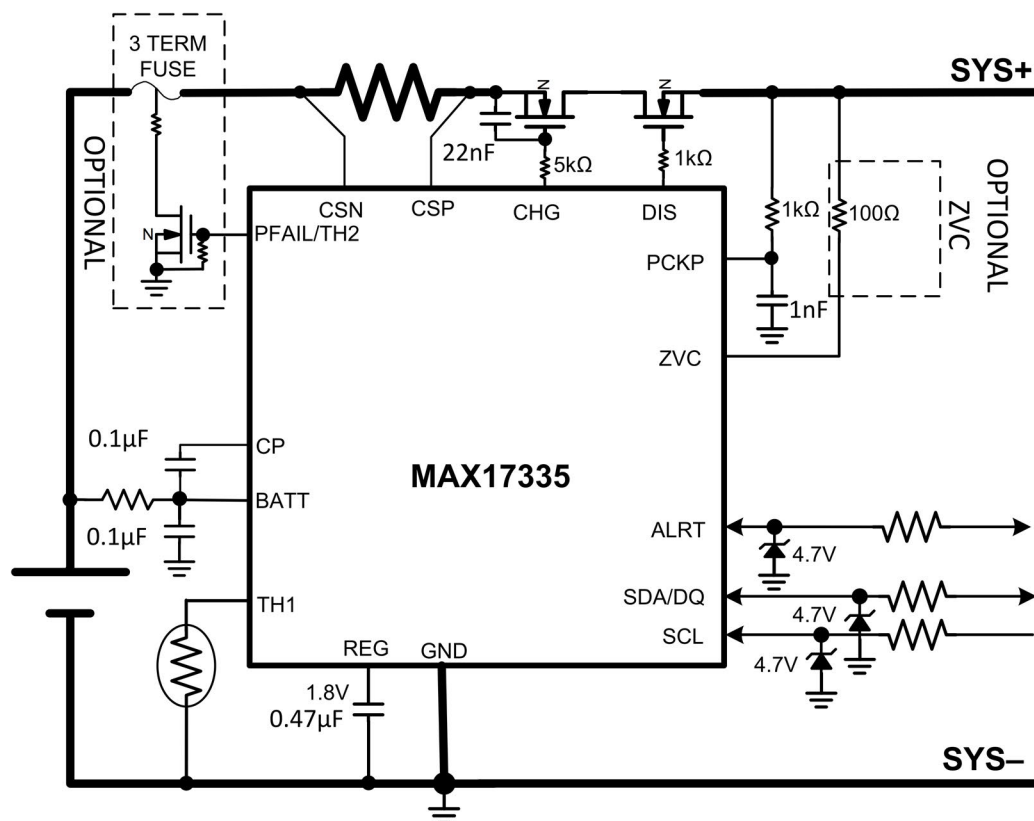
標準アプリケーション回路

標準アプリケーション回路図



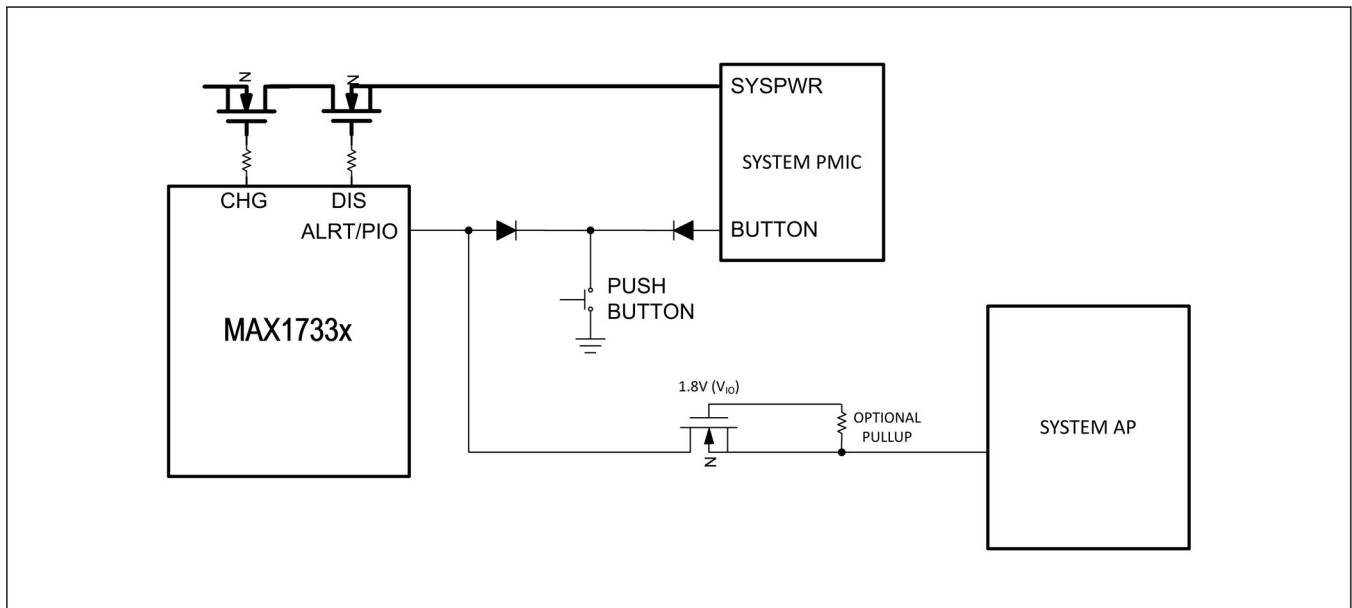
標準アプリケーション回路（続き）

ヒューズ付きの標準アプリケーション回路



標準アプリケーション回路（続き）

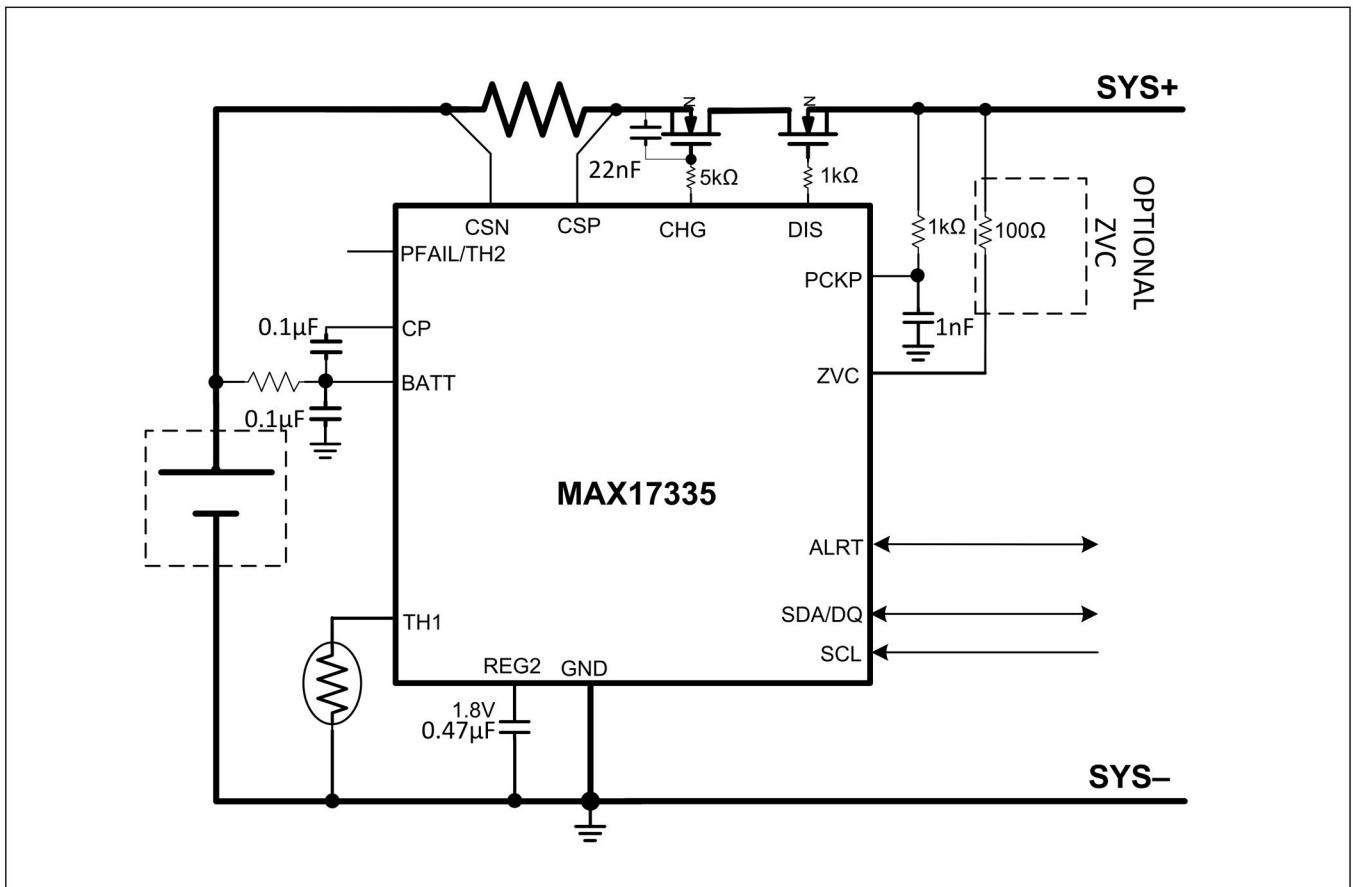
プッシュボタンの回路図



プッシュボタンを MAX17335 とシステムで共用することにより、システムと MAX17335 の両方をウェイクアップできます。システム・インターフェース PMIC のダイオードは、電源がない場合にプルダウンをブロックします。これによって、システム・インターフェース PMIC が出荷モード時に電力を失った場合に MAX17335 がウェイクアップするのを防ぐことができます。ALRT/PIO ピンのダイオードは、アラートのプルダウンが PMIC のボタン動作をトリガするのを防止します。これによって、アラートが 10 秒を超えてクリアされない場合に意図せぬシャットダウンを防止します。MAX17335 と System AP の間の FET は、AP が給電されていない場合に System AP のプルダウンがウェイクアップをトリガしないようにブロックします。FET は、1.8V の電圧が存在する場合、レベル・シフタとして機能し、プルダウン・アラート信号をどちらの方向にも伝達します。

標準アプリケーション回路（続き）

システム側の実装の標準アプリケーション回路図



型番

PART	INTERFACE	PIN-PACKAGE
MAX17335X22+	I ² C	15 WLP
MAX17335X22+T	I ² C	15 WLP

+は鉛 (Pb) フリー／RoHS 準拠のパッケージであることを示します。
T = テープ & リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	7/24	市場投入のためのリリース	–