

MAX14670–MAX14673**双方向電流ブロッキング、
高入力過電圧プロテクタ、可変OVLD内蔵****概要**

MAX14670～MAX14673は、重要な民生用回路を最大+28V_{DC}の正電圧フォルトから保護することができます。また、内蔵クランプは最大+100Vのサージからデバイスを保護します。このデバイスは、不適切な入力状態を検出した場合にシステムを出力端子から切断することができます。

過電圧保護デバイスのMAX14670～MAX14673は、WLPパッケージの65mΩ (typ)の低オン抵抗(R_{ON})内部FETを特長とし、デバイスでの電圧ドロップを効果的に最小化します。入力電圧が過電圧スレッショルドを上回ると、内部FETがオフになり、保護対象部品の損傷を防ぎます。

過電圧保護スレッショルドは、オプションの外付け抵抗で5V～22Vの任意の電圧に調整可能です。これらのデバイスは、過電圧ロックアウト入力(OVLO)が外付けのOVLO選択電圧よりも低く設定された場合、内部の高精度トリップスレッショルドを自動的に選択します。内部OVLOは、標準の6.8V (MAX14670)、15.5V (MAX14671)、5.825V (MAX14672)、または22V (MAX14673)にプリセットされています。

MAX14670～MAX14673は、逆バイアスブロッキング性能を備えています。他の過電圧プロテクタと異なり、MAX14670～MAX14673は、ディセーブルされた時、OUTへの印加電圧がINにフィードバックされません。これらのデバイスは、OTGイネーブル端子も備えているため、OUT電圧をINに供給することが可能です。MAX14670～MAX14673は、過負荷状態に対するサーマルシャットダウン保護も備えています。

MAX14670～MAX14673は、-40°C～+85°Cの拡張温度範囲での動作が保証されています。MAX14670/MAX14671は15ピンWLPパッケージで提供され、MAX14672/MAX14673は10ピンTDFNパッケージで提供されます。

型番/選択ガイドおよび標準動作回路はデータシートの最後に記載されています。

利点および特長

- ハイパワーポータブル機器を保護
 - 広い動作入力電圧保護：+3V～+28V
 - サージ性能：+100V
 - 連続電流性能：4.5A (WLPパッケージ)
 - 65mΩ (typ) nチャネルMOSFETスイッチ内蔵 (WLPパッケージ)
- フレキシブルな過電圧保護設計
 - 広い可変OVLOスレッショルド範囲：+5V～+22V
 - \overline{ACOK} およびACOKによって入力が範囲内かどうかを表示
 - OTGイネーブルによってOUTをINに供給可能
 - プリセットされた内部高精度OVLOスレッショルド：
 - 6.8V ±3% (MAX14670)
 - 15.5V ±3% (MAX14671)
 - 5.825V ±3% (MAX14672)
 - 22V ±3% (MAX14673)
- 追加の保護機能によってシステム信頼性が向上
 - OUT-IN逆バイアスブロッキング性能
 - ソフトスタートによって突入電流を最小化
 - 15ms起動デバウンス内蔵
 - サーマルシャットダウン保護
- 省スペース
 - 15ピンWLPパッケージ(1.6mm x 2.1mm)
 - 10ピンTDFNパッケージ(3mm x 3mm)

アプリケーション

- タブレット
- スマートフォン
- 電子書籍リーダー
- PCノートブック
- 充電USBホスト

Absolute Maximum Ratings

(All voltages referenced to GND.)

IN (Note 1).....	-0.3V to +29V
OUT	-0.3V to +26V
IN - OUT	-26V to +29V
OTG_EN, ACOK, <u>ACOK</u>	-0.3V to +6V
OVLO.....	-0.3V to +26V
Continuous Current into IN, OUT	
WLP (Note 2)	±4.5A
TDFN.....	±3.2A

Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)WLP (derate 16.4mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....1312mWTDFN (derate 24.4mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....1951mW

Operating Temperature Range.....-40°C to +85°C

Storage Temperature Range.....-65°C to +150°C

Lead Temperature (soldering, 10s).....+300°C

Soldering Temperature (reflow)+260°C

Note 1: Survives burst pulses up to 100V with 2Ω series resistance and hot plug events. Above the input clamp voltage, the IN must be a surge in nature with a limited energy.**Note 2:** Limited by the PCB thermal design.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 3)

WLP

Junction-to-Ambient Thermal Resistance (θ_{JA})52°C/W

TDFN

Junction-to-Ambient Thermal Resistance (θ_{JA})41°C/WJunction-to-Case Thermal Resistance (θ_{JC})9°C/W**Note 3:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Electrical Characteristics

($V_{IN} = +3\text{V}$ to $+28\text{V}$, $V_{OUT} = +3\text{V}$ to $+24\text{V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{IN} = +5\text{V}$, $T_A = +25^\circ\text{C}$.)
(Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Startup Voltage	V_{INBT}		2.17	3		V
Input Sustaining Voltage	V_{INBU}	$I_{OUT} = 0\text{A}$	1.5	2.3		V
Input Clamp Voltage	V_{IN_CLAMP}	$I_{IN} = 10\text{mA}$, $T_A = +25^\circ\text{C}$	33.7			V
Input Supply Current	I_{IN}	$V_{OVLO} = 0\text{V}$, $V_{IN} = 5\text{V}$, ACOK is unconnected, $I_{OUT} = 0\text{mA}$	100	190		μA
Output Startup Voltage	V_{OUTBT}		2.15	3		V
Output Sustaining Voltage	V_{OUTBU}	$I_{IN} = 0\text{A}$	1.5	2.3		V
Output Supply Current	I_{OUT}	$V_{OVLO} = 0\text{V}$, $V_{OUT} = 5\text{V}$, $I_{IN} = 0\text{mA}$, $V_{OTG_EN} = 1.8\text{V}$	83	170		μA
Output Shutdown Current		$V_{OVLO} = 3\text{V}$, $V_{OUT} = 5\text{V}$, $V_{IN} = 0\text{V}$, $V_{OTG_EN} = 0\text{V}$	6	12		μA
IN Leakage Voltage		$V_{OUT} = 21\text{V}$, IN unconnected, $V_{OTG_EN} = 0\text{V}$	0.001	0.1		V
IN Discharge Current		$V_{IN} = V_{OUT} = 5\text{V}$, IN discharge current after an OTG_EN transition from high to low	100	150		mA

Electrical Characteristics (continued)

($V_{IN} = +3V$ to $+28V$, $V_{OUT} = +3V$ to $+24V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{IN} = +5V$, $T_A = +25^\circ C$.)
(Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
OVP (IN TO OUT)							
On-Resistance (IN to OUT)	R _{ON}	$V_{IN} = 5V$, $I_{OUT} = 100mA$	WLP, $T_A = +25^\circ C$	65	87	mΩ	
			TDFN, $T_A = +25^\circ C$	85	110		
Internal Overvoltage Trip Level	V_{IN_OVLO}	MAX14670	V_{IN} rising	6.6	6.8	7.0	
			V_{IN} falling	6.5			
		MAX14671	V_{IN} rising	15.0	15.5	16.0	
			V_{IN} falling	14.5			
		MAX14672	V_{IN} rising	5.65	5.825	6.0	
			V_{IN} falling	5.55			
OVLO Set Threshold	V_{OVLO_TH}			1.18	1.221	1.26	V
Adjustable OVLO Threshold Range	V_{OVLO_EXT}			5	22		V
External OVLO Select Threshold	V_{OVLO_SEL}			0.2	0.25	0.3	V
DIGITAL SIGNALS (ACOK, ACOK̄, OTG_EN)							
ACOK Output High Voltage	V_{ACOK}	$I_{SOURCE} \leq 100\mu A$, $V_{IN} > 3V$	1.6	1.8	2.0	V	
ACOK Leakage Current		Pull down to ground, $V_{OUT} = 5V$, OTG_EN = high, ACOK deasserted			1	μA	
ACOK Output Low Voltage	V_{OL}	$V_{IO} = 3.3V$, $I_{SINK} = 1mA$			0.4	V	
ACOK Leakage Current		$V_{IO} = 3.3V$, \overline{ACOK} deasserted			1	μA	
OTG_EN Input Logic-High	V_{IH}			1.6		V	
OTG_EN Input Logic-Low	V_{IL}				0.4	V	
OTG_EN Input Leakage Current	I_{IN}	$0V \leq V_{IN} \leq V_{IL}$ and $V_{IH} \leq V_{IN} \leq V_{CC}$, $V_{CC} = 5.5V$	-1		+1	μA	
TIMING CHARACTERISTICS (Figure 1)							
IN Debounce Time	t_{DEB}	$V_{IN} = 5V$ to charge pump on ($V_{OUT} = 10\%$ of V_{IN}), $R_{LOAD} = 100\Omega$, $C_{LOAD} = 10\mu F$	20			ms	
IN/OUT Soft-Start Time	t_{SS}	$V_{IN} = 5V$ to $V_{OUT} = 90\%$ of V_{IN} , $R_{LOAD} = 100\Omega$, $C_{LOAD} = 10\mu F$	25			ms	
IN OVP Turn-On Time During Soft-Start	t_{ON}	$V_{IN} = 5V$, $R_{LOAD} = 100\Omega$, $C_{LOAD} = 10\mu F$, $V_{OUT} = 20\%$ of V_{IN} to 80% of V_{IN}	1.5			ms	
IN OVP Turn-Off Response Time	t_{OFF}	From $V_{IN} > V_{OVLO}$ to $V_{OUT} = 80\%$ of V_{IN} , $R_{LOAD} = 100\Omega$	1			μs	
OTG Turn-On Time	t_{OTG_ON}	Time from OTG_EN high to $V_{IN} = 80\%$ of V_{OUT} , $V_{OUT} = 5V$, $C_{IN} = 10\mu F$	1.4			ms	
In-Discharge Pulse Duration		$V_{IN} = V_{OUT} = 5V$, current pulse duration after an OTG_EN transition from high to low	1.1			ms	

Electrical Characteristics (continued)

($V_{IN} = +3V$ to $+28V$, $V_{OUT} = +3V$ to $+24V$, $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, unless otherwise noted. Typical values are at $V_{IN} = +5V$, $T_A = +25^{\circ}\text{C}$.)
(Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
THERMAL PROTECTION						
Thermal Shutdown	T_{SHDN}			150		°C
Thermal Hysteresis	T_{HYST}			20		°C
ESD PROTECTION						
Human Body Model		IN pin		±15		kV
IEC 61000-4-2 Contact Discharge		IN pin		±8		kV
IEC 61000-4-2 Air-Gap Discharge		IN pin		±8		kV

Note 4: All devices are 100% production tested at $T_A = +25^{\circ}\text{C}$. Limits over the operating temperature range are guaranteed by design and not production tested.

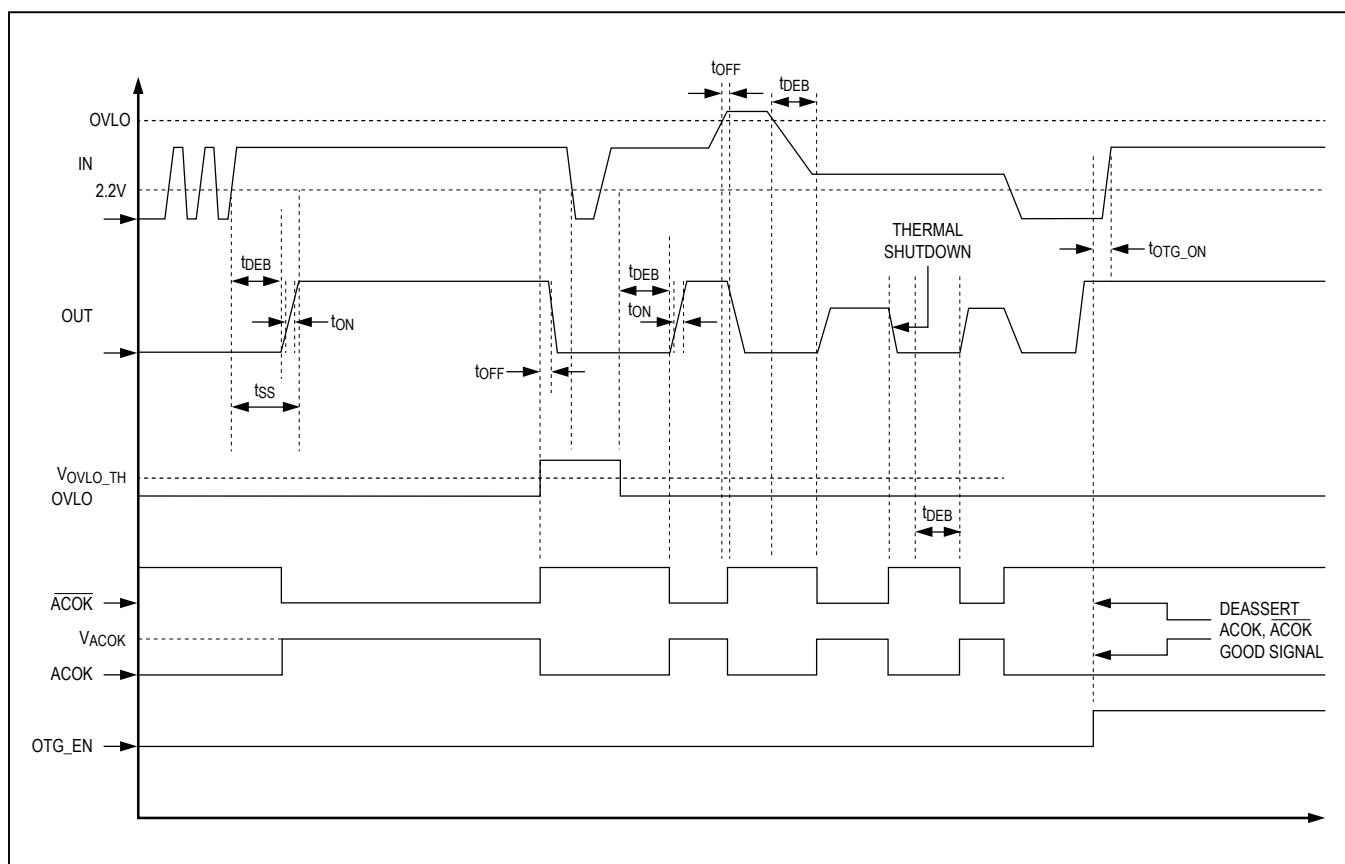
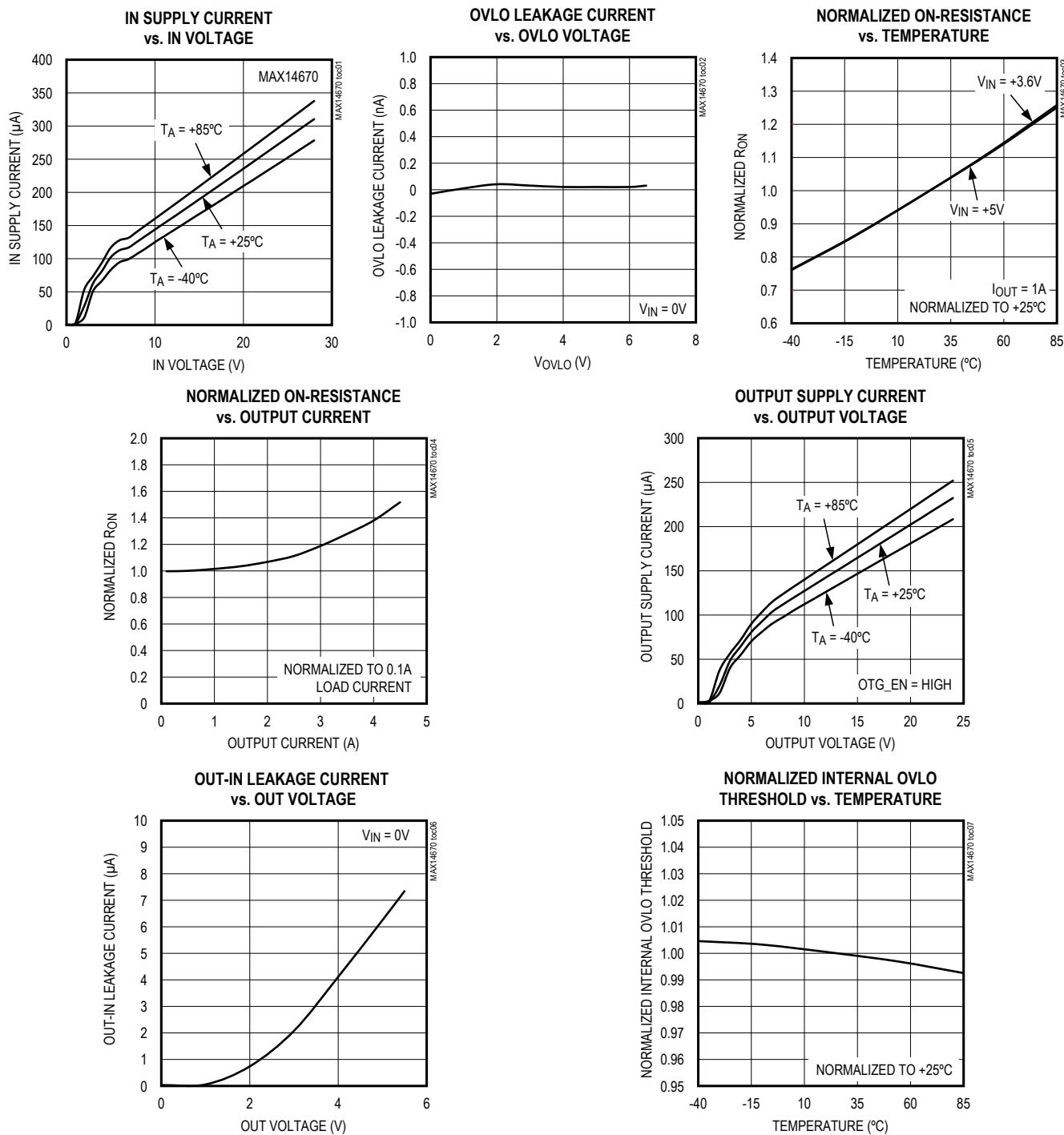
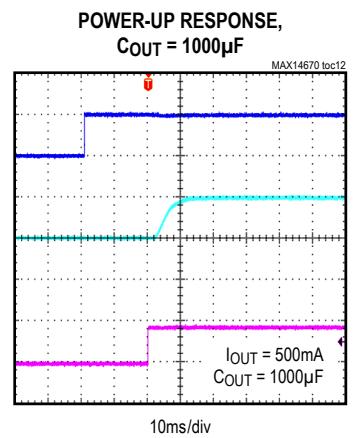
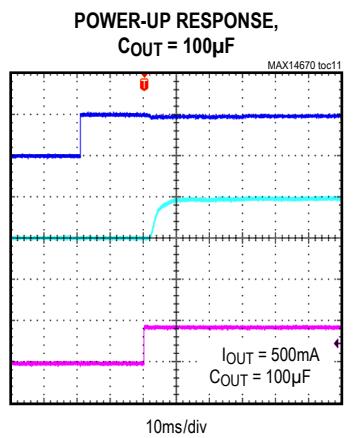
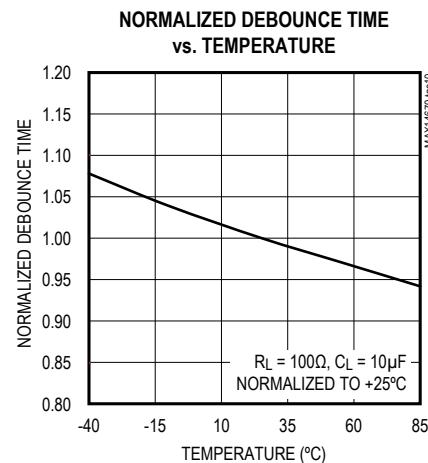
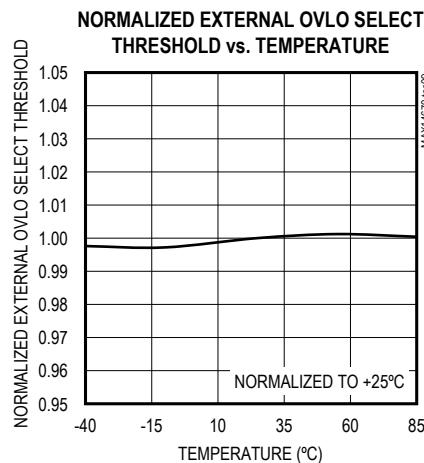
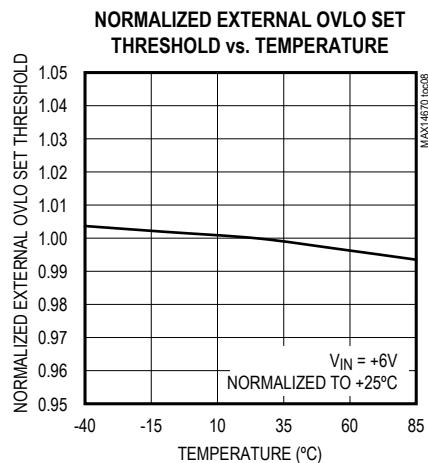
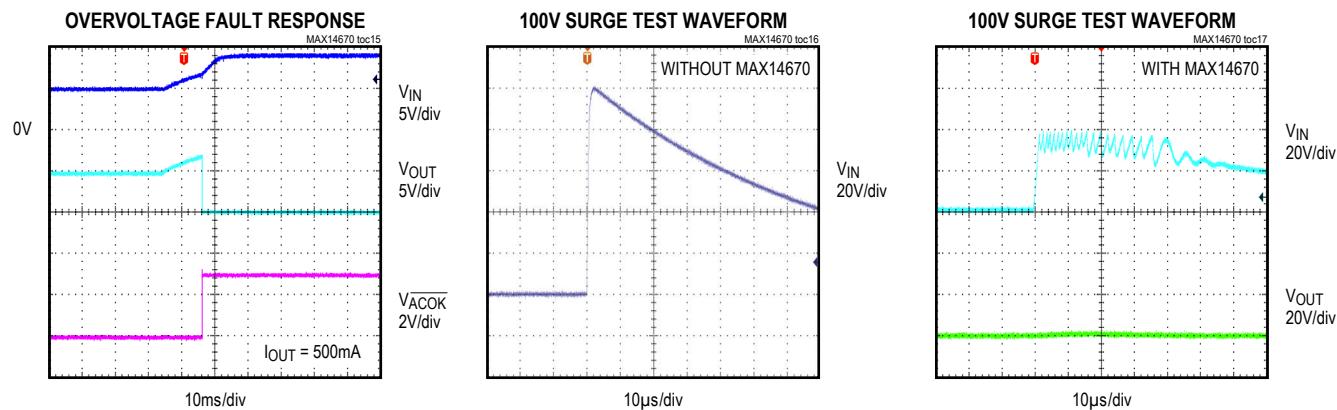
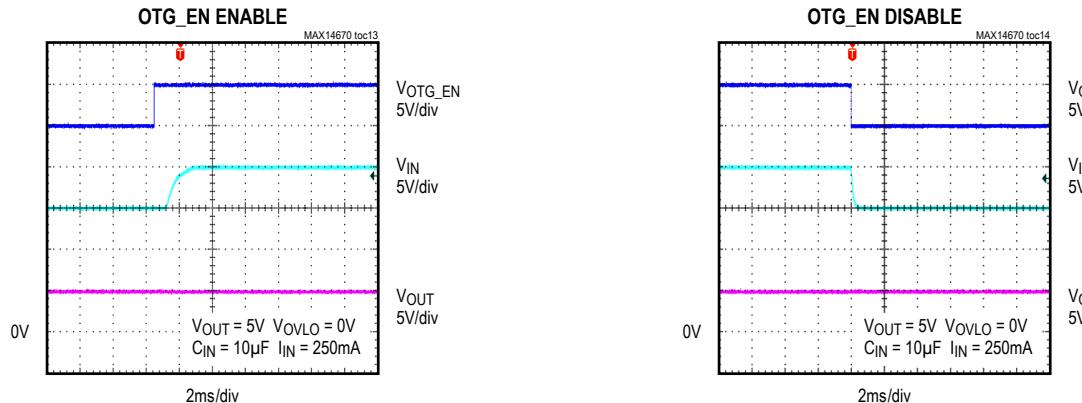


図 1. タイミング図

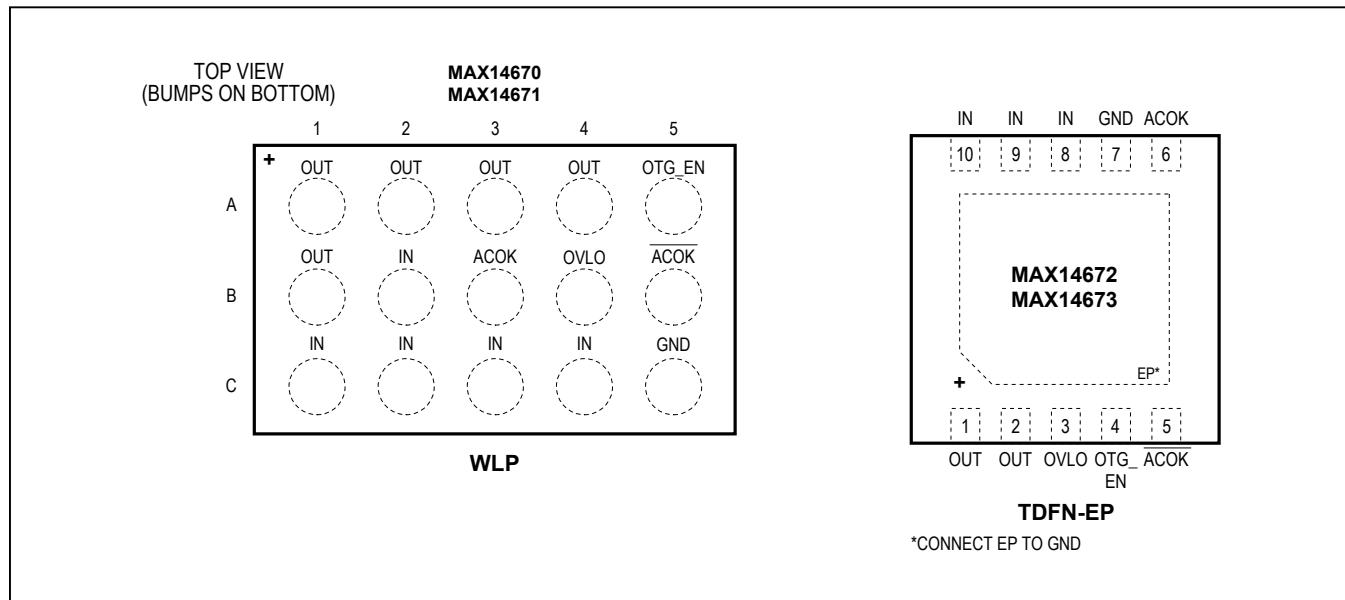
標準動作特性(V_{IN} = +5V, OVLO = GND, C_{IN} = 0.1μF, C_{OUT} = 1μF, T_A = +25°C, unless otherwise noted.)

標準動作特性(続き)(V_{IN} = +5V, OVLO = GND, C_{IN} = 0.1μF, C_{OUT} = 1μF, T_A = +25°C, unless otherwise noted.)

標準動作特性(続き)

(V_{IN} = +5V, OVLO = GND, C_{IN} = 0.1μF, C_{OUT} = 1μF, T_A = +25°C, unless otherwise noted.)

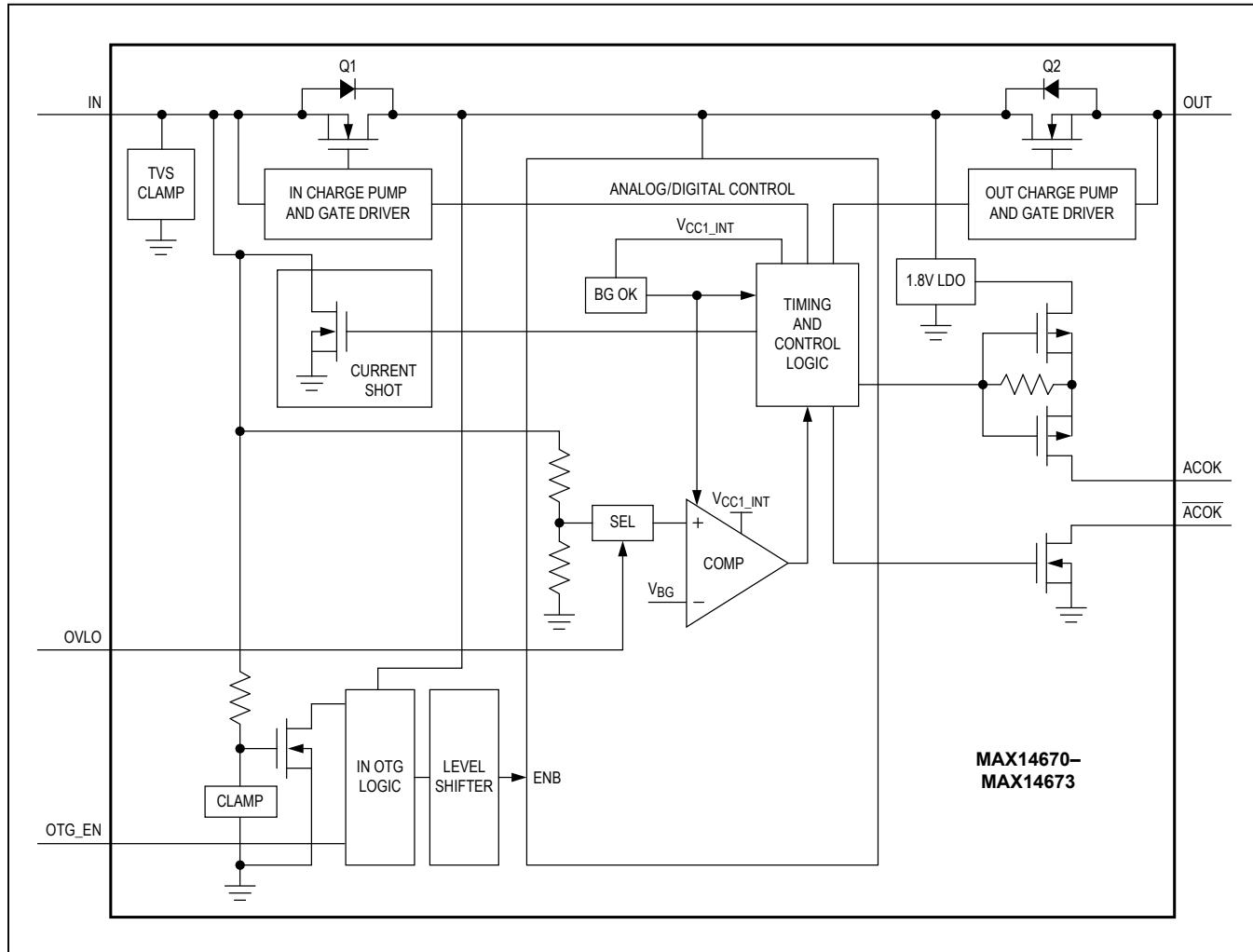
ピン配置



端子説明

端子	端子	名称	機能
MAX14670/ MAX14671	MAX14672/ MAX14673		
A1-A4, B1	1, 2	OUT	過電圧保護出力。1μFのセラミックコンデンサでOUTをバイパスしてください。すべてのOUTを外部で相互に接続してください。
A5	4	OTG_EN	OTG電源動作のイネーブル入力
B2, C1-C4	8-10	IN	過電圧保護入力。必要に応じて、できる限りデバイスの近くに配置した0.1μFのセラミックコンデンサでINをバイパスしてください。すべてのINを外部で相互に接続してください。
B3	6	ACOK	1.8Vロジック出力。OTG_EN = 0の場合、入力電圧が最小のVIN～VOVLOの範囲内に安定したあとでACOKがハイに駆動されます。ACOKとグランド間にプルダウン抵抗を接続してください。
B4	3	OVLO	過電圧ロックアウト入力。内部OVLOスレッショルドを使用する場合は、OVLOをGNDに接続してください。それ以外の電圧スレッショルドを使用する場合は、OVLOを抵抗分圧器に接続してください。
B5	5	ACOK	オープンドレインのフラグ出力。OTG_EN = 0の場合、入力電圧が最小のVIN～VOVLOの範囲内に安定したあとでACOKがローに駆動されます。ACOKとホストシステムのロジックI/O電圧間にプルアップ抵抗を接続してください。
C5	7	GND	グランド
—	—	EP	エクスポートドパッド(TDFNのみ)。EPをグランドに接続してください。

ファンクションダイアグラム



詳細

過電圧保護(OVP)デバイスのMAX14670～MAX14673は、低オン抵抗(R_{ON})のFET (Q1+Q2)を内蔵し、低電圧システムを最大+28VDCの電圧フォルトから保護します。また、内蔵クランプは最大+100Vのサージからデバイスを保護します。入力電圧が過電圧スレッショルドを超えた場合、出力が入力から切離されて保護対象部品の損傷を防ぎます。15msのデバウンス時間によって、起動時に内蔵FETが誤ってオンになるのを防ぎます。

ソフトスタート

突入電流を最小限に抑えるため、これらのデバイスはQ1およびQ2を低速でオンにするソフトスタート機能を備えています。ソフトスタートは、 $\overline{ACOK}/ACOK$ がアサートされたときに開始し、15ms (typ)後に終了します。

過電圧ロックアウト(OVLO)

内部で設定されたOVLOの値で内蔵OVLOコンパレータを使用する場合は、OVLOをグランドに接続してください。INが過電圧ロックアウトスレッショルド(V_{IN_OVLO})を上回ると、OUTがINから切離され、 $\overline{ACOK}/ACOK$ がアサートされます。INが V_{IN_OVLO} を下回ると、デバウンス時間のカウントが開始されます。デバウンス時間のあとで、OUTは再びINに追従し、 $\overline{ACOK}/ACOK$ がアサートされます。

外部OVLO調整機能

外付け抵抗分圧器OVLOに接続され、 V_{OVLO} がOVLO選択電圧(V_{OVLO_SEL})を超えている場合、内蔵OVLOコンパレータは外付け抵抗分圧器によってINを読み取ります。

消費電流を最小限に抑えるため、最初の値として $R1 = 1M\Omega$ が適切です。 V_{IN_OVLO} 、 V_{OVLO_TH} 、および $R1$ は既知のため、 $R2$ は次式から計算することができます。

$$V_{IN_OVLO} = V_{OVLO_TH} \times \left[1 + \frac{R1}{R2} \right]$$

この外付け抵抗分圧器は、内部抵抗分圧器とは完全に無関係です。

逆バイアスブロッキング

これらのICは、逆バイアスブロッキングを備えています。INの電圧が入力スタートアップ電圧より低く、OTG_ENがローの場合、INとOUT間のスイッチがオープンになり、2つの直列スイッチの2つのバック・ツー・バックのダイオードが逆バイアスをブロックします。そのため、出力に電圧が印加された場合、電流は入力に逆流しません。OVLOがハイの場合も、これらのデバイスは逆バイアスをブロックします。

OTGイネーブル

これらのデバイスは、逆ターンオン機能を備えています。OTG_ENを使用して、OUTに印加された電圧が最小スタートアップ電圧以上の場合にOUTをINにフィードバックするためのスイッチをオンにすることができます。OTG_ENがハイの場合、 \overline{ACOK} および $ACOK$ はデアサートされます。OTG動作時、INがOVLOを上回ると、OVPスイッチがオフになります。OTG動作より前にOUTに給電し、OTG動作をディセーブルする前にOUTから電源を除去することが推奨されます。

サーマルシャットダウン保護

これらのデバイスは、デバイスを過熱から保護するサーマルシャットダウン保護を備えています。接合部温度が+150°C (typ)を超えると内蔵FETがオフになり、温度が約20°C (typ)低下したあとでデバイスは通常動作に戻ります。

アプリケーション情報

INのバイパスコンデンサ

必要に応じて、できる限りデバイスの近くに配置した0.1μFのセラミックコンデンサでINをGNDに接続してください。長いリード長によってパワーソースが大きいインダクタンスを備える場合、デバイスはオーバーシュートをクランプすることによってLCタンク回路によるオーバーシュートを防止して保護を提供します。

出力コンデンサ

低速のターンオン時間によってソフトスタート機能が提供されるため、デバイスは過電流状態によるターンオフなしで最大1000μFの出力コンデンサを充電することができます。1μF (min)のセラミックコンデンサでOUTをGNDに接続してください。

拡張ESD保護

取扱い中や組立て中に発生する静電気放電に対する保護のために、すべての端子に最大±2kV (ヒューマンボディモデル)のESD保護構造が組み込まれています。INはさらに保護が強化され、最大±15kV (HBM)、±15kV (IEC 61000-4-2で規定された気中放電法)、および±8kV (IEC 61000-4-2で規定された接触放電法)のESDに損傷なしで耐えることができます。

このESD構造は、通常動作時にもデバイスのパワーダウン時にも、強力なESDに耐えることができます。ESDの発生後、MAX14670～MAX14673はラッチアップなしで動作を継続します。

ESD試験条件

ESD性能は、各種の条件に依存します。試験のセットアップ、試験方法、および試験結果が記載された信頼性レポートについては、Maximまでお問い合わせください。

ヒューマンボディモデルESD保護

図2はHBMを示し、図3はロインピーダンス状態に対して放電した場合に生成される電流波形を示します。このモデルは、目的のESD電圧まで充電された100pFのコンデンサで構成され、それが1.5kΩの抵抗を介してデバイスに放電されます。

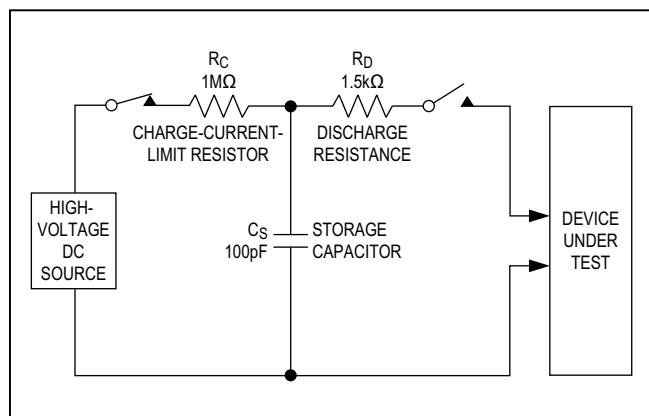


図2. ヒューマンボディ ESD 試験モデル

IEC 61000-4-2

IEC 61000-4-2規格は、完成した機器のESD試験およびESD性能を対象としています。しかし、ICについては特に対象としていません。ヒューマンボディモデルとIEC 61000-4-2を使用して行われた試験の主な違いは、IEC 61000-4-2モデルの方が直列抵抗が小さいため、IEC 61000-4-2のピーク電流が大きくなるという点です。このため、IEC 61000-4-2に従って測定されたESD耐電圧は、ヒューマンボディモデルを使用して測定された値よりも一般的に低くなります。図4はIEC 61000-4-2のモデルを示し、図5はIEC 61000-4-2 ESD接触放電試験の電流波形を示します。

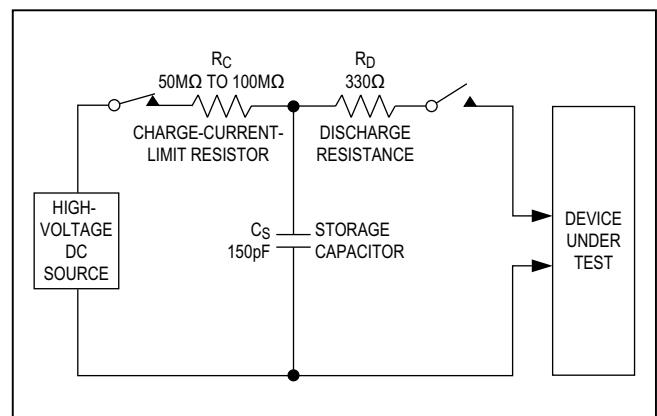


図4. IEC 61000-4-2 ESD 試験モデル

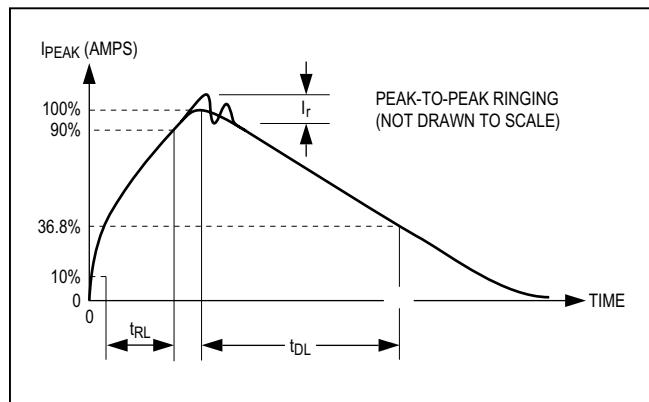


図3. ヒューマンボディの電流波形

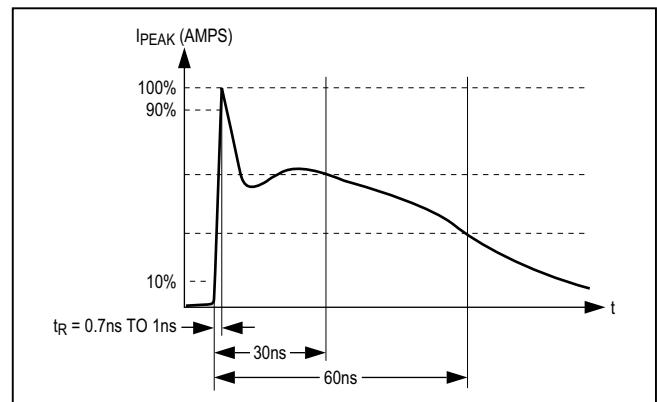
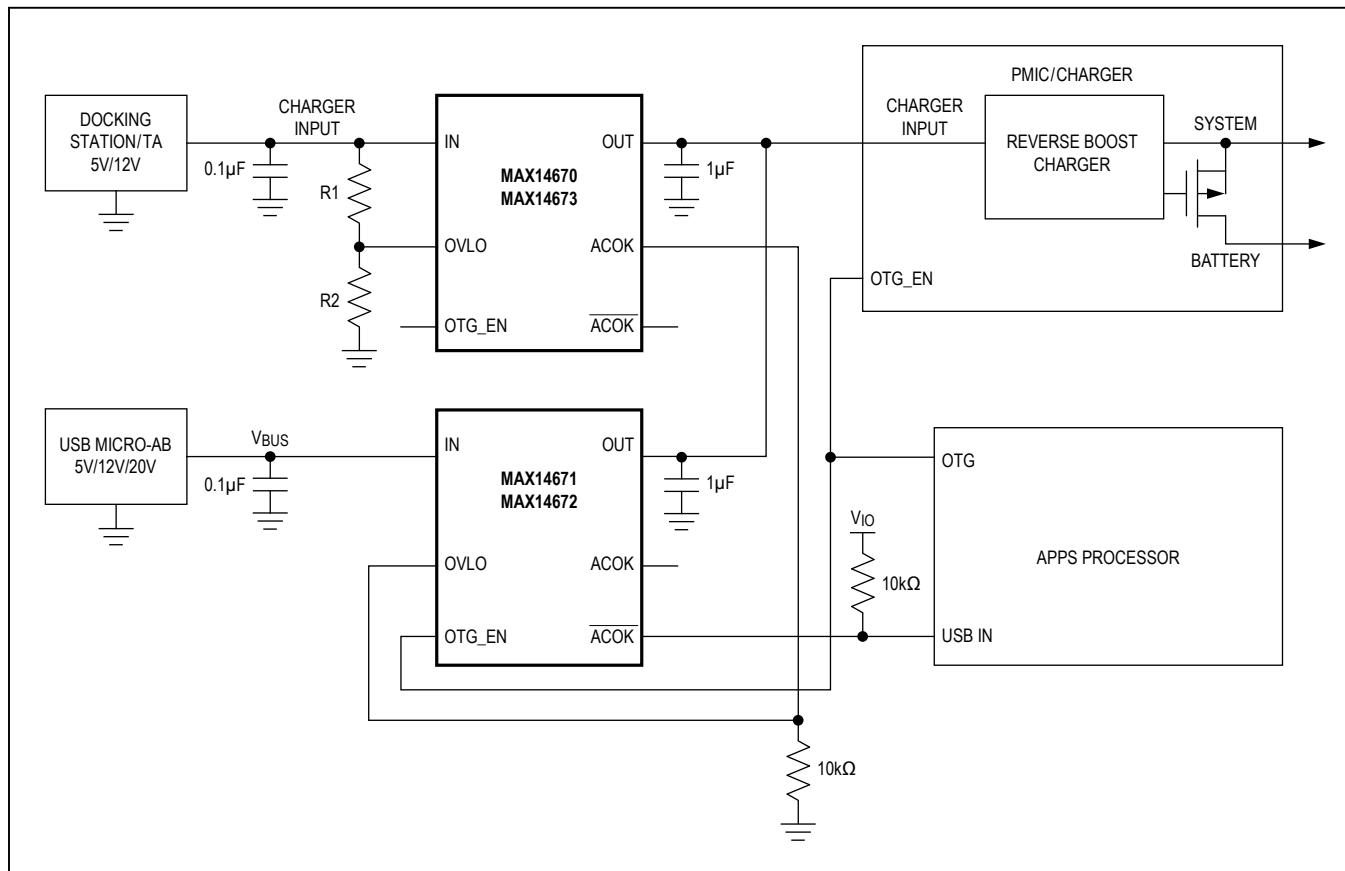


図5. IEC 61000-4-2 ESD 発生器の電流波形

標準動作回路



型番/選択ガイド

PART	OVLO (V)	TOP MARK	PIN- PACKAGE
MAX14670EWL+T	6.8	+14670EWL	15 WLP
MAX14671EWL+T	15.5	+14671EWL	15 WLP
MAX14672ETB+T	5.825	AZF	10 TDFN-EP*
MAX14673ETB+T**	22	AZG	10 TDFN-EP*

注：すべてのデバイスは-40°C～+85°Cの温度範囲での動作が保証されています。

+は鉛(Pb)フリー・パッケージ/RoHS準拠パッケージを表します。

T = テープ&リール。

*EP = エクスポート・ド・パッド。

**開発中の製品。出荷時期に関してはお問い合わせください。

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は www.maximintegrated.com/jp/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

パッケージ タイプ	パッケージ コード	外形図 No.	ランド パターンNo.
10 TDFN	T1033+1	21-0137	90-0003
15 WLP	W151C2+1	21-0686	アプリケーション ノート1891を 参照

改訂履歴

版数	改訂日	説明	改訂ページ
0	6/13	初版	—
1	7/13	「ファンクションダイアグラム」を更新	9
2	8/13	はんだ付けリード時間を追加、「ファンクションダイアグラム」のnFETとpFETの矢印を修正	2, 9
3	10/13	「ファンクションダイアグラム」を更新	9
4	1/14	100Vサージ保護性能に更新	1, 2, 7, 10
5	9/16	「端子説明」表を更新	8



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは隨時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min, maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

© 2016 Maxim Integrated Products, Inc.

Maxim IntegratedおよびMaxim IntegratedのロゴはMaxim Integrated Products, Inc.の商標です。