

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125MSPS ADC

概要

デュアル、モノリシック、12ビット、125MSPSアナログデジタルコンバータ(ADC)のMAX1217は、最高250MHzの入力周波数に対して優れたダイナミック性能を発揮します。この製品は、チャンネル当りの消費電力がわずか650mWながら、最高125MSPSの変換レートで動作します。

125MSPSと200MHzの入力周波数において、MAX1217は80dBcのスプリアスフリーダイナミックレンジ(SFDR)を実現し、200MHzにおいて65.3dBの優れた信号対ノイズ比(SNR)を備えています。このSNRは最高200MHzまでの入力トーンに対して平坦(3dB以内)に保たれます。このため、MAX1217は、通信レシーバ、ケーブルヘッドエンドレシーバ、および携帯基地局トランシーバのパワーアンププレディストーションなど、広帯域アプリケーションに最適です。

MAX1217は1.8Vの単一電源で動作します。各チャンネルのアナログ入力、AC結合の差動またはシングルエンド動作用に設計されています。また、このADCは選択可能な2分周クロック回路を内蔵しているため、最高250MHzまでのクロック周波数で動作し入力クロックソースの位相ノイズを抑制します。最適な性能を得るためには、低電圧差動信号(LVDS)サンプリングクロックが推奨されます。このコンバータのデジタル出力はLVDS対応であり、データ形式として2の補数またはオフセットバイナリのいずれかを選択することができます。

MAX1217は、エクスポーズドパッド付き100ピンTQFPパッケージで提供され、拡張温度範囲(-40°C~+85°C)での動作が保証されています。さらに高速のピンコンパチブル製品については、MAX1218 (170MSPS)とMAX1219 (210MSPS)のデータシートを参照してください。

アプリケーション

- ケーブルモデム終端システム(CMTS)
- ケーブルデジタルリターンパストランスミッタ
- 携帯基地局パワーアンプ線形化
- IFおよびベースバンドデジタル化
- ATEおよび計測機器
- レーダシステム

ピン配置はデータシートの最後に記載されています。

特長

- ◆ 変換レート：125MSPS
- ◆ 優れた低ノイズ特性
 - SNR = 67dB ($f_{IN} = 100\text{MHz}$ において)
 - SNR = 65.3dB ($f_{IN} = 200\text{MHz}$ において)
- ◆ 優れたダイナミックレンジ
 - SFDR = 85dBc ($f_{IN} = 100\text{MHz}$ において)
 - SFDR = 80dBc ($f_{IN} = 200\text{MHz}$ において)
- ◆ 単一電源：1.8V
- ◆ 消費電力：1.3W ($f_{SAMPLE} = 125\text{MSPS}$ および $f_{IN} = 10\text{MHz}$ において)
- ◆ トラック/ホールドアンプを搭載
- ◆ 1.24Vバンドギャップリファレンスを内蔵
- ◆ 選択可能な2分周クロック入力を搭載
- ◆ データクロック出力付きLVDSデジタル出力
- ◆ EVキット入手可能
(MAX1217EVKITを注文してください)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX1217ECQ	-40°C to +85°C	100 TQFP-EP*	C100E-6

*EP = エクスポーズドパッド

ピンコンパチブルバージョン

PART	RESOLUTION (BITS)	SPEED GRADE (MSPS)
MAX1219	12	210
MAX1218	12	170
MAX1217	12	125

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

ABSOLUTE MAXIMUM RATINGS

AV _{CC} to AGND	-0.3V to +2.1V	Current into any Pin.....	50mA
OV _{CC} to OGND	-0.3V to +2.1V	ESD Voltage on INAP, INAN, INBP, INBN (Human Body Model).....	±750V
OV _{CC} to AV _{CC}	-0.3V to +0.3V	ESD Voltage on All Other Pins (Human Body Model).....	±2000V
OGND to AGND	-0.3V to +0.3V	Continuous Power Dissipation (T _A = +70°C) 100-Pin TQFP (derate 37mW/°C above +70°C).....	2963mW
CLKP, CLKN, INAP, INAN, INBP, INBN to AGND	-0.3V to (AV _{CC} + 0.3V)	Operating Temperature Range	-40°C to +85°C
CLKDIV, T _{/BA} , T _{/BB} to AGND	-0.3V to (AV _{CC} + 0.3V)	Storage Temperature Range	-65°C to +150°C
REFA, REFADJA, REFB, REFADJB to AGND	-0.3V to (AV _{CC} + 0.3V)	Junction Temperature	+150°C
DCOP, DCON, DA0P–DA11P, DA0N–DA11N, DB0P–DB11P, DB0N–DB11N, ORAP, ORAN, ORBP, ORBN to OGND	-0.3V to (OV _{CC} + 0.3V)	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(AV_{CC} = OV_{CC} = +1.8V, AGND = OGND = 0, f_{SAMPLE} = 125MHz, differential input and differential sine-wave clock signal, 0.1μF capacitors on REFA and REFB, internal reference, digital output differential R_L = 100Ω, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N		12			Bits
Integral Nonlinearity (Note 2)	INL	f _{IN} = 10MHz	-2	±0.6	+2	LSB
Differential Nonlinearity (Note 2)	DNL	No missing codes	-1	±0.3	+1	LSB
Transfer Curve Offset	V _{OS}	T _A = +25°C (Note 2)	-3		+3	mV
Offset Temperature Drift				10		μV/°C
ANALOG INPUTS (INAP, INAN, INBP, INBN)						
Full-Scale Input Voltage Range	V _{FSR}	T _A = +25°C (Note 2)	1375	1475	1625	mV _{P-P}
Full-Scale Range Temperature Drift				150		ppm/°C
Common-Mode Input Range	V _{CM}			0.8		V
Differential Input Capacitance	C _{IN}			3		pF
Differential Input Resistance	R _{IN}			1.8		kΩ
Full-Power Analog Bandwidth	FPBW			800		MHz
REFERENCE (REFA, REFB, REFADJA, REFADJB)						
Reference Output Voltage	V _{REF_}	T _A = +25°C, REFADJ_ = AGND	1.18	1.24	1.30	V
Reference Temperature Drift				65		ppm/°C
REFADJ_ Input High Voltage	V _{REFADJ_}	Used to disable the internal reference	AV _{CC} - 0.1			V
SAMPLING CHARACTERISTICS						
Maximum Sampling Rate	f _{SAMPLE}		125			MHz
Minimum Sampling Rate	f _{SAMPLE}			40		MHz

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = OV_{CC} = +1.8V$, $AGND = OGND = 0$, $f_{SAMPLE} = 125MHz$, differential input and differential sine-wave clock signal, $0.1\mu F$ capacitors on REFA and REFB, internal reference, digital output differential $R_L = 100\Omega$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Pulse-Width Low	t_{CL}	Figure 5 (Note 3)	2		20	ns
Clock Pulse-Width High	t_{CH}	Figure 5 (Note 3)	2		20	ns
Clock Duty Cycle		Set by clock-management circuit		40 to 60		%
Aperture Delay	t_{AD}	Figures 5, 11		340		ps
Aperture Jitter	t_{AJ}	Figure 11		0.15		PS_{RMS}
CLOCK INPUTS (CLKP, CLKN)						
Differential Clock Input Amplitude		(Note 3)	200	500		mV _{P-P}
Clock Input Common-Mode Voltage	V_{CLKCM}			1.15 ± 0.25		V
Clock Differential Input Resistance	R_{CLK}	$T_A = +25^\circ C$ (Note 3)		10 $\pm 25\%$		$k\Omega$
Clock Differential Input Capacitance	C_{CLK}			3		pF
DYNAMIC CHARACTERISTICS (at -1dBFS) (Note 4)						
Signal-to-Noise Ratio	SNR	$f_{IN} = 10MHz$	65.2	67.7		dB
		$f_{IN} = 65MHz$	65.2	67.5		
		$f_{IN} = 100MHz$		67		
		$f_{IN} = 200MHz$		65.3		
Effective Number of Bits	ENOB	$f_{IN} = 10MHz$	10.5	11		Bits
		$f_{IN} = 65MHz$	10.5	10.9		
		$f_{IN} = 100MHz$		10.8		
		$f_{IN} = 200MHz$		10.6		
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 10MHz$	65	67.6		dB
		$f_{IN} = 65MHz$	65	67.4		
		$f_{IN} = 100MHz$		66.8		
		$f_{IN} = 200MHz$		65.1		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 10MHz$	72	88		dBc
		$f_{IN} = 65MHz$	72	86		
		$f_{IN} = 100MHz$		85		
		$f_{IN} = 200MHz$		80		
Worst Harmonic (HD2 or HD3)		$f_{IN} = 10MHz$		-88	-72	dBc
		$f_{IN} = 65MHz$		-86	-72	
		$f_{IN} = 100MHz$		-85		
		$f_{IN} = 200MHz$		-80		
Two-Tone Intermodulation Distortion	TTIMD	$f_{IN1} = 29MHz$ at -7dBFS $f_{IN2} = 31MHz$ at -7dBFS		-92		dBc
		$f_{IN1} = 97MHz$ at -7dBFS $f_{IN2} = 100MHz$ at -7dBFS		-90		

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = OV_{CC} = +1.8V$, $AGND = OGND = 0$, $f_{SAMPLE} = 125MHz$, differential input and differential sine-wave clock signal, $0.1\mu F$ capacitors on REFA and REFB, internal reference, digital output differential $R_L = 100\Omega$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CHANNEL CROSSTALK AND CHANNEL MATCHING SPECIFICATIONS						
Channel Isolation		$f_{IN} = 200MHz$, $A_{IN} = -1dBFS$		90		dB
LVC MOS LOGIC INPUTS (CLKDIV, \bar{T}/BA, \bar{T}/BB)						
Input High Voltage	V_{IH}		$0.8 \times OV_{CC}$			V
Input Low Voltage	V_{IL}			$0.2 \times OV_{CC}$		V
Input Capacitance				2		pF
LVDS DIGITAL OUTPUTS (DA0P/N-DA11P/N, DB0P/N-DB11P/N, ORAP/N, ORBP/N, DCOP/N)						
Differential Output Voltage	I_{VODI}		225		490	mV
Output Offset Voltage	V_{OS}		1.125		1.310	V
OUTPUT TIMING CHARACTERISTICS						
CLK to Data Propagation Delay	t_{PDL}	Figure 5 (Note 3)		1.7		ns
CLK to DCO Propagation Delay	t_{CPDL}	Figure 5 (Note 3)		5.2		ns
DCO to Data Propagation Delay	$t_{PDL} - t_{CPDL}$	(Note 3)	3.7	4.4	5.2	ns
LVDS Output Rise Time	t_{RL}	20% to 80%, $C_L = 5pF$		350		ps
LVDS Output Fall Time	t_{FL}	20% to 80%, $C_L = 5pF$		350		ps
Output Data Pipeline Delay	$t_{LATENCY}$	Figure 5		11		Clock Cycles
POWER REQUIREMENTS						
Analog Supply Voltage Range	AV_{CC}		1.71	1.8	1.89	V
Output Supply Voltage Range	OV_{CC}		1.71	1.8	1.89	V
Analog Supply Current	I_{AVCC}	$f_{IN} = 10MHz$		600	725	mA
Output Supply Current	I_{OVCC}	$f_{IN} = 10MHz$		120	160	mA
Analog Power Dissipation	P_{DISS}	$f_{IN} = 10MHz$		1.3	1.6	W
Power-Supply Rejection Ratio	PSRR	(Note 5)		1		mV/V

Note 1: Values at $T_A = +25^\circ C$ to $+85^\circ C$ are guaranteed by production test. Values at $T_A < +25^\circ C$ are guaranteed by design and characterization.

Note 2: Static linearity and offset parameters are computed from a best-fit straight line through the code transition points. The full-scale range (FSR) is defined as $4095 \times$ slope of the line.

Note 3: Parameter guaranteed by design and characterization; $T_A = -40^\circ C$ to $+85^\circ C$.

Note 4: ENOB and SINAD are computed from a curve fit.

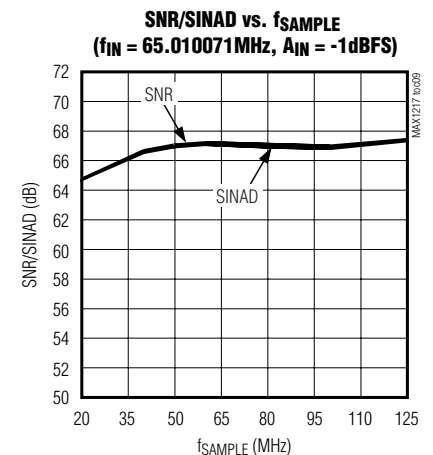
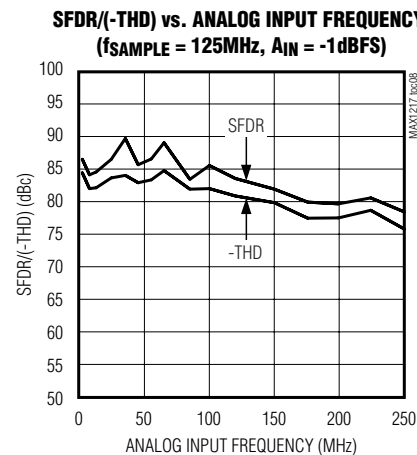
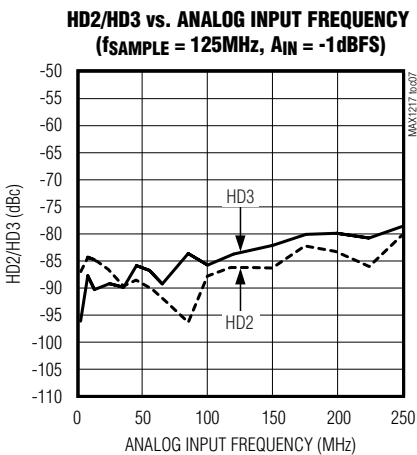
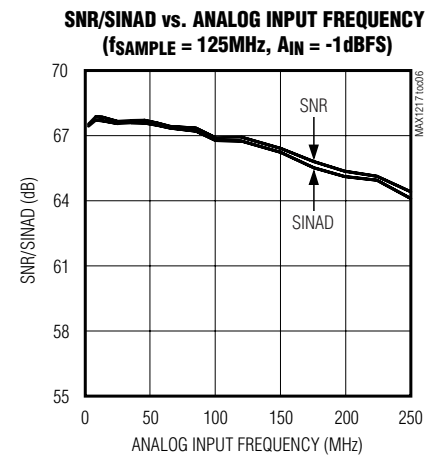
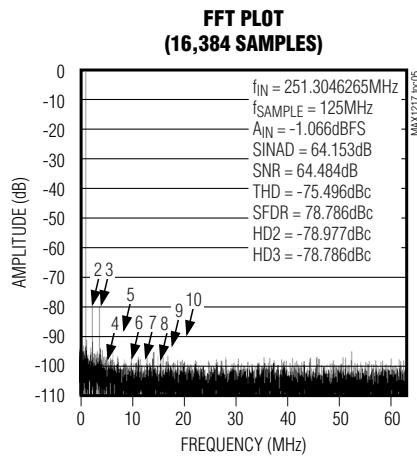
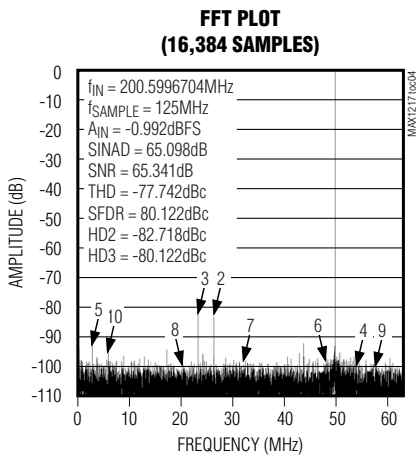
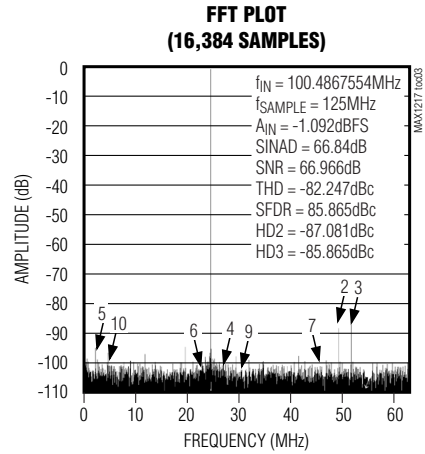
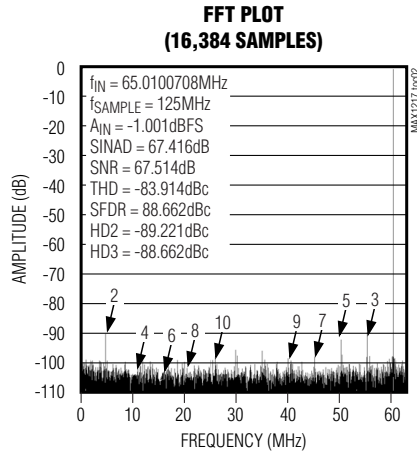
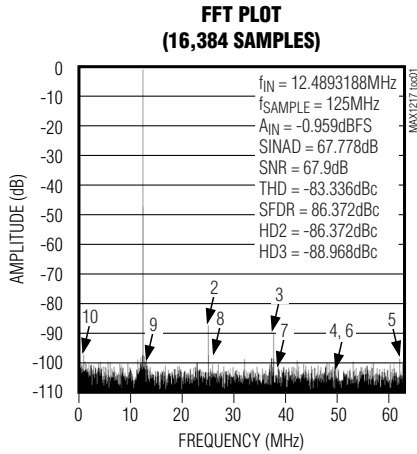
Note 5: PSRR is measured with the analog and output supplies connected to the same potential.

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

標準動作特性

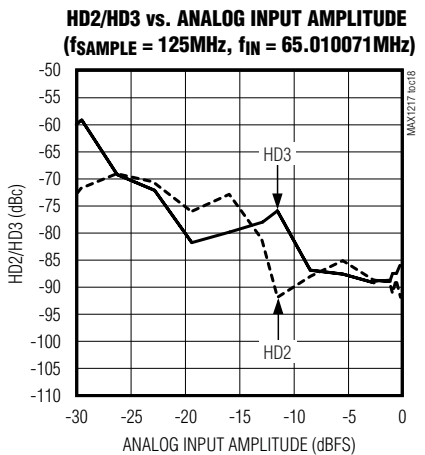
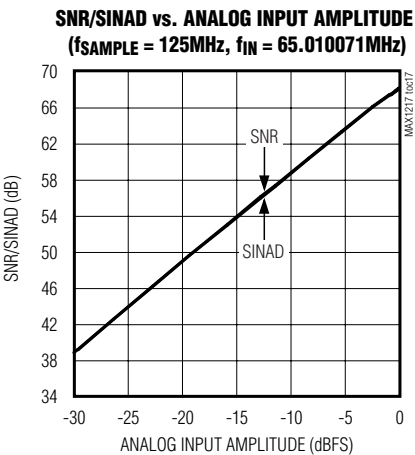
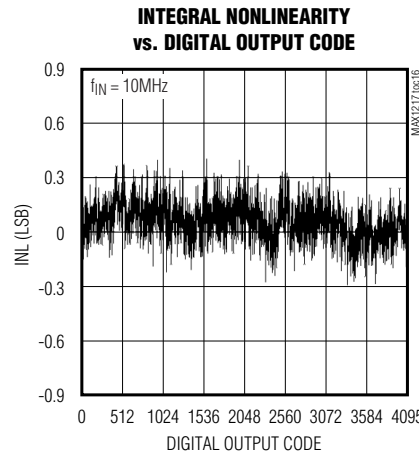
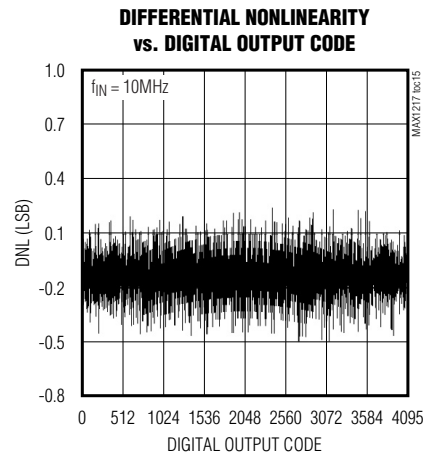
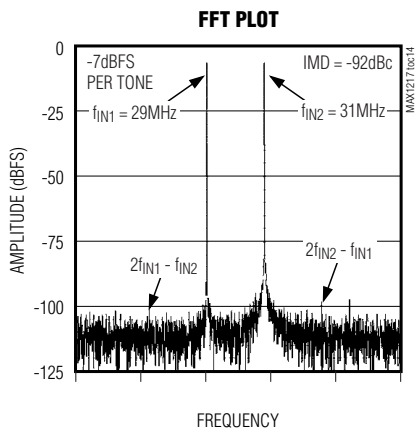
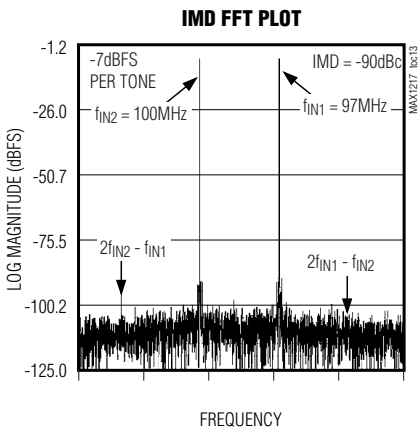
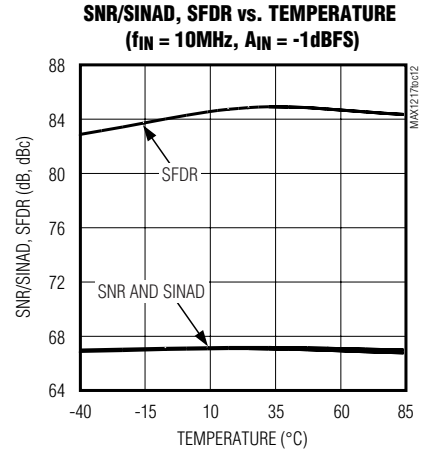
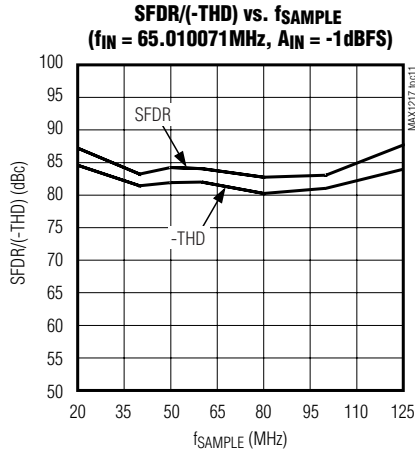
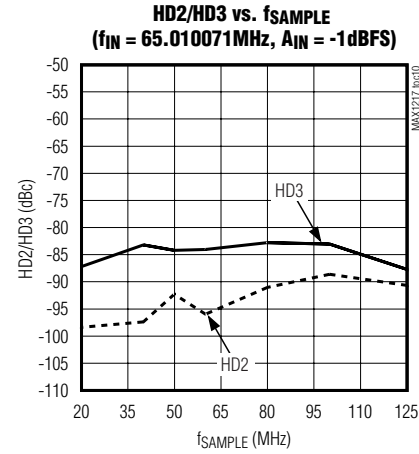
($V_{CC} = OV_{CC} = +1.8V$, $f_{SAMPLE} = 125MHz$, differential input and differential sine-wave clock, $0.1\mu F$ capacitors on REFA and REFB, digital output differential $R_L = 100\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

標準動作特性(続き)

($V_{CC} = OV_{CC} = +1.8V$, $f_{SAMPLE} = 125MHz$, differential input and differential sine-wave clock, $0.1\mu F$ capacitors on REFA and REFB, digital output differential $R_L = 100\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



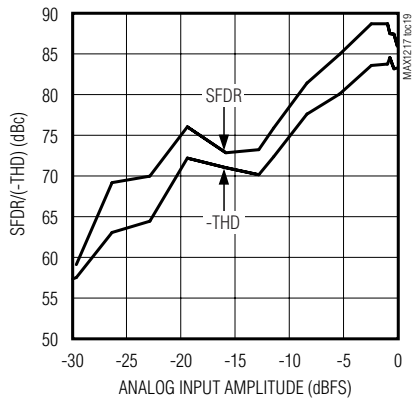
ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

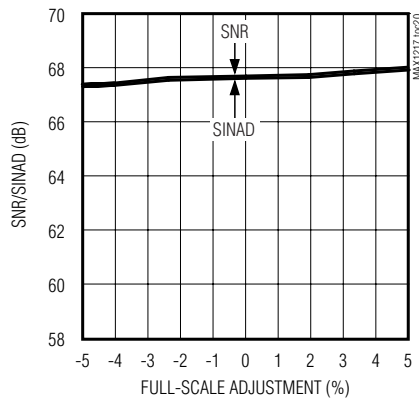
標準動作特性(続き)

($A_{VCC} = OV_{CC} = +1.8V$, $f_{SAMPLE} = 125MHz$, differential input and differential sine-wave clock, $0.1\mu F$ capacitors on REFA and REFB, digital output differential $R_L = 100\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

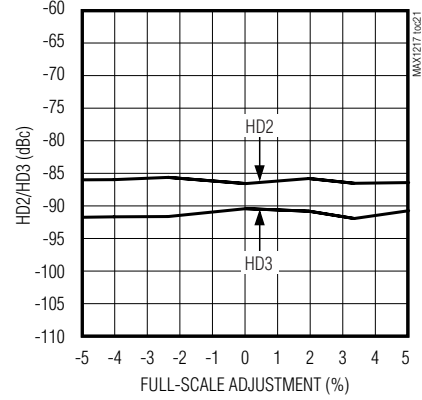
SFDR/(-THD) vs. ANALOG INPUT AMPLITUDE
($f_{SAMPLE} = 125MHz$, $f_{IN} = 65.010071MHz$)



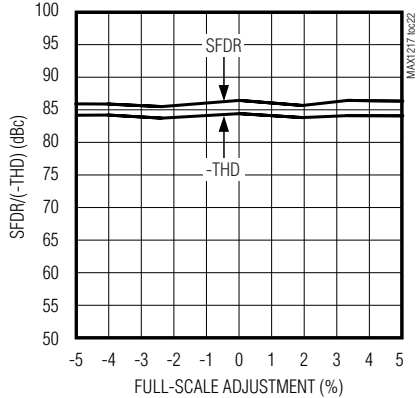
SNR/SINAD vs. % FS ADJUSTMENT
($f_{SAMPLE} = 125MHz$, $f_{IN} = 12.5MHz$, $A_{IN} = -1dBFS$)



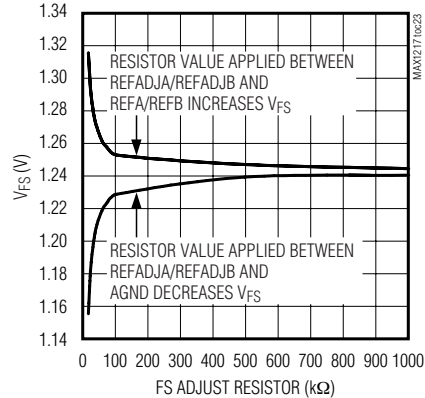
HD2/HD3 vs. % FS ADJUSTMENT
($f_{SAMPLE} = 125MHz$, $f_{IN} = 12.5MHz$, $A_{IN} = -1dBFS$)



SFDR/(-THD) vs. % FS ADJUSTMENT
($f_{SAMPLE} = 125MHz$, $f_{IN} = 12.5MHz$, $A_{IN} = -1dBFS$)



FS VOLTAGE vs. ADJUST RESISTOR



ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

端子説明

端子	名称	機能
1	REFA	チャンネルAリファレンス入力/出力。REFADJAをローに駆動するとチャンネルAの1.24Vリファレンス出力。REFADJAをハイに駆動するとチャンネルAの外部リファレンス入力。内部と外部のいずれのリファレンスに対しても、0.1 μ FのコンデンサをREFAとAGNDの間に接続してください。
2	REFADJA	チャンネルAリファレンス調整入力。REFADJAとAGNDの間(FSRを縮小)、またはREFADJAとREFAの間(FSRを拡大)に抵抗器または調整用ポテンショメータを接続すると、フルスケール範囲を調整することができます。REFADJAをAV _{CC} に接続すると、外部リファレンスによって内部リファレンスがオーバドライブされます。REFADJAをAGNDに接続すると、内部リファレンスによってデータコンバータのフルスケール範囲を決定することができます。「内部バンドギャップリファレンスを使用したFSRの調整」の項をご覧ください。
3, 5, 8, 11, 14, 18, 21, 23, 26, 28, 30, 33, 93, 96, 99, 100	AGND	アナログコンバータのグラウンド
4, 9, 10, 15, 16, 17, 22, 27, 29, 31, 94, 95	AV _{CC}	アナログ電源電圧。最適なデカップリング結果を得るために、AV _{CC} を0.1 μ FのコンデンサでAGNDにバイパスしてください。基板のデカップリングの強化に利用してください。「グラウンド、バイパス、および基板レイアウトに関して」の項をご覧ください。
6	INAP	正アナログ入力A。チャンネルAに対する正アナログ入力。
7	INAN	負アナログ入力A。チャンネルAに対する負アナログ入力。
12	CLKP	真のクロック入力。LVDS対応入力レベルをCLKPに印加してください。
13	CLKN	相補クロック入力。LVDS対応入力レベルをCLKNに印加してください。
19	INBN	負アナログ入力B。チャンネルBに対する負アナログ入力。
20	INBP	正アナログ入力B。チャンネルBに対する正アナログ入力。
24	REFADJB	チャンネルBリファレンス調整入力。REFADJBとAGNDの間(FSRを縮小)、またはREFADJBとREFAの間(FSRを拡大)に抵抗器または調整用ポテンショメータを接続すると、フルスケール範囲を調整することができます。REFADJBをAV _{CC} に接続すると、外部リファレンスによって内部リファレンスがオーバドライブされます。REFADJBをAGNDに接続すると、内部リファレンスによってデータコンバータのフルスケール範囲を決定することができます。「内部バンドギャップリファレンスを使用したFSRの調整」の項をご覧ください。
25	REFB	チャンネルBリファレンス入力/出力。REFADJBをローに駆動するとチャンネルBの1.24Vリファレンス出力。REFADJBをハイに駆動するとチャンネルBの外部リファレンス入力。内部と外部のいずれのリファレンスに対しても、0.1 μ FのコンデンサをREFBとAGNDの間に接続してください。
32	CLKDIV	クロック分周器入力。CLKDIVは入力クロック周波数を基準としてサンプリング周波数を制御します。CLKDIVはプルダウン抵抗器を内蔵しています。 CLKDIV = 0 : サンプリング周波数は入力クロック周波数の1/2です。 CLKDIV = 1 : サンプリング周波数は入力クロック周波数に等しくなります。
34, 62, 92	OV _{CC}	出力段電源電圧。OV _{CC} を0.1 μ FのコンデンサでAGNDにバイパスしてください。基板のデカップリングの強化に利用してください。「グラウンド、バイパス、および基板レイアウトに関して」の項をご覧ください。
35	ORBP	チャンネルB真の差動オーバーレンジ出力
36	ORBN	チャンネルB相補差動オーバーレンジ出力
37	DB11P	チャンネルB真の差動デジタル出力ビット11 (MSB)
38	DB11N	チャンネルB相補差動デジタル出力ビット11 (MSB)
39	DB10P	チャンネルB真の差動デジタル出力ビット10
40	DB10N	チャンネルB相補差動デジタル出力ビット10
41	DB9P	チャンネルB真の差動デジタル出力ビット9
42	DB9N	チャンネルB相補差動デジタル出力ビット9

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

端子説明(続き)

端子	名称	機能
43	DB8P	チャンネルB真の差動デジタル出力ビット8
44	DB8N	チャンネルB相補差動デジタル出力ビット8
45	DB7P	チャンネルB真の差動デジタル出力ビット7
46	DB7N	チャンネルB相補差動デジタル出力ビット7
47	DB6P	チャンネルB真の差動デジタル出力ビット6
48	DB6N	チャンネルB相補差動デジタル出力ビット6
49	DB5P	チャンネルB真の差動デジタル出力ビット5
50	DB5N	チャンネルB相補差動デジタル出力ビット5
51	DB4P	チャンネルB真の差動デジタル出力ビット4
52	DB4N	チャンネルB相補差動デジタル出力ビット4
53	DB3P	チャンネルB真の差動デジタル出力ビット3
54	DB3N	チャンネルB相補差動デジタル出力ビット3
55	DB2P	チャンネルB真の差動デジタル出力ビット2
56	DB2N	チャンネルB相補差動デジタル出力ビット2
57	DB1P	チャンネルB真の差動デジタル出力ビット1
58	DB1N	チャンネルB相補差動デジタル出力ビット1
59	DB0P	チャンネルB真の差動デジタル出力ビット0 (LSB)
60	DB0N	チャンネルB相補差動デジタル出力ビット0 (LSB)
61, 63	OGND	出力段グラウンド。出力回路のグラウンド接続部。
64	DCON	相補LVDSデジタルクロック出力。ADCのサンプリング周波数と同じ周波数を出力します。
65	DCOP	真のLVDSデジタルクロック出力。ADCのサンプリング周波数と同じ周波数を出力します。
66	DA0N	チャンネルA相補差動デジタル出力ビット0 (LSB)
67	DA0P	チャンネルA真の差動デジタル出力ビット0 (LSB)
68	DA1N	チャンネルA相補差動デジタル出力ビット1
69	DA1P	チャンネルA真の差動デジタル出力ビット1
70	DA2N	チャンネルA相補差動デジタル出力ビット2
71	DA2P	チャンネルA真の差動デジタル出力ビット2
72	DA3N	チャンネルA相補差動デジタル出力ビット3
73	DA3P	チャンネルA真の差動デジタル出力ビット3
74	DA4N	チャンネルA相補差動デジタル出力ビット4
75	DA4P	チャンネルA真の差動デジタル出力ビット4
76	DA5N	チャンネルA相補差動デジタル出力ビット5
77	DA5P	チャンネルA真の差動デジタル出力ビット5
78	DA6N	チャンネルA相補差動デジタル出力ビット6
79	DA6P	チャンネルA真の差動デジタル出力ビット6
80	DA7N	チャンネルA相補差動デジタル出力ビット7
81	DA7P	チャンネルA真の差動デジタル出力ビット7
82	DA8N	チャンネルA相補差動デジタル出力ビット8
83	DA8P	チャンネルA真の差動デジタル出力ビット8
84	DA9N	チャンネルA相補差動デジタル出力ビット9

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

端子説明(続き)

端子	名称	機能
85	DA9P	チャンネルA真の差動デジタル出力ビット9
86	DA10N	チャンネルA相補差動デジタル出力ビット10
87	DA10P	チャンネルA真の差動デジタル出力ビット10
88	DA11N	チャンネルA相補差動デジタル出力ビット11 (MSB)
89	DA11P	チャンネルA真の差動デジタル出力ビット11 (MSB)
90	ORAN	チャンネルA相補差動オーバーレンジ出力
91	ORAP	チャンネルA真の差動オーバーレンジ出力
97	\bar{T}/BB	チャンネルBの出力形式選択入力。 \bar{T}/BB は、MAX1217のチャンネルBのデジタル出力形式を制御します。 \bar{T}/BB はプルダウン抵抗器を内蔵しています。 $\bar{T}/BB = 1$: バイナリ出力形式 $\bar{T}/BB = 0$: 2の補数出力形式
98	\bar{T}/BA	チャンネルAの出力形式選択入力。 \bar{T}/BA は、MAX1217のチャンネルAのデジタル出力形式を制御します。 \bar{T}/BA はプルダウン抵抗器を内蔵しています。 $\bar{T}/BA = 1$: バイナリ出力形式 $\bar{T}/BA = 0$: 2の補数出力形式
—	EP	エクスポーズドパッド。エクスポーズドパッドは、デバイスの裏側にあり、AGNDに接続する必要があります。

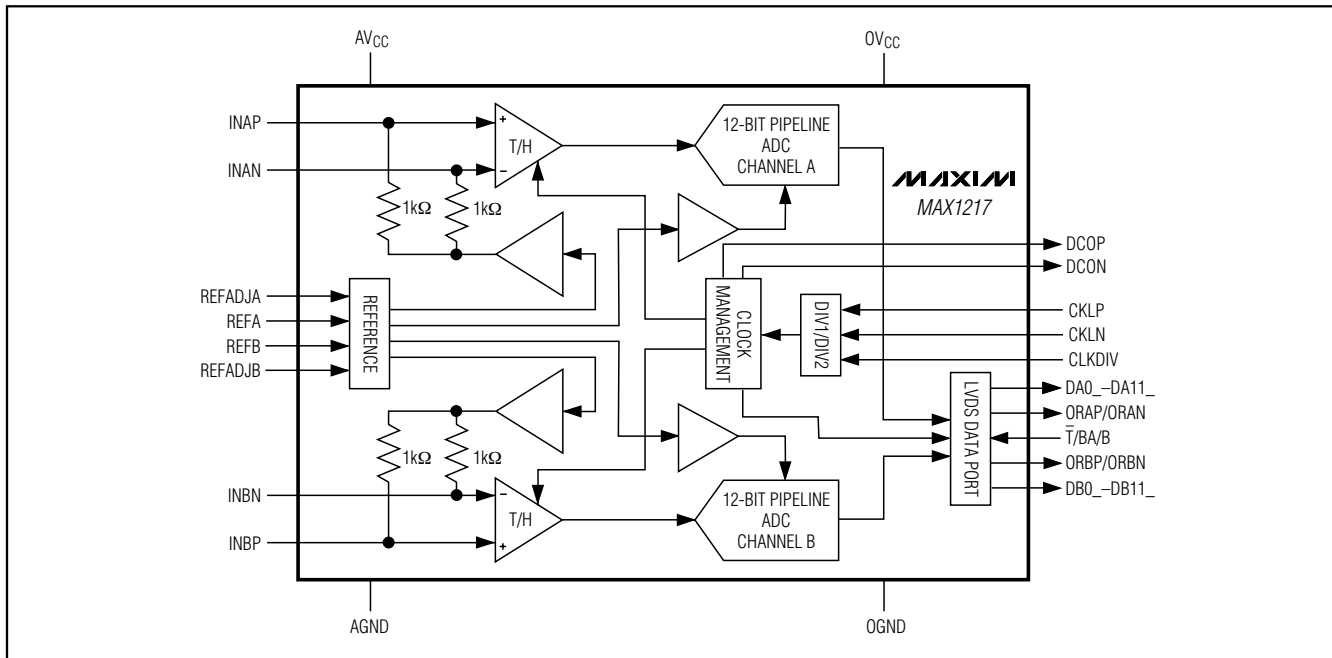


図1. ブロック図

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

詳細

動作原理

MAX1217では、完全差動パイプラインアーキテクチャが採用されており、これによって高速変換、最適な精度、および直線性が可能となり、しかも消費電力が最小限に抑えられます。

正入力(INAP、INBP)および負/相補アナログ入力(INAN、INBN)はともに、0.8Vのコモンモード電圧を中心として、各々が $\pm V_{FS}/4$ の差動アナログ入力電圧振幅を受け付け、差動フルスケール信号振幅が1.475V_{p-p} (typ)となります。各組の入力(INAP、INANとINBP、INBN)は、差動サンプリングクロック信号がハイに遷移するとサンプリングされます。クロック分周モードを使用すると、差動サンプリングクロックが2回ハイに遷移するたびにアナログ入力はサンプリングされます。

パイプラインの各コンバータ段は、その入力電圧をデジタル出力コードに変換します。最終段を除いたすべての段で、入力電圧とデジタル出力コードの間の誤差が増幅され、次のパイプライン段に入ります。デジタル誤差補正は、各パイプライン段においてADCコンパレータのオフセットを補償し、ミッシングコードがないことを保証します。その結果は、LVDS対応出力レベルを備える選択可能な2の補数またはオフセットバイナリ出力形式による12ビットパラレルデジタル出力ワードです(図1)。

アナログ入力

MAX1217は、各入力チャンネルに対して2組の完全差動入力(INAP、INANとINBP、INBN)を備えています。差動入力は、偶数次高調波を適切に除去し、信号がアナログ段を順次通過するときAC性能を向上させることができます。MAX1217のアナログ入力は0.8Vのコモンモード電圧に自己バイアスされ、1.475V_{p-p}の差動入力電圧振幅を実現します(図2)。2組の入力は1k Ω の抵抗器によって自己バイアスされ、その結果、差動入力抵抗は2k Ω (typ)となります。最高のダイナミック性能を達成するためには、AC結合構成でMAX1217アナログ入力を駆動してください。「トランス結合、差動アナログ入力駆動」の項をご覧ください。

内蔵リファレンス回路

MAX1217は、1.24Vのバンドギャップリファレンス回路(図3)を内蔵し、2個の内部リファレンススケールリングアンプとの組合せによって各チャンネルのFSRを決定します。REFAとREFBを0.1 μ FのコンデンサでAGNDにバイパスしてください。利得誤差の補償または各チャンネルのFSRの拡大を行うために、外付け抵抗器(100k Ω の調整用ポテンショメータなど)をREFADJA/REFADJBとAGNDの間、またはREFADJA/REFADJBとREFA/REFBの間に追加して、各チャンネルに対するバンドギャップリファレンスの電圧を独立に調整してください。この

方法の詳細については、「アプリケーション情報」の項をご覧ください。

各チャンネルの内部リファレンスをディセーブルするためには、リファレンス調整入力(REFADJA、REFADJB)をAV_{CC}に接続してください。コンバータのフルスケールを設定するためには、安定した外部リファレンスをチャンネルのリファレンス入力/出力(REFA、REFB)に印加してください。チャンネルの内部リファレンスをイネーブルするためには、該当するリファレンス調整入力(REFADJA、REFADJB)をAGNDに接続してください。

クロック入力(CLKP、CLKN)

最良のダイナミック性能を得るためには、MAX1217のクロック入力をLVDS対応クロックで駆動してください。ADCのノイズ性能の悪化を回避するためには、クロック信号源を高品質、低位相ノイズとする必要があります。クロック入力(CLKP、CLKN)は、内部で1.15Vにバイアスされ、0.5V_{p-p} (typ)の差動信号振幅を受け付けます(図4)。CLKPとCLKNを適切に駆動する方法に関する回路の詳細については、「差動、AC結合、LVPECL対応クロック入力」の項をご覧ください。推奨はしませんが、クロック入力はシングルエンド入力信号も受け付けます。

MAX1217は、クロック管理回路(デューティサイクルイコライザ)も内蔵しています。この回路によって、入力CLKPとCLKNに印加されるクロック信号が処理され、50%のデューティサイクルクロック信号が保証されます。このため、入力クロックソースのデューティサイクル変動に対するコンバータ性能の影響が小さくなります。クロックデューティサイクルイコライザを外部からオフにすることはできず、デバイスがデータシートの仕様を満たすためには、40MHzを超えるクロック周波数を必要とします。

MAX1217にクロックが入力されなければ、デジタル出力の状態が不規則に変化し、その結果、消費電流が最大40mAまで増加します。

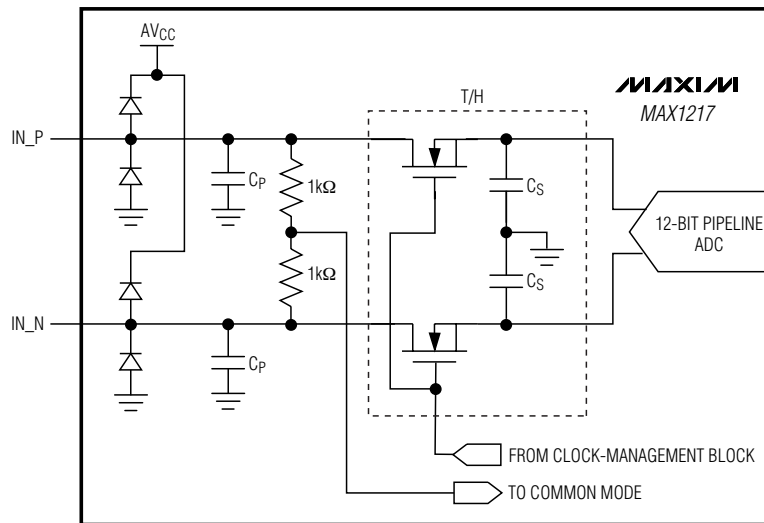
クロック出力(DCON、DCOP)

MAX1217は差動クロック出力を備えており、これを使ってデジタル出力データを外部のラッチやレシーバによってラッチすることができます。また、クロック出力を使うとFPGAなどの外付けデバイスをADCに同期させることができます。DCOPとDCONはLVDS対応電圧レベルの差動出力です。CLKP (CLKN)の立上り(立下り)エッジとDCOP (DCON)の立上り(立下り)エッジの間には5.2ns (typ)の遅延があります。タイミングの詳細については図5をご覧ください。

2分周クロック制御

MAX1217は、クロック制御ライン(CLKDIV)を備え、システム内のクロックジッタの低減を支援します。ADCの内蔵2分周クロック分周器をイネーブルするためには、CLKDIVをOGNDに接続してください。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC



C_S IS THE SAMPLING CAPACITANCE
 C_P IS THE PARASITIC CAPACITANCE - 1pF

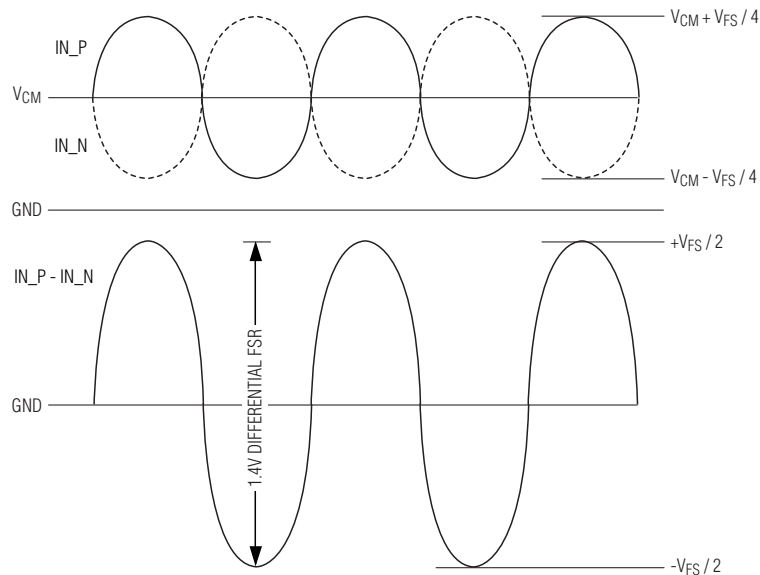


図2. 簡略化アナログ入力構造および許容入力電圧範囲

この接続によって、データはADCの入カクロックレートの1/2で更新されます。CLKDIVは、プルダウン抵抗器を内蔵し、この2分周モードを必要とするアプリケーションの場合は開放状態とすることができます。CLKDIVをOV_{CC}に接続すると、2分周モードがディセーブルされます。

システムタイミング要件

図5は、クロック入力と出力、アナログ入力、サンプリングイベント、およびデータ出力の関係を示します。

MAX1217は、CLKP (CLKN)の立上り(立下り)エッジでサンプリングを行います。出力データは、次のDCOP

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

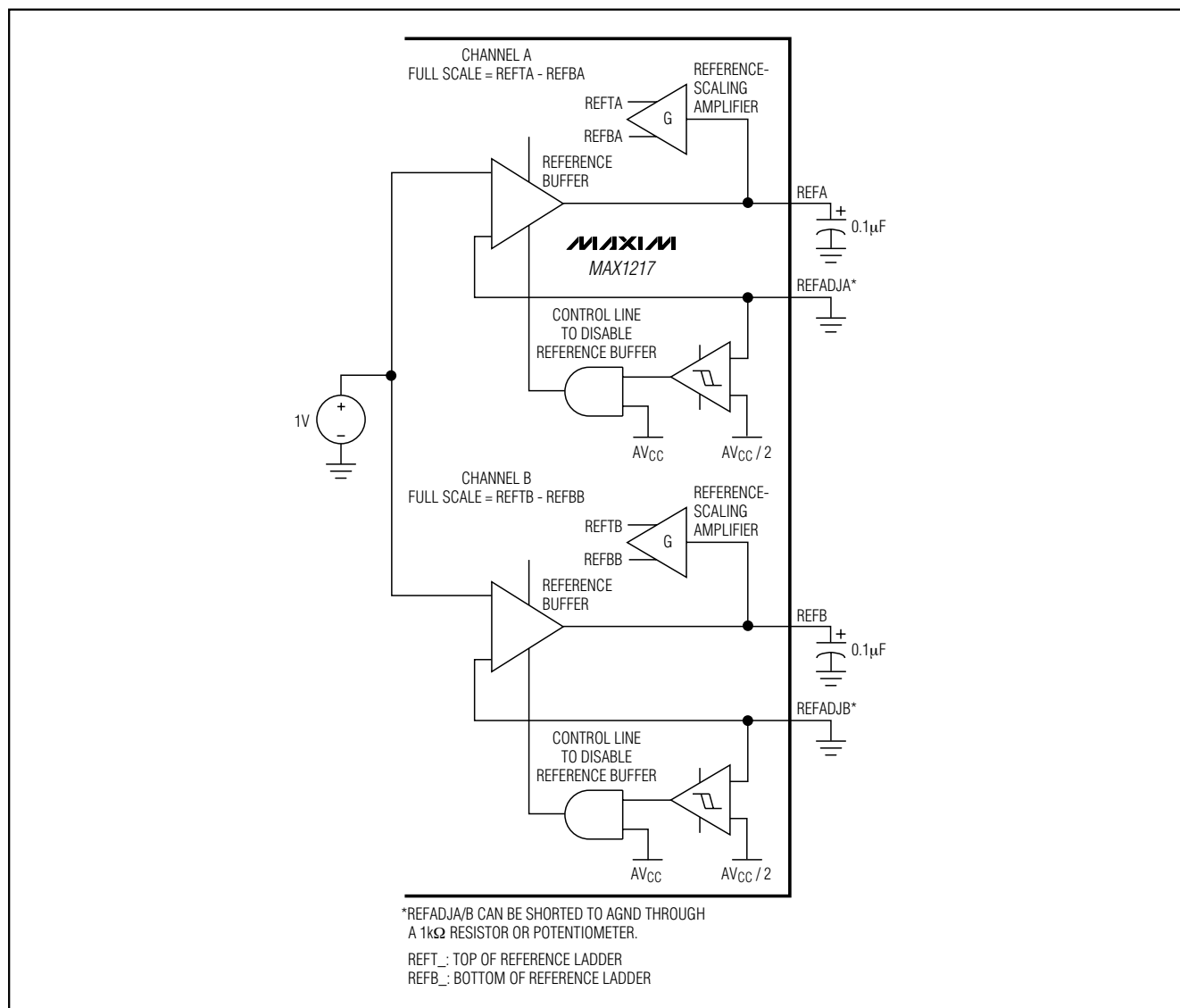


図3. 簡略化リファレンスアーキテクチャ

(DCON)の立上り(立下り)エッジで有効となりますが、内部に11クロックサイクルの遅延があります。

デジタル出力(DA0P/N~DA11P/N、DB0P/N~DB11P/N、ORAP/N、ORBP/N、DCOP/N)および制御入力 \bar{T}/BA 、 \bar{T}/BB

デジタル出力DA0P/N~DA11P/N、DB0P/N~DB11P/N、ORAP/N、ORBP/N、およびDCOP/NはLVDS対応で、DA0P/N~DA11P/NとDB0P/N~DB11P/Nのデータはバイナリまたは2の補数形式で表されます(表1)。 \bar{T}/BA 、 \bar{T}/BB 制御ラインはLVCMOS対

応入力であり、この入力によって各チャンネルの出力形式を選択することができます。 \bar{T}/BA 、 \bar{T}/BB をローに駆動するとデータは2の補数形式で、また \bar{T}/BA 、 \bar{T}/BB をハイに駆動するとデータはオフセットバイナリ形式でチャンネルの12ビットパラレルバスの各々に出力されます。 \bar{T}/BA 、 \bar{T}/BB は、プルダウン抵抗器を内蔵しており、2の補数出力形式のみを使用するアプリケーションでは無接続状態にすることもできます。すべてのLVDS出力は、ほぼ1.2Vのコモンモード電圧を中心に0.371V (typ)の電圧振幅を備え、各伝送ラインペア(真と相補)の遠端で100Ω終端する必要があります。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

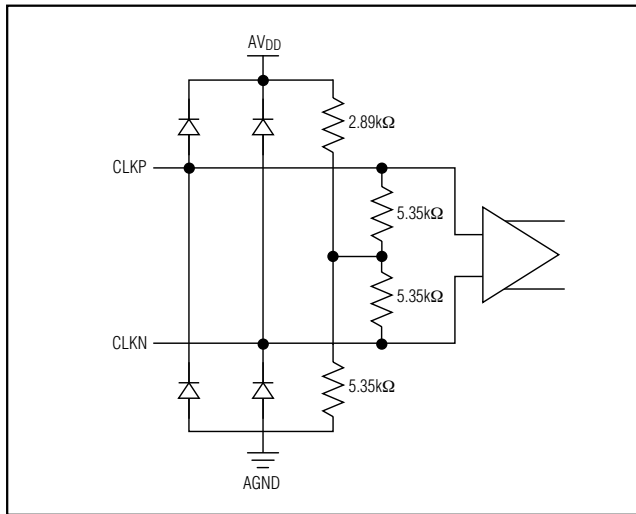


図4. 簡略化クロック入力構造

LVDS出力に給電するためには、 $0V_{CC}$ に1.71V～1.89Vの電源電圧を印加してください。

MAX1217は、各チャネルの「アウトオブレンジ」状態に対してフラグを設定する1組の差動出力ペア(ORAP/NとORBP/N)をさらに備えています。「アウトオブレンジ」とは、正のフルスケールを上回るか、または負のフルスケールを下回る状態です。各チャネルのアウトオブレンジ状態は、ORAPまたはORBP (ORANまたはORBN)がハイ(ロー)に遷移することによって識別されます。

注：差動LVDS出力アーキテクチャによって、電源プレーンとグランドプレーンに対するシングルエンドトランジエントが抑制されますが、デジタル出力の容量性負荷はできる限り小さくする必要があります。

比較的大きな負荷の駆動時にはADCのデジタル出力にLVDSバッファを使用すると、全体性能を向上し、システムタイミングの制約が緩和されます。

アプリケーション情報

内部バンドギャップリファレンスを使用したFSR調整

MAX1217は、各チャネルの10% ($\pm 5\%$)のフルスケール調整範囲をサポートしています。チャネルのフルスケール信号範囲を縮小するためには、チャネル(REFADJA、REFADJB)のリファレンス調整入力とAGNDとの間に13k Ω ～1M Ω の範囲の外付け抵抗器を追加してください。チャネル(REFADJA、REFADJB)のリファレンス調整入力とその各リファレンス入力/出力(REFA、REFB)との間に可変抵抗器、ポテンショメータ、または固定抵抗器を追加すると、チャネルのFSRが拡大します。図6aは、2つの可能な構成とMAX1217の全体的なフルスケール範囲調整に対する影響を示します。各チャネルのFSRは、他のチャネルのFSRとは無関係に許容範囲の任意の値に設定することができます。バンドギャップリファレンスに対する内部利得レギュレーションループの不安定性を避けるために、13k Ω 未満の抵抗値を使用しないでください。一連の抵抗値から得られるFSRの結果については、図6bをご覧ください。

差動、AC結合、LVPECL対応クロック入力

MAX1217のダイナミック性能は、使用されるクロックソースが非常にクリーンであるかどうか依存します。クロックソースの位相ノイズフロアは、SNR性能に悪影響を与えます。クロック信号源のスプリアス信号も、

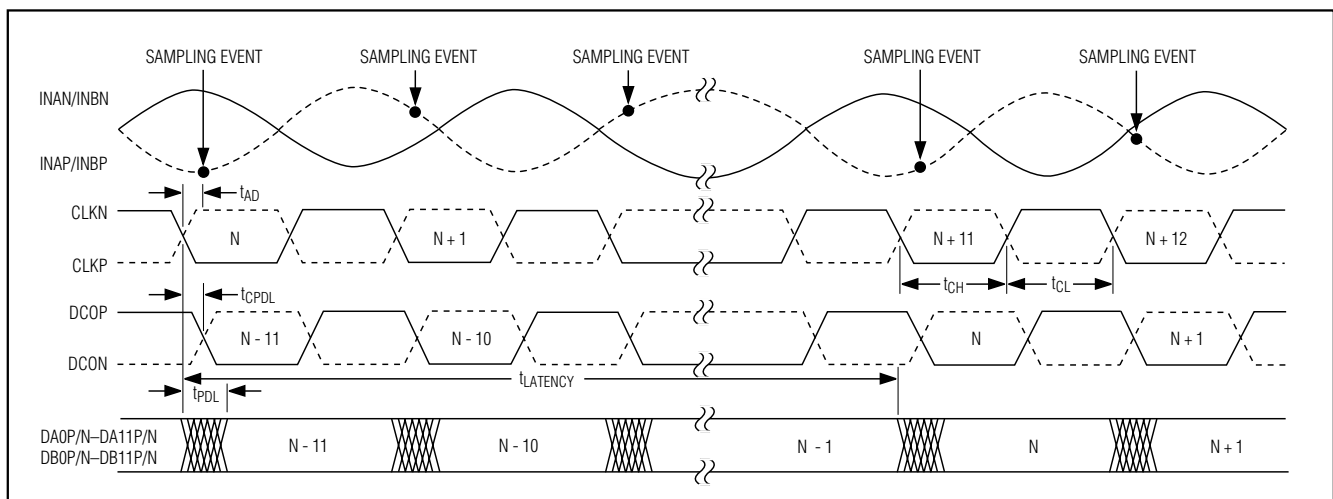


図5. システムと出力のタイミング図

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

表1. MAX1217のデジタル出力コード

INAP/INBP ANALOG INPUT VOLTAGE LEVEL	INAN/INBN ANALOG INPUT VOLTAGE LEVEL	OUT-OF-RANGE ORAP/ORBP (ORAN/ORBN)	BINARY DIGITAL OUTPUT CODE (DA11P/N-DA0P/N; DB11P/N-DB0P/N)	TWO'S-COMPLEMENT DIGITAL OUTPUT CODE (DA11P/N-DA0P/N; DB11P/N-DB0P/N)
$> V_{CM} + V_{FS} / 4$	$< V_{CM} - V_{FS} / 4$	1 (0)	1111 1111 1111 (exceeds +FS, OR set)	0111 1111 1111 (exceeds +FS, OR set)
$V_{CM} + V_{FS} / 4$	$V_{CM} - V_{FS} / 4$	0 (1)	1111 1111 1111 (+FS)	0111 1111 1111 (+FS)
V_{CM}	V_{CM}	0 (1)	1000 0000 0000 or 0111 1111 1111 (FS / 2)	0000 0000 0000 or 1111 1111 1111 (FS / 2)
$V_{CM} - V_{FS} / 4$	$V_{CM} + V_{FS} / 4$	0 (1)	0000 0000 0000 (-FS)	1000 0000 0000 (-FS)
$< V_{CM} + V_{FS} / 4$	$> V_{CM} - V_{FS} / 4$	1 (0)	0000 0000 0000 (exceeds -FS, OR set)	1000 0000 0000 (exceeds -FS, OR set)

ADCのダイナミックレンジに影響を与えます。望ましいMAX1217のクロック制御方式は、LVDSまたはLVPECL対応入力レベルの差動方式です。

これらのロジックファミリ的高速データ遷移速度は、クロック入力回路の遷移の不確実性を最小にしてSNR性能を向上させます。これを実現するためには、低位相ノイズの50Ωで逆終端されたクロック信号源をMAX9388などの高速差動レシーバにAC結合してください(図7)。このレシーバは、データコンバータのクロック入力を駆動するために必要なLVPECL出力レベルを生成します。

トランス結合、差動アナログ入力駆動

MAX1217は、完全差動入力信号の場合に最良のSFDRとTHD性能を提供します。差動入力モードでは、各チャネル(INAP/NとINBP/N)への入力はバランスが保たれているため偶数次の高調波は少なく、チャネル入力の各々はシングルエンド構成に比べて1/2の信号振幅しか必要としません。

広帯域RFトランスは、シングルエンド信号を完全差動信号に変換する卓越したソリューションを提供します。1:1のトランス(Mini-CircuitのADT1-1WTなどの)二次側を独立した2個の24.9Ω抵抗器で終端してください。ダイナミック性能が低下しても支障がなければ、高いソースインピーダンス値を採用することができます。不平衡の影響を最小にするには、許容差の厳しい(0.5%)抵抗器を使用してADCのダイナミックレンジを最大にしてください。この構成では、トランスの寄生成分の影響が緩和されることによってADCのTHDおよびSFDR性能が最適化されます。しかし、プリント基板がもたらすシャント容量とADCの寄生容量とが組み合わされたソースインピーダンスによって、ADCのフルパワー入力帯域幅が制限されます。

高入力周波数(100MHzを超える)でTHDおよびSFDR性能をさらに向上させるためには、2番目のトランス(図8)をシングルエンドから差動への変換トランスと直列に配置してください。この2番目のトランスは高周波における偶数次高調波の増大を緩和します。

シングルエンド、AC結合アナログ入力

推奨はしませんが、MAX1217をシングルエンドモードで使用することができます(図9)。アナログ信号を、0.1μFのコンデンサを通じて各チャネルの正入力(INAP、INBP)にAC結合するとともに49.9Ωの抵抗器でAGNDに終端してください。各チャネルの負入力(INAN、INBN)を0.1μFのコンデンサと直列の24.9Ωの抵抗器でAGNDに終端してください。シングルエンドモードでは、入力範囲がデバイスのFSRの約1/2に制限され、通常はダイナミック性能が低下します。

グラウンド、バイパス、および基板レイアウトに関して

MAX1217には、高速データコンバータに適した基板レイアウト設計法が必要です。このADCは、個別のアナログ電源と出力電源で動作します。アナログ電源と出力電源の入力は、1.71V~1.89Vの入力電圧範囲を受け付けます。AVCCとOVCCの両方に1つの電源から給電することができますが、アナログ電源回路に結合する可能性のある出力スイッチング電流に起因する性能低下を抑制するために、別の電源を使用してください。アナログ電源と出力電源(AVCCとOVCC)は、プリント基板に入る場所に対応するグラウンド(AGND、OGND)に接続したフェライトビーズとコンデンサからなる個別回路を使って分離してください。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

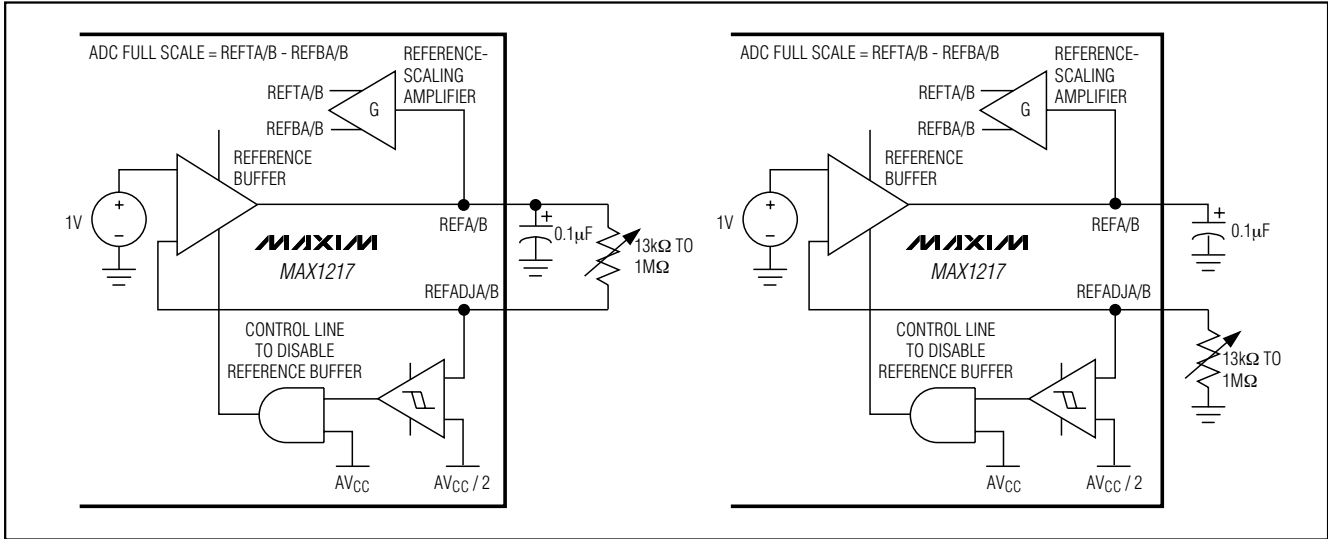


図6a. ADCのフルスケール範囲を調整するための回路案

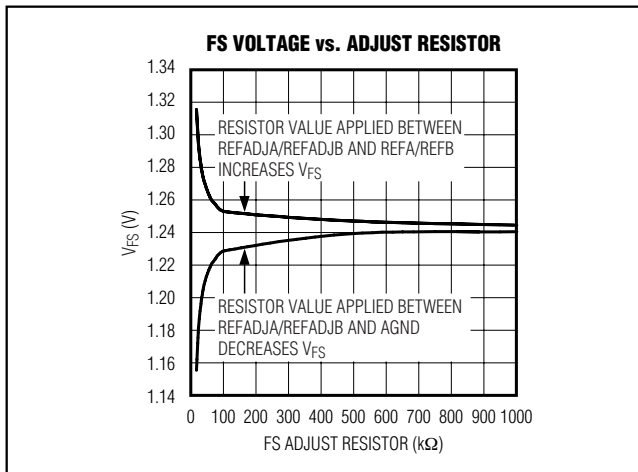


図6b. FS調整範囲対FS調整抵抗

最適な性能を得るためには、47µFのタンタルコンデンサおよび10µFと1µFのセラミックコンデンサの並列接続からなる独立した回路を使って各電源を供給してください。さらに、このADCでは、各電源入力を個別の0.1µFのセラミックコンデンサでバイパスする必要があります(図10)。これらのコンデンサは、ADCの電源入力にじかに配置するか、またはMAX1217にできる限り近接させて配置してください。表面実装コンデンサを選択し、面積を節約してインダクタンスを最小限に抑えるために、できればコンバータと同じ側に配置してください。同じ側に近接させて配置することが不可能な場合は、これらのバイパスコンデンサを、ピアを介してプリント基板の裏側に配置し配線してください。

独立したグランドプレーンと電源プレーンを持つ多層基板は、最高レベルの信号品質を実現します。ADCのパッケージ上のアナロググランドと出力グランドの物理位置を整合させるために、分割グランドプレーンを配置してください。ノイズの多い出力グランド電流がアナロググランドプレーンに干渉しないように、2つのグランドプレーンを1点で接続してください。グランドに達するまでに長い距離を流れるダイナミック電流は、大きくて有害なグランドループを形成します。グランドループはコンバータのアナログフロントエンドに再結合して入力ノイズを悪化させる場合があり、スプリアスアクティビティを増大させ、ノイズ性能の低下を招きます。

グランドプレーンがノイズの多い出力システムグランドから十分に分離されている場合は、すべてのAGND接続部に同一のグランドプレーンを共有させることができます。アナログ入力への出力信号の結合を最小限に抑制するために、出力バスをアナログ入力回路から十分に分離してください。出力ノイズ結合の影響をさらに抑制するために、グランドリターンをピアをレイアウト全体に配置して、出力スイッチング電流をADCの敏感なアナログ部から遠ざけてください。この方式は、分割グランドプレーンを必要とせず、アナログフロントエンドとデジタル出力の間に十分多くのグランド接続部を配置することによって実現することができます。

MAX1217は100ピンTQFP-EPパッケージ(パッケージコード: C100E-6)で提供されるため、設計の柔軟性と放熱性が向上し、ADCのAC性能が最適化されます。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

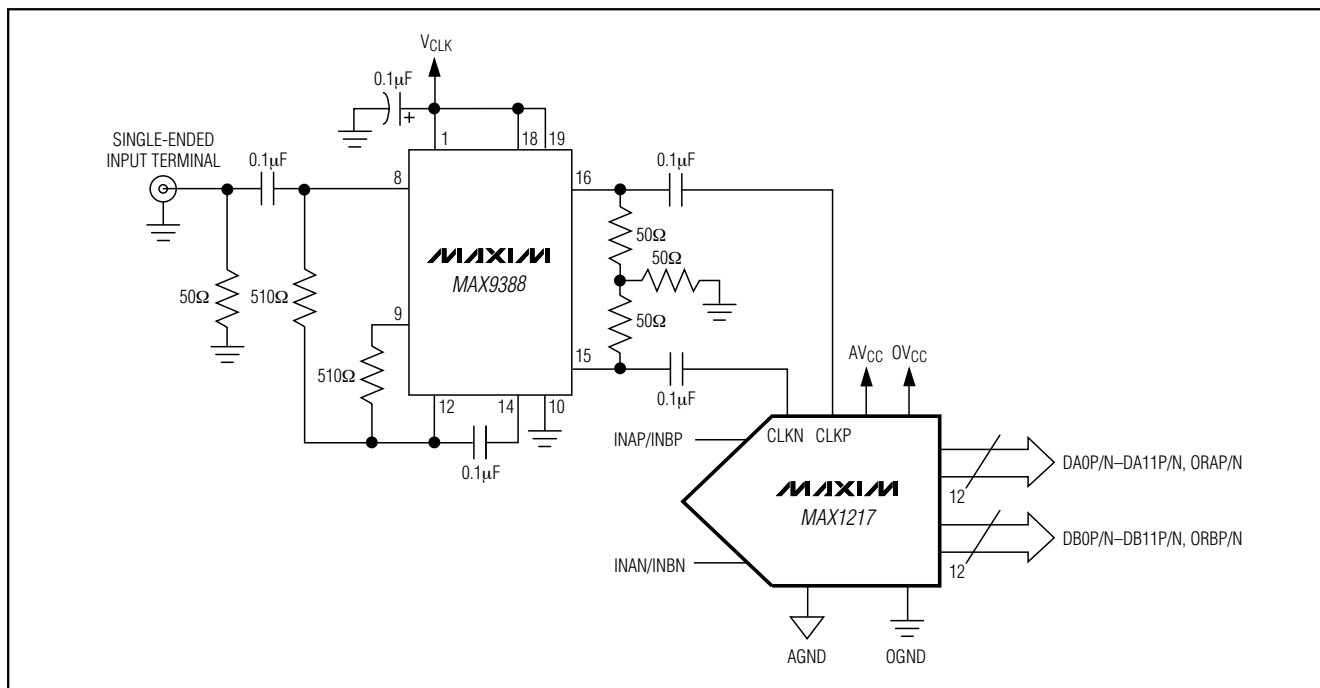


図7. 差動、AC結合、LVPECL対応クロック入力構成

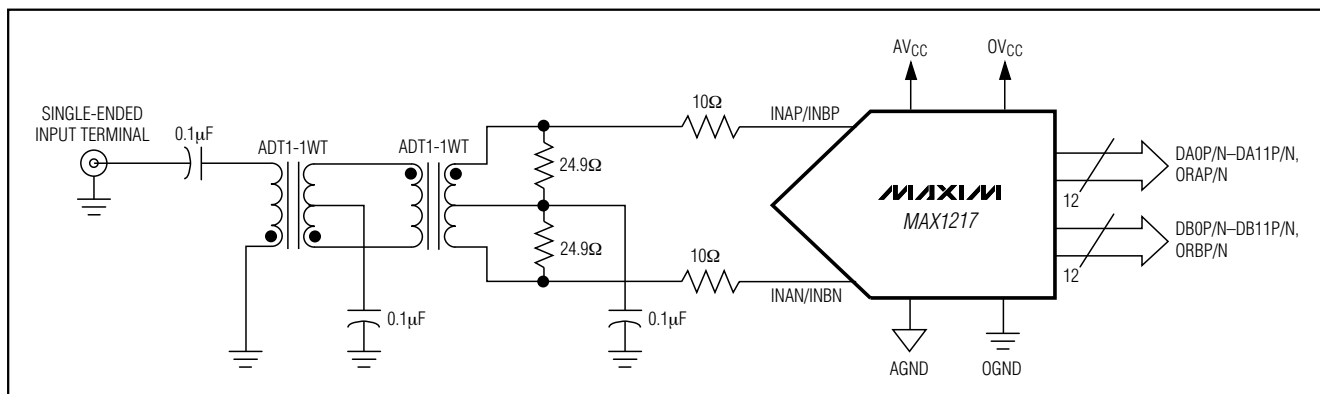


図8. バックトゥバックトランスおよび二次側終端を有するアナログ入力構成

エクスポートパッド(EP)はAGNDに半田付けする必要があります。

データコンバータのダイはパッケージのプリント基板側に面し、EPリードフレームの裏面をパッケージの底面に露出して、EPリードフレームに接続されています。このため、標準的な赤外線(IR)フロー半田付け技術で

基板にパッケージを確実に接続することができます。

熱効率は、MAX1217に関してエクスポートパッド付きパッケージを選択する要因の1つです。エクスポートパッドによって熱効率が向上し、ADCとプリント基板のアナロググランド層との堅固なグランド接続が実現します。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

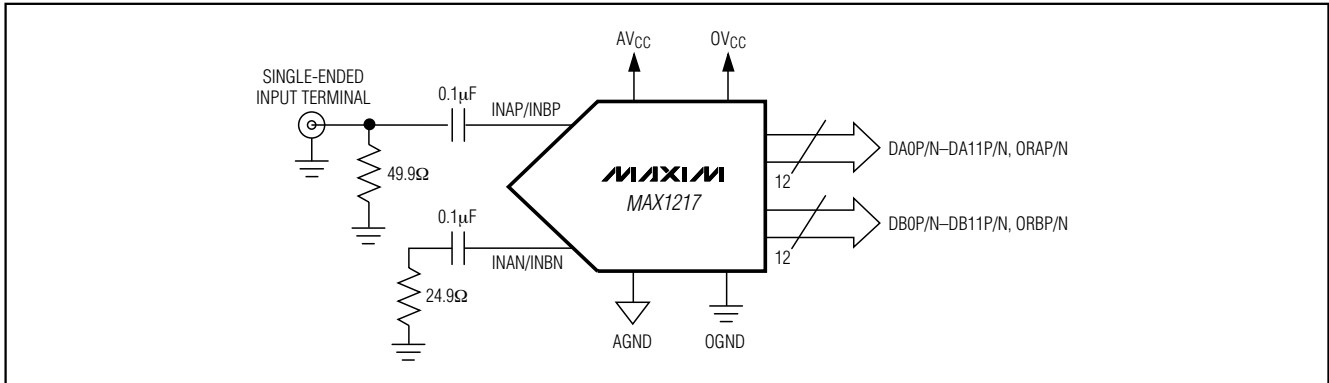


図9. シングルエンド、AC結合アナログ入力構成

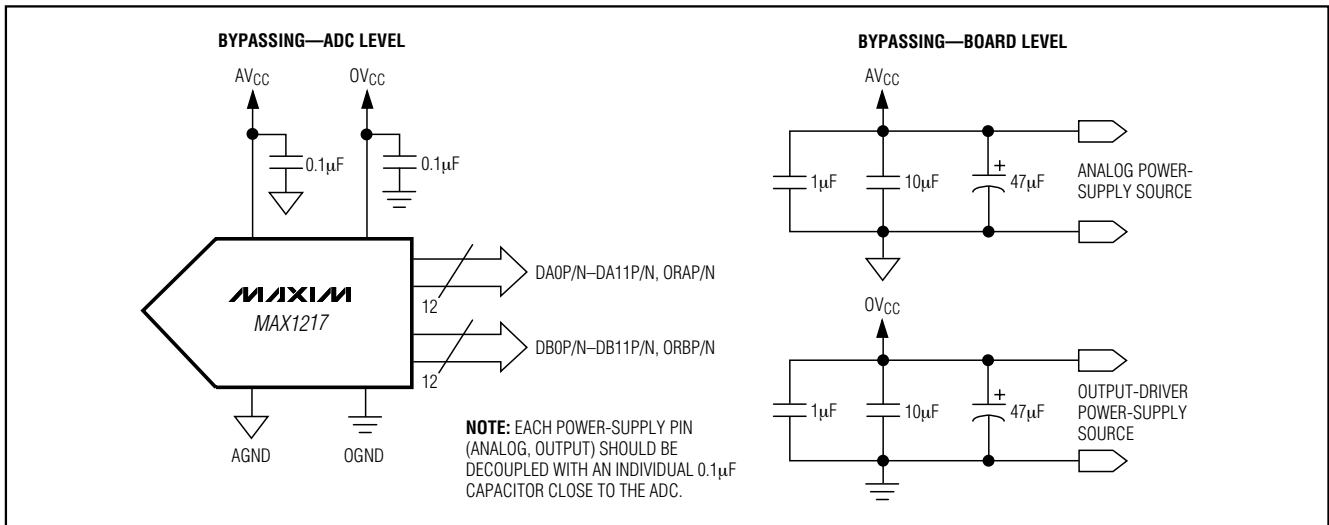


図10. MAX1217に関するグラウンド、バイパス、およびデカップリングの推奨回路

高速、高分解能データコンバータのデジタル出力トレースは、注意して配置してください。トレース長をできる限り短くしてデジタルトレースに関する容量性負荷を最小限(5pF以下)に抑制し、ADCのノイズに敏感なアナログ部への結合を防止してください。ADCからLVDS負荷までのLVDS出力トレースは、100Ωの特性インピーダンスの差動ラインとして配線してください。

スタティックパラメータの定義

Integral Nonlinearity (積分非線形性) (INL)

積分非直線性は、実際の伝達関数上の値の直線からの偏差です。この直線は、最適な直線フィット、または

オフセットおよび利得誤差をゼロにした後に伝達関数の両端点を結んだ直線です。ただし、MAX1217に関する静的直線性パラメータは、入力周波数が10MHzのヒストグラム法を使って測定されます。

Differential Nonlinearity (微分非線形性) (DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。-1 LSBまたはそれ以上のDNL誤差の仕様は、ミッシングコードのない単調増加伝達関数を保証するものです。MAX1217のDNL仕様は、入力トーンが10MHzのヒストグラム法を使って測定されます。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125MSPS ADC

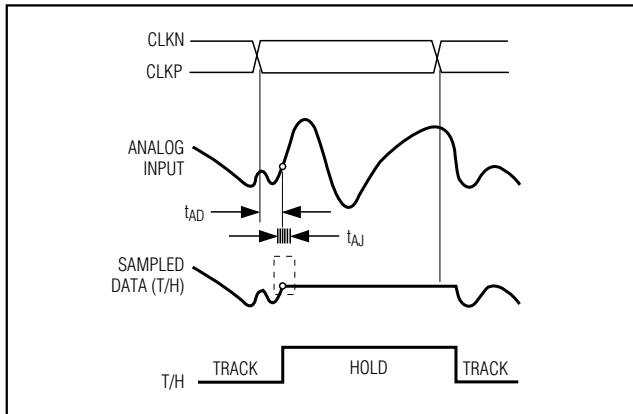


図11. アパーチャジッタ/遅延の仕様

ダイナミックパラメータの定義

Aperture Jitter (アパーチャジッタ)

図11はアパーチャジッタ(t_{AJ})を示します。これは、アパーチャ遅延におけるサンプル間の変動です。

Aperture Delay (アパーチャ遅延)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプリングが行なわれる瞬間までの時間です(図11)。

Signal-to-Noise Ratio (信号対ノイズ比) (SNR)

デジタルサンプルから完全に再現される波形の場合、理論上の最大SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)の比です。理想的な理論上の最小アナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によってしかに求められます。

$$SNR_{dB}[\max] = 6.02dB \times N + 1.76dB$$

実際には、量子化ノイズ以外にも、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズ源があります。SNRはRMS信号とRMSノイズの比を取ることによって求められます。RMSノイズは、基本波、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

Signal-to-Noise Plus Distortion (信号対ノイズ + 歪み) (SINAD)

SINADは、RMS信号とすべてのスペクトル成分(基本波とDCオフセットを除く)の比を取ることによって求められます。MAX1217の場合、SINADは曲線フィットから計算されます。

Spurious-Free Dynamic Range (スプリアスフリーダイナミックレンジ) (SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と次に大きいノイズまたは高調波の歪み成分のRMS値(DCオフセットを除く)との比です。SFDRは通常、基本波(キャリア)周波数振幅に対してdBc単位で、またはADCのフルスケール範囲に対してdBFS単位で測定されます。

Intermodulation Distortion (相互変調歪み) (IMD)

IMDは、相互変調積のRMS和と2つ基本波入力トーンのRMS和との比です。これは次式で表されます。

$$IMD = 20 \times \log \left(\frac{\sqrt{V_{IM1}^2 + V_{IM2}^2 + \dots + V_{IMn}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

基本波入力トーンの振幅(V_1 と V_2)は、-7dBFSにおける値です。相互変調積は下記の周波数における出力スペクトルの振幅です。

- 2次相互変調積 (IM2) : $f_{IN1} + f_{IN2}$, $f_{IN2} - f_{IN1}$
- 3次相互変調積 (IM3) : $2f_{IN1} - f_{IN2}$, $2f_{IN2} - f_{IN1}$, $2f_{IN1} + f_{IN2}$, $2f_{IN2} + f_{IN1}$
- 4次相互変調積 (IM4) : $3f_{IN1} - f_{IN2}$, $3f_{IN2} - f_{IN1}$, $3f_{IN1} + f_{IN2}$, $3f_{IN2} + f_{IN1}$
- 5次相互変調積 (IM5) : $3f_{IN1} - 2f_{IN2}$, $3f_{IN2} - 2f_{IN1}$, $3f_{IN1} + 2f_{IN2}$, $3f_{IN2} + 2f_{IN1}$

Full-Power Bandwidth (フルパワー帯域幅)

-1dBFSのアナログ大入力信号がADCに印加され、デジタル変換結果の振幅が3dB低下するポイントまで入力周波数がスイープされます。-3dBポイントはADCのフルパワー入力帯域幅周波数として定義されます。

Offset Error (オフセット誤差)

理想的には、ミッドスケールのMAX1217の遷移がミッドスケールよりも0.5 LSBだけ上で起ります。オフセット誤差は、測定された遷移点と理想的な遷移点の間の偏差の大きさです。

Gain Error (利得誤差)

理想的には、正のフルスケールのMAX1217の遷移が正のフルスケールよりも1.5 LSBだけ下で起り、負のフルスケールの遷移が負のフルスケールよりも0.5 LSBだけ上で起ります。利得誤差は、測定された両遷移点の差から、理想的な遷移点の差を差し引いた値です。

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

Effective Number of Bits (有効ビット数) (ENOB)

ENOBは、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を表します。理想的なADCの誤差は、量子化ノイズのみから成ります。フルスケール正弦波入力波形に対するENOBは次式から計算されます。

$$\text{ENOB} = \left(\frac{\text{SINAD} - 1.76}{6.02} \right)$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_7$ は第2から第7までの高調波(HD2~HD7)の振幅です。

Total Harmonic Distortion (全高調波歪み) (THD)

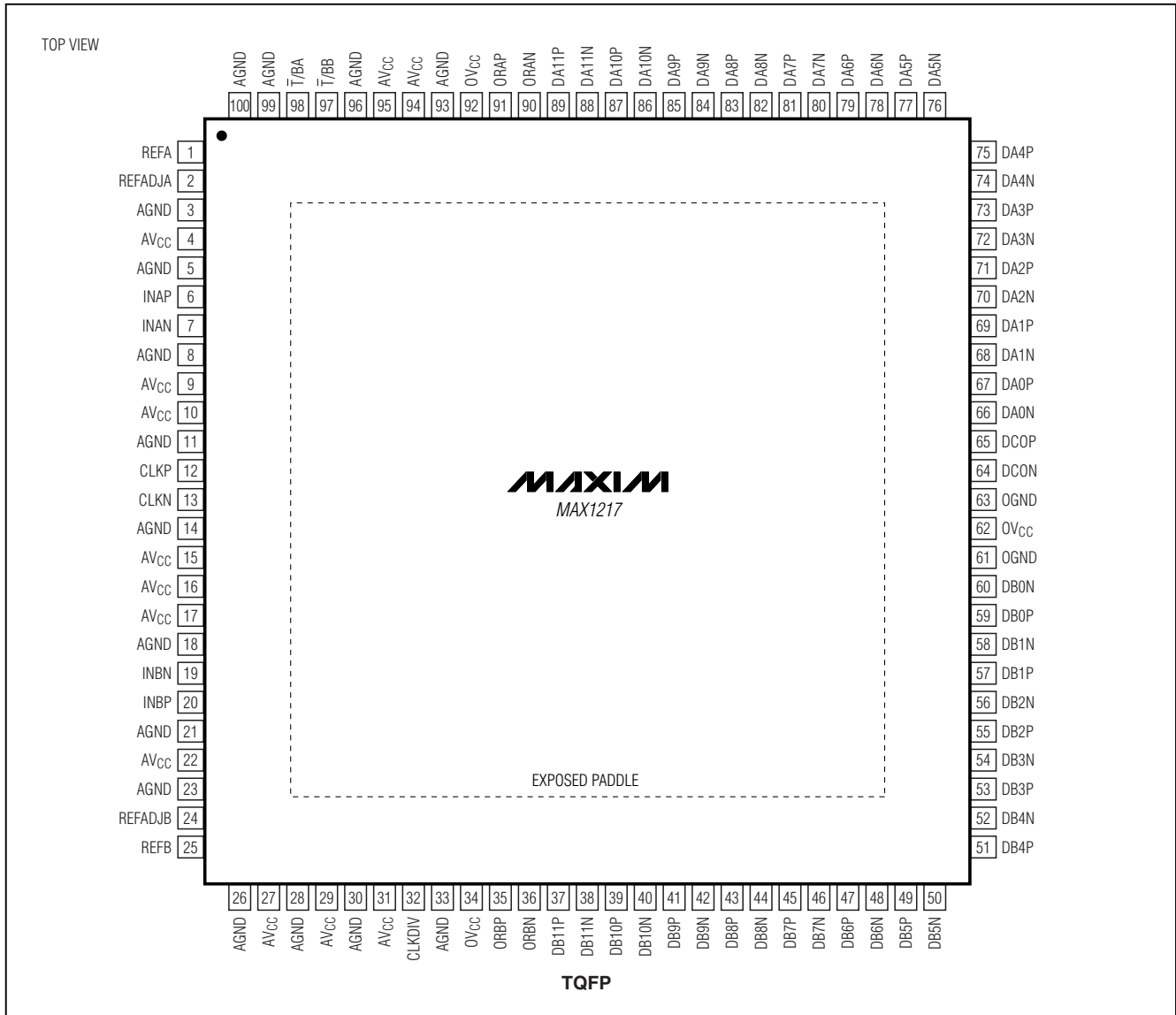
THDは、入力信号に含まれる最初の6つの高調波のRMS和と基本波そのものとの比です。これは、次式で表されます。

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2)}}{V_1} \right]$$

ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

MAX1217

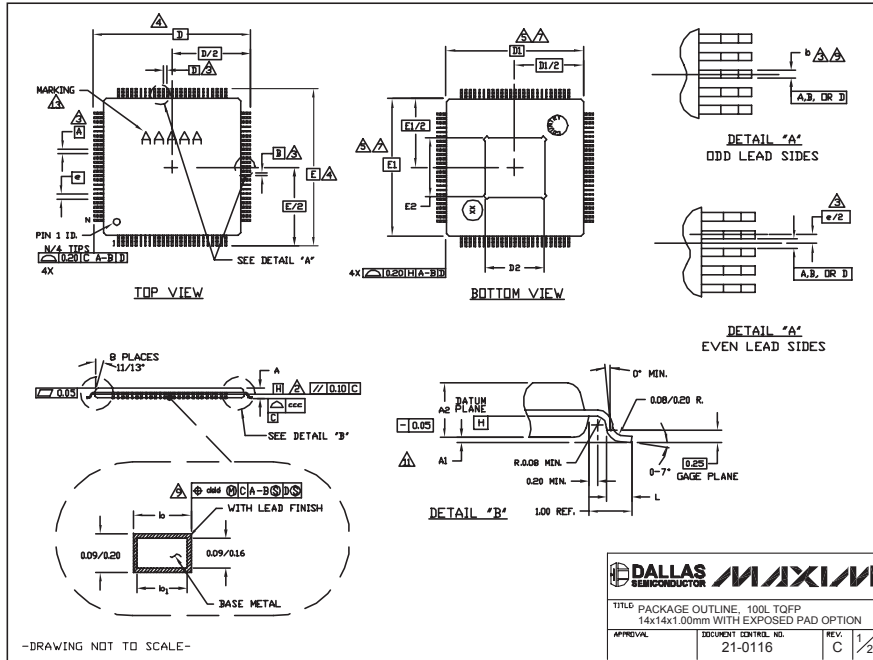
ピン配置



ブロードバンドアプリケーション用、 1.8V、デュアル、12ビット、125Msps ADC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



NOTES:

- ALL DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994.
- DATUM PLANE [H] LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DATUM [A-B] AND [D] TO BE DETERMINED AT CENTERLINE BETWEEN LEADS WHERE LEADS EXITS PLASTIC BODY AT DATUM PLANE [H].
- TO BE DETERMINED AT SEATING PLANE [C].
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
- "N" IS THE TOTAL NUMBER OF TERMINALS.
- THESE DIMENSIONS TO BE DETERMINED AT DATUM PLANE [H].
- THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15mm.
- DIMENSIONS b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- THIS OUTLINE CONFORMS TO JEDEC MS-026.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
- EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 0.05mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

ALL DIMENSIONS ARE IN MILLIMETERS				
	MIN.	NOM.	MAX.	NOTES
A			1.20	
A1	0.05		0.15	11
A2	0.95	1.00	1.05	
D		16.00 BSC.		4
D1		14.00 BSC.		7.8
E		16.00 BSC.		4
E1		14.00 BSC.		7.8
L	0.45	0.60	0.75	
N		100		
b		0.50 BSC.		
h	0.17	0.22	0.27	9
h1	0.17	0.20	0.23	
ccc			0.08	
ddd			0.08	

PKG. CODE	EXPOSED PAD VARIATIONS					
	E2		E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
CL00E-2	7.7	8.0	8.3	7.7	8.0	8.3
CL00E-3	6.2	6.5	6.8	6.2	6.5	6.8
CL00E-6	4.7	5.0	5.3	4.7	5.0	5.3

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR MAXIM

TITLE: PACKAGE OUTLINE, 100L TOFP
14x14x1.00mm WITH EXPOSED PAD OPTION

APPROVAL: _____ DOCUMENT CONTROL NO. 21-0116 REV. C 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

22 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.