

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

概要

MAX1204は、+5V(アナログ)及び+3V(デジタル)の混合電源電圧用に設計された10ビットデータ収集システムです。+5V単一アナログ電源又は±5Vデュアルアナログ電源で動作し、8チャンネルマルチプレクサ、内部トラック/ホールド及びシリアルインタフェースに高速変換及び低消費電力特性を兼ね備えています。

4線シリアルインタフェースは、外部ロジックを使用せずに直接SPI™/Microwire™機器に接続できます。シリアルストローブ出力により、TMS320ファミリのデジタル信号プロセッサに直接接続できます。MAX1204は、内部クロック又は外部シリアルインタフェースクロックを使用することにより、逐次比較型のアナログデジタル変換を行います。シリアルインタフェースは最大2MHzで動作します。

MAX1204は、内部4.096Vリファレンスと利得トリミングを容易にするリファレンスバッファアンプ及びデジタル出力の電源となるVLピンを備えています。出力ロジックレベル(3V、3.3V又は5V)は、このピンに印加される電圧によって決まります。

本製品は、ハード配線によるSHDNピン及びソフトウェア選択による2つのパワーダウンモードを備えています。シリアルインタフェースにアクセスすると自動的にパワーアップし、ターンオンが速いために変換と変換の間にシャットダウンできます。このため、ユーザは消費電流を最適化できます。変換と変換の間のパワーダウンを自由選択することにより、サンプリングレートが低い場合には消費電流を10µA以下に抑えることができます。

MAX1204は20ピンSSOP及びDIPパッケージで提供され、民生用、拡張及び軍用温度範囲のものが用意されています。

アプリケーション

- 5V/3V混合電源機器
- データ収集
- プロセス制御
- バッテリー駆動機器
- 医療機器

標準動作回路はデータシートの最後に記載されています。

SPIはMotorola, Inc.の商標です。

MicrowireはNational Semiconductor Corp.の商標です。

特長

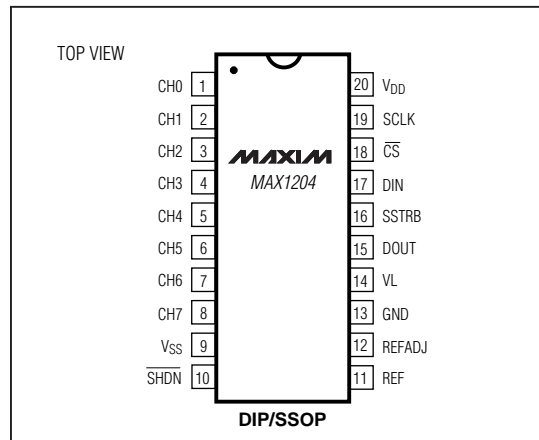
- ◆ 入力：8チャンネルシングルエンド又は4チャンネル差動
- ◆ 電源：+5V単一又は±5Vデュアル
- ◆ ユーザの調節可能な出力ロジックレベル(2.7V~5.25V)
- ◆ 低電力：1.5mA(動作モード)
2µA(パワーダウンモード)
- ◆ 内部トラック/ホールド
サンプリングレート：133kHz
- ◆ 内部4.096Vリファレンス
- ◆ 4線シリアルインタフェース：
SPI/Microwire/TMS320コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：
ソフトウェアで設定
- ◆ パッケージ：20ピンDIP/SSOP
- ◆ ピンコンパチブルの12ビットアップグレード：
MAX1202

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1204ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX1204BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX1204ACAP	0°C to +70°C	20 SSOP	±1/2
MAX1204BCAP	0°C to +70°C	20 SSOP	±1

型番はデータシートの最後に続きます。

ピン配置



5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
V _L	-0.3V to (V _{DD} + 0.3V)	Plastic DIP (derate 11.11mW/°C above +70°C)889mW
V _{SS} to GND	+0.3V to -6V	SSOP (derate 8.00mW/°C above +70°C)640mW
V _{DD} to V _{SS}	-0.3V to +12V	CERDIP (derate 11.11mW/°C above +70°C)889mW
CH0-CH7 to GND	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)	Operating Temperature Ranges	
CH0-CH7 Total Input Current	±20mA	MAX1204_C_P0°C to +70°C
REF to GND	-0.3V to (V _{DD} + 0.3V)	MAX1204_E_P-40°C to +85°C
REFADJ to GND	-0.3V to (V _{DD} + 0.3V)	MAX1204BMJP-55°C to +125°C
Digital Inputs to GND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range-60°C to +150°C
Digital Outputs to GND	-0.3V to (V _L + 0.3V)		
Digital Output Sink Current25mA		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, V_L = 2.7V to 3.6V; V_{SS} = 0V or -5V ±5%; f_{SCLK} = 2.0MHz, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); 4.7μF capacitor at REF; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			10			Bits
Relative Accuracy (Note 2)	INL	MAX1204A			±0.5	LSB
		MAX1204B			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1.0	LSB
Offset Error		MAX1204A			±1.0	LSB
		MAX1204B			±2.0	
Gain Error (Note 3)		MAX1204A			±1.0	LSB
		MAX1204B			±2.0	
Gain Temperature Coefficient		External reference, 4.096V			±0.8	ppm/°C
Channel-to-Channel Offset Matching					±0.1	LSB
DYNAMIC SPECIFICATIONS (10kHz sine-wave input, 4.096Vp-p, 133ksps, 2.0MHz external clock, bipolar input mode)						
Signal-to-Noise + Distortion Ratio	SINAD				66	dB
Total Harmonic Distortion (up to the 5th harmonic)	THD				-70	dB
Spurious-Free Dynamic Range	SFDR				70	dB
Channel-to-Channel Crosstalk		V _{IN} = 4.096Vp-p, 65kHz (Note 4)			-75	dB
Small-Signal Bandwidth		-3dB rolloff			4.5	MHz
Full-Power Bandwidth					800	kHz

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$ or $-5V \pm 5\%$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133kpsps); $4.7\mu F$ capacitor at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Conversion Time (Note 5)	t_{CONV}	Internal clock	5.5		10	μs
		External clock, 2MHz, 12 clocks/conversion	6			
Track/Hold Acquisition Time	t_{ACQ}		1.5			μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				1.7		MHz
External Clock-Frequency Range		External compensation mode, $4.7\mu F$	0.1		2.0	MHz
		Internal compensation mode (Note 6)	0.1		0.4	
		Used for data transfer only	0		2.0	
ANALOG INPUT						
Input Voltage Range, Single-Ended and Differential (Note 7)		Unipolar, $V_{SS} = 0V$			V_{REF}	V
		Bipolar, $V_{SS} = -5V$			$\pm V_{REF} / 2$	
Multiplexer Leakage Current		On/off leakage current, $V_{CH_} = \pm 5V$		± 0.01	± 1	μA
Input Capacitance		(Note 6)		16		pF
INTERNAL REFERENCE						
REF Output Voltage		$T_A = +25^\circ C$	4.076	4.096	4.116	V
REF Short-Circuit Current					30	mA
V_{REF} Temperature Coefficient		MAX1204AC		± 30	± 50	ppm/ $^\circ C$
		MAX1204AE		± 30	± 60	
		MAX1204B		± 30		
Load Regulation (Note 8)		0mA to 0.5mA output load		2.5		mV
Capacitive Bypass at REF		Internal compensation mode	0			μF
		External compensation mode	4.7			
Capacitive Bypass at REFADJ			0.01			μF
REFADJ Adjustment Range				± 1.5		%
EXTERNAL REFERENCE AT REF (Buffer disabled, $V_{REF} = 4.096V$)						
Input Voltage Range			2.50		$V_{DD} + 50mV$	V
Input Current				200	350	μA
Input Resistance			12	20		k Ω
REF Input Current in Shutdown		SHDN = 0V		1.5	10	μA
REFADJ Buffer Disable Threshold			$V_{DD} - 50mV$			V

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$ or $-5V \pm 5\%$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksp/s); $4.7\mu F$ capacitor at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EXTERNAL REFERENCE AT REFADJ						
Capacitive Bypass at REF		Internal compensation mode	0			μF
		External compensation mode	4.7			
Reference-Buffer Gain			1.68			V/V
REFADJ Input Current					± 50	μA
POWER REQUIREMENTS						
Positive Supply Voltage	V_{DD}		5 $\pm 5\%$			V
Negative Supply Voltage	V_{SS}		0 or -5 $\pm 5\%$			V
Positive Supply Current	I_{DD}	Operating mode	1.5	2.5		mA
		Fast power-down (Note 9)	30	70		μA
		Full power-down (Note 9)	2	10		
Negative Supply Current	I_{SS}	Operating mode and fast power-down			50	μA
		Full power-down			10	
Logic Supply Voltage	V_L		2.70		5.25	V
Logic Supply Current (Notes 6, 10)	I_{VL}	$V_L = V_{DD} = 5V$			10	μA
Positive Supply Rejection (Note 11)	PSR	$V_{DD} = 5V \pm 5\%$; external reference, 4.096V; full-scale input		± 0.06	± 0.5	mV
Negative Supply Rejection (Note 11)	PSR	$V_{SS} = -5V \pm 5\%$; external reference, 4.096V; full-scale input		± 0.01	± 0.5	mV
Logic Supply Rejection (Note 12)	PSR	External reference, 4.096V; full-scale input		± 0.06	± 0.5	mV

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

ELECTRICAL CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $5.25V$; $V_{SS} = 0V$ or $-5V \pm 5\%$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksp/s); $4.7\mu F$ capacitor at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS: DIN, SCLK, CS, SHDN						
DIN, SCLK, CS Input High Voltage	V_{IH}		2.0			V
DIN, SCLK, CS Input Low Voltage	V_{IL}				0.8	V
DIN, SCLK, CS Input Hysteresis	V_{HYST}			0.15		V
DIN, SCLK, CS Input Leakage	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 1	μA
DIN, SCLK, CS Input Capacitance	C_{IN}	(Note 6)			15	pF
SHDN Input High Voltage	V_{SH}		$V_{DD} - 0.5$			V
SHDN Input Mid-Voltage	V_{SM}		1.5		$V_{DD} - 1.5$	V
SHDN Voltage, Floating	V_{FLT}	SHDN = open		2.75		V
SHDN Input Low Voltage	V_{SL}				0.5	V
SHDN Input Current, High	I_{SH}	SHDN = V_{DD}			4.0	μA
SHDN Input Current, Low	I_{SL}	SHDN = 0V	-4.0			μA
SHDN Maximum Allowed Leakage, Mid-Input		SHDN = open	-100		100	nA
DIGITAL OUTPUTS: DOUT, SSTRB ($V_L = 2.7V$ to $3.6V$)						
Output Voltage Low	V_{OL}	$I_{SINK} = 3mA$			0.4	V
		$I_{SINK} = 6mA$		0.3		
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	$V_L - 0.5$			V
Three-State Leakage Current	I_L	$\overline{CS} = V_L$			± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_L$ (Note 6)			15	pF
DIGITAL OUTPUTS: DOUT, SSTRB ($V_L = 4.75V$ to $5.25V$)						
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 8mA$		0.3		
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	4			V
Three-State Leakage Current	I_L	$\overline{CS} = 5V$			± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = 5V$ (Note 6)			15	pF

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$, $V_{SS} = 0V$ or $-5V \pm 5\%$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t_{ACQ}		1.5			μs
DIN to SCLK Setup	t_{DS}		100			ns
DIN to SCLK Hold	t_{DH}				0	ns
SCLK Fall to Output Data Valid	t_{DO}	$C_{LOAD} = 100pF$	20		240	ns
\overline{CS} Fall to Output Enable	t_{DV}	$C_{LOAD} = 100pF$			240	ns
\overline{CS} Rise to Output Disable	t_{TR}	$C_{LOAD} = 100pF$			240	ns
\overline{CS} to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} to SCLK Rise Hold	t_{CSH}		0			ns
SCLK Pulse Width High	t_{CH}		200			ns
SCLK Pulse Width Low	t_{CL}		200			ns
SCLK Fall to SSTRB	t_{SSTRB}	$C_{LOAD} = 100pF$			240	ns
\overline{CS} Fall to SSTRB Output Enable (Note 6)	t_{SDV}	External clock mode only, $C_{LOAD} = 100pF$			240	ns
\overline{CS} Rise to SSTRB Output Disable (Note 6)	t_{STR}	External clock mode only, $C_{LOAD} = 100pF$			240	ns
SSTRB Rise to SCLK Rise (Note 6)	t_{SCK}	Internal clock mode only	0			ns

Note 1: Tested at $V_{DD} = 5.0V$; $V_{SS} = 0V$; unipolar input mode.

Note 2: Relative accuracy is the analog value's deviation (at any code) from its theoretical value after the full-scale range is calibrated.

Note 3: Internal reference, offset nulled.

Note 4: On-channel grounded; sine-wave applied to all off-channels.

Note 5: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 6: Guaranteed by design. Not subject to production testing.

Note 7: Common-mode range for analog inputs is from V_{SS} to V_{DD} .

Note 8: External load should not change during the conversion for specified accuracy.

Note 9: Shutdown supply current is measured with V_L at 3.3V, and with all digital inputs tied to either V_L or GND (Figure 12c); $REFADJ = GND$.

Note 10: Logic supply current is measured with the digital outputs (DOUT and SSTRB) disabled (\overline{CS} high). When the outputs are active (\overline{CS} low), the logic supply current depends on f_{SCLK} , and on the static and capacitive load at DOUT and SSTRB.

Note 11: Measured at $V_{SUPPLY} +5\%$ and $V_{SUPPLY} -5\%$ only.

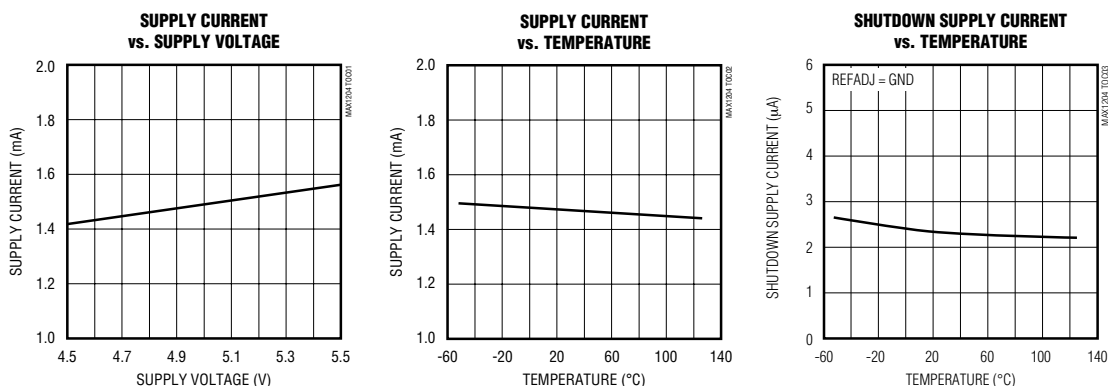
Note 12: Measured at $V_L = 2.7V$ and $V_L = 3.6V$.

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

標準動作特性

($V_{DD} = 5V \pm 5\%$; $V_L = 2.7V$ to $3.6V$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); $4.7\mu F$ capacitor at REF; $T_A = +25^\circ C$; unless otherwise noted.)



端子説明

端子	名称	機能
1-8	CH0-CH7	サンプリングアナログ入力
9	V_{SS}	負電源電圧。 V_{SS} は $-5V \pm 5\%$ 又は GND に接続してください。
10	SHDN	3 レベルシャットダウン入力。 MAX1204 は SHDN をローにするとシャットダウンし、消費電流が $10\mu A$ (max) に低減されます。 それ以外の場合は、完全動作状態です。 SHDN を V_{DD} にすると、リファレンスバッファアンプが内部補償モードになります。 SHDN をフローティングにすると、リファレンスバッファアンプが外部補償モードになります。
11	REF	リファレンスバッファ出力/ADCリファレンス入力。 内部リファレンスモードではリファレンスバッファが公称出力 $4.096V$ を提供し、REFADJ で外部調節が可能となります。 外部リファレンスモードでは、REFADJ を V_{DD} に接続して内部バッファをディセーブルしてください。
12	REFADJ	リファレンスバッファアンプへの入力。 リファレンスバッファアンプをディセーブルするには、REFADJ を V_{DD} に接続してください。
13	GND	グラウンド。 シングルエンド変換用の IN- 入力。
14	V_L	デジタル出力ピンの電源電圧。 V_L に印加された電圧によりデジタル出力 (DOUT、SSTRB) の出力スイングが決定します。
15	DOUT	シリアルデータ出力。 データは SCLK の立下がりエッジでクロック出力されます。 \overline{CS} がハイのときは、ハイインピーダンスになります。
16	SSTRB	シリアルストローブ出力。 内部クロックモードの場合、SSTRB は MAX1204 が A/D 変換を開始したときにローになり、変換終了時にハイになります。 外部クロックモードの場合、SSTRB は MSB の決定前に 1 クロックサイクル間パルス的にハイになります。 \overline{CS} がハイ (外部クロックモード) のときはハイインピーダンスになります。
17	DIN	シリアルデータ入力。 データは SCLK の立上がりエッジでクロック入力されます。
18	\overline{CS}	アクティブローのチップセレクト。 \overline{CS} がローでない限り、データは DIN にクロック入力されません。 \overline{CS} がハイのとき、DOUT はハイインピーダンスになります。
19	SCLK	シリアルクロック入力。 シリアルインタフェースのデータは SCLK によりクロック入力及び出力されます。 外部クロックモードの場合、SCLK は変換速度も設定します。(この場合、デューティサイクルは $40\% \sim 60\%$ である必要があります。)
20	V_{DD}	正電源電圧 ($+5V \pm 5\%$)

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

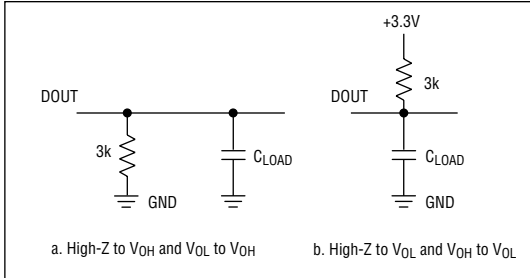


図1. イネーブル時間用の負荷回路

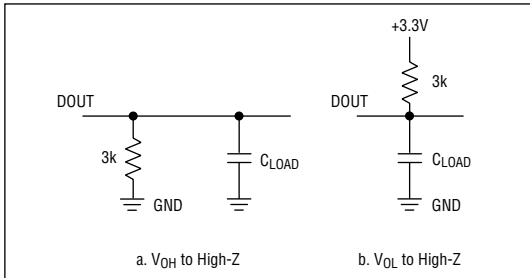


図2. ディセーブル時間用の負荷回路

詳細

MAX1204アナログデジタルコンバータ(ADC)では、逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を使用してアナログ信号を10ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースにより、3Vマイクロプロセッサ(μ P)とのインタフェースを容易にしています。図3にMAX1204のブロック図を示します。

疑似差動入力

図4に、本製品のアナログコンパレータのサンプリング構造を示します。シングルエンドモードの場合、IN+は内部でCH0~CH7にスイッチングされ、IN-はGNDにスイッチングされます。差動モードの場合、IN+及びIN-はCH0/CH1、CH2/CH3、CH4/CH5あるいはCH6/CH7の組み合わせから選択されます。チャンネルの設定は、表3及び表4を参考に行います。

差動モードの場合、IN-及びIN+は内部でアナログ入力のどちらかにスイッチングされます。この構成ではIN+の信号のみがサンプリングされるため、疑似差動と呼ばれます。リターン側(IN-)は変換中、GNDに対して

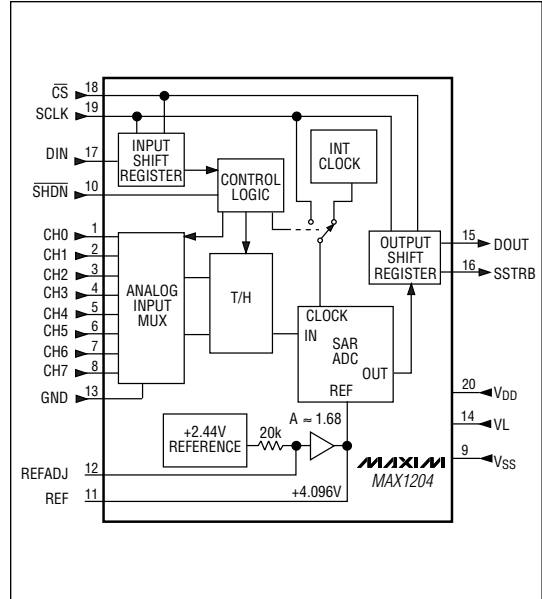


図3. ブロックダイアグラム

± 0.5 LSB(ベストの結果を得るには ± 0.1 LSB)以内で安定していることが必要となります。これを実現するために、(選択されたアナログ入力の)IN-とGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルによりコンデンサ C_{HOLD} が充電されます。アキュイジション期間は3 SCLKサイクル間続き、入力制御ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、 C_{HOLD} の電荷をIN+の信号のサンプルとして保持します。

変換期間は、入力マルチプレクサが C_{HOLD} を正入力(IN+)から負入力(IN-)にスイッチングしたときに開始されます。シングルエンドモードにおけるIN-はGNDです。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを10ビット分解能の制限範囲で0Vに調節します。この動作は、 $16\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を C_{HOLD} からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

5V、8チャンネル、シリアル10ビットADC 3Vディジタルインタフェース付

トラック/ホールド

T/Hは8ビット制御ワードの5番目のビットがシフトインされた後の立下がりクロックエッジでトラックモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合はIN-がGNDに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合はIN-が「-」入りに接続され、IN+ - IN- の差がサンプリングされます。変換完了時に正入力再びIN+に接続され、C_{HOLD}は入力信号電圧まで充電されます。

T/Hが入力信号を取込むのに要する時間は、入力容量が充電される速さの関数です。入力信号のソースインピーダンスが高いとアキュジション時間が長くなるため、変換と変換の間の時間を長くしなければなりません。アキュジション時間 t_{ACQ} は、素子が信号を取込むのに要する最大時間であり、信号の取込みに必要な最低時間でもあります。 t_{ACQ} は次式で計算されます。

$$t_{ACQ} = 7 \times (R_S + R_{IN}) \times 16\text{pF}$$

ここで、 $R_{IN} = 9\text{k}$ 、 R_S = 入力信号のソースインピーダンス、そして t_{ACQ} は必ず $1.5\mu\text{s}$ 以上です。ソースイン

ピーダンスが 4k 以下であれば、ADCのAC性能に大きな影響はありません。図5に示すように、入力コンデンサがアナログ入力に接続されていれば、これ以上のソースインピーダンスも可能です。入力コンデンサと入力ソースインピーダンスがRCフィルタを形成してADCの信号帯域幅を制限することに注意してください。

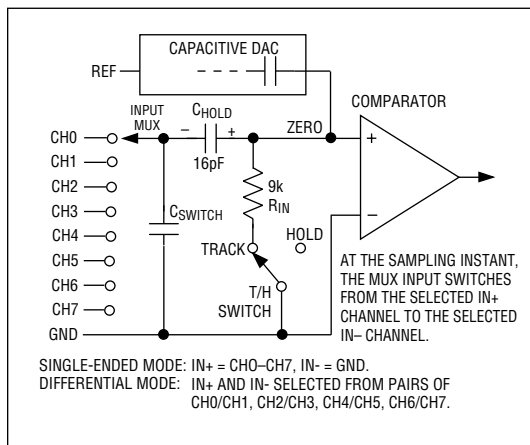


図4. 等価入力回路

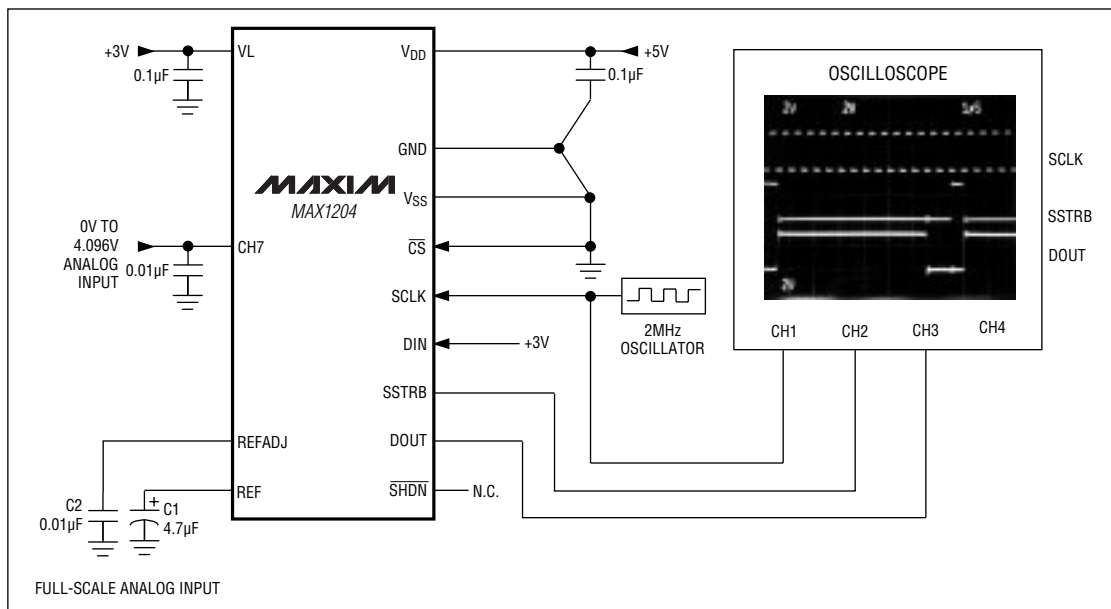


図5. 概略の回路検討

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

表1a. ユニポールのフルスケール及び
ゼロスケール

REFERENCE		ZERO SCALE	FULL SCALE
Internal		0V	+4.096V
External	at REFADJ	0V	VREFADJ × 1.68
	at REF	0V	VREF

入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は4.5MHzであるため、アンダーサンプリング技法を使用することにより、帯域幅がADCのサンプリングレート以上の周期信号を測定し、高速トランジェント現象を数値化できます。高周波信号が計測の対象となる周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

アナログ入力範囲及び入力保護

内部保護ダイオードによりアナログ入力を V_{DD} と V_{SS} にクランプしているため、チャンネル入力ピンは $(V_{SS} - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が V_{DD} を50mV以上超えず、また V_{SS} を50mV以上下回らないようにします。

アナログ入力が電源を50mV以上超えた場合は、オフチャンネルの保護ダイオードに2mA以上の順方向バイアスをかけないでください。過剰な電流が流れるとオンチャンネルの変換精度が劣化します。

フルスケール入力電圧は、REFにおける電圧に依存します(表1a及び1b)。

概略の回路検討

MAX1204のアナログ性能を迅速に評価するには、図5の回路を使用してください。MAX1204では、各変換の前に制御バイトがDINに書き込まれる必要があります。DINを+3Vにすると、制御バイト\$FF(HEX)が書き込まれます。これは、変換と変換の間にパワーダウンのな

表1b. バイポールのフルスケール、
ゼロスケール及び負のフルスケール

REFERENCE		NEGATIVE FULL SCALE	ZERO SCALE	FULL SCALE
Internal		-4.096V/2	0V	+4.096V / 2
External	at REFADJ	-1/2 VREFADJ × 1.68	0V	+1/2 VREFADJ × 1.68
	at REF	-1/2 VREF	0V	+1/2 VREF

い外部クロックモードにおける、CH7のシングルエンドユニポラ変換をトリガします。外部クロックモードでは、10ビット変換結果の最高位ビットがDOUTからシフトアウトされる前に、SSTRB出力が1クロック周期だけパルス的にハイになります。CH7へのアナログ入力を変化させると、DOUTから出るビットのシーケンスが変わります。1変換当たり合計15クロックサイクルが必要です。SSTRB及びDOUTの遷移は、全てSCLKの立下がりエッジで起こります。

変換開始方法

変換は、制御バイトをDINにクロックインすると開始されます。 \overline{CS} がローの場合、SCLKクロックの各立上がりエッジ毎にDINからMAX1204の内部シフトレジスタへと1ビットずつクロックインされます。 \overline{CS} が下がった後に最初に来るロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされたとしても一切影響はありません。表2に、制御バイトのフォーマットを示します。

MAX1204は、Microwire及びSPI機器と完全にコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性及びサンプリングエッジを選択してください(CPOL = 0 及び CPHA = 0 に設定してください)。MicrowireとSPIは、いずれもバイトの送信とバイトの受信を同時に行います。「標準動作回路」を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を僅か3回行うだけで変換が行えます(1回の8ビット転送でADCを設定し、残り後2回の8ビット転送で10ビット変換結果をクロックアウトします)。

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

表2. 制御バイトフォーマット

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)															
START	SEL 2	SEL 1	SEL 0	UNI/ $\overline{\text{BIP}}$	SGL/ $\overline{\text{DIF}}$	PD1	PD0															
ビット	名称	内容																				
7 (MSB)	START	CSがローになった後の最初のロジック「1」が制御バイトの始まりとなります。																				
6 5 4	SEL2 SEL1 SEL0	これら3つのビットにより、8つのチャンネルの内のどれを変換に使用するかを指定します (表3及び表4)。																				
3	UNI/ $\overline{\text{BIP}}$	1 = ユニポーラ、0 = バイポーラ。変換がユニポーラモードかバイポーラモードかを指定します。ユニポーラモードでは、0V ~ V_{REF} のアナログ入力信号が変換できます。バイポーラモードの信号範囲は、 $-V_{\text{REF}}/2 \sim +V_{\text{REF}}/2$ が可能です。																				
2	SGL/ $\overline{\text{DIF}}$	1 = シングルエンド、0 = 差動。変換がシングルエンドか差動かを指定します。シングルエンドモードの入力信号電圧は、GNDを基準としています。差動モードでは2つのチャンネルの間の電圧差が測定されます (表3及び表4)。																				
1 0 (LSB)	PD1 PD0	クロック及びパワーダウンモードを選択します。 <table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th>PD1</th> <th>PD0</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>フルパワーダウン ($I_{\text{DD}} = 2\mu\text{A}$、内部リファレンス)</td> </tr> <tr> <td>0</td> <td>1</td> <td>高速パワーダウン ($I_{\text{DD}} = 30\mu\text{A}$、内部リファレンス)</td> </tr> <tr> <td>1</td> <td>0</td> <td>内部クロックモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>外部クロックモード</td> </tr> </tbody> </table>						PD1	PD0	モード	0	0	フルパワーダウン ($I_{\text{DD}} = 2\mu\text{A}$ 、内部リファレンス)	0	1	高速パワーダウン ($I_{\text{DD}} = 30\mu\text{A}$ 、内部リファレンス)	1	0	内部クロックモード	1	1	外部クロックモード
PD1	PD0	モード																				
0	0	フルパワーダウン ($I_{\text{DD}} = 2\mu\text{A}$ 、内部リファレンス)																				
0	1	高速パワーダウン ($I_{\text{DD}} = 30\mu\text{A}$ 、内部リファレンス)																				
1	0	内部クロックモード																				
1	1	外部クロックモード																				

表3. シングルエンドモードにおけるチャンネル選択(SGL/ $\overline{\text{DIF}} = 1$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	GND
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表4. 差動モードにおけるチャンネル選択(SGL/ $\overline{\text{DIF}} = 0$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

シンプルなソフトウェアインタフェース
CPUでシリアルクロックが発生されるように、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は、100kHz~2MHzの範囲から選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と名付けます。TB1はバイナリの1XXXX11というフォーマットになるはずですが、ここで、Xは指定した特定のチャンネル及び変換モードを表わします。
- 2) CPUの汎用I/Oラインを使用して、MAX1204の \overline{CS} をローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6) MAX1204の \overline{CS} をハイにします。

図6に、このシーケンスのタイミングを示します。バイトRB2とRB3には、先頭のゼロ1個及び後に続く2つのサブビット(S1及びS0)及び次に続く3つのゼロに挟まれた変換結果が含まれています。総変換時間は、シリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドループするのを防ぐために、総変換時間が120 μ sを超えないようにしてください。

デジタル出力

ユニポーラ入力モードにおける出力は、ストレートなバイナリです(図15)。バイポーラ入力の場合、出力は2の補数形式になります(図16)。データは、SCLKの立下がりエッジでMSBを先頭にクロックアウトされます。デジタル出力ロジックレベルは、VLピンで調節されます。これにより、オーバードライブの危険なしにDOUT及びSSTRBが3Vロジックとインタフェースできます。MAX1204のデジタル入力には5Vロジックだけでなく、3V CMOSロジックともコンパチブルであるように設計されています。

内部及び外部クロックモード

MAX1204では、逐次比較型変換に外部シリアルクロック又は内部クロックを使用できます。どちらのクロックモードの場合も、外部クロックによりMAX1204からデータがシフトイン/アウトされます。T/Hは、制御バイトの最後の3ビットがDINにクロックインされるときに入力信号を取込みます。制御バイトのビットPD1及びPD0でクロックモードをプログラムします。図7~10に両方のモードに共通するタイミング特性を示します。

外部クロック

外部クロックモードでは、外部クロックはデータをシフトイン/アウトするだけでなく、A/D変換ステップの駆動も行います。SSTRBは、制御バイトの最後のビットの後に1クロック周期だけパルス的にハイになります。逐次比較用のビット決定はそれに続くそれぞれのSCLKの立下がりエッジ12個で行われ、DOUTに出力されます(図6)。 \overline{CS} がハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次の \overline{CS} の立下がりエッジでSSTRBはロジックローを出力します。図8に、外部クロックモードにおけるSSTRBのタイミングを示します。

変換は一定した最小時間内に完了する必要があります。完了しないと、サンプルアンドホールドコンデンサのドループにより変換結果が劣化します。クロック周期が10 μ s以上の場合やシリアルクロックの割込みが原因で変換期間が120 μ sを超える可能性がある場合は、内部クロックモードを使用してください。

内部クロック

内部クロックモードでは、MAX1204自体が変換クロックを内部で発生します。この結果、 μ PIはSAR変換クロックを動作させることから解放され、変換結果はプロセッサの都合に合わせて、0~2MHzの任意のクロックレートで読取ることができます。SSTRBは変換開始時にローになり、変換が完了するとハイになります。SSTRBは最大10 μ s間ローに留まりますが、最高のノイズ性能を得るにはその期間SCLKをローに保つようにしてください。変換が行われている間は、内部レジスタにデータが保管されます。変換の完了後任意の時点で、SCLKがこのレジスタからデータをクロックアウトします。SSTRBがハイになった後、次の立下がりクロックエッジでDOUTに変換のMSBが出力され、続いて残りのビットがMSBを先頭にしたフォーマットで出力されます(図9)。一旦変換が開始された後は、 \overline{CS} をローに保持する必要はありません。 \overline{CS} をハイにするとデータがMAX1204にクロックインされなくなり、DOUTがスリーステートになりますが、すでに進行中の内部クロックモードの変換に悪影響を与えることはありません。内部クロックモードが選択されている場合、 \overline{CS} がハイになってもSSTRBはハイインピーダンス状態にはなりません。

図10に内部クロックモードにおけるSSTRBのタイミングを示します。このモードでは、最小アキュイジションタイム(t_{ACQ})が1.5 μ s以上に保持されている限り、2.0MHzまでのクロックレートでデータをMAX1204にシフトインでき、また、MAX1204からデータをシフトアウトすることもできます。

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

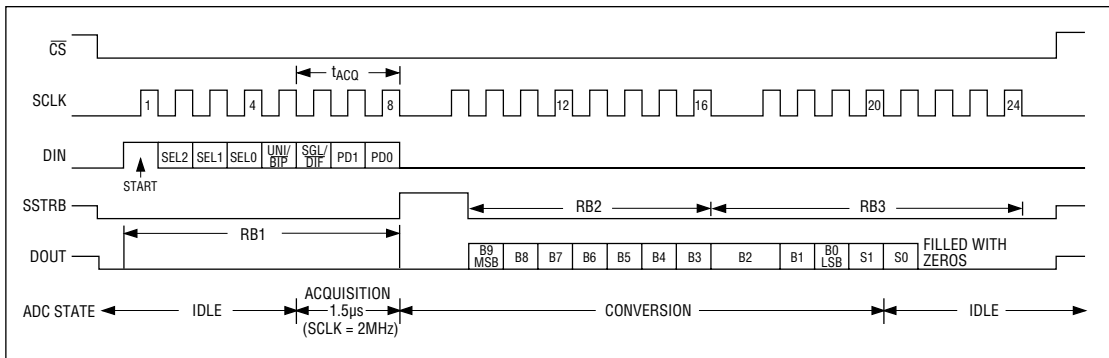


図6. 24ビット外部クロックモードの変換タイミング(Microwire及びSPIコンパチブル)

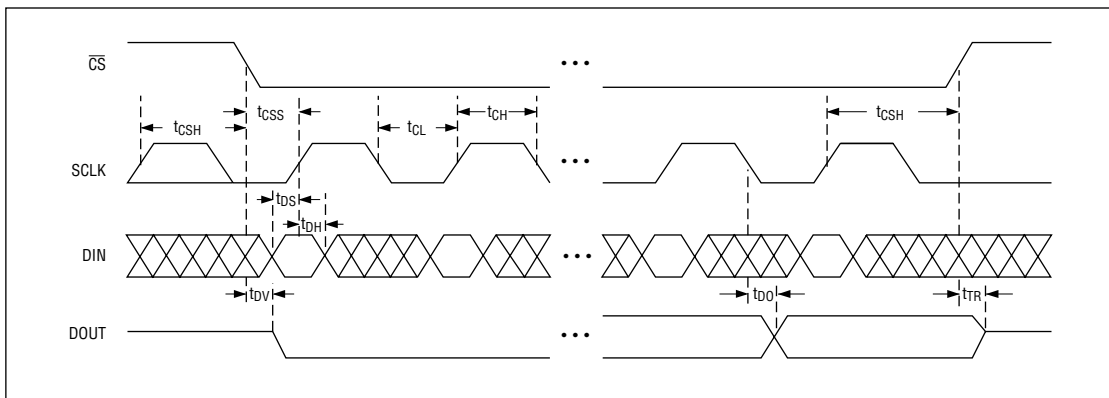


図7. シリアルインタフェースのタイミングの詳細

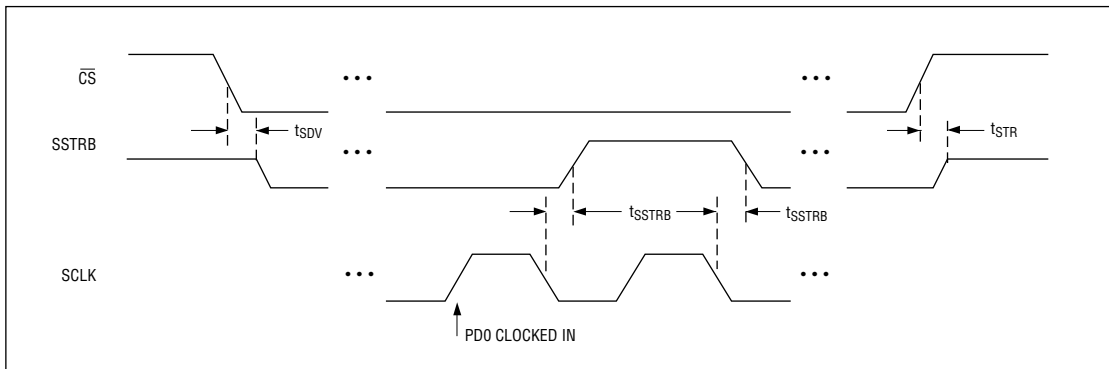


図8. 外部クロックモードにおけるSSTRBのタイミングの詳細

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

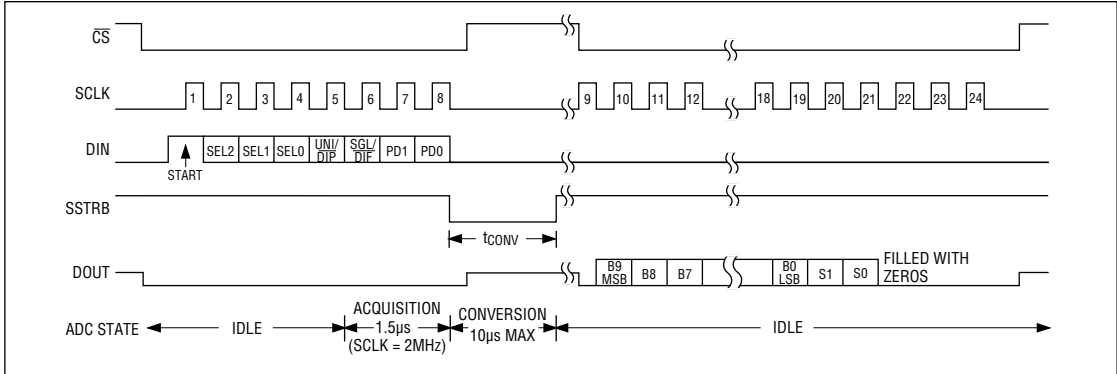


図9. 内部クロックモードのタイミング

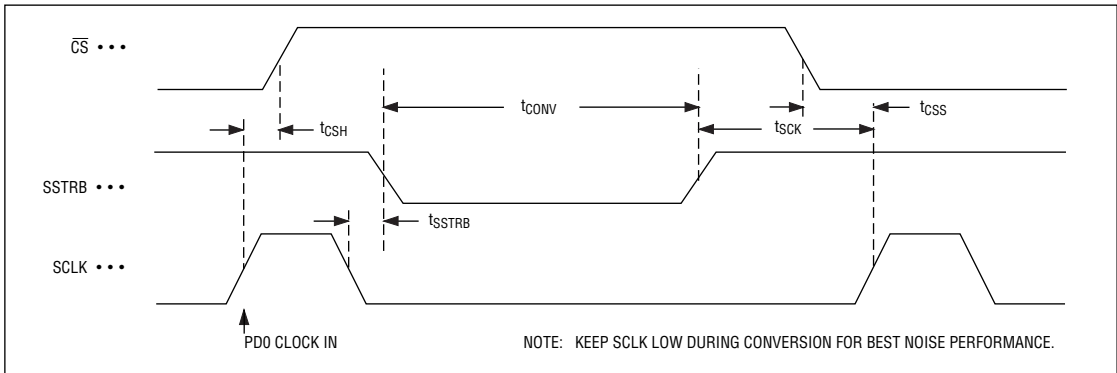


図10. 内部クロックモードにおけるSSTRBのタイミングの詳細

データフレーミング

MAX1204では、 \overline{CS} の立下がりエッジでA-D変換が開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これが制御バイトの最初のビットの定義付けを行います。変換は、8番目の制御ビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットの定義は、以下のとおりです。

コンバータがアイドル状態である任意の時間(例えば V_{DD} が印加された後)に \overline{CS} がローの状態にDINにクロックインされてきた最初のハイビット。

又は

進行中の変換のビット3(B3)がDOUTピンに出てきた後にDINにクロックインされてきた最初のハイビット。

B3が出てくる前に \overline{CS} の立下がりエッジによりスタートビットが強制的に生成されると、その変換は中止され、新しい変換が開始されます。このため、MAX1204が動作できる最高速度は15クロック/変換になります。図11aに、外部クロックモードで15 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。 \overline{CS} がローでSCLKが連続的である場合は、最初に16個のゼロをクロックインしてスタートビットを確保してください。

殆どのマイクロコントローラ(μC)では、変換が8 SCLKクロックの倍数で行われることが必要です。従って、マイクロコントローラでMAX1204を作動できる最高速度は通常16クロック/変換になります。図11bに、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

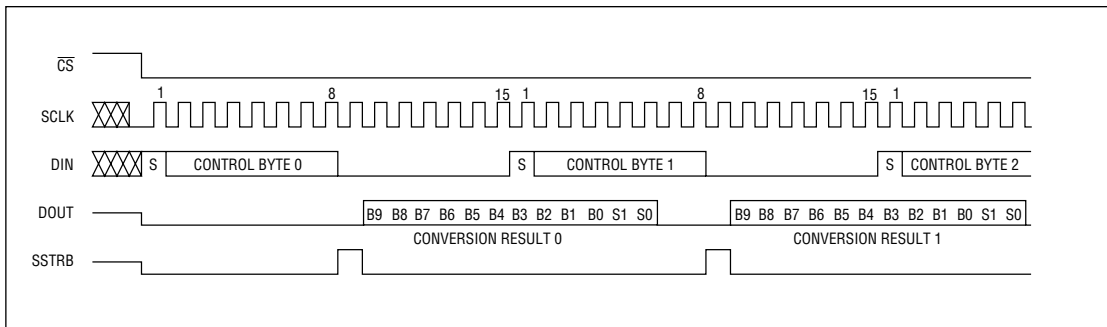


図11a. 外部クロックモード、15クロック/変換のタイミング

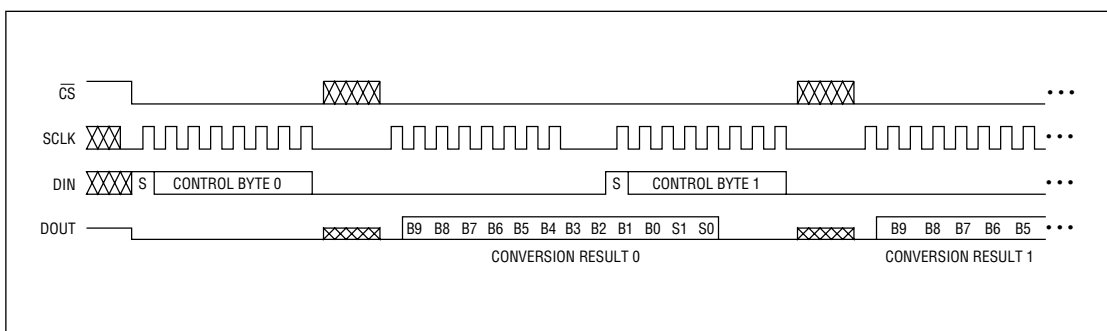


図11b. 外部クロックモード、16クロック/変換のタイミング

アプリケーション情報

パワーオンリセット

最初に電源が入ったときに $\overline{\text{SHDN}}$ がローでなければ、内部パワーオンリセット回路が内部クロックモードでMAX1204を起動します。このときは、 $\text{SSTRB} = \text{ハイ}$ の状態に変換を開始できる体勢にあります。電源が安定した後内部リセット時間が $100\mu\text{s}$ ありますが、この間は変換を行わないでください。 SSTRB はパワーアップ時にはハイで、 $\overline{\text{CS}}$ がローの場合は、 DIN の最初のロジック1がスタートビットと見なされます。 DOUT は、変換が行われるまでゼロをシフトアウトします。

リファレンスバッファ補償

$\overline{\text{SHDN}}$ は、シャットダウン機能の他にも内部又は外部補償の選択に使用されます。この補償は、パワーアップ時間及び最大変換速度の両方に影響します。補償されているかどうかに係らず、サンプルアンドホールドのドループのために最小クロックレートは 100kHz になります。

$\overline{\text{SHDN}}$ をフローティングにすると外部補償になります。「標準動作回路」ではREFで $4.7\mu\text{F}$ コンデンサを使用しています。 $4.7\mu\text{F}$ 以上であれば安定性が保証され、 2MHz

のフルクロック速度における変換動作が可能になります。外部補償にすると、パワーアップ時間が増加します(「パワーダウンモードの選択」及び表5を参照)。

内部補償の場合は、REFに外付コンデンサを付ける必要がありません。内部補償は、 $\overline{\text{SHDN}}$ をハイに引き上げて選択します。内部補償にするとパワーアップ時間を短くできますが、外部クロックを 400kHz までに制限する必要があります。

パワーダウン

パワーダウンモードの選択

変換と変換の間でコンバータを低電流のシャットダウン状態に入れることにより、電力を節減できます。フルパワーダウン又は高速パワーダウンモードを選択するには、 $\overline{\text{SHDN}}$ がハイ又はフローティングの状態、 DIN 制御バイトのビット1及びビット0を使用します(表2及び表6)。 $\overline{\text{SHDN}}$ をローにすることにより、いつでもコンバータを完全にシャットダウンできます。 $\overline{\text{SHDN}}$ は、制御バイトのビット1及びビット0をオーバーライドします。

フルパワーダウンモード時、自己消費電流を必要とする全てのチップ機能がターンオフし、 I_{DD} 及び I_{SS} が $2\mu\text{A}(\text{typ})$ まで低下します。

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

高速パワーダウンモードでは、バンドギャップリファレンス以外の全ての回路をターンオフできます。高速パワーダウンモードにおける消費電流は30 μ Aです。内部補償モードでは、パワーアップ時間を5 μ sまで短縮できます。

いずれのパワーダウンモードでも、デジタル入力(DIN、SCLK、CS)がハイに維持されているとI_{DD}シャットダウン電流が増加します。実際のシャットダウン電流は、デジタル入力の状態、デジタル入力(V_{IH})に印加されている電圧、電源電圧(V_{DD})及び動作温度に依存します。図12cに、様々な動作条件においてパワーダウンモードで各デジタル入力をハイに保持した場合のI_{DD}の最大増加量を示します。この電流は累積的であるため、3つのデジタル入力全部がハイに保持されると、シャットダウン電流の増加量は図12cに示す値の3倍になります。

いずれのソフトウェアパワーダウンモードでもシリアルインタフェースは動作状態のままですが、ADCは変換しません。表5は、どのリファレンスバッファ補償及びパワーダウンモードを選ぶかによって、パワーアップディレイ及び最大サンプリングレートがどのように影響されるかを示しています。

外部補償モードでは、コンデンサが初めに完全に放電している場合のパワーアップ時間は、補償コンデンサが4.7 μ Fのときに20ms(33 μ Fコンデンサの場合は200ms)となっています。高速パワーダウンからのスタートアップ時間は、シャットダウン中に1/2LSB以上放電しない低リークコンデンサを使用すると完全に

排除できます。パワーダウン中にはコンデンサがリファレンスへの電流(1.5 μ A typ)及びパワーアップ時のトランジェント電流を供給することが必要です。

図12a及び図12bに、外部及び内部クロックモード時の様々なパワーダウンシーケンスを示します。

ソフトウェアのパワーダウン

制御バイトのビットPD1及びPD0を使用することにより、ソフトウェアのパワーダウンを起動できます。表6に示すように、PD1及びPD0はクロックモードを指定するためにも使用されます。ソフトウェアのパワーダウンが発生すると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードでは、インタフェースはMAX1204がソフトウェアのパワーダウン状態に入った後でもアクティブ状態を保ち、変換結果をクロックアウトできます。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1204はパワーアップします。スタートビットに続いて、制御バイトがクロックモード及びパワーダウン状態を判断します。例えば、制御ワードにPD1 = 1が含まれていると、チップはパワーアップ状態に留まります。PD1 = 0のときは1回だけ変換を行い、その後再びパワーダウンします。

ハードウェアのパワーダウン

SHDNピンにより、コンバータは完全なパワーダウン状態に入ります。ソフトウェアによるパワーダウンモード

表5. 標準パワーアップディレイ時間

REFERENCE BUFFER	REFERENCE-BUFFER COMPENSATION MODE	REFERENCE CAPACITOR (μ F)	POWER-DOWN MODE	POWER-UP DELAY (μ s)	MAXIMUM SAMPLING RATE (ksps)
Enabled	Internal		Fast	5	26
Enabled	Internal		Full	300	26
Enabled	External	4.7	Fast/Full	See Figure 14c	133
Disabled			Fast	2	133
Disabled			Full	2	133

表6. ソフトウェアシャットダウン及びクロックモード

PD1	PD0	DEVICE MODE
1	1	External clock mode
1	0	Internal clock mode
0	1	Fast power-down mode
0	0	Full power-down mode

表7. ハードによるシャットダウン及び補償モード

SHDN STATE	DEVICE MODE	REFERENCE-BUFFER COMPENSATION
V _{DD}	Enabled	Internal compensation
Floating	Enabled	External compensation
GND	Full Power-Down	N/A

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

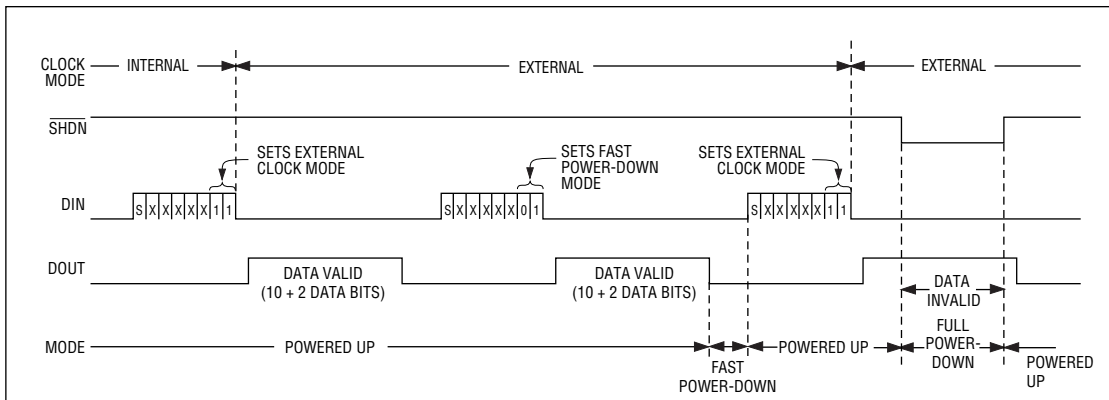


図12a. パワーダウンモードのタイミング図(外部クロック)

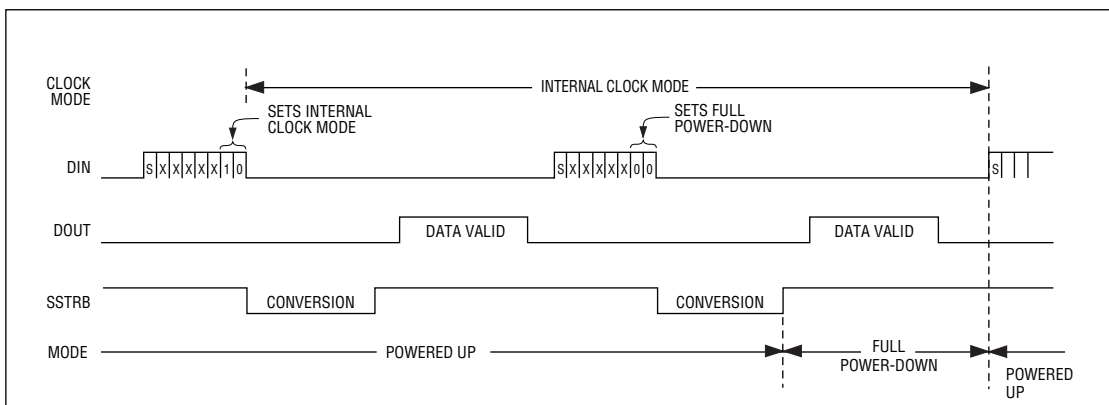


図12b. パワーダウンモードのタイミング図(内部クロック)

とは異なり、変換は完了せずにSHDNがローになったときに停止します。外部リファレンスが使用されている場合で、それがシャットダウンされないときは、パワーアップディレーはありません。SHDNは、リファレンス補償が内部又は外部であるかの選択にも使用されます(表7)。

パワーダウンシーケンス

最大サンプリングレート以下で動作している場合は、MAX1204の自動パワーダウンモードによりかなりの省電力が可能です。以下に、様々なパワーダウンシーケンスについて説明します。

最大500変換/チャンネル/秒までの超低電力動作

図14aに、フルパワーダウンモード及び内部リファレンス補償を使用した場合のMAX1204の1又は8チャンネル変換の消費電力を示します。REFADJの0.01µFバイパスコンデンサ及び内部20kΩリファレンス抵抗により、

時定数0.2msのRCフィルタが形成されています。完全10ビット精度を実現するには、バッファのセットリング時間として、この時定数の10倍(この例では2ms)が必要となります。FULLPDを解除するとき、(単にFULLPDモードを解除して通常動作モードに戻る代わりに)この2msをFASTPDモードにして待機すると消費電力を10分の1以下に低減できます(図13)。

高スループット時の超低電力動作

図14bに、高速パワーダウンモードで外部リファレンス補償を使用した場合の1及び8チャンネル変換の消費電力を示します。外部4.7µF補償には、パワーアップ後に50µsの待ち時間が必要です。この回路を使用すると、最小限の消費電力で高速マルチチャンネル変換を行えます。フルパワーダウンモードは、MAX1204が長時間停止し、時々高速変換のバーストがあるようなアプリケーションで省電力能力を発揮します。

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

外部及び内部リファレンス

MAX1204は、内部及び外部リファレンスで使用できます。外部リファレンスは、REF端子に直接接続するか、REFADJピンに接続することができます。

MAX1204の内部バッファは、REFで4.096Vを供給するように設計されています。リファレンスは内部で2.44Vにトリミングされ、公称利得1.68でバッファされています。

内部リファレンス

内部リファレンスを使用した場合のMAX1204のフルスケール範囲は、ユニポーラ入力で4.096V、バイポーラ入力で $\pm 2.048V$ です。内部リファレンス電圧は、図17の回路を使用すると $\pm 1.5\%$ に調節できます。

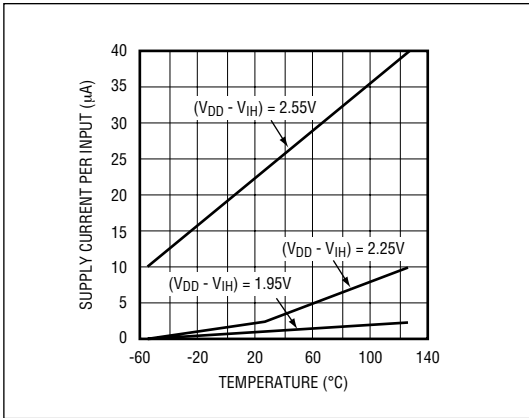


図12c. I_{DD} シャットダウン消費電流の増加対ロジック1における各デジタル入力の V_{IH}

外部リファレンス

外部リファレンスは、MAX1204の内部リファレンスバッファアンプの入力(REFADJ)又は出力(REF)に接続することができます。REFADJにおける入力インピーダンスは、通常20k です。REFにおける入力インピーダンスは、DC電流に対して最小の12k です。変換中には、外部リファレンスが最大350 μA のDC負荷電流を供給できなければならず、出力インピーダンスは10以下でなければなりません。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、4.7 μF のコンデンサでREFピンの近くをバイパスしてください。

バッファされたREFADJ入力を使用することにより、外部リファレンスをバッファする必要がなくなります。外部リファレンスを直接REF入力に接続するときは、REFADJを V_{DD} に接続して内部バッファをディセーブルしてください。パワーダウン中、REFADJへの入力バイアス電流はREFADJが V_{DD} に接続されているとき最大25 μA になる可能性があります。パワーダウン中の入力バイアス電流を最小限に抑えるには、REFADJをGNDに引き下げてください。

伝達関数及び利得調節

図15は、公称ユニポーラ入力/出力(I/O)伝達関数を示しています。図16は、バイポーラI/O伝達関数です。コード遷移は、隣り合う整数のLSB値同士の間で起こります。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 4mV(4.096V/1024)、バイポーラ動作では1LSB = 4mV[(4.096V/2 - - 4.096V/2)/1024]となります。

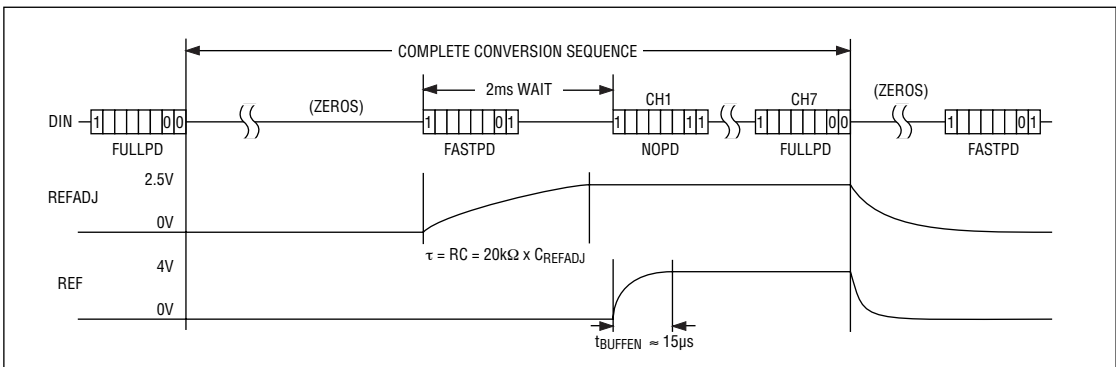


図13. MAX1204のFULLPD/FASTPDパワーアップシーケンス

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

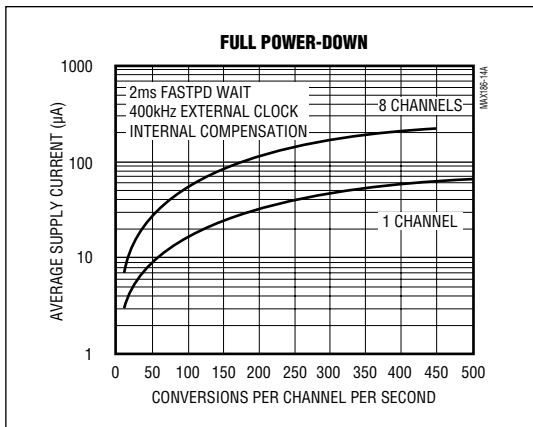


図14a. MAX1204の消費電流対サンプルレート/秒 (FULLPD、400kHzクロック)

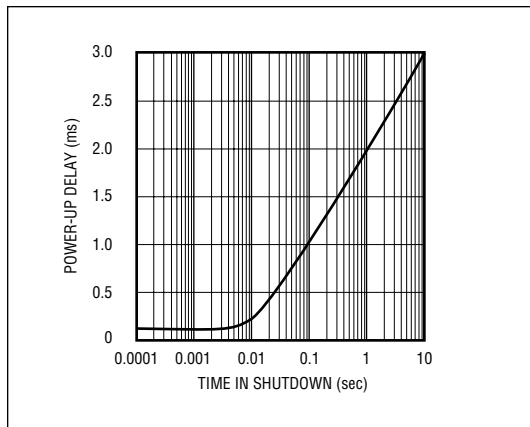


図14c. 標準パワーアップディレイ対シャットダウン期間

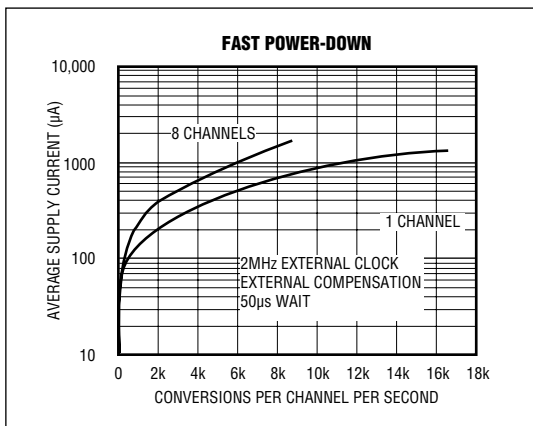


図14b. MAX1204の消費電流対サンプルレート/秒 (FASTPD、2MHzクロック)

図17に、内部リファレンスを使用するアプリケーションでADC利得を調節する方法を示します。この回路の利得調節範囲は、 $\pm 1.5\%$ ($\pm 16\text{LSB}$)です。

レイアウト、グラウンド及びバイパス

最高の性能を得るには、プリント回路基板を使用してください。ワイヤラップボードの使用は避けてください。ボードレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにしてください。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないでください。又、デジタルライン

がADCパッケージ(IC)の下に来ないようにしてください。

図18に、推奨されるシステムグラウンド接続法を示します。シングルポイントアナロググラウンド(スターグラウンドポイント)をGNDのところで設定し、その他のアナロググラウンドは全てこのグラウンドに接続してください。このシングルポイントアナロググラウンドにはその他のデジタルシステムグラウンドを接続しないでください。ノイズを排除するために、このグラウンドから電源へのグラウンドリターンはできるだけ短くし、また、低インピーダンスにしてください。

V_{DD} 電源内の高周波ノイズがADCの高速コンパレータに影響を与える可能性があります。この電源はMAX1204に近いところで、 $0.1\mu\text{F}$ 及び $4.7\mu\text{F}$ コンデンサでシングルポイントアナロググラウンドにバイパスしてください。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできるだけ短くしてください。 $+5\text{V}$ 電源のノイズが特に大きい場合は、 $10\ \Omega$ 抵抗をローパスフィルタとして接続することもできます(図18)。

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

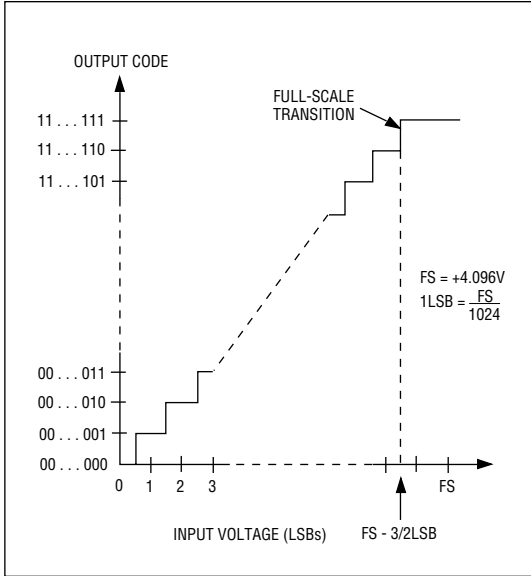


図15. ユニポーラの伝達関数、4.096V = フルスケール

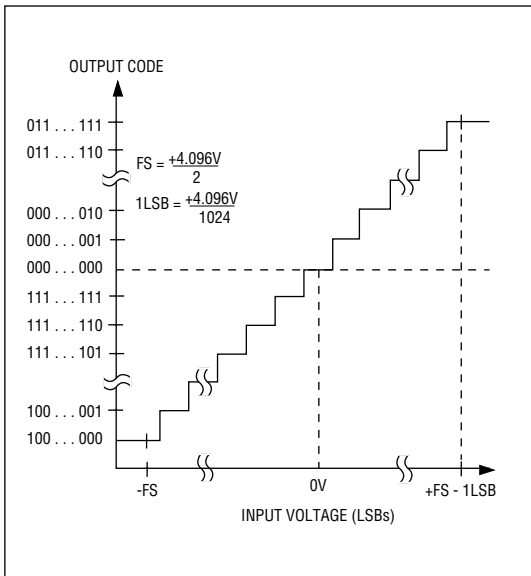


図16. バイポーラの伝達関数、±4.096V/2 = フルスケール

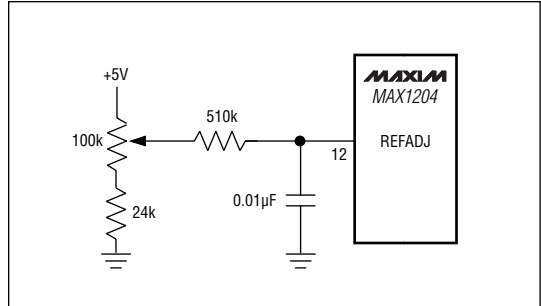


図17. リファレンス調節回路

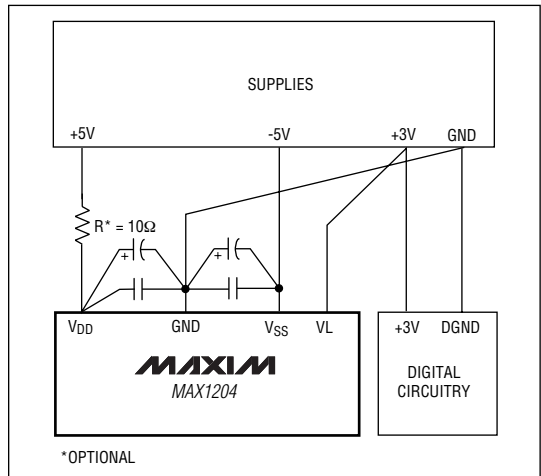


図18. 電源接地接続図

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

TMS320CL3xからMAX1204へのインタフェース

図19に示すのは、外部クロックモードでMAX1204をTMS320にインタフェースするためのアプリケーション回路です。図20に、このインタフェースのタイミング図を示します。

MAX1204で変換を開始し、結果を読み取るための手順は以下のとおりです。

- 1) TMS320はCLKX(送信クロック)がアクティブハイ出力クロック、CLKR(TMS320受信クロック)がアクティブハイ入力クロックとなるように設定してください。TMS320のCLKX及びCLKRは、MAX1204のSCLK入力と一緒に接続します。
- 2) MAX1204のCSピンは、MAX1204のDINにデータがクロックインできるようにするため、TMS320のXF_I/Oポートによってローにします。
- 3) 変換を開始するために8ビットワード(1XXXX11)をMAX1204に書き込み、素子を外部クロックモードに設定します。特定のアプリケーションに適したXXXXビットを選択するには、表2を参照してください。
- 4) MAX1204のSSTRB出力はTMS320のFSR入力を通じて監視されています。SSTRB出力に立下がりエッジが生じ、変換が進行中でデータをMAX1204から受け取る準備ができていないことを示します。

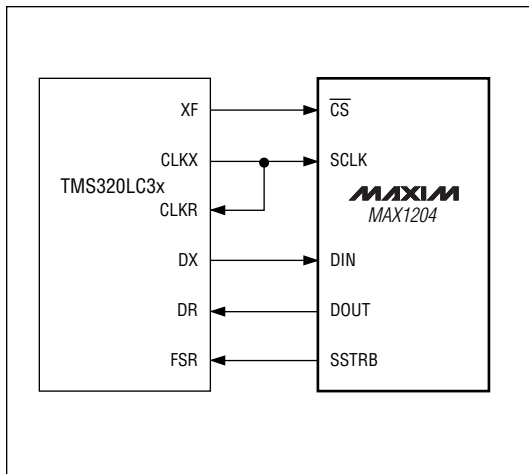


図19. MAX1204からTMS320へのシリアルインタフェース

- 5) TMS320は、続くSCLK16個の各立上がりエッジで1データビットずつ読み込みます。これらのデータビットは、10ビットの変換結果を表しています。この後に続く2つのサブビット及び残りの4ビットは無視してください。
- 6) CSをハイにして、次の変換が開始されるまでMAX1204をディセーブルします。

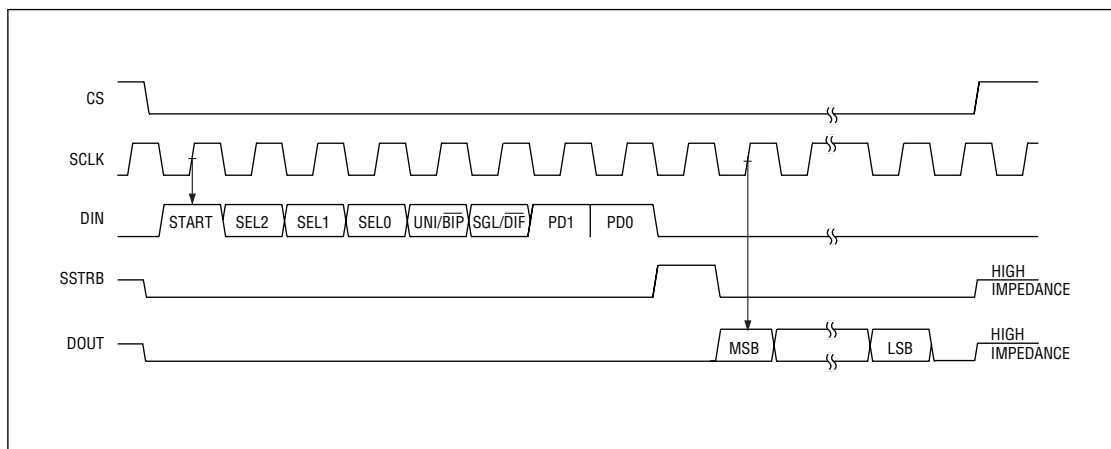


図20. TMS320のシリアルインタフェースタイミング図

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

型番(続き) _____

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1204AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX1204BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX1204AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX1204BEAP	-40°C to +85°C	20 SSOP	±1
MAX1204BMJP	-55°C to +125°C	20 CERDIP*	±1

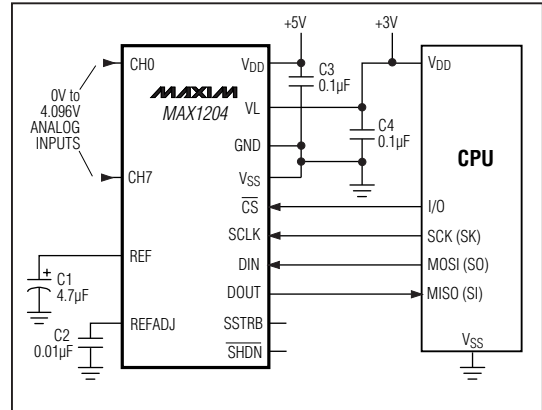
*Contact factory for availability.

チップ情報 _____

TRANSISTOR COUNT: 2503

SUBSTRATE CONNECTED TO Vss

標準動作回路 _____



5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

パッケージ

MAX1204

SSOP SHRINK SMALL-OUTLINE PACKAGE

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	14	0.239	0.249	6.07	6.33
D	16	0.239	0.249	6.07	6.33
D	20	0.278	0.289	7.07	7.33
D	24	0.317	0.328	8.07	8.33
D	28	0.397	0.407	10.07	10.33

21-0056A

20-PIN PLASTIC DUAL-IN-LINE PACKAGE

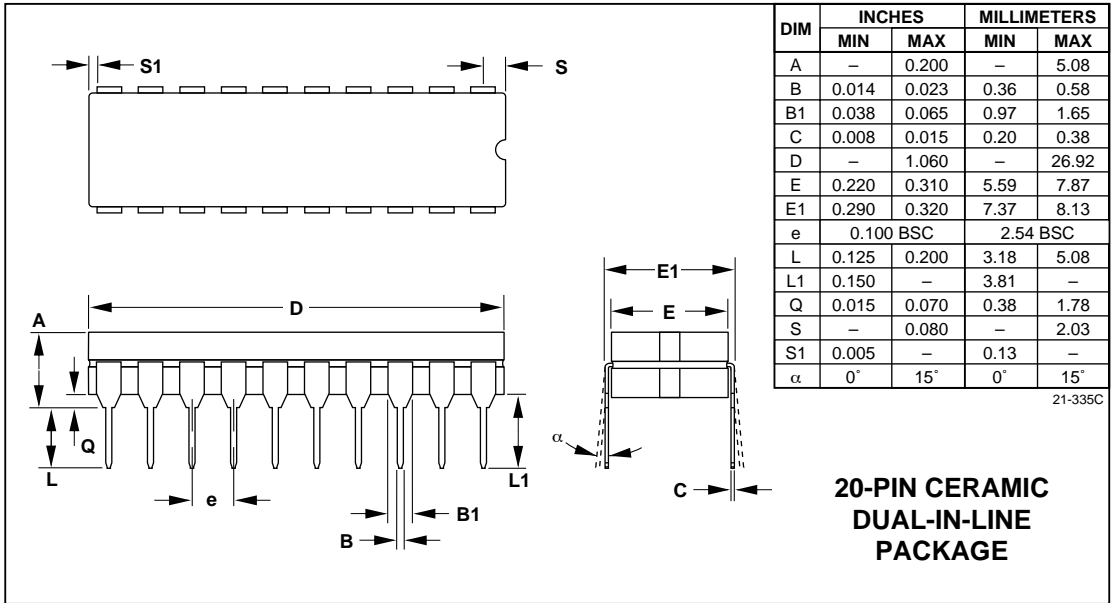
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	–	0.200	–	5.08
A1	0.015	–	0.38	–
A2	0.125	0.150	3.18	3.81
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.050	0.065	1.27	1.65
C	0.008	0.012	0.20	0.30
D	1.015	1.045	25.78	26.54
D1	0.040	0.070	1.02	1.78
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e _A	0.300 BSC		7.62 BSC	
e _B	–	0.400	–	10.16
L	0.115	0.150	2.92	3.81
α	0°	15°	0°	15°

21-333A

5V、8チャンネル、シリアル10ビットADC 3Vデジタルインタフェース付

MAX1204

パッケージ(続き)



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**