

42V デュアル入力、低ノイズ 150mA 降圧 μModule レギュレータ、I²C バッテリー健全性モニタ付き

特長

- ▶ 2つの入力電源をシームレスかつ自動的に切り替え可能
- ▶ バッテリー健全性モニタを内蔵
- ▶ デュアル入力の広い電圧範囲：2.4V~42V
- ▶ バッテリー健全性モニタの入力電圧：1.8V~5.5V
- ▶ 調整可能な出力範囲：1V~4.2V
- ▶ 連続出力電流：最大 150mA
- ▶ 内蔵の低ドロップアウト・リニア・レギュレータ：
150mA 負荷で 195mV、低出力ノイズを実現
- ▶ スwitchング周波数：200kHz~2.2MHz
- ▶ 外部クロックへの同期
- ▶ 最小オン時間 60ns の電流モード制御
- ▶ Burst Mode[®]動作、I_Q = 18.5μA
- ▶ 割込み出力を伴うプログラム可能な入力 UVLO 閾値と
放電アラーム
- ▶ 入力有効、優先チャンネル、PG の各インジケータ
- ▶ コンパクトな 7mm × 7mm × 1.85mm の 64 ピン BGA パッケージを採用

アプリケーション

- ▶ 携帯用バッテリー駆動機器
- ▶ 無線、ヘルスケア、産業用試験装置
- ▶ 無停電電源装置

標準的応用例

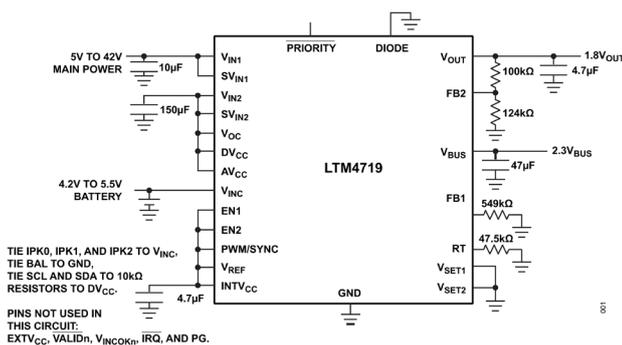


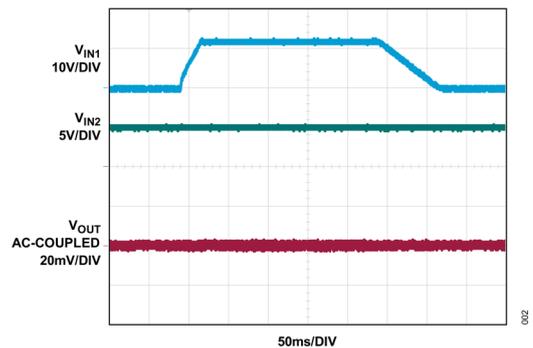
図 1. 主電源とバックアップ・バッテリーから給電する
700kHz、1.8V、150mA 電源

概要

LTM4719 は、42V デュアル入力、150mA 同期整流式降圧パワー μModule[®] (マイクロモジュール) レギュレータで、I²C 経由でインターフェースされるバッテリー健全性モニタを内蔵しています。超低静止電流のポストレギュレーション・リニア・レギュレータは、無負荷時に 560nA (代表値)、全負荷時に 42μA (代表値) しか消費しないため、バッテリー駆動のポータブル機器に最適です。

LTM4719 は、入力の 1 つが失われた場合に、2 つの入力電源間でのシームレスな移行をサポートします。この自動切り替えにより、ホールドアップ・コンデンサが不要になり、出力レールの乱れが最小限に抑えられます。Burst Mode 動作時の静止電流が 18.5μA であるため、LTM4719 は多くのアプリケーションに対応できます。

LTM4719 には、I²C インターフェース経由でアクセスできる高精度のクーロン・カウンタ (Q) が組み込まれています。放電アラーム閾値をプログラム設定できます。この閾値に達すると、IRQ ピンに割込み信号が生成されます。I²C を介してバッテリー電圧 (V)、バッテリー・インピーダンス (Z)、温度 (T) にアクセスできます。フォルト保護機能として、入力低電圧ロックアウト (UVLO)、パワー・グッド (PG)、電流制限、過熱 (OV) に対する保護機能を備えています。



1.8V_{OUT} 150mA FULL LOAD
図 2. バッテリー電源への切り替え

目次

特長.....	1
アプリケーション.....	1
概要.....	1
標準的応用例.....	1
改訂履歴.....	4
仕様.....	5
タイミング図.....	13
絶対最大定格.....	14
熱抵抗.....	15
静電放電 (ESD)	15
ESD 定格.....	15
ESD に関する注意.....	15
ピン配置およびピン機能の説明.....	16
ピン配置.....	16
ピン機能.....	17
ピン設定の説明.....	21
代表的な性能特性.....	22
動作原理.....	24
ブロック図.....	24
PowerPath 動作.....	25
降圧コンバータの動作.....	26
V_{IN1} と V_{IN2} の UVLO 閾値.....	27
スイッチング周波数.....	27
外部同期クロック周波数.....	27
バス電圧.....	28
バス・コンデンサ.....	28
フィードフォワード・コンデンサ.....	28
フィードフォワード抵抗.....	29
オープン・ドレイン出力.....	29
ロジック入力.....	29
使用に関する重要な注意事項.....	29
リニア・レギュレータの動作.....	29
出力電圧.....	30
バッテリー健全性モニタ.....	30

クローン・カウンタ・プリスケアラ M の選択	31
AV _{CC} ピンの接続	32
バッテリー電圧 (V) とバッテリー・インピーダンス (Z) のモニタ	32
温度モニタ (T)	32
I ² C インターフェース	33
内部レジスタ	33
カウンタ・チェック・テスト	36
アラーム	36
バッテリー範囲を 2V 未満まで拡大	37
スーパーキャパシタ・バランサ (オプション)	37
スーパーキャパシタの利点	37
アプリケーション情報	38
V _{IN1} と V _{IN2} の UVLO 閾値	38
入力ホールドアップ・コンデンサ	39
ソフトスタート	39
V _{REF} 出力	39
降圧コンバータのスイッチング周波数	40
入力コンデンサ	40
バス・コンデンサ	40
出力コンデンサ	41
PG 出力	41
INTV _{CC} レギュレータと EXTV _{CC} によるブートストラップ	41
EN1 と EN2 の機能	41
電流制限と熱過負荷保護	42
V _{OC} コンデンサの選択	42
バッテリーの ESR と電圧リップル	42
V _{OC} の最大負荷	42
バス速度	43
スタート・コンディションとストップ・コンディション	43
バイト・フォーマット	43
メイン・デバイスおよび従属デバイスのトランスマッタとレシーバー	43
アクノリッジ	44
従属デバイス・アドレス	44
サブアドレス・アクセス	44
バス書込み動作	45

バス読出し動作.....	45
ディレーティング曲線.....	47
PCB レイアウトのガイドライン.....	48
標準的応用例.....	49
関連製品.....	49
外形寸法.....	50
オーダー・ガイド.....	51
選択ガイド.....	52
パッケージ写真.....	52
設計リソース.....	52

改訂履歴

01/2025 - Rev. 0, Initial Release.

仕様

表 1. 電気的特性

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
Dual Input Buck Switching Regulator							
Input voltage of power source	V_{IN}	After startup	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.4		42	V
V_{IN1} , V_{IN2} UVLO threshold	V_{UVLO}	Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		2.4	2.6	V
		Falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	1.85	2.0	2.4	
SV_{IN1} current in disable	$I_{SVIN1(SD)}$	EN1/EN2 low, $V_{IN1} = 24\text{V}$, $V_{IN2} = 12\text{V}^5$		1.35			μA
		EN1/EN2 low, $V_{IN1} = 12\text{V}$, $V_{IN2} = 24\text{V}^5$		0.55			
SV_{IN2} current in disable	$I_{SVIN2(SD)}$	EN1/EN2 low, $V_{IN2} = 24\text{V}$, $V_{IN1} = 12\text{V}^5$		1.35			μA
		EN1/EN2 low, $V_{IN2} = 12\text{V}$, $V_{IN1} = 24\text{V}^5$		0.55			
SV_{IN1} current, operating from SV_{IN2}		EN1/EN2 high, buck operating, $V_{IN1} = 24\text{V}$, $V_{IN2} = 27\text{V}^5$		0.7			μA
SV_{IN2} current, operating from SV_{IN1}		EN1/EN2 high, buck operating, $V_{IN2} = 24\text{V}$, $V_{IN1} = 27\text{V}^5$		0.7			μA
Burst Mode operation quiescent current from SV_{IN1}	I_{Q_BURST}	EN1/EN2 is high, PWM/SYNC is low ⁵		18.5			μA
Oscillator frequency	f_{OSC}	Programmable frequency		200		2200	kHz
		R_T resistor = $33.2\text{k}\Omega$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	900	1000	1100	
PWM/SYNC applied clock frequency	f_{SYNC}			200		2200	kHz
Logic input threshold (EN1, diode)		$V_{IN1} = SV_{IN1} = 12\text{V}$, $V_{IN2} = SV_{IN2} = 24\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.3	0.8	1.1	V
V_{BUS} voltage accuracy	V_{BUS}	No load	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.262	2.3	2.350	V
V_{BUS} line regulation	$V_{LINEREG_BUS}$	V_{IN1} , $V_{IN2} = 2.4\text{V}$ to 42V , no load		0.05			%
V_{BUS} load regulation	$V_{LOADREG_BUS}$	$I_{BUS} = 0\text{A}$ to 150mA , apply load from V_{BUS} to GND		0.1			%
Feedback voltage	V_{FB1}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		804	818	832	mV
Soft start duration	t_{SS}			5.5			ms
PG threshold		V_{FB1} overvoltage rising		10			%
		V_{FB1} undervoltage falling		-9			

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_\phi$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
V _{REF} voltage	V _{REF}		0.995	1	1.005	V
		-40°C ≤ T _J ≤ 125°C	0.982	1	1.018	
V _{IN1} , V _{IN2} input valid threshold, rising	V _{IH}	V _{SET1} = V _{SET2} = 1000mV -40°C ≤ T _J ≤ 125°C	20.0	20.15	20.4	V
		V _{SET1} = V _{SET2} = 500mV -40°C ≤ T _J ≤ 125°C	10.0	10.15	10.3	
		V _{SET1} = V _{SET2} = 250mV -40°C ≤ T _J ≤ 125°C	5.0	5.1	5.3	
		V _{SET1} = V _{SET2} = 150mV -40°C ≤ T _J ≤ 125°C	3.0	3.1	3.2	
V _{IN1} , V _{IN2} input valid threshold, falling	V _{IL}	V _{SET1} = V _{SET2} = 1000mV -40°C ≤ T _J ≤ 125°C	17.4	17.6	17.8	V
		V _{SET1} = V _{SET2} = 500mV -40°C ≤ T _J ≤ 125°C	8.6	8.75	8.8	
		V _{SET1} = V _{SET2} = 250mV -40°C ≤ T _J ≤ 125°C	4.2	4.3	4.4	
		V _{SET1} = V _{SET2} = 150mV -40°C ≤ T _J ≤ 125°C	2.45	2.55	2.65	
V _{IN1} , V _{IN2} input valid threshold hysteresis		As a percentage of the rising threshold	12		20	%
Open-drain leakage	I _{LEAKAGE}	PG, PRIORITY, $\overline{\text{VALID1}}$, $\overline{\text{VALID2}}$			1	μA
INTV _{CC} voltage	V _{INTVCC}		4.12	4.22	4.32	V
INTV _{CC} dropout voltage	V _{DO_INTVCC}	Powered from V _{IN1} or V _{IN2} , V _{IN} = 2.4V, I _{LOAD} = 5mA		70		mV
		Powered from EXT _{VCC} , EXT _{VCC} = 3.3V, I _{LOAD} = 5mA		100		
INTV _{CC} load regulation	V _{LR_INTVCC}	I _{LOAD} = 1mA to 15mA		1.1		%
EXT _{VCC} applied voltage range	V _{EXTVCC}		3.15		42	V
EXT _{VCC} valid, rising threshold		-40°C ≤ T _J ≤ 125°C	2.95	3.05	3.15	V
EXT _{VCC} valid, hysteresis				220		mV
SW minimum on-time	t _{ON(MIN)}	V _{IN} = 24V, 0.15A load, EXT _{VCC} = open ⁵		46		ns

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_0$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
SW minimum off-time	$t_{\text{OFF(MIN)}}$	5			100		ns
Post Regulation LDO Regulator							
V_{BUS} input voltage range	V_{BUS}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		2.2		5.5	V
V_{OUT} output voltage accuracy	V_{OUT}	$100\mu\text{A} < I_{\text{OUT}} < 150\text{mA}$, $V_{\text{BUS}} = 2.2\text{V to } 5.5\text{V}$		1.764	1.8	1.83	V
			$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	1.730		1.863	
Feedback voltage FB2	V_{FB2}	$100\mu\text{A} < I_{\text{OUT}} < 150\text{mA}$, $V_{\text{BUS}} = 2.2\text{V to } 5.5\text{V}$		0.98		1.02	V
			$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.97		1.03	
Line regulation	V_{LINEREG}	$V_{\text{BUS}} = 2.2\text{V to } 5.5\text{V}$, $I_{\text{OUT}} = 10\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	-0.1		0.1	%/V
Load regulation	V_{LOADREG}	$I_{\text{OUT}} = 100\mu\text{A to } 150\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.6	1.5	%
Dropout voltage	V_{DO}	$V_{\text{OUT}} = 3.3\text{V}$, $I_{\text{OUT}} = 10\text{mA}$			8	10	mV
		$V_{\text{OUT}} = 3.3\text{V}$, $I_{\text{OUT}} = 150\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		120	225	
Start-up time	$t_{\text{START-UP}}$	$V_{\text{OUT}} = 3.3\text{V}$			1100		μs
Current limit threshold	I_{LIM}			220	320	500	mA
Thermal shutdown threshold		Temperature rising			150		$^\circ\text{C}$
Thermal shutdown hysteresis		Temperature rising			15		$^\circ\text{C}$
EN2 input logic high	$V_{\text{IH_EN2}}$	$2.2\text{V} \leq V_{\text{BUS}} \leq 5.5\text{V}$		0.88		1.28	V
EN2 input logic low	$V_{\text{IL_EN2}}$	$2.2\text{V} \leq V_{\text{BUS}} \leq 5.5\text{V}$		0.34		0.76	V
EN2 input leakage current	$I_{\text{LEAKAGE_EN2}}$	EN2 = 2.3V	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.1	1	μA
V_{BUS} input voltage UVLO	$V_{\text{UVLO_BUS}}$	Rising				2.19	V
		Falling		1.65			
		Hysteresis				300	

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_0$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Output noise	$V_{\text{RMS(OUT)}}$	10Hz to 100kHz RMS noise, $V_{\text{BUS}} = 5\text{V}$, $V_{\text{OUT}} = 3.3\text{V}$		105		μV
		10Hz to 100kHz RMS noise, $V_{\text{BUS}} = 5\text{V}$, $V_{\text{OUT}} = 2.5\text{V}$		100		
		10Hz to 100kHz RMS noise, $V_{\text{BUS}} = 5\text{V}$, $V_{\text{OUT}} = 1.2\text{V}$		80		

Battery Health Monitor Section

Input voltage range (V_{INC})	V_{INC}	2	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.0	5.5	V
AV_{CC} voltage range	AV_{CC}		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	1.8	5.5	V

Coulomb Counter

Input current into V_{INC}	I_{INC}	$V_{\text{INC}} - V_{\text{OC}} = 50\text{mV}$		0		nA	
		$V_{\text{INC}} - V_{\text{OC}} = 175\text{mV}$ (current source turned on), 100mA I_{PEAK} setting		90	100	110	mA
			$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	85	100	115	
		$V_{\text{INC}} - V_{\text{OC}} = 175\text{mV}$ (current source turned on), 75mA I_{PEAK} setting		67.5	75	82.5	
			$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	65	75	85	
		$V_{\text{INC}} - V_{\text{OC}} = 175\text{mV}$ (current source turned on), 50mA I_{PEAK} setting		45	50	55	
	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	43	50	57			
$V_{\text{INC}} - V_{\text{OC}} = 175\text{mV}$ (current source turned on), 25mA I_{PEAK} setting		22.5	25	27.5	mA		
	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	21.5	25	28.5			

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_0$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS	
		$V_{INC} - V_{OC} =$ 175mV (current source turned on), 20mA I_{PEAK} setting		18	20	22	
		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	17	20	23		
		$V_{INC} - V_{OC} =$ 175mV (current source turned on), 15mA I_{PEAK} setting		13.5	15	16.5	
		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	13	15	17		
		$V_{INC} - V_{OC} =$ 175mV (current source turned on), 10mA I_{PEAK} setting		9	10	11	
		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	8.5	10	11.5		
		$V_{INC} - V_{OC} =$ 175mV (current source turned on), 5mA I_{PEAK} setting		4.5	5	5.5	
		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	4.2	5	5.8		
		Startup: $V_{OC} = 0\text{V}$, 25mA/50mA/75mA/100mA I_{PEAK} setting		25			
		Startup: $V_{OC} = 0\text{V}$, 5mA to 20mA I_{PEAK} setting		5			
AV_{CC} pin input quiescent current	I_{Q_AVCC}	$V_{INC} - V_{OC} = 50\text{mV}$, $I_{PEAK} = 100\text{mA}$		100	160	nA	
q_{LSB} (for prescaler setting $M = 0$) ^{3,4}	Q_{LSB}	100mA I_{PEAK} setting		14.91		mA × hr	
		75mA I_{PEAK} setting		11.18			
		50mA I_{PEAK} setting		7.457			
		25mA I_{PEAK} setting		3.728			
		20mA I_{PEAK} setting		2.983			
		15mA I_{PEAK} setting		2.237			
		10mA I_{PEAK} setting		1.491			
		5mA I_{PEAK} setting		745.7		$\mu\text{A} \times \text{hr}$	

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_\phi$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
Full-scale coulomb count (battery capacity)		5mA I_{PEAK} setting, M = 15 (smallest battery)			1.491		mA × hr
		100mA I_{PEAK} setting, M = 0 (largest battery)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	928.5	977.3	1026	A × hr
Total coulomb counter error ⁴				-3		3	%
		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		-5		5	
Coulomb counter turn-on threshold		$(V_{INC} - V_{OC})$, V_{OC} rising			0.6		V
Coulomb counter turn-off threshold		$(V_{INC} - V_{OC})$, V_{OC} falling			1.2		V
V_{INCOK} Threshold	V_{INCOK}	$(V_{INC} - V_{OC})$, V_{OC} rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	90	120	170	mV
		$(V_{INC} - V_{OC})$, V_{OC} falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	375	400	425	
I_{PEAK} turn-off threshold (V_{OC_HIGH})		$(V_{INC} - V_{OC})$, V_{OC} rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	90	120	170	mV
I_{PEAK} turn-on threshold (V_{OC_LOW})		$(V_{INC} - V_{OC})$, V_{OC} falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	140	160	250	mV
V_{OC} hysteresis	V_{HYST_OC}	$V_{HYST_OC} = V_{OC_LOW} - V_{OC_HIGH}$			70		mV
Voltage Monitor							
V_{LSB}	V_{LSB}				1.465		mV
Total voltage error		BATT = 2V		-1.5		1.5	%
			$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	-2.5		2.5	
Full-scale voltage (111111111111 code)					6		V
Zero voltage (000000000000 code)					0		V
Temperature Monitor							
T_{LSB}					0.784		$^\circ\text{C}$
Code for room temperature 25°C				-5LSB	01010101	5LSB	
Full-scale temperature (11111111 code)					159		$^\circ\text{C}$

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_\circ$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Zero-scale temperature (00000000 code)				-41		$^\circ\text{C}$
Hot die temperature warning threshold (die temperature that causes $\overline{\text{IRQ}} = 0$)		00000000 code for register bits H[15:8]		-41		$^\circ\text{C}$
		11111111 code for register bits H[15:8] (default)		159		
Cold die temperature warning threshold (die temperature that causes $\overline{\text{IRQ}} = 0$)		00000000 code for register bits H[7:0] (default)		-41		$^\circ\text{C}$
		11111111 code for register bits H[7:0]		159		

Supercapacitor Balancer

V_{SCAP} (V_{OC} pin)	V_{SCAP}	Supercapacitor balancer input range	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.5	5.5	V	
I_{SCAP} (V_{OC} pin)	I_{SCAP}	Supercapacitor balancer quiescent current, $V_{OC} = 5\text{V}$, $I_{BAL} = 0$		200	400	nA	
Supercapacitor balancer max source current		$V_{OC} = 5\text{V}$, $V_{BAL} = 2.4\text{V}$		10		mA	
Supercapacitor balancer max sink current		$V_{OC} = 5\text{V}$, $V_{BAL} = 2.6\text{V}$			-10	mA	
Supercapacitor balance point (V_{BAL})	V_{BAL}	Percentage of V_{OC} voltage	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	49	50	51	%

Digital Inputs and Outputs

DV_{CC} voltage range	DV_{CC}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		1.8	5.5	V
Digital input high voltage	DV_{IH}	For pins IPK[2:0]	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	$V_{INC} - 0.5$		V
		For pins SDA, SCL	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	70		$\%DV_{CC}$
Digital input low voltage	DV_{IL}	For pins IPK[2:0]	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.5	V
		For pins SDA, SCL	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		30	$\%DV_{CC}$

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = SV_{IN1} = 24\text{V}$ 、 $V_{IN2} = SV_{IN2} = 12\text{V}$ 、 $V_{INC} = V_{OC} = AV_{CC} = DV_{CC} = 3.6\text{V}$ 、 $V_{SET1} = V_{SET2} = \text{GND}$ 、 $V_{BUS} = 2.3\text{V}$ 、 $V_{OUT} = 1.8\text{V}$ 、 $EN2 = V_{BUS}$ 、 $C_{OUT} = 1\mu\text{F}_\circ$)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Digital input high current	DI_{IH}	For pins IPK[2:0]			10	nA
		For pins SDA, SCL			10	
Digital input low current	DI_{IL}	For pins IPK[2:0]			10	nA
		For pins SDA, SCL			10	
Digital output high voltage	DV_{OH}	For pins \overline{IRQ} , V_{INCOK} ; 1 μA out of pin	$DV_{CC} - 0.5$			V
Digital output low voltage	DV_{OL}	For pins \overline{IRQ} , V_{INCOK} ; 1 μA into pin			0.5	V
		For pin SDA; 3mA into pin			0.4	

I²C Timing Characteristics (See Figure 3)

I ² C read address			110010 01			
I ² C write address			110010 00			
Clock operating frequency	f_{SCL}				400	kHz
Bus free time between STOP/START	t_{BUF}		1.3			μs
Repeated START setup time	$t_{SU(STA)}$		600			ns
Hold time (repeated) START condition	$t_{HD(STA)}$		600			ns
Setup time for STOP condition	$t_{SU(STO)}$		600			ns
Data setup time (input)	$t_{SU(DAT)}$		100			ns
Data hold time (input)	$t_{HD(DATI)}$		0			μs
Data hold time (output)	$t_{HD(DATO)}$		0		0.9	μs
Clock/data fall time	t_f		20		300	ns
Clock/data rise time	t_r		20		300	ns
Clock low period	t_{LOW}		1.3			μs
Clock high period	t_{HIGH}		0.6			μs
Spike suppression time	t_{SP}				50	ns

- ¹ LTM4719は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4719Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲内で性能仕様を満たすよう設計されています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって裏付けられています。LTM4719Iの仕様は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲で確保されています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの定格熱抵抗値、その他の環境条件との組み合わせによって決まります。
- ² クーロン・カウンタとピーク電流制限の精度は、 V_{INC} 電圧が 2V より高い場合の最良値です。電圧および温度モニタ精度は 1.8V (下限値) まで最良値が得られます。
- ³ 累積電荷量レジスタ内の LSB (最下位ビット) 等価電荷量は、 I_{PEAK} の設定と内部プリスケール・ファクタ M によって異なります。 $1\text{mA} \times \text{hr} = 3.6\text{A} \times \text{s} = 3.6\text{C}$ となります。
- ⁴ 仕様規定された q_{LSB} の精度 (%) は、対応する I_{PEAK} 値より良くなっています。これは、クーロン値の計算に使われている時間ベースが、実際の I_{PEAK} 値に含まれる誤差を補償するために内部で調整されているからです。仕様規定された総合クーロン・カウンタ誤差には、 q_{LSB} の不正確さが含まれています。
- ⁵ テストベンチでテストしたデータです。

タイミング図

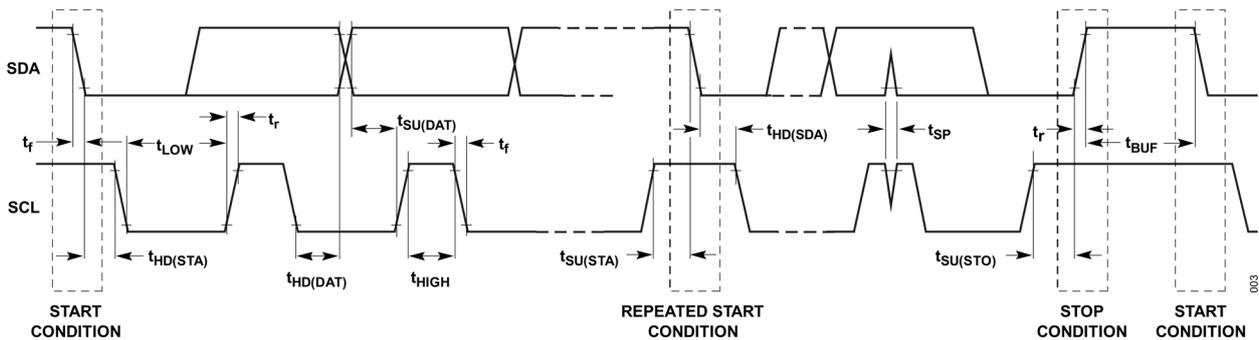


図 3. I²C バスのタイミング定義

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 2. 絶対最大定格

PARAMETER	RATING
V_{IN1} , V_{IN2} , SV_{IN1} , SV_{IN2} , SW	-0.3V to 42V
$EXTV_{CC}$	-0.3V to 42V
$INTV_{CC}$	-0.3V to 6V
V_{REF} , V_{SET1} , V_{SET2} , FB1, RT	-0.3V to 6V
PWM/SYNC, DIODE, EN1	-0.3V to 6V
$\overline{VALID1}$, $\overline{VALID2}$, PG, $\overline{PRIORITY}$	-0.3V to 6V
V_{INC} , V_{OC} , AV_{CC}	-0.3V to 6V
$(V_{INC} - V_{OC})$	0.3V
SDA, SCL, DV_{CC}	-0.3V to 6V
IPK[2:0]	-0.3 to [lesser of ($V_{INC} + 0.3V$) or 6V]
V_{BAL}	-0.3 to [lesser of ($V_{OC} + 0.3V$) or 6V]
V_{BUS}	-0.3V to 6V
V_{OUT} , EN2, FB2	-0.3 to V_{BUS} (V)
\overline{IRQ} , V_{INCOK} current	$\pm 1\text{mA}$
Operating junction temperature (I-grade)	-40°C to 125°C
Storage temperature range	-55°C to 125°C
Maximum reflow (package body) temperature	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

静電放電（ESD）

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。人体モデル（HBM）は ANSI/ESDA/JEDEC JS-001 に準拠、電界誘導帯電デバイス・モデル（FICDM）とチャージ・デバイス・モデル（CDM）は ANSI/ESDA/JEDEC JS-002 に準拠しています。

ESD 定格

表 3. LTM4719 の ESD 定格

ESD MODEL	WITHSTAND THRESHOLD (V)	CLASS
HBM	±4000	3A
CDM	±1250	C3

ESD に関する注意

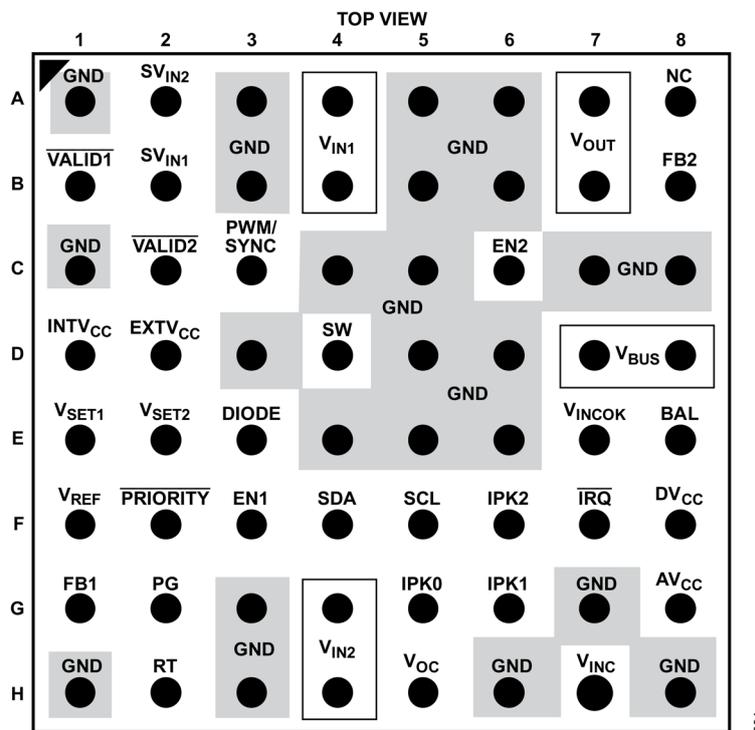


ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

ピン配置



004

BGA PACKAGE
 64-PIN (7mm × 7mm × 1.85mm)
 $T_{JMAX} = 125^{\circ}C$, $\theta_{JCtop} = 22.1^{\circ}C/W$, $\theta_{JCbottom} = 6.2^{\circ}C/W$, $\theta_{JA} = 17.1^{\circ}C/W$,
 θ VALUES DEFINED PER JESD5112, WEIGHT = 210mg (TYPICAL)

θ VALUES ARE DETERMINED BY SIMULATION PER JESD51 CONDITIONS.
 θ_{JA} VALUE IS OBTAINED WITH DEMO BOARD.
 SEE THE APPLICATIONS INFORMATION SECTION FOR LAB MEASUREMENT DERATING INFORMATION.

図 4.64 ピン BGA のピン配置



μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよくご確認ください。

ピン機能

表 4. ピン機能の説明

ピン	名称	説明
A1, C1, H1, A3, B3, D3, G3, H3, C4, E4, A5-E5, A6, B6, D6, E6, H6, C7, G7, C8, H8	GND	電源グラウンド接続。アプリケーションでは、これらのピンをグラウンドに接続する必要があります。
A2	SV _{IN2}	2次電源のケルビン接続。このピンは、0.1μFのセラミック・コンデンサにより内部でグラウンドにバイパスされています。アプリケーションでは、SV _{IN2} ピンをV _{IN2} に接続する必要があります。
A4, B4	V _{IN1}	降圧コンバータの優先電源入力。優先モード（DIODEピンがロー）では、両方の入力電源が有効であれば（それぞれのUVLO閾値を超えていれば）、降圧コンバータは優先的にこの入力を受けて動作します。このピンは、4.7μF以上のセラミック・コンデンサでグラウンドにバイパスします。V _{IN1} 入力が誘導性によりグラウンドに短絡される場合には、グラウンドからV _{IN1} に向けて電源ショットキー・ダイオードを追加し、このピンがグラウンドより低く駆動されるのを防止する必要があります。
A7, B7	V _{OUT}	安定化された出力電圧。これらのピンは負荷に給電します。V _{OUT} は、1μF以上のコンデンサでGNDにバイパスしてください。
A8	NC	接続しないでください。このピンはフロート状態のままにしておきます。
B1, C2	$\overline{\text{VALID1}}$ and $\overline{\text{VALID2}}$	V _{IN1} 入力とV _{IN2} 入力があるかどうかを示すオープン・ドレイン出力。デバイスがイネーブルされているとき（EN1がハイ）、 $\overline{\text{VALID1}}$ と $\overline{\text{VALID2}}$ は、それぞれV _{IN1} 入力またはV _{IN2} 入力の電圧がV _{SET1} ピンまたはV _{SET2} で設定されたUVLO閾値より高ければ、ローになります。デバイスがディスエーブルのときは（EN1がロー）、 $\overline{\text{VALID1}}$ と $\overline{\text{VALID2}}$ のプルダウンが解除され、ピンはフローティング状態になります。 $\overline{\text{VALID1}}$ ピンと $\overline{\text{VALID2}}$ ピンに印加できる最大電圧は5.5Vです。
B2	SV _{IN1}	優先電源のケルビン接続。このピンは、0.1μFのセラミック・コンデンサにより内部でグラウンドにバイパスされています。アプリケーションでは、SV _{IN1} ピンをV _{IN1} に接続する必要があります。
B8	FB2	ポストアレギュレーション・リニア・レギュレータの帰還電圧入力。このピンは、V _{OUT} とGNDの間に配置した抵抗分圧器の midpoint に接続して、出力電圧を設定します。
C3	PWM/SYNC	パルス幅変調（PWM）/Burst Mode動作制御と外部同期クロック入力。このピンをハイにすると降圧コンバータはPWMモードで動作します。PWMモードでは、コンバータは高負荷時には固定周波数での動作を維持し、負荷が極度に軽いときのみ固定周波数モードから抜け、パルススキップしてレギュレーションを維持します。PWM/SYNCピンをローにすると、ICは軽負荷時にはBurst Modeで動作し、負荷電流が高いときには自動的にPWMモードに遷移します。Burst Mode動作では軽負荷時の効率が向上し、無負荷時の入力静止電流が大幅に減少しますが、出力電圧リップルが若干増加します。また、外部クロックをPWM/SYNCピンに印加して同期に使用することもできます。外部クロックに同期するとき、降圧コンバータはPWMモードで動作します（Burst Mode動作はディスエーブル）。

C6	EN2	ポストアレギュレーション・リニア・レギュレータのイネーブル入力。EN2 をハイにするとリニア・レギュレータがオンし、ローにするとリニア・レギュレータがオフになります。自動スタートアップさせる場合は、EN2 を INTV _{CC} に接続します。
D1	INTV _{CC}	内部リニア・レギュレータ出力および IC の低電圧制御回路用電源。内部リニア・レギュレータは、SV _{IN1} 、SV _{IN2} 、EXTV _{CC} のいずれかから安定化電圧を生成し、このピンに出力します。このピンとグラウンドの間に、4.7μF 以上のバイパス・コンデンサを接続する必要があります。INTV _{CC} レールはシャットダウン中も給電されたままで、最大 1mA の外部負荷に電源を供給できます。
D2	EXTV _{CC}	INTV _{CC} レギュレータのブートストラップ・ピン。このピンを 3.15V 以上にすると、EXTV _{CC} が内部 INTV _{CC} レールへの電源供給に使用されます。一般的には、EXTV _{CC} 入力は降圧コンバータの出力電圧に接続されません。この形で INTV _{CC} レールをブートストラップすると、効率で大きなメリットが得られ、静止電流が低減されます。特に、入力電圧が高く出力電圧が低いアプリケーションでは有効です。EXTV _{CC} ピンをオープンのままにすると、INTV _{CC} レールには SV _{IN1} ピンと SV _{IN2} ピンから電源が供給されます。
D4	SW	スイッチング・ノード。このピンはテスト用です。
D7, D8	V _{BUS}	バス電圧。これはデュアル入力降圧レギュレータの出力であり、ポストアレギュレーション・リニア・レギュレータの入力です。V _{BUS} は 22μF 以上のコンデンサで GND にバイパスします。
E1, E2	V _{SET1} , V _{SET2}	V _{IN1} と V _{IN2} の UVLO 閾値設定ピン。V _{SET1} ピンと V _{SET2} ピンの電圧によって、それぞれ V _{IN1} と V _{IN2} の電源入力の UVLO 閾値をプログラムします。0V~1V の電圧に対応して、0V~20V の範囲で UVLO 閾値をプログラムします。これと別に、各入力には固定の内部 UVLO 閾値（代表値 2.34V）もあり、常時有効です。V _{SET1} と V _{SET2} の電圧は、正確なリファレンス出力である V _{REF} を入力とする抵抗分圧器で設定できます。V _{SET1} と V _{SET2} をグラウンド・レベルにすると、対応する V _{IN1} と V _{IN2} の入力は固定の内部 UVLO 閾値を下限とする範囲で使用できます。
E3	DIODE	理想ダイオード OR モードと優先モードの間の選択に使用するロジック入力。内蔵の電力経路により、V _{IN1} と V _{IN2} のいずれかの電源を入力として動作可能です。入力は、その電圧が UVLO 閾値を上回っている場合のみ使用可能とみなされ、その閾値はそれぞれ V _{SET1} ピンまたは V _{SET2} ピンの電圧でプログラムされます。DIODE がハイの場合、デバイスは理想ダイオード・モードで動作し、降圧コンバータは電圧が最高の有効な入力（V _{IN1} または V _{IN2} ）で動作します。DIODE がローの場合、デバイスは優先モードで動作し、降圧コンバータは V _{IN1} が有効であれば常にこれを入力として動作し、V _{IN1} が無効になったときのみ V _{IN2} に切り替えます。どちらのモードでも、両方の入力が低電圧であれば、降圧コンバータはディスエーブルされます。
E7	V _{INCOK}	V _{INCOK} コンパレータ出力。DV _{CC} 基準のロジック・レベル出力。V _{OC} ピンがハイで通常動作範囲（クーロン・カウンタが正しく動作する範囲）内にある場合、このピンはロジック・ハイになります。

E8	BAL	スーパーキャパシタ・バランス・ポイント。V _{CC} に接続したスーパーキャパシタ 2 個のスタック（オプション）の共通ノード。最大±10mA のソース/シンク・バランス電流を使用できます。バランスとそれに対応する静止電流をディスエーブルするには、BAL を GND に接続してください。
F1	V _{REF}	V _{SET1} と V _{SET2} の入力を設定する抵抗分圧器に給電する電圧リファレンス出力。このピンの電圧は、IC での安定化により高精度で温度安定性に優れた 1.0V 出力を維持します。V _{REF} ピンを入力とする抵抗分圧器を使用して、V _{SET1} ピンと V _{SET2} ピンの電圧を設定し、これにより各入力の UVLO 閾値をプログラムします。V _{REF} の出力はアプリケーション中で汎用電圧リファレンスとして使用することもでき、コンパレータや DAC などの機能のための温度安定性に優れたリファレンスとなります。このピンから流れる全電流は 1mA 以内に制限し、総合容量性負荷は 470pF 以内に制限することが必要です。アプリケーションでこのピンを使用しない（すなわち、V _{REF} とグラウンドの間に抵抗を置かない）場合、V _{REF} ピンは INTV _{CC} に接続する必要があります。
F2	$\overline{\text{PRIORITY}}$	優先入力（V _{IN1} ）が使用されていることを示すオープン・ドレイン出力。デバイスがイネーブルされていて降圧コンパータが優先入力である V _{IN1} で動作しているとき、 $\overline{\text{PRIORITY}}$ ピンはローになります。ディスエーブルされているとき（EN1 がロー）、 $\overline{\text{PRIORITY}}$ のプルダウンはディスエーブルされ、このピンはフローティングになります。 $\overline{\text{PRIORITY}}$ ピンに印加できる最大電圧は 5.5V です。
F3	EN1	降圧コンパータのイネーブル入力。EN1 ピンをローにすると、入力電圧コンパレータ、V _{REF} ピン・ドライバ、降圧コンパータがディスエーブルされます。ディスエーブル状態でも INTV _{CC} レールには電源が供給されたままなので、EN1 を INTV _{CC} に接続するとデバイスを常時イネーブルにできます。EN1 ピンに印加できる最大電圧は 5.5V です。
F4	SDA	I ² C シリアルポート用シリアル・データ入出力。I ² C 入力レベルは、I ² C 準拠のために DV _{CC} 基準でスケールリングできます。このピンはフロート状態にしないでください。
F5	SCL	I ² C シリアルポート用シリアル・クロック入力。I ² C 入力レベルは、I ² C 準拠のために DV _{CC} 基準でスケールリングできます。このピンはフロート状態にしないでください。
F6	IPK2	バッテリー健全性モニタの入力電流制限値選択ビット（IPK0、IPK1 と併用）。IPK0 を参照してください。このピンはフロート状態にしないでください。
F7	$\overline{\text{IRQ}}$	割込み出力。DV _{CC} 基準のロジック・レベル出力。アクティブ・ロー。通常このピンはロジック・ハイですが、クーロン・カウンタのアラーム・レベル、または温度警告レベルのいずれかに達するとローに遷移します。
F8	DV _{CC}	I ² C シリアル・バス用および $\overline{\text{IRQ}}$ と V _{INCOK} の出力用の電源レール。DV _{CC} は、I ² C 準拠のために SDA ピンと SCL ピンのリファレンス・レベルを設定します。SDA ピンと SCL ピンの外付け I ² C プルアップ抵抗は、DV _{CC} に接続してください。アプリケーションによっては、DV _{CC} を AV _{CC} もしくは別の 1.8V~5.5V 外部電源に接続できます。
G1	FB1	降圧コンパータの帰還電圧入力。モジュール内で、このピンと降圧コンパータの出力 V _{BUS} の間に 1MΩ ±1% の抵抗が内部接続されています。所望の V _{BUS} を得るために、このピンと GND の間に抵抗を接続する必要があります。このピンへのスイッチング・ノイズの結合を最小化するため、配線には注意を払う必要があります。
G2	PG	降圧コンパータ出力電圧のオープン・ドレイン・パワー・グッド・インジケータ。降圧コンパータの出力電圧が、安定化電圧より 9% より大きく下回るか、10% より大きく上回ると、この出力がローになります。降圧コンパータがディスエーブルになると、PG ピンもローになります。PG ピンに印加できる最大電圧は 5.5V です。

G4, H4	V _{IN2}	降圧コンバータの2次電源入力。優先モード (DIODE ピンがロー) では、優先電源入力が低電圧である場合のみ、降圧コンバータはこの入力で動作します。このピンは、4.7μF 以上のセラミック・コンデンサでグラウンドにバイパスします。V _{IN2} 入力が誘導性によりグラウンドに短絡される場合には、グラウンドから V _{IN2} に向けて電源ショットキー・ダイオードを追加し、このピンがグラウンドより低く駆動されるのを防止する必要があります。
G5	IPK0	バッテリー健全性モニタの入力電流制限値選択ビット (IPK1、IPK2 と併用)。IPK0 を V _{INC} に接続することでハイを、GND に接続することでローを選択します。これにより、必要な I _{PEAK} を設定します (動作原理のセクションの表 7 を参照)。このピンはフロート状態にしないでください。
G6	IPK1	バッテリー健全性モニタの入力電流制限値選択ビット (IPK0、IPK2 と併用)。IPK0 を参照してください。このピンはフロート状態にしないでください。
G8	AV _{CC}	クーロン・カウンタとバッテリー健全性モニタの回路用の電源レール。AV _{CC} は通常 V _{OC} に接続しますが、アプリケーションによっては V _{INC} に接続する場合があります (アプリケーション情報のセクションを参照)。
H2	RT	スイッチング周波数の設定ピン。このピンとグラウンドの間に抵抗を配置して、降圧コンバータのスイッチング周波数を設定します。
H5	V _{OC}	バッテリー健全性モニタの出力電圧。このピンには V _{IN2} または負荷を接続します。
H7	V _{INC}	バッテリー健全性モニタの入力電圧。バッテリーは、できるだけこのピンに近付けて接続してください。

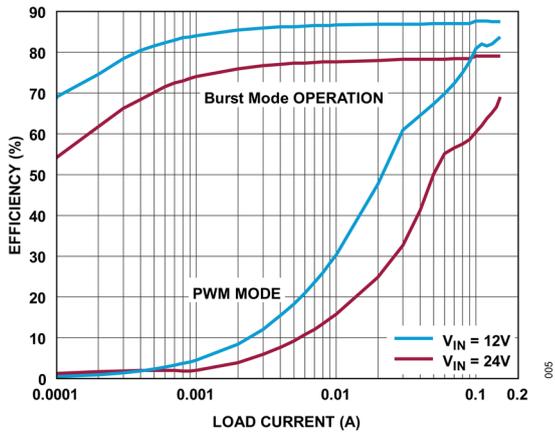
ピン設定の説明

表 5. LTM4719 デバイスの BGA ピン配置 (ピン番号順)

PIN ID	PIN NAME	PIN ID	PIN NAME	PIN ID	PIN NAME	PIN ID	PIN NAME
A1-D8							
A1	GND	B1	$\overline{\text{VALID1}}$	C1	GND	D1	INTV _{CC}
A2	SV _{IN2}	B2	SV _{IN1}	C2	$\overline{\text{VALID2}}$	D2	EXTV _{CC}
A3	GND	B3	GND	C3	PWM/SYNC	D3	GND
A4	V _{IN1}	B4	V _{IN1}	C4	GND	D4	SW
A5	GND	B5	GND	C5	GND	D5	GND
A6	GND	B6	GND	C6	EN2	D6	GND
A7	V _{OUT}	B7	V _{OUT}	C7	GND	D7	V _{BUS}
A8	NC	B8	FB2	C8	GND	D8	V _{BUS}
E1-H8							
E1	V _{SET1}	F1	V _{REF}	G1	FB1	H1	GND
E2	V _{SET2}	F2	PRIORITY	G2	PG	H2	RT
E3	DIODE	F3	EN1	G3	GND	H3	GND
E4	GND	F4	SDA	G4	V _{IN2}	H4	V _{IN2}
E5	GND	F5	SCL	G5	IPK0	H5	V _{OC}
E6	GND	F6	IPK2	G6	IPK1	H6	GND
E7	V _{INCOK}	F7	$\overline{\text{IRQ}}$	G7	GND	H7	V _{INC}
E8	BAL	F8	DV _{CC}	G8	AV _{CC}	H8	GND

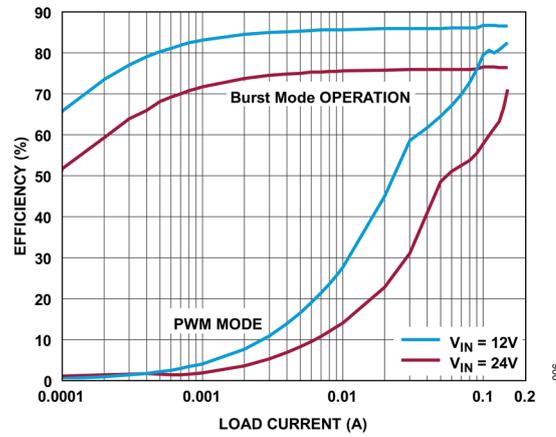
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。



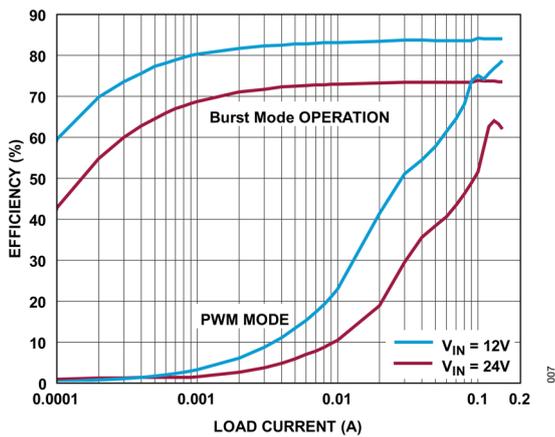
$f_{\text{SW}} = 700\text{kHz}$

図 5. V_{IN} から V_{BUS} への効率、 $V_{\text{BUS}} = 5.5\text{V}$



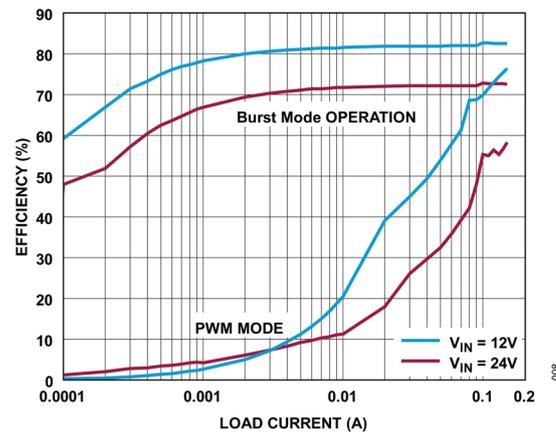
$f_{\text{SW}} = 700\text{kHz}$

図 6. V_{IN} から V_{BUS} への効率、 $V_{\text{BUS}} = 5\text{V}$



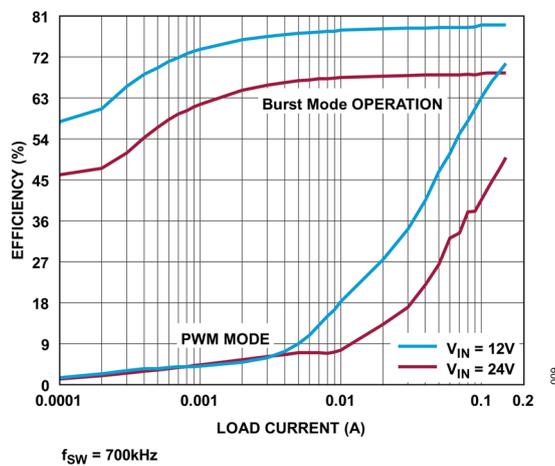
$f_{\text{SW}} = 700\text{kHz}$

図 7. V_{IN} から V_{BUS} への効率、 $V_{\text{BUS}} = 3.8\text{V}$



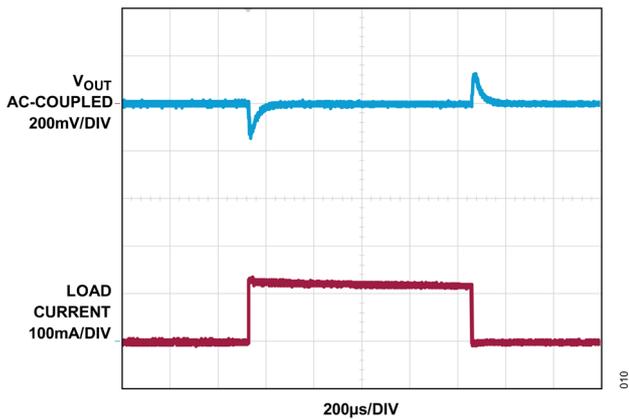
$f_{\text{SW}} = 700\text{kHz}$

図 8. V_{IN} から V_{BUS} への効率、 $V_{\text{BUS}} = 3.3\text{V}$



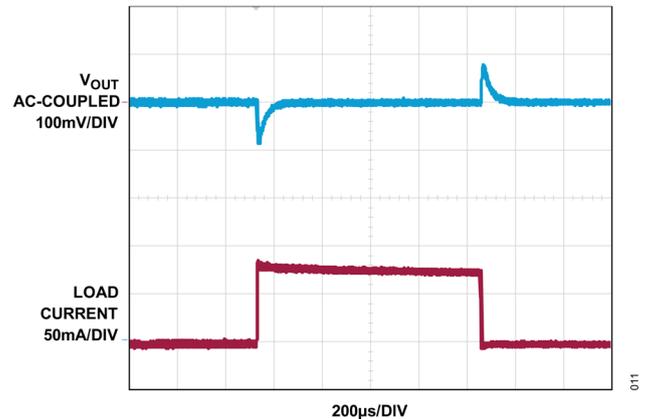
$f_{\text{SW}} = 700\text{kHz}$

図 9. V_{IN} から V_{BUS} への効率、 $V_{\text{BUS}} = 2.3\text{V}$



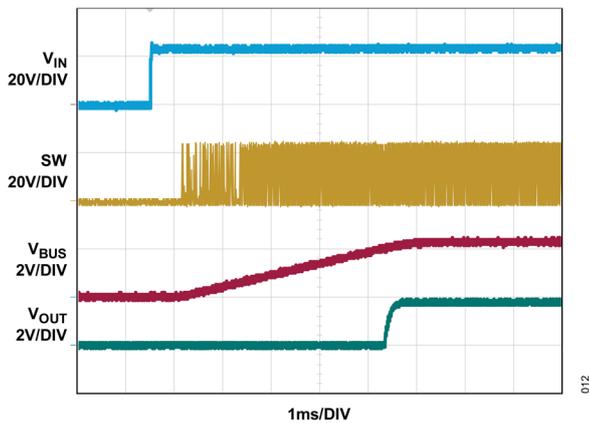
$V_{IN} = 24V$, $V_{BUS} = 2.3V$, $V_{OUT} = 1.8V$,
 $C_{OUT} = 4.7\mu F$, $f_{SW} = 700kHz$,
 1µs RISE/FALL TIME,
 10% TO 90%, 15mA TO 135mA

図 10. 負荷過渡応答



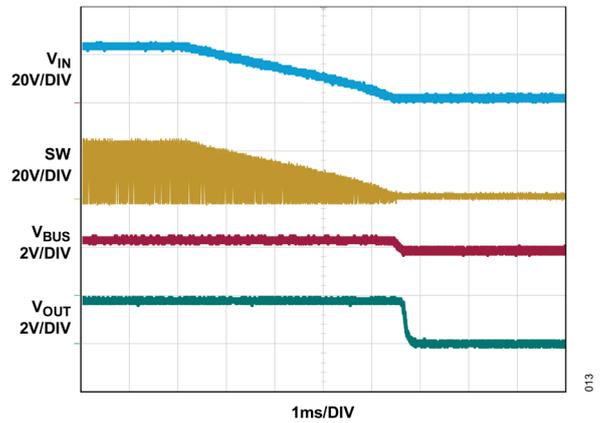
$V_{IN} = 24V$, $V_{BUS} = 2.3V$, $V_{OUT} = 1.8V$,
 $C_{OUT} = 4.7\mu F$, $f_{SW} = 700kHz$,
 1µs RISE/FALL TIME,
 25% TO 75%, 37.5mA TO 112.5mA

図 11. 負荷過渡応答



$V_{IN} = 24V$, $V_{BUS} = 2.3V$, $V_{OUT} = 1.8V$,
 $C_{OUT} = 4.7\mu F$, $f_{SW} = 700kHz$,
 LOAD 150mA

図 12. 起動時の波形



$V_{IN} = 24V$, $V_{BUS} = 2.3V$, $V_{OUT} = 1.8V$,
 $C_{OUT} = 4.7\mu F$, $f_{SW} = 700kHz$,
 LOAD 150mA

図 13. シャットダウン時の波形

動作原理

LTM4719は42Vのデュアル入力、150mA同期整流式降圧μModuleレギュレータで、I²Cでインターフェース可能なバッテリー健全性モニタとローノイズ出力用の内蔵リニア・レギュレータを備えています。LTM4719は、2つの入力電源間で、1つが失われたときにシームレスに移行します。高速な自動切り替えにより、ホールドアップ・コンデンサが不要になり、出力レールの乱れが最小限に抑えられます。LTM4719は、携帯用バッテリー駆動機器、バックアップ電源、無線、ヘルスケア、産業用自動試験装置（ATE）、無停電電源装置など、幅広いアプリケーションで使用できます。LTM4719には、I²Cインターフェースでアクセスできる高精度のクーロン・カウンタが組み込まれています。放電アラーム閾値をプログラム設定できます。この閾値電圧に達すると、 $\overline{\text{IRQ}}$ ピンに割込み信号が生成されます。バッテリー電圧、バッテリーインピーダンス、温度をモニタし、I²Cを介してアクセスできます。LTM4719に内蔵の超低静止電流のポストレギュレーション・リニア・レギュレータは、無負荷時に560nA（代表値）、全負荷時に42μA（代表値）しか消費しないため、バッテリー駆動のポータブル機器に最適です。フォルト保護機能として、UVLO、PG、電流制限、過電圧に対する保護機能を備えています。

ブロック図

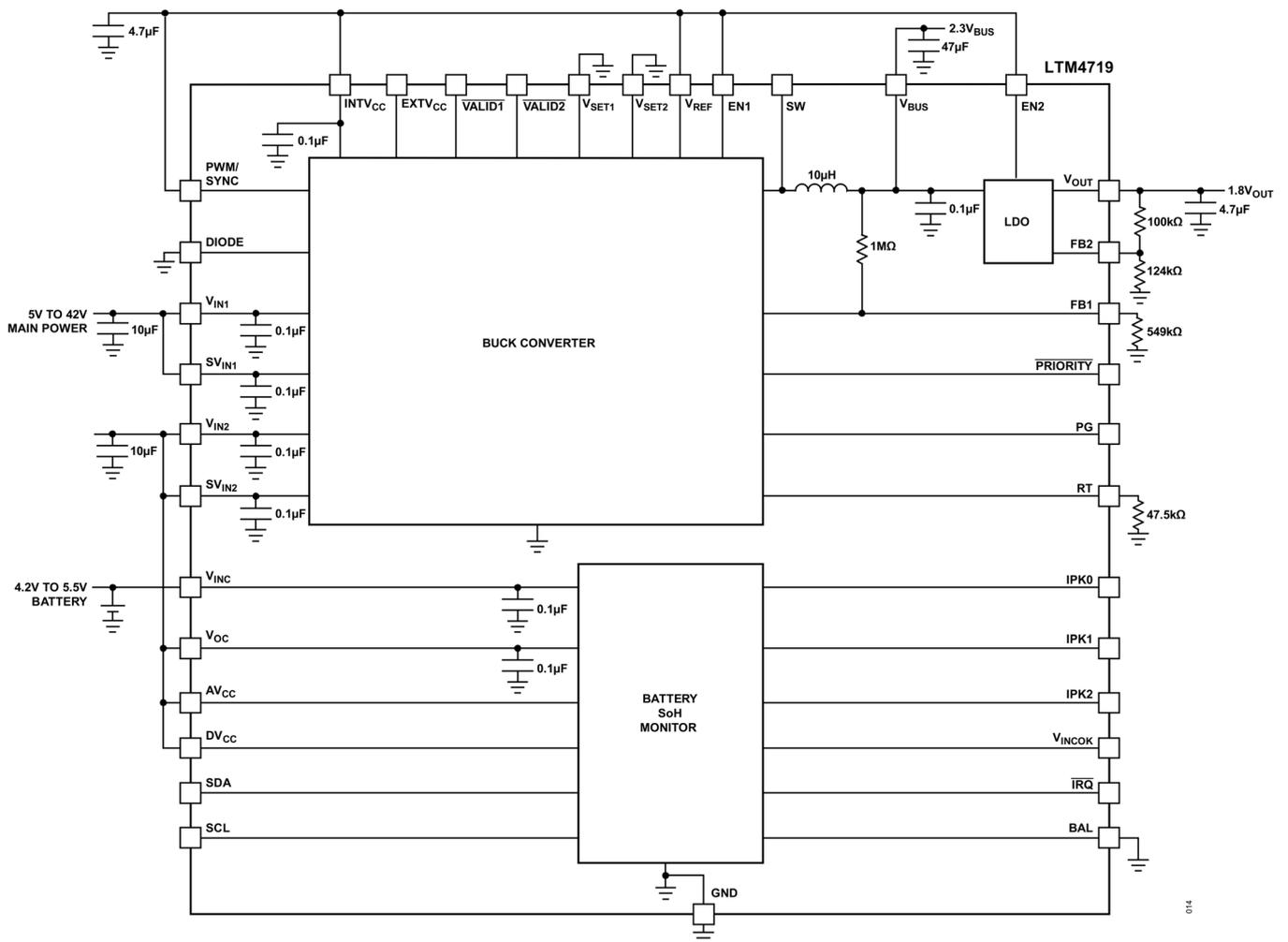


図 14. LTM4719 の簡略ブロック図

PowerPath 動作

PowerPath™ は、LTM4719 が V_{IN1} と V_{IN2} のいずれかで動作するかを、各入力のプログラマブルな UVLO 閾値に基づいて制御します。LTM4719 が採用している UVLO アーキテクチャでは、入力電圧に外付け抵抗分圧器を直接接続する必要がないため、静止電流が大幅に低減されます。

V_{SET1} ピンと V_{SET2} ピンの電圧によって、それぞれ V_{IN1} と V_{IN2} の電源入力の UVLO 閾値を設定します。図 15 に示すように、各入力の UVLO 閾値は、独立に、20V から内部固定の UVLO 閾値である 2.34V までの任意の電圧に、外付けの抵抗分圧器を使用して設定できます。 V_{REF} ピンは、温度安定性の高い固定の 1V に安定化されています。 V_{REF} ピンから接続した外付けの抵抗分圧器で、 V_{SET1} ピンと V_{SET2} ピンの電圧が決定します。プログラムされた V_{SET1} ピンと V_{SET2} ピンの電圧を、それぞれの入力電圧 (V_{IN1} または V_{IN2}) を内部抵抗分圧器で 20:1 の比率でスケール・ダウンした電圧と比較し、入力低電圧を判断します。この結果、 V_{SET1} と V_{SET2} の 0V~1V の電圧範囲が、 V_{IN1} と V_{IN2} の 0V~20V の UVLO 電圧と対応します。更に、固定の内部最小 UVLO 閾値 2.34V があり、 V_{SET1} ピンと V_{SET2} ピンでプログラムされた電圧と独立に常時適用されます。この最小 UVLO 閾値を使用する場合は、対応する V_{SET1} ピンまたは V_{SET2} ピンをグラウンドに接続します。

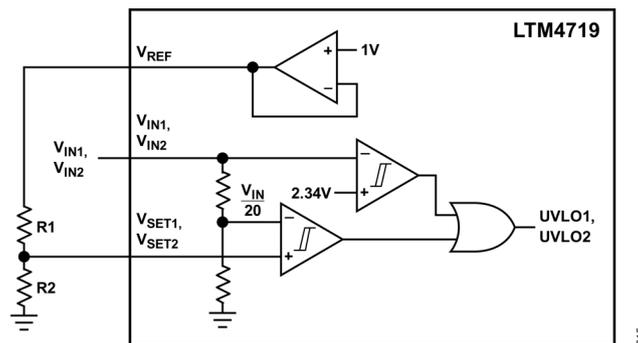


図 15. V_{IN1} と V_{IN2} の UVLO 閾値の設定

LTM4719 の PowerPath には 2 つの動作モードがあり、DIODE ロジック入力の状態によって決まります。DIODE がハイのとき、IC は理想ダイオード OR モードを使用し、高い方の電圧の入力で動作します（両方の入力がそれぞれの UVLO 閾値を上回っていると前提）。どちらかの入力が UVLO 状態であれば、他方の入力を使用します。両方の入力が UVLO であれば、降圧コンバータはディスエーブルされます。DIODE 入力がローの場合、IC は優先モードで動作し、UVLO 閾値を上回っていれば、 V_{IN1} が常に優先的に使用されます。 V_{IN1} が UVLO である場合、 V_{IN2} が UVLO でなければこれを使用します。 V_{IN1} と V_{IN2} の両方が UVLO であれば、降圧コンバータはディスエーブルされます。

V_{REF} ピンから流れる電流はすべて、 V_{IN1} か V_{IN2} のいずれかから供給されます。どちらの入力もそれぞれの UVLO 閾値を上回っていない場合には、この電流は電圧が高い方の入力から流れます。これ以外の場合、電流は PowerPath で決定されるアクティブ・チャンネルから流れます。 V_{REF} ピンの電流は、EXTVCC ピンが使用されていて有効な電圧が存在していれば、これから流れます。

$\overline{PRIORITY}$ 、 $\overline{VALID1}$ 、 $\overline{VALID2}$ のオープン・ドレイン出力に PowerPath の状態がフィードバックされます。 $\overline{VALID1}$ と $\overline{VALID2}$ の出力は、対応する入力が存在し、UVLO 閾値を上回っていることを示します。具体的には、IC がイネーブルされていて ($EN1$ がハイ) V_{IN1} が UVLO 閾値を上回っていれば、 $\overline{VALID1}$ ピンがローになります。IC がイネーブルされていて V_{IN2} が UVLO 閾値を上回っていれば、 $\overline{VALID2}$ ピンがローになります。IC がイネーブルされていて降圧コンバータが優先チャンネルである V_{IN1} で動作しているとき、 $\overline{PRIORITY}$ ピンがローになります。 $\overline{PRIORITY}$ ピンによって、両方の入力が有効な場合に理想ダイオード・モードでどちらの入力が使用されているかを判断できます。

INTVCC レールは、LTM4719 がディスエーブルされていても ($EN1$ がロー)、 V_{IN1} と V_{IN2} のいずれかの電源がある限り給電された状態を続けます。このディスエーブル状態では、INTVCC 出力は、DIODE ピンの状態にかかわらず入力 (V_{IN1} または V_{IN2}) の高い方から電源が供給されます。シャットダウン時も INTVCC 出力には電源が供給されたままなので、 $EN1$ ピンを INTVCC に接続するとデバイスを常時イネーブルにできます。

降圧コンバータの動作

LTM4719 のフロント・エンド・スイッチング・レギュレータは、ピーク電流モード制御により一定周波数でのスイッチングを行います。スイッチング周波数は、RT ピン抵抗を適切に接続することにより、200kHz~2.2MHz の範囲で設定できます。また、降圧コンバータを PWM/SYNC ピンに印加された外部クロックに同期させることも可能です。

いかなる場合でも降圧コンバータは単一の入力電源 (V_{IN1} または V_{IN2}) で動作します。このセクションの **PowerPath 動作** で前述したように、使用される入力は、DIODE 入力の状態、プログラムされた UVLO 閾値、各入力の電圧によって決定されます。各スイッチング・サイクルは、動作中の入力のハイサイド・スイッチがオンになることで開始します。ハイサイド・スイッチは、内部補償エラー・アンプの出力によって設定される電流レベルにインダクタ電流が達するまで、オンの状態を続けます。この時点で、ローサイドの同期整流器がオンになり、そのサイクルの残りの時間、あるいはインダクタ電流がゼロに下がるまでの間、オンのままになります。エラー・アンプが連続的に制御電流レベルを調節して、FBI ピンの電圧を安定化します。

PWM/SYNC がハイに保持された場合、あるいは外部クロックが供給されている場合には、降圧コンバータは PWM モードで動作します。PWM モードの動作では、降圧コンバータはほとんどの負荷電流では固定周波数スイッチングを維持し、負荷電流が非常に軽くなり、SW の最小オン時間に到達したときのみ、パルス・スキッピング・モードに切り替わります。PWM モードは、固定周波数で低ノイズ動作し、負荷電流の最も広い範囲にわたって出力電圧リップルが低くなります。ノイズ・レベルを最小に維持することが必要な場合に使用します。PWM/SYNC をローにすると、コンバータが軽負荷時に自動的に **Burst Mode** 動作に遷移し、効率が改善し無負荷での静止電流が低減します。

降圧コンバータには電流制限保護機能があり、出力の過負荷や短絡の条件による IC の損傷を防止します。インダクタ電流がハイサイド・スイッチの電流制限閾値を超過すると、サイクルの残りの時間はハイサイド・スイッチがオフになります。インダクタ電流がローサイド電流制限閾値を超過すると、次のサイクルの間ハイサイド・スイッチがオフのままになり、ハイサイド・スイッチの最小オン時間の間に更にインダクタ電流が増加するのを防止します。更に、FBI の電圧が 200mV より下がると、スイッチング周波数が 1/16 に減少し、出力過電流条件におけるインダクタ電流の制御を維持します。

降圧コンバータの内部回路には、ゲート・ドライバを含め、INTV_{CC} から電源が供給されます。内部ドロップアウト (LDO) が、 V_{IN1} または V_{IN2} のいずれかアクティブな入力から INTV_{CC} レールを生成します。降圧コンバータの出力が 3.3V 以上のアプリケーションでは、EXTV_{CC} ピンを降圧コンバータの出力である V_{BUS} に接続することにより、INTV_{CC} レールをブートストラップできます。これにより、3 つ目の LDO が、EXTV_{CC} を受けて INTV_{CC} レールを生成できます。降圧コンバータは LDO より大幅に効率がいため、EXTV_{CC} ピンでブートストラップすることにより、コンバータの効率が向上し静止電流が低減します。入力電圧が高く、出力電圧が低く、スイッチング周波数が高いアプリケーションでは、特にこの効果が大きくなります。

V_{IN1} と V_{IN2} の UVLO 閾値

V_{IN1} と V_{IN2} の UVLO 閾値は、それぞれ V_{SET1} ピンと V_{SET2} ピンの電圧により設定されます。各 UVLO 閾値は、図 16 に示すように V_{REF} 出力を受ける抵抗分圧器を使用して、最大 20V から内部固定 UVLO 閾値の 2.34V までの範囲で設定できます。立上がり UVLO 閾値は、式 1 で得られます。

$$V_{UVLO1}, V_{UVLO2} = 20V_{SET1,2} = 20V \frac{R2}{R1 + R2} \quad (1)$$

V_{SET1} ピンおよび V_{SET2} ピンをグラウンドに接続すると、それぞれに対応する入力がある内部 UVLO 閾値である 2.34V まで有効であると定義されます。

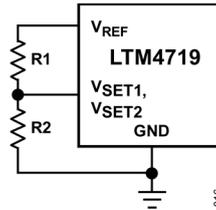


図 16. 入力 UVLO 閾値の分圧器

スイッチング周波数

降圧コンバータのスイッチング周波数 f_{sw} は、RT ピンとグラウンドの間に接続する R_T 抵抗の値により、式 2 に従って設定されます。表 6 に値を示します。

$$R_T = \frac{33.2\text{MHz}}{f_{sw}} \text{k}\Omega \quad (2)$$

表 6. 一般的なスイッチング周波数に対する R_T の値

f _{sw} (Hz)	R _T (kΩ)
300k	110
500k	66.5
750k	44.2
1M	33.2
1.2M	27.4
1.5M	22.1
2M	16.5

外部同期クロック周波数

降圧コンバータを PWM/SYNC ピンに印加された外部クロックに同期させることも可能です。外部クロックの周波数は、RT ピンによって設定された内部発振器の周波数より高い値であることが必要です。発振周波数には±10%の変動の可能性があります。これに対処するために、内部発振器周波数が最小の同期周波数より 10%以上低い値となるよう R_T の抵抗を選択する必要があります。例えば、外部の 1MHz クロックに同期するには、内部発振器が 900kHz 以下となるような R_T を選択する必要があります。

バス電圧

降圧コンバータの出力電圧 (V_{BUS}) は、[図 17](#) に示すように、FB1 ピンに接続した抵抗分圧器により設定されます。

上側の分圧抵抗 R_{TOP} の値は $1M\Omega$ であり、使用性向上のため LTM4719 内に内蔵されています。 R_{BOT} は[式 3](#) で求められ、ここで V_{BUS} は目標のバス電圧です。

$$V_{BUS} = 0.818V \left(\frac{1M\Omega}{R_{BOT}} + 1 \right) \quad (3)$$

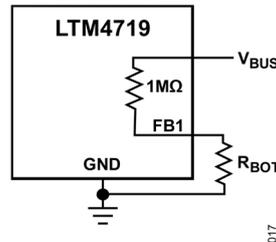


図 17. FB1 の抵抗分圧器

バス・コンデンサ

バス・コンデンサ C_{MIN} の推奨最小値は、バス電圧の関数として[式 4](#) で得られます。

$$C_{MIN} = \frac{1V}{V_{BUS}} 150\mu F \quad (4)$$

フィードフォワード・コンデンサ

[図 18](#) に示すフィードフォワード・コンデンサ C_{FF} は、FB ピンのノイズ耐性を改善し、[式 5](#) で得られる周波数 f_{ZERO} のゼロをループに追加します。

$$f_{ZERO} = \frac{1}{2\pi \times R_{TOP} \times C_{FF}} \quad (5)$$

ほとんどのアプリケーションでは、ゼロ周波数を約 16kHz に設定すると性能が最適化されます。バス容量が大きいアプリケーションでは、より大きいフィードフォワード・コンデンサを使用して、ゼロ周波数を下げ、過渡応答と位相マージンを改善します。[図 18](#) に示すように、 $10k\Omega$ のフィードフォワード抵抗 R_{FF} を追加すると、出力電圧リップルが高いアプリケーションや抵抗分圧器と V_{BUS} の間に距離がある場合にノイズ耐性を改善できます。

フィードフォワード抵抗

帰還抵抗分圧器とバス電圧の検出点の間の接続が長いアプリケーションでは、図 18 に示すように、 $10\text{k}\Omega$ のフィードフォワード抵抗 (R_{FF}) をフィードフォワード・コンデンサと直列に追加することを推奨します。フィードフォワード抵抗により、影響を受けやすい FB1 ノードに V_{BUS} パターンの高周波ノイズが結合するのを防止できます。分圧器のポールの位置は $R_{TOP} = 1\text{M}\Omega$ と R_{BOT} の値によってほぼ決まるため、 $10\text{k}\Omega$ のフィードフォワード抵抗の追加は制御ループの周波数応答にほとんど影響しません。

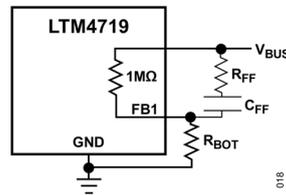


図 18. ノイズ耐性を改善するフィードフォワード抵抗 (R_{FF})

オープン・ドレイン出力

オープン・ドレイン出力 (PG、 $\overline{\text{PRIORITY}}$ 、 $\overline{\text{VALID1}}$ 、 $\overline{\text{VALID2}}$) は低電圧ピンであり、 5.5V より高い電圧にプルアップすることはできません。ディスエーブル・モードでは PG ピンはローになります。

ロジック入力

ロジック入力ピン (DIODE、EN1、PWM/SYNC) は低電圧ピンであり、 5.5V より高い電圧を与えることはできません。これらのピンのいずれかを連続的にハイにするためには、INTV_{CC} に接続します。

使用に関する重要な注意事項

- V_{IN1} と SV_{IN1} をアプリケーション内で接続する必要があります。 V_{IN2} と SV_{IN2} をアプリケーション内で接続する必要があります。 V_{IN1} と V_{IN2} には、それぞれ $4.7\mu\text{F}$ 以上のバイパス・コンデンサを使用し、できるだけ μModule に近づけて配置します。更に、 SV_{IN1} と SV_{IN2} にはそれぞれに $0.1\mu\text{F}$ の内蔵バイパス・コンデンサが接続されています。
- INTV_{CC} は $4.7\mu\text{F}$ 以上のコンデンサでバイパスしてください。
- アプリケーションで V_{REF} ピンを使用しない (すなわち、 V_{REF} とグラウンドの間に抵抗を置かない) 場合、 V_{REF} ピンは INTV_{CC} に接続する必要があります。
- 入力での大きな誘導性のリンギングなどが原因で V_{IN1} または V_{IN2} がアプリケーションでグラウンドより低く駆動される可能性がある場合には、グラウンドから V_{IN1}/V_{IN2} に向けてショットキー・ダイオードを接続し、LTM4719 を保護する必要があります。

リニア・レギュレータの動作

LTM4719 のバックエンド・リニア・レギュレータは、 $2.2\text{V} \sim 5.5\text{V}$ で動作し、最大 150mA の電流を出力する超低静止電流の低ドロップアウト・リニア・レギュレータです。静止電流が無負荷時には 560nA (代表値)、全負荷時には $42\mu\text{A}$ (代表値) と低いため、このリニア・レギュレータはバッテリー駆動のポータブル機器に最適です。シャットダウン時に消費する電流は、代表値で 50nA です。

新しい革新的な設計手法を採用することで、このリニア・レギュレータはデジタル・アプリケーションと RF アプリケーションにおいて超低静止電流と優れた過渡特性を実現します。また、このリニア・レギュレータは、小さい $1\mu\text{F}$ のセラミック・コンデンサで動作するように最適化されています。

出力放電抵抗を内蔵しており、LDO がディスエーブルされると出力電圧を強制的にゼロにします。これにより、デバイスがイネーブルされていてもディスエーブルされていても、LDO 出力を常に明確な状態に維持できます。

出力電圧

リニア・レギュレータの出力電圧範囲は 1V~4.2V です。図 19 に示すように、出力電圧は 2 つの外付け抵抗の比率により設定されます。このデバイスは、FB2 の電圧がグラウンド基準で 1V になるように出力を制御します。R2 を流れる電流は $1V/R2$ に等しく、R1 を流れる電流は、R2 を流れる電流と FB2 ピンのバイアス電流を加えた値になります。FB2 ピンのバイアス電流 IBIAS_FB2 は R1 を経由して FB2 に流れ、25°C で 10nA です。出力電圧は式 6 を使用して計算できます。

$$V_{OUT} = 1V \left(1 + \frac{R1}{R2} \right) + I_{BIAS_FB2} \times R1 \quad (6)$$

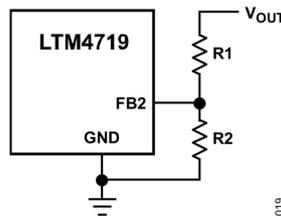


図 19. FB2 の抵抗分圧器

FB2 ピンのバイアス電流によって生じる出力電圧の誤差を最小限に抑えるため、R1 の値は 200kΩ 未満にします。例えば、R1 と R2 が共に 200kΩ のとき、出力電圧は 2.0V になります。IBIAS_FB2 の 25°C での代表値を 10nA とすると、IBIAS_FB2 によって生じる出力電圧誤差は 2mV、すなわち 0.05% になります。

リニア・レギュレータの静止電流を最小化するため、アナログ・デバイゼズでは R1 と R2 に高い値の抵抗を使用することを推奨しています。R2 に 1MΩ の値を使用すると、無負荷時の総合的な静止電流を 2μA までに抑えることができます。しかし、高い値の抵抗ではわずかに出力電圧誤差が発生することに注意してください。例えば、R1 と R2 が共に 1MΩ のとき、出力電圧は 2V になります。IBIAS_FB2 の定格値が 10nA であれば、出力電圧誤差は 0.25% です。シャットダウン中は、出力はオフになり分圧器電流はゼロになります。

バッテリー健全性モニタ

LTM4719 のバッテリー健全性 (SoH) モニタは高精度のクーロン・カウンタを内蔵しています。このカウンタは、VINCL ピンに接続された優先バッテリーから Voc ピンに接続された出力負荷に移動する電荷の累積量をモニタします。IPEAK は、VINCL と Voc の間にある低ドロップアウト電流源です。この電流源の値は、入力電流制限値選択ピン IPK[2:0] によって設定できます (表 7 を参照)。

表 7. IPEAK の選択

IPK2	IPK1	IPK0	IPEAK (mA)
0	0	0	5
0	0	1	10
0	1	0	15
0	1	1	20
1	0	0	25
1	0	1	50
1	1	0	75
1	1	1	100

図 20 に示すように、 V_{OC} が $V_{INC} - V_{OC_LOW}$ より低ければ (V_{OC_LOW} の公称値は 160mV)、電流源がオンになり、電荷が V_{INC} から V_{OC} に供給されます。 V_{OC} が $V_{INC} - V_{OC_HIGH}$ まで充電されると (V_{OC_HIGH} の公称値は 110mV)、電流源はオフになります。

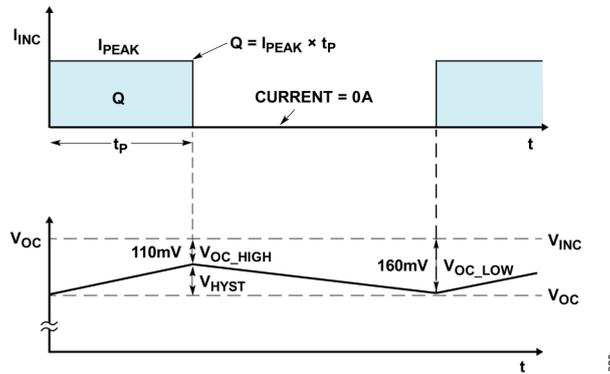


図 20. クーロン・カウンタの動作

V_{OC} とグラウンドの間のコンデンサが、電流源がオフの間に負荷をサポートします。 I_{PEAK} が 100mA の設定である場合、このコンデンサの容量は少なくとも 100 μ F とする必要があります。詳細については、アプリケーション情報のセクションの表 17 を参照してください。

ヒステリシス・コンパレータは、両方の閾値を検出して電流源のタイミングを制御します。1 つの状態におけるコンパレータの出力は、 I_{PEAK} に等しい電流をバッテリーが供給している時間 (t_p) を表します。この出力は、カウントのインクリメントに使用する周期 T (代表値 500ns) の発振器をイネーブルします。このカウンタの出力ビットはバッテリーの正確なクーロン計数値を表します。最後の 2 バイトは 1^2C を介して読み出せます。

累積電荷量レジスタの最下位ビットによって表される電荷量 (q_{LSB}) を、デフォルトのプリスケアラ設定 ($M = 0$) で 8 種類の I_{PEAK} 設定すべてについて、電気的特性の表に示しています。このデフォルトのプリスケアラ設定は、内部カウンタの最大長を使用します。式 7 を参照してください。

$$q_{LSB (M=0)} = \frac{2^{46} - 1 \times I_{PEAK} \times T}{65535} \quad (7)$$

クーロン・カウンタ・プリスケアラ M の選択

幅広いバッテリー容量と I_{PEAK} 電流値に対して適切なデジタル分解能を維持するために、LTM4719 のバッテリー SoH モニタはプログラマブル・プリスケアラを内蔵しています。プリスケアラ値は、ビット A[3:0] に書き込みを行うことによって 0~15 の範囲に設定できます (表 9 を参照)。デフォルト値は 0 です。

累積電荷量レジスタ B の範囲を最大限に利用するには、式 8 に基づき、与えられたバッテリー容量 Q_{BAT} に合わせてプリスケアラ値 (M) を選ぶ必要があります。

$$M = \log_2 \left(\frac{q_{LSB} \times 65535}{Q_{BAT}} \right) \quad (8)$$

ここで、 Q_{BAT} はバッテリー容量、 q_{LSB} は、電気的特性の表に示す選択した I_{PEAK} に対する代表値 ($M = 0$ の場合) です。 M は整数でなければならないので、式 8 の結果は、最も近い整数値に丸める必要があります。 M の最大値は 15 です。

I_{PEAK} 値が同じ場合、容量の小さいバッテリーでは、容量の大きいバッテリーの場合よりプリスケアラ値を大きくする必要があります。同様に、バッテリー容量が同じ場合は、 I_{PEAK} が小さいバッテリーでは、 I_{PEAK} が大きいバッテリーよりもプリスケアラ値 M を小さくする必要があります。

累積電荷量レジスタの最下位ビットによって表される電荷量 (q_{LSB_M}) は、式 9 で与えられます。

$$q_{LSB_M} = \frac{q_{LSB}}{2^M} \quad (9)$$

ここで、 q_{LSB} は選択した I_{PEAK} に対して電气的特性の表に示されている代表値 ($M=0$) です。

AV_{CC} ピンの接続

AV_{CC} ピンは、LTM4719 内部のバッテリー SoH モニタ回路の電源として機能し、V_{INC} または V_{OC} に接続できます。AV_{CC} を V_{OC} に接続した場合、クーロン・カウンタは、実質的に V_{OC} の出力負荷に相当するバッテリー SoH モニタ自体の静止電流に関連するものを含め、バッテリーから放出されるすべてのクーロン値をカウントします。AV_{CC} を V_{INC} に接続した場合、バッテリー SoH モニタ自体の静止電流は、バッテリーから放出されるクーロン値の誤差となります。しかし、純粋に出力負荷に関するクーロン値は、より正確にカウントされるようになります。これは、出力測定アプリケーションには有利な点となります。この 2 つ目のオプションでは、クーロン・カウンタのすべての測定値に、マイナス 1.6% のスケールリング・ファクタを適用する必要があります。

バッテリー電圧 (V) とバッテリー・インピーダンス (Z) のモニタ

LTM4719 のバッテリー SoH モニタは 12 ビットの A/D コンバータ (ADC) を内蔵しており、これを、V_{INC} ピンのバッテリー電圧、V_{OC} ピン電圧、モニタのダイ温度の測定に使用します。

V_{INC} ピン電圧は、クーロン・カウンタが既知の I_{PEAK} パルスを供給している状態でサンプリングされます (V_{INC(ON)})。ADC が、このサンプル値を LSB = 1.465mV で 12 ビット値に変換します。変換時間は標準で 3.5ms です。V_{INC} 電圧は、クーロン・カウンタが電流を出力していないときにもう一度サンプリングされます (V_{INC(OFF)})。2 回目の変換後に、最後に保存された値をレジスタ D (V_{INC(ON)}) とレジスタ E (V_{INC(OFF)}) から読み出すことができます。表 8、表 12、表 13 を参照してください。

電圧測定は、AV_{CC} の静止電流を最小限に抑えるため 1024 オンサイクルごとに行われます。

バッテリーのインピーダンスは、レジスタ D とレジスタ E に最後に保存された値に基づいて、さきほどの 2 つの変換値から $Z = (V_{BAT_IN(OFF)} - V_{BAT_IN(ON)}) / I_{PEAK}$ で計算できます。

V_{OC} 電圧も I_{PEAK} 電流源がオンになったときにサンプリングされ (V_{OC(ON)})、I_{PEAK} 電流源がオフになったときにもう一度サンプリングされます (V_{OC(OFF)})。この場合も、2 回目の変換後、最後に保存された値をレジスタ F (V_{OC(ON)}) とレジスタ G (V_{OC(OFF)}) から読み出すことができます。表 8、表 14、表 15 を参照してください。V_{INC} 電圧と同様に、これらの電圧測定は、AV_{CC} の静止電流を最小限に抑えるため 1024 オンサイクルごとに行われます。

温度モニタ (T)

LTM4719 のバッテリー SoH モニタは、それ自体のダイ温度を測定して 8 ビット・レジスタに保存します。この温度測定も 1024 オンサイクルごとに行われます。最後に保存された値は、レジスタ C の 8MSB から読み出すことができます。表 8 と表 11 を参照してください。

I²C インターフェース

LTM4719 のバッテリー健全性 (SoH) モニタは、標準的な 2 線式 I²C インターフェースでメイン・バスと通信します。図 3 のタイミング図は、バス上の信号の関係を示します。バスを使用していないときは、シリアル・データ・アクセス (SDA) とシリアル・クロック・ライン (SCL) の 2 本のバス・ラインをハイにする必要があります。これらのラインには外付けのプルアップ抵抗が必要です。I²C 制御信号の SDA と SCL は、DV_{CC} 電源を内部的な基準として使用します。DV_{CC} は、バスのプルアップ抵抗と同じ電源に接続する必要があります。DV_{CC} は、AV_{CC} または別の 1.8V~5.5V 外部電源に接続できます。

LTM4719 のバッテリー SoH モニタの 7 ビット・ハード・ワイヤード I²C アドレスは、1100100[R/W] です。LTM4719 のバッテリー SoH モニタは従属デバイス専用デバイスです。これは、シリアル・クロック・ライン (SCL) が入力専用、シリアル・データ・ライン (SDA) が双方向であることを意味します。

内部レジスタ

表 8 に示すように、LTM4719 のバッテリー SoH モニタにはサブアドレスが指定される I²C レジスタが 8 個あります。表 8~表 16 に示すように、レジスタ A と H は書込み専用、レジスタ B は読出し/書込み用、レジスタ C、D、E、F、G は読出し専用です。

表 8. レジスタマップ

サブアドレス	レジスタ名	レジスタの説明	R/W	デフォルト
01h	A	プリスケラ選択、割込みのクリア、クーロン・カウンタのシャットダウン、グロス・テスト、クーロン・カウンタのアラーム閾値。	W	FF00h
02h	B	累積電荷量、16 ビット (読出し)、8 ビット (書込み)。	R/W	0000h
03h	C	ステータス・レジスタ、ダイ温度。	R	0000h
04h	D	I _{PEAK} がオンのときの V _{INC} 電圧。	R	0000h
05h	E	I _{PEAK} がオフのときの V _{INC} 電圧。	R	0000h
06h	F	I _{PEAK} がオンのときの V _{OC} 電圧。	R	0000h
07h	G	I _{PEAK} がオフのときの V _{OC} 電圧。	R	0000h
08h	H	ダイの低温および高温アラーム。	W	00FFh

表 9. 書込みレジスタ A (アドレス 01h)

ビット	名称	動作	デフォルト
A[3:0]	Prescaler bits	クーロン・カウンタのプリスケリング・ファクタ M を 0~15 に設定。	0000
A[4]	Clear_Int	割込みのクリア (アラーム・リセット)。	0
A[5]	Counter check	$\overline{\text{IRQ}}$ ピンを使用するカウンタ・チェック。	0
A[6]	Coulomb counter shutdown	バッテリーの範囲拡大。	0
A[7]	Set ADC conversion when the coulomb counter is turned off	A[6] = 1 のときにバッテリー測定値と温度の ADC 変換を開始。このビットは ADC の測定/変換が終了すると自動的にリセットされます。	0
A[15:8]	Alarm level	バッテリー容量と I _{PEAK} 電流の値に基づいてユーザが計算したクーロン・カウンタのアラーム・レベル閾値。	FFh

表 10. 読み出し/書き込みレジスタ B (アドレス 02h)

ビット	名称	動作	デフォルト
B[15:0]	Accumulated charge	カウンタ・データの 16MSB をリードバック、書き込みは B[15:8] の 8MSB のみ可能。	0000h

表 11. 読み出しレジスタ C (アドレス 03h)

ビット	名称	動作	デフォルト
C[0]	Coulomb counter overflow	不適切なプリスケアラの選択を原因とするクーロン・カウンタの動作異常によるリップル・カウンタのオーバーフロー。	0
C[1]	Alarm trip	アキュムレータ・レジスタ B の値がレジスタ A に設定されたアラーム閾値以上になった。	0
C[2]	Alarm minimum die temperature	ダイ温度がビット H[7:0] で設定した最小ダイ温度に達した。	0
C[3]	Alarm maximum die temperature	ダイ温度がビット H[15:8] で設定した最大ダイ温度に達した。	0
C[4]	ADC measurements ready	クーロン・カウンタをオフ (ビット A[7] = 1 かつビット A[6] = 1) にした状態での読み出し要求後に ADC 測定が完了したことを示す。このビットは、I ² C を介して読み出されると自動的にリセットされます。	0
C[7:5]	Pin-strapped I _{PK} pin	IPK[2:0] ピンのリードバック (起動時に設定をラッチ)。	000
C[15:8]	DIE_TEMP	ダイ温度測定値の 8MSB のリードバック。	00h

ダイ温度 DIE_TEMP は式 10 を使用して計算できます。

$$DIE_{TEMP} = T_{LSB} \times COUNT_C - 41^{\circ}\text{C} \quad (10)$$

ここで T_{LSB} は電気的特性の表の代表値であり、COUNT_C はレジスタ C の 8MSB です。

表 12. 読み出しレジスタ D (アドレス 04h)

ビット	名称	動作	デフォルト
D[11:0]	V _{INC(ON)}	I _{PEAK} をオンにしたときの V _{INC} ピンの電圧測定値のリードバック。	000000 000000
D[15:12]		不使用。	0000

バッテリー電圧 V_{INC(ON)} は、レジスタ D のカウント数 (COUNT_D) から式 11 を使用して求めることができます。

$$V_{INC(ON)} = V_{LSB} \times COUNT_D \quad (11)$$

ここで、V_{LSB} は電気的特性の表に示す代表値です。

表 13. 読出しレジスタ E (アドレス 05h)

ビット	名称	動作	デフォルト
E[11:0]	$V_{INC(OFF)}$	I_{PEAK} をオフにしたときの V_{INC} ピンの電圧測定値のリードバック。	000000 000000
E[15:12]		不使用。	0000

バッテリー電圧 $V_{INC(OFF)}$ は、レジスタ E のカウント数 ($COUNT_E$) から式 12 を使用して求めることができます。

$$V_{INC(OFF)} = V_{LSB} \times COUNT_E \quad (12)$$

ここで、 V_{LSB} は電気的特性の表に示す代表値です。

バッテリーのインピーダンスは、前記 2 つの変換値から $Z = (V_{INC(OFF)} - V_{INC(ON)})/I_{PEAK}$ で計算できます。

表 14. 読出しレジスタ F (アドレス 06h)

ビット	名称	動作	デフォルト
F[11:0]	$V_{OC(ON)}$	I_{PEAK} をオンにしたときの V_{OC} ピンの電圧測定値のリードバック。	000000 000000
F[15:12]		不使用。	0000

V_{OC} の電圧 $V_{OC(ON)}$ は、レジスタ F のカウント数 ($COUNT_F$) から式 13 を使用して求めることができます。

$$V_{OC(ON)} = V_{LSB} \times COUNT_F \quad (13)$$

ここで、 V_{LSB} は電気的特性の表に示す代表値です。

表 15. 読出しレジスタ G (アドレス 07h)

ビット	名称	動作	デフォルト
G[11:0]	$V_{OC(OFF)}$	I_{PEAK} をオフにしたときの V_{OC} ピンの電圧測定値のリードバック。	000000 000000
G[15:12]		不使用。	0000

V_{OC} の電圧 $V_{OC(OFF)}$ は、レジスタ G のカウント数 ($COUNT_G$) から式 14 を使用して求めることができます。

$$V_{OC(OFF)} = V_{LSB} \times COUNT_G \quad (14)$$

ここで、 V_{LSB} は電気的特性の表に示す代表値です。

表 16. 書込みレジスタ H (アドレス 08h)

ビット	名称	動作	デフォルト
H[7:0]	Cold die temperature alarm level	最小温度閾値。	00h
H[15:8]	Hot die temperature alarm level	最大温度閾値。	FFh

カウンタ・チェック・テスト

ビット A[5] = 1 に設定すると、累積電荷量レジスタが 0000h からインクリメントするのを待たなくても、クーロン・カウンタが正しく動作していることを確認できます。このモードでは、リップル・カウンタの入力クロックが $\overline{\text{IRQ}}$ ピンに出力されます。 $\overline{\text{IRQ}}$ ピンの個々の遷移 (2つの連続する立上がりエッジ間の時間) によって表されるクーロン値は、 $q_{\text{LSB}_M}/2^{(24-M)}$ です。ここで、 q_{LSB} は、 I_{PEAK} の設定値ごとに電気的特性の表に示されています。

アラーム

アラームが発生すると、 $\overline{\text{IRQ}}$ ピンがローになります。アラームの原因は、レジスタ C の読出しによって知ることができます。アラームは、ビット A[4] に 1 を書き込むことによってクリアできます。割込みクリア・ビット自体は $\overline{\text{IRQ}}$ ピンの動作が実行された後、自動的にクリアされます。前のアラームをクリア中に別のアラームが発生した場合は、 $\overline{\text{IRQ}}$ ピンが 1 μs (代表値) だけハイになり、その後ローに戻ります。この時点で、割込みクリア・ビット A[4] もゼロにリセットされます。

以下に 4 つの異なるフォルト/アラーム条件を示します。

1. プリスケアラ (M) の値選択が不適切であることによってクーロン・カウンタがオーバーフローし (C[0] がハイ)、更にリップル・カウンタがオーバーフローした場合。アラームがクリアされた後は $\overline{\text{IRQ}}$ ピンが 1 μs だけ解放され、その後はレジスタ C が低い値で上書きされない限り、再びローになります。
2. リップル・カウンタの 8MSB がレジスタ A の 8MSB (クーロン・カウンタのアラーム閾値) 以上になって、プリセットされたアラーム・レベルに達した場合 (C[1] がハイ)。アラームをクリアするには、A[15:8] のアラーム閾値を増やしてビット A[4] に 1 を書き込む必要があります。このアラーム閾値のチェックは、アキュムレータ・レジスタの LSB が変化した場合、あるいは I²C を介してレジスタ B またはレジスタ A への書き込みが実行された場合のみ行われます。したがって、レジスタ A または B、もしくはその両方の内容を変更することなくビット A[4] を 1 に設定してアラーム割込みをクリアする場合、この操作を I_{PEAK} 電流源が長時間オフになっている間に行うと、 $\overline{\text{IRQ}}$ ピンがクリアされて、レジスタ B の LSB ビットが再び変更されるまでハイに戻ることはありません。これには複数の I_{PEAK} サイクルが必要です。
3. C[15:8] の測定ダイ温度がレジスタ H に設定された低温閾値以下になって、ダイ温度アラームの低温閾値に達した場合 (C[2] がハイ)。
4. C[15:8] の測定ダイ温度がレジスタ H に設定された高温閾値以上になって、ダイ温度アラームの高温閾値に達した場合 (C[3] がハイ)。

バッテリー範囲を 2V 未満まで拡大

クーロン・カウンタの動作中、 V_{OC} 電圧は、制御された量（通常は 110mV~160mV）だけ V_{INC} 電圧より低くなります。クーロン・カウンタが正常に動作する下限の電圧は、 V_{INC} については 2V、 V_{OC} では 1.8V です。 V_{INC} の範囲は、A[6]=1 に設定することによって 2.0V 未満まで多少広げることができます。この操作を行うとクーロン・カウンタとピーク電流制限値 I_{PEAK} がディスエーブルされ、 V_{INC} と V_{OC} の間が低インピーダンスで接続されます。このモードでは電流制限回路がディスエーブルされるので、 V_{OC} ピンの絶対最大定格を超えないよう注意が必要です。このモードは任意の V_{INC} 電圧で使用できますが、本来は、「最後の抵抗」として、寿命間際の 2V 以下に低下した電圧で動作を確保することだけを意図したものです（また、このためにだけ使用することを推奨します）。

温度モニタと V_{INC} 電圧モニタは、 V_{INC} が 1.8V に低下するまで機能します。これらの値は、PC を介して読出しコマンドを送出することにより、要求に応じて読み出すことができます。

スーパーキャパシタ・バランサ（オプション）

V_{OC} ピンからの静止電流が 62nA である内蔵スーパーキャパシタ・バランサを使用して、 V_{OC} ピンに接続したスーパーキャパシタ 2 個のスタックのバランスを取ることができます。BAL ピンはスタックの中央に接続され、最大 10mA の電流をソースまたはシンクして、BAL ピン電圧を V_{OC} ピン電圧の半分の電圧で安定化できます。バランサとそれに伴う静止電流をディスエーブルするには、BAL ピンをグラウンドに接続します。

スーパーキャパシタの利点

スーパーキャパシタは、急速な充電／放電サイクルを数多く必要とする様々なパワー・マネージメント・アプリケーションにおいて、短時間の電力需要に対応するために使われます。スーパーキャパシタには多くの利点があります。例えば、サイクル寿命が長いことや、等価直列抵抗が小さいので電力密度も負荷電流も大きく、数秒ですぐに充電できることなどです。

欠点の 1 つはエネルギー密度が小さいことです。したがって、継続的な電源として使用することはできません。また、1 つのセルの最大電圧も通常は 2.7V に過ぎません。これより高い電圧が必要な場合は、もう 1 つのセルを直列に接続する必要があります。

アプリケーション情報

V_{IN1} と V_{IN2} の UVLO 閾値

V_{IN1} と V_{IN2} の各入力の低電圧ロックアウト (UVLO) 閾値は、それぞれ V_{SET1} ピンと V_{SET2} ピンの電圧により設定されます。V_{SET1} と V_{SET2} の 0V~1V の電圧で、ゼロから 20V の範囲の UVLO 閾値が直線的にプログラムされます。各入力には更に 2.34V の内部最小 UVLO 閾値が存在し、V_{SET1} ピンと V_{SET2} ピンの電圧に関係なく常時有効です。この内部最小 UVLO 閾値に入力が下がるまで動作させる場合は、対応する V_{SET1} ピンまたは V_{SET2} ピンをグラウンドに接続します。

ほとんどのアプリケーションでは、V_{SET1} ピンと V_{SET2} ピンの電圧を V_{REF} ピンに接続した抵抗分圧器によって生成します。これを図 21 に示します。対応する立上がり UVLO 閾値は、式 15 で得られます。

$$V_{UVLO1}, V_{UVLO2} = 20V_{SET1}, V_{SET2} = 20V \frac{R2}{R1 + R2} \quad (15)$$

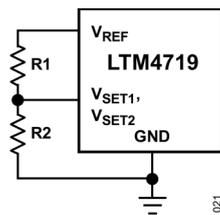


図 21. 入力 UVLO 閾値の設定

どちらかの入力が有効であるとき (対応する UVLO 閾値を超えているとき)、V_{REF} ピンから流れる電流は電圧が高い方の入力 (V_{IN1} または V_{IN2}) の静止電流にそのまま加算されます。このため、V_{SET1} と V_{SET2} の分圧器列に大きな値の抵抗を使用すると、静止電流が低減します。反面、大きな値の抵抗ではノイズ電流やリーク電流への耐性が低下します。ほとんどのアプリケーションでは、全ピンピーダンスが 1MΩ の抵抗列を使用するのが良い妥協点になります。

静止電流を最小化し、外付けの抵抗を 1 つ減らすために、図 22 に示すように、両方の UVLO 閾値を 1 つの抵抗列で設定することもできます。

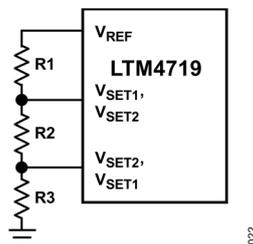


図 22. 単一抵抗列による両入力の UVLO 閾値の設定

抵抗 R3 は独立に選択可能で、R3 に 200kΩ を選択するのがほとんどのアプリケーションで妥当な検討の開始点となります。そして、式 16 と式 17 を用いて R2 と R1 の値を決定します。ここで V_{UVLOH} は電圧が高い方のチャンネルの UVLO 閾値で、V_{UVLOL} は電圧が低いチャンネルの UVLO 閾値です。

$$R2 = R3 \left(\frac{V_{UVLOH}}{V_{UVLOL}} - 1 \right) \quad (16)$$

$$R1 = (R2 + R3) \left(\frac{20}{V_{UVLOH}} - 1 \right) \quad (17)$$

得られた抵抗列 ($R1 + R2 + R3$) の全抵抗が大きすぎる場合や小さすぎる場合には、 $R3$ の選択を適切な方向で調整して、 $R2$ と $R1$ の計算を繰り返します。

入力ホールドアップ・コンデンサ

LTM4719 には内蔵のマイクロパワー UVLO コンパレータがあり、アプリケーションに必要な静止電流が最小化されます。しかし、動作電流が低いことから、この UVLO コンパレータには低電圧条件に反応するときに大きな遅延が生じます。使用しているチャンネルの電圧が、他方のチャンネルへの遷移が完了するまでの間、降圧コンバータへの電力供給に十分な電圧を保てるよう、十分な容量の入力ホールドアップ・コンデンサを使用する必要があります。

図 23 に示す例では、LTM4719 は 12.8V の優先入力 (V_{IN1}) から電力を受けていて、 V_{IN1} チャンネルの UVLO 閾値は 10V にプログラムされています。 t_1 のタイミングで優先入力が切断され、降圧コンバータが入力コンデンサの放電を開始します。 t_2 のタイミングで UVLO 閾値に達しますが、コンパレータの遅延により降圧コンバータは優先チャンネルからの動作を継続しています。コンパレータ遅延 t_{DELAY} 経過後の t_3 のタイミングで、降圧コンバータは 2 次入力 (V_{IN2}) に切り替わり、 V_{IN1} の入力コンデンサは、このチャンネルから流れる電流がなくなるため、この時点の電圧を維持します。この例では、 V_{IN1} の入力コンデンサは、 t_3 のタイミングまで V_{IN1} が出力電圧のレギュレーションに十分な電圧を保つのに十分な大きさにする必要があります。 V_{IN1} が安定化された出力電圧より低くなることになれば、遷移時に降圧コンバータの出力のレギュレーションが一時的に失われます。

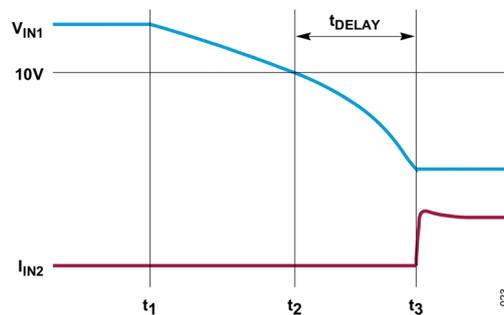


図 23. V_{IN1} から V_{IN2} への遷移時の波形

ソフトスタート

LTM4719 には定格時間が 7.5ms のソフトスタート回路が内蔵されています。このソフトスタートは、ソフトスタート時間中にエラー・アンプのリファレンス電圧が直線的にランプアップすることで行われます。このため、ソフトスタート時間の長さは、バス・コンデンサのサイズやバスの安定化電圧の影響をあまり受けません。ソフトスタートの履行はクローズド・ループの性質があるため、ソフトスタート期間中に負荷過渡応答が発生してもコンバータは応答できます。サーマル・シャットダウン時、降圧コンバータが EN1 ピンでディスエーブルされたとき、両方の入力が UVLO でなったときには、ソフトスタート時間がリセットされます。

V_{REF} 出力

V_{REF} 出力は、温度安定性に優れた安定化 1V 電圧リファレンスです。 V_{SET1} ピンと V_{SET2} ピンの電圧の生成に使用することを主な目的としています。このピンから流れる全電流が 1mA 以内に制限される限り、他の機能に使用することも可能です。この制限に加えて、内部ピン・ドライバの位相マージンを適切に維持するために、 V_{REF} ピンに配置する容量の最大値も存在します。 V_{REF} ピンの容量の推奨最大値は 470pF 以下です。アプリケーションで V_{REF} ピンを使用しない（すなわち、 V_{REF} とグラウンドの間に抵抗を置かない）場合、 V_{REF} ピンは INTV_{CC} に接続します。

V_{REF} ピンはフローティング状態にすることはできません。 V_{REF} ピンには、フロント・エンド・スイッチング・レギュレータ IC がイネーブルされたとき（EN1 がハイ）のみ電源が供給されます。

降圧コンバータのスイッチング周波数

LTM4719の降圧コンバータは固定周波数PWMで動作し、低い出力リップルと低ノイズの動作を実現します。スイッチング周波数は、RTピンとグラウンドの間に配置されるRTピン抵抗を適切に選択することにより、200kHz~2.2MHzの範囲で設定できます。RTの値の選択の詳細については、[動作原理](#)のセクションを参照してください。

降圧コンバータのSWピンのオン時間は、 V_{IN} から V_{BUS} への降圧比が大きくなるにつれ、またスイッチング周波数が高くなるにつれ、減少します。最小スイッチオン時間 $t_{ON(MIN)}$ は、SWピンで生成しうる最短のオン時間の長さです。必要とされるオン時間が最小オン時間より短ければ、ICはパルス・スキップしてレギュレーションを維持します。パルススキッピングによって出力のレギュレーションは維持されますが、スイッチングの周波数が低くなり出力電圧リップルが増大します。パルススキッピング動作を避けるためには、[式18](#)で得られる $f_{SW(MAX)}$ よりも低くなるようにスイッチング周波数を選択します。ここで $t_{ON(MIN)}$ はSWピンの最小オン時間で、代表値は60nsです。

$$f_{SW(MAX)} = \frac{V_{OUT}}{V_{IN} \times t_{ON(MIN)}} \quad (18)$$

入力コンデンサ

降圧コンバータの正常な機能を確保し、電磁干渉(EMI)を最小化し、入力リップルを低減するため、 V_{IN1} ピンと V_{IN2} ピンにはそれぞれ4.7 μ F以上の値の低ESRバイパス・コンデンサを接続します。X5RまたはX7R誘電体のセラミック・コンデンサを推奨します。各バイパス・コンデンサは対応するピンにできるだけ近づけて配置し、可能な限り最短の経路でグラウンド・プレーンに接続します。

長いケーブルのような誘導性の接続を通じて電源供給する場合、電源のインダクタンスと入力バイパス・コンデンサがQ値の高い共振LCフィルタを形成します。そのようなアプリケーションでは、電源にホット・プラグすると電圧に大きなオーバーシュートが発生する可能性があります。これは入力電源の公称電圧の2倍にまで達する場合があります。このような場合でも、LTM4719の入力電圧の絶対最大定格を超えないように注意してください。入力フィルタの減衰性能向上と電圧オーバーシュートの最小化に関するソリューションを記載したアナログ・デバイセズのアプリケーション・ノート88を参照してください。

V_{IN1} ピンと V_{IN2} ピンは、INTV_{CC}レギュレータとその他の内部回路に電源を供給します。これらの各ピンには、0.1 μ Fのバイパス・コンデンサをできるだけピンに近づけて接続します。

バス・コンデンサ

出力電圧リップルを抑えるために、低ESRのコンデンサを降圧コンバータの出力に接続する必要があります。ほとんどのアプリケーションでは、X5RまたはX7R誘電体のセラミック・コンデンサが最適な選択となります。バス容量が低いと電圧制御ループのクロスオーバー周波数が上昇するため、バンド幅を制限し電圧帰還ループの安定性を確保するためには、容量を最小限にする必要があります。ループ・ゲインは電圧分圧比に依存するので、必要な最小バス容量もバス電圧の関数になります。バス電圧が低ければループ・ゲインが高くなり、固定のループ・クロスオーバー周波数を維持するためには大きなバス容量が必要になります。低いバス電圧に対して推奨される大きいバス容量には、バス電圧レールの低減に比例してロード・トランジェントの電圧ステップの大きさを抑え、偏差の割合を一定に保つ効果もあります。

降圧コンバータの出力コンデンサの値を大きくすると、フィードバック・ループのバンド幅が狭くなります。バス・コンデンサが大きすぎると、クロスオーバー周波数が補償ゼロより大幅に低くなりすぎ、位相マージンの劣化や過渡応答での不足減衰を招く可能性があります。このような場合には、上側の分圧抵抗と並列のフィードフォワード・コンデンサのサイズを大きくして、フィードバック・ループのバンド幅を回復することにより、位相マージンと過渡特性を改善することができます。

出力コンデンサ

バックエンド・リニア・レギュレータは、スペース節約型の小型セラミック・コンデンサで動作するように設計されていますが、ESR（等価直列抵抗）値に注意すれば、一般的に使用されるほとんどのコンデンサで動作します。出力コンデンサの ESR は、LDO 制御ループの安定性に影響します。LDO の安定性を確保するためには、ESR が 1Ω 以下で最小 $1\mu\text{F}$ のコンデンサの使用を推奨します。負荷電流の変化に対する過渡応答も、出力コンデンサの影響を受けます。出力容量を大きくすると、負荷電流の大きな変化に対するリニア・レギュレータの過渡応答を改善できます。

PG 出力

FB1 のリファレンス電圧に対して FB1 が $+9.8\%$ / -8.7% （代表値）の範囲を外れていれば、オープン・ドレインの PG 出力がローになります。降圧コンバータがディスエーブルされた場合にも、PG ピンがローになります。PG ピンに印加できる最大電圧は 5.5V です。PG コンパレータには約 $200\mu\text{s}$ のデグリッチ遅延が存在します。

INTV_{CC} レギュレータと EXTV_{CC} によるブートストラップ

INTV_{CC} レールは、LTM4719 の内部制御回路と電力デバイスのゲート・ドライバに電源を供給します。内蔵された 2 つの低ドロップアウト・リニア・レギュレータにより、このレールを V_{IN1} と V_{IN2} のいずれかから生成できます。IC がディスエーブルされているとき（EN1 がロー）、 V_{SET1} 、 V_{SET2} 、DIODE ピンの状態にかかわらず、INTV_{CC} レールには V_{IN1} か V_{IN2} の電圧が高い方から電源が供給されます。IC がイネーブルされているときには、 V_{SET1} ピンと V_{SET2} ピンの入力電圧コンパレータが動作し、INTV_{CC} レールにはアクティブ・チャンネルから電源が供給されます。理想ダイオード・モード（DIODE がハイ）では、有効な入力電圧が高い方がアクティブ・チャンネルになります。優先モード（DIODE がロー）では、 V_{IN1} が有効であれば V_{IN1} がアクティブ・チャンネルになり、それ以外の場合は V_{IN2} が（有効であれば）アクティブ・チャンネルになります。 V_{IN1} と V_{IN2} の両方が UVLO であれば、電圧が高い方の入力電圧が INTV_{CC} レールの電源に使用されます。

3 つ目のリニア・レギュレータを用いると INTV_{CC} レールに EXTV_{CC} ピンから電源供給することができます。このピンは降圧コンバータの出力（ V_{BUS} ）または 3.15V より高い電圧の補助レールに接続できます。入力電圧が高いときには、入力電圧から電源供給される INTV_{CC} レギュレータでの損失が、変換効率の大きな要因となり、電力消費の主要原因にもなり得ます。EXTV_{CC} 入力を降圧コンバータの出力に接続し、効率が低いリニア・レギュレータではなく高効率な降圧コンバータからゲート・ドライブ電流が供給されるようにすることで、大幅な性能改善が得られます。これは、高い入力電圧、低い出力電圧、高いスイッチング周波数において特に有効です。EXTV_{CC} ピンは、降圧コンバータが動作しているときのみ INTV_{CC} レールの電源に使用されます。

EN1 と EN2 の機能

LTM4719 は、通常動作状態では、EN1 ピンと EN2 ピンを使用してそれぞれ V_{BUS} ピンと V_{OUT} ピンをイネーブル／ディスエーブルします。EN2 の電圧が上昇してアクティブ閾値を上回ると、 V_{OUT} がオンになります。EN1 に印加される電圧が閾値電圧より高くなったとき、低くなったときに、それぞれ V_{BUS} がオンまたはオフになります。EN2 の電圧が下降して非アクティブ閾値を下回ると、 V_{OUT} がオフになります。EN2 ピンにはヒステリシスがあり、EN2 ピンが閾値ポイントを通過する際のノイズに起因するオン／オフ発振を防止します。

電流制限と熱過負荷保護

LTM4719 は、過電流保護回路と熱過負荷保護回路により過大な消費電力による損傷から保護されています。LTM4719 は、出力負荷が 320mA（代表値）に達すると電流制限に達するように設計されています。出力負荷が 320mA を超えると、出力電圧を下げた一定の電流制限値に維持します。

また、ジャンクション温度を最大 150°C（代表値）に制限する熱過負荷保護機能を備えています。過酷な状態（高周囲温度や高消費電力）で、ジャンクション温度が 150°C を超えるようになると、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が 135°C を下回ると、出力は再びオンになり、出力電流は定格値に戻ります。

V_{OC} コンデンサの選択

V_{OC} とグラウンドの間には最小限の容量 (C_{OC}) が必要です。このコンデンサは I_{PEAK} パルスのオン時間とオフ時間を決定します。その値は、V_{OC} ピンの最大電流負荷と I_{PEAK} 設定に基づいて選択する必要があります。クローン・カウンタの精度を最大限に高めるため、I_{PEAK} のオン/オフ時間を最小でも 50μs とすることを推奨します（式 19 を参照）。

$$I_{PEAK_ON} \text{ time(min)} = \frac{C_{OC} \times V_{HYST_OC}}{I_{PEAK}} \quad (19)$$

$$I_{PEAK_OFF} \text{ time(min)} = \frac{C_{OC} \times V_{HYST_OC}}{I_{LOAD(MAX)}}$$

ここで、V_{HYST_OC} は、V_{OC_HIGH} と V_{OC_LOW} の間の電圧リップル値です。図 20 を参照してください。ヒステリシスの公称設定値は 50mV です。

I_{PEAK} 設定が 100mA、最大負荷電流が 100mA の場合は、100μF の C_{OC} コンデンサを推奨します。他の I_{PEAK} 設定に対する推奨 C_{OC} の値については、表 17 を参照してください。

表 17. 各 I_{PEAK} 選択値に対する推奨最小 C_{OC} 値

IPK2	IPK1	IPK0	I _{PEAK} (mA)	RECOMMENDED C _{OC} (μF)
0	0	0	5	4.7
0	0	1	10	10
0	1	0	15	15
0	1	1	20	22
1	0	0	25	33
1	0	1	50	47
1	1	0	75	82
1	1	1	100	100

V_{OC_HIGH} と V_{OC_LOW} の閾値は DC レベルです。ヒステリシス・コンパレータには有限の遅延があることから、アプリケーションに見られる実際の AC 値はこれらのレベルとは異なったものとなります。

バッテリーの ESR と電圧リップル

V_{INC} と V_{OC} の間のリップル電圧は、バッテリーの等価直列抵抗 (ESR) 値の影響も受けます。クローン・カウンタの精度を最大限に高めるには、ESR × I_{PEAK} の値がヒステリシスよりはるかに小さいバッテリーを選ぶことを推奨します。ESR × I_{PEAK} がヒステリシスより大きい場合は、I_{PEAK} パルスの幅が非常に小さくなります。その時間が 3μs より短くなると、A/D コンバータ (ADC) が V_{INC} と V_{OC} の電圧を正確に計測することができません。代替策の 1 つは、V_{INC} コンデンサを少なくとも 10μF に増やすことです。入力コンデンサが、I_{PEAK} パルスの幅を増やす助けとなります。V_{INC} コンデンサが大きすぎると、I_{PEAK} をオン/オフした場合の V_{INC} 電圧の変動が遅くなるので、バッテリー・インピーダンスの測定精度が損なわれます。

V_{OC} の最大負荷

V_{OC} の最大連続負荷を I_{PEAK} より大きくすることはできません。大きくすると出力のレギュレーションが失われます。ただし最大瞬間負荷については、全体的な平均負荷が既定値以下である限り、短時間であれば I_{PEAK} を超えても問題はありません。「バースト」時には、V_{OC} コンデンサによって追加の電流が流れ、V_{OC} 電圧が若干放電します。このバーストの長さや許容できる V_{OC} 電圧低下の大きさによって、V_{OC} コンデンサの必要サイズが決まります。

ビット A[6]=1 として低電圧 (V_{INC} が約 2V) で動作する場合、最大負荷は I_{PEAK} によってではなく、V_{OC} ピン自体の絶対最大定格によって制限されます。

バス速度

I²C ポートは、最大 400kHz の速度で動作するように設計されています。ポートには、I²C に適合したメイン・デバイスからアドレス指定された場合に正しく動作するように、遅延が組み込まれています。また、グリッチを抑制するように設計された入力フィルタも備えています。

スタート・コンディションとストップ・コンディション

メイン・デバイスは、スタート・コンディションを送信して通信開始を知らせます。スタート・コンディションは、SCL がハイの間に SDA をハイからローに遷移させることによって生成されます。メイン・デバイスは、従属デバイス書込みアドレスまたは従属デバイス読出しアドレスのどちらかを送信します。LTM4719 にデータが書き込まれると、メイン・デバイスはストップ・コンディションを送信し、LTM4719 に新しいコマンド・セットに対応するよう指示します。ストップ・コンディションは、メイン・デバイスから、SCL がハイの間に SDA をローからハイに遷移させることによって送信されます。

バイト・フォーマット

LTM4719 との間で送受信する各フレームは 8 ビット長でなければならない、最初に最上位ビット (MSB) を送る必要があります。この 8 ビットの後は、アクトリッジ・ビット用の追加クロック・サイクルが続きます。読出しデータや書込みデータは常に 2 バイトで、最下位バイトが最上位バイトより先に送られます。

メイン・デバイスおよび従属デバイスのトランスミッタとレシーバー

I²C バスに接続されるデバイスは、メイン・デバイスと従属デバイスのどちらかに分類できます。標準的なバスは、1 つ以上のメイン・デバイスと複数の従属デバイスで構成されます。

一部のデバイスはメインまたは従属のどちらとしても動作できますが、トランザクションの進行中にその役割を変更することはできません。

トランスミッタとレシーバーの関係は、メインと従属の関係とは異なるものです。トランスミッタは、各フレームの 8 ビット・データ部分が送信される間、SDA ラインを制御します。レシーバーは、各フレームの 9 番目のビットと最後のアクトリッジ・クロック・サイクルが送信される間、SDA ラインを制御します。

すべてのトランザクションは、スタート・コンディションまたは反復スタート・コンディションによってメイン・デバイスが開始します。メイン・デバイスは、そのステータスがトランスミッタなのかレシーバーなのかにかかわらず、SCL の各クロック・パルスのアクティブ (立下がり) エッジを制御します。従属デバイスが SCL をローにすることはありません。

LTM4719 はクロック・ストレッチを行わず、どのような状況でも SCL をローに保持することはありません。

メイン・デバイスは、トランスミッタとして各 I²C トランザクションを開始し、従属デバイスはレシーバーとして各トランザクションを開始します。バス書き込み動作の場合、そのトランザクションの間はメイン・デバイスがトランスミッタとして動作し、従属デバイスがレシーバーとして動作します。バス読み出し動作の場合、メイン・デバイスと従属デバイスは、アドレス・フレーム後のトランザクションの残りの部分では送信/受信の役割を交換します。

アクリッジ

アクリッジ信号 (ACK) は、トランスミッタとレシーバーの間のハンドシェイクに使われます。LTM4719 に書き込みを行うとき、その書き込みアドレスおよび後続のデータ・バイトに対して従属レシーバーとしてアクリッジを返します。読み出し時には、LTM4719 は、読み出しアドレスに対して従属レシーバーとしてアクリッジを返します。その後 LTM4719 は従属トランスミッタとなり、メイン・レシーバーは必要に応じ、LTM4719 から送られてくる後続データ・バイトに対して受信のアクリッジを返します。

アクリッジに関するクロック・パルスは常にメイン・デバイスが生成します。トランスミッタ (メインまたは従属) はアクリッジのクロック・サイクル中は SDA ラインをリリースします (ハイ)。

アクリッジ・クロック・パルスがハイの間に SDA ラインがロー状態で安定するよう、レシーバー (従属またはメイン) は、このクロック・パルス中は SDA ラインをプルダウンします。

読み出しを行う場合は、LTM4719 は 8 番目のデータ・ビットの後で SDA ラインを解放し、メイン・デバイスがデータ受信のアクリッジを返せるようにします。I²C 仕様では、読み出しトランザクション中の最後のデータ・バイトの後に、メイン・レシーバーがノート・アクリッジ (NACK) を送信する必要があります。NACK を受信すると、従属トランスミッタはバスの制御を解放するように指示されます。LTM4719 はいかなる状況でも 2 バイトのデータを送信するので、メインが LTM4719 からの送信データにアクリッジとノート・アクリッジのいずれを返しても結果に変化はありません。LTM4719 は、どちらの場合も 2 バイトの後でバスを解放します。

従属デバイス・アドレス

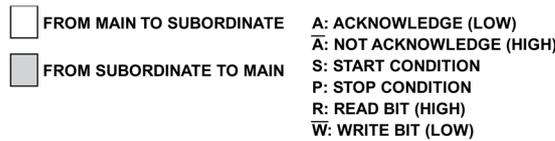
LTM4719 は 7 ビット・アドレスに対応しており、製造時に 1100100[R/ \bar{W}] に設定されています。アドレス・バイトの LSB は読み出し/書き込みビットと呼ばれ、LTM4719 にデータを書き込むときは 0、LTM4719 からデータを読み出すときは 1 にします。アドレスを 8 ビット・ワードと考えると、書き込みアドレスは 0xC8、読み出しアドレスは 0xC9 です。

LTM4719 は、読み出しアドレスと書き込みアドレスの両方にアクリッジを返します。

サブアドレス・アクセス

LTM4719 は、5 つの読み出しレジスタ、2 つの書き込みレジスタ、1 つの読み出し/書き込みレジスタを備えています。これらのレジスタへのアクセスは I²C ポートによって行われ、それぞれのサブアドレス値が LTM4719 内にある 8 つのレジスタのうちの 1 つを指定します。サブアドレスについては表 8 を参照してください。

サブアドレス・ポインタは、バス書き込み動作時に LTM4719 の書き込みアドレスの直後に書き込まれる最初のバイトです。サブアドレス・ポインタ値はバス書き込み動作後も残り、後続のバス読み出し動作時に LTM4719 が返すデータ・バイトを決定します。図 24 を参照してください。



										LSBYTE		MSBYTE			
S	ADDRESS	W	A	REGISTER	A	S	ADDRESS	R	A	DATA	A	DATA	A̅	P	
	1100100	0	0	02h	0		1100100	1	0	80h	0	01h	1		

EXAMPLE: READ REGISTER B (SUB-ADDR 02h) → DATA READ: 0180h → 00000001 10000000

										LSBYTE		MSBYTE			
S	ADDRESS	W	A	REGISTER	A	S	ADDRESS	R	A	DATA	A	DATA	A̅	P	
	1100100	0	0	01h	0		F0h	0	01h	0					

EXAMPLE: WRITE REGISTER A (SUB-ADDR 01h) → DATA WRITTEN: 01F0h → 00000001 11110000

図 24. I²C の読出しおよび書き込みプロトコル

バス書き込み動作

メイン・デバイスは、スタート・コンディションと LTM4719 の書き込みアドレスを使って LTM4719 との通信を開始します。アドレスが LTM4719 のアドレスと一致すると、LTM4719 はアクノリッジを返します。メイン・デバイスは続いてサブアドレスを送ります。LTM4719 がサブアドレスのアクノリッジ・ビットを返すと、サブアドレス値が LTM4719 内の専用ポインタ・レジスタに転送されます。

メイン・デバイスが書き込みトランザクションを続行する場合は、続いて 2 データ・バイトを送信します。LTM4719 が両方のデータ・バイトにアクノリッジを返すと、このデータ・バイトはサブアドレス・ポインタの位置にある内部保留データ・レジスタに転送されます。各バイトの最後にアクノリッジ・ビットが送られます。この時点で LTM4719 は新しいサブアドレスを受信できる状態になり、必要なだけ [サブアドレス] [データ・バイト 1] [データ・バイト 2] のサイクルを繰り返します。メイン・デバイスは、反復スタート・コンディションまたはストップ・コンディションを使って LTM4719 との通信を終了できます。メイン・デバイスが反復スタート・コンディションを開始した場合は、LTM4719 のアドレス、または I²C バス上にあるその他の任意のデバイスをアドレス指定できます。

LTM4719 は各サブアドレス位置で受信した有効データの最後の入力を記憶しますが、処理はしません。

このサイクルも無期限に続けることができます。バス上のすべてのデバイスのアドレスが指定されて有効なデータが送られると、グローバル STOP 信号を送ることができます。この場合、LTM4719 はそれ以前に受信した最新の保留データを使い、そのすべてのコマンド・レジスタを直ちに更新します。

バス読出し動作

それぞれのバス読出し動作中にアクセスできるサブアドレス・データ・レジスタは、1 つだけです。LTM4719 が返すデータは、サブアドレス・ポインタ・レジスタの内容によって指定されたデータ・レジスタからのものです。ポインタ・レジスタの内容は前のバス書き込み動作によって決まります。バス読出し動作を準備する場合は、メイン・デバイスがストップ・コンディションまたは反復スタート・コンディションを使用して、書き込みトランザクションを早めに終了した方が有利なことがあります。この場合、最後に送信されたバイトは、その後のバス読出し動作の対象となるレジスタへのポインタを表します。

メイン・デバイスは、スタート・コンディションまたは反復スタート・コンディションとそれに続く LTM4719 の読出しアドレスを使って、LTM4719 のステータス・データを読み出します。読出しアドレスが LTM4719 のアドレスと一致すると、LTM4719 はアクノリッジを返します。

読出しアドレスのアクノリッジの後、LTM4719 は、それに続く 8 クロック・サイクルのそれぞれに対して、サブアドレス・ポインタによって選択されたレジスタからの 1 ビットのステータス情報を返します (LSB ファーストのデータ・バイト)。最初の 8 ビット後と LTM4719 が 2 つ目のデータ・バイト (MSB) を返した後の 1 クロック・サイクルの間、SDA ラインはハイのままになります。また、2 データ・バイトが読み出された後のメイン・デバイスからの追加クロック・サイクルの間も、SDA ラインはハイのままになります。LTM4719 は、その読出しアドレスを除いて、バス読出し動作時のバイトにはアクノリッジを返しません。

別のレジスタを読み出すには、読出しトランザクションを繰り返す前に、スタートまたは反復スタートと、それに続く LTM4719 の書込みアドレスおよびサブアドレス・ポインタ・バイトを使って、書込みトランザクションを開始する必要があります。

サブアドレス・ポインタ・レジスタの内容が書込み専用レジスタ (A、H) をポイントしている場合、最後のストップ・コンディション以降にその位置にあるコマンド・データが変更されていれば、バス読出し動作で返されるデータはその保留コマンド・データになります。ストップ・コンディションの後は、すべての保留データがコマンド・レジスタにコピーされて、直ちに有効になります。

サブアドレス・ポインタ・レジスタの内容が書込み/読出し可能なコマンド・レジスタ B をポイントしている場合、バス読出し動作で返されるデータは、前の書込み動作の保留コマンド・データではなく、その位置のデータになります。ストップ・コンディションの後は、すべての保留データがコマンド・レジスタにコピーされて直ちに有効になり、その後の読出し動作でその結果を読み出すことができます。

サブアドレス・ポインタ・レジスタの内容が読出し専用レジスタ (C、D、E、F、G) をポイントしている場合、返されるデータは特定時点の LTM4719 の状態を示すスナップショットになります。保留されている割込み要求がない場合は、LTM4719 がその読出しアドレスにアクノリッジを返す際、つまりバス読出し動作中に LTM4719 がデータ送信を始める直前に、ステータス・データがサンプリングされます。ADC 変換中または IPEAK パルスの中に読出しアドレスにアクノリッジが返された場合、レポートされるステータス・データは、前の ADC 変換時のものか、最後の IPEAK パルス終了時のものになります。

アラーム/フォルトが発生すると $\overline{\text{IRQ}}$ ピンがローになり、その時点でデータがステータス・レジスタ C のビット C[3:0] にラッチされます。その後のレジスタ C からのすべての読出し動作では、この C[3:0] ビットの保持データが返されるので、割込み要求の理由を特定するために利用できます。

メイン・デバイスが LTM4719 の割込み要求をクリアすると、ビット C[3:0] のステータス・ラッチもクリアされます。その後のバス読出し動作では、読出しアドレスにアクノリッジを返した時点、ADC 変換後、IPEAK パルス後、または次の割込みがアサートされた時点のうち、いずれか先に発生したケースにおけるデータのスナップショットが返されます。

ディレーティング曲線

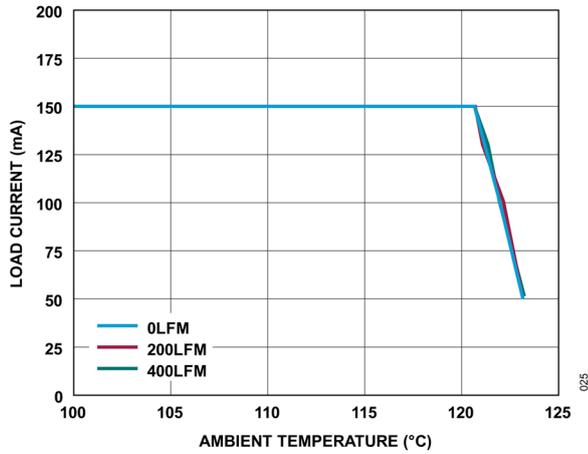


図 25. ディレーティング曲線、12V 入力 1.8V 出力

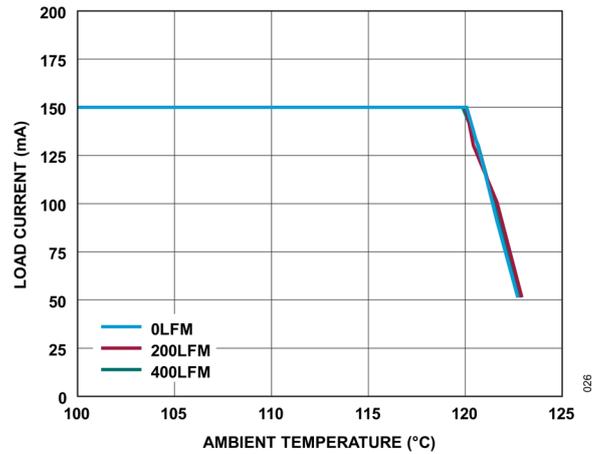


図 26. ディレーティング曲線、12V 入力 3.3V 出力

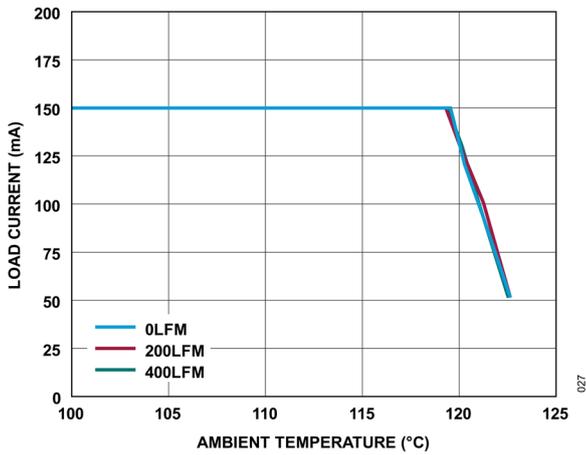


図 27. ディレーティング曲線、12V 入力 5V 出力

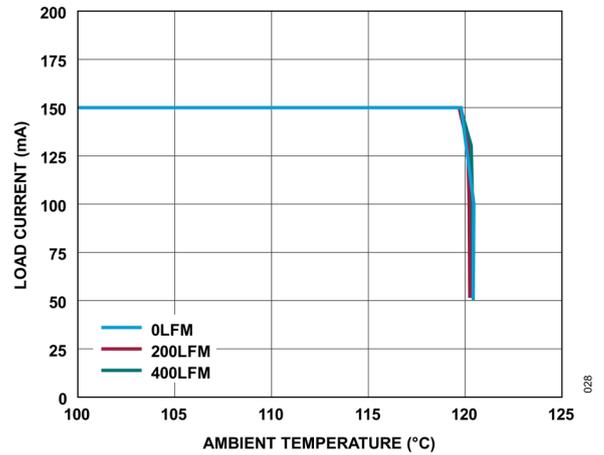


図 28. ディレーティング曲線、24V 入力 1.8V 出力

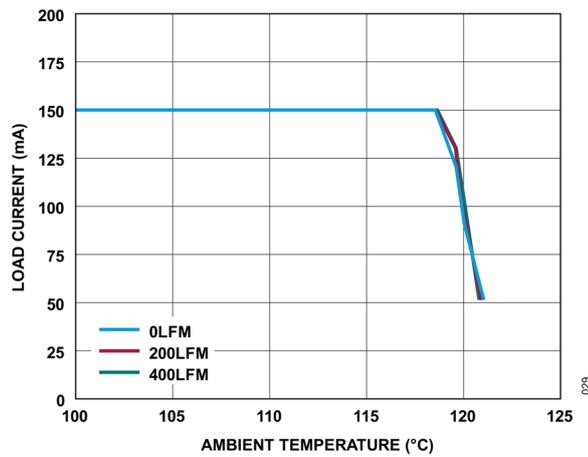


図 29. ディレーティング曲線、24V 入力 3.3V 出力

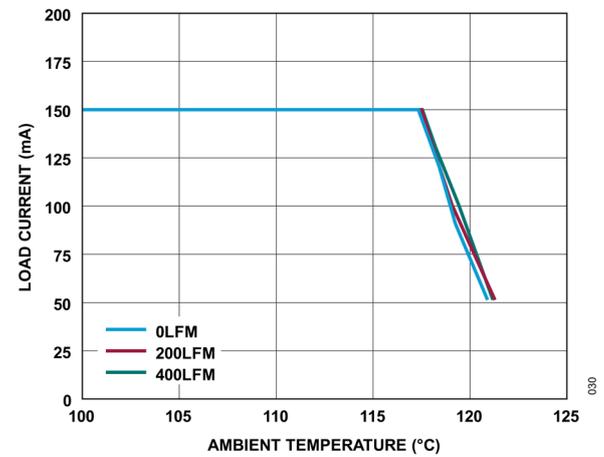


図 30. ディレーティング曲線、24V 入力 5V 出力

PCB レイアウトのガイドライン

安定でノイズのない高効率のアプリケーション回路を実現するため、プリント基板（PCB）のレイアウトには特に注意を払う必要があります。図 31 に代表的な PCB レイアウトを示し、主な考慮事項を概説します。重要なガイドラインは以下のとおりです。

1. 大電流が還流するバスの寄生インダクタンスと寄生抵抗を最小限に抑えます。これは、インダクタ、バス・コンデンサ、出力コンデンサ、 V_{IN1}/V_{IN2} バイパス・コンデンサにつながる経路を、できるだけ短く幅広くすることによって実施できます。コンデンサのグラウンド接続は、できる限り短い経路でグラウンド・プレーンまで通してください。INTV_{CC} のバイパス・コンデンサはできる限り μ Module の近くに配置し、グラウンドへのリターン・パスをできるだけ短くしてください。
2. V_{IN1} ピン、 V_{IN2} ピン、SW ピンへの接続をできるだけ幅広くして、直列インピーダンスを減らしてください。効率を改善し、熱抵抗を低減する効果があります。
3. ノイズの影響を受けやすい高インピーダンスの入力（FB1、RT、 V_{SET1} 、 V_{SET2} ）に接続する経路は、できるだけ短くしてノイズを拾わないようにします。
4. SV_{IN1} と SV_{IN2} への接続は、 V_{IN1} や V_{IN2} への接続と隔離します。 SV_{IN1} と SV_{IN2} には、それぞれ $0.1\mu\text{F}$ のバイパス・コンデンサが μ Module 内に接続されています。 V_{IN1} と V_{IN2} のパターンからのノイズが、影響を受けやすい SV_{IN1} ピンや SV_{IN2} ピンに結合するのを防止します。

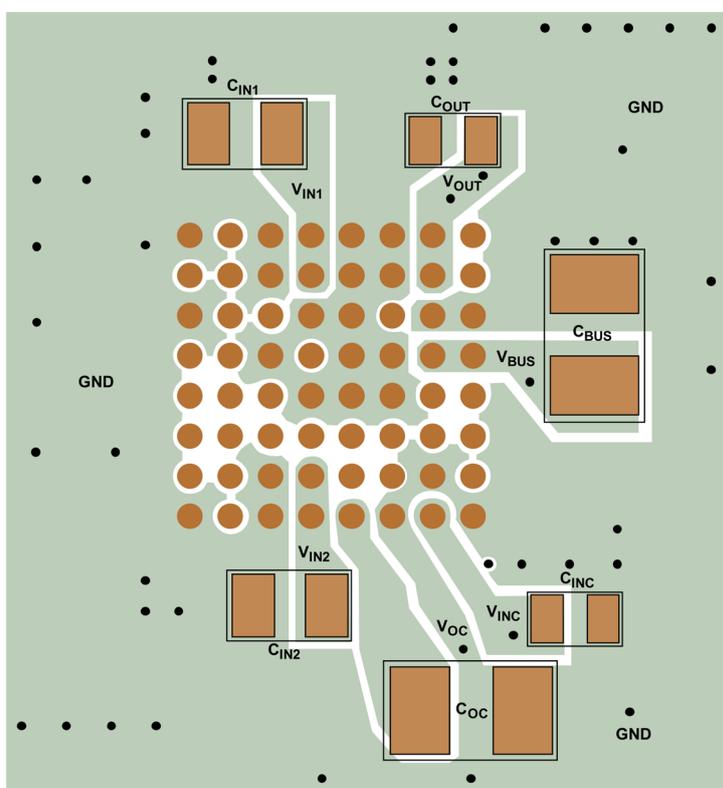


図 31. 推奨 PCB レイアウト

標準的応用例

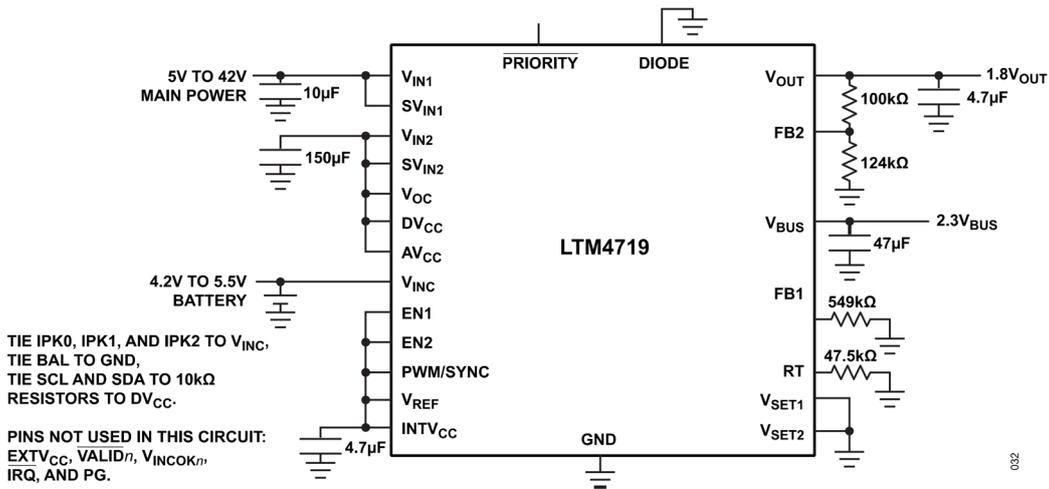


図 32. 主電源とバックアップ・バッテリーから給電する 700kHz、1.8V、150mA 電源

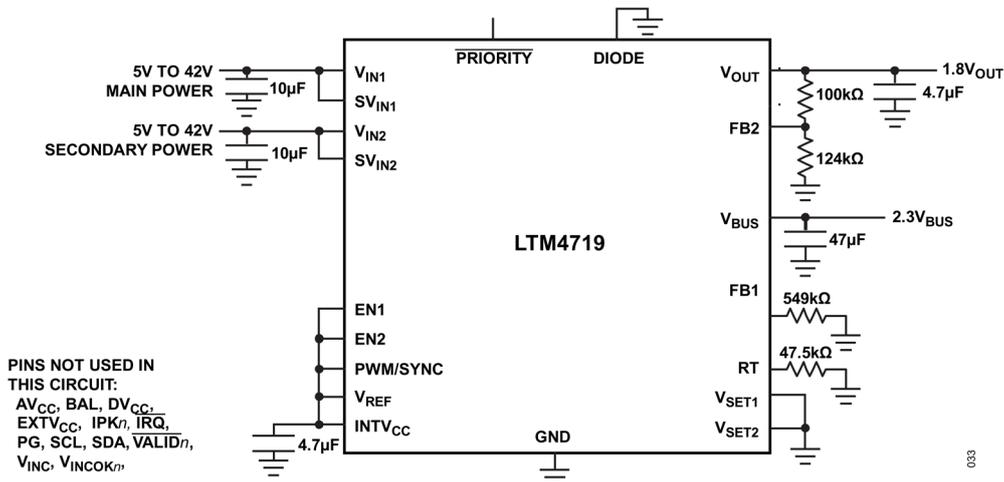


図 33. 主電源と 2 次電源から給電する 700kHz、1.8V、150mA 電源、バッテリー SoH モニタなし

関連製品

表 18. 関連製品

製品番号	説明	注釈
LTM4693	超薄型低 V _{IN} の 2A 昇降圧 µModule レギュレータ	2.6V ≤ V _{IN} ≤ 5.5V、1.8V ≤ V _{OUT} ≤ 5.5V、3.5mm × 4mm × 1.25mm LGA
LTM8083	36V _{IN} 、1.5A 昇降圧 µModule レギュレータ、プログラマブルな電流制限	3V ≤ V _{IN} ≤ 36V、1V ≤ V _{OUT} ≤ 36V、6.25mm × 6.25mm × 2.22mm BGA
LTM8074	40V _{IN} 、1.2A Silent Switcher µModule レギュレータ	3.2V ≤ V _{IN} ≤ 40V、0.8V ≤ V _{OUT} ≤ 12V、4mm × 4mm × 1.82mm BGA

オーダー・ガイド

表 19. オーダー・ガイド

MODEL	TEMPERATURE RANGE ¹	PACKAGE DESCRIPTION	PACKAGE OPTION
LTM4719EY#PBF	-40°C to 125°C	Part marking: 4719 SAC305 (RoHS) pad finish* e1 finish code Moisture sensitivity level 4 (MSL 4) rated device	64-Pin BGA, 7mm × 7mm × 1.85mm
LTM4719IY#PBF	-40°C to 125°C	Part marking: 4719 SAC305 (RoHS) pad finish* e1 finish code Moisture sensitivity level 4 (MSL 4) rated device	64-Pin BGA, 7mm × 7mm × 1.85mm

¹ LTM4719 は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4719E は、0°C~125°C の内部動作温度範囲内で性能仕様を満たすよう設計されています。-40°C~125°C の動作ジャンクション温度範囲における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。LTM4719I の仕様は、-40°C~125°C の動作ジャンクション温度範囲で確保されています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの定格熱抵抗値、その他の環境条件との組み合わせによって決まります。

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。*パッドの仕上げコードは IPC/JEDEC J-STD-609 によります。デバイスの温度グレードは出荷容器のラベルに示されています。本製品では、セカンド・サイド・リフローを行うことは推奨しません。この製品は湿度に敏感です。詳細については、[推奨される LGA および BGA PCB のアセンブリおよび製造手順](#)を参照してください。

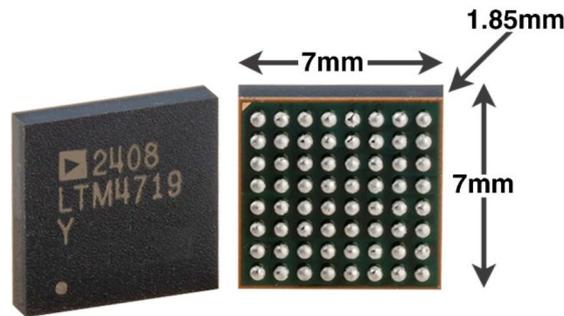
[LGA および BGA のパッケージ図面とトレイ図面](#)。

表 20. 評価用ボード

PART NUMBER	DESCRIPTION
EVAL-LTM4719-AZ	The evaluation board features the LTM4719, a 42V dual input, low noise 150mA μ Module regulator with I ² C battery health monitor.

選択ガイド

パッケージ写真



(製品マーキングはレーザ・マーキングです。)

設計リソース

表 21. 設計リソース

項目	説明	説明
<p>μModuleの設計と製造リソース</p>	<p>設計：</p> <ul style="list-style-type: none"> ▶ 選択ガイド ▶ 評価（デモ）用ボードとガーバー・ファイル ▶ 無償シミュレーション・ツール 	<p>製造：</p> <ul style="list-style-type: none"> ▶ クイック・スタート・ガイド ▶ PCB設計、アセンブリ、製造のガイドライン ▶ パッケージ・レベルおよびボード・レベルの信頼性
<p>μModuleレギュレータ製品検索</p>	<ul style="list-style-type: none"> ▶ パラメータによって製品表をソートし、結果をスプレッドシートとしてダウンロードします。 ▶ Quick Power Searchパラメータ表を使って検索します。 <div data-bbox="683 1227 1391 1400" style="border: 1px solid #ccc; padding: 5px; background-color: #f9f9f9;"> <p>Quick Power Search</p> <p>INPUT $V_{in}(\text{Min})$ <input type="text"/> V $V_{in}(\text{Max})$ <input type="text"/> V</p> <p>OUTPUT V_{out} <input type="text"/> V I_{out} <input type="text"/> A</p> <p>FEATURES <input type="checkbox"/> Low EMI <input type="checkbox"/> Ultrathin <input type="checkbox"/> Internal Heat Sink</p> <p style="text-align: right;"> <input type="button" value="Multiple Outputs"/> <input type="button" value="Search"/> </p> </div>	
<p>デジタルパワー・システム・マネージメント</p>	<p>アナログ・デバイセズのデジタル電源管理ICファミリーは、電源モニタリング、監視、マージニング、シーケンシングなどの必須機能と、ユーザ設定およびフォルト・ログ記録の保存のためのEEPROMを備えた、高度に集積化されたソリューションです。</p>	

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

