

I²C およびコンデンサを内蔵した、5V_{IN}、33A の 高密度降圧 DC/DC μModule レギュレータ

特長

- ▶ ソリューション全体のフットプリントあたりで最高レベルの出力電流密度 (1A/mm²) を達成、C_{IN}、C_{OUT}、インダクタを完全統合
- ▶ 高速過渡応答
- ▶ V_{IN} 範囲：2.9V~5.5V
- ▶ V_{OUT} 範囲：0.3V~1V
- ▶ リモート差動出力検出ピン
- ▶ V_{OUT}+DC 精度：±1%
- ▶ I²C シリアル・インターフェース：V_{OUT}、I_{OUT}、V_{IN}、ダイ温度を含むテレメトリ・リードバック
- ▶ 出力電流モニタリング用のアナログ IMON ピン
- ▶ 固定クロック周波数：5MHz、外部 SYNC 範囲：4.5MHz~5.5MHz
- ▶ 並列動作：最大 12 フェーズのマルチフェーズ、1000A 超までスタック可能
- ▶ 高度な熱的改善を施した 160 ピン、6.55mm × 5mm × 3.31mm の BGA パッケージ

アプリケーション

- ▶ データ・センターの xPU コア、特定用途向け集積回路 (ASIC)、FPGA (フィールド・プログラマブル・ゲート・アレイ) 用の電源
- ▶ 光学モジュール
- ▶ 工業および通信
- ▶ 分散型 DC ポイントオブロード (POL) 電源システム

代表的なアプリケーション回路

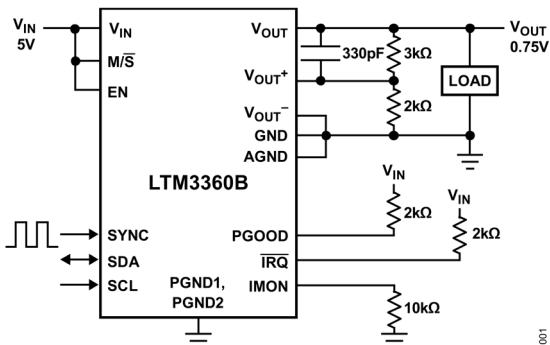


図 1. 5V 入力、0.75V 出力、33A 対応、追加コンデンサなし

概要

LTM[®]3360B は、大出力電流アプリケーション向けに最適化された、大電流、高密度、低電圧の降圧 μModule[®] (マイクロモジュール) レギュレータです。2.9V~5.5V の入力電圧範囲で、5V ±10% または 3.3V ±10% の中間バス電圧 (IBV) に対応します。33A の電流出力能力は並列化が可能であるため、メイン/従属デバイス構成でスタックしたマルチフェーズ動作により、1000A を超える電流を供給できます。また、非常に高い周波数で短いオン時間に対応できる電流モード・アーキテクチャを使用して、最小 0.3V の安定化出力電圧を実現できます。出力電圧は、適切なフィードバック信号抵抗分圧器を選択することにより設定できます。0.3V (デフォルト) のフィードバック電圧は、マーゼニングまたはダイナミック電圧スケールリング用に、I²C を介して 8 ビットで調整可能です。最適な位相マージン電圧レギュレーション・ループを実現するには、フィードバック電圧を 0.3V に近い値に維持してください。各フェーズのスイッチング周波数 2.5MHz の 2 倍にあたる 5MHz の高い固定クロック周波数により、入力コンデンサおよび出力コンデンサとパワー・インダクタを統合し、必要な外付け部品を最小限に抑えながら、業界で現在達成可能な最高レベルの出力電流密度 (基板フットプリントあたりの出力電流) を実現できます。LTM3360B は、熱性能に優れた 0.4mm ボール・ピッチのボール・グリッド・アレイ (BGA) パッケージに収められ、インダクタ、入力コンデンサ、出力コンデンサを内蔵しています。LTM3360B は鉛フリーであり、RoHS に適合しています。

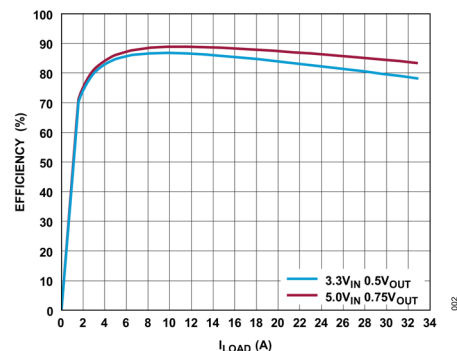


図 2. 効率と電流の関係

目次

特長.....	1
アプリケーション.....	1
概要.....	1
代表的なアプリケーション回路.....	1
改訂履歴.....	4
仕様.....	5
I ² C デジタル・インターフェース.....	10
絶対最大定格.....	10
熱抵抗.....	11
熱係数の定義.....	11
静電放電 (ESD) 定格.....	11
ESD 定格.....	11
ESD に関する注意.....	11
ピン配置およびピン機能の説明.....	12
端子説明.....	13
代表的な性能特性.....	16
I ² C 通信.....	18
概要.....	18
レジスタの一覧 : LTM3360B のレジスタ・マップ.....	18
イネーブルおよび IMON の制御用レジスタ.....	18
V _{OUT} ⁺ の設定用レジスタ.....	19
ADC 入力の選択用レジスタ.....	19
ADC のセットアップ用レジスタ.....	20
ADC の出力用レジスタ.....	20
動作原理.....	21
LTM3360B の概要.....	21
簡略ブロック図.....	21
パワーオン.....	22
電圧レギュレーション.....	22
強制連続モード動作.....	22
ソフト・スタートおよび出力パワー・グッド.....	22
出力ダイナミック電圧スケーリング (DVS) レート.....	23
パワーダウン.....	23
過熱保護.....	24

過電流警告	24
出力短絡動作	24
同期	25
アプリケーション情報	26
出力電圧のプログラミング/センシング	26
出力過電流警告スレッシュホールドの設定	27
逆出力電流制限	27
出力プルダウン	27
同期	27
A/D コンバータ (ADC)	28
過渡応答とループ補償	29
V _{OUT} 過電圧/低電圧モニタリング	29
追加入力コンデンサ	30
追加の出力コンデンサ、出力リップル、過渡応答	30
マルチフェーズ動作	30
マルチフェーズ動作における従属デバイスのイネーブルとディスエーブル	32
低電源電圧動作	32
出力短絡および過負荷状態に対する熱に関する考慮事項	32
温度ディレーティング曲線	33
PC ボード・レイアウト時の考慮事項	35
代表的なアプリケーション	36
関連製品	40
外形寸法	41
オーダー・ガイド	42
選択ガイド	43
パッケージ写真	43
設計リソース	43

改訂履歴

版数	改訂日	説明	改訂ページ
0	11/25	初版発行	-

仕様

表 1. 電気的特性

(特に指定のない限り、 $V_{IN} = 5V$ および $-40^{\circ}C \leq T_J \leq 105^{\circ}C$ 。^{1,2)}

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Supply					
Operating supply voltage (V_{IN})		2.9		5.5	V
V_{IN} undervoltage lockout	V_{IN} rising	2.70	2.75	2.80	V
V_{IN} hysteresis	$T_A = 25^{\circ}C$		110		mV
V_{IN} quiescent current	Shutdown (not switching, $V_{EN} = 0V$), $T_A = 25^{\circ}C$		5		mA
EN threshold	V_{EN} rising	1.0	1.2	1.4	V
EN hysteresis	$T_A = 25^{\circ}C$		250		mV
EN pin leakage current	$0V \leq V_{EN} \leq 5.5V$, $T_A = 25^{\circ}C$			± 6	μA
Output Voltage Regulation					
Regulated output feedback voltage	$V_{OUT+} = 0.3V$, $V_{OUT-} = 0V$, $I_{OUT} = 0A$, $T_A = 25^{\circ}C$	0.297	0.3	0.303	V
Output voltage range		0.3		1	V
Continuous output current range	$V_{OUT} = 0.75V$, $T_A = 25^{\circ}C$			33	A
	$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $T_A = 25^{\circ}C$. See Figure 13 for different T_A values			33	A
Output current limit, peak high range	$V_{OUT} = 0.75V$, $T_A = 25^{\circ}C$, average load current		46		A
Turn-on startup time	From EN high to PGOOD high, $V_{OUT} = 0.75V$		800		μs
V_{OUT+} pin input current	$V_{OUT} = 0.75V$, $T_A = 25^{\circ}C$			± 100	nA
V_{OUT-} pin input current	$V_{OUT-} = 0V$, $T_A = 25^{\circ}C$	-300	-150		μA
Feedback Voltage Programmability					
Feedback voltage digital-to-analog (DAC) resolution	$T_A = 25^{\circ}C$		8		bits
LSB step size	$T_A = 25^{\circ}C$		4		mV
Default startup feedback voltage	OPT_VOUT = 0x4b, $T_A = 25^{\circ}C$, $I_{OUT} = 0A$		300		mV
Feedback voltage programmability range	$T_A = 25^{\circ}C$	300		1000	mV
Output programmability differential nonlinearity	Monotonicity guaranteed	-0.2		0.2	LSB

(特に指定のない限り、 $V_{IN} = 5V$ および $-40^{\circ}C \leq T_J \leq 105^{\circ}C$ 。^{1,2)}

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input supply voltage rejection	$V_{IN} = 2.9V$ to $5.5V$, $V_{OUT} = 0.75V$, $I_{OUT} = 0A$	-4		4	mV

Oscillator

Default clock frequency		4.5	5	5.5	MHz
Minimum synchronization frequency	Through the SYNC pin		4.5		MHz
Maximum synchronization frequency	Through the SYNC pin		5.5		MHz
SYNC input level (main device only)	V_{SYNC} high	1.5			V
	V_{SYNC} low			0.6	V
Minimum SYNC input pulse width	$T_A = 25^{\circ}C$	20			ns
SYNC input leakage current to GND	$V_{SYNC} = 6V$, $T_A = 25^{\circ}C$			± 1	μA
CLK out rise/fall time (main device only)	$C_{CLK} = 50pF$, rising: 10% to 90%, falling: 90% to 10%, $T_A = 25^{\circ}C$			16	ns
CLK low output voltage (main device only)	$I_{CLK} = 1mA$, $T_A = 25^{\circ}C$			0.2	V
CLK high output voltage (main device only)	$I_{CLK} = -1mA$, $T_A = 25^{\circ}C$	$V_{IN} - 0.2$			V
CLK out duty cycle (main device only)	$T_A = 25^{\circ}C$		50		%
CLK input level (subordinate device only)	V_{CLK} high	1.5			V
	V_{CLK} low			0.6	V
Minimum CLK input pulse width (subordinate device only)	$T_A = 25^{\circ}C$	20			ns
CLK input leakage current to GND	$V_{CLK} = 6V$, $T_A = 25^{\circ}C$			± 1	μA

Main/Subordinate Device Communication Pins: ITH

ITH pull-up current (main device only)	V_{OUT} at -10% out of regulation, $V_{ITH} = 1.2V$, $T_A = 25^{\circ}C$		-10		mA
ITH pull-down current (main device only)	V_{OUT} at +10% out of regulation, $V_{ITH} = 1.2V$, $T_A = 25^{\circ}C$		10		mA
ITH input leakage current (subordinate device only)	$V_{ITH} = 2.0V$, $T_A = 25^{\circ}C$			± 100	nA

(特に指定のない限り、 $V_{IN} = 5V$ および $-40^{\circ}C \leq T_J \leq 105^{\circ}C$ 。^{1,2)}

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Current Monitor					
IMON voltage at 33A	$R_{IMON} = 10k\Omega$, $V_{OUT} = 0.75V$, $T_A = 25^{\circ}C$	0.91	0.96	1.01	V
IMON voltage at no load	$R_{IMON} = 10k\Omega$, $V_{OUT} = 0.75V$, $T_A = 25^{\circ}C$		0		V
IMON gain	I_{IMON}/I_{OUT} , $V_{IMON} = 0.96V$, $T_A = 25^{\circ}C$		2.91		$\mu A/A$
Output current error	$V_{IMON} = 0V$ to $0.96V$, $R_{IMON} = 10k\Omega$, $T_A = 25^{\circ}C$			± 5	μA
IMON Over Current Alert Through \overline{IRQ}					
IMON rising threshold overvoltage	OPT_IMON_TH bits 00 to 103% ($I_{OUT} = 34A$)	0.96	0.99	1.02	V
	OPT_IMON_TH bits 01 to 93% ($I_{OUT} = 30.6A$)	0.86	0.89	0.92	V
IMON rising threshold overvoltage	OPT_IMON_TH bits 10 to 82% ($I_{OUT} = 27.1A$)	0.76	0.79	0.82	V
	OPT_IMON_TH bits 11 to 72% ($I_{OUT} = 23.7A$)	0.66	0.69	0.72	V
Hysteresis		40	50	60	mV
IMON overvoltage to \overline{IRQ} delay	V_{IMON} rising edge = $0.90V$ to $1.04V$, OPT_IMON_TH = 00, $2k\Omega$ to V_{IN} and $10pF$ on \overline{IRQ} pin, $T_A = 25^{\circ}C$		1	2	μs
REF Pin					
REF voltage (main device only)	$I_{OUT} = 0A$		300		mV
REF input leakage current (subordinate device only)	$T_A = 25^{\circ}C$			± 100	nA
PGOOD (Main Device Only), \overline{IRQ} Pins, and Soft Start					
PGOOD UV (undervoltage) rising threshold		-30	-18.75	-7.5	mV
Hysteresis		1.88	3.75	5.63	mV
PGOOD OV (overvoltage) rising threshold		7.5	18.75	30	mV
Hysteresis		1.88	3.75	5.63	mV
PGOOD delay/deglitch time	V_{OUT} : 110% to 100% or 90% to 100% to PGOOD rising edge, $2k\Omega$ pull-up to V_{IN} , $T_A = 25^{\circ}C$		20		μs

(特に指定のない限り、 $V_{IN} = 5V$ および $-40^{\circ}C \leq T_J \leq 105^{\circ}C$ 。 ^{1,2)}

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PGOOD, \overline{IRQ} leakage current	$V_{PIN} = 5V, T_A = 25^{\circ}C$			± 1	μA
PGOOD, \overline{IRQ} pull-down current	$V_{PIN} = 0.4V, T_A = 25^{\circ}C$	5	15		mA
Soft start slew rate	$T_A = 25^{\circ}C$		2		mV/ μs

M/ \overline{S} , I²C, PH[3:0] (Digital/Programming Pins)

Input level for pins M/ \overline{S} SDA, SCL (main device only) PH[3:0] (subordinate device only)	V_{PIN} high	1.4			V
	V_{PIN} low			0.6	V
Input leakage current to GND	For pins M/ \overline{S} , SDA, SCL, PH[3:0], $V_{PIN} = 5V, T_A = 25^{\circ}C$			± 1	μA
SDA pull-down current	$V_{PIN} = 0.4V, T_A = 25^{\circ}C$	5	20		mA

I²C Timing Characteristics

I ² C address			7'b1101001		
SCL clock frequency	f_{SCL}			400	kHz
SCL pulse width low		1.3			μs
SCL pulse width high		0.6			μs
Bus free time start to stop	t_{BUF}	1.3			μs
Hold time after repeated start	$t_{HD(STA)}$	0.6			μs
Setup time after repeated start	$t_{SU(STA)}$	0.6			μs
Stop the setup time	$t_{SU(STO)}$	0.6			μs
Data hold time	$t_{HD(DAT)}$	0		900	ns
Data setup time	$t_{SU(DAT)}$	100			ns
Input spike suppression pulse width	t_{SP}			50	ns

IMON-Average Current Readback Through I²C

Output current resolution	$T_A = 25^{\circ}C$		8		bits
LSB	I_{MON} to LSB, $T_A = 25^{\circ}C$		4.7		mV
Analog-to-digital converter (ADC) full-scale input voltage	$T_A = 25^{\circ}C$		1.2		V
Full-scale I_{MON} output code	I_{MON} voltage = 1V, $T_A = 25^{\circ}C$		0xd5		
Total unadjusted readback error ³	I_{MON} voltage = 1V, output valid $25^{\circ}C \leq T_J \leq 105^{\circ}C$	-1		1	%
Conversion time	$T_A = 25^{\circ}C$		3.3		ms

(特に指定のない限り、 $V_{IN} = 5V$ および $-40^{\circ}C \leq T_J \leq 105^{\circ}C$ 。^{1,2)}

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Temperature Monitor Readback⁴					
Temperature least-significant bit (LSB)	$T_A = 25^{\circ}C$		2.6		$^{\circ}C$
Monitor code (room temperature)	$T_A = 25^{\circ}C$	-3	01010101	3	LSB
Total unadjusted readback error ³	$T_A = 25^{\circ}C$	-7.8		7.8	$^{\circ}C$
Conversion time	$T_A = 25^{\circ}C$		3.3		ms
Input Voltage Monitor Readback⁴					
LSB	$T_A = 25^{\circ}C$		23		mV
V_{IN} output code	$V_{IN} = 3.3V, T_A = 25^{\circ}C$		10001101		
Total unadjusted readback error ³	Output valid $25^{\circ}C \leq T_J \leq 105^{\circ}C$	-5		5	%
Differential Feedback Voltage Monitor Readback⁴					
LSB	$T_A = 25^{\circ}C$		4.7		mV
V_{OUT}^{+} output code	$T_A = 25^{\circ}C, V_{OUT}^{+} = 0.3V$		01001011		
V_{OUT}^{-} output code	$T_A = 25^{\circ}C, V_{OUT}^{-} = 0V$		00000000		
Total unadjusted V_{OUT}^{\pm} readback error ³	Output valid $25^{\circ}C \leq T_J \leq 105^{\circ}C$	-2		2	LSB

¹ LTM3360B は、 $T_J \approx T_A$ となるような条件下でテストされています。LTM3360B は、 $-40^{\circ}C \sim 105^{\circ}C$ のジャンクション温度で仕様を満たすよう設計されています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度 (T_J ($^{\circ}C$)) は、次式を使って周囲温度 (T_A ($^{\circ}C$)) と消費電力 (P_D (W)) から計算します。 $T_J = T_A + (P_D \times \theta_{JA})$ 、ここで θ_{JA} ($^{\circ}C/W$) はパッケージの熱抵抗です。

² ピンに流れ込むすべての電流は正です。また、特に指定のない限りすべての電圧は GND 基準です。

³ 総合未調整誤差 (TUE) には、ゲイン、積分非直線性 (INL)、微分非直線性 (DNL)、オフセットが含まれます。

⁴ ADC の出力は $25^{\circ}C \leq T_J \leq 105^{\circ}C$ で有効です。また、ADC のテストはパルス幅変調 (PWM) を無効化して行われています。インサーキット評価によって同等の能力が実証されています。

⁵ このモジュールには一時的な過負荷状態からスイッチング・デバイスを保護するための過熱保護機能が内蔵されています。ジャンクション温度が $105^{\circ}C$ を超えると、過熱保護機能が作動します。仕様規定されている最大ジャンクション温度を超える温度での連続動作は、デバイスの信頼性を損なったり、デバイスに恒久的な損傷を生じさせたりする可能性があります。

I²C デジタル・インターフェース

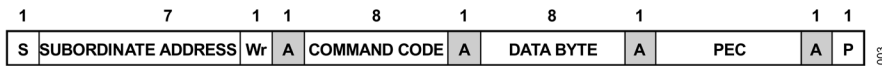


図 3. バイト書き込みプロトコル



図 4. バイト読出しプロトコル

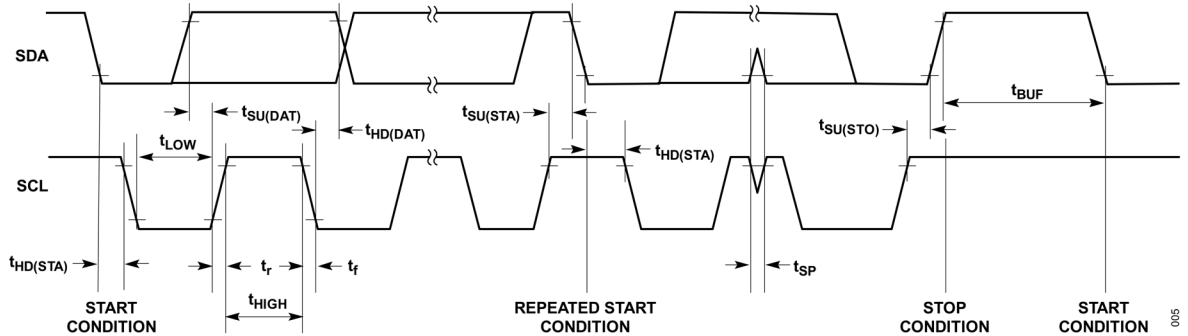


図 5. I²C のタイミング図

絶対最大定格

特に指定のない限り、T_A = 25°C。

表 2. 絶対最大定格¹

PARAMETER	RATING
V _{IN1,2} voltage	-0.3V to 6V
SDA, SCL, I _{RQ} voltage	-0.3V to Min (V _{IN} , 6V)
EN, M/ \bar{S} , SYNC, PGOOD voltage	-0.3V to Min (V _{IN} , 6V)
PH[3:0] voltage	-0.3V to Min (V _{IN} , 6V)
IMON, REF voltage	-0.3V to 1.5V
V _{OUT⁺} , V _{OUT⁻} voltage	-0.3V to 1.5V
Operating junction temperature range	-40°C to 105°C
Storage temperature range	-55°C to 125°C
Max reflow (package body) temperature	250°C

¹ LTM3360B は、T_J ≈ T_A となるような条件下でテストされています。LTM3360B は、-40°C ~ 105°C のジャンクション温度で仕様を満たすよう設計されています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。放熱強化（PCB、ヒート・シンク、空気流など）の技術を使用すると、熱抵抗を改善できます。

熱係数の定義

1. θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲環境の間の熱抵抗です。
2. θ_{Jtop} は、ジャンクションとケース上面の間の熱抵抗です。
3. $\theta_{Jbottom}$ は、ジャンクションとケース底部の間の熱抵抗です。

表 3. 「静止状態の空気」中での LTM3360B 評価用ボードの熱抵抗

θ_{JA}	θ_{Jtop}	$\theta_{Jbottom}$	UNIT
15.5	12.7	4.2	°C/W

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。ANSI/ESDA/JEDEC JS-002 準拠の電界誘起チャージ・デバイス・モデル（FICDM）とチャージ・デバイス・モデル（CDM）。国際電気標準会議（IEC）による電磁両立性：Part 4-2（IEC）（IEC 61000-4-2 準拠）。ANSI/ESD STM5.2 準拠のマシン・モデル（MM）。MM 電圧値は特性評価にのみ使われます。

ESD 定格

表 4. LTM3360B の ESD 定格

ESD MODEL	WITHSTAND THRESHOLD (V)	CLASS
HBM	±4000	3A
CDM	±1250	C3

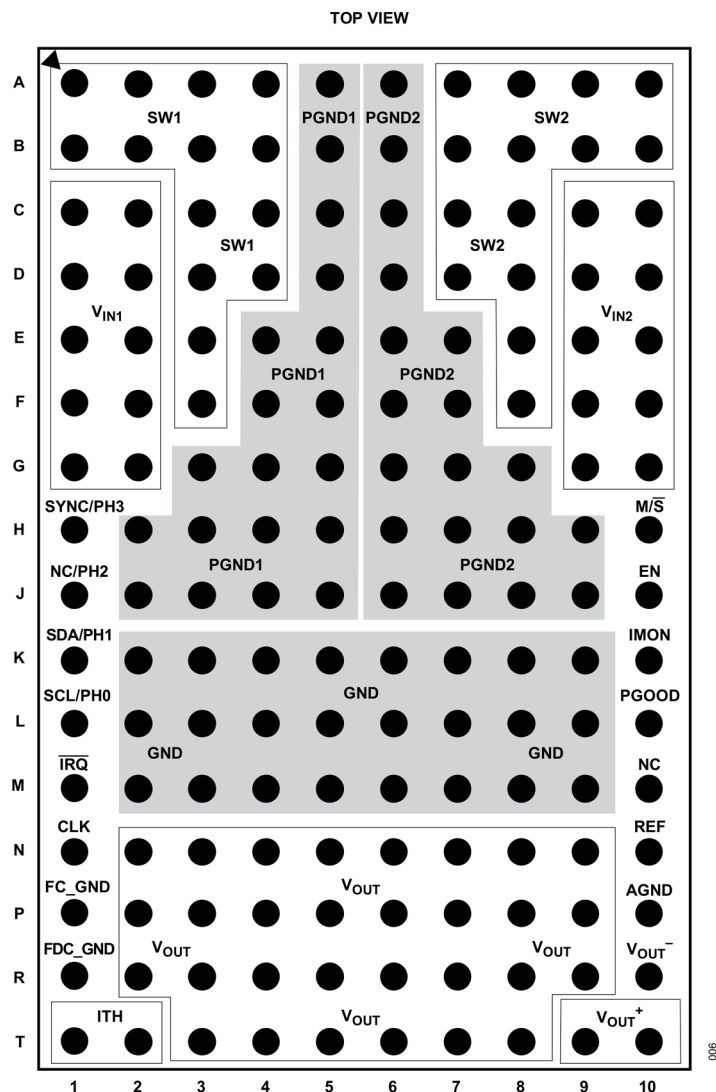
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



BGA PACKAGE
 160-PIN (6.55mm × 5mm × 3.31mm)
 $T_{JMAX} = 105^{\circ}\text{C}$, $\theta_{JA} = 15.5^{\circ}\text{C/W}$, 0.4mm BALL PITCH
 $\theta_{JCTop} = 12.7^{\circ}\text{C/W}$, $\theta_{JCbottom} = 4.2^{\circ}\text{C/W}$
 WEIGHT = 0.31g

θ VALUES DETERMINED PER JESD5112

図 6. ピン配置



μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよくご確認ください。

端子説明

表 5. 端子説明

端子	名称	説明
A1-B1, A2-B2, A3-F3, A4-D4; A7-D7, A8-F8, A9-B9, A10-B10	SW1, SW2	スイッチ・ピン。これらのピンは、内蔵パワー・インダクタに接続された内部パワー・スイッチのスイッチング出力です。これらのピンには、高 dV/dt の波形が出力されます。電磁干渉 (EMI) を最小限に抑えるには、これらのピンをオープンのままにしてください。
A5-J5, E4-J4, G3-J3, H2-J2	PGND1	電源グラウンド 1。PGND1 ピンは、内部下側パワー・スイッチ 1 (SW1) のリターン・パスです。追加の入力コンデンサの負端子を PGND1 ピンにできるだけ近い位置で (コンデンサの半数を V_{IN1} と PGND1 の間、残りの半数を V_{IN2} と PGND2 の間に) 接続してください。PGND1 ノードは、パッケージ底面の主要な放熱経路の 1 つであり、いくつかのサーマル・ビアを用いて広い PCB グランド・プレーンに接続することが必要です。
A6-J6, E7-J7, G8-J8, H9-J9	PGND2	電源グラウンド 2。PGND2 ピンは、内部下側パワー・スイッチ 2 (SW2) のリターン・パスです。追加の入力コンデンサの負端子を PGND2 ピンにできるだけ近い位置で (コンデンサの半数を V_{IN1} と PGND1 の間、残りの半数を V_{IN2} と PGND2 の間に) 接続してください。PGND2 ノードは、パッケージ底面の主要な放熱経路の 1 つであり、いくつかのサーマル・ビアを用いて広い PCB グランド・プレーンに接続することが必要です。
C1-G1, C2-G2; C9-G9, C10-G10	V_{IN1} , V_{IN2}	入力電圧源。 V_{IN1} ピンと V_{IN2} ピンは、内部回路および上側パワー・スイッチに電流を供給します。 V_{IN1} ピンと V_{IN2} ピンは、同じ電源電位に接続する必要があります。内部でバイパス・コンデンサを介して GND に接続されています。
H1 ²	SYNC	同期入力ピン。SYNC ピンを用いることで、パワー・スイッチを 4.5MHz~5.5MHz の外部クロックに同期できます。
H1, J1, K1, L1 ³	PH3, PH2, PH1, PH0	位相設定ピン。従属デバイスごとに、16 通りの位相遅延 (度単位) の 1 つが選択可能であるため、位相が 1、2、3、4、6、8、または 12 通りに均等に分離したシステムを実装できます。メイン・デバイスの場合、位相は 0° に設定されます。メイン・デバイスでは、これらのピンの機能はそれぞれ SYNC、NC、SDA、SCL の各ピンで置き換えられます。詳細については、 アプリケーション情報の セクションを参照してください。
H10	M/\bar{S}	メイン・デバイス/従属デバイス選択入力ピン。このピンを V_{IN} に接続すると、LTM3360B がメイン・デバイス・モードに設定されます。同様に、このピンを GND に接続すると、LTM3360B は従属デバイス・モードに設定されます。
J1 ²	NC	このピンは接続されていません。メイン・デバイス設定の場合は、NC ピンをオープンのままにします。
J10	EN	イネーブル入力ピン。EN ピンの電位を立上がりスレッシュホールド以上に引き上げると、スイッチング・コンバータがイネーブルになります。このピンを使用しない場合は、このピンを V_{IN} に直結することにより、 V_{IN} の増加に伴って自動的にスイッチング・コンバータがイネーブルになります。このピンを GND に接続すると、 V_{IN} が増加してもスイッチング・コンバータはディスエーブルのままになり、 V_{OUT} には電力が供給されません。メイン・デバイス設定で接続されている場合は、I ² C ポートを用いてこのピンを上書きできるため、このピンの状態とは無関係にスイッチング・コンバータのイネーブル/ディスエーブルができます。従属デバイスとして設定している場合は、EN ピンをメイン・デバイスの EN ピンに接続します。マルチフェーズ・システムにおいて I ² C を通じてメイン・デバイスがディスエーブルされている場合の従属デバイスの動作の詳細については、 アプリケーション情報の セクションを参照してください。

端子	名称	説明
K1 ^{2,5}	SDA	I ² C データ・ピン。LTM3360B にデータを書き込む場合、SDA ピンは高インピーダンスの入力ピンになります。LTM3360B からデータを読み出す場合、SDA ピンは、オープン・ドレインのアクティブ・ロー・ピンになります。I ² C 電源または V _{IN} に 2kΩ のプルアップ抵抗を接続します。詳細については、I ² C 通信のセクションを参照してください。
K2-K9, L2-L9, M2-M9	GND	電源グラウンド。GND ピンは、内蔵出力バルク・コンデンサのリターン・パスです。追加の出力コンデンサの負端子を V _{OUT} と GND の間に接続します。GND ノードは、パッケージ底面の主要な放熱経路の 1 つであり、いくつかのサーマル・ビアを用いて広い PCB グランド・プレーンに接続することが必要です。
K10	IMON	電流モニタ・ピン。IMON ピンは、出力電流に比例する電流を出力します。適切な抵抗をグラウンドとの間に接続すると、IMON 電流をそれに相当する電圧に変換できます。V _{OUT} の負荷電流が 34A の場合、IMON ピンは 100μA (代表値) の電流を出力します。
L1 ^{2,5}	SCL	I ² C クロック入力ピン。SCL ピンは、高インピーダンスの入力ピンです。詳細については、I ² C 通信のセクションを参照してください。
L10 ²	PGOOD	パワー・グッド出力。オープン・ドレインのアクティブ・ロー出力。このピンは、安定化された出力電圧が PGOOD スレッシュホールド未満になるか過電圧スレッシュホールドを超過した場合に、ローに駆動されます。標準的なアプリケーションでは、V _{IN} に 2kΩ のプルアップ抵抗を接続します。
M1	$\overline{\text{IRQ}}$	割込み要求出力。オープン・ドレインのアクティブ・ロー出力。このピンは、過電流イベント (IMON ピンが過電流スレッシュホールド・アラートを超過する) または加熱イベントが発生した場合に、ローに駆動されます。
M10	NC	このピンには接続しないでください。このピンはオープンのままにしてください。
N1 ⁴	CLK	クロック・ピン。メイン・デバイスにおいては、このピンはマルチフェーズ動作のためのクロック・リファレンス出力です。従属デバイスにおいては、入力になります。マルチフェーズ動作時に、メイン・デバイスの CLK ピンと従属デバイスの CLK ピンを接続してください。従属デバイスとして接続されているとき、CLK ピンにエッジがない場合はコンバータはディスエーブルになります。
N2-N9, P2-P9, R2-R9, T3-T8	V _{OUT}	出力電圧ピン。目的の出力電圧を設定するには、適切なフィードバック信号抵抗分圧器を V _{OUT} ⁺ と V _{OUT} ⁻ の間に接続します。V _{OUT} ピンは、定常状態において、最大 33A のインダクタ出力電流を供給します。これらのピンをポイントオロードに接続する際には、必ず、十分な電流密度定格を備えた短くて幅広のパターンまたは複数のサーマル・ビア (垂直構造) を用いてください。内部でバイパス・コンデンサを介して GND に接続されています。
N10 ⁴	REF	リファレンス・ピン。メイン・デバイスからの REF ピンがすべての従属デバイスの REF ピンを駆動することによって、適切に動作するよう共通リファレンス電圧を確保します。メイン・デバイスの REF ピンを駆動するバッファは、出力インピーダンスが 100Ω (代表値) です。必ず従属デバイスの REF ピンのみをメイン・デバイスの REF ピンに接続するようにしてください。このピンは、電流をソースまたはシンクする他の回路に接続したり、ノイズ源近くに接続したりしないでください。

端子	名称	説明
P1	FC_GND	テスト目的専用。グラウンドに接続することを推奨します。
P10	AGND	アナログ・グラウンド。AGND ピンは、ノイズの影響を受けやすいすべての内部アナログ回路のリターン・パスです。AGND ピンをいずれかの GND ピン (K2~K9、L2~L9、M2~M9) に直接接続することにより、内蔵の V_{OUT} バイパス・コンデンサの負端子にケルビン接続します。
R1	FDC_GND	テスト目的専用。グラウンドに接続することを推奨します。
R10, T9-T10 ²	V_{OUT}^+ , V_{OUT}^-	出力電圧差動リモート検出ピン。これらのピン間の電圧は、デフォルトで 0.3V に安定化されています。 V_{OUT} に目的の出力電圧を設定するには、 V_{OUT} と V_{OUT}^+ の間、および V_{OUT}^+ と V_{OUT}^- の間に適切なフィードバック信号抵抗分圧器を接続します。フィードバック・ネットワークの選択に関する詳細については アプリケーション情報の セクションを参照してください。
T1-T2 ⁴	ITH	電流スレッシュホールド制御ピン。メイン・デバイスにおいては、このピンは出力です。従属デバイスにおいては、入力になります。マルチフェーズ動作時に、メイン・デバイスの ITH ピンと従属デバイスの CLK ピンを接続してください。ITH ピンがメイン・デバイスに接続されている場合、デバイスが (EN ピンまたは I ² C を介して) ディスエーブルになると、ITH ピンは 0V に駆動されます。

- ¹ メイン・デバイスと従属デバイスのピン構成については、[アプリケーション情報の](#)セクションの図 38 を参照してください。
- ² メイン・デバイスのみ。
- ³ 従属デバイスのみ。
- ⁴ メイン・デバイスの場合は出力、従属デバイスの場合は入力。
- ⁵ これらのピンに ESD 保護を実装するための LTM3360B の方法は、I²C に対応しますが、SMBus には対応しません。I²C バスがアクティブな場合には、内部の ESD 保護ダイオードを通じて I²C バス・ラインに負荷が生じるのを防ぐために、 V_{IN} の電源をデバイスから切り離さないでください。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

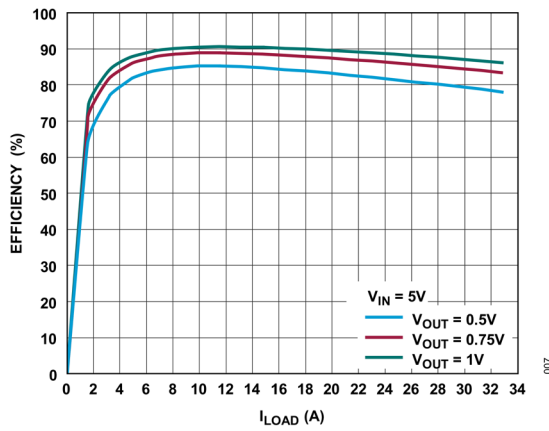


図 7. 様々な V_{OUT} での効率と I_{LOAD} の関係

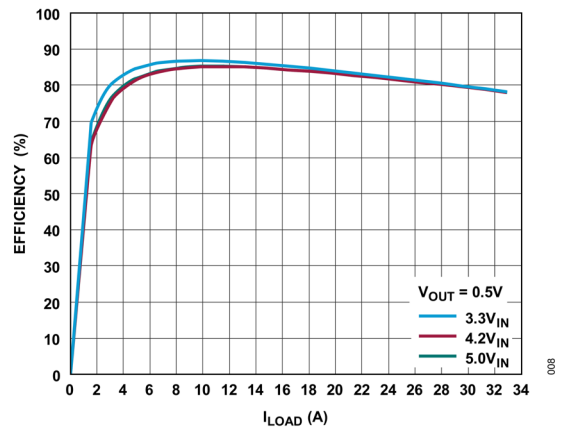


図 8. 様々な V_{IN} での効率と I_{LOAD} の関係

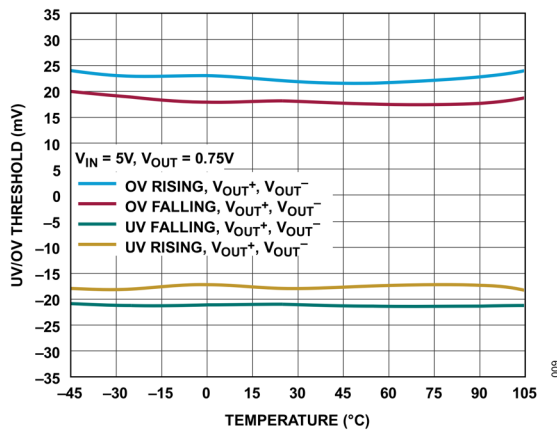


図 9. PGOOD UV/OV の立上がりりと立下がり

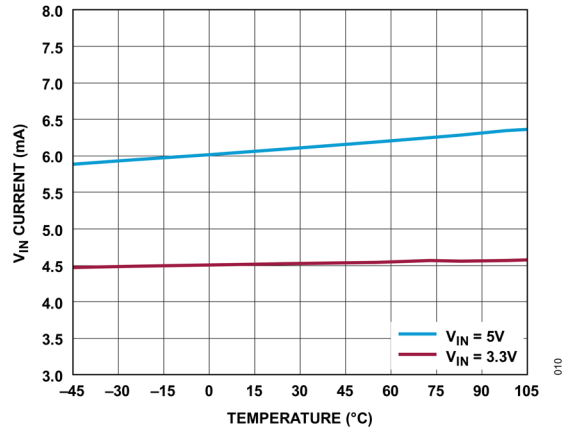


図 10. V_{IN} シャットダウン電流と温度の関係

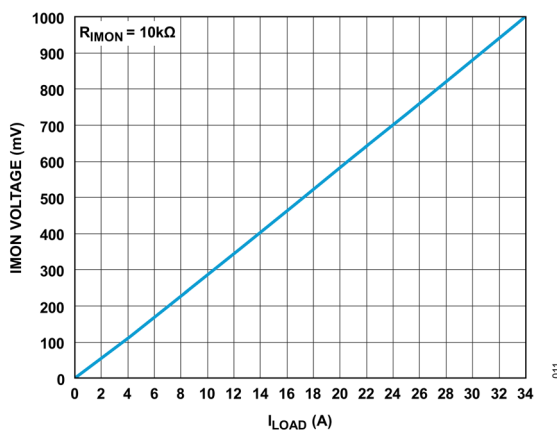


図 11. IMON の電圧と I_{LOAD} の関係

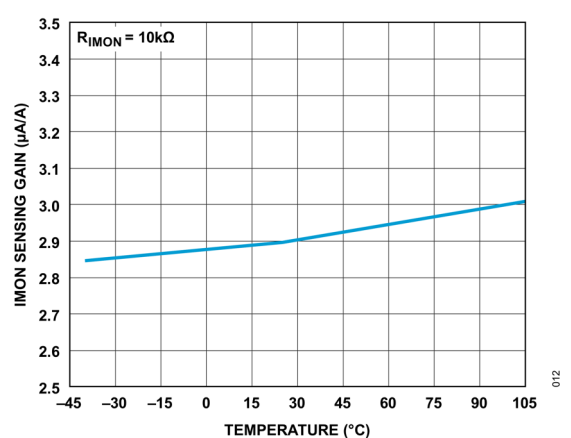


図 12. IMON の検出ゲインと温度の関係

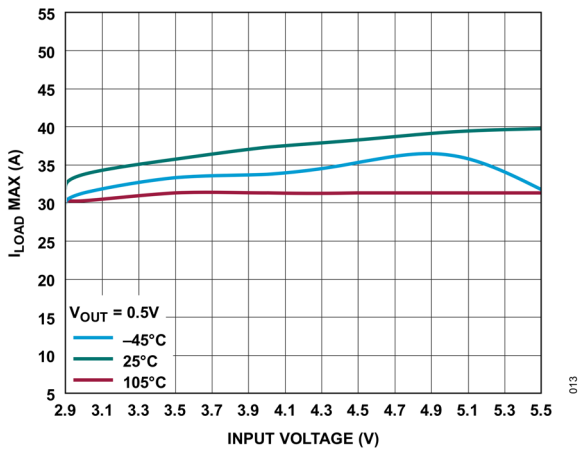


図 13. 最大の I_{LOAD} と V_{IN} の関係

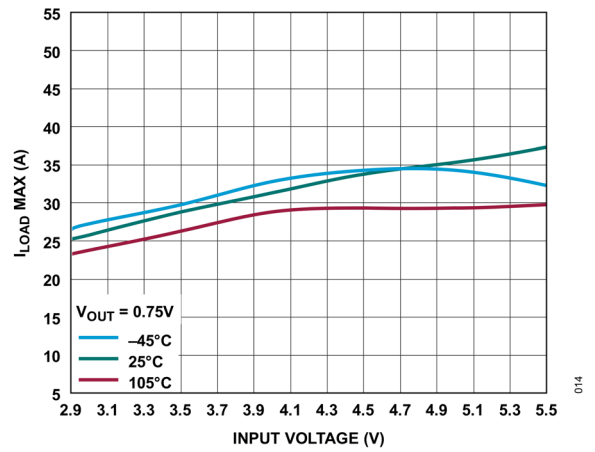


図 14. 最大の I_{LOAD} と V_{IN} の関係

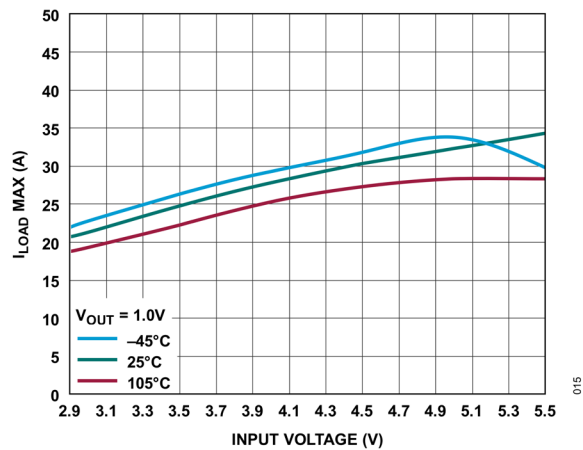


図 15. 最大の I_{LOAD} と V_{IN} の関係

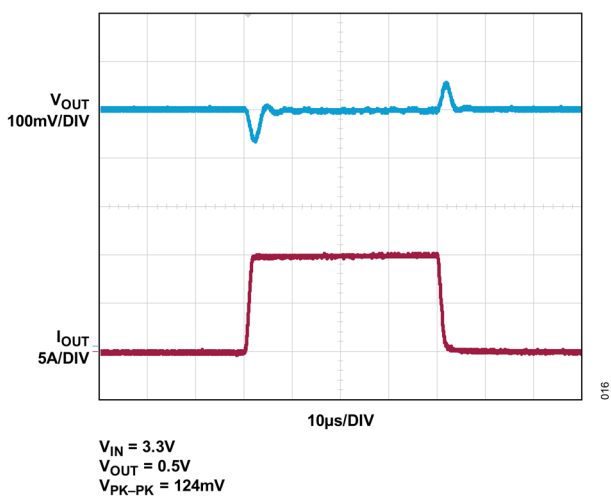


図 16. 負荷ステップの上上がり／立下がり波形

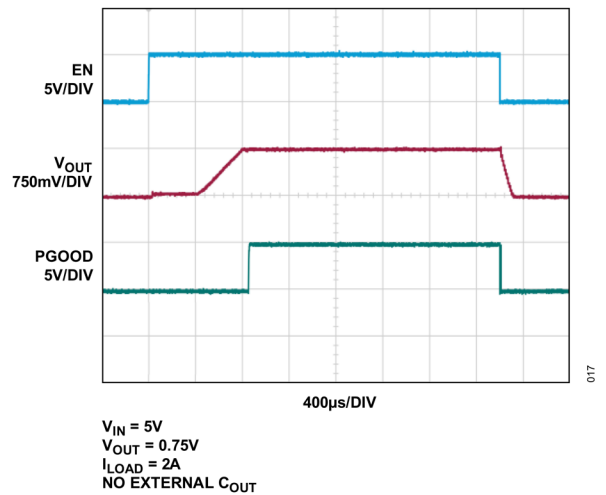


図 17. 起動時とシャットダウン時の波形

I²C 通信

概要

メイン・デバイスとして接続されている場合、LTM3360B の I²C ポートを用いると、LTM3360B と通信して、設定やテレメトリ・データのリードバックを行うことができます。通信プロトコルは、SMBus のバイト読出しプロトコルおよびバイト書込みプロトコルと互換性があります。ポートの入力スレッシュホールドは、1.1V（代表値）に固定されています。

このポートを通じてアクセスできるレジスタは、8 ビットのアдрес・バスで整理されており、各レジスタは 8 ビット幅です。SMBus のワード読出し／書込みフォーマットの「コマンド・コード」（または従属アドレス）はこれらの各レジスタの 8 ビットのアдресです。LTM3360B のアドレスは 7b1101001(Wr)です。Wr は書込みの場合は 1、読出しの場合は 0 です。

このインターフェースを通じてアクセスできるレジスタの詳細については、[レジスタの一覧：LTM3360B のレジスタ・マップ](#)のセクションを参照してください。ワード読出しプロトコルやワード書込みプロトコルに必要な反復スタートを作成できない I²C メイン・デバイスについては、ストップしてからスタートすることで置き換えることができます。

シリアル・クロック・ライン（SCL）には出力ドライバがなく、クロック・サイクルのストレッチングは行われません。従属デバイス・モードでは、I²C ポートはディスエーブルになります。

レジスタの一覧：LTM3360B のレジスタ・マップ

表 6. LTM3360B のレジスタ一覧

アドレス	名称	説明	リセット	アクセス
0x1	EN_IMON_CTRL	イネーブルおよび IMON の制御	0x00	R/W
0x3	VOUT+_SETTING	フィードバック電圧の設定	0x4b	R/W
0x4	ADC_SELECT	ADC 入力の選択	0x00	R/W
0x5	ADC_CTRL	ADC のセットアップ	0x00	R/W
0x6	ADC_OUTPUT	ADC の出力	0x00	R

イネーブルおよび IMON の制御用レジスタ

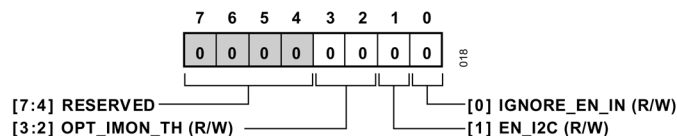


図 18. アドレス：0x1、リセット：0x00、レジスタ名：EN_IMON_CTRL

表 7. EN_IMON_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み	0x0	R
[3:2]	OPT_IMON_TH	IMON のスレッシュホールド設定： 00：99% 01：89% 10：79% 11：69%	0x0	R/W
1	EN_I2C	このビットをハイにセットすると、イネーブル・ピンの状態と無関係にデバイスがイネーブルされます。	0x0	R/W
0	IGNORE_EN_IN	このビットをハイにセットすると、イネーブル・ピンを無視します。	0x0	R/W

V_{OUT+}の設定用レジスタ

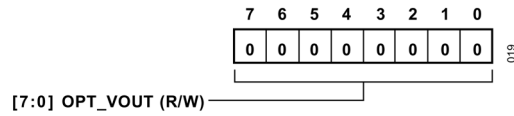


図 19. アドレス：0x3、リセット：0x4b、レジスタ名：VOUT+_SETTING

表 8. VOUT_SETTING のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OPT_VOUT	フィードバック電圧の設定 – 300mV~1000mV の範囲、LSB は約 4mV : 11111111 (0xff - 255) : 1000mV 10111011 (0x4b - 75) : 300mV (パワーアップ時の工場設定デフォルト値) 01000111 (0x4a - 74) : 297mV (許容可能な最小設定コード)	0x4b	R/W

ADC 入力の選択用レジスタ

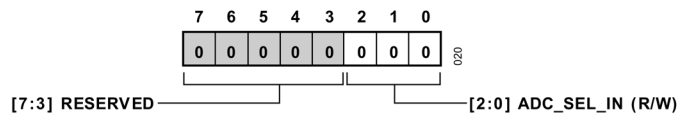


図 20. アドレス：0x4、リセット：0x00、レジスタ名：ADC_SELECT

表 9. ADC_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み	0x0	R
[2:0]	ADC_SEL_IN	3 ビットの ADC 入力選択。このレジスタに書き込むことにより新しい変換サイクルが始まります。 000 : IMON 001 : 温度モニタ 010 : V _{OUTP} モニタ 011 : V _{OUTN} モニタ 100 : V _{IN} モニタ 101~111 : IMON (冗長)	0x0	R/W

ADC のセットアップ用レジスタ

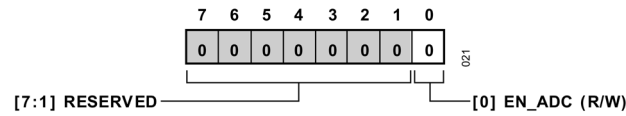


図 21. アドレス：0x5、リセット：0x00、レジスタ名：ADC_CTRL

表 10. ADC_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み	0x0	R
0	EN_ADC	このビットをハイにセットすると ADC がイネーブルになります。	0x0	R/W

ADC の出力用レジスタ

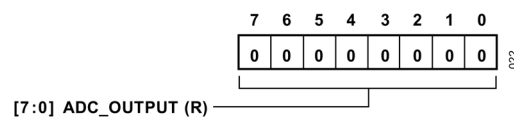


図 22. アドレス：0x6、リセット：0x00、レジスタ名：ADC_OUTPUT

表 11. ADC_OUTPUT ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_OUTPUT	ADC 出力。	0x0	R

動作原理

LTM3360B の概要

LTM3360B は、大電流、高密度、固定周波数、電流モード・アーキテクチャのパワーμModule DC/DC レギュレータであり、300mV という低い出力電圧で 33A を効率的に供給できます。I²C インターフェースを用いると、様々な機能のプログラムや出力電流のリードバックが可能になります。5MHz に固定された高い周波数により、入力コンデンサと出力コンデンサの統合だけでなくパワー・インダクタの統合も可能になるため、必要な外付け部品を最小限に抑えながら、業界で達成可能な最高レベルの出力電流密度（総基板フットプリントに対する出力電流の比）が実現できます。高密度で小型のフットプリントと、スイッチング周波数を外部クロックに同期できる機能を備えているため、LTM3360B を用いるシステムは、低ノイズ/EMI プロファイルを容易に維持できます。LTM3360B の機能には、過渡応答を最適化する内部補償、突入電流を制御するソフト・スタート、V_{OUT} がレギュレーション範囲内であることを通知する出力パワー・グッド機能、ステータスの変化を通知する IRQ ピンなどがあります。より大電流のアプリケーションの場合は、クロック (CLK) ピン、電流スレッシュホールド制御 (ITH) ピン、REF ピンを用いて、複数の LTM3360B を容易に並列化できます。マルチデバイス・アプリケーションでは、1 つのデバイスがメイン・コントローラとして作用し、その他のデバイスが従属デバイスとして動作します。M/S ピンが GND に接続されていれば、そのデバイスは従属デバイスになります。

簡略ブロック図

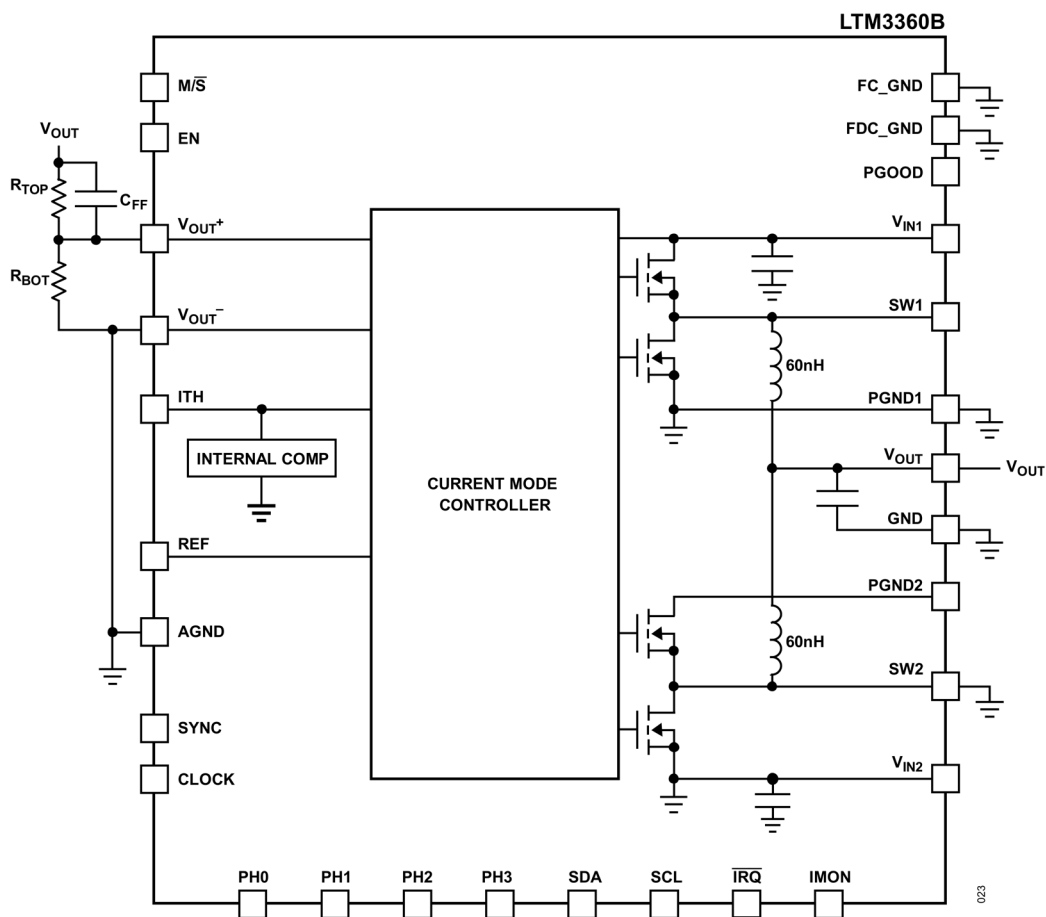


図 23. LTM3360B の簡略ブロック図

パワーオン

LTM3360Bは、ENピンまたはEN_IMON_CTRLレジスタのEN_I2Cビットを用いてデバイスのイネーブル/ディスエーブルを行います。VINnの入力電源がUVLOの立上がりスレッシュホールドを超えた場合にのみ、デバイスをイネーブルできます。

EN_I2Cビットをハイにセットすると、ENピンの状態とは無関係にデバイスをイネーブルできます。また、同じEN_IMON_CTRLレジスタのIGNORE_EN_INビットがローの場合は、ENピンが入力スレッシュホールドを超えるとデバイスはイネーブルになります。

デバイスをディスエーブルにするには、IGNORE_EN_INビットがローの場合は、EN_I2CビットとENピンの両方がローにならなくてはなりません。しかし、IGNORE_EN_INビットがハイであれば、EN_I2Cビットをセットすると、ENピンの状態とは無関係にデバイスはディスエーブルされます。

LOGIC式1により、内部イネーブル信号(INT_EN)の状態が決まります。

$$INT_{EN} = [\overline{IGNORE_EN_IN} \times EN_PIN] + ENI^2C \quad (1)$$

内部イネーブル信号がハイの場合、デバイスはイネーブルされ、100µs(代表値)後にスイッチングを開始します。一方、内部イネーブル信号がローの場合、デバイスはパワーダウンし、すべての内部ロジック状態はそれぞれのデフォルト値にリセットされます。

電圧レギュレーション

各クロック・サイクルの開始時に、内部下側パワー・スイッチがオンになります。次に、インダクタの電流コンバータが作動して下側パワー・スイッチをオフにするまでインダクタを流れる電流が減少します。下側スイッチがオフになるときのバレー・インダクタ電流は、内部ITHノードの電圧によって制御されます。エラー・アンプは、VOUT検出ピン(VOUT⁺、VOUT⁻)の差動電圧を工場設定リファレンス電圧である0.3Vと比較することによって、このITHノードをサーボ制御します。

負荷電流が増加すると、VOUT検出ピンの電圧がリファレンス電圧よりも低下し、それによって、平均インダクタ電流が新しい負荷電流に見合った値となるまでエラー・アンプがITH電圧を上昇させます。下側パワー・スイッチがオフになると、次のクロック・サイクルが始まるまで、またはインダクタ電流が上側スイッチ電流制限値に増加するまで、同期上側パワー・スイッチがオンになります。

過負荷状態となって下側スイッチを流れる電流が過大となった場合は、スイッチ電流が安全なレベルに戻るまで次のクロック・サイクルが遅延(パルススキップ)されます。

強制連続モード動作

LTM3360Bは、強制連続モード(FCM)で動作します。FCMでは、発振器が連続的に動作します。下側スイッチはサイクルごとにオンになり、軽負荷時にはインダクタ電流を反転できるようにすることでレギュレーションが維持されます。このモードでは、出力リップルを最小限に抑えながら、固定周波数で降圧レギュレータを動作させることができます。このFCM動作では、(SWピンに流れ込む)インダクタ電流が負の電流制限値に達すると、そのサイクルの残り時間下側スイッチがオフになって、逆電流が制限されます。

ソフト・スタートおよび出力パワー・グッド

起動時に出力をソフト・スタートすることにより、入力電源の電流サージや出力電圧のオーバーシュートを防ぎます。ソフト・スタート時、出力電圧は内部リファレンス電圧のランプ・アップに比例して増加します。ソフト・スタート・レートは、内蔵のワнтаイム・プログラマブル(OTP)メモリにあるフィードバック時のデフォルト値(代表値2mV/µs)に設定されており、I²Cを通じて変更することはできません。プログラムされたデフォルト値以外のスタートアップ・レートについては、アナログ・デバイスズにお問い合わせください。

フォルト状態になると、ソフト・スタート電圧は0Vにリセットされます。フォルトがクリアされるとランプ・アップが再開し、出力はデフォルト値に戻ります。ソフト・スタートのランプ・アップを開始するフォルト状態としては、デバイスのディスエーブル、VINnの低電圧、サーマル・シャットダウンなどがあります。

メイン・デバイスとして動作している場合、パワー・グッド・ステータスは PGOOD ピンで示されます。出力電圧が仕様規定されているパワー・グッド電圧範囲内にある場合、出力は正常とみなされ、オープン・ドレイン PGOOD ピンが高インピーダンスになります。PGOOD 出力は通常、外部抵抗 (2kΩ を推奨) を用いてハイに引き上げられます。

出力電圧が仕様規定されているパワー・グッド電圧範囲外の場合、出力は正常でないといみなされ、内蔵のプルダウン・デバイスが PGOOD ピンをローに引き下げます。PGOOD ピンは、デバイスがディスエーブル、VINn が低電圧、サーマル・シャットダウンがアクティブの場合にも、ローに引き下げられます。ノイズおよび短時間の出力電圧トランジェントをフィルタにより除去するために、スレッシュホールドにはヒステリシスが組み込まれており、PGOOD をレポートするまで 20μs の遅延があります。図 24 に、EN、VOUT、PGOOD の間のタイミング関係を示します。デバイスが従属デバイスとして動作している場合 (M/S = 0V)、PGOOD 機能は無効化されます。メイン・デバイスのパワー・グッド・コンパレータのみが、レギュレーションがパワー・グッドの範囲内にあることを検出するためにイネーブルされるためです。

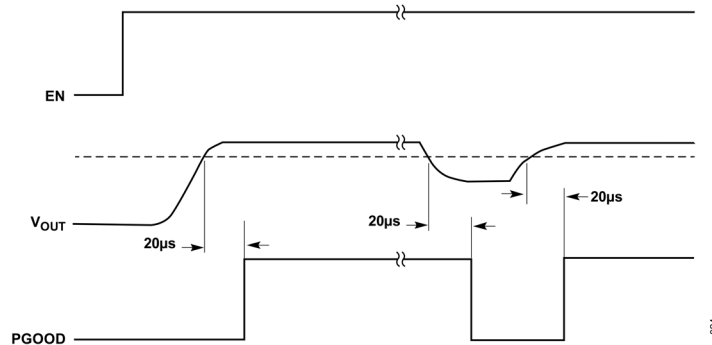


図 24. 出力パワー・グッド (PGOOD) のタイミング

出力ダイナミック電圧スケーリング (DVS) レート

VOUT_SETTING レジスタの OPT_VOUT ビットによって出力電圧レギュレーションのターゲットが変更された場合、ダイナミック電圧スケーリング (DVS) レートも同様に内蔵 OTP メモリ内のデフォルト値 (代表値 2mV/μs) に設定され、I²C による変更はできません。プログラムされたデフォルト値以外の DVS レートについては、アナログ・デバイスにお問い合わせください。PGOOD ピンは、DVS の開始前にローに駆動され、DVS プロセスの完了後にハイにリリースされます。図 25 に、VOUT と PGOOD の間のタイミング関係を示します。PGOOD DVS 機能は、I²C 通信を用いてアドレス 0x7 のレジスタの設定を x0 から x1 に変更することにより無効化できます。

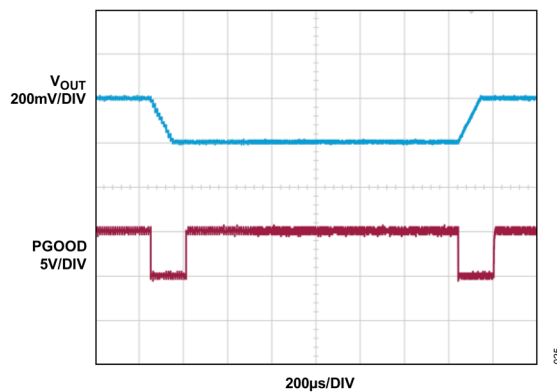


図 25. 出力ダイナミック電圧スケーリング (DVS)

パワーダウン

デバイスがディスエーブルされている場合 (INT_EN = 0)、インダクタ電流は 0 に戻り、出力放電抵抗 (代表値 1kΩ) がオンになります。内部イネーブル信号 (INT_EN) がローにセットされると、シャットダウン電流を減少させるために、内部回路のほとんどはディスエーブルになります。また、内部回路をディスエーブルすると、すべてのレジスタが次の再スタートの準備において、プログラムされているデフォルト値にリセットされます。

過熱保護

熱によって損傷するのを防ぐため、LTM3360B は過熱 (OT) 保護機能を備えています。ダイ温度が 150°C (代表値、未テスト) に達するとスイッチャがシャットダウンして、ダイ温度が 140°C (代表値、未テスト) 未満に下がるまでその状態を維持します。

OT イベントが生じると、 $\overline{\text{IRQ}}$ ピンがローになり、過熱フォルト状態が発生したことを通知します。複数のデバイスが $\overline{\text{IRQ}}$ ピンをアサートできる点に注意してください。

従属デバイスがあるシステムでは、従属デバイスの $\overline{\text{IRQ}}$ ピンがメイン・デバイスの $\overline{\text{IRQ}}$ ピンに接続されている場合、少なくとも 1 つのデバイスが過熱スレッシュホールド (代表値 160°C、未テスト) を超えると、必ずすべての $\overline{\text{IRQ}}$ ピンがローになります。

過電流警告

インダクタの平均電流は、IMON ピンでのプルアップ電流として表されます。IMON 出力電流ゲインに対する平均インダクタ電流の比は、通常、1/340,000 に設定されており、この場合、IMON 出力電流が 100 μ A であると平均インダクタ電流は 34A になります。IMON ピンに抵抗を接続すると、平均インダクタ電流は電圧に変換されます。

IMON ピンの電圧は、過電流警告コンパレータがモニタします。デフォルト (パワーアップ時) では、このコンパレータのスレッシュホールドは 0.99V に設定されています。ただし、このスレッシュホールドは、I²C を用い 0.1V 刻みで 0.69V から 0.99V の範囲で調整できます。

IMON 電圧がこの過電流警告スレッシュホールドを超過すると、 $\overline{\text{IRQ}}$ ピンがローにプルダウンされます。

従属デバイスのあるシステムでは、通常、従属デバイスの IMON ピンは、メイン・デバイスの IMON ピンに接続されます。そのため、デバイスのすべてのプルアップ電流が相互に加算されます。それぞれのデバイスの IMON 出力電流の出力電流に対するゲインは、通常、1/340,000 です。そのため、この共通 IMON ノードに接続された抵抗値をスケールリングすることによって、すべての LTM3360B (メイン・デバイスと従属デバイスを含む) のリアルタイムの全平均インダクタ電流は、この共通 IMON ノードの 1 つの電圧に変換されます。

従属デバイスの $\overline{\text{IRQ}}$ ピンがメイン・デバイスの $\overline{\text{IRQ}}$ ピンにも接続されている場合、全システム電流がメインの LTM3360B で設定されている過電流警告スレッシュホールドを超過すると必ず、すべての $\overline{\text{IRQ}}$ ピンがローになります。

出力短絡動作

[電圧レギュレーション](#) のサブセクションで説明したように、下側スイッチがオフになる (したがって上側スイッチがオンになる) バレー・インダクタ電流は、内部 ITH ノードの電圧で制御されます。

出力電流が増加すると、平均インダクタ電流が負荷電流に見合った値になるまで、エラー・アンプが ITH ピンの電圧を上昇させます (そのためより早期のクロック・サイクルで上側スイッチがオンになり、結果的により長時間、オンが継続されます)。LTM3360B は ITH ピンの最高電圧をクランプすることによって、最大バレー・インダクタ電流を制限します。このクランプ・ポイントは、下側スイッチの最大バレー電流制限値に設定されています。

すべての条件において上側スイッチの安全な動作を確保するために、オンになると常に、上側スイッチを流れる電流がモニタされます。上側スイッチの最大電流は、上側スイッチの最大ピーク電流制限値に設定されています。

出力がグラウンドに短絡すると、インダクタ両端の電圧が低くなるため、インダクタ電流は 1 回のスイッチング・サイクルの間に非常にゆっくりと減衰します。下側パワー・スイッチを通じて測定されたインダクタ電流が下側スイッチの最大バレー電流制限値より大きい場合、下側スイッチがオンに保持され、上側パワー・スイッチはオフに保持されます。その後のスイッチング・サイクルは、インダクタ電流が下側スイッチの最大バレー電流制限値を下回るまで、スキップされます。

同期

メイン・デバイスとして動作する場合、LTM3360B の内部発振器は、矩形波のクロック信号を SYNC ピンに印加することによって、内部フェーズ・ロック・ループ (PLL) 回路を通じて外部周波数に同期します。同期中、下側パワー・スイッチのターンオンは、外部周波数源の立上がりエッジにロックされます。

スロープ補償は外部クロック周波数に合わせて自動的に調整されます。SYNC ピンの最初の立上がりエッジで外部クロックを検出した後、内部 PLL は、その動作周波数を徐々に調整して、SYNC ピンの信号の周波数および位相に合わせます。

外部クロックが突然除去された場合、LTM3360B は約 10 μ s (代表値) 以内に外部クロックがないことを検出します。この検出時間の間、PLL は、周波数を最小 4.5MHz (代表値) まで徐々に減じながらクロック・サイクルを供給し続けます。外部クロックの除去が検出されると、発振器はその動作周波数を徐々にデフォルト周波数である 5MHz (代表値) に戻します。

従属デバイスとして動作している場合は、メイン・デバイスの LTM3360B がその CLK ピンを通じてリファレンス・クロックを供給します。その理由は、外部同期源はメイン・デバイスの SYNC ピンを駆動するだけでよく、複数の従属デバイスの容量性負荷に配慮する必要がないようにするためです。従属デバイスの正しい位相および同期を確保するために、それぞれの CLK ピンを互いに接続し、更にメイン・デバイスの CLK ピンに接続する必要があります。

メイン・デバイスで内部クロックと SYNC ピンが同期するのと同様、従属デバイスの内部 PLL も内部クロックと CLK ピンが同期します。

アプリケーション情報

LTM3360Bは、単位ボード表面積あたりの出力電流密度が最大となる、高集積フル機能降圧 DC/DC コンバータ・ソリューションとなるよう設計されています。以降のセクションのリファレンスとして、[図 23](#) (LTM3360B の簡略ブロック図) を参照してください。

出力電圧のプログラミング/センシング

LTM3360B の内部リファレンス電圧は 0.3V です。メイン・デバイスとして動作する場合、内部エラー・アンプ (EA) が出力検出電圧 (V_{OUT+} および V_{OUT-}) と内部リファレンス電圧を比較します。この内部リファレンス電圧のバッファされた出力は、REF ピンで利用できます。

LTM3360B の出力電圧レベルは、[図 26](#) に示すように、 V_{OUT} 、 V_{OUT+} 、 V_{OUT-} の間の抵抗分圧器 R_{TOP} および R_{BOT} を適切に選択することによって変更できます。 R_{BOT} には $2k\Omega$ (0.1% 公差) 未満の値を使用してください。[式 2](#) を用い、必要な出力電圧に基づいて R_{TOP} を計算します。 R_{TOP} と R_{BOT} の推奨値については、[表 13](#) を参照してください。

$$V_{OUT} = \left(1 + \frac{R_{TOP}}{R_{BOT}}\right) \times 300mV \quad (2)$$

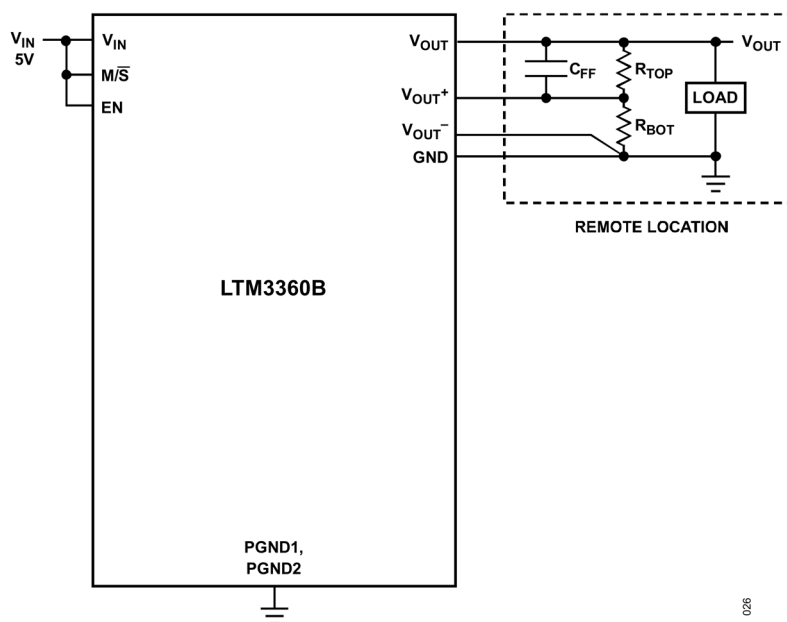


図 26. 出力電圧を設定するための抵抗分圧器

抵抗分圧器 R_{TOP} および R_{BOT} は、電圧を検出する必要のある負荷にできるだけ近付けて配置してください。 V_{OUT+} および V_{OUT-} は常に、必要な検出位置の近くで、 R_{BOT} の両端に直接接続する必要があります。最高の精度を得るために、デバイスの V_{OUT} および GND ピンと検出位置の間のインピーダンスは最小限に抑えます。 V_{OUT} の場所を選択する場合、出力グラウンド (GND) プレーンでの電流が大きいことにより発生する不正確さを考慮する必要があります。

LTM3360B の AGND ピンは、内部アナログ回路のグラウンド・リファレンスです。デバイスを正しく機能させるには、デバイスのできるだけ近くで、AGND ピンと GND ピンを接続します。IMON 抵抗など、すべての信号部品は、AGND ノードを基準にする必要があります。AGND ノードはほとんど電流を流さないため、最小サイズのパターンで済みます。詳細については、[PC ボード・レイアウト時の考慮事項](#) のセクションを参照してください。

出力過電流警告スレッシュホールドの設定

IMON ピンは、平均出力電流に比例する電流を出力します。V_{OUT} の負荷電流が 34A の場合、IMON ピンは 100μA（代表値）の電流を出力します。このピンに抵抗を接続することにより、平均出力電流を表す電圧は、式 3 に従って求めることができます。

$$V_{IMON} = \frac{I_{OUT}(A) \times R_{IMON}}{340,000} \quad (3)$$

例えば、IMON と GND の間に 10kΩ の抵抗を接続すると、電圧が 0.99V で出力電流が 34A の場合、出力電圧に対する IMON 電圧のゲインは 29.1mV/A になります。

動作原理のセクションで説明したように、IMON ピンの電圧は、過電流警告コンパレータがモニタします。出力過電流警告スレッシュホールドには 4 通りのスレッシュホールドがあり、デフォルト値は工場プログラムされています。デフォルト値以外の場合、このスレッシュホールドは、I²C を通じてプログラムできます。表 12 に示すように、このスレッシュホールドは、OPT_IMON_TH ビット・フィールドを設定することによって変更できます。

表 12. OPT_IMON_TH ビット・フィールドの設定

OPT_IMON_TH (BITS)	PERCENTAGE OVER 33A (%)	VOLTAGE (V)
00 (default)	103	0.99
01	93	0.89
10	82	0.79
11	72	0.69

デフォルト（パワーアップ時）では、このコンパレータのスレッシュホールドは 0.99V に設定されています。ただし、このスレッシュホールドは、I²C を用い 0.1V 刻みで 0.69V から 0.99V の範囲で調整できます。

IMON ピンの電圧がこの過電流アラート・スレッシュホールドを超過すると、 \overline{IRQ} ピンがローにプルダウンされます。

逆出力電流制限

LTM3360B は強制連続モードで動作するため、インダクタの電流が負になることがあります。デバイスの損傷を防ぐため、逆インダクタ電流は、内部回路によって制限されます。制限値は -7A（代表値）に設定されています。

出力プルダウン

LTM3360B がディスエーブルの場合、プルダウン抵抗が V_{OUT} と GND の間に接続されます（代表値 1kΩ）。

同期

スイッチング・レギュレータのクロック・ソースは、内部発振器から SYNC ピンのクロックへ切り替えることができます。LTM3360B は、4.5MHz~5.5MHz の範囲の外部印加クロックに適切なロジック・レベルで同期できます。

動作原理のセクションで説明したように、メイン・デバイスとして動作する場合、LTM3360B には SYNC ピンにエッジ検出器があります。SYNC ピンの最初の立上がりエッジで外部クロックを検出した場合、内部 PLL は、その動作周波数を徐々に調整して、SYNC ピンの信号の周波数および位相に合わせます。

メイン・デバイスで内部クロックと SYNC ピンが同期するのと同様、従属デバイスの内部クロックと CLK ピンも同期します。代表的なアプリケーションにおいて、メイン・デバイスの CLK ピンは、すべての従属デバイスのクロック・バスに接続されており、各従属デバイスに対し、メイン・デバイスを基準とする正確な位相プログラミングを行うための同一のクロック・リファレンスを確保しています。更に、メイン・デバイスの CLK ピン出力バッファは、クロック信号エッジの完全性を維持しながらも複数の従属デバイスを駆動できるサイズとなっています。

このクロック信号の配線の引き直しには注意が必要です。4.5MHz~5.5MHzの周波数範囲の高速クロック・エッジでは、このクロック配線が高周波数ノイズの原因となります。また、寄生容量および寄生インダクタンスが最小となるよう、このクロック配線は最小限に抑える必要もあります。

A/D コンバータ (ADC)

LTM3360Bには、8ビットのシグマ・デルタADCが内蔵されています。このADCは一度に1つのサンプルを処理し、新しい変換サイクルごとにリセットされます。ADC_SEL_INにI²Cによる書き込みが行われると、1回の変換がトリガされます。変換ごとに約3.3msの時間を要します。変換の終了時に、ADCの結果がADC_OUTPUTレジスタ0x6に格納されます。ADCの入力を連続的にモニタするためには、該当のADC_SEL_INレジスタ・アドレスに連続して書き込みを行う必要があります。

IMONピンの電圧をリードバックするには、まず、ADC_CTRLレジスタ0x5に0x1を書き込んでADCをイネーブルし、次いで、ADC_SELECTレジスタ0x4に0x0を書き込みます。3.3msの変換時間後、ADCの出力はADC_OUTPUTレジスタ0x6に書き込まれます。その後、ピンの電圧は式4を用いて計算できます。

$$IMON\ Voltage = 4.7mV \times (ADC_OUTPUT) \quad (4)$$

例えば、10010101というADC出力は、10進法の149に相当し、式4に従ってIMON電圧は700mVとなります。

ダイ温度を読み出すには、ADC_CTRLレジスタ0x5に0x1を書き込んでADCをイネーブルし、次いで、ADC_SELECTレジスタ0x4に0x1を書き込みます。変換の完了後、ADCの出力はADC_OUTPUTレジスタ0x6に書き込まれます。その後、ダイ温度は式5を用いて計算できます。

$$Die\ Temperature = 2.6^{\circ}C \times (ADC_OUTPUT - 75) \quad (5)$$

例えば、01010101というADC出力は、10進法の85に相当し、式5に従ってダイ温度は26°Cとなります。

入力電源電圧(V_{IN})を読み出すには、ADC_CTRLレジスタ0x5に0x1を書き込んでADCをイネーブルし、次いで、ADC_SELECTレジスタ0x4に0x4を書き込みます。変換の完了後、ADCの出力はADC_OUTPUTレジスタ0x6に書き込まれます。その後、入力電圧は式6を用いて計算できます。

$$Input\ Voltage = 23mV \times (ADC_OUTPUT) \quad (6)$$

例えば、10001101というADC出力は、10進法の141に相当し、式6に従って入力電圧は3.3Vとなります。

差動検出ピンの出力電圧(V_{OUT}⁺, V_{OUT}⁻)を読み出すには、まず、ADC_CTRLレジスタ0x5に0x0を書き込んでADCをイネーブルし、次いで、ADC_SELECTレジスタ0x4に0x2を書き込みます。変換の完了後、ADCの出力はADC_OUTPUTレジスタ0x6に書き込まれます。次いでADC_SELECTレジスタ0x4に0x3を書き込みます。変換の完了後、ADCの出力はADC_OUTPUTレジスタ0x6に書き込まれます。その後、(V_{OUT}⁺およびV_{OUT}⁻)の電圧は式7を用いて計算できます。

$$\begin{aligned} V_{OUT}^{+} &= 4.7mV \times (ADC_OUTPUT) \\ V_{OUT}^{-} &= 4.7mV \times (ADC_OUTPUT) \end{aligned} \quad (7)$$

例えば、V_{OUT}⁺について10100000、V_{OUT}⁻について0000001であるADC出力は、それぞれ10進法の160および1に相当し、式7に従って(V_{OUT}⁺, V_{OUT}⁻) = 0.75Vとなります。

過渡応答とループ補償

LTM3360B は、高速過渡応答機能のために高帯域幅で動作するように設計されています。広ループ帯域幅で動作することで、過渡応答条件を満たすのに必要な出力容量が低減します。

フィードフォワード・コンデンサ C_{FF} をフィードバック・ループ抵抗 R_{TOP} と並列に配置します (図 26 参照)。式 8 に従って C_{FF} を選択します。それによって、クロスオーバー周波数 f_{BW} (LTM3360B の場合、200kHz~300kHz (代表値)) で位相ブーストが最大になります。様々な出力電圧に対して推奨される C_{FF} の値については、表 13 を参照してください。

$$C_{FF} = \frac{1}{2\pi f_{BW}} \sqrt{\frac{1}{R_{TOP}(R_{TOP} || R_{BOT})}} \quad (8)$$

表 13. フィードバック信号抵抗分圧器とフィードフォワード・コンデンサの代表値

V_{OUT} (V)	R_{TOP} (Ω)	R_{BOT} (k Ω)	C_{FF} (F)
0.5	667 Ω	1	1n
0.6	1k	1	1n
0.75	3k	2	330p
0.8	1.69k	1.02	470p
1	2.7k	1.15	330p

制御ループの周波数応答および安定性を検証する 2 つの方法として、ロード・トランジェントをかけてシステムの応答をモニタする方法と、ネットワーク・アナライザを用いて実際のループ応答を測定する方法があります。

LTM3360B は、過渡応答時間を改善するのに役立つ、特別な非線形過渡応答回路も備えています。大きな負荷ステップまたは負荷リリースの間、この非線形過渡応答回路は、出力電圧の変位を制限するためのもう 1 つの方策となります。内部パワー・スイッチの安全な動作を確保するために、非直線的な動作の間にも、様々なピークおよびバレー電流制限が絶えず設けられています。この機能は、デフォルトでは無効化されています。非線形制御を有効にする際は、アナログ・デバイセスにお問い合わせください。

V_{OUT} 過電圧/低電圧モニタリング

LTM3360B は、メイン・デバイスとして動作する場合、 V_{OUT}^+ ピンと V_{OUT}^- ピンの電圧差をモニタします。このモニタリングは、過電圧 (OV) コンパレータおよび低電圧 (UV) コンパレータを用いて行われます。OV スレッショルドは目標のレギュレーション・ポイントを基準として+18.75mV (立上がり、代表値)、UV スレッショルドは-18.75mV (立下がり、代表値) に設定されています。

動作原理のセクションで説明したように、出力電圧が仕様規定されているパワー・グッド電圧範囲外の場合、出力は正常でないとみなされ、内蔵のプルダウン・デバイスが PGOOD ピンをローに引き下げます。PGOOD ピンは次に示す状態のときもローになります。すなわち、EN ピンがローの場合、 V_{INn} が低電圧の場合、またはサーマル・シャットダウンがアクティブの場合です。

反対に、出力電圧が仕様規定されているパワー・グッド電圧範囲内にある場合、出力は正常とみなされ、オープン・ドレイン PGOOD ピンが高インピーダンスになります。PGOOD 出力は通常、外部抵抗 (2k Ω を推奨) を用いてハイに引き上げられます。この出力電圧モニタリングは、従属デバイスとして動作する場合には無効化されます。

追加入力コンデンサ

標準的な降圧 DC/DC コンバータでは、入力電源 (V_{INn}) と電源グラウンド・ピン (PGND(n)) には、極めて高い周波数のパルス状電流変化が生じます。これに対し、スイッチング・ノード電流 (SW(n)) には、スイッチング周波数および最初のいくつかの高調波以外には大量のエネルギーはありません。したがって、電源端子と電源グラウンド端子に最大の注意が必要です。

電源ノイズを抑えるために、LTM3360B のパッケージには、バルクの高周波入力コンデンサが内蔵されており、 V_{INn} ピン、PGND(n) ピン、入力コンデンサによって形成されるホット・ループをフィルタ除去します。これらの入力コンデンサは、ほとんどのアプリケーションに対し、高周波数ノイズをフィルタ除去するだけでなく、バルク電荷を供給するのにも十分です。

大半の入力レール電源電圧 (V_{INn} に接続) はノイズの影響を受けやすいため、0603 より大きなセラミック・コンデンサからなるバルク・コンデンサをパッケージの電源ピンの近くに追加することができます。必要な PCB レイアウト・トポロジーについては、PC ボード・レイアウト時の考慮事項のセクションを参照してください。温度と入力電圧の変動に対して最高性能を発揮するために、X7R または X5R のセラミック・コンデンサを用いることを推奨します。一般的に、使用するスイッチング周波数が低いほど、より大きな入力バルク容量が必要になることに注意してください。

追加の出力コンデンサ、出力リップル、過渡応答

標準的な DC/DC コンバータの場合、降圧レギュレータに出力コンデンサを接続することは、入力コンデンサほどには重要ではありません。それは、インダクタ電流波形の周波数成分が入力電流に比べ、一般的にははるかに穏当であるためです。しかし、出力コンデンサの位置や方向によっては、寄生インダクタンスや寄生抵抗が増加する可能性があり、これが出力ノイズ性能に影響するおそれがあります。

LTM3360B は、パッケージ内にバルク出力コンデンサも内蔵しており、それによって、出力リップルを最小限に抑えると共に、負荷ステップ時の出力電圧ドループ特性と負荷リリース時のオーバーシュート特性を最適化します。LTM3360B をポイントオブロードに極めて近接できるようなアプリケーションでは、ほとんどの場合、追加の出力コンデンサは不要です。ただし、ポイントオブロードの場所がやむを得ず分散し、LTM3360B の近くに必ずしも配置できないような一部のアプリケーションでは、負荷のより近くで高周波数デカップリングを実現するために、これらの場所に出力コンデンサを追加できます。

寄生抵抗および寄生インダクタンスを増加させないために、LTM3360B の V_{OUT} ピンとポイントオブロード位置の間の配線を最短にするよう、注意が必要です。これらの寄生成分は、全体的な効率に影響するだけでなく、 V_{OUT}^+ および V_{OUT}^- のセンシングがこれらのポイントの 1 つで行われる場合、クローズド・ループ・レギュレーションの周波数応答全体にも影響します。

寄生成分を含め、複数のポイントでセンシングを行う場合、全体的な周波数応答に 2 次的な高調波ダイナミクスが加わるため、LTM3360B の負荷ステップおよび負荷リリースの全体的なステップ応答が悪化する可能性があります。

出力コンデンサを追加すると一般的にリップル出力電圧が低下しますが、過渡応答が遅くなる点に注意してください。

追加の出力コンデンサが必要な場合、温度と入力電圧の変動に対して最高性能を発揮するために、X7R または X5R のセラミック・コンデンサを用いることを推奨します。

マルチフェーズ動作

LTM3360B は、マルチフェーズ動作を容易に行えるよう設計されています。1 つの LTM3360B がメイン・コントロール・ユニットとして動作し、その他すべてのデバイスは M/S ピンをグラウンドに接続することにより、従属デバイスになるようプログラムする必要があります。

メイン・デバイスおよび従属デバイスの REF、CLK、ITH、AGND、 V_{OUT}^+ 、 V_{OUT}^- の各ピンは、相互に接続する必要があります。CLK ピンを接続することにより、すべてのデバイスが正確な位相関係を保ちながら同じ周波数で動作できるようになります。

従属デバイス ($M/\bar{S} = 0V$) の位相の選択を表 14 に示します。メイン・デバイスは、常に 0° の位相です。従属デバイスの位相は、表 14 に示すように、PH3、PH2、PH1、PH0 の各ピンの状態によって設定されます。従属デバイスの PC ピンは、ディスエーブルになっている点に注意してください。

従属デバイスの位相選択は、8 相動作の単純な均等分割 (0° 、 45° 、 90° 、 135° 、 180° 、 225° 、 270° 、 315°) または、12 相動作の単純な均等分割 (0° 、 30° 、 60° 、 90° 、 120° 、 150° 、 180° 、 210° 、 240° 、 270° 、 300° 、 330°) に設計されています。これらの位相関係を用いると、LTM3360B を使用するシステムは、2、3、4、6 相動作にも単純な均等分割とすることができます。マルチフェーズ動作に接続される従属デバイスの数は、11 個 (12 相動作において 1 個がメイン・デバイス) に限定されない点に注意してください。複数の従属デバイスが同じ位相で動作しても構いません。例えば、24 個のデバイスを使用するシステムは、 2×12 相のシステムで、LTM3360B の 12 ペアがそれぞれ同じ位相を共有するよう構成できます。

表 14. 従属デバイスの位相のピン設定

SUBORDINATE PHASE SELECTION				
PH3	PH2	PH1	PH0	PHASE (DEG)
0	0	0	0	0
0	0	0	1	30
0	0	1	0	45
0	0	1	1	60
0	1	0	0	90
0	1	0	1	120
0	1	1	0	135
0	1	1	1	150
1	0	0	0	180
1	0	0	1	210
1	0	1	0	225
1	0	1	1	240
1	1	0	0	270
1	1	0	1	300
1	1	1	0	315
1	1	1	1	330

1 個のメイン LTM3360B に接続される LTM3360B 従属デバイスの数は、メイン LTM3360B の共有ピン REF、ITH、CLK、AGND での出力バッファ機能によってのみ制限されます。CLK バスはクロック信号を伝搬させ、この信号は、メイン・デバイスと従属デバイスとの位相関係が正確であるという完全性を維持するために、高速のエッジを必要とします。更に、ITH バスの容量性負荷と追加遅延は、マルチフェーズ・システムの全体的な過渡応答を低下させます。

マルチフェーズ動作における従属デバイスのイネーブルとディスエーブル

ピン配置およびピン機能の説明のセクションで説明したように、従属デバイスの EN ピンは、メイン・デバイスの EN ピンに接続する必要があります。これらのピンをすべてまとめて接続することにより、マルチフェーズ・システムの全デバイスが、EN ピンの状態に応じて同時にオン/オフできるようになります。ただし、従属デバイスの I²C ポートはディスエーブルされる点に注意してください。したがって、メイン・デバイスが I²C によってディスエーブルされた場合、従属デバイスへは、ITH ピンを 0V に駆動するという形でこのピンを通じて影響が及びます。CLK ピンにエッジがない場合、従属デバイスのコンバータはディスエーブルになります。

低電源電圧動作

LTM3360B は、入力電源電圧が 2.9V まで低下しても動作するように設計されています。詳細については、代表的な性能特性のセクションを参照してください。

出力短絡および過負荷状態に対する熱に関する考慮事項

LTM3360B は、出力短絡および過負荷状態に耐えられるよう設計されていますが、加熱を防ぐために、デバイスの表面温度を管理することが重要です。適切なヒートシンクが必須です。また、その他の制限要因によりこれが不可能な場合には、LTM3360B の動作温度を維持するための補助として、図 27 および図 28 に示すような外部回路を追加することが推奨されます。

$\overline{\text{IRQ}}$ ピンを EN ピンに接続します。それによって、プログラムされた IMON 過電流スレッシュホールド（過電流警告のセクションを参照）を負荷電流が超過した場合に、デバイスは一時的にシャットダウンされます。抵抗 (100k Ω) とコンデンサ (1 μF) により、LTM3360B がオフになり出力電流が過電流スレッシュホールド未満に低下してからデバイスが復帰するまでの時間遅延が設定されます。この RC 時定数は、 $\overline{\text{IRQ}}$ 最大プルダウン電流定格およびアプリケーションの周囲温度状態に基づいて、慎重に選択する必要があります。動作時のこのようなオン/オフの試行は、ヒカップ・モードと呼ばれます。

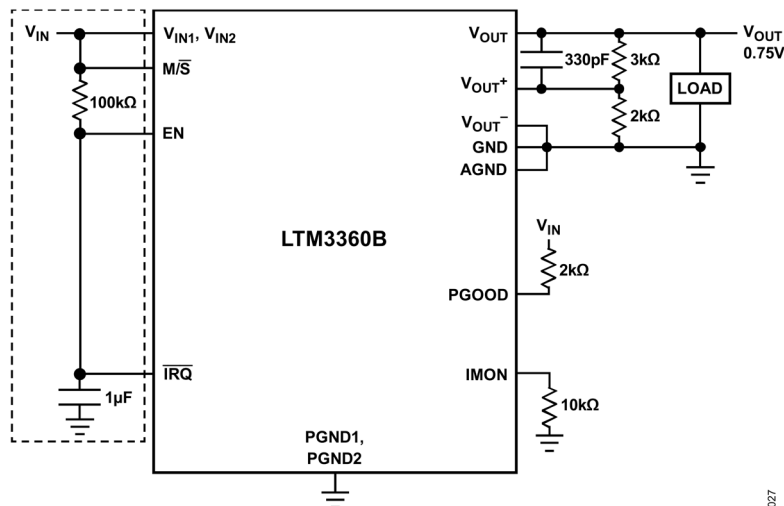


図 27. 単一デバイスのヒカップ・モード・アプリケーション回路

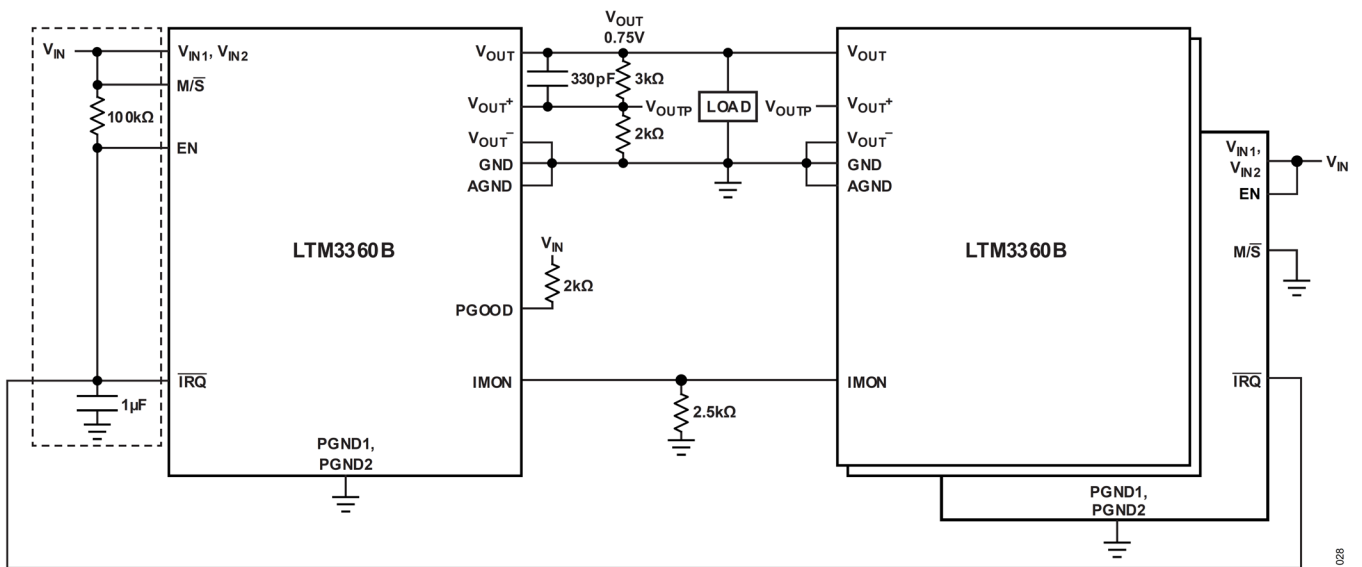


図 28. 4 個の LTM3360B のヒカップ・モード・アプリケーション回路

温度ディレーティング曲線

図 31～図 36 に示す温度ディレーティング曲線は、様々な空気流条件における熱抵抗 θ_{JA} の概略値を計算するために使用できます。

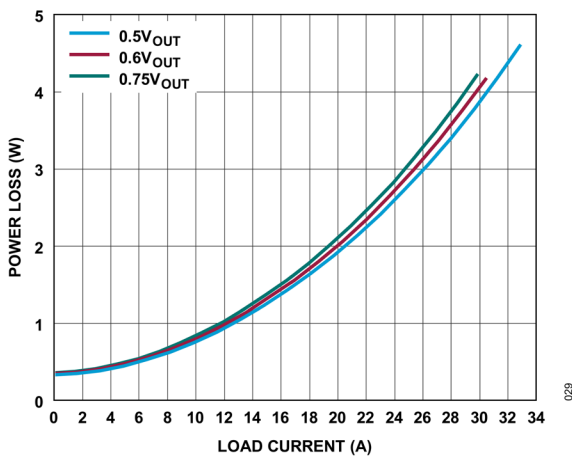


図 29. 温度ディレーティング、電力損失と負荷の関係、
 $V_{IN} = 3.3V$ 、 $V_{OUT} = 0.5V$ 、 $f_{sw} = 2.5MHz$

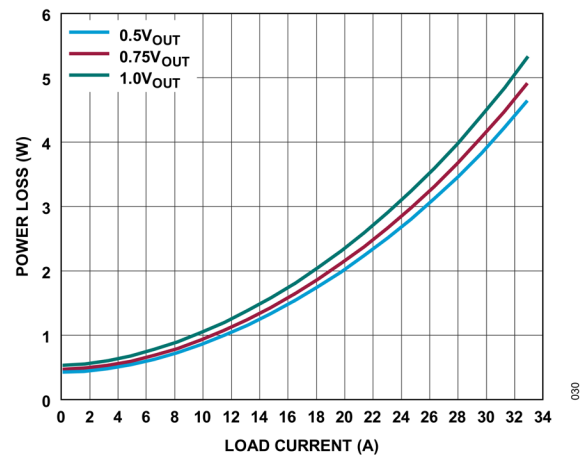


図 30. 温度ディレーティング、電力損失と負荷の関係、
 $V_{IN} = 5V$ 、 $V_{OUT} = 0.5V$ 、 $f_{sw} = 2.5MHz$

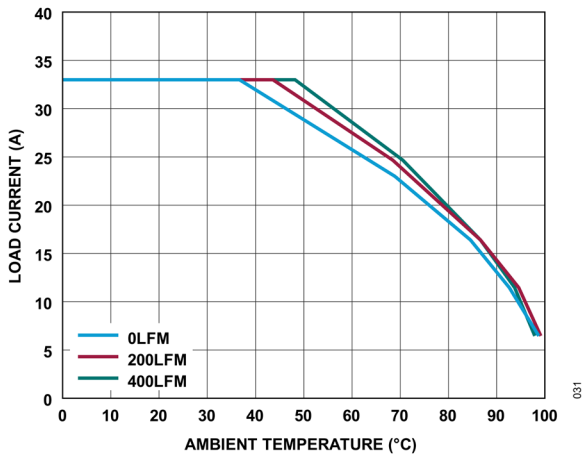


図 31. 温度ディレーティング、
 $V_{IN} = 3.3V$ 、 $V_{OUT} = 0.5V$ 、 $f_{sw} = 2.5MHz$

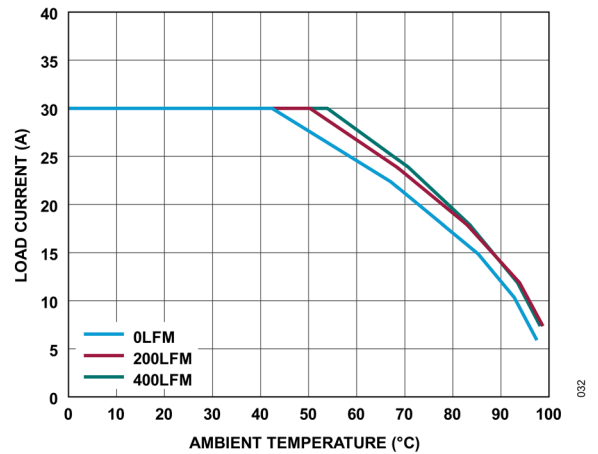


図 32. 温度ディレーティング、
 $V_{IN} = 3.3V$ 、 $V_{OUT} = 0.6V$ 、 $f_{sw} = 2.5MHz$

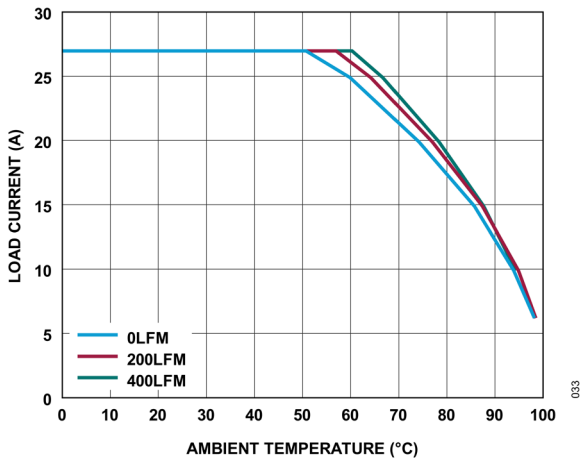


図 33. 温度ディレーティング、
 $V_{IN} = 3.3V$ 、 $V_{OUT} = 0.75V$ 、 $f_{sw} = 2.5MHz$

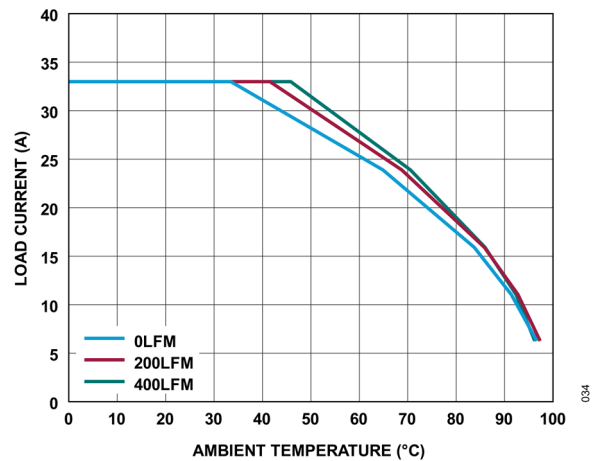


図 34. 温度ディレーティング、
 $V_{IN} = 5V$ 、 $V_{OUT} = 0.5V$ 、 $f_{sw} = 2.5MHz$

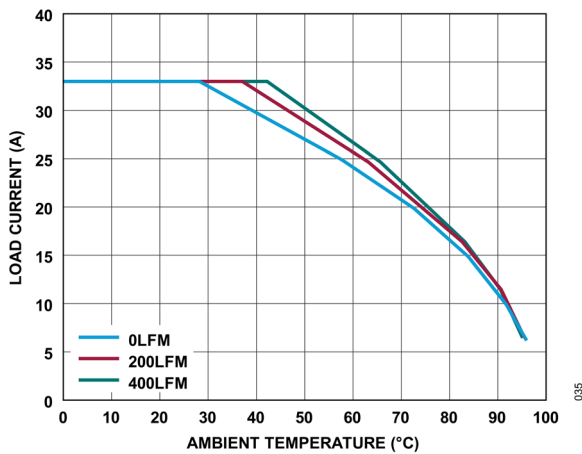


図 35. 温度ディレーティング、
 $V_{IN} = 5V$ 、 $V_{OUT} = 0.75V$ 、 $f_{sw} = 2.5MHz$

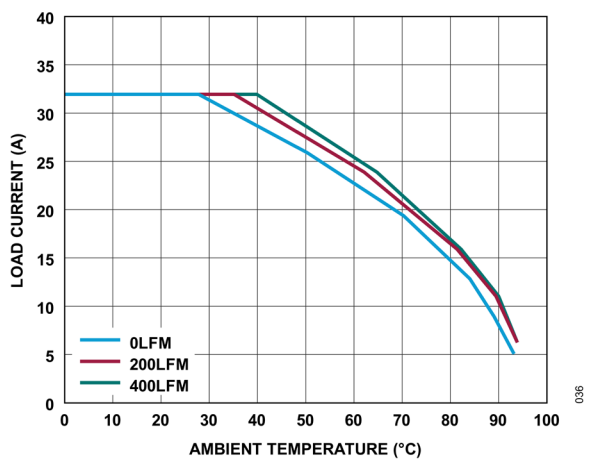


図 36. 温度ディレーティング、
 $V_{IN} = 5V$ 、 $V_{OUT} = 1V$ 、 $f_{sw} = 2.5MHz$

PC ボード・レイアウト時の考慮事項

LTM3360B は、電磁干渉および電磁環境適合性 (EMI/EMC) のエミッションを最小限に抑えて、高周波数でのスイッチング時に最大限の効率が得られるよう特別に設計されています。最高性能を発揮するために、LTM3360B のパッケージには、高周波数スイッチング・ノイズをフィルタ除去するためのセラミック・コンデンサが内蔵されています。

周囲温度が高い場合は、PCB のレイアウトに注意を払い、LTM3360B が十分放熱できるようにします (図 37 参照)。パッケージの底面の PGND(n)ピンおよび GND ピンは、グランド・プレーンにハンダ付けする必要があります。このグランド・プレーンは、多数のサーマル・ビアを用いて広い銅層に接続してください。これらの層が LTM3360B の発生する熱を拡散します。ビアを追加すれば、熱抵抗を更に小さくすることができます。周囲温度が最大ジャンクション温度の定格値に近付くにつれて、最大負荷電流をディレーティングする必要があります。

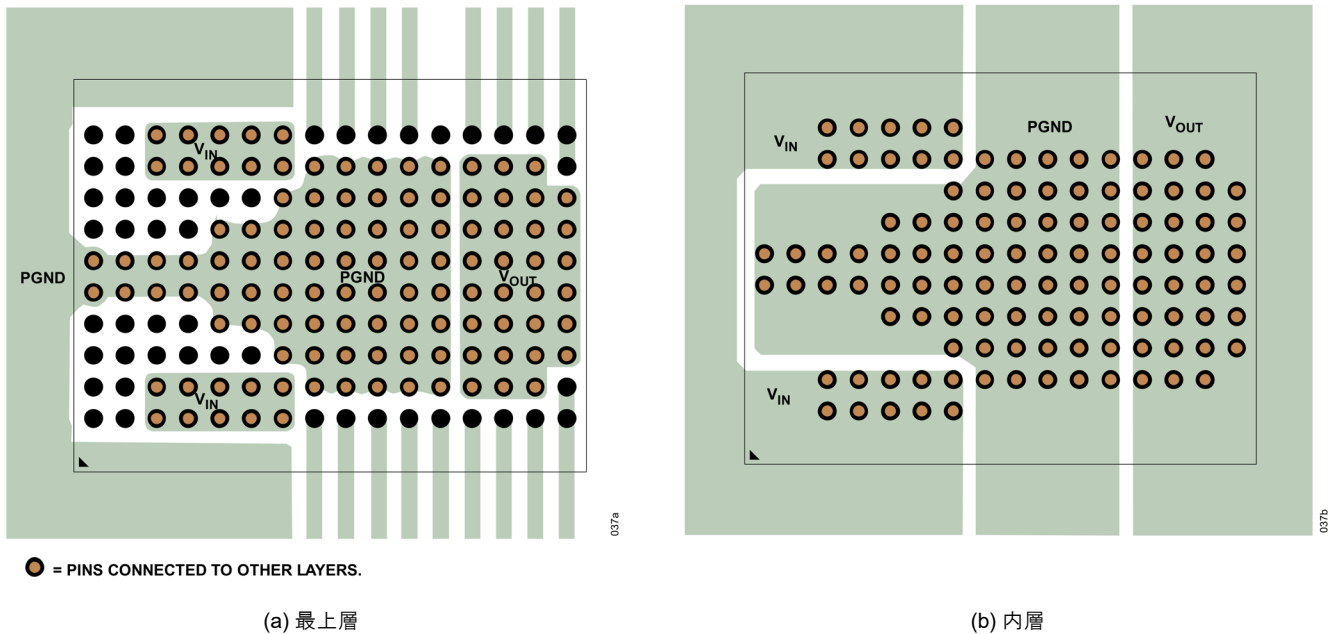


図 37. LTM3360B の推奨 PCB レイアウト

代表的なアプリケーション

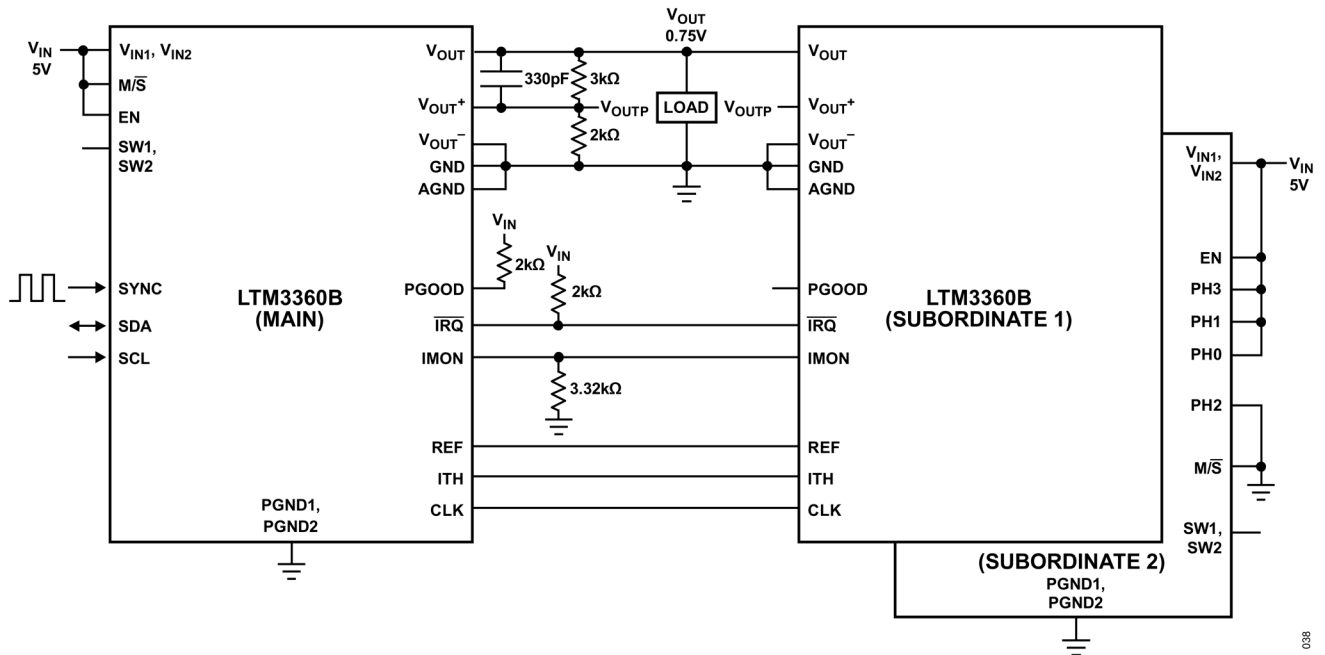
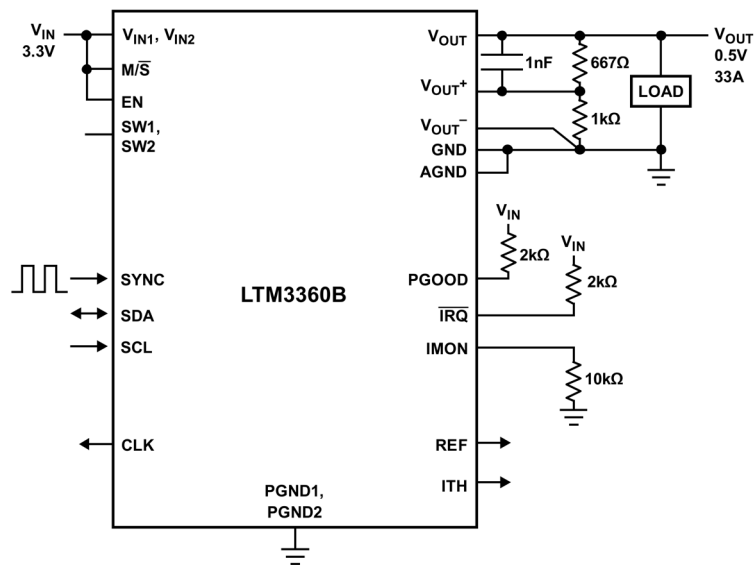


図 38. 3 個の LTM3360B (5V 入力 0.75V 出力、99A)

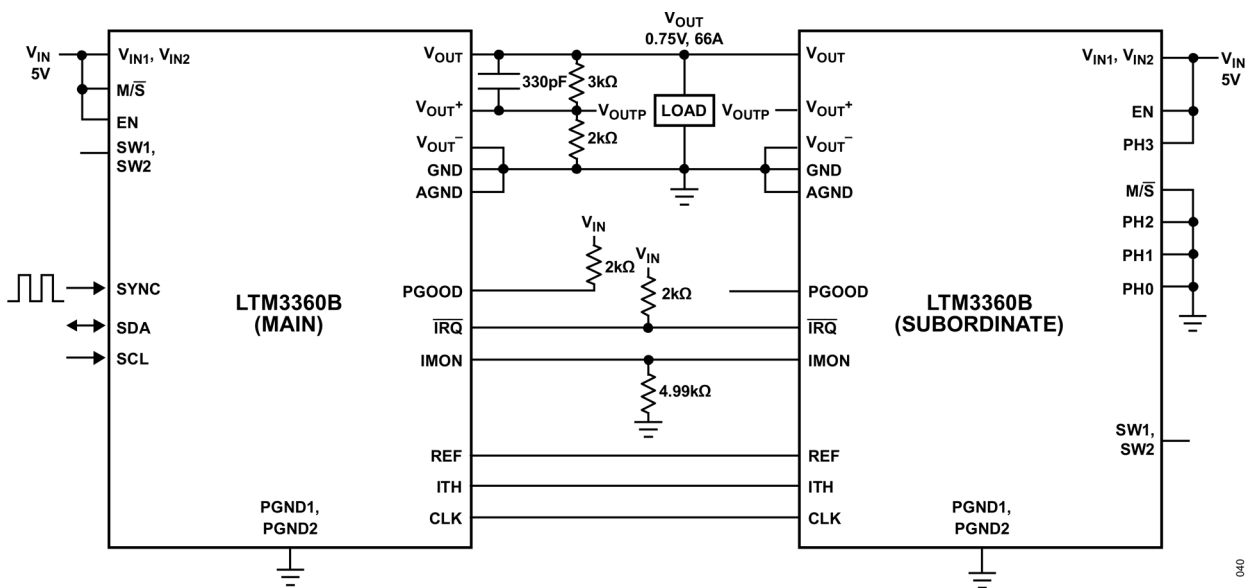
表 15. 位相の選択

DESIGNATION	PH3	PH2	PH1	PH0	PHASE (DEGREES)
Main	N/A	N/A	N/A	N/A	0
Subordinate 1	GND	V_{IN}	GND	V_{IN}	120
Subordinate 2	V_{IN}	GND	V_{IN}	V_{IN}	240



039

図 39. 単一 LTM3360B (3.3V 入力 0.5V 出力、33A)



040

図 40. デュアル LTM3360B (5V 入力 0.75V 出力、66A)

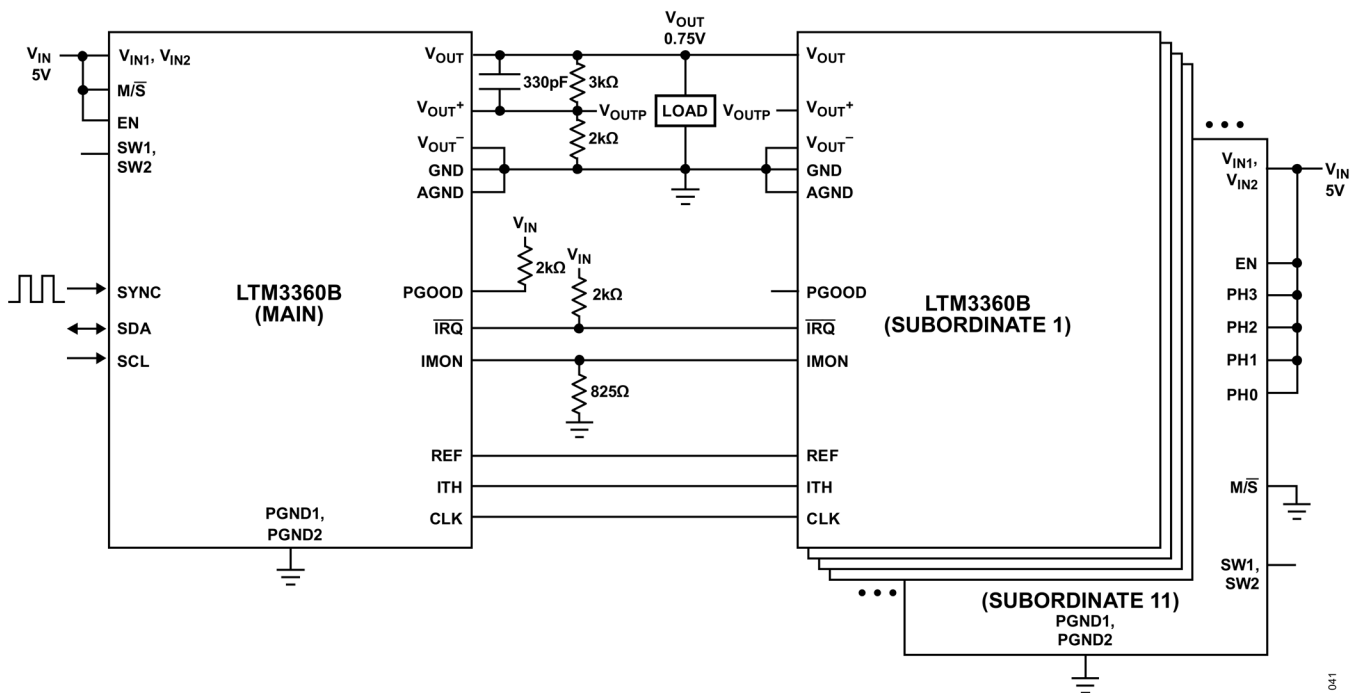


図 41. 12 個の LTM3360B (5V 入力 0.75V 出力、396A)

表 16. 位相の選択

DESIGNATION	PH3	PH2	PH1	PH0	PHASE (DEG)
Main	N/A	N/A	N/A	N/A	0
Subordinate 1	GND	GND	GND	V_{IN}	30
Subordinate 2	GND	GND	V_{IN}	V_{IN}	60
Subordinate 3	GND	V_{IN}	GND	GND	90
Subordinate 4	GND	V_{IN}	GND	V_{IN}	120
Subordinate 5	GND	V_{IN}	V_{IN}	V_{IN}	150
Subordinate 6	V_{IN}	GND	GND	GND	180
Subordinate 7	V_{IN}	GND	GND	V_{IN}	210
Subordinate 8	V_{IN}	GND	V_{IN}	V_{IN}	240
Subordinate 9	V_{IN}	V_{IN}	GND	GND	270
Subordinate 10	V_{IN}	V_{IN}	GND	V_{IN}	300
Subordinate 11	V_{IN}	V_{IN}	V_{IN}	V_{IN}	330

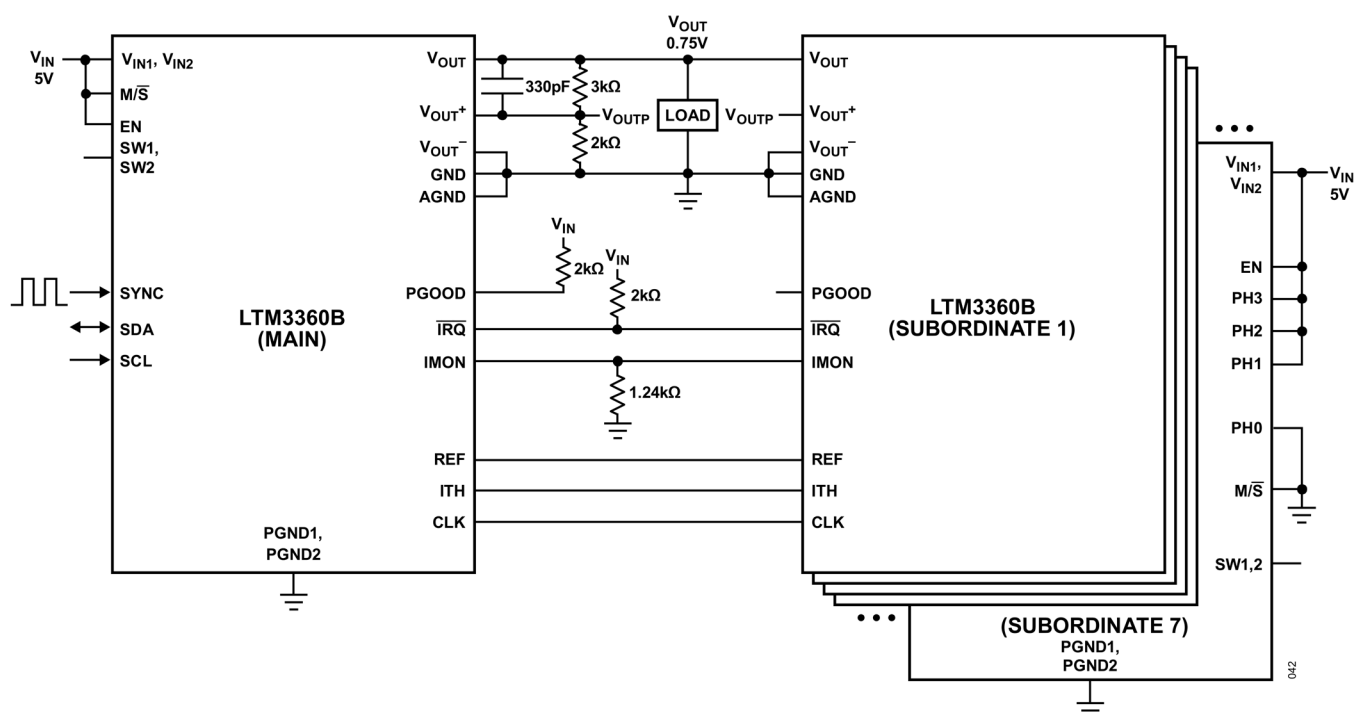


図 42. 8 個の LTM3360B (5V 入力 0.75V 出力、264A)

表 17. 位相の選択

DESIGNATION	PH3	PH2	PH1	PH0	PHASE (DEG)
Main	N/A	N/A	N/A	N/A	0
Subordinate 1	GND	GND	V_{IN}	GND	45
Subordinate 2	GND	V_{IN}	GND	GND	90
Subordinate 3	GND	V_{IN}	V_{IN}	GND	135
Subordinate 4	V_{IN}	GND	GND	GND	180
Subordinate 5	V_{IN}	GND	V_{IN}	GND	225
Subordinate 6	V_{IN}	V_{IN}	GND	GND	270
Subordinate 7	V_{IN}	V_{IN}	V_{IN}	GND	315

関連製品

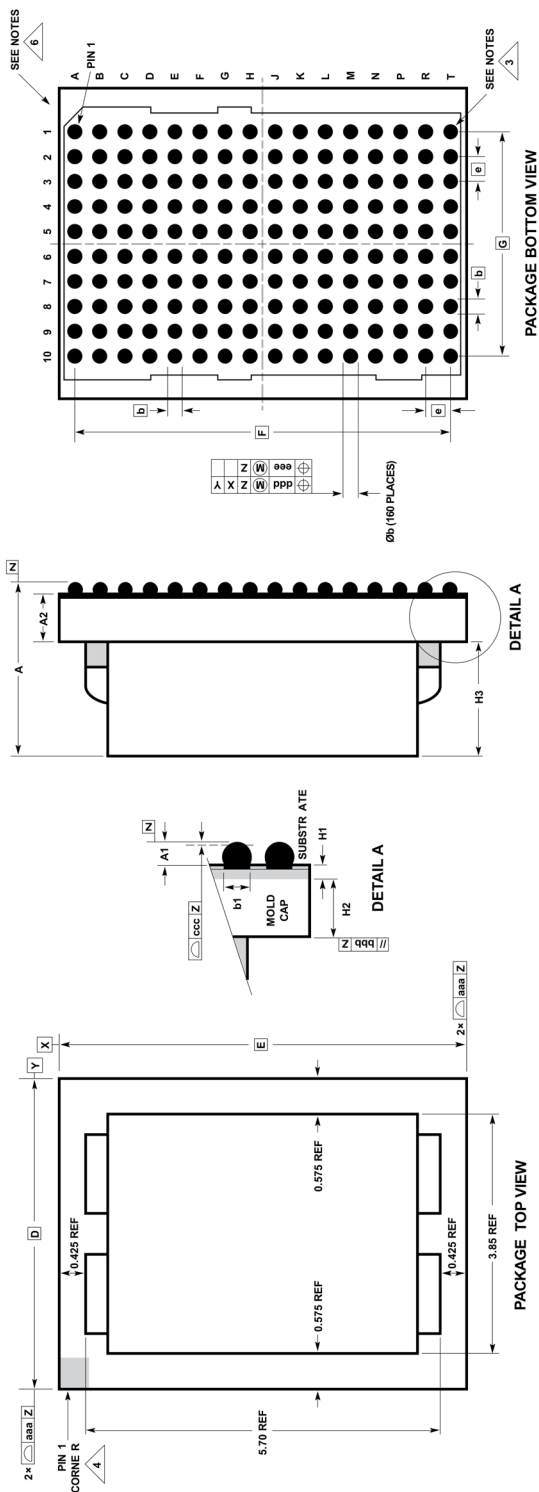
表 18. 関連製品

製品番号	説明	注釈
LTM4658	低 V_{IN} 、高効率の 10A 降圧 DC/DC μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$ 、 $0.5V \leq V_{OUT} \leq V_{IN}$ 、 4mm × 4mm × 4.32mm LGA、 4mm × 4mm × 4.62mm BGA
LTM4659	超薄型、低 V_{IN} の 10A 降圧 DC/DC μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$ 、 $0.5V \leq V_{OUT} \leq V_{IN}$ 、 4mm × 4mm × 1.43mm LGA
LTM4691	低 V_{IN} 、高効率、超薄型のデュアル 2A 降圧 DC/DC μ Module レギュレータ	$2.25V \leq V_{IN} \leq 3.6V$ 、 $0.5V \leq V_{OUT} \leq 2.5V$ 、 3mm × 4mm × 1.18mm LGA、 3mm × 4mm × 1.48mm BGA
LTM4710-1	低 V_{IN} のクワッド 8A Silent Switcher® (サイレント・スイッチャ) μ Module レギュレータ	$2.5V \leq V_{IN} \leq 5.5V$ 、 $0.5V \leq V_{OUT} \leq 3.6V$ 、 プレソルダ・パッケージを使用した 6mm × 12mm × 3.54mm LGA
LTM4693	低 V_{IN} 、超薄型の 2A 昇降圧 μ Module レギュレータ	$2.6V \leq V_{IN} \leq 5.5V$ 、 $1.8V \leq V_{OUT} \leq 5.5V$ 、 3.5mm × 4mm × 1.25mm LGA
LTM4611	超低 V_{IN} の 15A DC/DC μ Module (パワー・モジュール) レギュレータ	$1.5V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 15mm × 15mm × 4.32mm LGA
LTM4670	10A の出力アレイを構成可能な低 V_{IN} クワッド μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$ 、 $0.5V \leq V_{OUT} \leq V_{IN}$ 、 7.5mm × 15mm × 4.65mm BGA

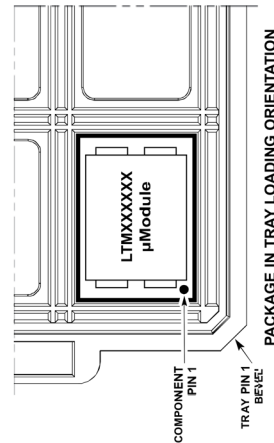
外形寸法



BGA Package
160-Lead (6.55mm x 5.00mm x 3.31mm)
 (Reference DWG # BC-160-4)



- NOTES:**
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. BALL DESIGNATION PER JEP95
 4. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM -Z- IS SEATING PLANE
 6. PACKAGE ROW AND COLUMN LABELING MAY VARY AMONG μ Module PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY



DIMENSIONS			
SYMBOL	MIN	NOM	MAX
A	3.06	3.31	3.56
A1	0.13	0.19	0.25
A2	1.13	1.22	1.31
b	0.20	0.25	0.30
b1	0.20	0.23	0.26
D	5.00		
E	6.55		
e	0.40		
F	6.00		
G	3.60		
H1	0.32 REF		
H2	0.90 REF		
H3	1.80	1.90	2.00
aaa	0.10		
bbb	0.10		
ccc	0.08		
ddd	0.15		
eee	0.05		
TOTAL NUMBER OF BALLS: 160			

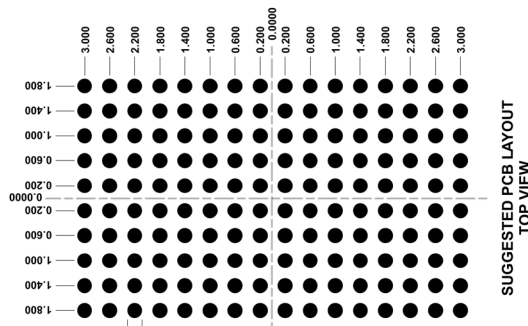


図 43. 160 ピン、6.55mm x 5mm x 3.31mm、BGA

オーダー・ガイド

表 19. LTM3360B の型番

MODEL	TEMPERATURE RANGE ^{1,2}	PACKAGE DESCRIPTION	PACKAGE OPTION ⁵
LTM3360BIY#PBF	-40°C to 105°C	LTM3360B device marking SAC305 (RoHS) pad finish ³ e1 finish code Moisture sensitivity level 4 (MSL 4) rated device ⁴	160-Lead, 6.55mm × 5mm × 3.31mm, BGA

LTM3360B は、 $T_J \approx T_A$ となるような条件下でテストされています。LTM3360B は、0°C~105°Cのジャンクション温度で仕様を満たすよう設計されています。-40°C~105°Cの動作ジャンクション温度における仕様は、設計、特性評価、および統計的プロセス制御との関連付けによって裏付けられています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度 (T_J (°C)) は、次式を使って周囲温度 (T_A (°C)) と消費電力 (P_D (W)) から計算します。 $T_J = T_A + (P_D \times \theta_{JA})$ 、ここで θ_{JA} (°C/W) はパッケージの熱抵抗です。

1

2

3

4

5

2 更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。

3 パッドの仕上げコードは IPC/JEDEC J-STD-609 に準拠しています。

4 本製品では、セカンド・サイド・リフローを行うことは推奨しません。また、湿度に敏感です。詳細については、アナログ・デバイセズの [μModule LGA および BGA パッケージのケアとアセンブリに関する説明書](#)の文書を参照してください。

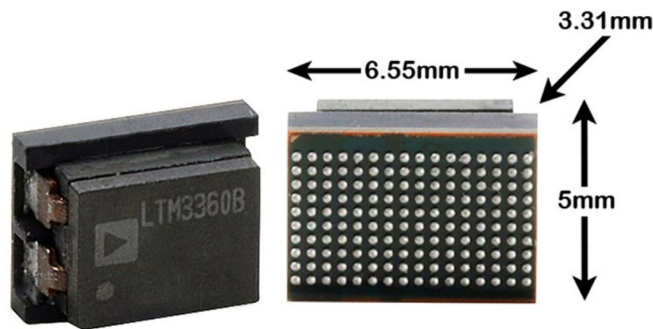
5 BGA パッケージは、アセンブリと製造の手順に従う必要があります。詳細については、アナログ・デバイセズの [μModule BGA および LGA パッケージのアセンブリに関する考察のガイドライン](#)を参照してください。

表 20. 評価用ボードの型番

MODEL	DESCRIPTION
EVAL-LTM3360B-AZ	LTM3360B evaluation board.

選択ガイド

パッケージ写真



(製品マーキングはレーザー・マーキングです。)

設計リソース

表 21. μModule 電力技術

資料	説明	
μModuleの設計、製造、アセンブリ	設計： ▶ 評価用ガイド・ボードとガーバー・ファイル ▶ LTspice®とLTpowerCAD®を含む無料設計ツール ▶ 回路シミュレーション	製造： ▶ クイック・スタート・ガイド ▶ PCB設計、組み立て、製造のガイドライン ▶ パッケージ・レベルおよびボード・レベルの信頼性
μModuleレギュレータ製品検索	▶ パラメータによって列の管理と製品表のソートを行い、結果をスプレッドシートとしてダウンロードします。	
<p>The screenshot shows a search interface with a table of columns. The columns are: 'Parts 235 ↑↓', 'Output Current max ↑↓', 'Vin min ↑↓', and 'Vin max ↑↓'. Above the table, there is a 'Manage Columns 13 of 46' button and a 'Sort By Latest Launch Day' dropdown menu. Below the table, there is a 'Filter Parts' search box and input fields for units (A and V).</p>		
デジタルパワー・システム・マネージメント	アナログ・デバイスズのデジタル電源管理ICファミリーは、電源モニタリング、監視、マーギニング、シーケンシングなどの必須機能と、ユーザ設定およびフォルト・ログ記録の保存のためのEEPROMを備えた、高度に集積化されたソリューションです。	

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。ここに記載のすべてのアナログ・デバイセズ製品は、販売状況および在庫状況に依存します。